

产品特性

输出频率: <1 MHz至1 GHz

启动频率精度: <±100 ppm(由VCXO参考精度决定)

零延迟操作

输入至输出边沿时序: <±150 ps

6路输出: 可配置为LVPECL、LVDS、HSTL和LVCMOS

6个具有零抖动可调延迟的专用输出分频器

可调延迟: 63个分辨率步进, 步长等于VCO输出分频器的1/2周期

输出间偏斜: <±50 ps

针对奇数分频器设置提供占空比校正

上电时所有输出自动同步

绝对输出抖动: <200 fs (122.88 MHz)

积分范围: 12 kHz至20 MHz

相位噪声分布: -160 dBc/Hz

数字锁定检测

非易失性EEPROM存储配置设置

SPI和I²C兼容型串行控制端口

双PLL架构

PLL1

低带宽, 支持利用外部VCXO实现参考输入时钟清零

鉴相器速率: 300 kHz至75 MHz

冗余参考输入

自动和手动参考切换模式

恢复式和非恢复式切换

保持模式支持参考丢失检测

VCXO提供的低噪声LVCMOS输出可用于RF/IF频率合成器

PLL2

鉴相器速率: 最高250 MHz

集成低噪声VCO

应用

LTE和多载波GSM基站

无线和宽带基础设施

医疗仪器

为高速ADC、DAC、DDS、DDC、DUC、MxFE提供时钟

低抖动、低相位噪声时钟分配

SONET、10Ge、10G FC和其它10 Gbps协议的时钟产生和转换

前向纠错(G.710)

高性能无线收发器

自动测试设备(ATE)和性能仪器仪表

功能框图

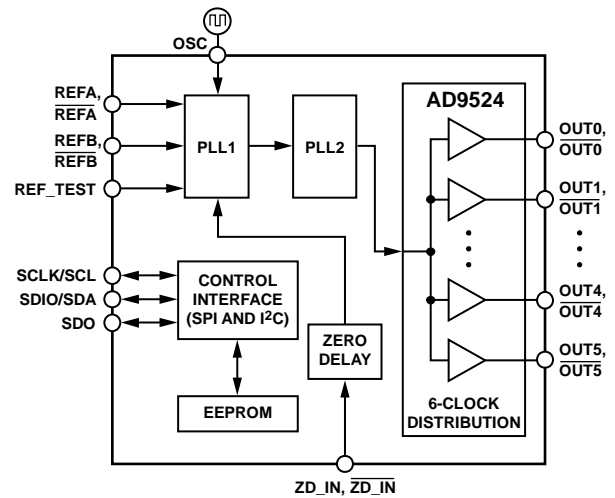


图1.

概述

AD9524提供低功耗、多路输出时钟分配功能, 具有低抖动性能, 还配有片内集成锁相环(PLL)和电压控制振荡器(VCO)。片内VCO的调谐频率范围为3.6 GHz至4.0 GHz。

AD9524旨在满足长期演进(LTE)和多载波GSM基站设计的时钟要求。它依靠外部VCXO清除参考抖动, 以满足严格的低相位噪声要求, 从而获得可接受的数据转换器信噪比(SNR)性能。

输入接收器、振荡器和零延迟接收器支持单端和差分两种操作。当连接到恢复的系统参考时钟和VCXO时, 器件产生1 MHz至1 GHz范围内的6路低噪声输出, 以及一路来自输入PLL (PLL1)的专用缓冲输出。一路时钟输出相对于另一路时钟输出的频率和相位可通过分频器相位选择功能改变, 该功能用作无抖动的时序粗调, 其调整增量相当于VCO输出信号的半个周期。

通过串行接口可以对封装内EEPROM进行编程, 以便存储用于上电和芯片复位的用户定义寄存器设置。

Rev. D

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2010–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1	术语.....	18
应用.....	1	工作原理.....	19
功能框图.....	1	详细框图.....	19
概述.....	1	概述.....	19
修订历史.....	3	元件模块—输入PLL (PLL1).....	20
技术规格.....	4	元件模块—输出PLL (PLL2).....	21
条件.....	4	时钟分配.....	23
电源电流.....	4	零延迟操作.....	25
功耗.....	6	锁定检测.....	25
REFA、 $\overline{\text{REFA}}$ 、 $\overline{\text{REFB}}$ 、REFB、 $\overline{\text{OSC_IN}}$ 、OSC_IN和		复位模式.....	26
ZD_IN、 $\overline{\text{ZD_IN}}$ 输入特性.....	6	省电模式.....	26
OSC_CTRL输出特性.....	7	串行控制端口.....	27
REF_TEST输入特性.....	7	SPI/I ² C端口选择.....	27
PLL1特性.....	7	I ² C串行端口操作.....	27
PLL1输出特性.....	7	SPI串行端口操作.....	30
分配输出特性(OUT0、 $\overline{\text{OUT0}}$ 至OUT5、 $\overline{\text{OUT5}}$).....	8	SPI指令字(16位).....	31
时序对齐特性.....	9	SPI MSB/LSB优先传输.....	31
抖动和噪声特性.....	9	EEPROM操作.....	34
PLL2特性.....	9	写入EEPROM.....	34
逻辑输入引脚— $\overline{\text{PD}}$ 、 $\overline{\text{SYNC}}$ 、 $\overline{\text{RESET}}$ 、		读取EEPROM.....	34
EEPROM_SEL、REF_SEL.....	10	EEPROM缓冲段编程.....	35
状态输出引脚—STATUS1、STATUS0.....	10	功耗与散热考虑.....	37
串行控制端口—SPI模式.....	10	时钟速度和驱动器模式.....	37
串行控制端口—I ² C模式.....	11	工作条件评估.....	37
绝对最大额定值.....	12	散热增强型封装安装指南.....	38
热阻.....	12	控制寄存器.....	39
ESD警告.....	12	控制寄存器映射.....	39
引脚配置和功能描述.....	13	控制寄存器映射位功能描述.....	43
典型性能参数.....	15	外形尺寸.....	56
输入/输出端接建议.....	17	订购指南.....	56

修订历史

2013年2月—修订版C至修订版D

删除VDD1.8_PLL2.....	通篇
更改数据手册标题.....	1
表1中增加 $T_j = 115^{\circ}\text{C}$	4
表2中将“VDD3_PLL1, PLL1电源电压典型参数”从22 mA 改为37 mA; 将“VDD3_PLL1, PLL1电源电压最大参数” 从25.2 mA改为43 mA.....	4
更改表3.....	6
增加“PLL1特性”部分和表7; 重新排序.....	7
更改表9的总结说明, 将表9中的差分输出电压幅度单位 从mV改为V.....	8
表10中将LVPECL、HSTL和LVDS之间的输出时序偏斜 从164 ps改为234 ps; 增加尾注1.....	9
更改表19中的引脚5描述.....	13
表19中的引脚42从VDD1.8_PLL2改为NC.....	14
更改图24.....	21
更改“多模式输出驱动器”部分.....	24
更改“时钟分配同步”部分.....	25
更改图29, 增加“锁定检测”部分.....	26
增加“复位模式”部分和“省电模式”部分.....	27
更改“引脚描述”部分和“读取”部分.....	31
增加图38; 重新排序.....	33
更改“寄存器段定义组”部分.....	36
更改“功耗与散热考虑”部分.....	38
更改表31.....	40
更改表40中的位4和位[1:0]描述.....	45
更改表41中的位2描述和表42中的位[7:6]描述.....	46
更改表43中的位[1:0]描述.....	47
更改表47中的位4、位[3:2]描述.....	48
更改表48中的位3描述.....	49
表54中将位6的名称从“PLL2反馈时钟状态”更改为 “PLL1反馈时钟状态”.....	52

2011年3月—修订版A至修订版B

增加表8的小结部分.....	7
更改表9.....	8
更改“EEPROM操作”部分和“写入EEPROM”部分.....	32
更改表30中的地址(十六进制)0x01A, 位[4:3].....	37
更改表40中的位[4:3].....	43

2011年1月—修订版0至修订版A

更改概述部分.....	1
更改规格总结说明.....	4
更改表2中VDD3_PLL1、PLL1电源电压参数的测试条件/ 注释.....	4
更改表3中的典型配置和低功耗典型配置参数.....	5
更改表4的输入高电压和输入低电压参数; 增加输入阈值电压参数.....	5
表8中将差分输出电压摆幅参数更改为差分输出 电压幅度; 更改测试条件/注释.....	7
表16中将结温参数从 150°C 更改为 115°C	11
增加图14; 重新排序.....	15
更改图15、图17和图19; 更改图21标题.....	16
增加“PLL1锁定检测”部分.....	19
更改“VCO校准”部分.....	21
将“输出模式部分”更改为“多模式输出驱动器”; 更改“多模式输出驱动器”部分.....	22
更改图29.....	24
更改“SPI/I ² C端口选择”部分.....	25
更改“SPI指令字(16位)”部分.....	29
增加“功耗与散热考虑”部分.....	35
更改表34至表36和表38.....	42
更改表47中的寄存器0x0F3位1描述.....	45
更改表50中的寄存器0x198位[7:2].....	47
更改表52.....	48
更改表54中的寄存器0x230和寄存器0x231.....	49

2010年7月—修订版0: 初始版

技术规格

除非另有说明， $f_{\text{VCXO}} = 122.88$ MHz单端，REFA和REFB为差分、30.72 MHz， $f_{\text{VCO}} = 3932.16$ MHz，倍频器关闭，通道控制低功耗模式关闭，分频器相位=1。除非另有说明，典型值的测量条件为VDD = 3.3 V ± 5%、 $T_A = 25^\circ\text{C}$ 。最小值和最大值的测量条件为表1所列的整个VDD和 T_A （-40°C至+85°C）范围内。

条件

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源电压					
VDD3_PLL1, PLL1电源电压		3.3		V	3.3 V ± 5%
VDD3_PLL2, PLL2电源电压		3.3		V	3.3 V ± 5%
VDD3_REF, 电源电压时钟输出驱动器参考		3.3		V	3.3 V ± 5%
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压		3.3		V	3.3 V ± 5%
VDD1.8_OUT[x:y] ¹ , 时钟分频器电源电压		1.8		V	1.8 V ± 5%
温度					
环境温度范围(T_A)	-40	+25	+85	°C	
结温(T_j)			115	°C	

¹ x和y是共用同一电源的差分输出对。例如，VDD3_OUT[0:1]指时钟输出OUT0、 $\overline{\text{OUT0}}$ （分别为引脚41和引脚40）的电源电压和时钟输出 $\overline{\text{OUT1}}$ 、OUT1（分别为引脚38和引脚37）的电源电压。

电源电流

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
时钟输出驱动器以外的电源					
VDD3_PLL1, PLL1电源电压	37	43		mA	如果REFB关闭，典型值降低9 mA
VDD3_PLL2, PLL2电源电压	67	77.7		mA	
VDD3_REF, 电源电压时钟输出驱动器					
参考					
LVPECL模式	5	6		mA	仅开启一个输出驱动器；每再开启一路输出，电流最多增加1.2 mA
LVDS模式	4	4.8		mA	仅开启一个输出驱动器；每再开启一路输出，电流最多增加1.2 mA
HSTL模式	3	3.6		mA	值与开启的输出数无关
CMOS模式	3	3.6		mA	值与开启的输出数无关
VDD1.8_OUT[x:y] ¹ , 时钟分频器电源电压 ²	3.5	4.2		mA	每个分频器的电流：f = 245.76 MHz
时钟输出驱动器—低功耗模式关闭					通道x控制寄存器，位4 = 0
LVDS模式，7 mA					
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压	11.5	13.2		mA	f = 122.88 MHz
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压	40	45		mA	f = 983.04 MHz
LVDS模式，3.5 mA					
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压	6.5	7.5		mA	f = 122.88 MHz
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压	23	26.3		mA	f = 983.04 MHz
LVPECL兼容模式					
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压	13	14.4		mA	f = 122.88 MHz
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压	41	46.5		mA	f = 983.04 MHz
HSTL模式，8 mA					
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压	14	16.3		mA	f = 122.88 MHz
CMOS模式(单端)					
VDD3_OUT[x:y] ¹ , 时钟输出驱动器电源电压	2	2.4		mA	f = 15.36 MHz, 10 pF负载

参数	最小值	典型值	最大值	单位	测试条件/注释
时钟输出驱动器—低功耗模式开启					通道x控制寄存器，位 4 = 1
LVDS模式，7 mA					
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	10		10.8	mA	f = 122.88 MHz
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	27		29.8	mA	f = 983.04 MHz
LVDS模式，3.5 mA					
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	6.5		7.5	mA	f = 122.88 MHz
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	23		26.3	mA	f = 983.04 MHz
LVPECL兼容模式					
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	11		12.4	mA	f = 122.88 MHz
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	28		31.2	mA	f = 983.04 MHz
HSTL模式，16 mA					
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	20		24.3	mA	f = 122.88 MHz
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	50		59.1	mA	f = 983.04 MHz
HSTL模式，8 mA					
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	11		12.7	mA	f = 122.88 MHz
VDD3_OUT[x:y] ¹ ，时钟输出驱动器电源电压	27		31.8	mA	f = 983.04 MHz

¹ x和y是共用同一电源的差分输出对。例如，VDD3_OUT[0:1]指时钟输出OUT0、 $\overline{\text{OUT0}}$ (分别为引脚41和引脚40)的电源电压和时钟输出OUT1、 $\overline{\text{OUT1}}$ (分别为引脚38和引脚37)的电源电压。

² 引脚34 (VDD1.8_OUT[0:3])的电流是其它VDD1.8_OUT[x:y]对的2倍。

AD9524

功耗

表3.

参数	最小值	典型值	最大值	单位	测试条件/注释
功耗					
典型配置		559	593	mW	时钟分配输出工作如下：四路LVPECL输出工作在122.88 MHz，两路LVDS输出(3.5 mA)工作在122.88 MHz，一路差分输入参考工作在30.72 MHz； $f_{VCO} = 122.88$ MHz， $f_{VCO} = 3932.16$ MHz；PLL2带宽 = 530 kHz；倍频器关闭
\overline{PD} ，掉电		101	132.2	mW	\overline{PD} 引脚拉低，典型配置条件
增量功耗					
低功耗典型配置		389	450.4	mW	含时钟分配的绝对总功率；一路LVPECL输出工作在122.88 MHz；一路差分输入参考工作在30.72 MHz； $f_{VCO} = 122.88$ MHz， $f_{VCO} = 3932.16$ MHz；倍频器关闭
切换至一路输入，单端参考模式		-28.5	-8	mW	工作在30.72 MHz
切换至两路输入，差分参考模式		26	44.6	mW	工作在30.72 MHz
切换至两路输入，单端参考模式		-27.5	-5.1	mW	工作在30.72 MHz
输出分配，驱动器开启					基于低功耗典型值(3.3 V)的功耗增加(OUT1)
LVDS		15.3	18.4	mW	单路3.5 mA LVDS输出工作在245.76 MHz
		47.8	55.4	mW	单路7 mA LVDS输出工作在61.44 MHz
LVPECL兼容		50.1	54.9	mW	单路LVPECL输出工作在122.88 MHz
HSTL		40.2	46.3	mW	单路8 mA HSTL输出工作在122.88 MHz
		43.7	50.3	mW	单路16 mA HSTL输出工作在122.88 MHz
CMOS		6.6	7.9	mW	单路3.3 V CMOS输出工作在15.36 MHz
		9.9	11.9	mW	双路互补3.3 V CMOS输出工作在15.36 MHz
		9.9	11.9	mW	双路同相3.3 V CMOS输出工作在15.36 MHz

REFA、 \overline{REFA} 、REFB、 \overline{REFB} 、OSC_IN、 $\overline{OSC_IN}$ 和ZD_IN、 $\overline{ZD_IN}$ 输入特性

表4.

参数	最小值	典型值	最大值	单位	测试条件/注释
差分模式					
输入频率范围			400	MHz	
输入压摆率(OSC_IN)	400			V/ μ s	保证抖动性能的最低限值
内部产生的共模输入电压	0.6	0.7	0.8	V	
输入共模范围	1.025		1.475	V	直流耦合LVDS(最大摆幅)
差分输入电压，灵敏度频率 < 250 MHz	100			mV p-p	要求容性耦合；通过对未使用的输入交流接地可支持单端输入；任意引脚上的瞬时电压不得超过1.8 V直流供电轨
差分输入电压，灵敏度频率 > 250 MHz	200			mV p-p	要求容性耦合；通过对未使用的输入交流接地可支持单端输入；任意引脚上的瞬时电压不得超过1.8 V直流供电轨
差分输入电阻		4.8		k Ω	
差分输入电容		1		pF	
占空比					占空比界限由高电平脉冲宽度和低电平脉冲宽度设置
低电平脉冲宽度	1			ns	
高电平脉冲宽度	1			ns	
CMOS模式单端输入					
输入频率范围			250	MHz	
输入高电压	1.6			V	
输入低电压			0.52	V	
输入阈值电压		1.0		V	交流耦合至输入接收器时，用户必须将输入直流偏置到1 V；单端CMOS输入兼容3.3 V电压

参数	最小值	典型值	最大值	单位	测试条件/注释
输入电容	1			pF	占空比界限由高电平脉冲宽度和低电平脉冲宽度设置
占空比					
低电平脉冲宽度	1.6			ns	
高电平脉冲宽度	1.6			ns	

OSC_CTRL输出特性

表5.

参数	最小值	典型值	最大值	单位	测试条件/注释
输出电压	VDD3_PLL1 - 0.15			V	R _{LOAD} > 20 kΩ
高电平					
低				mV	

REF_TEST输入特性

表6.

参数	最小值	典型值	最大值	单位	测试条件/注释
REF_TEST输入					
输入频率范围	2.0			MHz	
输入高电压				V	
输入低电压	0.8			V	

PLL1特性

表7.

参数	最小值	典型值	最大值	单位	测试条件/注释
PLL1品质因数(FOM)	-226			dBc/Hz	
最大PFD频率					
防反冲脉冲宽度					
最小和低值	75			MHz	
最大和高值	75			MHz	

PLL1输出特性

表8.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
最大输出频率	250			MHz	15 pF负载 f = 250 MHz
上升/下降时间(20%至80%)	387			ps	
占空比	45	50	55	%	
高输出电压	VDD3_PLL1 - 0.25			V	输出驱动器为静态
	VDD3_PLL1 - 0.1			V	负载电流 = 10 mA
					负载电流 = 1 mA
低输出电压					输出驱动器为静态
					负载电流 = 10 mA
					负载电流 = 1 mA

¹ CMOS驱动器强度 = 强(见表52)。

AD9524

分配输出特性(OUT0、 $\overline{\text{OUT0}}$ 至OUT5、 $\overline{\text{OUT5}}$)

占空比性能在分频器反相位设为1、分频器相位位设为0.5的条件下指定。(例如,对于通道0, $0x196[7] = 1$ 且 $0x198[7:2] = 000001$ 。)表9中的输出电压参考VDD相对于3.3 V电源VDD3_OUT[x:y]而言。

表9.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL模式 ¹					
最大输出频率		1		GHz	最小VCO/最大分频器
上升/下降时间(20%至80%)		117	147	ps	输出对上接100 Ω端接电阻
占空比	47	50	52	%	f < 500 MHz
	43	48	52	%	f = 500 MHz至800 MHz
	40	49	54	%	f = 800 MHz至1 GHz
差分输出电压幅度	643	775	924	mV	引脚上的电压, 输出驱动器为静态
共模输出电压	VDD - 1.5	VDD - 1.4	VDD - 1.25	V	输出驱动器为静态
比例HSTL模式, 16 mA					
最大输出频率		1		GHz	最小VCO/最大分频器
上升/下降时间(20%至80%)		112	141	ps	输出对上接100 Ω端接电阻
占空比	47	50	52	%	f < 500 MHz
	44	48	51	%	f = 500 MHz至800 MHz
	40	49	54	%	f = 800 MHz至1 GHz
差分输出电压幅度	1.3	1.6	1.7	V	引脚上的电压, 输出驱动器为静态; 标称电源
电源灵敏度		0.6		mV/mV	输出摆幅变化与VDD3_OUT[x:y]的关系($\Delta V_{OD}/\Delta VDD3$)
共模输出电压	VDD - 1.76	VDD - 1.6	VDD - 1.42	V	
LVDS模式, 3.5 mA					
最大输出频率		1		GHz	
上升/下降时间(20%至80%)		138	161	ps	输出对上接100 Ω端接电阻
占空比	48	51	53	%	f < 500 MHz
	43	49	53	%	f = 500 MHz至800 MHz
	41	49	55	%	f = 800 MHz至1 GHz
差分输出电压幅度					
平衡	247		454	mV	引脚上的电压, 输出驱动器为静态
未平衡			50	mV	正常引脚与反相引脚的电压幅度之间的绝对差
共模输出电压	1.125		1.375	V	输出驱动器为静态
共模差			50	mV	输出引脚之间的电压差; 输出驱动器为静态
短路输出电流		3.5	24	mA	输出驱动器为静态
CMOS模式					
最大输出频率		250		MHz	
上升/下降时间(20%至80%)		387	665	ps	15 pF负载
占空比	45	50	55	%	f = 250 MHz
高输出电压	VDD - 0.25			V	输出驱动器为静态 负载电流 = 10 mA
	VDD - 0.1			V	负载电流 = 1 mA
低输出电压			0.2	V	输出驱动器为静态 负载电流 = 10 mA
			0.1	V	负载电流 = 1 mA

¹ 参见“多模式输出驱动器”部分。

时序对齐特性

表10.

参数	最小值	典型值	最大值	单位	测试条件/注释
输出时序偏斜					除非另有说明，所有输出延迟关闭；输出上升沿之间的最大偏差；所有输出开启。
LVPECL、HSTL和LVDS输出之间		38	234	ps	
CMOS输出之间		100	300	ps	单端正相高阻抗模式
可调延迟	0		63	步	分辨率步进数；例如：8 × 0.5/1 GHz
分辨率步长		500		ps	1 GHz的½
零延迟					
REFA或REFB上的输入时钟边沿到ZD_IN 输入时钟边沿之间，外部零延迟模式					PLL1设置：PFD = 7.68 MHz， $I_{CP} = 63.5 \mu A$ ， $R_{ZERO} = 10 k\Omega$ ，反冲防回差脉冲宽度为最大值，带宽 = 40 Hz，REFA和ZD_IN设置为差分模式。

抖动和噪声特性

表11.

参数	最小值	典型值	最大值	单位	测试条件/注释
输出绝对均方根时间抖动					应用示例基于典型设置 (参见表3)； $f = 122.88 \text{ MHz}$
LVPECL模式、HSTL模式和LVDS模式		125		fs	积分带宽 = 200 kHz至5 MHz
		136		fs	积分带宽 = 200 kHz至10 MHz
		169		fs	积分带宽 = 12 kHz至20 MHz
		212		fs	积分带宽 = 10 kHz至61 MHz
		223		fs	积分带宽 = 1 kHz至61 MHz

PLL2特性

表12.

参数	最小值	典型值	最大值	单位	测试条件/注释
VCO(片内)					
频率范围	3600		4000	MHz	
增益		45		MHz/V	
PLL2品质因数(FOM)		-226		dBc/Hz	
最大PFD频率					
防反冲脉冲宽度					
最小和低值			250	MHz	
最大和高值			125	MHz	

AD9524

逻辑输入引脚— $\overline{\text{PD}}$ 、 $\overline{\text{SYNC}}$ 、 $\overline{\text{RESET}}$ 、 $\overline{\text{EEPROM_SEL}}$ 、 $\overline{\text{REF_SEL}}$

表13.

参数	最小值	典型值	最大值	单位	测试条件/注释
电压					
输入高电平	2.0			V	
输入低电平			0.8	V	
输入低电流		±80	±250	μA	负值表示内部上拉电阻导致电流流出AD9524
电容		3		pF	
RESET 时序					
低电平脉冲宽度	50			ns	
无活动到启动寄存器编程	100			ns	
SYNC 时序					
低电平脉冲宽度	1.5			ns	高速时钟为CLK输入信号

状态输出引脚—STATUS1、STATUS0

表14.

参数	最小值	典型值	最大值	单位	测试条件/注释
电压					
输出高电平	2.94			V	
输出低电平			0.4	V	

串行控制端口—SPI模式

表15.

参数	最小值	典型值	最大值	单位	测试条件/注释
CS (输入)					CS 内置一个40 kΩ上拉电阻
电压					
输入逻辑1		2.0		V	
输入逻辑0		0.8		V	
电流					
输入逻辑1		30		μA	
输入逻辑0		-110		μA	负值表示内部上拉电阻导致电流流出AD9524
输入电容		2		pF	
SCLK(输入), SPI模式					SPI模式下SCLK内置一个40 kΩ下拉电阻, I ² C模式下无内置电阻
电压					
输入逻辑1		2.0		V	
输入逻辑0		0.8		V	
电流					
输入逻辑1		240		μA	
输入逻辑0		1		μA	
输入电容		2		pF	
SDIO(输入处于双向模式)					
电压					
输入逻辑1		2.0		V	
输入逻辑0		0.8		V	
电流					
输入逻辑1		1		μA	
输入逻辑0		1		μA	
输入电容		2		pF	

参数	最小值	典型值	最大值	单位	测试条件/注释
SDIO、SDO(输出)					
输出逻辑1电压	2.7			V	
输出逻辑0电压			0.4	V	
时序					
时钟速率(SCLK, $1/t_{\text{SCLK}}$)			25	MHz	
高电平脉冲宽度, t_{HIGH}	8			ns	
低电平脉冲宽度, t_{LOW}	12			ns	
SDIO至SCLK建立时间, t_{DS}	3.3			ns	
SCLK至SDIO保持时间, t_{DH}	0			ns	
SCLK至有效SDIO和SDO时间, t_{DV}			14	ns	
$\overline{\text{CS}}$ 至SCLK建立时间, t_{S}	10			ns	
$\overline{\text{CS}}$ 至SCLK建立和保持时间, t_{S} 、 t_{C}	0			ns	
$\overline{\text{CS}}$ 最短脉冲宽度(高电平), t_{PWH}	6			ns	

串行控制端口—I²C模式

除非另有说明, VDD = VDD3_REF。

表16.

参数	最小值	典型值	最大值	单位	测试条件/注释
SDA、SCL(输入数据时)					
输入逻辑1电压	$0.7 \times \text{VDD}$			V	
输入逻辑0电压			$0.3 \times \text{VDD}$	V	
输入电流(输入电压介于 $0.1 \times \text{VDD}$ 和 $0.9 \times \text{VDD}$ 之间)	-10		+10	μA	
施密特触发器输入的迟滞	$0.015 \times \text{VDD}$			V	
输入滤波器必须抑制的尖峰的脉冲宽度, t_{SPIKE}			50	ns	
SDA(输出数据时)					
输出逻辑0电压(3 mA吸电流)			0.4	V	
从VIHMIN到VILMAX的输出下降时间 (总线电容从10 pF到400 pF)	$20 + 0.1 C_B^1$		250	ns	
时序					
时钟速率(SCL, f_{I2C})			400	kHz	
停止条件与起始条件之间的总线空闲时间, t_{IDLE}	1.3			μs	
重复起始条件的建立时间, $t_{\text{SET,STR}}$	0.6			μs	
(重复)起始条件保持时间, $t_{\text{HLD,STR}}$	0.6			μs	
停止条件建立时间, $t_{\text{SET,STP}}$	0.6			μs	
SCL时钟的低电平周期, t_{LOW}	1.3			μs	
SCL时钟的高电平周期, t_{HIGH}	0.6			μs	
SCL、SDA上升时间, t_{RISE}	$20 + 0.1 C_B^1$		300	ns	
SCL、SDA下降时间, t_{FALL}	$20 + 0.1 C_B^1$		300	ns	
数据建立时间, $t_{\text{SET,DAT}}$	100			ns	
数据保持时间, $t_{\text{HLD,DAT}}$	100		880	ns	
各条总线的容性负载, C_B^1			400	pF	

¹ CB是一条总线的电容(单位: pF)。

² 根据原始I²C规范, I²C主机还必须提供最短300 ns的保持时间, 以便SDA信号桥接SCL下降沿的未定义区域。

绝对最大额定值

表17.

参数	额定值
VDD3_PLL1、VDD3_PLL2、VDD3_REF、VDD3_OUT、LDO_VCO至GND	-0.3 V至+3.6 V
REFA、REFA、REFIN、REFB、REFB至GND	-0.3 V至+3.6 V
SCLK/SCL、SDIO/SDA、SDO、CS至GND	-0.3 V至+3.6 V
OUT0、OUT0、OUT1、OUT1、OUT2、OUT2、OUT3、OUT3、OUT4、OUT4、OUT5、OUT5至GND	-0.3 V至+3.6 V
SYNC、RESET、PD至GND	-0.3 V至+3.6 V
STATUS0、STATUS1至GND	-0.3 V至+3.6 V
SP0、SP1、EEPROM_SEL至GND	-0.3 V至+3.6 V
VDD1.8_OUT、LDO_PLL1、LDO_PLL2至GND	2 V
存储温度范围	-65°C至+150°C
引脚温度(10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即焊接在电路板上的器件为表贴封装。

表18. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	$\Psi_{JT}^{1,2}$	单位
48引脚 LFCSP, 7 mm × 7 mm	0	26.1	1.7	13.8	0.2	°C/W
	1.0	22.8			0.2	°C/W
	2.5	20.4			0.3	°C/W

¹ 按照JEDEC 51-7，加上JEDEC 51-5 2S2P测试板。

² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³ 按照MIL-Std 883、方法1012.1。

⁴ 按照JEDEC JESD51-8(静止空气)。

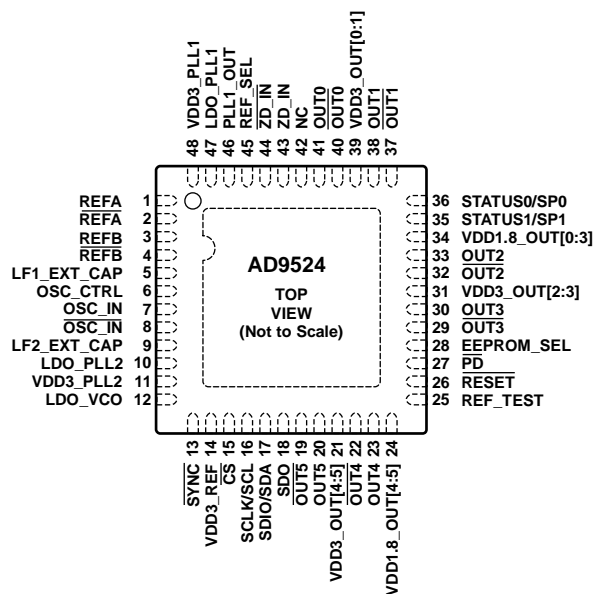
功耗信息请参阅“功耗与散热考虑”部分。

ESD警告

**ESD(静电放电)敏感器件。**

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

- PINS LABELED NC CAN BE ALLOWED TO FLOAT, BUT IT IS BETTER TO CONNECT THESE PINS TO GROUND. AVOID ROUTING HIGH SPEED SIGNALS THROUGH THESE PINS BECAUSE NOISE COUPLING MAY RESULT. ON EXISTING PCB DESIGNS, IT IS ACCEPTABLE TO LEAVE PIN 42 CONNECTED TO 1.8V SUPPLY.
- THE EXPOSED PADDLE IS THE GROUND CONNECTION ON THE CHIP. IT MUST BE SOLDERED TO THE ANALOG GROUND OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

09681-002

图2. 引脚配置

表19. 引脚功能描述

引脚编号	引脚名称	类型 ¹	说明
1	REFA	I	参考时钟输入A。此引脚与REFA一起构成PLL参考的差分输入。
2	REFA	I	或者，也可以将此引脚设置为单端3.3 V CMOS输入。
3	REFB	I	互补参考时钟输入A。此引脚与REFA一起构成PLL参考的差分输入。或者，也可以将此引脚设置为单端3.3V CMOS输入。
4	REFB	I	参考时钟输入B。此引脚与REFB一起构成PLL参考的差分输入。
5	LF1_EXT_CAP	O	PLL1外部环路滤波器电容。应将一个环路滤波器连接在此引脚和地之间。
6	OSC_CTRL	O	振荡器控制电压。连接此引脚到外部振荡器的电压控制引脚。
7	OSC_IN	I	PLL1振荡器输入。此引脚与OSC_IN一起构成PLL参考的差分输入。
8	OSC_IN	I	或者，也可以将此引脚设置为单端3.3 V CMOS输入。
9	LF2_EXT_CAP	O	互补PLL1振荡器输入。此引脚与OSC_IN一起构成PLL参考的差分输入。或者，也可以将此引脚设置为单端3.3 V CMOS输入。
10	LDO_PLL2	P/O	PLL2外部环路滤波器电容连接。应将一个电容连接在此引脚和LDO_VCO之间。
11	VDD3_PLL2	P	PLL2 1.8 V内部调节器的LDO去耦引脚。应将一个0.47 μF去耦电容连接在此引脚与地之间。注意：为获得最佳性能，应将LDO旁路电容靠近器件放置。
12	LDO_VCO	P/O	PLL2的3.3 V电源。
13	SYNC	I	VCO的2.5 V内部LDO调节器去耦引脚。应将一个0.47 μF去耦电容连接在此引脚与地之间。注意：为获得最佳性能，应将LDO旁路电容靠近器件放置。
14	VDD3_REF	P	手动同步。此引脚可启动手动同步，内置一个40 kΩ上拉电阻。
15	CS	I	输出时钟驱动器参考的3.3 V电源。
16	SCLK/SCL	I	串行控制端口片选，低电平有效。此引脚内置一个40 kΩ上拉电阻。
17	SDIO/SDA	I	SPI模式(SCLK)或I2C模式(SCL)的串行控制端口时钟信号。用于串行编程的数据时钟。
18	SDO	I	SPI模式下此引脚内置一个40 kΩ下拉电阻，I ² C模式下为高阻抗。

AD9524

引脚编号	引脚名称	类型 ¹	说明
17	SDIO/SDA	I/O	SPI模式(SDIO)或I ² C模式(SDA)的串行控制端口双向串行数据输入/数据输出。
18	SDO	O	串行数据输出。4线模式下使用此引脚读取数据(3线模式下为高阻抗)。此引脚没有内置上拉/下拉电阻。
19	$\overline{\text{OUT5}}$	O	互补时钟输出5。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
20	OUT5	O	时钟输出5。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
21	VDD3_OUT[4:5]	P	输出4和输出5时钟驱动器的3.3 V电源。
22	$\overline{\text{OUT4}}$	O	互补时钟输出4。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
23	OUT4	O	时钟输出4。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
24	VDD1.8_OUT[4:5]	P	输出4和输出5时钟分频器的1.8 V电源。
25	REF_TEST	I	PLL1鉴相器的测试输入。
26	RESET	I	数字输入,低电平有效。将内部逻辑复位至默认状态。此引脚内置一个40 k Ω 上拉电阻。
27	$\overline{\text{PD}}$	I	芯片关断引脚,低电平有效。此引脚内置一个40 k Ω 上拉电阻。
28	EEPROM_SEL	I	EEPROM选择。设置此引脚为高电平,可选择在复位和/或上电时载入内部EEPROM中存储的寄存器值。设置此引脚为低电平,则使AD9524在上电/复位时载入硬编码的默认寄存器值。此引脚内置一个40 k Ω 下拉电阻。
29	$\overline{\text{OUT3}}$	O	互补时钟输出3。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
30	OUT3	O	方波时钟输出3。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
31	VDD3_OUT[2:3]	P	输出2和输出3时钟驱动器的3.3 V电源。
32	$\overline{\text{OUT2}}$	O	互补时钟输出2。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
33	OUT2	O	时钟输出2。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
34	VDD1.8_OUT[0:3]	P	输出0、输出1、输出2和输出3时钟分频器的1.8 V电源。
35	STATUS1/SP1	I/O	锁定检测和其它状态信号(STATUS1)/I ² C地址(SP1)。
36	STATUS0/SP0	I/O	锁定检测和其它状态信号(STATUS0)/I ² C地址(SP0)。
37	$\overline{\text{OUT1}}$	O	互补时钟输出1。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
38	OUT1	O	时钟输出1。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
39	VDD3_OUT[0:1]	P	输出0和输出1时钟驱动器的3.3 V电源。
40	$\overline{\text{OUT0}}$	O	互补时钟输出0。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
41	OUT0	O	时钟输出0。此引脚可以配置为差分LVPECL/LVDS/HSTL输出的一端,或者配置为单端CMOS输出。
42	NC	P	此引脚不在内部连接(见图2)。
43	ZD_IN	I	外部零延迟时钟输入。此引脚与ZD_IN一起构成PLL参考的差分输入。或者,也可以将此引脚设置为单端3.3 V CMOS输入。
44	$\overline{\text{ZD_IN}}$	I	互补外部零延迟时钟输入。此引脚与ZD_IN一起构成PLL参考的差分输入。或者,也可以将此引脚设置为单端3.3 V CMOS输入。
45	REF_SEL	I	参考输入选择。此引脚内置一个40 k Ω 下拉电阻。
46	PLL1_OUT	O	PLL1的单端CMOS输出。此引脚具有强和弱两个设置(寄存器0x1BA的位4,参见表52)。
47	LDO_PLL1	P/O	PLL1的1.8 V内部LDO调节器去耦引脚。应将一个0.47 μF 去耦电容连接在此引脚与地之间。注意:为获得最佳性能,应将LDO旁路电容靠近器件放置。
48	VDD3_PLL1	P	PLL1的3.3 V电源。使用与VCXO相同的电源。
EP	EP, GND	GND	裸露焊盘。裸露焊盘是芯片的接地连接,必须焊接到PCB模拟地,以确保正常工作和散热,并获得噪声和机械强度方面的好处。

¹ P = 电源, I = 输入, O = 输出, I/O = 输入/输出, P/O = 电源/输出, GND = 地。

典型性能参数

除非另有说明, $f_{VCO} = 122.88 \text{ MHz}$, REFA为差分、 30.72 MHz , $f_{VCO} = 3686.4 \text{ MHz}$, 倍频器关闭。

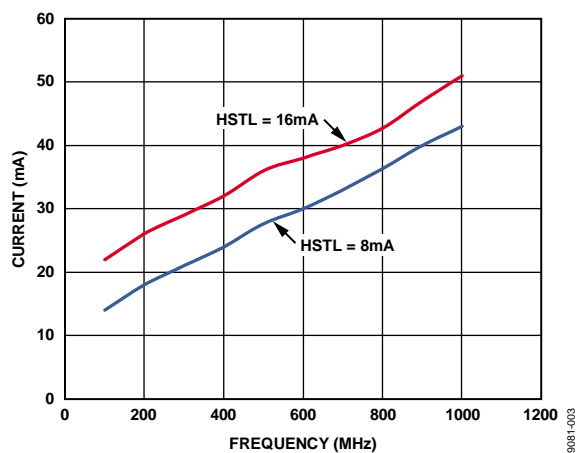


图3. VDD3_OUT[x:y]电流(典型值)与频率的关系, HSTL模式, 16 mA和8 mA

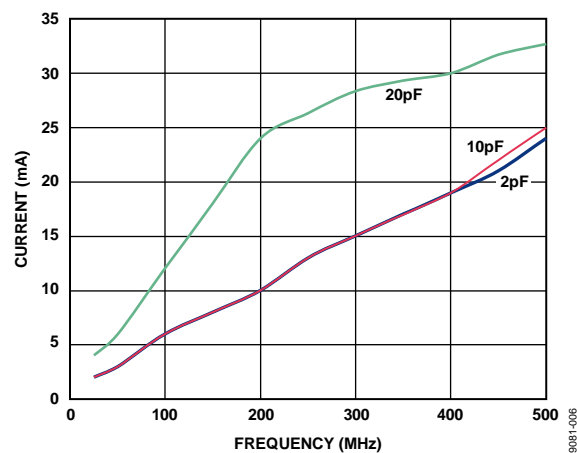


图6. VDD3_OUT[x:y]电流(典型值)与频率的关系, CMOS模式, 20 pF、10 pF和2 pF负载

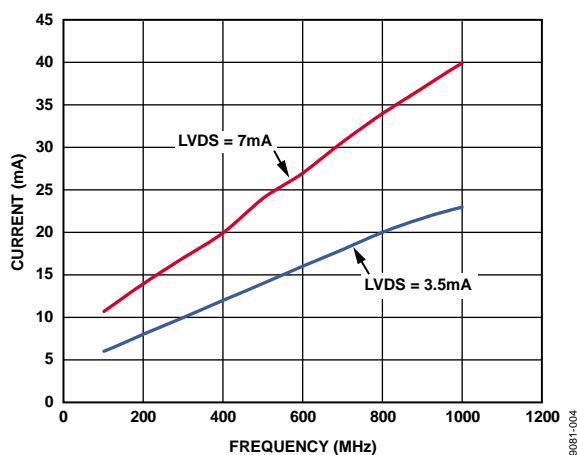


图4. VDD3_OUT[x:y]电流(典型值)与频率的关系, LVDS模式, 7 mA和3.5 mA

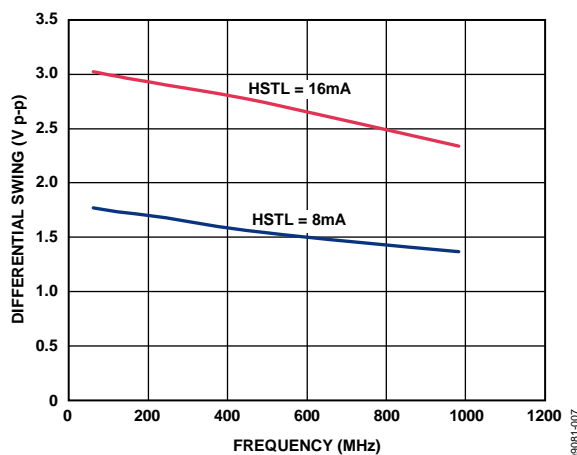


图7. 差分电压摆幅与频率的关系, HSTL模式, 16 mA和8 mA

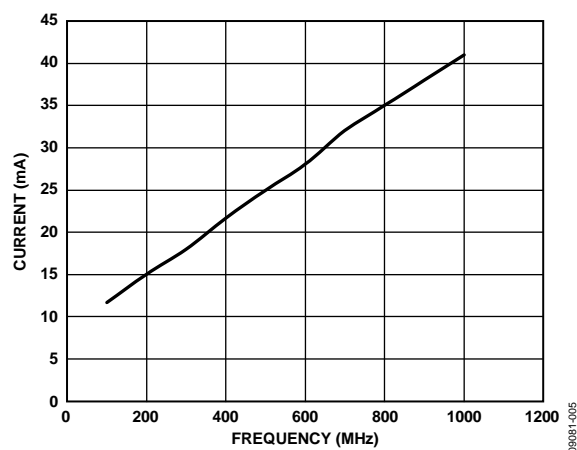


图5. VDD3_OUT[x:y]电流(典型值)与频率的关系, LVPECL模式

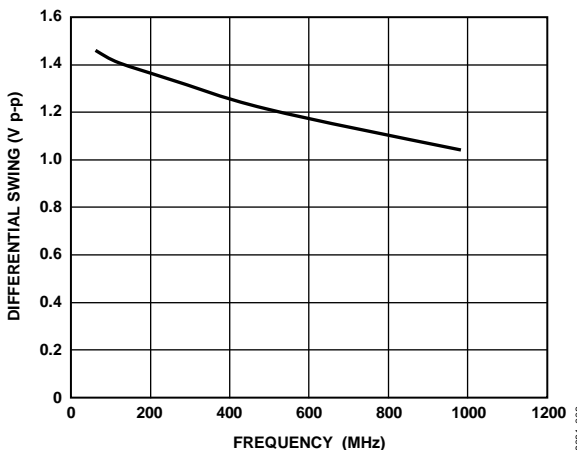


图8. 差分电压摆幅与频率的关系, LVPECL模式

AD9524

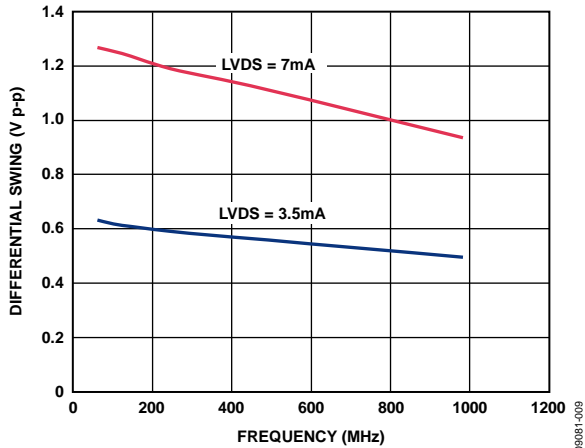


图9. 差分电压摆幅与频率的关系, LVDS模式, 7 mA和3.5 mA

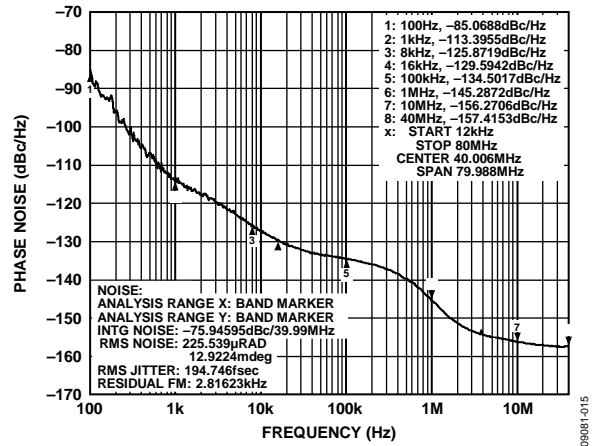


图12. 相位噪声, 输出 = 184.32 MHz (VCXO = 122.88 MHz, Crystek VCXO CVHD-950)

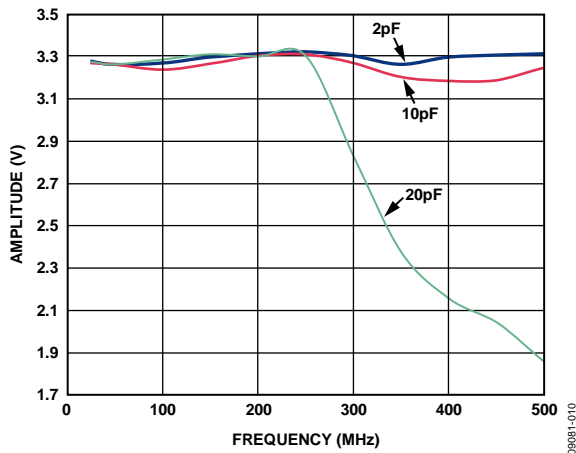


图10. 幅度与频率和容性负载的关系, CMOS模式, 2 pF、10 pF和20 pF负载

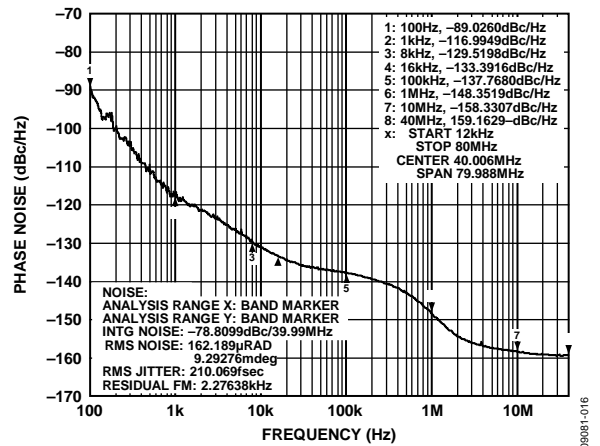


图13. 相位噪声, 输出 = 122.88 MHz (VCXO = 122.88 MHz, Crystek VCXO CVHD-950, 倍频器关闭)

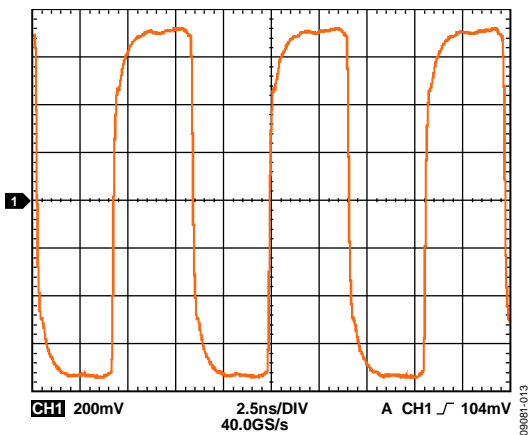


图11. 输出波形(差分), LVPECL (122.88 MHz)

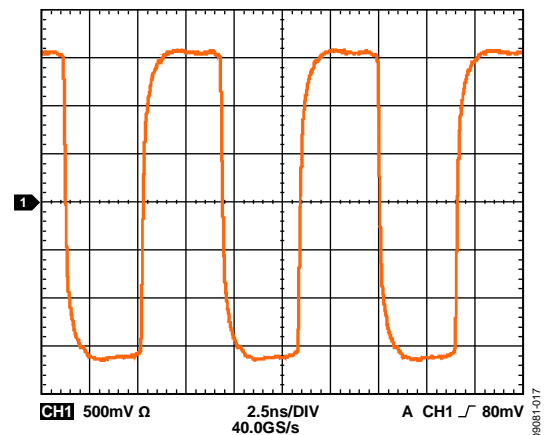


图14. 输出波形(差分), HSTL (16 mA, 122.88 MHz)

输入/输出端接建议

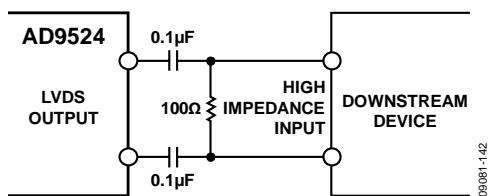


图15. 交流耦合LVDS输出驱动器

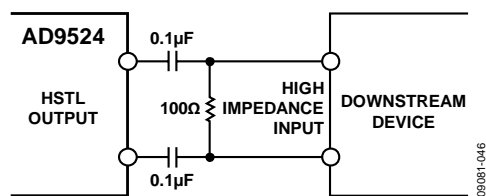


图19. 交流耦合HSTL输出驱动器

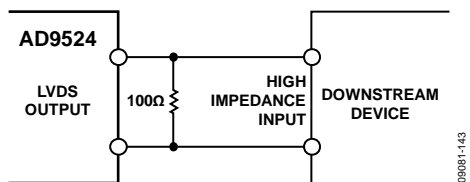


图16. 直流耦合LVDS输出驱动器

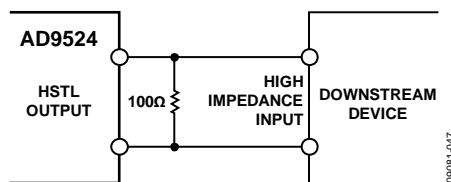


图20. 直流耦合HSTL输出驱动器

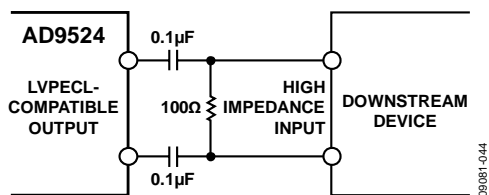
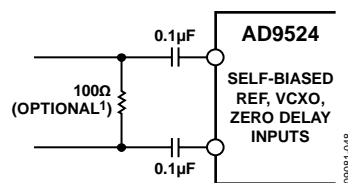


图17. 交流耦合LVPECL输出驱动器



¹RESISTOR VALUE DEPENDS UPON REQUIRED TERMINATION OF SOURCE.

图21. REF、VCXO和零延迟输入差分模式
(在CMOS单端输入模式下, 未使用的输入可以不连接)

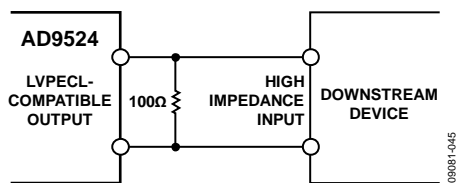


图18. 直流耦合LVPECL输出驱动器

术语

相位抖动和相位噪声

理想情况下，在正弦波的每个周期，相位都会随着时间从 0° 连续均匀地变化到 360° 。不过，实际信号的相位随时间的变化与理想情况会有一些的偏差，这种现象称为相位抖动。导致相位抖动的原因有许多，其中一个主要原因是随机噪声，其统计特征为高斯(正则)分布。

这种相位抖动导致正弦波能量在频域中扩散，产生连续的功率频谱。通常将该功率频谱报告为相对于正弦波(载波)的给定频率偏移下的一系列值，其单位为dBc/Hz。该值是1 Hz带宽内包含的功率与载波频率时的功率之比(用dB表示)。对于每次测量，还会给出相对于载波频率的偏移。

对一定偏移频率区间(例如10 kHz到10 MHz)内所含的总功率进行积分很有意义。这称为该频率偏移区间内的积分相位噪声，它与该偏移频率区间内的相位噪声所引起的时间抖动直接相关。

相位噪声对ADC、DAC和RF混频器的性能有不利影响。虽然影响方式不同，但它会降低转换器和混频器可实现的动态范围。

时间抖动

相位噪声是一种频域现象。在时域内，该效应表现为时间抖动。观察正弦波时，连续过零的时间并不固定。方波中，时间抖动表现为边沿偏离其理想(规则)的出现时间。这两种情况下，实际时序与理想时序的偏差即为时间抖动。这些偏差是随机的，因此用均方根(rms)秒或高斯分布的 1σ 来规定时间抖动。

出现在DAC或ADC采样时钟上的时间抖动会降低转换器的信噪比(SNR)和动态范围。抖动最低的采样时钟可使给定转换器发挥最高性能。

附加的相位噪声

附加相位噪声指可归因于被测设备或子系统的相位噪声量。所有外部振荡器或时钟源的相位噪声都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总相位噪声的影响程度。各元件都会贡献一定的相位噪声，但在许多情况下，某个元件的相位噪声占居系统总相位噪声的主要部分。当有多个相位噪声源时，总相位噪声等于各噪声源的平方和的平方根。

附加的时间抖动

附加时间抖动指可归因于被测设备或子系统的时间抖动量。所有外部振荡器或时钟源的时间抖动都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总时间抖动的影响程度。各元件都会贡献一定的时间抖动，但在许多情况下，外部振荡器和时钟源的时间抖动占居系统时间抖动的主要部分。

工作原理

详细框图

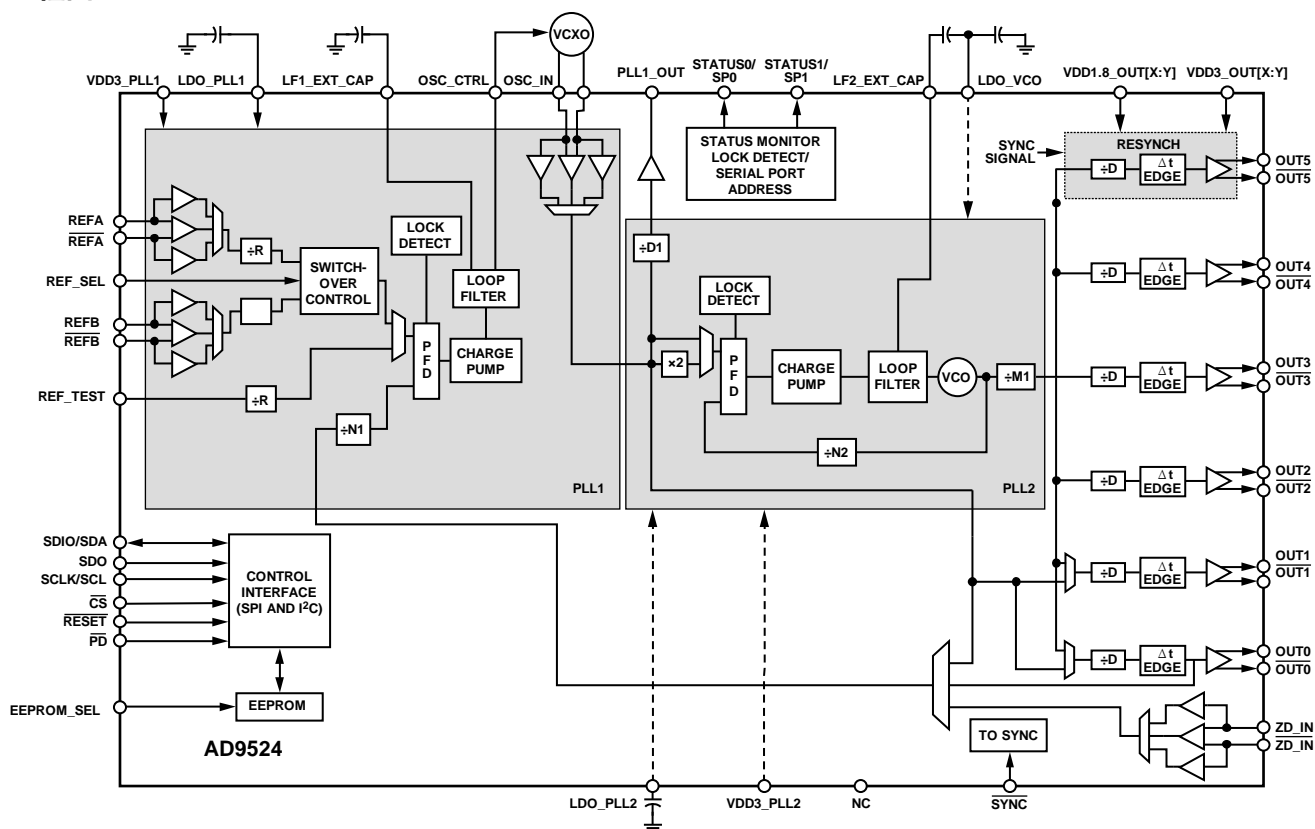


图22. 顶层框图

概述

AD9524是一款采用整数N分频锁相环(PLL)的时钟发生器。器件架构由两个级联的PLL级组成。第一级PLL1包含一个整数分频PLL，使用最高250 MHz的外部压控晶振(VCXO)。PLL1的窄环路带宽可以初步清除输入参考信号的抖动。第二级PLL2是一个频率乘法PLL，用于将第一级输出频率转换到3.6 GHz至4.0 GHz范围。PLL2集成了一个基于整数的反馈分频器，支持整数频率乘法。PLL2之后是可编程整数分频器(1到1024)，用以提供1 GHz或以下的最终输出频率。

AD9524内置参考信号处理模块，支持两个参考输入的平滑切换。该电路自动检测有无参考输入信号。如果只有一个输入信号，则器件将其用作活动参考。如果有两个输入信号，则一个成为活动参考，另一个成为备用参考。如果活动参考发生故障，电路将自动切换到备用参考(如有)，使它成为新的活动参考。如果故障参考又变得可用，则由寄存器设置决定采取何种动作：继续使用参考B或恢复使用参考A。如果两个参考均不可用，则AD9524支持保持模式。可以使用参考选择引脚(REF_SEL，引脚45)来手动选择哪一个输入参考是活动参考(见表43)。保持模式的精度取决于一半电源电压时外部VCXO的频率稳定性。

分频器的所有设置都可以通过串行编程端口编程，因此可以在程序控制下实现各种输入/输出频率比。分频器还包括可编程延迟功能，以便在需要时调整输出信号的时序。

输出兼容LVPECL、LVDS或HSTL逻辑电平(参见“输入/输出端接建议”部分)，但AD9524仅实现了CMOS。

各PLL都集成有环路滤波器并且可编程。各PLL环路滤波器只需要一个外部电容。

AD9524的工作温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 的扩展工业温度范围。

AD9524

元件模块—输入PLL (PLL1)

PLL1概述

输入PLL(称为PLL1)的基本组成部分包括鉴频鉴相器(PFD)、电荷泵、无源环路滤波器和闭环工作的外部VCXO。

PLL1能够灵活地采用大约10 Hz到100 Hz的环路带宽工作。这种相对较窄的环路带宽使得AD9524能够抑制输入参考(REFA和REFB)上的抖动。这样, PLL1的输出就变为参考输入系统时钟的低抖动锁相版本。

PLL1参考时钟输入

AD9524具有两路独立的差分参考时钟输入: REFA和REFB。这些输入可以配置为以全差分模式或单端CMOS模式工作。

在差分模式下, 这些引脚在内部自行偏置。如果以单端方式驱动REFA或REFB, 则未使用端(REFA、REFB)应通过适当的电容去耦到无噪声地。图21给出了REFA或REFB的等效电路。可以直流耦合到这些输入, 但直流工作点应当按照技术规格部分中的规定进行设置。

要在3.3 V CMOS模式下使用REFA或REFB输入, 用户必须设置寄存器0x01A中的位5或位6(见表41)。单端输入可以通过直流耦合CMOS电平信号或交流耦合正弦波或方波驱动。

当未选择差分参考输入或者PLL掉电时, 差分参考输入接收器掉电。当PLL掉电、相应的掉电寄存器置1或者选择差分接收器时, 单端缓冲器掉电。

REFB R分频器与REFA R分频器使用相同的值, 除非寄存器0x01C的位7——REFB R分频器独立分频控制使能位——按照表43所示进行设置。

PLL1环路滤波器

PLL1环路滤波器要求从LF1_EXT_CAP(引脚5)连接一个外部电容到地。该外部电容的值取决于外部VCXO的使用方式, 以及输入时钟速率和所需带宽等配置参数。通常, 0.3 μ F电容支持10 Hz到100 Hz的环路带宽, 并能确保环路在器件的目标工作参数范围内保持稳定(RZERO值见表44)。

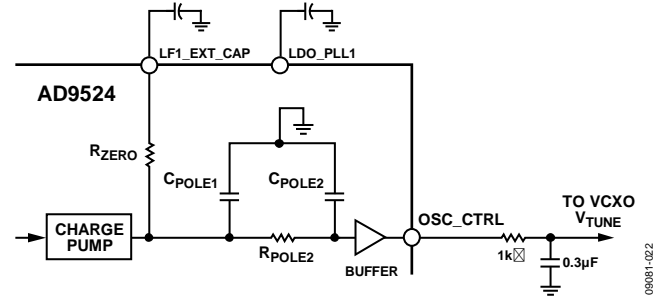


图23. PLL1环路滤波器

表20. PLL1环路滤波器可编程值

RZERO (k Ω)	CPOLE1 (nF)	RPOLE2 (k Ω)	CPOLE2 (nF)	LF1_EXT_CAP ¹ (μ F)
883	1.5(固定)	165(固定)	0.337(固定)	0.3
677				
341				
135				
10				
外部				

¹ 外部环路滤波器电容

OSC_CTRL输出端应使用一个外部R-C低通滤波器。图23所示的值会增加一个约530 Hz的低通极点。此R-C网络用于滤除OSC_CTRL缓冲器的相关噪声, 以在1 kHz偏移区间实现最佳噪声性能。

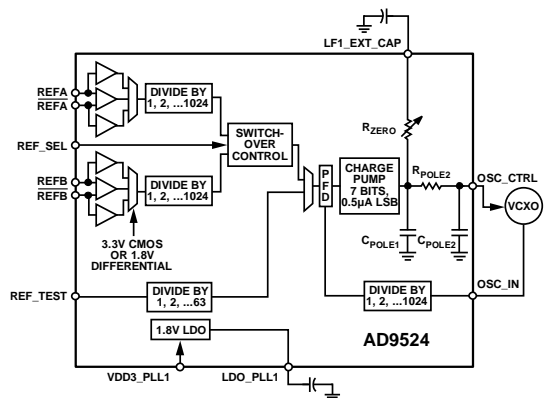


图24. 输入PLL (PLL1)框图

PLL1输入分频器

每路参考输入为一个专用参考分频器模块提供信号。输入分频器以1到1023的整数步进对参考频率进行分频，它们是预分频的主体部分，目的是降低参考频率以支持PLL1通常需要的带宽。

PLL1参考切换

参考监控器检查有无预分频的REFA和REFB信号(即输入分频器分频之后的信号)。参考监控器的状态指导切换控制逻辑的操作。AD9524支持PLL参考时钟在REFA(REFA和REFA引脚)和REFB(REFB和REFB引脚)之间自动和手动切换。该特性支持需要冗余参考的网络和基础设施应用。

参考切换有多种可配置的模式。手动切换可以通过寄存器设置或使用REF_SEL引脚实现。当REFA消失而REFB上有一个参考信号时，会发生自动切换。

参考自动切换可以设置为如下工作方式：

- 非恢复式：继续使用REFB。当REFA消失时，从REFA切换到REFB，但当REFA重新出现时，不切换回REFA。如果REFB消失，则切换回REFA。
- 恢复使用REFA。当REFA消失时，从REFA切换到REFB；当REFA重新出现时，从REFB切换回REFA。
- PLL1其它控制寄存器位设置参见表43。

PLL1保持

当两个输入参考均消失时，器件进入保持模式。保持模式是PLL1提供的第二功能。PLL1有一个外部VCXO可以用作频率源，因此当不存在输入参考信号时，它可以继续工作。

当器件切换到保持模式时，电荷泵进入三态。器件在此模式下继续工作，直到有参考信号可用时才退出保持模式，然后PLL1与活动参考重新同步。除三态外，保持期间还可以将电荷泵驱动到VCC/2(见表43寄存器0x01C的位6)。

元件模块—输出PLL (PLL2)

PLL2概述

输出PLL(称为PLL2)包括可选输入参考倍频器、鉴频鉴相器(PFD)、部分集成模拟环路滤波器(见图25)、集成压控振荡器(VCO)和反馈分频器。VCO产生标称3.8 GHz信号，其输出分频器支持4到11的分频比。

输出PLL的PFD驱动一个电荷泵，以增加、减少或保持(内部和外部)环路滤波器电容中存储的电荷不变。存储的电荷可产生一个电压，用于设置VCO的输出频率。PLL的反馈环路致使VCO控制电压以相位锁定PFD输入信号的方式改变。

PLL2的增益与电荷泵提供的电流成比例。所选环路滤波器带宽旨在降低PLL源的噪声贡献，避免影响相位噪声要求。

输出PLL的VCO具有涵盖3.6 GHz至4.0 GHz的多个频段。不过，特定频段内的实际工作频率取决于环路滤波器电容上的控制电压。该控制电压使VCO输出频率在所选频段内发生线性变化。通过这种频率变化，输出PLL的控制环路能够将VCO输出信号与施加于PFD的参考信号同步。通常，器件会在校准过程(通过位于地址0x0F3的VCO控制寄存器调用)中自动选择合适的频段。

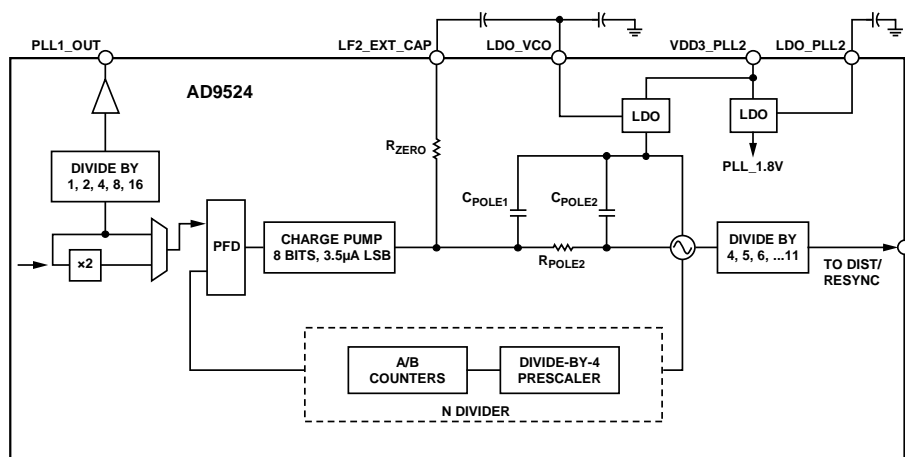


图25. 输出PLL (PLL2)框图

输入2倍频率乘法器

2倍频率乘法器允许将PLL2输入端的频率加倍。这样，用户就可以利用PLL (PFD)输入端的更高频率来降低带内相位噪声，并增大PLL产生的频率与PFD相关的调制杂散之间的间隔。不过，参考杂散间隔增大会导致频率乘法器产生谐波杂散；当OSC_IN输入端的占空比偏离50%时，谐波杂散会提高。因此，频率乘法器能否起到有利作用取决于具体应用。通常，具有适当接口的VCXO在OSC_IN输入端的占空比约为50%。注意，2倍频率乘法器的最大输出频率不得超过表12规定的最大PFD速率。

PLL2反馈分频器

PLL2有一个反馈分频器(N分频器)，它可提供整数频率上变频功能。PLL2 N分频器由一个预分频器(P)和两个计数器(A和B)组合而成。总分频器值为：

$$N = (P \times B) + A$$

其中， $P = 4$ 。

该反馈分频器采用双模预分频器结构，具有不可编程的P值(等于4)。B计数器的值是4到63，A计数器的值是0到3。不过，由于分频器的结构限制，存在一些约束条件，如表46所列。

PLL2环路滤波器

PLL2环路滤波器要求从LF2_EXT_CAP(引脚9)连接一个外部电容到LDO_VCO(引脚12)，如图25所示。该外部电容的值取决于工作模式和所需的相位噪声性能。例如，大约500 kHz的环路带宽所产生的积分抖动最低。带宽越低，相位噪声也越低(1 MHz时)，但总积分抖动会提高。

表21. PLL2环路滤波器可编程值

RZERO (Ω)	CPOLE1 (pF)	RPOLE2 (Ω)	CPOLE2 (pF)	LF2_EXT_CAP ¹ (pF)
3250	48	900	16(固定)	1000(典型值)
3000	40	450		
2750	32	300		
2500	24	225		
2250	16			
2100	8			
2000	0			
1850				

¹ 外部环路滤波器电容

VCO分频器

VCO分频器提供内部VCO与时钟分配之间的分频功能，分频比可以设置为4、5、6、7、8、9、10或11。

VCO校准

为确保AD9524能在整个工艺和温度范围内正常工作，必须手动校准片内VCO。将校准VCO位(寄存器0x0F3的位1)置1可以实现校准(此位不是自清零位)。该设置可以作为执行IO_Update位(寄存器0x234的位0 = 1)之前的初始设置的一部分来完成。一个回读位(VCO校准进行中，寄存器0x22D的位0)通过返回逻辑真值(即位0 = 1)，指示VCO校准正在进行。如果EEPROM在使用中，则在将寄存器设置保存到EEPROM之前将校准VCO位(寄存器0x0F3，位1)置1，可确保在EEPROM加载后自动执行VCO校准。校准后，建议启动同步过程(更多信息请参见“时钟分配同步”部分)。

注意，校准VCO位默认值为0。要启动校准过程，必须将此位从0设为1。因此，随后的任何校准都需要执行如下序列：

1. 寄存器0x0F3的位1(校准VCO位)= 0
2. 寄存器0x234的位0(IO_Update位) = 1
3. 寄存器1x0F3的位1(校准VCO位)= 0
4. 寄存器0x234的位0(IO_Update位) = 1

VCO校准由一个采用VCXO输入时钟工作的校准控制器控制。校准要求正确设置PLL2以便锁定PLL2环路，并且VCXO时钟存在。

上电或复位期间，分配部分自动保持同步，直到第一次VCO校准完毕。因此，在VCO校准完成和PLL2锁定之前，不会提供输出。

下列情况下应启动VCO校准：

- 更改PLL2 B计数器和A计数器设置或者PLL2参考时钟频率改变之后。这意味着，只要PLL2寄存器或参考时钟发生变化，导致VCO频率改变，就应启动VCO校准。
- 需要进行系统校准时。VCO能够在极端温度下正常工作，即使首次校准是在相反的极端温度下进行。然而，如有需要，可以随时启动VCO校准。

时钟分配

时钟分配模块提供一种集成解决方案，可根据PLL2 VCO分频器输出的分频频率产生多路时钟输出。分配输出包括6个通道(OUT0至OUT5)，各输出通道都有专用分频器和输出驱动器，如图25所示。AD9524还能将VCXO输出路由至其中的二路输出(OUT0至OUT1)。

时钟分频器

输出时钟分配分频器称为D0至D5，分别对应于输出通道OUT0至OUT5。每个分频器都是可编程的，分频深度为10位，相当于1到1024。分频器具有占空比校正功能，占空比始终保持在50%，即便奇数分频器也是如此。

输出关断

通过通道0至通道5控制寄存器(见表51)，可以独立控制每个输出通道的掉电功能。每个输出通道都有专用掉电位，以便关断相应的输出驱动器。不过，如果所有六路输出都关断，则整个分配输出进入深度休眠模式。虽然每个通道都有一个通道掉电控制信号，但有时可能需要在输出驱动器掉电的同时，保持其分频器与其它通道分频器同步。这可以通过将该输出置于三态模式来实现；该方法在CMOS模式下也有效。

多模式输出驱动器

用户通过通道0至通道5控制寄存器(见表51)，可以独立控制每个输出通道的工作模式。工作模式控制包括如下参数：

- 逻辑系列和引脚功能
- 输出驱动强度
- 输出极性

六个(通道0至通道5)控制寄存器的四个最低有效位(LSB)由驱动器模式位组成。模式值选择所需的输出通道逻辑系列和引脚功能，如表51所列。该驱动器设计为图26所示的所有不同驱动器工作模式提供了一个通用100 Ω外部电阻。

如果输出通道交流耦合到为之提供时钟的电路，则改变模式将改变电压摆幅，从而确定对驱动电平的灵敏度。例如，在LVDS模式下，3.5 mA的电流会引起350 mV的峰值电压。同样，在LVPECL兼容模式下，8 mA的电流会在100 Ω负载电阻上引起800 mV的峰值电压。使用除“输入/输出端接建议”部分指定以外的任何其他端接都有可能损坏器件，或者降低器件工作寿命性能。

除四个模式位以外，通道0至通道5的六个控制寄存器还包括如下控制位：

- 分频器输出反相。允许用户选择正常极性或反转极性。正常极性是默认状态。反转极性的逻辑0和逻辑1的意义相反，与逻辑系列无关。
- 忽略同步。让分频器忽略来自任何源的SYNC信号。
- 通道掉电。关断整个通道。
- 低功耗模式。
- 驱动器模式。
- 通道分频器。
- 分频器相位。

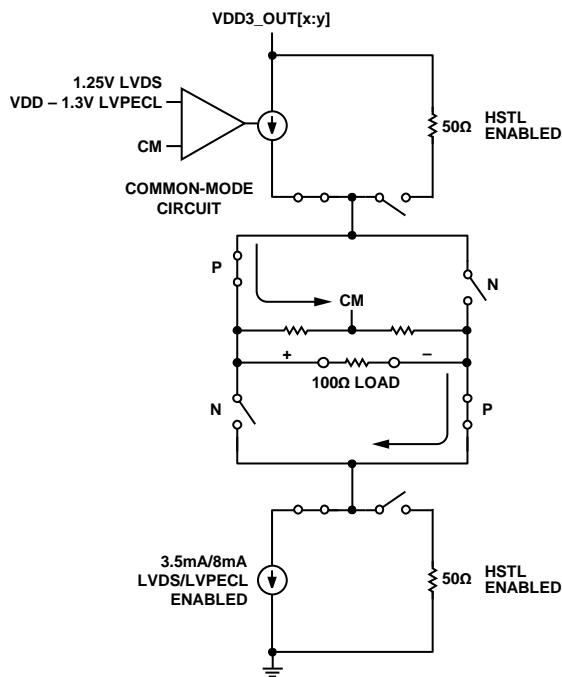


图26. 多模式驱动器

08439-031

时钟分配同步

时钟分配同步功能的框图如图27所示。同步序列以主同步信号开始，最终向时钟分配逻辑提供一个同步脉冲。

如图所示，主同步信号的来源有如下两个：

- 同步分频器位提供的直接同步源(参见表55中寄存器0x232的位0)。
- 器件SYNC引脚(引脚13)。

上电或复位事件后PLL2首次锁定时，分频器会自动同步。随后的锁定/解锁事件不会启动分配分频器的重新同步，除非之前发生器件掉电或复位事件。

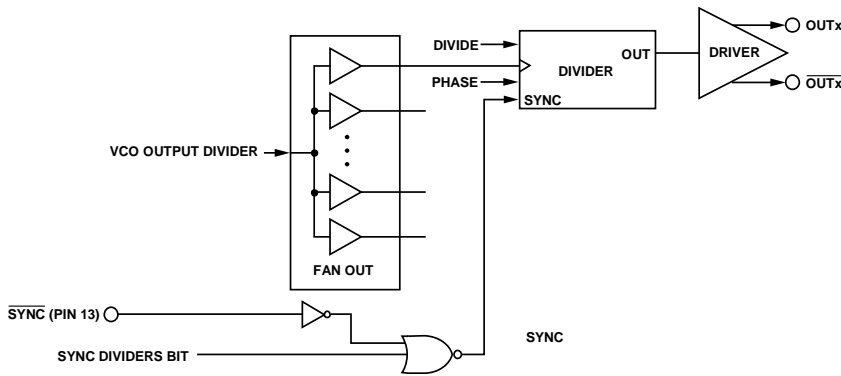


图27. 时钟输出同步框图

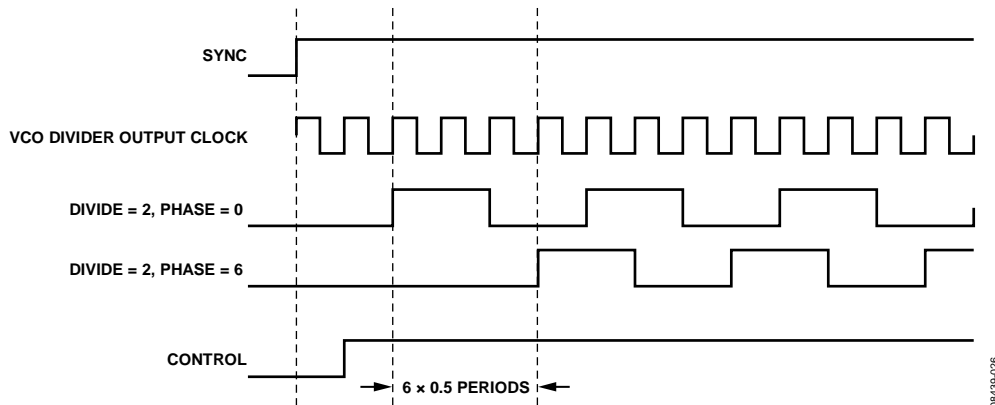


图28. 时钟输出同步时序图

主同步信号的两个源均进行逻辑“或”操作，因此，任何一个源在任何时候都可以同步时钟分配输出。使用同步分频器位时，用户先设置然后清除该位。

同步事件即为清零操作(即该位从逻辑1跃迁到逻辑0)。当PLL2就绪时，分频器全都自动彼此同步。分频器支持0到63步的可编程相位偏移，步长为输入时钟(如VCO分频器输出时钟)的半个周期。相位偏移通过各分频器第一个输出时钟周期的预设值并入驱动器。只有对初始相位和分频值进行编程，然后向分配电路发送一个同步信号(启动时自动发送或手动发送，视需要而定)，才能支持相位偏移。

使用 $\overline{\text{SYNC}}$ 引脚(引脚17时)，存在11个VCO分频器输出流水线延迟，以及从 $\overline{\text{SYNC}}$ 的上升沿到时钟输出的一个周期。至少有一个额外的VCO分频器周期不确定，因为 $\overline{\text{SYNC}}$ 信号与VCO分频器输出异步。

正常工作时，在AD9524启动以提供输出之前就已经通过EEPROM或SPI/I²C端口设置相位偏移。虽然用户无法在分频器工作时调整相位偏移，但可以在不关断PLL1和PLL2的情况下同时调整所有输出的相位。其实现方法如下：利用寄存器0x198的位[7:2]设置新的相位偏移(见表51)，然后利用 $\overline{\text{SYNC}}$ 引脚或同步分频器位(寄存器0x232的位0)发送一个分频同步信号。

未设置为忽略同步的所有输出在同步激活时暂时禁用。注意，如果某路输出用于零延迟路径，则它也会暂时消失。不过这是有利的，因为它能确保所有同步输出相对于零延迟输出(从而相对于输入)具有确定的相位关系。

零延迟操作

零延迟操作能够使输出时钟的相位与外部PLL参考输入的相位对齐。OUT0输出设计用作零延迟的输出。AD9524有两种零延迟模式：内部和外部(见图29)。注意，由于零延迟路径包括输出驱动器，因此外部延迟模式的匹配度优于内部延迟模式。将PLL1的反冲防回差脉冲宽度控制设置为最大值可提供最佳的零延迟匹配。

内部零延迟模式

AD9524的内部零延迟功能是通过将通道分频器0的输出反馈至PLL1 N分频器来实现的。寄存器0x01B的位5用于选择内部零延迟模式(见表42)。在内部零延迟模式下，通道分频器0的输出通过一个多路复用器返回PLL1(N分频器)。

PLL1使通道分频器0的输出相位/边沿与参考输入的相位/边沿同步。

由于通道分频器彼此同步，因此通道分频器的输出与参考输入同步。

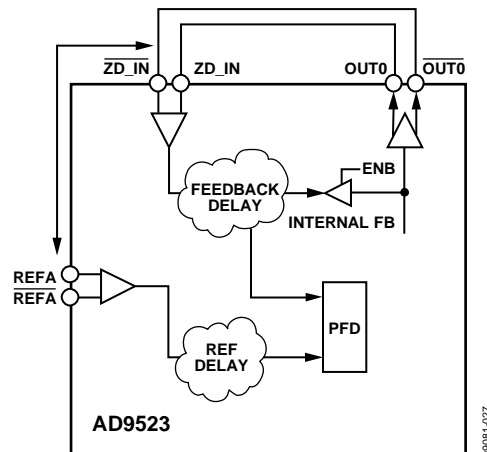


图29. 零延迟功能

外部零延迟模式

AD9524的外部零延迟功能是通过将OUT0反馈至ZD_IN输入，最终回到PLL1 N分频器来实现的。图29中，外部零延迟模式的信号路由变化发生于AD9524的外部。

寄存器0x01B的位5用于选择外部零延迟模式。在外部零延迟模式下，OUT0必须通过ZD_IN和ZD_IN引脚返回PLL1(N分频器)。

PLL1使反馈输出时钟的相位/边沿与参考输入的相位/边沿同步。由于通道分频器彼此同步，因此时钟输出与参考输入同步。参考路径延迟和ZD_IN的反馈延迟与输出驱动器和PLL元件的传播延迟相同，这使得时钟输出与参考输入之间的相位偏移最小，从而实现零延迟。

锁定检测

当频率误差高于鉴频鉴相器阈值时，PLL1和PLL2鉴频鉴相器发出一个失锁条件。PLL失锁时，参考时钟和反馈时钟之间存在随机相位。由于存在随机相位关系，锁定条件的时间范围为 $2^{15} \times T_{\text{PFD}}$ 个周期至 $1 \times T_{\text{PFD}}$ 个周期。对于锁定条件而言，它将始终需要 $2^{16} \times T_{\text{PFD}}$ 的时间来锁定，但也有可能需要 $2^{31} \times T_{\text{PFD}}$ 个周期，具体取决于相位阶跃的幅度有多大，以及它与锁定检测重启的时间关系。

AD9524

复位模式

AD9524可以通过上电复位(POR)和其它几种方式使芯片复位。

上电复位

在芯片上电期间,当3.3 V电源达到约2.6 V (<2.8 V)时,会发出一个上电复位脉冲,将芯片复位到EEPROM中存储的设置(EEPROM引脚 = 1)或片内设置(EEPROM引脚 = 0)。上电时,AD9524会执行SYNC操作,根据默认设置将输出的相位对齐。输出驱动器保持同步,时间由内部产生的上电同步定时器(约70 ms)确定。此周期后,输出开始切换。

通过RESET引脚进行复位

RESET可进行复位(短暂拉低RESET可执行异步复位),可以将芯片复位到EEPROM中存储的设置(EEPROM引脚 = 1)或片内设置(EEPROM引脚 = 0)。复位也会执行同步操作,根据默认设置将输出的相位对齐。当EEPROM无效(EEPROM引脚 = 0)时,发出RESET后大约经过2 μ s输出就会开始切换。当EEPROM有效(EEPROM引脚 = 1)时,拉高RESET后大约需要40 ms输出就会切换。

通过串行端口进行复位

串行端口控制寄存器支持复位,方法是将寄存器0x000的位2和位5置1。当位5和位2置1时,芯片进入软复位模式,

恢复到EEPROM中的设置(EEPROM引脚 = 1)或片内设置(EEPROM引脚 = 0),寄存器0x000除外。除自清零位、位2和位5以外,寄存器0x000保持其复位前的值。内部复位期间,输出保持静态。位2和位5是自清零位。然而,自清零操作直到再出现一个串行端口SCLK周期后才完成,在位2和位5自清零之前,AD9524保持复位状态。

通过串行端口复位到EEPROM中的设置(EEPROM引脚 = 0时)

当EEPROM引脚 = 1时,串行端口控制寄存器允许通过寄存器0xB02的位1将芯片复位到EEPROM中的设置。该位自清零。当EEPROM引脚 = 0时,此位不起任何作用。Soft_EEPROM寄存器清0后,大约需要40 ms输出才会开始切换。

省电模式

通过PD关断芯片

通过拉低PD引脚,可以使AD9524进入关断模式,从而关闭AD9524内部的大部分功能和电流。在PD返回逻辑高电平状态之前,芯片将一直处于关断状态。离开关断模式后,AD9524返回到关断前其寄存器中的设置,除非在PD引脚为低电平期间,寄存器被新设置更改。

串行控制端口

AD9524串行控制端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该端口兼容大多数同步传输格式，包括Philips I²C[®]、Motorola[®] SPI和Intel[®] SSR协议。AD9524 I²C方案的两个规格与传统I²C规格有差异，如本数据手册的表16所示。通过此串行控制端口，可以对所有配置AD9524的寄存器进行读/写操作。

SPI/I²C端口选择

AD9524有两个串行接口：SPI和I²C。用户可以选择SPI或I²C，具体取决于通电时或RESET后两个逻辑电平输入引脚SP1和SP0的状态(逻辑高电平或逻辑低电平)；各引脚内置一个40 kΩ下拉电阻)。当SP1和SP0均为低电平时，SPI接口使能。在其他情况下，I²C接口使能，它具有三个不同的I²C从机地址设置(7位宽)，如表22所示。从机地址的5个MSB是硬件编码11000，2个LSB由SP1和SP0引脚的逻辑电平决定。

表22. 串行端口模式选择

SP1	SP0	地址
低	低	SPI
低	高电平	I ² C: 1100000
高电平	低	I ² C: 1100001
高电平	高电平	I ² C: 1100010

I²C串行端口操作

AD9524 I²C端口基于I²C快速模式标准。AD9524支持所有两种I²C协议：标准模式(100 kHz)和快速模式(400 kHz)。

AD9524 I²C端口是一个双线接口，由一条串行数据线(SDA)和一条串行时钟线(SCL)构成。在I²C总线系统中，AD9524作为从机连接到串行总线(数据总线SDA和时钟总线SCL)，这意味着AD9524不产生时钟。AD9524采用16位(两个字节)直接存储器寻址，而不是传统的8位(一个字节)存储器寻址。

I²C总线特性

表23. I²C总线定义

缩写	定义
S	起始
Sr	重复起始
P	停止
A	应答
\bar{A}	不应答
W	写操作
R	读操作

对于所传输的每个数据位，都会在SCL时钟线上产生一个脉冲。

SDA线上的数据在时钟的高电平期间不得改变。只有当SCL线上的时钟为低电平时，数据线的状态才能改变。

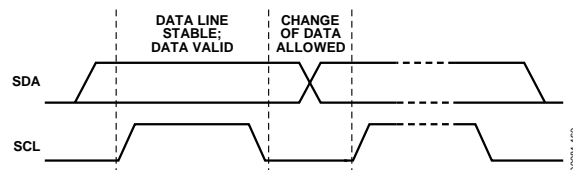


图30. 有效位传输

起始条件是SCL处于高电平时，SDA线上发生的高电平至低电平跃迁。起始条件始终由主机产生，用于启动数据传输。

停止条件是SCL处于高电平时，SDA线上发生的低电平至高电平跃迁。停止条件始终由主机产生，用于结束数据传输。

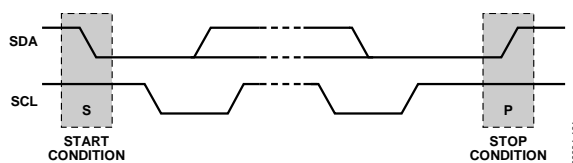


图31. 起始条件和停止条件

SDA线上的字节始终为8位长。每个字节之后必须跟随一个应答位。字节以MSB优先方式发送。

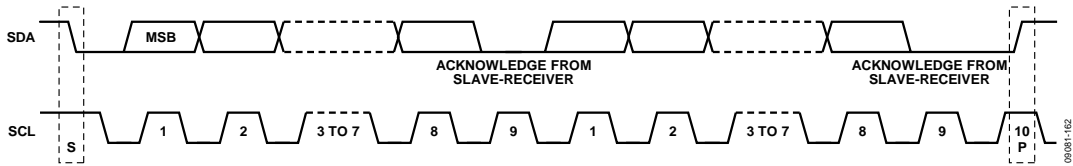


图32. 应答位

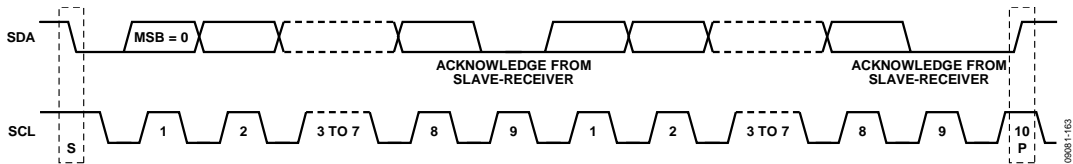


图33. 数据传输过程(主机写模式, 使用2字节传输进行说明)

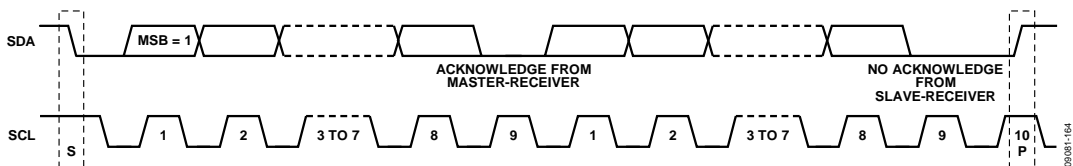


图34. 数据传输过程(主机读模式, 使用2字节传输进行说明)

应答位是附加到任何8位数据字节的第九个位。应答位始终由接收器件(接收方)产生, 用于通知发送方已收到该字节。其实现方法是在每8位数据字节后的第9个时钟脉冲期间拉低SDA线。

不应答位是附加到任何8位数据字节的第九个位。不应答位始终由接收器件(接收方)产生, 用于通知发送方未收到该字节。其实现方法是在每8位数据字节后的第9个时钟脉冲期间保持SDA线为高电平状态不变。

数据传输过程

主机通过置位起始条件来发起数据传输。这样, 随后就会发生数据流。连接到串行总线的所有I²C从机都会响应起始条件。

然后, 主机通过SDA线发送一个8位地址字节, 它由7位从机地址(MSB优先)和一个读写(R/ \bar{W})位组成。读写位决定数据传输的方向, 即数据写入还是读取从机(0 = 写, 1 = 读)。

地址与所发送地址对应的外设以一个应答位响应。在选定器件等待读写数据期间, 总线上的所有其它器件保持空闲状态。如果R/ \bar{W} 位为0, 则主机(发送方)写入从机(接收方)。如果R/ \bar{W} 位为1, 则主机(接收方)读取从机(发送方)。这些命令的格式参见“数据传输格式”部分所述。

然后, 主机(写入模式)或从机(读取模式)以9个时钟脉冲(一个8位数据字节后跟一个来自接收器件的应答位)的格式通过串行总线发送数据。每次传输能够发送的字节数不受限制。在写入模式下, 紧随从机地址字节之后的前两个数据字节是内部存储器(控制寄存器)地址字节, 高位字节地址

优先。这种寻址方案的存储器地址数量最多为 $2^{16} - 1 = 65,535$ 。两个存储器地址字节之后的数据字节是写入控制寄存器的寄存器数据。在读取模式下, 从机地址字节之后的数据字节是从控制寄存器读取的寄存器数据。单次I²C传输可以包含多个读取自或写入控制寄存器的数据字节, 寄存器地址从基本存储器地址开始自动递增。

读取或写入所有数据字节之后, 停止条件随即建立。在写入模式下, 主机(发送方)在从机(接收方)最后一个数据字节的应答位之后的第10个时钟脉冲期间置位停止条件以结束数据传输。在读取模式下, 主机(接收方)接收从机(发送方)最后一个数据字节, 但在第9个时钟脉冲期间不拉低数据线, 这称为不应答位。接收到不应答位时, 从机得知数据传输已结束, 从而释放SDA线。主机随后在第10个时钟脉冲前的低电平期间拉低数据线, 然后在第10个时钟脉冲期间拉高数据线, 以置位停止条件。重复起始(Sr)条件可以代替停止条件。此外, 起始或停止条件可以随时发生, 不完整传输的字节会被丢弃。如果I²C数据写入传输包含多个数据字节, 则对于写入寄存器0x234之后的数据字节, 外设不应答, 从而结束I²C传输。如果I²C数据读取传输包含多个数据字节, 则在读取寄存器0x234之后, 外设会对随后的读操作驱动数据字节0x00。

数据传输格式

发送字节格式。发送字节协议用于设置后续命令的寄存器地址。

S	从机地址	W	A	RAM地址高位字节	A	RAM地址低位字节	A	P
---	------	---	---	-----------	---	-----------	---	---

写入字节格式。写入字节协议用于将寄存器地址写入RAM，从指定RAM地址开始。

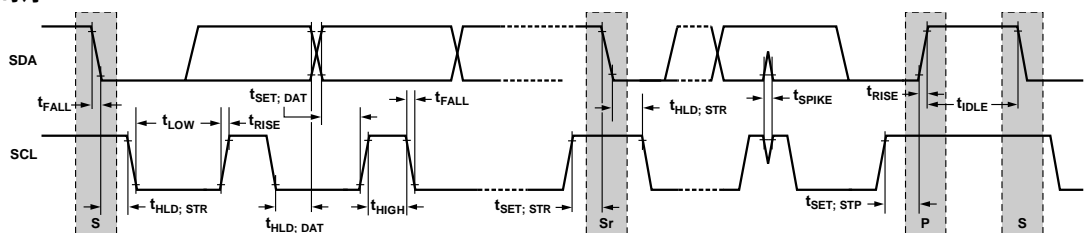
S	从机地址	W	A	RAM地址高位字节	A	RAM地址低位字节	A	RAM数据0	A	RAM数据1	A	RAM数据2	A	P
---	------	---	---	-----------	---	-----------	---	--------	---	--------	---	--------	---	---

接收字节格式。接收字节协议用于从RAM读取数据字节，从当前地址开始。

S	从机地址	W	A	RAM数据0	A	RAM数据1	A	RAM数据2	\bar{A}	P
---	------	---	---	--------	---	--------	---	--------	-----------	---

读取字节格式。发送字节和接收字节的合并格式。

S	从机地址	W	A	RAM地址高位字节	A	RAM地址低位字节	A	Sr	从机地址	R	A	RAM数据0	A	RAM数据1	A	RAM数据2	\bar{A}	P
---	------	---	---	-----------	---	-----------	---	----	------	---	---	--------	---	--------	---	--------	-----------	---

I²C串行端口时序图35. I²C串行端口时序**表24. I²C时序定义**

参数	说明
f _{I2C}	I ² C时钟频率
t _{IDLE}	停止与起始条件之间的总线空闲时间
t _{HLD; STR}	重复起始条件的保持时间
t _{SET; STR}	重复起始条件的建立时间
t _{SET; STP}	停止条件的建立时间
t _{HLD; DAT}	数据保持时间
t _{SET; DAT}	数据建立时间
t _{LOW}	SCL时钟低电平持续时间
t _{HIGH}	SCL时钟高电平持续时间
t _{RISE}	SCL/SDA上升时间
t _{FALL}	SCL/SDA下降时间
t _{SPIKE}	输入滤波器必须抑制的电压尖峰脉冲宽度

AD9524

SPI串行端口操作

引脚描述

SCLK(串行时钟)是串行移位时钟,此引脚为输入。SCLK用来使串行控制端口的读写操作同步。写入数据位记录在该时钟的上升沿,读出数据位记录在下降沿。此引脚由一个40 kΩ电阻内部下拉至地。

SDIO(串行数据输入/输出)是一个两用引脚,既可以仅用作输入(单向模式),也可以同时用作输入和输出(双向模式)。AD9524默认采用双向I/O模式。

SDO(串行数据输出)仅用于单向I/O模式,作为回读数据的独立输出引脚。 \overline{CS} (片选引脚信号)是低电平有效控制,用来选通读写周期。当 \overline{CS} 为高电平时,SDO和SDIO引脚处于高阻态。此引脚由一个40 kΩ电阻内部上拉至VDD3_REF。

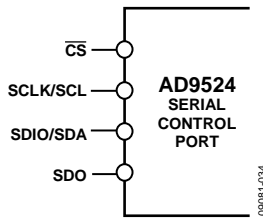


图36. 串行控制端口

SPI工作模式

SPI模式支持单字节和多字节传输,以及MSB优先和LSB优先传输格式。AD9524串行控制端口可以针对一个双向I/O引脚(仅SDIO)或两个单向I/O引脚(SDIO/SDO)配置。AD9524默认采用双向模式。它不支持短指令模式(8位指令),仅支持长(16位)指令模式。要启动对AD9524的写或读操作,须将 \overline{CS} 拉低。

当传输三个或更少字节的数据(加上指令数据)时(见表25),支持 \overline{CS} 空闲高电平模式。在此模式中, \overline{CS} 引脚可以在任何字节边界上暂时返回高电平,使系统控制器有时间处理下一个字节。 \overline{CS} 可以仅在字节边界上进入高电平;不过,它可以在传输的任一阶段(指令或数据)进入高电平。

在此期间,串行控制端口状态机进入等待状态,直到所有数据发送完毕。如果数据尚未发送完毕,而系统控制器决定中止传输,必须完成剩余传输,或者使 \overline{CS} 返回低电平并至少保持一个完整的SCLK周期(但少于8个SCLK周期),使状态机复位。在非字节边界上拉高 \overline{CS} 引脚将终止串行传输并刷新缓冲器。

在流模式中(见表25),可以连续流形式传输任意数量的数据字节,寄存器地址自动递增或递减(见SPI MSB/LSB优先传输部分)。在传输最后一个字节结束时,必须拉高 \overline{CS} ,从而结束流模式。

通信周期—指令加数据

AD9524的通信周期可分为两个部分。第一部分是在前16个SCLK上升沿将一个16位指令字写入AD9524。该指令字向AD9524串行控制端口提供有关数据传输(即通信周期的第二部分)的信息,明确即将发生的数据传输是读操作还是写操作,数据传输的字节数,以及数据传输中第一个字节的起始寄存器地址。

写操作

如果指令字定义了一个写操作,则第二部分便是将数据传输至AD9524的串行控制端口缓冲器。数据位记录在SCLK的上升沿。

传输长度(1/2/3字节或流模式)由指令字节中的两位(W1和W0)表示。当传输1、2或3字节(但不是流模式)时,在每个8位序列之后可以拉高 \overline{CS} ,使总线空闲,但最后一个字节之后除外,此时会结束通信周期。当总线空闲时,如果 \overline{CS} 变为低电平,就会恢复串行传输。在非字节边界上拉高 \overline{CS} 引脚将复位串行控制端口。在写操作期间,流模式不会跳过保留或空白字节,用户可以向保留寄存器地址写入0x00。

由于数据是写入串行控制端口缓冲区,而不是直接写入AD9524的实际控制寄存器,因此需要额外的操作来将串行控制端口缓冲内容传输到AD9524的实际控制寄存器,从而使其有效。更新寄存器操作包括将自清零位IO_Update(寄存器0x234的位0,见表57)置1。执行更新寄存器操作之前,可以改变任意数量的数据字节。更新寄存器会同时激活上次更新以来所有已写入缓冲器的寄存器变化。

读操作

AD9524仅支持长指令模式。如果指令字定义了一个读操作,在接下来的N x 8个SCLK周期,数据从指令字所规定的地址逐个输出,其中N为1至3,由位[W1:W0]确定。如果N=4,读操作将为流模式,持续至 \overline{CS} 变为高电平。在SPI读取期间,SDIO上的串行数据(如果是4线式模式,则为SDO)在SCLK下降沿转换,并且通常在SCLK上升沿进行采样。为了正确读取最后位,SPI主机必须要能耐受零保持时间。在无法实现零保持时间的情况下,用户可以使用流模式并延迟 \overline{CS} 上升沿,也可在SCLK下降沿进行串行数据采样。但是,为了在SCLK下降沿正确采样数据,用户必须确保设置时间超过 t_{DV} (时间数据有效)。流模式不会跳过保留或空白寄存器。

AD9524串行控制端口的默认模式是双向模式。在双向模式中，发送数据和回读数据均出现在SDIO引脚上。也可以将AD9524设置为单向模式。在单向模式中，回读数据出现在SDO引脚上。

回读请求读取串行控制端口缓冲区或有效寄存器中的数据(见图37)。

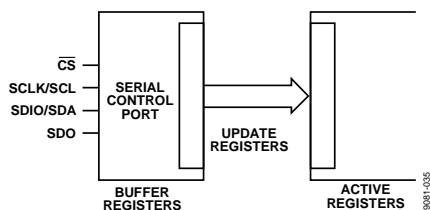


图37. 串行控制端口缓冲寄存器与有效寄存器之间的关系

SPI指令字(16位)

指令字的MSB为 R/\overline{W} ，表示该指令是读操作还是写操作。接下来的两位([W1:W0])表示传输长度，单位为字节。最后13位([A12:A0])是读或写操作的起始地址。

对于写操作，指令字之后是位[W1:W0]所代表的数据字节数(见表25)。

表25. 字节传输计数

W1	W0	传输字节数
0	0	1
0	1	2
1	0	3
1	1	流模式

位[A12:A0]选择通信周期数据传输阶段写入或读取的寄存器地址(寄存器映射范围内)。只需使用位[A11:A0]就能涵盖AD9524所用的全部0x234寄存器。位A12必须始终为0。对于多字节传输，此地址是起始字节地址。在MSB优先模式中，后续字节会递减该地址。

SPI MSB/LSB优先传输

AD9524指令字和字节数据可以是MSB优先或LSB优先。写入寄存器0x000的任何数据都必须进行镜像：位7镜像到位0，位6镜像到位1，位5镜像到位2，位4镜像到位3。这使得LSB优先或MSB优先事实上是一样的。AD9524的默认设置为MSB优先。

表27. 串行控制端口，16位指令字，MSB优先

														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/ \overline{W}	W1	W0	A12 = 0	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

当寄存器0x000的位1和寄存器0x000的位6设置LSB优先时，它会立即生效，因为这只影响串行控制端口的操作，而不需要执行更新。

当MSB优先模式有效时，指令和数据字节必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括高数据字节寄存器地址的指令字节开始。后续数据字节必须按照从高地址到低地址的顺序传输。在MSB优先模式下，多字节传输周期每传输一个数据字节，串行控制端口的内部地址产生器便递减1。

当LSB优先模式有效时，指令和数据字节必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括低数据字节寄存器地址的指令字节开始，其后是多个数据字节。在多字节传输周期中，每传输一个字节，串行端口的内部字节地址产生器便递增1。

如果MSB优先模式有效(默认)，AD9524串行控制端口的寄存器地址将从刚才向控制寄存器0x000写入多字节I/O操作的寄存器地址开始递减。如果LSB优先模式有效，串行控制端口的寄存器地址将从刚才向控制寄存器0x234写入多字节I/O操作的寄存器地址开始递增。这些操作不会跳过不用的地址。

在MSB优先模式中，对于跨过地址0x234或0x000的多字节访问，SPI内部禁用对后续寄存器的写操作，对后续寄存器读操作则返回0。

在流模式下，如果跨过地址边界，则传输终止(见表26)。

表26. 流模式(不跳过任何地址)

写入模式	地址方向	停止序列
MSB优先	递减	...、0x001、0x000、停止

AD9524

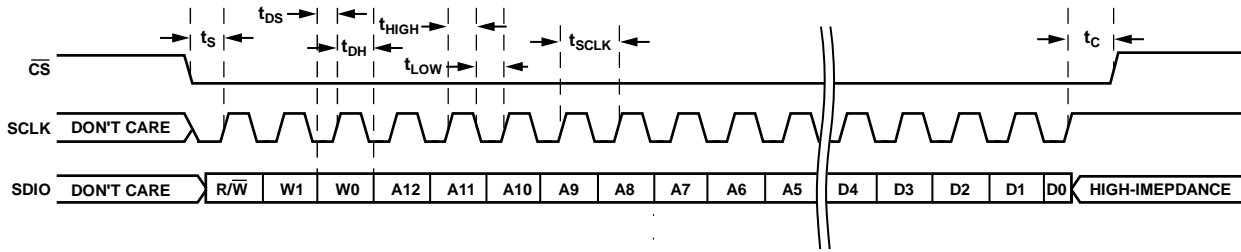


表38. 串行控制端口读取—MSB优先, 16位指令, 1字节数据

09081-138

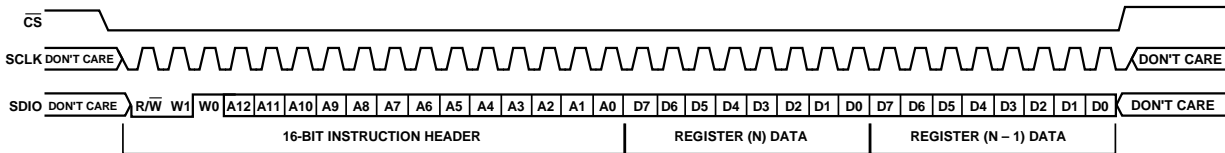


表39. 串行控制端口写入: MSB优先, 16位指令, 双字节数据

09081-038

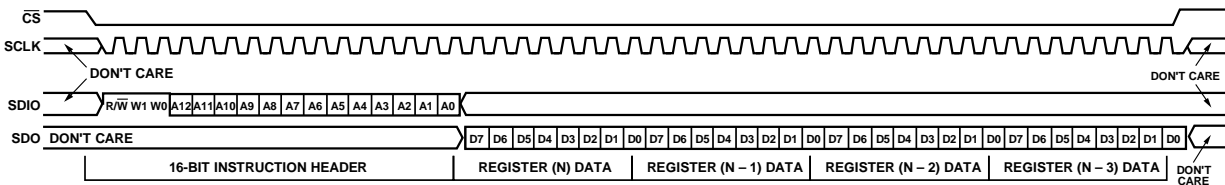


表40. 串行控制端口读取: MSB优先, 16位指令, 4字节数据

09081-038

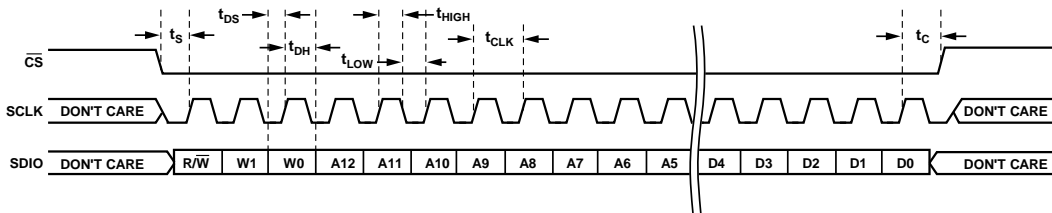


表41. 串行控制端口写入: MSB优先, 16位指令, 时序测量

09081-040

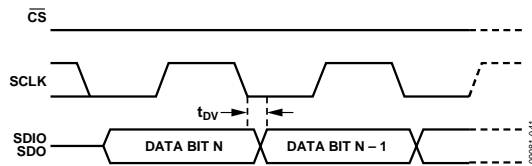


图42. 串行控制端口寄存器读取时序图

09081-041

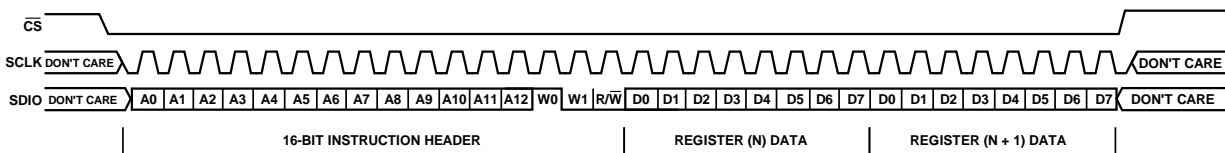


表43. 串行控制端口写入: LSB优先, 16位指令, 双字节数据

09081-042

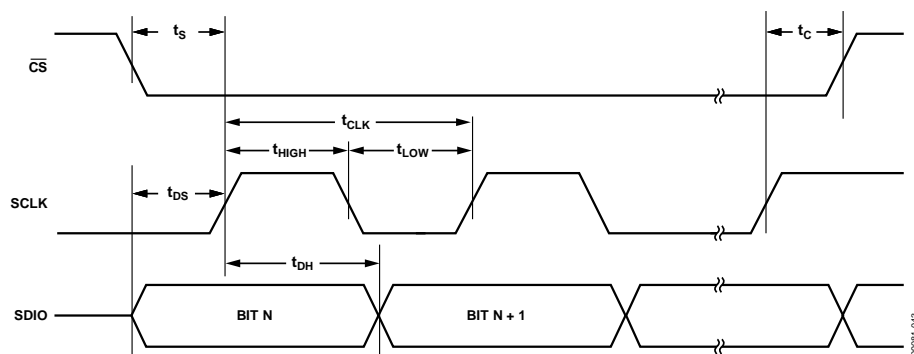


图44. 串行控制端口写操作时序

表28. 串行控制端口时序

参数	说明
t_{DS}	数据与SCLK上升沿之间的建立时间
t_{DH}	数据与SCLK上升沿之间的保持时间
t_{CLK}	时钟周期
t_s	\overline{CS} 下降沿与SCLK上升沿之间的设置时间(通信周期开始)
t_c	SCLK上升沿与 \overline{CS} 上升沿之间的设置时间(通信周期结束)
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间
t_{DV}	SCLK至有效SDIO和SDO(见图42)

EEPROM操作

AD9524内置一个EEPROM(非易失性存储器)。用户可以对EEPROM进行编程,以创建并在断电时存储用户自定义寄存器设置文件。此设置文件可以用来提供上电和芯片复位时的默认设置。EEPROM大小为512字节。控制EEPROM操作的EEPROM寄存器说明参见表58和表59。

在数据传输过程中,一般无法通过串行端口访问写入和读取寄存器,但有一个回读寄存器例外:Status_EEPROM(寄存器0xB00,位0)。

在SPI模式下,为了通过串行端口确定数据传输状态,用户可以读取Status_EEPROM位的值(1表示数据传输进行中,0表示数据传输已完成)。

在I²C模式下,用户可以通过外部I²C主机寻址AD9524从机端口(向AD9524发送一个地址字节)。如果AD9524以不应答位回应,则说明未接收到数据传输。如果AD9524以应答位回应,则说明数据传输过程已完成。用户可以监控Status_EEPROM位,或者通过寄存器0x232的位4设置STATUS0引脚来监控数据传输状态(见表55)。

若要将全部512字节传输至EEPROM,需要大约46 ms。若要将EEPROM的内容传输至有效寄存器,则需要大约40 ms。

RESET可进行复位(短暂拉低RESET可执行异步复位),可以将芯片复位到EEPROM中存储的设置(EEPROM引脚 = 1)或片内设置(EEPROM引脚 = 0)。硬复位也会执行SYNC操作,根据默认设置将输出的相位对齐。当EEPROM无效(EEPROM引脚 = 0)时,发出RESET后大约经过2 μs输出就会开始切换。当EEPROM有效(EEPROM引脚 = 1)时,拉高RESET后大约需要40 ms输出就会切换。

写入EEPROM

无法直接通过串行端口接口对EEPROM进行编程。要对EEPROM进行编程并存储寄存器设置文件,请按照下述步骤操作:

1. 将AD9524寄存器设置为所需的电路状态。如果用户希望PLL2在上电后自动锁定,则校准VCO位(寄存器0x0F3的位1)必须置1。这样,VCO校准就会在寄存器加载后自动启动。注意,在VCO校准期间必须存在有效的输入参考信号。
2. 将IO_Update位(寄存器0x234的位0)置1。
3. 如有必要,设置EEPROM缓冲寄存器(参见“EEPROM缓冲段编程”部分)。仅在下列情况下才需要执行此步骤:用户希望使用EEPROM来控制AD9524一些(但不是全部)寄存器的默认设置,或者用户希望在上电或芯片复位期间控制寄存器设置更新序列。

4. 将使能EEPROM写入位(寄存器0xB02的位0)置1,使能EEPROM。
5. 将REG2EEPROM位(寄存器0xB03的位0)置1,启动写入数据到EEPROM以创建EEPROM设置文件的过程。这样,EEPROM控制器将把当前寄存器值、存储器地址和指令字节从EEPROM缓冲段传输到EEPROM。写入过程完成后,内部控制器将REG2EEPROM位重置为0。Status_EEPROM寄存器(寄存器0xB00)的位0用于指示EEPROM与控制寄存器之间的数据传输状态(1表示数据传输进行中,0表示数据传输已完成)。在数据传输开始时,EEPROM控制器将Status_EEPROM位置1,数据传输结束时清0。当STATUS0引脚被设置为监控Status_EEPROM位的状态时,用户可以通过STATUS0引脚访问Status_EEPROM。或者,用户也可以直接监控Status_EEPROM位。
6. 当数据传输完成时(Status_EEPROM = 0),将使能EEPROM写入位(寄存器0xB02的位0)置1。如果将使能EEPROM写入位清0,则会禁用对EEPROM的写操作。

为确保数据传输已正确完成,验证EEPROM数据错误位(寄存器0xB01的位0)是否为0。如果此位的值为1,则说明数据传输发生错误。

读取EEPROM

下列复位相关事件可以启动将EEPROM中存储的设置恢复到控制寄存器的过程。当EEPROM_SEL引脚被拉高时,下列任一操作都会启动EEPROM读操作:

- AD9524上电。
- 将RESET引脚拉低后释放RESET,以执行硬件芯片复位。
- 将自清零软件复位位(寄存器0x000的位5)置1。

当EEPROM_SEL引脚被拉低时,将自清零Soft_EEPROM位(寄存器0xB02的位1)置1。AD9524随后便会启动对EEPROM的读操作,并将读取值载入AD9524寄存器。如果EEPROM_SEL引脚在复位或上电期间为低电平,则EEPROM无效,AD9524转而加载默认值。

如果使用EEPROM自动加载AD9524寄存器值并锁定PLL,则在将寄存器值写入EEPROM时,校准VCO位(寄存器0x0F3的位1)必须置1。这样,VCO校准就会在寄存器加载后自动启动。在VCO校准期间必须存在有效的输入参考信号。

为确保数据传输已正确完成，验证EEPROM数据错误位(寄存器0xB01的位0)是否为0。如果此位的值为1，则说明数据传输发生错误。

EEPROM缓冲段编程

EEPROM缓冲段是一个寄存器空间，在EEPROM编程期间，它允许用户指定将哪些寄存器组存储到EEPROM。一般而言，用户无需对此段进行编程。EEPROM缓冲段的上电默认值允许用户将寄存器0x000到寄存器0x234的所有寄存器值存储到EEPROM。

例如，如果用户只想从EEPROM加载输出驱动器设置，而不想触及EEPROM中当前存储的PLL寄存器设置，则可以修改EEPROM缓冲段，使得仅包括适用于输出驱动器的寄存器，而排除适用于PLL配置的寄存器。

EEPROM缓冲段分为两个部分：寄存器段定义组和操作代码。每个寄存器段定义组都包含起始地址和要写入EEPROM的字节数。

如果AD9524寄存器映射从地址0x000到地址0x234是连续的，则只会有一组寄存器段定义组，其起始地址为0x000，长度为563字节。但是，事实并非如此。AD9524寄存器映射不是连续的，而且EEPROM只有512字节长。因此，寄存器段定义组告知EEPROM控制器AD9524寄存器映射是如何分段的。

有三个操作代码：IO_Update、end-of-data和pseudo-end-of-data。必须保证EEPROM缓冲段总是有一个end-of-data或pseudo-end-of-data操作代码，并且IO_Update操作代码至少在end-of-data操作代码之前出现一次。

寄存器段定义组

寄存器段定义组用于定义EEPROM结构的连续寄存器段。它由三个字节组成。第一个字节定义该组有多少连续的寄存器字节。如果用户将0x000写入第一个字节，则说明该组仅有一个字节。如果用户写入0x001，则说明该组有两个字节。一组最多可以包括128个寄存器。

后两个字节是该组第一个寄存器的存储器地址(16位)的高位字节和低位字节。

IO_Update(操作代码0x80)

EEPROM控制器利用此操作代码产生IO_Update信号，以便在下载过程中用缓冲寄存器组更新活动控制寄存器组。在最后一个寄存器段定义组结束后，至少应有一个IO_Update操作代码。这样在读取EEPROM时，当AD9524的所有寄存器都加载完成后，至少会发生一次IO_Update。如果在写入EEPROM期间不存在此操作代码，则从EEPROM加载的寄存器值不会传输到活动寄存器空间，而且这些值在从EEPROM加载到AD9524之后不会生效。

End-of-Data(操作代码0xFF)

在上传和下载过程中，EEPROM控制器使用此操作代码终止EEPROM与控制寄存器之间的数据传输过程。EEPROM缓冲段中的最后一项应当是此操作代码或pseudo-end-of-data操作代码。

Pseudo-End-of-Data(操作代码0xFE)

AD9524 EEPROM缓冲段长23字节，最多可以容纳7个寄存器段定义组。如果用户希望定义7个以上的寄存器段定义组，则可以使用pseudo-end-of-data操作代码。在上传过程中，当EEPROM控制器接收到pseudo-end-of-data操作代码时，它会暂停数据传输过程，将REG2EEPROM位(寄存器0xB03的位0)清零，并使能AD9524串行端口。然后，用户可以再次对EEPROM缓冲段进行编程，并将REG2EEPROM位和IO_Update位(寄存器0x234的位0)置1，重新启动数据传输过程。内部I²C主机随后开始写入EEPROM，从最后写操作保持的EEPROM地址开始。

该序列能够克服EEPROM缓冲段的大小限制，支持将更多离散指令写入EEPROM。它还允许用户多次写入同一寄存器，每次写入不同的值。

AD9524

表29. EEPROM缓冲段示例

寄存器地址(十六进制)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
启动EEPROM缓冲段								
0xA00	0							第一组寄存器的字节数(位[6:0])
0xA01								第一组寄存器的地址(位[15:8])
0xA02								第一组寄存器的地址(位[7:0])
0xA03	0							第二组寄存器的字节数(位[6:0])
0xA04								第二组寄存器的地址(位[15:8])
0xA05								第二组寄存器的地址(位[7:0])
0xA06	0							第三组寄存器的字节数(位[6:0])
0xA07								第三组寄存器的地址(位[15:8])
0xA08								第三组寄存器的地址(位[7:0])
0xA09								IO_Update操作代码(0x80)
0xA0A								End-of-data操作代码(0xFF)

功耗与散热考虑

AD9524是一款多功能高速器件，适合许多不同类型的时钟应用。该器件所包含的众多创新特性消耗的功率越来越多。如果在最高频率和最高功耗模式下使能所有输出，器件的热工作条件可能会超出安全范围。仔细分析和考虑功耗与散热管理是成功应用AD9524的关键。

AD9524的额定工作温度范围为-40°C至+85°C工业温度范围。不过，这一规格是有条件的，即不得超过表17所规定的绝对最大结温。当工作温度很高时，必须特别小心，避免超过最大结温而导致器件受损。

最大结温以及工作环境温度范围见表1。环境温度范围和最大结温规格确保器件的性能与“技术规格”部分相一致。

许多因素都会影响器件的工作结温，包括：

- 选定的驱动器工作模式
- 输出时钟速度
- 电源电压
- 环境温度

对于给定的一组工作条件，这些因素共同决定AD9524的结温。

AD9524对环境温度(T_A)做了规定。为确保 T_A 不超过范围，可以使用气流源。

通过下式可确定应用PCB上的结温：

$$T_j = T_{CASE} + (\Psi_{JT} \times PD)$$

其中：

T_j 为结温(°C)。

T_{CASE} 为壳温(°C)，由用户在封装的顶部中央测量。

Ψ_{JT} 值通过表18查找。

PD 为AD9524的功耗。

θ_{JA} 值供封装比较和PCB设计考虑时使用。 θ_{JA} 可用于计算 T_j 的一阶近似值，计算公式如下：

$$T_j = T_A + (\theta_{JA} \times PD)$$

其中， T_A 为环境温度(°C)。

θ_{JC} 值是在需要外部散热器时，供封装比较和PCB设计考虑时使用。

Ψ_{JB} 值则供封装比较和PCB设计考虑时使用。

时钟速度和驱动器模式

时钟速度直接并线性地影响着器件的总功耗，从而影响结温。表3的增量功耗参数下列出了两种工作频率。对于表中未列出的频率，使用线性插值法足以估算出近似功耗值。为散热考虑而计算功耗时，应当去除100 Ω电阻的功耗。表2中的数据已经去除该功耗。如果使用典型工作特性部分所提供的电流与频率关系图，则必须利用下式扣除负载的功耗：

$$\frac{\text{差分输出电压摆幅}^2}{100 \Omega}$$

工作条件评估

评估工作条件的第一步是确定AD9524内部的最大功耗(PD)。最大功耗PD不包括驱动器负载电阻的功耗，因为该功耗是器件的外部功耗。要计算所需配置下的总功耗，应使用表3所列的功耗规格。在表3中，基本典型配置参数对应的功耗为428 mW，它包括一路LVPECL输出(122.88 MHz)。对于表3未列出的工作频率，请利用典型工作特性部分的电流与频率和驱动器模式关系图计算功耗，然后增加20%以获得最大功耗。去除负载电阻的功耗可以获得AD9524的内部最精确功耗。表30列出了两个不同示例相对于基本功耗配置的增量功耗。

表30. 温度梯度示例

说明	模式	频率 (MHz)	最大功耗 (mW)
示例1			
基本典型配置			428
输出驱动器	5 × LVPECL	122.88	275
总功耗			703
示例2			
基本典型配置			428
输出驱动器	5 × LVPECL	983.04	795
总功耗			1223

AD9524

第二步是功耗乘以热阻，以确定最大功耗梯度。在下面的例子中，我们使用热阻 $\theta_{JA} = 20.1^{\circ}\text{C}/\text{W}$ 。

示例1

$$(703 \text{ mW} \times 20.1^{\circ}\text{C}/\text{W}) = 14.1^{\circ}\text{C}$$

当环境温度为 85°C 时，结温为：

$$T_j = 85^{\circ}\text{C} + 14.1^{\circ}\text{C} = 99^{\circ}\text{C}$$

该结温低于最大容许结温。

示例2

$$(1223 \text{ mW} \times 20.1^{\circ}\text{C}/\text{W}) = 24.6^{\circ}\text{C}$$

当环境温度为 85°C 时，结温为：

$$T_j = 85^{\circ}\text{C} + 24.6^{\circ}\text{C} = 109^{\circ}\text{C}$$

该结温低于最大容许结温。

散热增强型封装安装指南

欲了解有关安装带裸露焊盘器件的更多信息，请参阅[应用笔记AN-772](#)：“引脚架构芯片级封装(LFCSP)设计与制造指南”。

控制寄存器

控制寄存器映射

不能用表31中未列出的寄存器地址，写入这些寄存器不起作用。不得改变标示为“保留”的寄存器的值。写入某些位被标示为“保留”的寄存器时，用户务必将默认值写入保留位。

表31：控制寄存器映射

地址 (十六 进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六 进制)	
串行端口配置											
0x000	SPI模式串行 端口配置	SDO有效	LSB优先/ 地址递增	软复位	保留	保留	软复位	LSB优先/ 地址递增	SDO有效	0x00	
	I ² C模式串行 端口配置	保留	保留	软复位	保留	保留	软复位	保留	保留	0x00	
0x004	回读控制	保留	保留	保留	保留	保留	保留	保留	回读有效 寄存器	0x00	
0x005	EEPROM客户 版本ID	EEPROM客户版本ID[7:0] (LSB)								0x00	
0x006		EEPROM客户版本ID[15:8] (MSB)								0x00	
输入PLL (PLL1)											
0x010	PLL1 REFA R分频器控制	10位REFA R分频器[7:0] (LSB)							保留	10位REFA R分频器[9:8] (MSB)	0x00
0x011	保留	保留							保留	保留	0x00
0x012	PLL1 REFB R分频器控制	10位REFB R分频器[7:0] (LSB)							保留	10位REFB R分频器[9:8] (MSB)	0x00
0x013	保留	保留							保留	保留	0x00
0x014	PLL1参考测试 分频器	保留	保留	REF_TEST分频器						保留	0x00
0x015	PLL1 保留	保留	保留	保留	保留	保留	保留	保留	保留	0x00	
0x016	PLL1反馈 N分频器控制	10位PLL1反馈分频器[7:0] (LSB)							保留	10位PLL1反馈分频器[9:8] (MSB)	0x00
0x017	保留	保留							保留	保留	0x00
0x018	PLL1电荷泵 控制	PLL1电荷泵 三态	PLL1电荷泵控制								0x0C
0x019	保留	保留	保留	保留	使能反冲防回 差脉冲宽度的 SPI控制	反冲防回差脉冲宽度 控制	PLL1电荷泵模式			0x00	
0x01A	PLL1 输入接收器 控制	REF_TEST 输入接收器 使能	REFB差分 接收器使能	REFA差分 接收器使能	REFB接收器 使能	REFA 接收器 使能	输入REFA、 REFB接收 器掉电 控制使能	OSC_IN 单端 接收器模式 使能 (CMOS模式)	OSC_IN差分 接收器模式 使能	0x00	
0x01B	REF_TEST、 REFA、REFB和 ZD_IN控制	保留	保留	零延迟模式	PLL1的OSC_IN 信号反馈	ZD_IN 单端接收 器模式 使能 (CMOS 模式)	ZD_IN差分 接收器 模式使能	REFB 单端接收器 模式使能 (CMOS模式)	REFA 单端接收器 模式使能 (CMOS模式)	0x00	
0x01C	PLL1其它控制	使能REFB R分频器 独立分频 控制	当参考时钟 故障时， OSC_CTRL 控制电压 变为VCC/2	保留	参考选择模式			保留	保留	0x00	

AD9524

地址 (十六进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六进制)	
0x01D	PLL1环路滤波器零点电阻控制	保留	保留	保留	保留	PLL1环路滤波器R _{ZERO}				0x00	
输出PLL (PLL2)											
0x0F0	PLL2电荷泵控制	PLL2电荷泵控制								0x00	
0x0F1	PLL2反馈N分频器控制	A计数器			B计数器						0x04
0x0F2	PLL2控制	PLL2锁定检测器掉电	保留	使能倍频器	使能反冲防回差脉冲宽度的SPI控制	反冲防回差脉冲宽度控制		PLL2电荷泵模式		0x03	
0x0F3	VCO控制	保留	保留	保留	当PLL2解锁时,强制释放分配同步	保留	强制VCO工作中点频率	校准VCO(非自清零)	保留	0x00	
0x0F4	VCO分频器控制	保留	保留	保留	保留	VCO分频器掉电	VCO分频器			0x00	
0x0F5	PLL2环路滤波器控制(9位)	极点2电阻(R _{POLE2})		零点电阻(R _{ZERO})			极点1电容(C _{POLE1})			0x00	
0x0F6		保留	保留	保留	保留	保留	保留	保留	旁路内部R _{ZERO} 电阻	0x00	
0x0F9	保留	保留	保留	保留	保留	保留	保留	保留	保留	0x00	
时钟分配											
0x196	通道0控制	分频器输出反相	忽略同步	通道掉电	低功耗模式	驱动器模式				0x00	
0x197		10位通道分频器[7:0] (LSB)								0x1F	
0x198		分频器相位[5:0]				10位通道分频器[9:8] (MSB)				0x04	
0x199	通道1控制	分频器输出反相	忽略同步	通道掉电	低功耗模式	驱动器模式				0x20	
0x19A		10位通道分频器[7:0] (LSB)								0x1F	
0x19B		分频器相位[5:0]				10位通道分频器[9:8] (MSB)				0x04	
0x19C	通道2控制	分频器输出反相	忽略同步	通道掉电	低功耗模式	驱动器模式				0x00	
0x19D		10位通道分频器[7:0] (LSB)								0x1F	
0x19E		分频器相位[5:0]				10位通道分频器[9:8] (MSB)				0x04	
0x19F	通道3控制	分频器输出反相	忽略同步	通道掉电	低功耗模式	驱动器模式[3:0]				0x20	
0x1A0		10位通道分频器[7:0] (LSB)								0x1F	
0x1A1		分频器相位[5:0]				10位通道分频器[9:8] (MSB)				0x04	
0x1AE	通道4控制	分频器输出反相	忽略同步	通道掉电	低功耗模式	驱动器模式				0x00	
0x1AF		10位通道分频器[7:0] (LSB)								0x1F	
0x1B0		分频器相位[5:0]				10位通道分频器[9:8] (MSB)				0x04	
0x1B1	通道5控制	分频器输出反相	忽略同步	通道掉电	低功耗模式	驱动器模式				0x20	
0x1B2		10位通道分频器[7:0] (LSB)								0x1F	
0x1B3		分频器相位[5:0]				10位通道分频器[9:8] (MSB)				0x04	

地址 (十六 进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六 进制)
0x1BA	PLL1输出控制	保留	保留	保留	PLL1输出CMOS 驱动器强度	PLL1输出分频器				0x00
0x1BB	PLL1输出通道 控制	PLL1输出 驱动器掉电	保留	保留	保留	保留	保留	VCXO时钟路 由至通道 1分频器输入	VCXO时钟路 由至通道 0分频器输入	0x80
回读										
0x22C	回读0	PLL2参考 时钟状态	PLL1反馈 时钟状态	VCXO状态	REF_TEST状态	REFB状态	REFA状态	锁定检测PLL2	锁定检测PLL1	
0x22D	回读1	保留	保留	保留	保留	保持模式 激活	所选参考 (自动模 式下)	保留	VCO校准 进行中	
其它										
0x230	状态信号	保留	保留	状态监控器0控制						0x00
0x231		保留	保留	状态监控器1控制						0x00
0x232		保留	保留	保留	使能STATUS0 引脚上的 Status_EEPROM	STATUS1 引脚分频 器使能	STATUS0 引脚分频 器使能	保留	同步分频器 (手动控制) 0: 同步信号 无效 1: 分频器处于 同步状态(与 拉低SYNC引脚 相同)	0x00
0x233	关断控制	保留	保留	保留	保留	保留	PLL1掉电	PLL2关断	分配掉电	0x07
0x234	更新所有 寄存器	保留							IO_Update	0x00
EEPROM缓冲器										
0xA00	EEPROM缓冲 段寄存器1到 EEPROM缓冲 段寄存器3	指令(数据)[7:0](串行端口配置寄存器)								0x00
0xA01		寄存器地址高位字节(串行端口配置寄存器)								0x00
0xA02		寄存器地址低位字节(串行端口配置寄存器)								0x00
0xA03	EEPROM缓冲 段寄存器4到 EEPROM缓冲 段寄存器6	指令(数据)[7:0](回读控制寄存器)								0x02
0xA04		寄存器地址高位字节(回读控制寄存器)								0x00
0xA05		寄存器地址低位字节(回读控制寄存器)								0x04
0xA06	EEPROM缓冲 段寄存器7到 EEPROM缓冲 段寄存器9	指令(数据)[7:0](PLL段)								0x0E
0xA07		寄存器地址高位字节(PLL段)								0x00
0xA08		寄存器地址低位字节(PLL段)								0x10
0xA09	EEPROM缓冲 段寄存器10 到EEPROM 缓冲段寄存 器12	指令(数据)[7:0](PECL/CMOS输出段)								0x0E
0xA0A		寄存器地址高位字节(PECL/CMOS输出段)								0x00
0xA0B		寄存器地址低位字节(PECL/CMOS输出段)								0xF0

AD9524

地址 (十六 进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六 进制)
0xA0C	EEPROM缓冲 段寄存器13 到 EEPROM 缓冲段寄存 器15	指令(数据)[7:0](分频器段)								0x2B
0xA0D		寄存器地址高位字节(分频器段)								0x01
0xA0E		寄存器地址低位字节(分频器段)								0x90
0xA0F	EEPROM缓冲 段寄存器16 到 EEPROM 缓冲段寄存 器18	指令(数据)[7:0](时钟输入和REF段)								0x01
0xA10		寄存器地址高位字节(时钟输入和REF段)								0x01
0xA11		寄存器地址低位字节(时钟输入和REF段)								0xE0
0xA12	EEPROM缓冲 段寄存器19 到 EEPROM 缓冲段寄存 器21	指令(数据)[7:0](其它段)								0x03
0xA13		寄存器地址高位字节(其它段)								0x02
0xA14		寄存器地址低位字节(其它段)								0x30
0xA15	EEPROM缓冲 段寄存器22	I/O更新								0x80
0xA16	EEPROM缓冲 段寄存器23	数据结束								0xFF
EEPROM控制										
0xB00	Status_EEPROM (只读)	保留	保留	保留	保留	保留	保留	保留	Status_ EEPROM(只读)	0x00
0xB01	EEPROM错误 校验回读 (只读)	保留	保留	保留	保留	保留	保留	保留	EEPROM数据 错误(只读)	0x00
0xB02	EEPROM控制1	保留	保留	保留	保留	保留	保留	Soft_EEPROM	使能EEPROM 写入	0x00
0xB03	EEPROM控制2	保留	保留	保留	保留	保留	保留	保留	REG2EEPROM	0x00

控制寄存器映射位功能描述

串行端口配置(地址0x000至地址0x006)

表32.SPI模式串行端口配置

地址	位	位名称	说明
0x000	7	SDO有效	选择单向或双向数据传输模式。I ² C模式下忽略此位。 0: SDIO引脚用于读和写；SDO为高阻态(默认)。 1: SDO用于读取；SDIO用于写入；单向模式。
	6	LSB优先/ 地址递增	SPI MSB或LSB数据方向。I ² C模式下忽略此位。 0: 数据以MSB优先方向；递减寻址(默认)。 1: 数据以LSB优先方向；递增寻址。
	5	软复位	软复位。 1(自清零): 软复位；恢复内部寄存器的默认值。
	4	保留	保留。
	[3:0]	镜像[7:4]	位[3:0]应当始终是位[7:4]的镜像，这样器件处于MSB优先模式还是LSB优先模式都无所谓(参见寄存器0x000的位6)。按如下方式设置各个位： 位0 = 位7。 位1 = 位6。 位2 = 位5。 位3 = 位4。
0x004	0	回读有效寄存器	对于缓冲寄存器，串行端口回读实际(有效)寄存器，而不是缓冲器。 0(默认): 读取当前应用于器件内部逻辑的值。 1: 读取缓冲值，在下次置位I/O更新时生效。

表33.I²C模式串行端口配置

地址	位	位名称	说明
0x000	[7:6]	保留	保留。
	5	软复位	软复位。 1(自清零): 软复位；恢复内部寄存器的默认值。
	4	保留	保留。
	[3:0]	镜像[7:4]	位[3:0]应当始终是位[7:4]的镜像。按如下方式设置各个位： 位0 = 位7。 位1 = 位6。 位2 = 位5。 位3 = 位4。
0x004	0	回读有效寄存器	对于缓冲寄存器，串行端口回读实际(有效)寄存器，而不是缓冲器。 0(默认): 读取当前应用于器件内部逻辑的值。 1: 读取缓冲值，在下次置位I/O更新时生效。

表34.EEPROM客户版本ID

地址	位	位名称	说明
0x005	[7:0]	EEPROM客户版本ID (LSB)	16位EEPROM ID的位[7:0]。此寄存器与寄存器0x006结合使用，允许用户存储一个唯一ID，以识别EEPROM中存储何种版本的AD9524寄存器设置。它对AD9524的操作无任何影响(默认值: 0x00)。
0x006	[7:0]	EEPROM客户版本ID (MSB)	16位EEPROM ID的位[15:8]。此寄存器与寄存器0x005结合使用，允许用户存储一个唯一ID，以识别EEPROM中存储何种版本的AD9524寄存器设置。它对AD9524的操作无任何影响(默认值: 0x00)。

AD9524

输入PLL (PLL1)(地址0x010至地址0x01D)

表35. PLL1 REFA R分频器控制

地址	位	位名称	说明
0x010	[7:0]	REFA R分频器	10位REFA R分频器的位[7:0] (LSB)。1分频至1023分频。 00000000、00000001：1分频。
0x011	[1:0]		10位REFA R分频器的位[9:8] (MSB)。

表36. PLL1 REFB R分频器控制¹

地址	位	位名称	说明
0x012	[7:0]	REFB R分频器	10位REFB R分频器的位[7:0] (LSB)。1分频至1023分频。 00000000、00000001：1分频。
0x013	[1:0]		10位REFB R分频器的位[9:8] (MSB)。

¹ 对于独立于REFA分频的分频，要求寄存器0x01C的位7 = 1。

表37. PLL1参考测试分频器

地址	位	位名称	说明
0x014	[7:6]	保留	保留
	[5:0]	REF_TEST分频器	6位参考测试分频器。1分频至63分频。 000000, 000001: 1分频。

表38. PLL1保留

地址	位	位名称	说明
0x015	[7:0]	保留	保留

表39. PLL1反馈N分频器控制

地址	位	位名称	说明
0x016	[7:0]	PLL1反馈N分频器控制(N_PLL1)	10位反馈分频器的位[7:0] (LSB)。1分频至1023分频。00000000、00000001：1分频。
0x017	[1:0]		10-10位反馈分频器的位[1:0] (MSB)。

表40. PLL1电荷泵控制

地址	位	位名称	说明
0x018	7	PLL1电荷泵三态	使PLL1电荷泵处于三态。
	[6:0]	PLL1电荷泵控制	这些位设置PLL1电荷泵电流的幅度。步长约为0.5 μ A，满量程幅度约为63.5 μ A。
0x019	[7:5]	保留	保留。
	4	使能反冲防回差脉冲宽度的SPI控制	控制寄存器0x019位[3:2]的功能。 0(默认)：器件自动控制反冲防回差周期至高电平(相当于寄存器0x019的位[3:2] = 10) 1：反冲防回差周期由寄存器0x019的位[3:2]定义。
	[3:2]	反冲防回差脉冲宽度控制	控制PFD反冲防回差周期。 00(默认)：最短。 01：低电平。 10：高电平。 11：最长。 只有寄存器0x019的位4 = 1，这些位才有效。
	[1:0]	PLL1电荷泵模式	控制PLL1电荷泵的模式。 00：(默认)三态。 01：增强。 10：减弱。 11：正常。

表41. PLL1输入接收器控制

地址	位	位名称	说明
0x01A	7	REF_TEST输入接收器使能	1: 使能。 0: 禁用(默认)。
	6	REFB差分接收器使能	1: 差分接收器模式。 0: 单端接收器模式(同时取决于寄存器1x01B的位0)(默认)。
	5	REFA差分接收器使能	1: 差分接收器模式。 0: 单端接收器模式(同时取决于寄存器0x01B的位0)(默认)。
	4	REFB接收器使能	REFB接收器掉电控制模式(仅当位2 = 1时)。 1: 使能REFB接收器。 0: 关断(默认)。
	3	REFA接收器使能	REFA接收器掉电控制模式(仅当位2 = 1时)。 1: 使能REFA接收器。 0: 关断(默认)。
	2	输入REFA和REFB接收器掉电控制使能	使能REFA和REFB输入接收器的掉电控制。 1: 掉电控制使能。 0: 两个接收器均使能(默认)。
	1	OSC_IN 单端接收器模式使能(CMOS模式)	选择单端接收器模式(寄存器0x01A的位0 = 0)下使能哪一个单端输入引脚。 1: 选择振荡器输入的负接收器(OSC_IN引脚)。 0: 选择振荡器输入的正接收器(OSC_IN引脚)(默认)。
	0	OSC_IN差分接收器模式使能	1: 差分接收器模式。 0: 单端接收器模式(同时取决于位1)(默认)。

表42. REF_TEST、REFA、REFB和ZD_IN控制

地址	位	位名称	说明
0x01B	[7:6]	保留	0: 保留(默认)。
	5	零延迟模式	当寄存器0x01B的位4 = 0时, 选择所用的零延迟模式(通过ZD_IN引脚)。其它情况下忽略此位。 1: 内部零延迟模式。零延迟接收器掉电。使用来自分配分频器通道0的内部零延迟路径。 0: 外部零延迟模式。使能ZD_IN接收器。
	4	PLL1的OSC_IN信号反馈	控制输入PLL反馈路径, OSC_IN接收器的本地反馈或零延迟模式。 1: OSC_IN接收器输入用于输入PLL反馈(非零延迟模式)。 0: 使能零延迟模式(同时取决于寄存器0x01B的位4, 以便选择零延迟路径)。
	3	ZD_IN 单端接收器模式使能(CMOS模式)	选择单端接收器模式(寄存器0x01B的位2 = 0)下使能哪一个单端输入引脚。 1: ZD_IN 引脚使能。 0: ZD_IN引脚使能。
	2	ZD_IN差分接收器模式使能	1: 差分接收器模式。 0: 单端接收器模式(同时取决于寄存器0x01B的位3)。
	1	REFB 单端接收器模式使能(CMOS模式)	选择单端接收器模式(寄存器0x01A的位6 = 0)下使能哪一个单端输入引脚。 1: REFB 引脚使能。 0: REFB引脚使能。
	0	REFA 单端接收器模式使能(CMOS模式)	选择单端接收器模式(寄存器0x01A的位5 = 0)下使能哪一个单端输入引脚。 1: REFA 引脚使能。 0: REFA引脚使能。

AD9524

表43. PLL1其它控制

地址	位	位名称	说明																																			
0x01C	7	使能REFB R分频器独立分频控制	1: REFB R分频器由寄存器0x012和寄存器0x013控制。 0: REFB R分频器使用与REFA R分频器相同的设置(寄存器0x010和寄存器0x011)。 为使环路保持锁定, REFA和REFB输入频率必须相同。																																			
	6	当参考时钟故障时, OSC_CTRL控制电压变为VCC/2	当反馈或输入时钟发生故障时, 高电平设置会使OSC_CTRL控制电压变为中间电源电压; 低电平设置会使电荷泵输出处于三态。 1: OSC_CTRL控制电压变为VCC/2。 0: OSC_CTRL控制电压跟踪三态(高阻抗)电荷泵(通过缓冲器)。																																			
	5	保留	保留。																																			
	[4:2]	参考选择模式	设置REFA、REFB模式选择(默认值 = 000)。																																			
			<table border="1"> <thead> <tr> <th>REF_SEL 引脚</th> <th>位4</th> <th>位3</th> <th>位2</th> <th>说明</th> </tr> </thead> <tbody> <tr> <td>X¹</td> <td>0</td> <td>0</td> <td>0</td> <td>非恢复式: 继续使用REFB。</td> </tr> <tr> <td>X¹</td> <td>0</td> <td>0</td> <td>1</td> <td>恢复使用REFA。</td> </tr> <tr> <td>X¹</td> <td>0</td> <td>1</td> <td>0</td> <td>选择REFA。</td> </tr> <tr> <td>X¹</td> <td>0</td> <td>1</td> <td>1</td> <td>选择REFB。</td> </tr> <tr> <td>0</td> <td>1</td> <td>X¹</td> <td>X¹</td> <td>REF_SEL引脚 = 0(低电平): REFA。</td> </tr> <tr> <td>1</td> <td>1</td> <td>X¹</td> <td>X¹</td> <td>REF_SEL引脚 = 1(高电平): REFB。</td> </tr> </tbody> </table>	REF_SEL 引脚	位4	位3	位2	说明	X ¹	0	0	0	非恢复式: 继续使用REFB。	X ¹	0	0	1	恢复使用REFA。	X ¹	0	1	0	选择REFA。	X ¹	0	1	1	选择REFB。	0	1	X ¹	X ¹	REF_SEL引脚 = 0(低电平): REFA。	1	1	X ¹	X ¹	REF_SEL引脚 = 1(高电平): REFB。
REF_SEL 引脚	位4	位3	位2	说明																																		
X ¹	0	0	0	非恢复式: 继续使用REFB。																																		
X ¹	0	0	1	恢复使用REFA。																																		
X ¹	0	1	0	选择REFA。																																		
X ¹	0	1	1	选择REFB。																																		
0	1	X ¹	X ¹	REF_SEL引脚 = 0(低电平): REFA。																																		
1	1	X ¹	X ¹	REF_SEL引脚 = 1(高电平): REFB。																																		
	[1:0]	保留	0: 保留(默认)。																																			

¹ X = 无关位。

表44. PLL1环路滤波器零点电阻控制

地址	位	位名称	说明																																																		
0x01D	[7:4]	保留	保留。																																																		
	[3:0]	PLL1环路滤波器R _{ZERO}	设置零点电阻R _{ZERO} 的值。																																																		
			<table border="1"> <thead> <tr> <th>位3</th> <th>位2</th> <th>位1</th> <th>位0</th> <th>R_{ZERO}值(kΩ)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>883</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>677</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>341</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>135</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>10</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>10</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>10</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>10</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>使用外部电阻</td> </tr> </tbody> </table>	位3	位2	位1	位0	R _{ZERO} 值(kΩ)	0	0	0	0	883	0	0	0	1	677	0	0	1	0	341	0	0	1	1	135	0	1	0	0	10	0	1	0	1	10	0	1	1	0	10	0	1	1	1	10	1	0	0	0	使用外部电阻
位3	位2	位1	位0	R _{ZERO} 值(kΩ)																																																	
0	0	0	0	883																																																	
0	0	0	1	677																																																	
0	0	1	0	341																																																	
0	0	1	1	135																																																	
0	1	0	0	10																																																	
0	1	0	1	10																																																	
0	1	1	0	10																																																	
0	1	1	1	10																																																	
1	0	0	0	使用外部电阻																																																	

输出PLL (PLL2)(地址0x0F0至地址0x0F9)

表45. PLL2电荷泵控制

地址	位	位名称	说明
0x0F0	[7:0]	PLL2电荷泵控制	这些位设置PLL2电荷泵电流的幅度。步长约为3.5 μ A，满量程幅度约为900 μ A。

表46. PLL2反馈N分频器控制

地址	位	位名称	说明
0x0F1	[7:6]	A计数器	A计数器字
	[5:0]	B计数器	B计数器字
反馈分频器约束条件			
A计数器(位[7:6])		B计数器(位[5:0])	支持的N分频($4 \times B + A$)
A = 0或A = 1		B = 4	16, 17
A = 0至A = 2		B = 5	20, 21, 22
A = 0至A = 2		B = 6	24, 25, 26
A = 0至A = 3		B \geq 7	28, 29 ... 直至255

表47. PLL2控制

地址	位	位名称	说明
0x0F2	7	PLL2锁定检测器掉电	控制PLL2锁定检测器的掉电。 1: 锁定检测器掉电。 0: 锁定检测器活动。
	6	保留	默认值 = 0；值必须保持为0。
	5	使能倍频器	使能PLL2参考输入频率加倍。 1: 使能。 0: 禁用。
	4	使能反冲防回差脉冲宽度的SPI控制	控制寄存器0x0F2位[3:2]的功能。设置反冲防回差脉冲宽度为最小值。通过将位4从默认0改为1，位[3:2]随后默认变为00。 0(默认)：器件自动控制反冲防回差周期至高电平(相当于寄存器0x0F2的位[3:2] = 10) 1: 反冲防回差周期由寄存器0x0F2的位[2:1]定义(推荐设置)。
	[3:2]	反冲防回差脉冲宽度控制	控制PLL2的PFD反冲防回差周期。 00(默认)：最短(建议设置)。 01: 低电平。 10: 高电平。 11: 最长。 只有寄存器0x0F2的位4 = 1，这些位才有效。
	[1:0]	PLL2电荷泵模式	控制PLL2电荷泵的模式。 00: 三态。 01: 增强。 10: 减弱。 11(默认)：正常。

AD9524

表48. VCO控制

地址	位	位名称	说明
0x0F3	[7:5]	保留	保留。
	4	当PLL2解锁时，强制释放分配同步	0(默认)：分配处于同步(静态)，直到输出PLL锁定。然后它自动释放同步，所有分频器同步。 1:覆盖PLL2锁定检测器状态；强制从同步中释放分配。
	3	保留	0(默认)：值必须保持为0。
	2	强制VCO工作中点频率	选择VCO控制电压功能。 0(默认)：VCO正常工作。 1:强制VCO控制电压变为中间电平。
	1	校准VCO(非自清零)	1:启动VCO校准(此位非自清零位)。 0:复位VCO校准。
	0	保留	保留。

表49. VCO分频器控制

地址	位	位名称	说明			
0x0F4	[7:4]	保留	保留。			
	3	VCO分频器掉电	1:关断分频器。 0:正常工作。			
	[2:0]	VCO分频器	注意，VCO分频器连接到所有输出通道。			
			位2	位1	位0	分频器值
			0	0	0	4分频
			0	0	1	5分频
			0	1	0	6分频
			0	1	1	7分频
			1	0	0	8分频
			1	0	1	9分频
1	1	0	10分频			
1	1	1	11分频			

表50. PLL2环路滤波器控制

地址	位	位名称	说明			
0x0F5	[7:6]	极点2电阻(R_{POLE2})	位7	位6	R_{POLE2} (Ω)	
			0	0	900	
			0	1	450	
			1	0	300	
			1	1	225	
	[5:3]	零点电阻(R_{ZERO})	位5	位4	位3	R_{ZERO} (Ω)
			0	0	0	3250
			0	0	1	2750
			0	1	0	2250
			0	1	1	2100
			1	0	0	3000
			1	0	1	2500
			1	1	0	2000
	[2:0]	极点1电容(C_{POLE1})	位2	位1	位0	C_{POLE1} (pF)
			0	0	0	0
0			0	1	8	
0			1	0	16	
0			1	1	24	
1			0	0	24	
1			0	1	32	
1			1	0	40	
0x0F6	[7:1]	保留	保留。			
	0	旁路内部 R_{ZERO} 电阻	旁路内部 R_{ZERO} 电阻($R_{ZERO} = 0 \Omega$)。要求使用串联外部零点电阻。该位是环路滤波器控制寄存器(地址0x0F5和地址0x0F6)的MSB。			

AD9524

时钟分配(地址0x196至地址0x1A1、地址0x1AE至地址0x1B3、地址0x1BA和地址0x1BB)

表51. 通道0至通道5控制(此表适用于所有6个通道)

地址	位	位名称	说明				
0x196	7	分频器输出反相	分频器输出时钟的极性反相。				
	6	忽略同步	0: 遵从芯片级SYNC信号(默认)。 1: 忽略芯片级SYNC信号。				
	5	通道掉电	1: 关断整个通道。 0: 正常工作。				
	4	低功耗模式(仅差分模式)	降低差分输出模式(LVDS/LVPECL/HSTL)下的功耗。这可以省电, 但性能会受影响。 注意, 这不影响输出摆幅和电流, 仅影响内部驱动器的功耗。 1: 低强度/低功耗。 0: 正常工作。				
	[3:0]	驱动器模式	驱动器模式。				
			位3	位2	位1	位0	驱动器模式
			0	0	0	0	三态输出
			0	0	0	1	LVPECL (8 mA)
			0	0	1	0	LVDS (3.5 mA)
			0	0	1	1	LVDS (7 mA)
			0	1	0	0	HSTL-0 (16 mA)
			0	1	0	1	HSTL-1 (8 mA)
			0	1	1	0	CMOS(两路输出同相) +引脚: 相对于分频器输出为(+)相 - Pin: 相对于分频器输出为(+)相
			0	1	1	1	CMOS(两路输出反相) +引脚: 相对于分频器输出为(+)相 - Pin: 相对于分频器输出为(-)相
			1	0	0	0	CMOS +引脚: 相对于分频器输出为(+)相 - Pin: 高阻态
			1	0	0	1	CMOS +引脚: 高阻态 - Pin: 相对于分频器输出为(+)相
			1	0	1	0	CMOS +引脚: 高阻态 - Pin: 高阻态
		1	0	1	1	CMOS(两路输出同相) +引脚: 相对于分频器输出为(-)相 - Pin: 相对于分频器输出为(-)相	
		1	1	0	0	CMOS(两路输出错相) +引脚: 相对于分频器输出为(-)相 - Pin: 相对于分频器输出为(+)相	
		1	1	0	1	CMOS +引脚: 相对于分频器输出为(-)相 - Pin: 高阻态	
		1	1	1	0	CMOS +引脚: 高阻态 - Pin: 相对于分频器输出为(-)相	
		1	1	1	1	三态输出	
0x197	[7:0]	通道分频器位[7:0] (LSB)	分频比 = 通道分频器位[9:0] + 1。例如, [9:0] = 0为1分频, [9:0] = 1为2分频 ... [9:0] = 1023为1024分频。10位通道分频器, 位[7:0] (LSB)。				

地址	位	位名称	说明
0x198	[7:2]	分频器相位	置位同步后的分频器初始相位，相对于分频器输入时钟(来自VCO分频器输出)。 LSB = 分频器输入时钟周期的 $\frac{1}{2}$ 。 相位 = 0: 无相位偏移。 相位 = 1: 偏移 $\frac{1}{2}$ 周期, ... 相位 = 63: 偏移31周期。
	[1:0]	通道分频器位[9:8] (MSB)	10位通道分频器的位[9:8] (MSB)。

表52. PLL1输出控制(PLL1_OUT, 引脚46)

地址	位	位名称	说明
0x1BA	[7:5]	保留	保留
	4	PLL1输出CMOS驱动器强度	CMOS驱动器强度 1: 弱 0: 强
	[3:0]	PLL1输出分频器	0000: 1分频 0001: 2分频(默认) 0010: 4分频 0100: 8分频 1000: 16分频 不允许其它输入

表53. PLL1输出通道控制

地址	位	位名称	说明
0x1BB	7	PLL1输出驱动器掉电	PLL1输出驱动器掉电
	[6:2]	保留	保留
	1	VCXO时钟路由至通道1分频器输入	1: 通道使用VCXO时钟。VCXO时钟路由至分频器输入 0: 通道使用VCO分频器输出时钟。
	0	VCXO时钟路由至通道0分频器输入	1: 通道使用VCXO时钟。VCXO时钟路由至分频器输入 0: 通道使用VCO分频器输出时钟。

回读(地址0x22C至地址0x22D)

表54. 回读寄存器(回读0和回读1)

地址	位	位名称	说明
0x22C	7	PLL2参考时钟状态	1: 确定 0: 关闭/时钟丢失
	6	PLL1反馈时钟状态	1: 确定 0: 关闭/时钟丢失
	5	VCXO状态	1: 确定 0: 关闭/时钟丢失
	4	REF_TEST状态	1: 确定 0: 关闭/时钟丢失
	3	REFB状态	1: 确定 0: 关闭/时钟丢失
	2	REFA状态	1: 确定 0: 关闭/时钟丢失
	1	锁定检测PLL2	1: 锁定 0: 未锁定
	0	锁定检测PLL1	1: 锁定 0: 未锁定

AD9524

地址	位	位名称	说明
0x22D	[7:4]	保留	保留
	3	保持模式激活	1: 保持模式激活(两个参考均丢失) 0: 正常工作
	2	所选参考(自动模式下)	所选参考(仅当器件自动选择参考时适用, 例如不采用手动控制模式时) 1: REFB 0: REFA
	1	保留	保留
	0	VCO校准进行中	1: VCO校准进行中 0: 未进行VCO校准

其它(地址0x230至地址0x234)

表55. 状态信号

地址	位	位名称	说明						
0x230	[7:6]	保留	保留						
	[5:0]	状态监控器0控制	位5	位4	位3	位2	位1	位0	多路复用输出
			0	0	0	0	0	0	GND
			0	0	0	0	0	1	PLL1和PLL2均锁定
			0	0	0	0	1	0	PLL1锁定
			0	0	0	0	1	1	PLL2锁定
			0	0	0	1	0	0	两个参考均丢失(REFA和REFB)
			0	0	0	1	0	1	两个参考均丢失且PLL2锁定
			0	0	0	1	1	0	选择REFB(仅适用于自动选择模式)
			0	0	0	1	1	1	REFA正常
			0	0	1	0	0	0	REFB正常
			0	0	1	0	0	1	REF_TEST正常
			0	0	1	0	1	0	VCXO正常
			0	0	1	0	1	1	PLL1反馈正常
			0	0	1	1	0	0	PLL2反馈时钟正常
			0	0	1	1	0	1	保留
			0	0	1	1	1	0	REFA和REFB正常
			0	0	1	1	1	1	所有时钟正常(REF_TEST除外)
			0	1	0	0	0	0	PLL1反馈2分频
			0	1	0	0	0	1	PLL1 PFD降2分频
			0	1	0	0	1	0	PLL1 REF 2分频
			0	1	0	0	1	1	PLL1 PFD升2分频
			0	1	0	1	0	0	GND
		0	1	0	1	0	1	GND	
		0	1	0	1	1	0	GND	
		0	1	0	1	1	1	GND	

注意, 010111之后的所有位组合保留。

地址	位	位名称	说明																																																																																																																																																																														
0x231	[7:6]	保留	保留。																																																																																																																																																																														
	[5:0]	状态监控器1控制	<table border="1"> <thead> <tr> <th>位5</th> <th>位4</th> <th>位3</th> <th>位2</th> <th>位1</th> <th>位0</th> <th>多路复用输出</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>GND</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>PLL1和PLL2均锁定</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>PLL1锁定</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>PLL2锁定</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>两个参考均丢失(REFA和REFB)</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>两个参考均丢失且PLL2锁定</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>选择REFB(仅适用于自动选择模式)</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>REFA正常</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>REFB正常</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>REF_TEST正常</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>VCXO正常</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>PLL1反馈正常</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>PLL2反馈时钟正常</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>保留</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>REFA和REFB正常</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>所有时钟正常(REF_TEST除外)</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>GND</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>GND</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>GND</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>GND</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>PLL2反馈2分频</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>PLL2 PFD降2分频</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>PLL2 REF 2分频</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>PLL2 PFD升2分频</td></tr> </tbody> </table> <p>注意，010111之后的所有位组合保留。</p>	位5	位4	位3	位2	位1	位0	多路复用输出	0	0	0	0	0	0	GND	0	0	0	0	0	1	PLL1和PLL2均锁定	0	0	0	0	1	0	PLL1锁定	0	0	0	0	1	1	PLL2锁定	0	0	0	1	0	0	两个参考均丢失(REFA和REFB)	0	0	0	1	0	1	两个参考均丢失且PLL2锁定	0	0	0	1	1	0	选择REFB(仅适用于自动选择模式)	0	0	0	1	1	1	REFA正常	0	0	1	0	0	0	REFB正常	0	0	1	0	0	1	REF_TEST正常	0	0	1	0	1	0	VCXO正常	0	0	1	0	1	1	PLL1反馈正常	0	0	1	1	0	0	PLL2反馈时钟正常	0	0	1	1	0	1	保留	0	0	1	1	1	0	REFA和REFB正常	0	0	1	1	1	1	所有时钟正常(REF_TEST除外)	0	1	0	0	0	0	GND	0	1	0	0	0	1	GND	0	1	0	0	1	0	GND	0	1	0	0	1	1	GND	0	1	0	1	0	0	PLL2反馈2分频	0	1	0	1	0	1	PLL2 PFD降2分频	0	1	0	1	1	0	PLL2 REF 2分频	0	1	0	1	1	1
位5	位4	位3	位2	位1	位0	多路复用输出																																																																																																																																																																											
0	0	0	0	0	0	GND																																																																																																																																																																											
0	0	0	0	0	1	PLL1和PLL2均锁定																																																																																																																																																																											
0	0	0	0	1	0	PLL1锁定																																																																																																																																																																											
0	0	0	0	1	1	PLL2锁定																																																																																																																																																																											
0	0	0	1	0	0	两个参考均丢失(REFA和REFB)																																																																																																																																																																											
0	0	0	1	0	1	两个参考均丢失且PLL2锁定																																																																																																																																																																											
0	0	0	1	1	0	选择REFB(仅适用于自动选择模式)																																																																																																																																																																											
0	0	0	1	1	1	REFA正常																																																																																																																																																																											
0	0	1	0	0	0	REFB正常																																																																																																																																																																											
0	0	1	0	0	1	REF_TEST正常																																																																																																																																																																											
0	0	1	0	1	0	VCXO正常																																																																																																																																																																											
0	0	1	0	1	1	PLL1反馈正常																																																																																																																																																																											
0	0	1	1	0	0	PLL2反馈时钟正常																																																																																																																																																																											
0	0	1	1	0	1	保留																																																																																																																																																																											
0	0	1	1	1	0	REFA和REFB正常																																																																																																																																																																											
0	0	1	1	1	1	所有时钟正常(REF_TEST除外)																																																																																																																																																																											
0	1	0	0	0	0	GND																																																																																																																																																																											
0	1	0	0	0	1	GND																																																																																																																																																																											
0	1	0	0	1	0	GND																																																																																																																																																																											
0	1	0	0	1	1	GND																																																																																																																																																																											
0	1	0	1	0	0	PLL2反馈2分频																																																																																																																																																																											
0	1	0	1	0	1	PLL2 PFD降2分频																																																																																																																																																																											
0	1	0	1	1	0	PLL2 REF 2分频																																																																																																																																																																											
0	1	0	1	1	1	PLL2 PFD升2分频																																																																																																																																																																											
0x232	[7:5]	保留	保留。																																																																																																																																																																														
	4	使能STATUS0引脚上的Status_EEPROM	在STATUS0引脚上使能EEPROM状态。 1: 使能状态。																																																																																																																																																																														
	3	STATUS1引脚分频器使能	在STATUS1引脚上使能4分频，允许在较低频率时(例如PFD输入时钟)查看动态信号。不能与状态引脚上的直流状态一起使用；当寄存器0x231的位[5:0]设置在000000至001111范围时，状态引脚为直流状态。 1: 使能。 0: 禁用。																																																																																																																																																																														
	2	STATUS0引脚分频器使能1	在STATUS0引脚上使能4分频，允许在较低频率时(例如PFD输入时钟)查看动态信号。不能与状态引脚上的直流状态一起使用；当寄存器0x230的位[5:0]设置在000000至001111范围时，状态引脚为直流状态。 1: 使能。 0: 禁用。																																																																																																																																																																														
	1	保留	保留。																																																																																																																																																																														
0	同步分频器(手动控制)	置1使分频器同步；清0则释放同步。与拉低SYNC \bar 引脚相同。 1: 同步。 0: 正常。																																																																																																																																																																															

表56. 掉电控制

地址	位	位名称	说明
0x233	[7:3]	保留	保留。
	2	PLL1掉电	1: 关断(默认)。 0: 正常工作。
	1	PLL2掉电	1: 关断(默认)。 0: 正常工作。
	0	分配掉电	关断分配。 1: 关断(默认)。 0: 正常工作。

表57. 更新所有寄存器

地址	位	位名称	说明
0x234	[7:1]	保留	保留。
	0	IO_Update	此位必须置1, 才能在下一个SCLK上升沿将缓冲寄存器的内容传输到有效寄存器。此位为自清零位, 即不需要设置就能恢复为0。 1(自清零): 将所有有效寄存器更新为缓冲寄存器的内容。

EEPROM缓冲器(地址0xA00至地址0xA16)

表58. EEPROM缓冲段

地址	位	位名称	说明
0xA00 至 0xA16	[7:0]	EEPROM缓冲段 寄存器1到 EEPROM缓冲段 寄存器23	EEPROM缓冲段部分存储需存储读取EEPROM的起始地址和字节数。该寄存器空间不是连续的, 因此, 为了存储和检索EEPROM, EEPROM控制器需要知道寄存器空间的起始地址和字节数。此外, EEPROM控制器使用特殊指令: 操作代码(即IO_Update和end-of-data), 它们也存储在EEPROM缓冲段中。EEPROM缓冲段寄存器的片内默认设置方式如下: 在所有寄存器与EEPROM之间的传输完成后, 发出IO_Update指令(参见“EEPROM缓冲段编程”部分)。

EEPROM控制(地址0xB00至地址0xB03)

表59. Status EEPROM

地址	位	位名称	说明
0xB00	[7:1]	保留	保留。
	0	Status_EEPROM (只读)	该只读位指示读写EEPROM期间, EEPROM与缓冲寄存器段之间的数据传输状态。当寄存器0x232的位4置1时, STATUS0引脚也可提供此信号。 0: 数据传输已完成。 1: 数据传输未完成。

表60. EEPROM错误校验回读

地址	位	位名称	说明
0xB01	[7:1]	保留	保留。
	0	EEPROM数据错误 (只读)	该只读位指示EEPROM与缓冲器之间的数据传输是否发生错误。 0: 无错误, 数据正确。 1: 检测到错误数据。

表61. EEPROM控制1

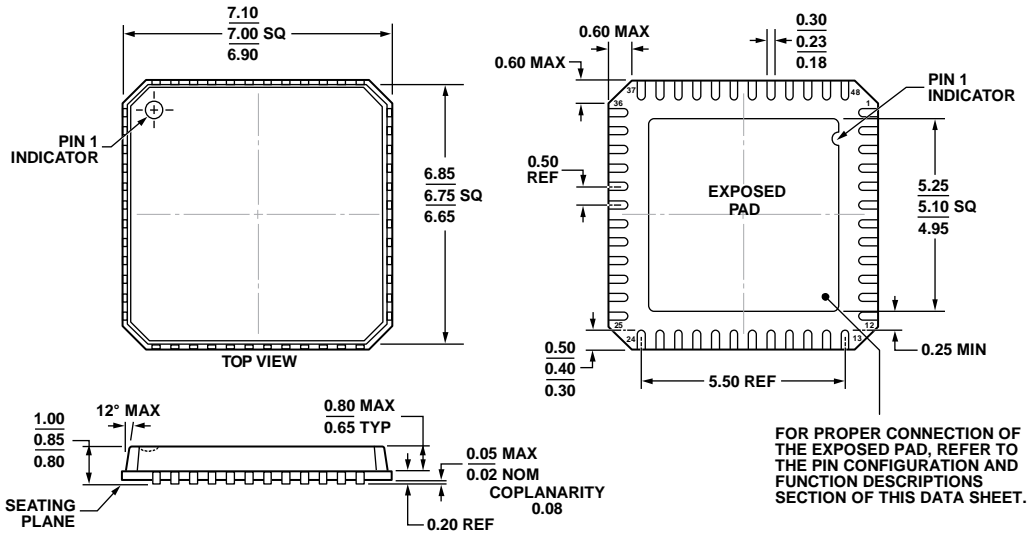
地址	位	位名称	说明
0xB02	[7:2]	保留	保留。
	1	Soft_EEPROM	当EEPROM_SEL引脚接低电平时，Soft_EEPROM位置1，即可利用EEPROM中保存的设置复位AD9524。 1: 用EEPROM设置进行软复位(自清零)。
	0	使能EEPROM写入	使能用户写入EEPROM。 0: 使能EEPROM写保护。用户无法写入EEPROM(默认)。 1: 禁用EEPROM写保护。用户可以写入EEPROM。

表62. EEPROM控制2

地址	位	位名称	说明
0xB03	[7:1]	保留	保留。
	0	REG2EEPROM	将数据从缓冲寄存器传输到EEPROM(自清零)。 1: 此位置1将启动从缓冲寄存器到EEPROM的数据传输(写过程)； 数据传输完毕后，I ² C主机将其复位。

AD9524

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2

图45. 48引脚引脚架构芯片级封装[LFCSP_VQ]

7 mm × 7 mm, 超薄体

(CP-48-1)

图示尺寸单位: mm

06-05-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9524BCPZ	-40°C至+85°C	48引脚引线框芯片级封装[LFCSP_VQ]	CP-48-1
AD9524BCPZ-REEL7	-40°C至+85°C	48引脚引线框芯片级封装[LFCSP_VQ]	CP-48-1
AD9524/PCBZ		评估板	

¹ Z = 符合RoHS标准的器件。

² I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。