



特性

低相位噪声锁相环(PLL)

- 片内VCO调谐范围：2.53 GHz至2.95 GHz
- 可选外部3.3 V/5 V VCO/VCXO至2.4 GHz
- 1路差分或2路单端参考输入
- 支持最高250 MHz的CMOS、LVDS或LVPECL参考输入
- 参考输入接受16.62 MHz至33.3 MHz晶振
- 可选参考时钟倍频器
- 参考监控功能
- 自动/手动参考保持和参考切换模式，恢复式切换 参考间无毛刺切换
- 从保持模式自动恢复
- 可选数字或模拟锁定检测
- 可选零延迟工作

12路1.6 GHz LVPECL输出分为4组

- 每组3路输出，共享一个带相位延迟的1至32分频器
- 加性输出抖动低至225 fs rms
- 分组输出的通道间偏斜：<16 ps
- 可以将每路LVPECL输出配置为2路CMOS输出($f_{OUT} \leq 250$ MHz)

上电时所有输出自动同步

提供手动输出同步

SPI和I²C兼容型串行控制端口

64引脚LFCSP封装

非易失性EEPROM存储配置设置

应用

低抖动、低相位噪声时钟分配

SONET、10Ge、10GFC、同步以太网、OTU2/3/4的时钟产生和转换

前向纠错(G.710)

为高速ADC、DAC、DDS、DDC、DUC、MxFE提供时钟

高性能无线收发器

自动测试设备(ATE)和高性能仪器仪表

宽带基础设施

概述

AD9520-0¹提供多路输出时钟分配功能，具有亚皮秒级抖动性能，并且片内集成锁相环(PLL)和电压控制振荡器(VCO)。片内VCO的调谐频率范围为2.53 GHz至2.95 GHz。也可以使用最高2.4 GHz的外部3.3 V/5 V VCO/VCXO。

功能框图

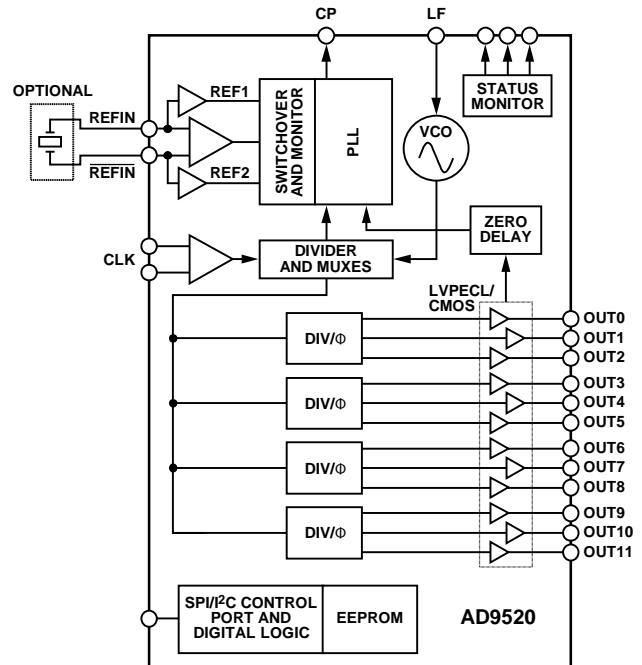


图1.

AD9520串行接口支持SPI和I²C端口。封装内EEPROM能够通过串行接口进行编程，其可存储用于上电和芯片复位的用户定义寄存器设置。AD9520具有12路LVPECL输出，分为四组。任何一路1.6 GHz LVPECL输出都可以重新配置为两路250 MHz CMOS输出。若应用需要LVDS驱动器而非LVPECL驱动器，请参考AD9522。

每组3路输出具有一个分频器，其分频比(从1至32)和相位失调或粗调时间延迟均可设置。

AD9520提供64引脚LFCSP封装，可以采用3.3 V单电源供电。外部VCO的工作电压最高可达5.5 V。独立的输出驱动器电源可以为2.375 V至3.465 V。

AD9520-0的额定工作温度范围为-40°C至+85°C标准工业温度范围。

¹ AD9520在本数据手册中泛指AD9520系列的所有器件。但是，使用AD9520-0时，它仅指AD9520系列的该特定器件。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2008–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1	引脚配置和功能描述.....	18
应用.....	1	典型性能参数.....	21
概述.....	1	术语.....	26
功能框图.....	1	详细框图.....	27
修订历史.....	3	工作原理.....	28
技术规格.....	4	工作配置.....	28
电源要求.....	4	零延迟操作.....	42
PLL特性.....	4	时钟分配.....	43
时钟输入.....	7	复位模式.....	49
时钟输出.....	7	关断模式.....	50
时序特性.....	8	串行控制端口.....	51
时钟输出加性相位噪声(仅分配；		SPI/I ² C端口选择.....	51
未使用VCO分频器).....	10	I ² C串行端口操作.....	51
时钟输出绝对相位噪声(使用内部VCO).....	11	SPI串行端口操作.....	54
时钟输出绝对时间抖动		SPI指令字(16位).....	55
(使用内部VCO的时钟产生).....	11	SPI MSB/LSB优先传输.....	55
时钟输出绝对时间抖动		EEPROM操作.....	58
(使用内部VCO的时钟净化).....	11	写入EEPROM.....	58
时钟输出绝对时间抖动		读取EEPROM.....	58
(使用外部VCXO的时钟产生).....	12	EEPROM缓冲段编程.....	59
时钟输出加性时间抖动(未使用VCO分频器).....	12	热性能.....	60
时钟输出加性时间抖动(使用VCO分频器).....	13	寄存器映射.....	61
串行控制端口—SPI模式.....	13	寄存器映射描述.....	64
串行控制端口—I ² C模式.....	14	应用信息.....	77
PD、EEPROM、RESET和SYNC引脚.....	15	使用AD9520进行频率规划.....	77
串行端口设置引脚：SP1、SP0.....	15	在ADC时钟应用中使用AD9520输出.....	77
LD、STATUS和REFMON引脚.....	15	LVPECL时钟分配.....	78
功耗.....	16	CMOS时钟分配.....	78
绝对最大额定值.....	17	外形尺寸.....	80
热阻.....	17	订购指南.....	80
ESD警告.....	17		

修订历史

2013年8月—修订版0至修订版A

更改“特性”部分、“应用”部分和“概述”部分	1
更改表2	4
更改表3中的输入频率参数、输入灵敏度、差分参数测试条件/注释	7
更改表4中的输出差分电压、 V_{OD} 参数测试条件/注释；表4中增加源电流和吸电流参数	7
图2至图4重新排序	9
更改表15中的复位时序、低电平脉冲宽度参数	15
更改表18中PLL锁定、一路LVPECL输出使能参数、测试条件/注释中的 f_{OUT} 值	16
更改表19中的结温；调整表19格式	17
更改表21中的引脚4、引脚10和引脚22描述	18
删除图13；重新排序	22
图31和图32重新排序；第35页中的图34和图35移动至“PLL外部环路滤波器”部分；增加图33，重新排序	25
更改“模式0——内部VCO和时钟分配”部分	28
更改“PLL配置”部分；更改“电荷泵(CP)”部分	34
更改“片内VCO”部分和“PLL外部环路滤波器”部分；增加图40；将图41和图42从“典型性能参数”部分移动至“PLL外部环路滤波器”部分；更改“PLL基准电压源输入”部分	35
更改“参考切换”部分	36
更改“预分频”部分和“A和B计数器”部分；更改表29	37
更改“电流源数字锁定检测(CSDL D)”部分	38
更改“频率状态监控器”部分和“VCO校准”部分	41
增加表31，重新排序；更改“内部零延迟模式”部分	42

更改“时钟分频”部分；增加“通道分频器最大频率”部分	45
调整表36至表39格式	46
更改“相位偏移或粗调时间延迟”部分	47
更改“LVPECL输出驱动器”部分；更改“CMOS输出驱动器”部分	49
更改“通过串行端口进行软复位”部分和“通过串行端口软复位到EEPROM中的设置(EEPROM引脚 = 0b时)”部分	50
更改“引脚描述”部分、“SPI模式工作原理”部分和“写操作”部分	54
更改“SPI指令字(16位)”部分	55
更改“EEPROM工作原理”部分、“写入EEPROM”部分和“读取EEPROM”部分	58
更改“EEPROM缓冲段编程”部分和“寄存器段定义组”部分；增加“操作代码”部分的标题	59
更改表50	61
在“寄存器映射描述”部分增加“未使用位”；更改表51中的地址0x000、位5；表51中增加地址0x003；更改表52中的地址0x000、位5；表52中增加地址0x003	64
更改表54中的地址0x017	66
更改表54中的地址0x018、位4和位[2:1]	67
更改表54中的地址0x01B、位[4:0]	69
更改表56中的地址0x191、位5和地址0x194、位5	72
更改表56中的地址0x197、位5	73
更改表56中的地址0x19A、位5	74
更改表60	75
更改表61中的地址0xB02、位0和地址0xB03、位0	76
更改“使用AD9520进行频率规划”部分	77
增加“LVPECL Y型端接”和“远端戴维宁端接”标题；更改“CMOS时钟分配”部分	78

2008年9月—修订版0：初始版

AD9520-0

技术规格

除非另有说明，典型值的测量条件为： $V_S = V_{S_DRV} = 3.3\text{ V} \pm 5\%$ ； $V_S \leq V_{CP} \leq 5.25\text{ V}$ ； $T_A = 25^\circ\text{C}$ ； $R_{SET} = 4.12\text{ k}\Omega$ ； $CP_{RSET} = 5.1\text{ k}\Omega$ 。
最小值和最大值的测量条件为整个 V_S 和 T_A （ -40°C 至 $+85^\circ\text{C}$ ）范围内。

电源要求

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源引脚					
VS	3.135	3.3	3.465	V	$3.3\text{ V} \pm 5\%$
VS_DRV	2.375		V_S	V	标称值为 2.5 V 至 $3.3\text{ V} \pm 5\%$
VCP	V_S		5.25	V	标称值为 3.3 V 至 $5.0\text{ V} \pm 5\%$
电流设置电阻					
RSET引脚电阻		4.12		k Ω	设置内部偏置电流；接地
CPRSET引脚电阻		5.1		k Ω	设置内部电荷泵电流范围，标称值 4.8 mA ($CP_I_{sb} = 600\text{ }\mu\text{A}$)；实际电流计算如下： $CP_I_{sb} = 3.06/CPRSET$ ；接地
BYPASS引脚电容		220		nF	内部LDO调节器的旁路电容； LDO稳定工作所必需的；接地

PLL特性

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
VCO(片内)					
频率范围	2530		2950	MHz	
VCO增益(K_{VCO})		52		MHz/V	见图8
调谐电压(V_T)	0.5		$V_{CP} - 0.5$	V	使用内部VCO时， $V_T \leq V_S$
推频(开环)		1		MHz/V	
1 kHz偏移时的相位噪声		-51		dBc/Hz	$f = 2550\text{ MHz}$
100 kHz偏移时的相位噪声		-108		dBc/Hz	$f = 2550\text{ MHz}$
1 MHz偏移时的相位噪声		-127		dBc/Hz	$f = 2550\text{ MHz}$
参考输入					
差模(REFIN、 $\overline{\text{REFIN}}$)					差分模式(让未驱动的输入交流接地， 可以支持单端输入)
输入频率	0		250	MHz	低于约1 MHz的频率应直流耦合； 注意匹配 V_{CM} (自偏置电压)
输入灵敏度		280		mV p-p	PLL品质因数(FOM)随压摆率增加而增加(图12)； 输入灵敏度对于交流耦合LVDS和LVPECL信号而言 足够
REFIN自偏置电压	1.35	1.60	1.75	V	REFIN的自偏置电压 ¹
$\overline{\text{REFIN}}$ 自偏置电压	1.30	1.50	1.60	V	$\overline{\text{REFIN}}$ 的自偏置电压 ¹
REFIN输入电阻	4.0	4.8	5.9	k Ω	自偏置 ¹
$\overline{\text{REFIN}}$ 输入电阻	4.4	5.3	6.4	k Ω	自偏置 ¹
双路单端模式(REF1、REF2)					两路单端CMOS兼容型输入
输入频率(交流耦合，直流偏移关闭)	10		250	MHz	压摆率必须大于 $50\text{ V}/\mu\text{s}$
输入频率(交流耦合，直流偏移开启)			250	MHz	压摆率必须大于 $>50\text{ V}/\mu\text{s}$ ，并且必须满足输入幅度 灵敏度要求；见输入灵敏度参数
输入频率(直流耦合)	0		250	MHz	压摆率大于 $50\text{ V}/\mu\text{s}$ ；CMOS电平
输入灵敏度(交流耦合，直流偏移关闭)	0.55		3.28	V p-p	V_{IH} 不应超过 V_S
输入灵敏度(交流耦合，直流偏移开启)	1.5		2.78	V p-p	V_{IH} 不应超过 V_S
输入逻辑高电平，直流偏移关闭	2.0			V	
输入逻辑低电平，直流偏移关闭			0.8	V	
输入电流	-100		+100	μA	
输入电容		2		pF	各引脚，REFIN(REF1)/ $\overline{\text{REFIN}}$ (REF2)

参数	最小值	典型值	最大值	单位	测试条件/注释
高电平/低电平脉冲宽度	1.8			ns	方波为高电平/低电平的持续时间； 确定允许的输入占空比
晶体振荡器					
晶振频率范围	16.62		33.33	MHz	
最大晶体动态电阻			30	Ω	
鉴频鉴相器(PFD)					
PFD输入频率			100	MHz	防反冲脉冲宽度 = 1.3 ns
参考输入时钟倍频器频率	0.004		45	MHz	防反冲脉冲宽度 = 2.9 ns
防反冲脉冲宽度		1.3	50	ns	寄存器 0x017[1:0] = 01b
		2.9		ns	寄存器 0x017[1:0] = 00b; 寄存器 0x017[1:0] = 11b
		6.0		ns	寄存器 0x017[1:0] = 10b
电荷泵(CP)					
I_{CP} 吸/源电流					CP_V 是 CP 引脚电压; V_{CP} 是电荷泵电源电压(VCP引脚) 可编程
高值		4.8		mA	$CP_{RSET} = 5.1 \text{ k}\Omega$ 时; 更改 CP_{RSET} 可以获得更高的 I_{CP}
低值		0.60		mA	$CP_{RSET} = 5.1 \text{ k}\Omega$ 时; 更改 CP_{RSET} 可以获得更低的 I_{CP}
绝对精度		2.5		%	电荷泵电压设置为 $V_{CP}/2$
CPRSET 范围	2.7		10	k Ω	
I_{CP} 高阻抗模式漏电流		1		nA	
吸电流与源电流匹配		1		%	$0.5 \text{ V} < CP_V < V_{CP} - 0.5 \text{ V}$; CP_V 为 CP(电荷泵)引脚上的 电压; V_{CP} 为 VCP 电源引脚上的电压
I_{CP} 与 V_{CP}		1.5		%	$0.5 \text{ V} < CP_V < V_{CP} - 0.5 \text{ V}$
I_{CP} 与温度		2		%	$CP_V = V_{CP}/2$
预分频器(N分频器的一部分)					
预分频器输入频率					
P = 1 FD			300	MHz	
P = 2 FD			600	MHz	
P = 3 FD			900	MHz	
P = 2 DM (2/3)			200	MHz	
P = 4 DM (4/5)			1000	MHz	
P = 8 DM (8/9)			2400	MHz	
P = 16 DM (16/17)			3000	MHz	
P = 32 DM (32/33)			3000	MHz	
预分频器输出频率			300	MHz	A、B 计数器输入频率(预分频器输入频率除以 P)
PLL N分频器延迟					寄存器 0x019[2:0]; 见表 53
000		关			
001		385		ps	
010		486		ps	
011		623		ps	
100		730		ps	
101		852		ps	
110		976		ps	
111		1101		ps	
PLL R分频器延迟					寄存器 0x019[5:3]; 见表 54
000		关			
001		365		ps	
010		486		ps	
011		608		ps	
100		730		ps	
101		852		ps	
110		976		ps	
111		1101		ps	

AD9520-0

参数	最小值	典型值	最大值	单位	测试条件/注释
零延迟模式下的相位偏移					REF指REFIN (REF1)/REFIN (REF2)
内部零延迟模式下的相位偏移 (REF至LVPECL时钟输出引脚)	560	1060	1310	ps	旁路N延迟和R延迟时
内部零延迟模式下的相位偏移 (REF至LVPECL时钟输出引脚)	-320	+50	+240	ps	N延迟设置为110且旁路R延迟时
外部零延迟模式下的相位偏移 (REF至CLK输入引脚)	140	630	870	ps	旁路N延迟和R延迟时
外部零延迟模式下的相位偏移 (REF至CLK输入引脚)	-460	-20	+200	ps	N延迟设置为011且旁路R延迟时
噪声特性					
电荷泵/鉴频鉴相器 ² 的带内相位噪声 (带内指在PLL的LBW内)					PLL带内相位噪声的估算方法如下：测量VCO输出端的带内相位噪声，然后减去20 log(N)(其中N为N分频器的值)
500 kHz PFD频率		-165		dBc/Hz	
1 MHz PFD频率		-162		dBc/Hz	
10 MHz PFD频率		-152		dBc/Hz	
50 MHz PFD频率		-144		dBc/Hz	
PLL品质因数(FOM)		-222		dBc/Hz	参考压摆率大于0.5 V/ns；FOM + 10 log(f _{PFD})为PLL环路带宽内PFD/CP带内相位噪声(平坦区域中)的近似值；闭环工作时，VCO输出端测得的相位噪声提高20 log(N)；PLL品质因数随着压摆率降低而降低；见图12
PLL数字锁定检测窗口 ²					通过适当的寄存器设置选择时，信号可在LD、STATUS和REFMON引脚上提供；锁定检测阈值可通过CPRSET电阻值而线性改变
锁定阈值(边沿重合)					由寄存器0x017[1:0]和寄存器0x018[4]选择 (这是从解锁到锁定的阈值)
低范围(ABP 1.3 ns、2.9 ns)		3.5		ns	寄存器0x017[1:0] = 00b、01b、11b； 寄存器0x018[4] = 1b
高范围(ABP 1.3 ns、2.9 ns)		7.5		ns	寄存器0x017[1:0] = 00b、01b、11b； 寄存器0x018[4] = 0b
高范围(ABP 6.0 ns)		3.5		ns	寄存器0x017[1:0] = 10b；寄存器0x018[4] = 0b
解锁阈值(迟滞) ²					由寄存器0x017[1:0]和寄存器0x018[4]选择 (这是从锁定到解锁的阈值)
低范围(ABP 1.3 ns、2.9 ns)		7		ns	寄存器0x017[1:0] = 00b、01b、11b； 寄存器0x018[4] = 1b
高范围(ABP 1.3 ns、2.9 ns)		15		ns	寄存器0x017[1:0] = 00b、01b、11b； 寄存器0x018[4] = 0b
高范围(ABP 6.0 ns)		11		ns	寄存器0x017[1:0] = 10b；寄存器0x018[4] = 0b

¹ REFIN和REFIN自偏置点略微偏移，以免在开路输入条件下发生震颤。

² “带内”表示在PLL的LBW内。

³ 为使数字锁定检测可靠地工作，PFD频率的周期必须大于锁定后解锁的时间。

时钟输入

表3.

参数	最小值	典型值	最大值	单位	测试条件/注释
时钟输入(CLK、 $\overline{\text{CLK}}$)					差分输入
输入频率	0 ¹		2.4	GHz	高频分配(VCO分频器)
	0 ¹		2.0	GHz	仅分配(旁路VCO分频器); 这是通道分频器支持的频率范围(除17分频和3分频外的所有分频比)
	0 ¹		1.6	GHz	仅分配(旁路VCO分频器); 这是所有通道分频比支持的频率范围
差分输入灵敏度		150		mV p-p	在2.4 GHz下测得; 压摆率大于1 V/ns时可改善抖动性能; 输入灵敏度对于交流耦合LVDS和LVPECL信号而言足够
差分输入电平			2	V p-p	较大的电压摆幅可启动保护二极管, 降低抖动性能
输入共模电压 V_{CM}	1.3	1.57	1.8	V	自偏置; 支持交流耦合
输入共模范围 V_{CMR}	1.3		1.8	V	施加200 mV p-p信号; 直流耦合
单端输入灵敏度		150		mV p-p	CLK交流耦合; $\overline{\text{CLK}}$ 交流旁路至RF地
输入电阻	3.9	4.7	5.7	k Ω	自偏置
输入电容		2		pF	

¹ 低于约1 MHz时, 输入应直流耦合。应注意匹配 V_{CM} 。

时钟输出

表4.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL时钟输出					终端 = 50 Ω 接 $V_{\text{S_DRV}} - 2\text{ V}$
OUT0, OUT1, OUT2, OUT3, OUT4, OUT5, OUT6, OUT7, OUT8, OUT9, OUT10, OUT11					差分(OUT、 $\overline{\text{OUT}}$)
最大输出频率	2400			MHz	使用直接至输出(见图20); 可以提供更高的频率, 但幅度无法满足VOD要求; 最大输出频率受限于VCO最大频率或CLK输入频率, 取决于AD9520的配置
输出高电压 V_{OH}	$V_{\text{S_DRV}} - 1.07$	$V_{\text{S_DRV}} - 0.96$	$V_{\text{S_DRV}} - 0.84$	V	
输出低电压 V_{OL}	$V_{\text{S_DRV}} - 1.95$	$V_{\text{S_DRV}} - 1.79$	$V_{\text{S_DRV}} - 1.64$	V	
输出差分电压 V_{OD}	660	820	950	mV	差分对每个引脚上的 $V_{\text{OH}} - V_{\text{OL}}$, 针对未切换驱动器的默认幅度设置; 使用差分对两端的差分探头测量峰峰值幅度(驱动器切换大致为这些数值的2倍, 随频率的变化情况见图20)
CMOS时钟输出					单端; 终端 = 10 pF
OUT0A, OUT0B, OUT1A, OUT1B, OUT2A, OUT2B, OUT3A, OUT3B, OUT4A, OUT4B, OUT5A, OUT5B, OUT6A, OUT6B, OUT7A, OUT7B, OUT8A, OUT8B, OUT9A, OUT9B, OUT10A, OUT10B, OUT11A, OUT11B					
输出频率			250	MHz	见图21
输出高电压 V_{OH}	$V_{\text{S}} - 0.1$			V	1 mA load, $V_{\text{S_DRV}} = 3.3\text{ V}/2.5\text{ V}$
输出低电压 V_{OL}			0.1	V	1 mA load, $V_{\text{S_DRV}} = 3.3\text{ V}/2.5\text{ V}$
输出高电压 V_{OH}	2.7			V	10 mA load, $V_{\text{S_DRV}} = 3.3\text{ V}$
输出低电压 V_{OL}			0.5	V	10 mA load, $V_{\text{S_DRV}} = 3.3\text{ V}$
输出高电压 V_{OH}	1.8			V	10 mA load, $V_{\text{S_DRV}} = 2.5\text{ V}$
输出低电压 V_{OL}			0.6	V	10 mA load, $V_{\text{S_DRV}} = 2.5\text{ V}$

AD9520-0

参数	最小值	典型值	最大值	单位	测试条件/注释
源电流					若超过数值则可能损坏器件
静态			20	mA	
动态			16	mA	
吸电流					若超过数值则可能损坏器件
静态			8	mA	
动态			16	mA	

时序特性

表5.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出上升/下降时间					终端 = 50 Ω接 $V_{S_DRV} - 2V$
输出上升时间 t_{RP}		130	170	ps	20%至80%，差分测量(上升/下降时间独立于 V_S ，在 $V_{S_DRV} = 3.3V$ 和 $2.5V$ 下有效)
输出下降时间 t_{FP}		130	170	ps	80%至20%，差分测量(上升/下降时间独立于 V_S ，在 $V_{S_DRV} = 3.3V$ 和 $2.5V$ 下有效)
传播延迟 t_{PECL} ，CLK至LVPECL输出					
针对所有分频值	850	1050	1280	ps	高频时钟分配配置
随温度的变化	800	970	1180	ps	时钟分配配置
随温度的变化		1.0		ps/°C	
输出偏斜，LVPECL输出 ¹					终端 = 50 Ω接 $V_{S_DRV} - 2V$
共享同一分频器的LVPECL输出		5	16	ps	$V_{S_DRV} = 3.3V$
不同分频器上的LVPECL输出		5	20	ps	$V_{S_DRV} = 2.5V$
跨多个器件的所有LVPECL输出		5	45	ps	$V_{S_DRV} = 3.3V$
跨多个器件的所有LVPECL输出		5	60	ps	$V_{S_DRV} = 2.5V$
跨多个器件的所有LVPECL输出			190	ps	$V_{S_DRV} = 3.3V$ 和 $2.5V$
CMOS输出上升/下降时间					终端 = 开路
输出上升时间 t_{RC}		750	960	ps	20%至80%， $C_{LOAD} = 10pF$ ， $V_{S_DRV} = 3.3V$
输出下降时间 t_{FC}		715	890	ps	80%至20%， $C_{LOAD} = 10pF$ ， $V_{S_DRV} = 3.3V$
输出上升时间 t_{RC}		965	1280	ps	20%至80%， $C_{LOAD} = 10pF$ ， $V_{S_DRV} = 2.5V$
输出下降时间 t_{FC}		890	1100	ps	80%至20%， $C_{LOAD} = 10pF$ ， $V_{S_DRV} = 2.5V$
传播延迟 t_{CMOS} ，CLK至CMOS输出					时钟分配配置
针对所有分频值	2.1	2.75	3.55	ns	$V_{S_DRV} = 3.3V$
随温度的变化		3.35		ns	$V_{S_DRV} = 2.5V$
随温度的变化		2		ps/°C	$V_{S_DRV} = 3.3V$ 和 $2.5V$
输出偏斜，CMOS输出 ¹					
共享同一分频器的CMOS输出		7	85	ps	$V_{S_DRV} = 3.3V$
不同分频器上的所有CMOS输出		10	105	ps	$V_{S_DRV} = 2.5V$
跨多个器件的所有CMOS输出		10	240	ps	$V_{S_DRV} = 3.3V$
跨多个器件的所有CMOS输出		10	285	ps	$V_{S_DRV} = 2.5V$
跨多个器件的所有CMOS输出			600	ps	$V_{S_DRV} = 3.3V$
跨多个器件的所有CMOS输出			620	ps	$V_{S_DRV} = 2.5V$
输出偏斜，LVPECL至CMOS输出 ¹					所有设置相同；逻辑类型不同
共享同一分频器的输出	1.18	1.76	2.48	ns	同一器件上的LVPECL至CMOS
不同分频器上的输出	1.20	1.78	2.50	ns	同一器件上的LVPECL至CMOS

¹ 输出偏斜是指在相同的电压、温度条件下，任何两条相似的延迟路径之间的差异。

时序图

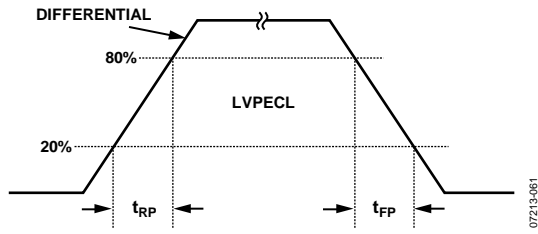


图2. LVPECL时序, 差分

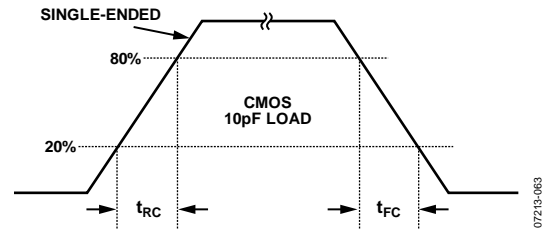


图4. CMOS时序, 单端, 10 pF负载

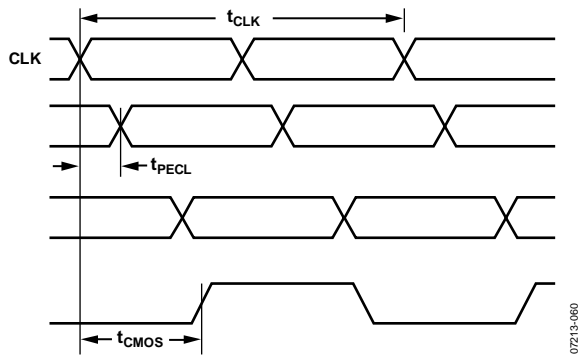


图3. CLK/ $\overline{\text{CLK}}$ 至时钟输出时序, 分频比 = 1

AD9520-0

时钟输出加性相位噪声(仅分配; 未使用VCO分频器)

表6.

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK至LVPECL加性相位噪声 CLK = 1 GHz, 输出 = 1 GHz 分频比 = 1					仅分配部分; 不包括PLL和VCO 输入压摆率 > 1 V/ns
10 Hz偏移		-107		dBc/Hz	
100 Hz偏移		-117		dBc/Hz	
1 kHz偏移		-127		dBc/Hz	
10 kHz偏移		-135		dBc/Hz	
100 kHz偏移		-142		dBc/Hz	
1 MHz偏移		-145		dBc/Hz	
10 MHz偏移		-147		dBc/Hz	
100 MHz偏移		-150		dBc/Hz	
CLK = 1 GHz, 输出 = 200 MHz 分频比 = 5					输入压摆率 > 1 V/ns
10 Hz偏移		-122		dBc/Hz	
100 Hz偏移		-132		dBc/Hz	
1 kHz偏移		-143		dBc/Hz	
10 kHz偏移		-150		dBc/Hz	
100 kHz偏移		-156		dBc/Hz	
1 MHz偏移		-157		dBc/Hz	
>10 MHz偏移		-157		dBc/Hz	
CLK至CMOS加性相位噪声 CLK = 1 GHz, 输出 = 250 MHz 分频比 = 4					仅分配部分; 不包括PLL和VCO 输入压摆率 > 1 V/ns
10 Hz偏移		-107		dBc/Hz	
100 Hz偏移		-119		dBc/Hz	
1 kHz偏移		-125		dBc/Hz	
10 kHz偏移		-134		dBc/Hz	
100 kHz偏移		-144		dBc/Hz	
1 MHz偏移		-148		dBc/Hz	
>10 MHz偏移		-154		dBc/Hz	
CLK = 1 GHz, 输出 = 50 MHz 分频比 = 20					输入压摆率 > 1 V/ns
10 Hz偏移		-126		dBc/Hz	
100 Hz偏移		-133		dBc/Hz	
1 kHz偏移		-140		dBc/Hz	
10 kHz偏移		-148		dBc/Hz	
100 kHz偏移		-157		dBc/Hz	
1 MHz偏移		-160		dBc/Hz	
>10 MHz偏移		-163		dBc/Hz	

时钟输出绝对相位噪声(使用内部VCO)

表7.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL绝对相位噪声					内部VCO；直接至LVPECL输出，环路带宽小于1 kHz
VCO = 2.95 GHz；输出 = 2.95 GHz					
1 kHz偏移		-46		dBc/Hz	
10 kHz偏移		-78		dBc/Hz	
100 kHz偏移		-104		dBc/Hz	
1 MHz偏移		-123		dBc/Hz	
10 MHz偏移		-139		dBc/Hz	
40 MHz偏移		-145		dBc/Hz	
VCO = 2.75 GHz；输出 = 2.75 GHz					
1 kHz偏移		-49		dBc/Hz	
10 kHz偏移		-80		dBc/Hz	
100 kHz偏移		-106		dBc/Hz	
1 MHz偏移		-125		dBc/Hz	
10 MHz偏移		-140		dBc/Hz	
40 MHz偏移		-146		dBc/Hz	
VCO = 2.55 GHz；输出 = 2.55 GHz					
1 kHz偏移		-51		dBc/Hz	
10 kHz偏移		-82		dBc/Hz	
100 kHz偏移		-108		dBc/Hz	
1 MHz偏移		-127		dBc/Hz	
10 MHz偏移		-140		dBc/Hz	
40 MHz偏移		-146		dBc/Hz	

时钟输出绝对时间抖动(使用内部VCO的时钟产生)

表8.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出绝对时间抖动					应用示例基于典型设置，参考源干净，因此使用较宽的PLL环路带宽；参考 = 15.36 MHz；R分频比 = 1
VCO = 2.949 GHz；LVPECL = 245.76 MHz；PLL LBW = 63 kHz		176		fs rms	积分带宽 = 200 kHz至10 MHz
		351		fs rms	积分带宽 = 12 kHz至20 MHz
VCO = 2.703 GHz；LVPECL = 122.88 MHz；PLL LBW = 63 kHz		158		fs rms	积分带宽 = 200 kHz至10 MHz
		324		fs rms	积分带宽 = 12 kHz至20 MHz
VCO = 2.703 GHz；LVPECL = 61.44 MHz；PLL LBW = 63 kHz		177		fs rms	积分带宽 = 200 kHz至10 MHz
		330		fs rms	积分带宽 = 12 kHz至20 MHz

时钟输出绝对时间抖动(使用内部VCO的时钟净化)

表9.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出绝对时间抖动					应用示例基于典型设置，参考源抖动，因此使用较窄的PLL环路带宽；参考 = 19.44 MHz；R分频比 = 162
VCO = 2.799 GHz；LVPECL = 155.52 MHz；PLL LBW = 1.8 kHz		652		fs rms	积分带宽 = 12 kHz至20 MHz
VCO = 2.703 GHz；LVPECL = 122.88 MHz；PLL LBW = 2.1 kHz		607		fs rms	积分带宽 = 12 kHz至20 MHz

AD9520-0

时钟输出绝对时间抖动(使用外部VCXO的时钟产生)

表10.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出绝对时间抖动					应用示例基于使用外部245.76 MHz VCXO (Toyocom TCO-2112)的典型设置; 参考 = 15.36 MHz; R分频比 = 1
LVPECL = 245.76 MHz; PLL LBW = 125 Hz		54		fs rms	积分带宽 = 200 kHz至5 MHz
		77		fs rms	积分带宽 = 200 kHz至10 MHz
		109		fs rms	积分带宽 = 12 kHz至20 MHz
LVPECL = 122.88 MHz; PLL LBW = 125 Hz		79		fs rms	积分带宽 = 200 kHz至5 MHz
		114		fs rms	积分带宽 = 200 kHz至10 MHz
		163		fs rms	积分带宽 = 12 kHz至20 MHz
LVPECL = 61.44 MHz; PLL LBW = 125 Hz		124		fs rms	积分带宽 = 200 kHz至5 MHz
		176		fs rms	积分带宽 = 200 kHz至10 MHz
		259		fs rms	积分带宽 = 12 kHz至20 MHz

时钟输出加性时间抖动(未使用VCO分频器)

表11.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出加性时间抖动					仅分配部分; 不包括PLL和VCO; 在时钟信号的上升沿测量
CLK = 622.08 MHz 任意LVPECL输出 = 622.08 MHz 分频比 = 1		46		fs rms	积分带宽 = 12 kHz至20 MHz
CLK = 622.08 MHz 任意LVPECL输出 = 155.52 MHz 分频比 = 4		64		fs rms	积分带宽 = 12 kHz至20 MHz
CLK = 1000 MHz 任意LVPECL输出 = 100 MHz 分频比 = 10		223		fs rms	根据ADC的信噪比方法计算 宽带抖动
CLK = 500 MHz 任意LVPECL输出 = 100 MHz 分频比 = 5		209		fs rms	根据ADC的信噪比方法计算 宽带抖动
CMOS输出加性时间抖动					仅分配部分; 不包括PLL和VCO
CLK = 200 MHz 任意CMOS输出对 = 100 MHz 分频比 = 2		325		fs rms	根据ADC的信噪比方法计算 宽带抖动

时钟输出加性时间抖动(使用VCO分频器)

表12

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出加性时间抖动					仅分配部分; 不包括PLL和VCO; 使用时钟信号的上升沿
CLK = 1.0 GHz; VCO DIV = 5; LVPECL = 100 MHz; 通道分频比 = 2; 占空比校正 = 关		230		fs rms	根据ADC的信噪比方法计算(宽带抖动)
CLK = 500 MHz; VCO DIV = 5; LVPECL = 100 MHz; 旁路通道分频器; 占空比校正 = 开		215		fs rms	根据ADC的信噪比方法计算(宽带抖动)
CMOS输出加性时间抖动					仅分配部分; 不包括PLL和VCO; 使用时钟信号的上升沿
CLK = 200 MHz; VCO DIV = 2; CMOS = 100 MHz; 旁路通道分频器; 占空比校正 = 关		326		fs rms	根据ADC的信噪比方法计算(宽带抖动)
CLK = 1600 MHz; VCO DIV = 2; CMOS = 100 MHz; 通道分频比 = 8; 占空比校正 = 关		362		fs rms	根据ADC的信噪比方法计算(宽带抖动)

串行控制端口—SPI模式

表13.

参数	最小值	典型值	最大值	单位	测试条件/注释
CS (输入)					CS 内置一个30 kΩ上拉电阻
输入逻辑1电压	2.0			V	
输入逻辑0电压			0.8	V	
输入逻辑1电流			3	μA	
输入逻辑0电流		-110		μA	负值表示内部上拉电阻导致电流流出AD9520
输入电容			2	pF	
SCLK(输入), SPI模式					SPI模式下SCLK内置一个30 kΩ下拉电阻, I ² C模式下无内置电阻
输入逻辑1电压	2.0			V	
输入逻辑0电压			0.8	V	
输入逻辑1电流		110		μA	
输入逻辑0电流			1	μA	
输入电容			2	pF	
SDIO(输入处于双向模式)					
输入逻辑1电压	2.0			V	
输入逻辑0电压			0.8	V	
输入逻辑1电流		1		μA	
输入逻辑0电流		1		μA	
输入电容			2	pF	
SDIO、SDO(输出)					
输出逻辑1电压	2.7			V	
输出逻辑0电压			0.4	V	
时序					
时钟速率(SCLK, 1/t _{SCLK})			25	MHz	
高电平脉冲宽度, t _{HIGH}	16			ns	
低电平脉冲宽度, t _{LOW}	16			ns	
SDIO至SCLK建立时间, t _{DS}	4			ns	
SCLK至SDIO保持时间, t _{DH}	0			ns	
SCLK至有效SDIO和SDO时间, t _{DV}			11	ns	
CS至SCLK建立和保持时间, t _S 、t _C	2			ns	
CS最短脉冲宽度(高电平), t _{PWH}	3			ns	

AD9520-0

串行控制端口—I²C模式

表14.

参数	最小值	典型值	最大值	单位	测试条件/注释
SDA、SCL(输入数据时)					
输入逻辑1电压	$0.7 \times V_S$			V	
输入逻辑0电压			$0.3 \times V_S$	V	
输入电流(输入电压介于 $0.1 \times V_S$ 和 $0.9 \times V_S$ 之间)	-10		+10	μA	
施密特触发器输入的迟滞	$0.015 \times V_S$			V	
输入滤波器必须抑制的尖峰的脉冲宽度, t_{SPIKE}			50	ns	
SDA(输出数据时)					
输出逻辑0电压(3 mA吸电流)			0.4	V	
从 V_{IH_MIN} 到 V_{IL_MAX} 的输出下降时间 (总线电容从10 pF到400 pF)	$20 + 0.1 C_b$		250	ns	C_b = 一条总线的电容(单位pF)
时序					注意所有I ² C时序值均参考 V_{IH_MIN} ($0.3 \times V_S$)和 V_{IL_MAX} 电平($0.7 \times V_S$)
时钟速率(SCL, f_{I2C})			400	kHz	
停止条件与起始条件之间的总线空闲时间, t_{IDLE}	1.3			μs	
重复起始条件的建立时间, $t_{SET,STR}$	0.6			μs	
(重复)起始条件保持时间, $t_{HLD,STR}$	0.6			μs	此周期结束后, 产生第一个时钟脉冲
停止条件建立时间, $t_{SET,STP}$	0.6			μs	
SCL时钟的低电平周期, t_{LOW}	1.3			μs	
SCL时钟的高电平周期, t_{HIGH}	0.6			μs	
SCL、SDA上升时间, t_{RISE}	$20 + 0.1 C_b$		300	ns	
SCL、SDA下降时间, t_{FALL}	$20 + 0.1 C_b$		300	ns	
数据建立时间, $t_{SET,DAT}$	120			ns	这与100 ns最小值的原始I ² C规范略有不同
数据保持时间, $t_{HLD,DAT}$	140		880	ns	这与0 ns最小值的原始I ² C规范略有不同 ¹
各条总线的容性负载, C_b			400	pF	

¹ 根据原始I²C规范, I²C主机还必须提供最短300 ns的保持时间, 以便SDA信号桥接SCL下降沿的未定义区域。

PD、EEPROM、RESET和SYNC引脚

表15.

参数	最小值	典型值	最大值	单位	测试条件/注释
输入特性					这些引脚各有一个30 kΩ内部上拉电阻
逻辑1电压	2.0			V	
逻辑0电压			0.8	V	
逻辑1电流			1	μA	
逻辑0电流		-110		μA	负值表示内部上拉电阻导致电流流出AD9520
电容		2		pF	
复位时序					
低电平脉冲宽度	500			ns	
RESET 无活动到启动寄存器编程	100			ns	
SYNC 时序					
低电平脉冲宽度	1.3			ns	高速时钟为CLK输入信号

串行端口设置引脚：SP1、SP0

表16.

参数	最小值	典型值	最大值	单位	测试条件/注释
SP1, SP0					这些引脚无内部上拉/下拉电阻
逻辑电平0			$0.25 \times V_S$	V	V_S 为VS引脚上的电压
逻辑电平 $\frac{1}{2}$	$0.4 \times V_S$		$0.65 \times V_S$	V	这些引脚可以悬空以获得逻辑电平 $\frac{1}{2}$ ； 如果悬空，则应将一个电容接地
逻辑电平1	$0.8 \times V_S$			V	

LD、STATUS和REFMON引脚

表17.

参数	最小值	典型值	最大值	单位	测试条件/注释
输出特性					用作数字输出(CMOS)时；在其它一些模式下，这些引脚不是CMOS数字输出；见表54、寄存器0x017、寄存器0x01A和寄存器0x01B
输出高电压 V_{OH}	2.7			V	
输出低电压 V_{OL}			0.4	V	
最大反转率		100		MHz	适用于多路复用器设置为任意分频器或计数器输出， 或者设置为PFD升/降脉冲时；也适用于模拟锁定检测 模式；通常仅在调试模式下使用；注意：当任一引脚 反转时，杂散可能耦合到输出
模拟锁定检测 电容		3		pF	片内电容；用于计算模拟锁定检测回读的RC时间常 数；使用一个上拉电阻
REF1、REF2和VCO频率状态监控器					
正常范围	1.02			MHz	高于此频率时，监控器指示参考存在
扩展范围	8			kHz	高于此频率时，监控器指示参考存在
LD引脚比较器					
跳变点		1.6		V	
迟滞		260		mV	

AD9520-0

功耗

表18.

参数	最小值	典型值	最大值	单位	测试条件/注释
芯片功耗					不包括外部电阻的功耗；所有LVPECL输出端接50Ω至 $V_{CC} - 2V$ ；所有CMOS输出具有10 pF容性负载； $VS_{DRV} = 3.3V$
上电默认	1.32	1.5		W	无时钟；无编程；默认寄存器值
PLL锁定；一路LVPECL输出使能	0.55	0.64		W	$f_{REF} = 25\text{ MHz}$ ； $f_{OUT} = 275\text{ MHz}$ ； $V_{CO} = 2.75\text{ GHz}$ ； V_{CO} 分频比 = 2；一路LVPECL输出和输出分频器使能；零延迟关闭； $I_{CP} = 4.8\text{ mA}$
PLL锁定；一路CMOS输出使能	0.52	0.62		W	$f_{REF} = 25\text{ MHz}$ ； $f_{OUT} = 62.5\text{ MHz}$ ； $V_{CO} = 2.75\text{ GHz}$ ； V_{CO} 分频比 = 2；一路CMOS输出和输出分频器使能；零延迟关闭； $I_{CP} = 4.8\text{ mA}$
仅分配模式；VCO分频器开启；一路LVPECL输出使能	0.39	0.46		W	$f_{CLK} = 2.4\text{ GHz}$ ； $f_{OUT} = 200\text{ MHz}$ ； V_{CO} 分频比 = 2；一路LVPECL输出和输出分频器使能；零延迟关闭
仅分配模式；VCO分频器关闭；一路LVPECL输出使能	0.36	0.42		W	$f_{CLK} = 2.4\text{ GHz}$ ； $f_{OUT} = 200\text{ MHz}$ ；旁路VCO分频器；一路LVPECL输出和输出分频器使能；零延迟关闭
全面运作时的最大功耗	1.5	1.7		W	PLL开启；内部VCO = 2750 MHz；VCO分频比 = 2；所有通道分频器开启；12路LVPECL输出(125 MHz)；零延迟开启
\overline{PD} 关断	60	80		mW	\overline{PD} 引脚拉低；不包括终端电阻的功耗
\overline{PD} 关断，最大休眠功耗	24	33		mW	\overline{PD} 引脚拉低；PLL关断，寄存器0x010[1:0] = 01b；关断SYNC，寄存器0x230[2] = 1b；关断分配参考，寄存器0x230[1] = 1b
VCP电源	4	4.8		mW	PLL工作；典型闭环配置
各功能引起的功耗变化					使能/禁用某个功能时的功耗变化
VCO分频器开/关	32	40		mW	不使用VCO分频器
REFIN(差分)关闭	25	30		mW	参考输入关闭与差分参考输入模式之间的变化
REF1、REF2(单端)开/关	15	20		mW	参考输入关闭与一路单端参考使能之间的变化；如果REF1和REF2均上电，此数值应加倍
VCO开/关	67	104		mW	内部VCO禁用；选择CLK输入
PLL分频器和鉴相器开/关	51	63		mW	PLL关闭至PLL开启，正常工作；无参考使能
LVPECL通道	121	144		mW	无LVPECL输出开启至一路LVPECL输出开启；通道分频比设为1
LVPECL驱动器	51	73		mW	同一通道的第二路LVPECL输出开启
CMOS通道	145	180		mW	无CMOS输出开启至一路CMOS输出开启；通道分频比设为1； $f_{OUT} = 62.5\text{ MHz}$ 、10 pF容性负载
CMOS驱动器开/关	11	24		mW	同一通道内的其它CMOS输出开启
通道分频器使能	40	57		mW	分频器旁路(1分频)与2分频至32分频之间的变化
零延迟模块开/关	30	34		mW	

绝对最大额定值

表19.

参数	额定值
VS to GND	-0.3 V至+3.6 V
VCP, CP to GND	-0.3 V至+5.8 V
VS_DRV to GND	-0.3 V至+3.6 V
REFIN, $\overline{\text{REFIN}}$ to GND	-0.3 V至 $V_S + 0.3$ V
RSET, LF, BYPASS to GND	-0.3 V至 $V_S + 0.3$ V
CPRSET to GND	-0.3 V至 $V_S + 0.3$ V
CLK, $\overline{\text{CLK}}$ to GND	-0.3 V至 $V_S + 0.3$ V
CLK to $\overline{\text{CLK}}$	-1.2 V至+1.2 V
SCLK/SCL, SDIO/SDA, SDO, $\overline{\text{CS}}$ to GND	-0.3 V至 $V_S + 0.3$ V
OUT0, $\overline{\text{OUT0}}$, OUT1, $\overline{\text{OUT1}}$, OUT2, $\overline{\text{OUT2}}$, OUT3, $\overline{\text{OUT3}}$, OUT4, $\overline{\text{OUT4}}$, OUT5, $\overline{\text{OUT5}}$, OUT6, $\overline{\text{OUT6}}$, OUT7, $\overline{\text{OUT7}}$, OUT8, $\overline{\text{OUT8}}$, OUT9, $\overline{\text{OUT9}}$, OUT10, $\overline{\text{OUT10}}$, OUT11, $\overline{\text{OUT11}}$ to GND	-0.3 V至 $V_S + 0.3$ V
$\overline{\text{SYNC}}$, $\overline{\text{RESET}}$, $\overline{\text{PD}}$ to GND	-0.3 V至 $V_S + 0.3$ V
REFMON, STATUS, LD to GND	-0.3 V至 $V_S + 0.3$ V
SP0, SP1, EEPROM to GND	-0.3 V至 $V_S + 0.3$ V
结温 ¹	125°C
存储温度范围	-65°C至+150°C
引脚温度(10秒)	300°C

¹ θ_{JA} 见表20。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

热阻采用JEDEC 51-5 2S2P测试板在静止空气条件下根据JEDEC JESD51-2进行测量。详情见“热性能”部分。

表20.

封装类型	θ_{JA}	单位
64引脚LFCSP (CP-64-4)	22	°C/W

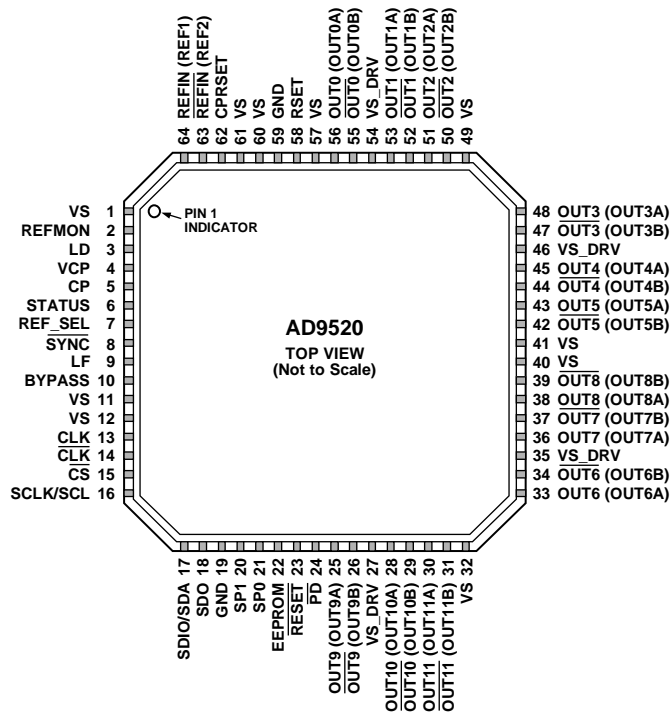
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. EXPOSED DIE PAD MUST BE CONNECTED TO GND.

图5. 引脚配置

表21. 引脚功能描述

引脚编号	输入/输出	引脚类型	引脚名称	描述
1, 11, 12, 32, 40, 41, 49, 57, 60, 61	I	电源	VS	3.3 V电源引脚。
2	O	3.3 V CMOS	REFMON	参考监控器(输出)。此引脚具有多个可选输出。
3	O	3.3 V CMOS	LD	锁定检测(输出)。此引脚具有多个可选输出。
4	I	电源	VCP	电荷泵(CP)的电源; $V_S < V_{CP} < 5.25\text{ V}$ 。如果不使用PLL, VCP仍须连接到3.3 V。
5	O	环路滤波器	CP	电荷泵(输出)。此引脚连接外部环路滤波器; 如果不使用PLL, 可以不连接。
6	O	3.3 V CMOS	STATUS	可编程状态输出。
7	I	3.3 V CMOS	REF_SEL	参考选择。选择REF1(低电平)或REF2(高电平)。此引脚内置一个30 kΩ下拉电阻。
8	I	3.3 V CMOS	SYNC	手动同步和手动保持。此引脚启动手动同步, 并用于手动保持。低电平有效。此引脚内置一个30 kΩ上拉电阻。
9	I	环路滤波器	LF	环路滤波器(输入)。此引脚内部连接到VCO控制电压节点。
10	O	环路滤波器	BYPASS	此引脚用于通过一个220 nF电容将LDO旁路至地。如果不使用PLL, 此引脚可以不连接。
13	I	差分时钟输入	CLK	此引脚与CLK一起构成时钟分配部分的差分输入。
14	I	差分时钟输入	CLK	此引脚与CLK一起构成时钟分配部分的差分输入。如果将单端输入连接到CLK引脚, 应在该引脚与地之间连接一个0.1 μF旁路电容。

引脚编号	输入/输出	引脚类型	引脚名称	描述
15	I	3.3V CMOS	CS	串行控制端口片选；低电平有效。此引脚内置一个30 kΩ上拉电阻。
16	I	3.3V CMOS	SCLK/SCL	串行控制端口时钟信号。SPI模式下此引脚内置一个30 kΩ下拉电阻，I ² C模式下为高阻抗。
17	I/O	3.3V CMOS	SDIO/SDA	串行控制端口双向串行数据输入/输出。
18	O	3.3V CMOS	SDO	串行控制端口单向串行数据输出。
19, 59	I	GND	GND	接地引脚。
20	I	三电平逻辑	SP1	选择SPI或I ² C作为串行接口端口，在I ² C模式下选择I ² C从机地址。三电平逻辑。该引脚内部偏置到开路逻辑电平。
21	I	三电平逻辑	SP0	选择SPI或I ² C作为串行接口端口，在I ² C模式下选择I ² C从机地址。三电平逻辑。该引脚内部偏置到开路逻辑电平。
22	I	3.3V CMOS	EEPROM	设置此引脚为高电平，可选择在复位和/或上电时载入内部EEPROM中存储的寄存器值。设置此引脚为低电平，则使AD9520在上电/复位时载入硬编码的默认寄存器值(除非使用了寄存器0xB02[1]，参见“通过串行端口进行软复位”部分)。此引脚内置一个30 kΩ下拉电阻。请注意，为了保证启动时正确加载EEPROM，电源稳定后RESET引脚上需有一个高电平-低电平-高电平脉冲。
23	I	3.3V CMOS	RESET	芯片复位，低电平有效。此引脚内置一个30 kΩ上拉电阻。
24	I	3.3V CMOS	PD	芯片关断引脚，低电平有效。此引脚内置一个30 kΩ上拉电阻。
25	O	LVPECL或CMOS	OUT9 (OUT9A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
26	O	LVPECL或CMOS	$\overline{\text{OUT9}}$ (OUT9B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
27, 35, 46, 54	I	电源	VS_DRV	输出驱动器电源引脚。作为一组，这些引脚可以设置为2.5 V或3.3 V。所有4个引脚必须设为相同的电压。
28	O	LVPECL or CMOS	OUT10 (OUT10A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
29	O	LVPECL或CMOS	$\overline{\text{OUT10}}$ (OUT10B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
30	O	LVPECL或CMOS	OUT11 (OUT11A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
31	O	LVPECL或CMOS	$\overline{\text{OUT11}}$ (OUT11B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
33	O	LVPECL或CMOS	OUT6 (OUT6A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
34	O	LVPECL或CMOS	$\overline{\text{OUT6}}$ (OUT6B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
36	O	LVPECL或CMOS	OUT7 (OUT7A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
37	O	LVPECL或CMOS	$\overline{\text{OUT7}}$ (OUT7B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
38	O	LVPECL或CMOS	OUT8 (OUT8A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
39	O	LVPECL或CMOS	$\overline{\text{OUT8}}$ (OUT8B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
42	O	LVPECL或CMOS	$\overline{\text{OUT5}}$ (OUT5B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
43	O	LVPECL或CMOS	OUT5 (OUT5A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
44	O	LVPECL或CMOS	$\overline{\text{OUT4}}$ (OUT4B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
45	O	LVPECL或CMOS	OUT4 (OUT4A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。

AD9520-0

引脚编号	输入/输出	引脚类型	引脚名称	描述
47	O	LVPECL或CMOS	OUT3 (OUT3B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
48	O	LVPECL或CMOS	OUT3 (OUT3A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
50	O	LVPECL或CMOS	$\overline{\text{OUT2}}$ (OUT2B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
51	O	LVPECL或CMOS	OUT2 (OUT2A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
52	O	LVPECL或CMOS	$\overline{\text{OUT1}}$ (OUT1B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
53	O	LVPECL或CMOS	OUT1 (OUT1A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
55	O	LVPECL或CMOS	$\overline{\text{OUT0}}$ (OUT0B)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
56	O	LVPECL或CMOS	OUT0 (OUT0A)	时钟输出。此引脚可以配置为差分LVPECL输出的一端，或者配置为单端CMOS输出。
58	O	电流设置电阻	RSET	时钟分配电流设置电阻。应将一个4.12 k Ω 电阻连接在此引脚与GND之间。
62	O	电流设置电阻	CPRSET	电荷泵电流设置电阻。应将一个5.1 k Ω 电阻连接在此引脚与GND之间。如果不使用PLL，则无需连接该电阻。
63	I	参考输入	$\overline{\text{REFIN}}$ (REF2)	此引脚与REFIN一起构成PLL参考的差分输入。此引脚还可以是REF2的单端输入。
64	I	参考输入	REFIN (REF1)	此引脚与REFIN一起构成PLL参考的差分输入。此引脚还可以是REF1的单端输入。
EPAD		GND	GND	裸露焊盘必须连接到GND。

典型性能参数

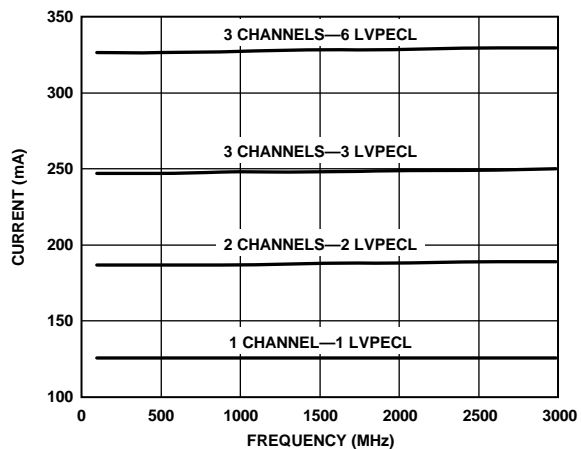


图6. 总电流与频率的关系, CLK至输出(PLL关闭), LVPECL输出端接50 Ω至 $V_{S_DRV} - 2 V$

07213-108

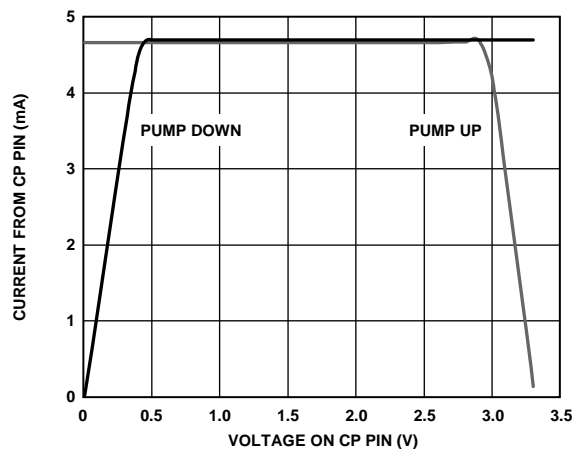


图9. 电荷泵特性($V_{CP} = 3.3 V$)

07213-111

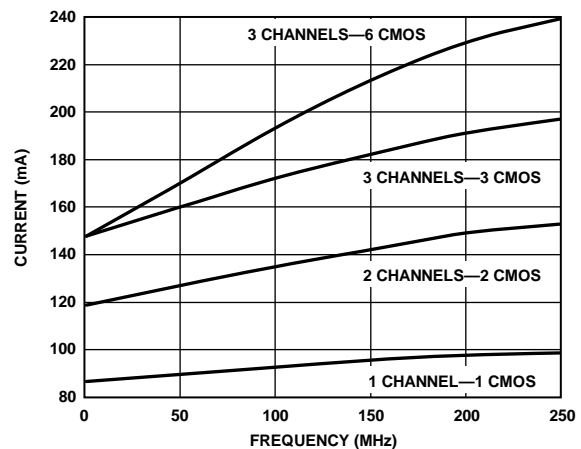


图7. 总电流与频率的关系, CLK至输出(PLL关闭), CMOS输出, 10 pF负载

07213-109

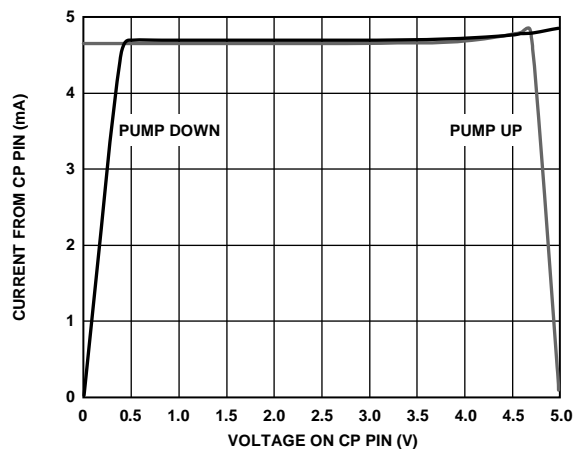


图10. 电荷泵特性($V_{CP} = 5.0 V$)

07213-112

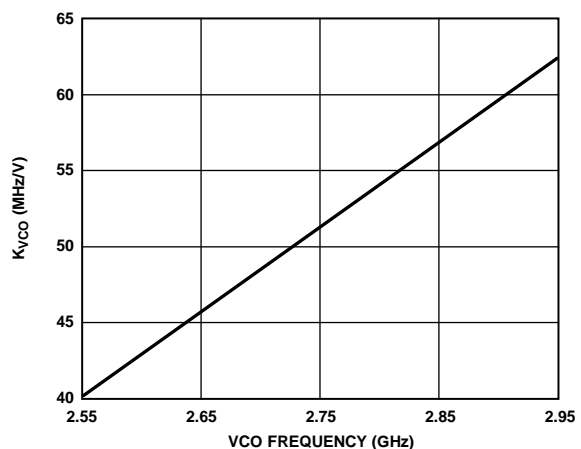


图8. K_{VCO} 与VCO频率的关系

07213-010

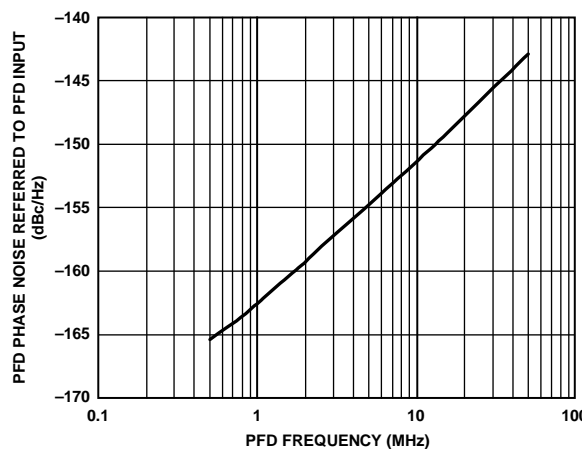


图11. 折合到PFD输入端的PFD相位噪声与PFD频率的关系

07213-013

AD9520-0

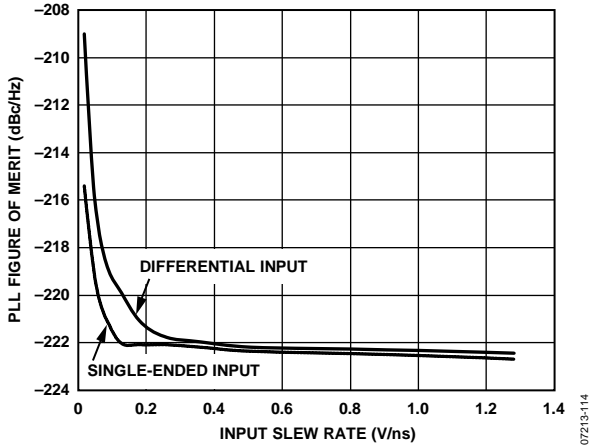


图12. PLL品质因数(FOM)与REFIN/REFIN压摆率的关系

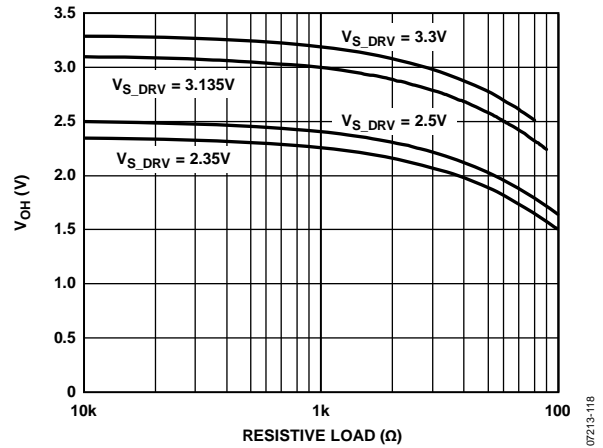


图15. CMOS输出 V_{OH} (静态)与 R_{LOAD} (接地)的关系

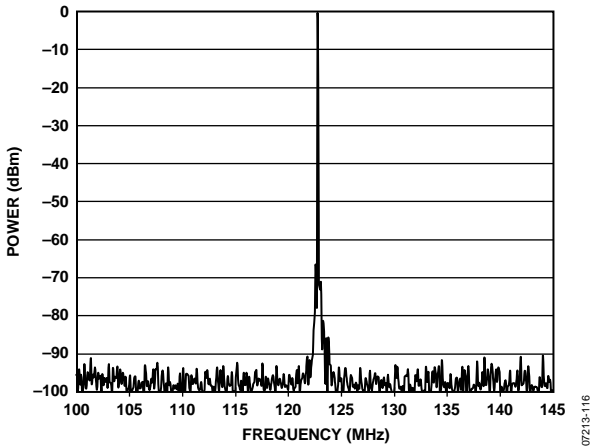


图13. PFD/CP杂散; 122.88 MHz; PFD = 15.36 MHz; LBW = 127 kHz; I_{CP} = 3.0 mA; f_{VCO} = 2703.4 MHz

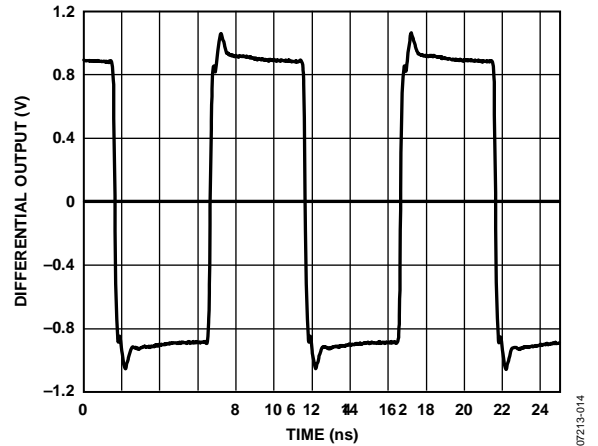


图16. LVPECL输出(差分, 100 MHz)

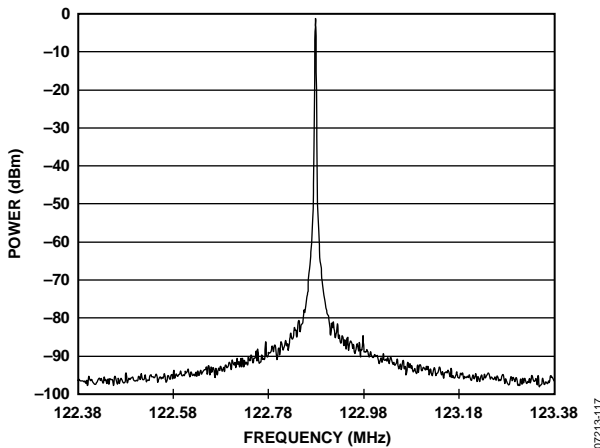


图14. LVPECL输出频谱; 122.88 MHz; PFD = 15.36 MHz; LBW = 127 kHz; I_{CP} = 3.0 mA; f_{VCO} = 2703.4 MHz

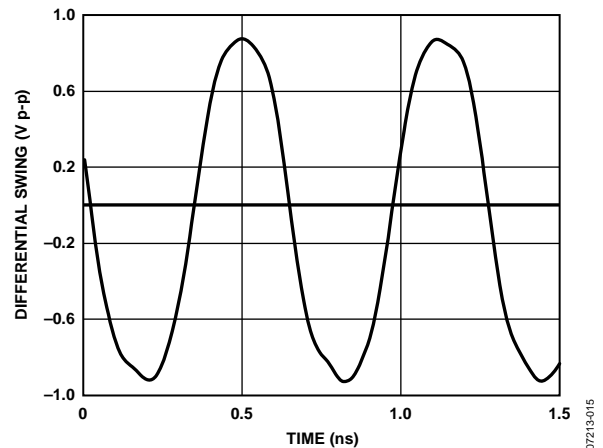


图17. LVPECL差分电压摆幅(1600 MHz)

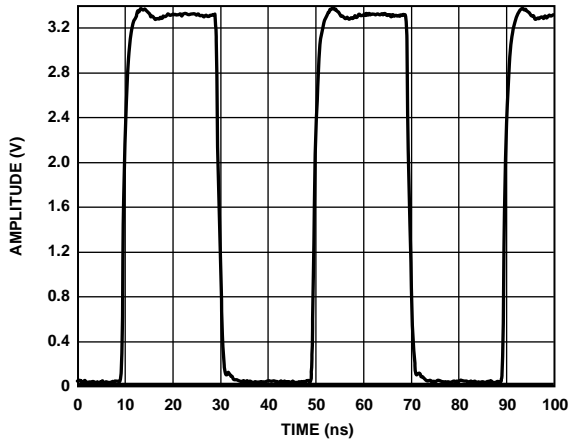


图18. CMOS输出(10 pF负载, 25 MHz)

07213-016

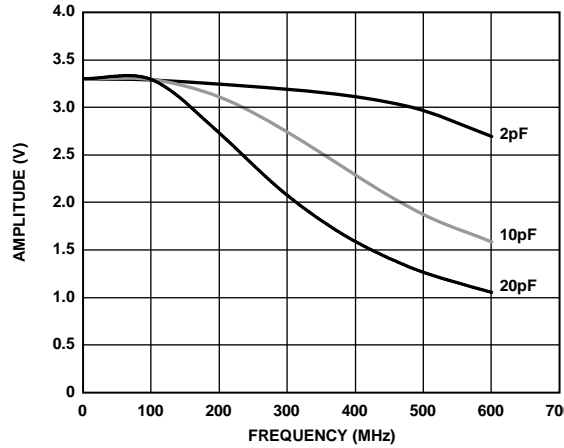


图21. CMOS输出摆幅与频率和容性负载的关系

07213-124

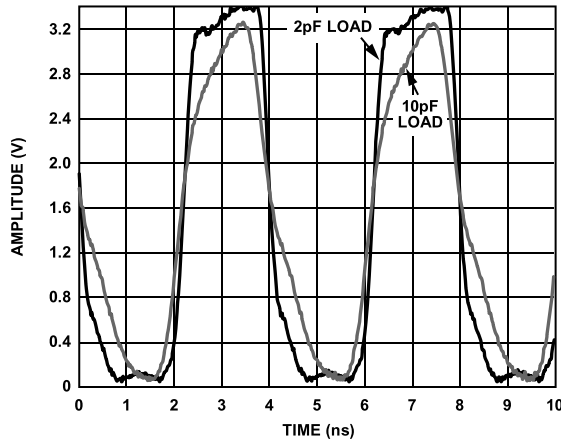


图19. CMOS输出(2 pF和10 pF负载, 250 MHz)

07213-019

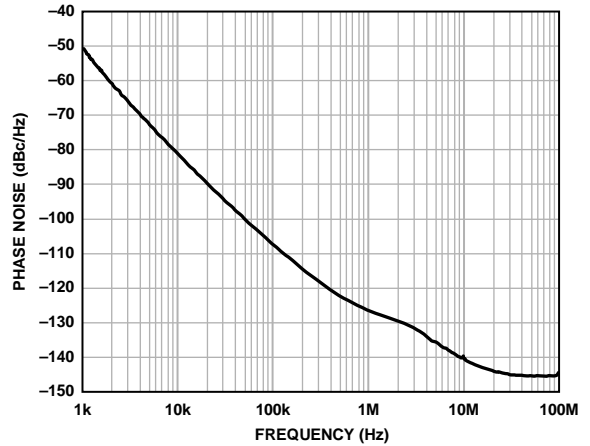


图22. 内部VCO相位噪声(绝对), 直接至LVPECL (2550 MHz)

07213-023

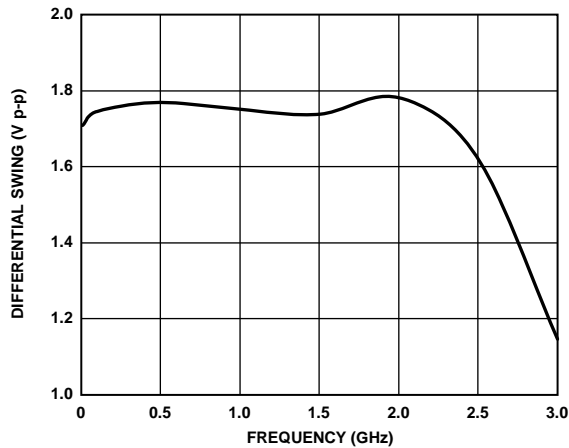


图20. LVPECL差分电压摆幅与频率的关系

07213-123

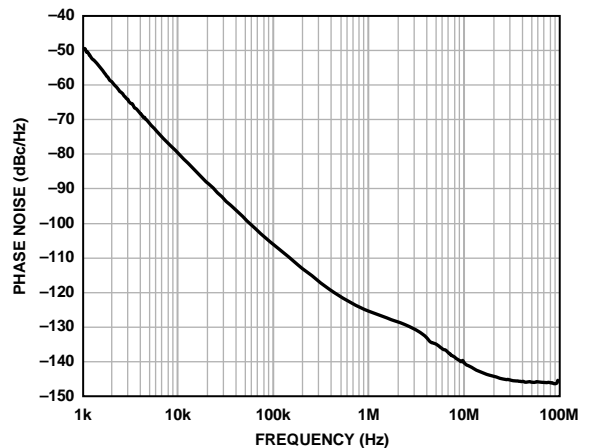
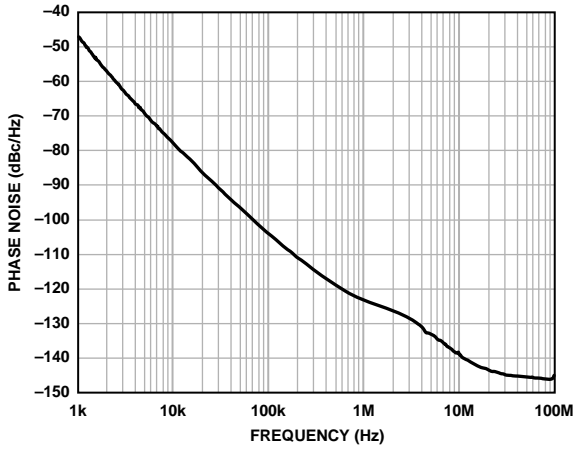


图23. 内部VCO相位噪声(绝对), 直接至LVPECL (2750 MHz)

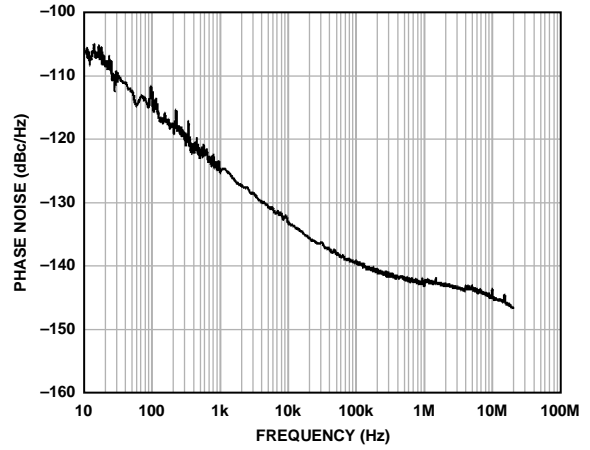
07213-024

AD9520-0



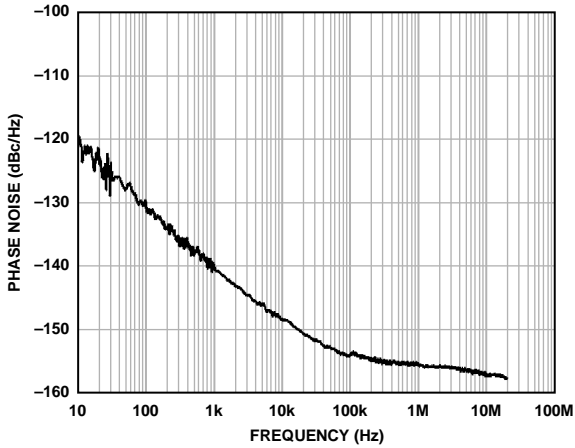
07213-025

图24. 内部VCO相位噪声(绝对), 直接至LVPECL (2950 MHz)



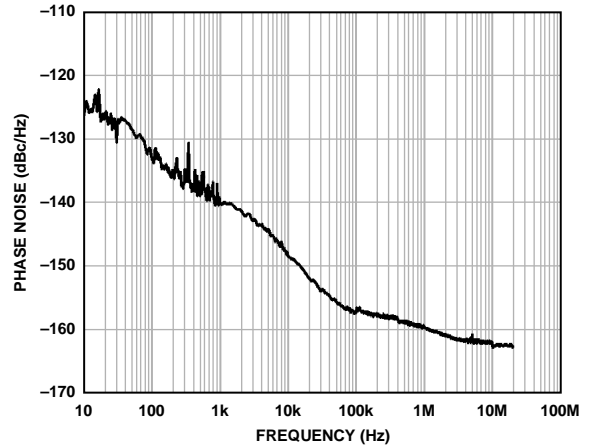
07213-130

图27. 加性(残余)相位噪声, CLK至LVPECL (1600 MHz), 1分频



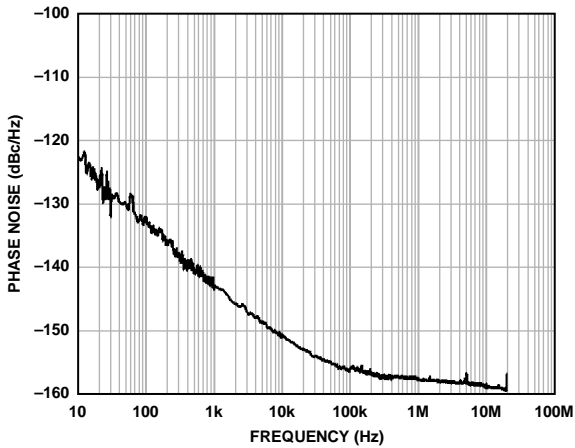
07213-128

图25. 加性(残余)相位噪声, CLK至LVPECL (245.76 MHz), 1分频



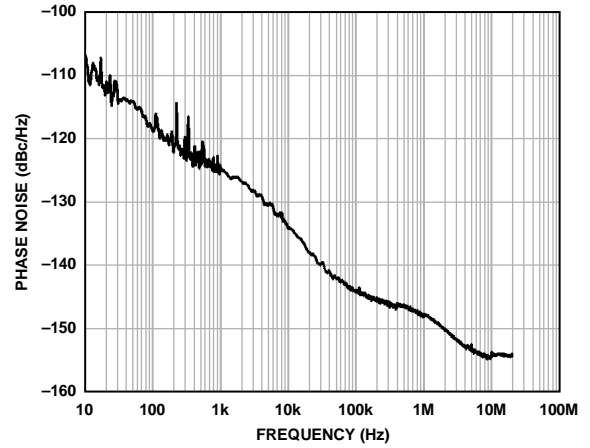
07213-131

图28. 加性(残余)相位噪声, CLK至CMOS (50 MHz), 20分频



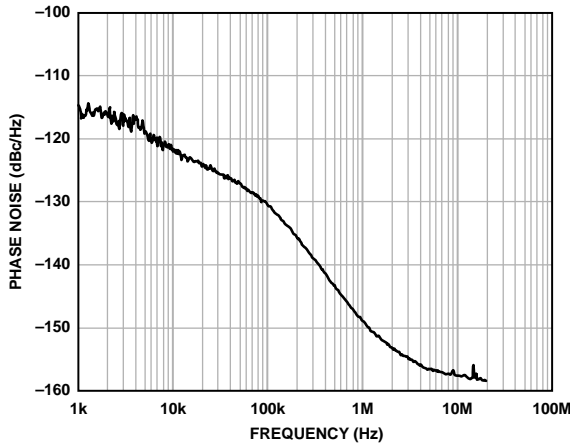
07213-129

图26. 加性(残余)相位噪声, CLK至LVPECL (200 MHz), 5分频



07213-132

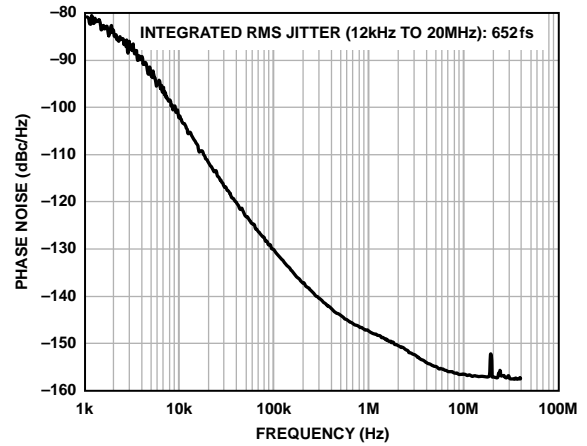
图29. 加性(残余)相位噪声, CLK至CMOS (250 MHz), 4分频



07213-033

NOTES
1. THE LOOP FILTER USED TO GENERATE THIS PLOT IS SHOWN IN FIGURE 41.

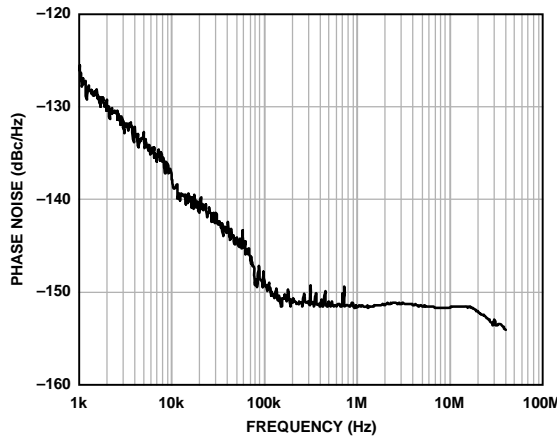
图30. 相位噪声(绝对)时钟产生; 内部VCO (2.703 GHz);
PFD = 15.36 MHz; LBW = 63 kHz; LVPECL输出 = 122.88 MHz



07213-034

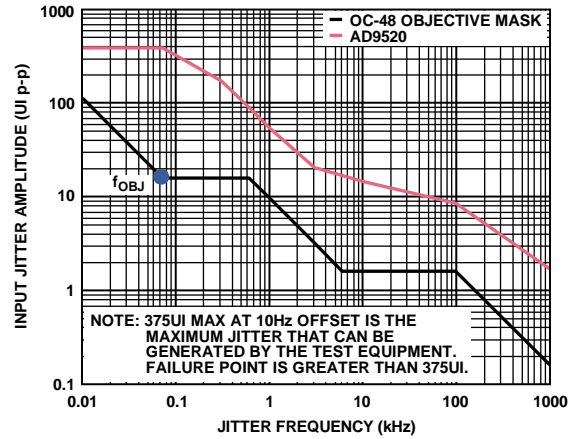
NOTES
1. THE LOOP FILTER USED TO GENERATE THIS PLOT IS SHOWN IN FIGURE 42.

图32. 相位噪声(绝对)时钟净化; 内部VCO (2.799 GHz);
PFD = 120 kHz; LBW = 2.1 kHz; LVPECL输出 = 155.52 MHz



07213-135

图31. 相位噪声(绝对), 外部VCXO(Toyocom TCO-2112, 245.76 MHz);
PFD = 15.36 MHz; LBW = 250 Hz; LVPECL输出 = 245.76 MHz



07213-134

图33. Telcordia GR-253抖动容差曲线

术语

相位抖动和相位噪声

理想情况下，在正弦波的每个周期，相位都会随着时间从 0° 连续均匀地变化到 360° 。不过，实际信号的相位随时间的变化与理想情况会有一些的偏差，这种现象称为相位抖动。导致相位抖动的原因有许多，其中一个主要原因是随机噪声，其统计特征为高斯(正则)分布。

这种相位抖动导致正弦波能量在频域中扩散，产生连续的功率频谱。通常将该功率频谱报告为相对于正弦波(载波)的给定频率偏移下的一系列值，其单位为dBc/Hz。该值是1 Hz带宽内包含的功率与载波频率时的功率之比(用dB表示)。

对于每次测量，还会给出相对于载波频率的偏移。

对一定偏移频率区间(例如10 kHz到10 MHz)内所含的总功率进行积分很有意义。这称为该频率偏移区间内的积分相位噪声，它与该偏移频率区间内的相位噪声所引起的时间抖动直接相关。

相位噪声对ADC、DAC和RF混频器的性能有不利影响。虽然影响方式不同，但它会降低转换器和混频器可实现的动态范围。

时间抖动

相位噪声是一种频域现象。在时域内，该效应表现为时间抖动。观察正弦波时，连续过零的时间并不固定。方波中，时间抖动表现为边沿偏离其理想(规则)的出现时间。这两种情况下，实际时序与理想时序的偏差即为时间抖动。这些偏差是随机的，因此用均方根(rms)秒或高斯分布的 1σ 来规定时间抖动。

出现在DAC或ADC采样时钟上的时间抖动会降低转换器的信噪比(SNR)和动态范围。抖动最低的采样时钟可使给定转换器发挥最高性能。

加性相位噪声

加性相位噪声指可归因于受测设备或子系统的相位噪声量。所有外部振荡器或时钟源的相位噪声都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总相位噪声的影响程度。各元件都会贡献一定的相位噪声，但在许多情况下，某个元件的相位噪声占居系统总相位噪声的主要部分。当有多个相位噪声源时，总相位噪声等于各噪声源的平方和的平方根。

加性时间抖动

加性时间抖动指可归因于受测设备或子系统的时间抖动量。所有外部振荡器或时钟源的时间抖动都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总时间抖动的影响程度。各元件都会贡献一定的时间抖动，但在许多情况下，外部振荡器和时钟源的时间抖动占居系统时间抖动的主要部分。

详细框图

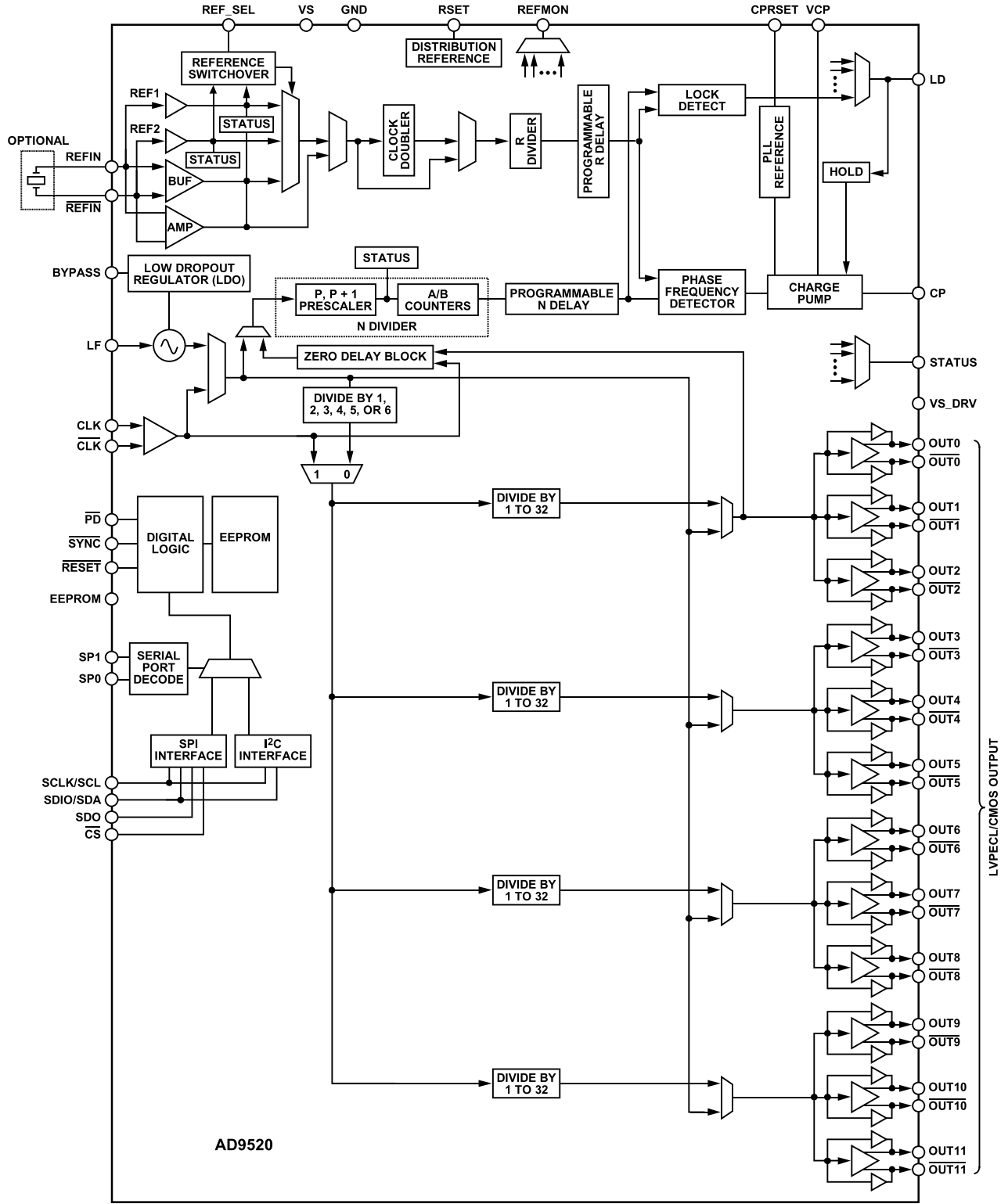


图34.

工作原理

工作配置

AD9520有多种配置方式，必须通过加载控制寄存器进行配置(见表50至表61)。各部分或功能必须通过设置相应的一个或多个控制寄存器中的适当位进行独立编程。设置好所需的配置后，用户可以将这些值存储到片内EEPROM中，器件上电时便可以采用所需的配置，而无需用户干预。

模式0：内部VCO和时钟分配

使用内部VCO和PLL时，大部分情况下都必须同时使用VCO分频器，确保提供给通道分频器的频率不超过其额定最大频率(见表3)。例外情况是：VCO直接模式，以及当VCO频率不超过1600 MHz时。内部PLL利用外部环路滤波器设置环路带宽。该外部环路滤波器对于环路稳定性也很重要。

使用内部VCO时，必须校准VCO(寄存器0x018[0] = 1b)，确保性能最佳。

对于内部VCO和时钟分配应用，应使用表22所示的寄存器设置。

表22. 使用内部VCO时的设置

寄存器	描述
0x010[1:0] = 00b	PLL正常工作(PLL开启)
0x010至0x01E	PLL设置；选择并使能一路参考输入；根据目标环路配置设置R、N(P、A、B)、PFD极性和 I_{CP}
0x1E1[1] = 1b	选择VCO作为时钟源
0x01C[2:0]	使能参考输入
0x1E0[2:0]	设置VCO分频器
0x1E1[0] = 0b	使用VCO分频器作为分配部分的时钟源
0x018[0] = 0b,	复位VCO校准并发出IO_UPDATE(上电后
0x232[0] = 1b	首次工作时不需要，但随后需要)
0x018[0] = 1b,	启动VCO校准，发出IO_UPDATE
0x232[0] = 1b	

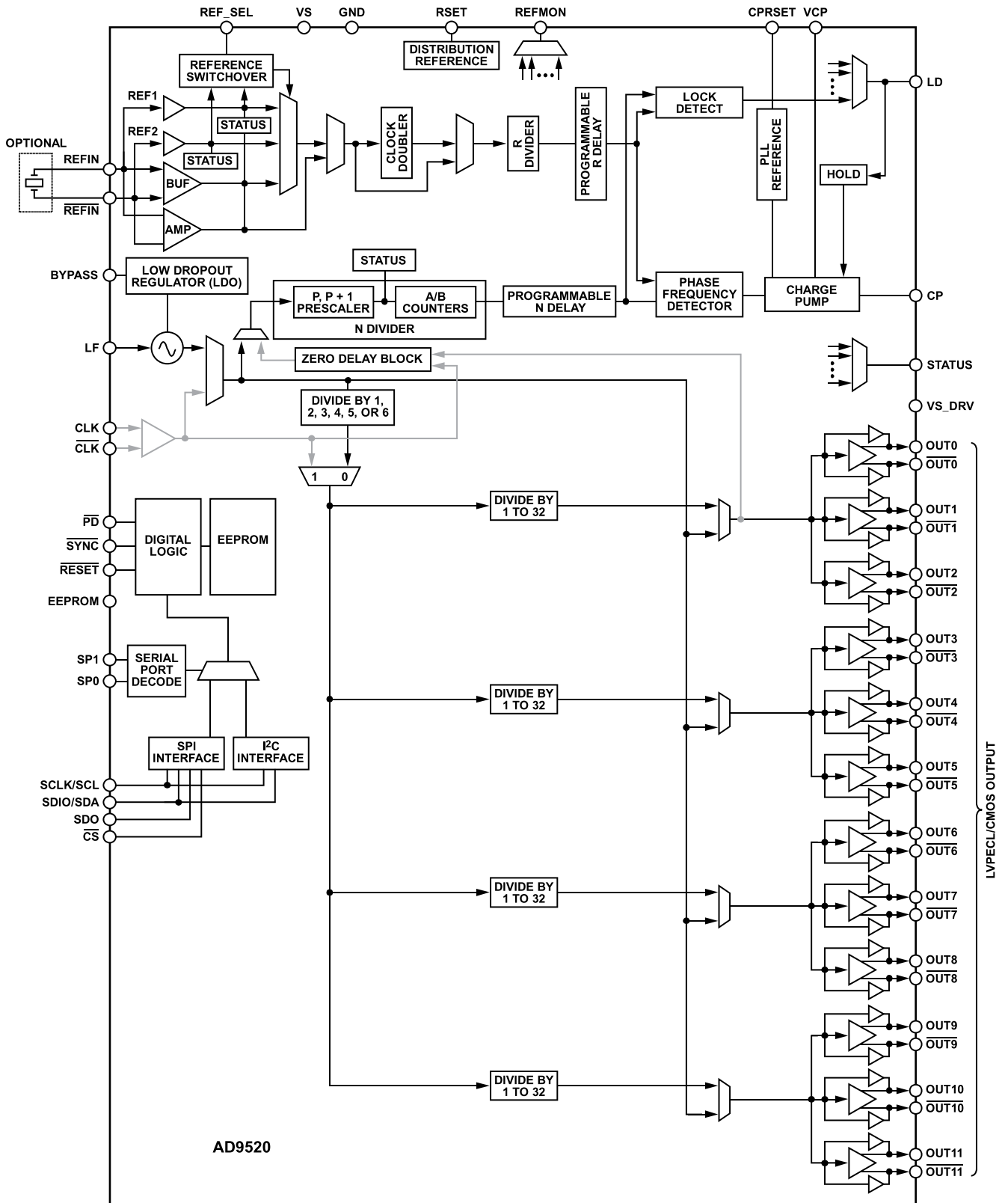


图35. 内部VCO和时钟分配(模式0)

07213-030

AD9520-0

模式1：时钟分配或外部VCO <1600 MHz

当要分配的外部时钟源或外部VCO/VCXO小于1600 MHz时，可以使用旁路VCO分频器的配置，这是模式2的唯一不同之处。旁路VCO分频器时，时钟源的频率限制在1600 MHz以下(受限于通道分频器支持的最大输入频率)。

配置和寄存器设置

对于外部时钟小于1600 MHz的时钟分配应用，使用表23中的寄存器设置。

表23. 时钟分配小于1600 MHz的设置

寄存器	描述
0x010[1:0] = 01b	PLL异步关断(PLL关)
0x1E1[0] = 1b	旁路作为分配部分时钟源的VCO分频器
0x1E1[1] = 0b	选择CLK作为时钟源

在外部VCO小于1600 MHz的情况下使用内部PLL时，必须开启PLL。

表24. 在外部VCO小于1600 MHz时使用内部PLL的设置

寄存器	描述
0x1E1[0] = 1b	旁路作为分配部分时钟源的VCO分频器 PLL正常工作(PLL开启)，以及寄存器 0x010至寄存器0x01E中的其它适当PLL 设置
0x010[1:0] = 00b	

外部VCO/VCXO需要外部环路滤波器，必须将该环路滤波器连接在CP引脚与VCO/VCXO的调谐引脚之间。该环路滤波器决定环路带宽和PLL的稳定性。针对所用的VCO/VCXO，务必选择正确的PFD极性。

表25. 设置PFD极性

寄存器	描述
0x010[7] = 0b	PFD正极性(较高的控制电压产生较高的频率)
0x010[7] = 1b	PFD负极性(较高的控制电压产生较低的频率)

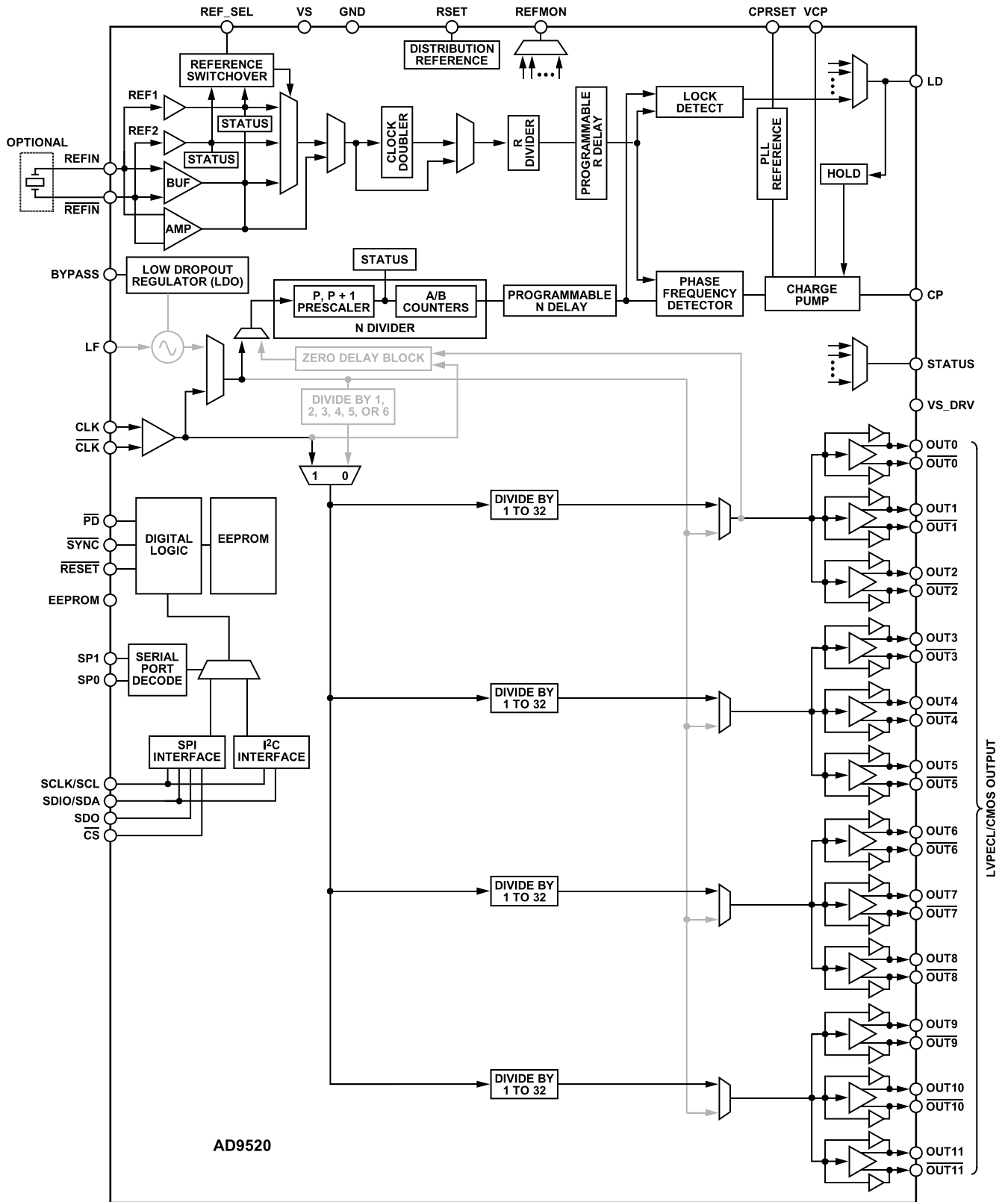


图36. 时钟分配或外部VCO <1600 MHz(模式1)

07213-031

AD9520-0

模式2：高频时钟分配—CLK或外部VCO > 1600 MHz

在AD9520的上电默认配置中，PLL关断，CLK/CLK输入通过VCO分频器(1分频/2分频/3分频/4分频/5分频/6分频)连接到分配部分。这是一种仅分配模式，支持最高达2400 MHz的外部输入(见表3)。能够施加于通道分频器的最大频率为1600 MHz，因此，更高的输入频率必须降频后才能到达通道分频器。

当PLL使能时，这种连接也支持PLL与频率小于2400 MHz的外部VCO或VCXO一起使用。该配置不使用内部VCO，因而将其关断。外部VCO/VCXO直接馈入预分频器。

表26所示的寄存器设置是复位操作后这些寄存器在上电时的默认值。

表26. 时钟分配模式的默认寄存器设置

寄存器	描述
0x010[1:0] = 01b	PLL异步关断(PLL关)
0x1E0[2:0] = 000b	设置VCO分频比 = 2
0x1E1[0] = 0b	设置VCO分频比 = 2
0x1E1[1] = 0b	选择CLK作为时钟源

内部PLL与外部VCO一起使用时，必须开启PLL。

表27. 使用外部VCO时的设置

寄存器	描述
0x010[1:0] = 00b	PLL正常工作(PLL开启)
0x010 to 0x01E	PLL设置；选择并使能一路参考输入；根据目标环路配置设置R、N(P、A、B)、PFD极性和 I_{CP}
0x1E1[1] = 0b	选择CLK作为时钟源

外部VCO需要外部环路滤波器，必须将该环路滤波器连接在CP与VCO的调谐引脚之间。该环路滤波器决定环路带宽和PLL的稳定性。针对所用的VCO，务必选择正确的PFD极性。

表28. 设置PFD极性

寄存器	描述
0x010[7] = 0b	PFD正极性(较高的控制电压产生较高的频率)
0x010[7] = 1b	PFD负极性(较高的控制电压产生较低的频率)

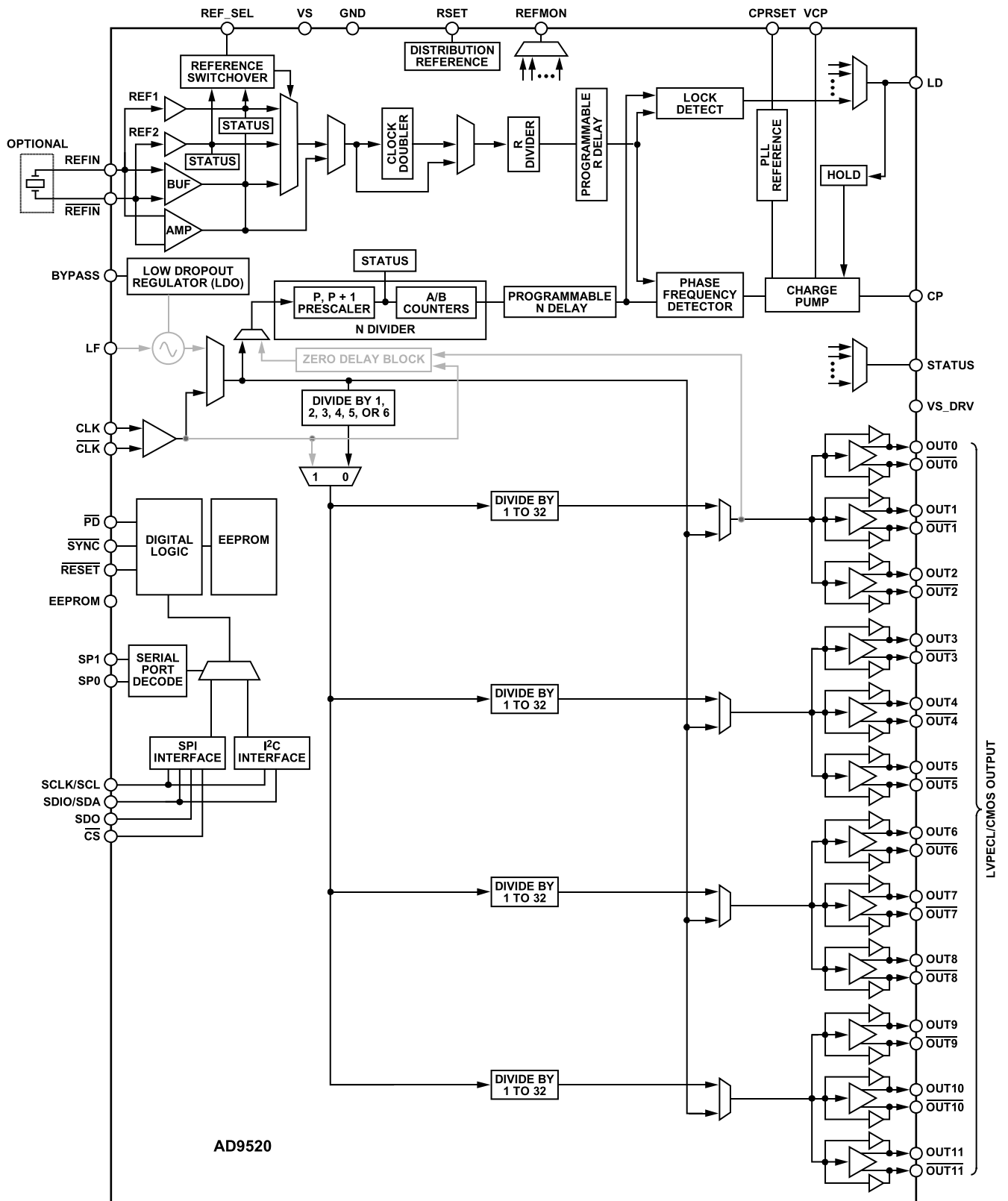


图37. 高频时钟分配或外部VCO >1600 MHz(模式2)

07219-029

锁相环(PLL)

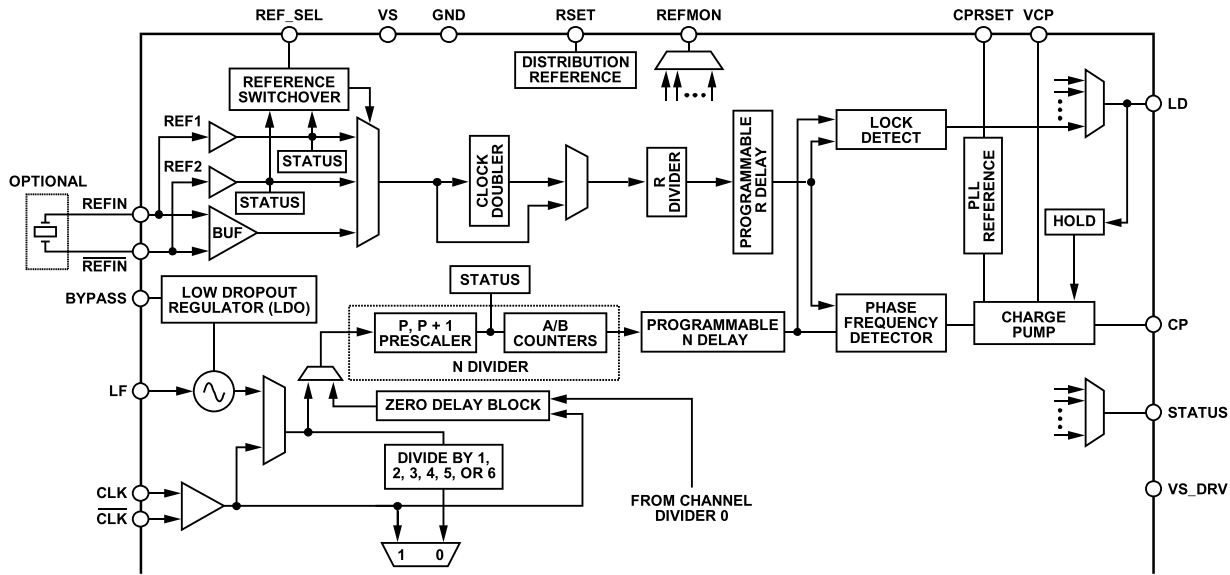


图38. PLL功能模块

AD9520片内集成PLL和VCO。PLL模块可以结合片内VCO使用，构成一个完整的锁相环，或者结合外部VCO或VCXO使用。PLL需要一个外部环路滤波器，它通常由少量电容和电阻组成。环路滤波器的配置和元件有助于建立工作PLL的带宽并确保其稳定性。

AD9520 PLL可用于从提供的参考频率产生时钟频率，包括将参考频率转换为高得多的频率，以便随后进行分频和分配。此外，PLL可以用来清除高噪声参考的抖动和相位噪声。PLL参数和环路动态特性的确切选择取决于具体应用。AD9520 PLL十分灵活且具深度，因而可以定制该器件以用于许多不同的应用和信号环境。

PLL配置

AD9520 PLL的配置十分灵活，支持各种参考频率、PFD比较频率、VCO频率、内部或外部VCO/VCXO以及环路动态特性。上述支持是通过R分频器、N分频器、PFD极性(仅适用于外部VCO/VCXO)、防反冲脉冲宽度、电荷泵电流、内部VCO或外部VCO/VCXO的选择以及环路带宽的各种设置实现的，这些设置通过可编程寄存器设置(见表50和表54)以及外部环路滤波器的设置进行管理。成功的PLL运作和满意的PLL环路性能高度依赖于PLL设置的正确配置，而外部环路滤波器的设计对于PLL的正常工作至关重要。

ADIsimCLK™是一款免费程序，可帮助设计和探索AD9520的能力和特性，包括PLL环路滤波器的设计。

鉴频鉴相器(PFD)

PFD接受R分频器和N分频器的输入，产生与二者的相位和频率差成比例的输出。PFD内置一个可编程延迟元件，用来控制防反冲脉冲的宽度。此脉冲可确保PFD传递函数中无死区，并使相位噪声和参考杂散最小。防反冲脉冲宽度由0x017[1:0]设置。

必须注意一项重要的限制条件，即PFD支持的最大频率。PFD的最大输入频率是防反冲脉冲设置的函数，参见表2中鉴频鉴相器(PFD)参数的规定。

电荷泵(CP)

电荷泵由PFD控制。PFD监控其两路输入之间的相位和频率关系，并告知电荷泵补充或移除电荷，从而给积分节点(环路滤波器的一部分)充电或放电。经过积分和滤波的电荷泵电流转化为电压，通过LF引脚驱动内部VCO的调谐节点(或外部VCO的调谐引脚)，以便提高或降低VCO频率。电荷泵可以设置(寄存器0x010[3:2])为高阻抗模式(支持保持工作)、正常工作模式(尝试锁定PLL环路)、充电或放电模式(测试模式)。电荷泵电流可以在标称值0.6 mA至4.8 mA范围内分8步设置。电荷泵电流LSB由标称值为5.1 kΩ的CPR_{SET}电阻设置。电荷泵电流的确切值可通过以下等式计算：

$$I_{CP} (A) = \frac{3.06}{CPR_{SET} (\Omega)}$$

片内VCO

AD9520片内集成VCO，其涵盖的频率范围如表2所示。校准程序确保VCO的工作电压在所需的VCO频段内置中。首次设置VCO环路以及任何时候标称VCO频率发生改变时，都必须校准VCO。但是，VCO校准后，其在温度变化时便可在足够宽的工作范围内以及电压极限时保持锁定，无需额外校准。更多信息参见“VCO校准”部分。

片内VCO由片内低压差(LDO)线性电压调节器供电。LDO为VCO提供一定的隔离，使之不受电源电压变化的影响。BYPASS引脚应通过一个220 nF电容连接到地，确保稳定性。此LDO采用与ADI公司anyCAP®系列调节器相同的技术，对所用电容的类型不敏感。不支持从BYPASS引脚驱动外部负载。

PLL外部环路滤波器

使用内部VCO时，外部环路滤波器应参考BYPASS引脚，以实现最佳的噪声和杂散性能。图39显示PLL外部环路滤波器示例。这种三阶设计通常具有最佳的性能。环路滤波器必须针对所需的每种PLL配置进行计算。元件值取决于VCO频率、KVCO、PFD频率、CP电流、所需的环路带宽以及所需的相位裕量。环路滤波器影响相位噪声、环路建立时间和环路稳定性。要了解环路滤波器设计，关于PLL理论的知识是必不可少的。ADIsimCLK等工具可以帮助用户根据应用要求计算环路滤波器。

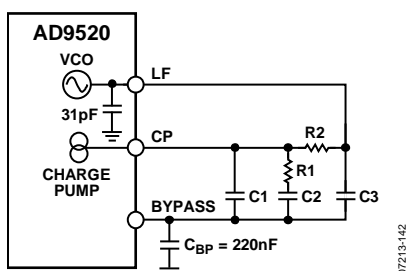


图39. 使用内部VCO的PLL外部环路滤波器示例

使用外部VCO时，确保外部环路滤波器参考地。使用外部VCO的PLL外部环路滤波器示例见图40。

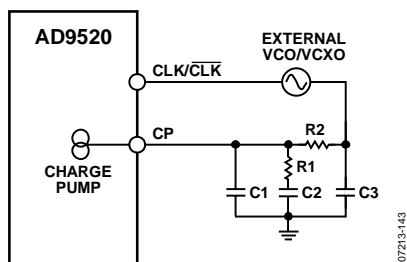


图40. 使用外部VCO的PLL外部环路滤波器示例

图41和图42分别显示用来产生图30和图32中曲线的典型PLL环路滤波器。

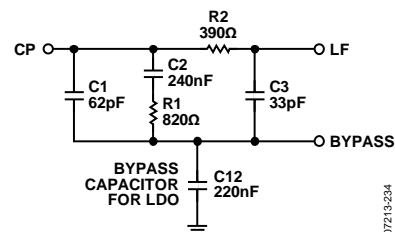


图41. 用于时钟产生的典型PLL环路滤波器

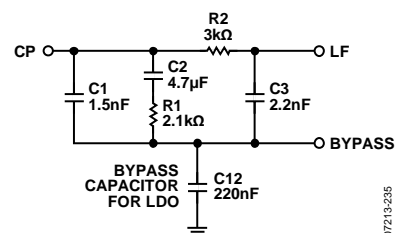


图42. 用于时钟净化的典型PLL环路滤波器

PLL参考输入

AD9520具有一个灵活的PLL参考输入电路，通过片内保持放大器支持一路全差分输入、两路独立的单端输入或16.67 MHz/33.33 MHz晶体振荡器。可选的参考时钟倍频器可用于使PLL参考频率加倍。参考输入的输入频率范围见表2的规定。差分输入和单端输入均为自偏置，输入信号可以轻松进行交流耦合。

差分或单端参考必须明确使能。PLL的所有参考输入在默认情况下均关闭。

差分输入和单端输入共用两个引脚：REFIN和REFIN（分别为REF1和REF2）。所需的参考输入类型通过寄存器0x01C选择和（见表50和表54）。

选择差分参考输入时，两端的自偏置电平略微偏移（约100 mV，见表2），以防输入缓冲器在参考较慢或丢失时发生震颤。这样可提高驱动器需要提供的电压摆幅，以消除偏移的影响。差分基准电压输入可采用交流耦合LVDS或交流耦合LVPECL信号驱动。

单端输入可以通过直流耦合CMOS电平信号或交流耦合正弦波或方波驱动。当单端交流耦合输入信号停止切换时，为了防止输入缓冲器震颤，用户可以将0x018[7]设置为1b，这会使直流偏移偏置点降低140 mV。为了提高隔离效果并降低功耗，各单端输入可以独立关断。

AD9520-0

当未选择差分参考输入或者PLL关断时，差分参考输入接收器关断。当PLL关断或相应的关断寄存器1时，单端缓冲器关断。选择差分模式时，单端输入关断。

在差分模式下，参考输入引脚内部自偏置，因而能够通过电容交流耦合。也可以直流耦合到这些。如果以单端信号驱动差分REFIN，则未使用端(REFIN)应通过适当的电容去耦到无噪声地。图43给出了REFIN的等效电路。

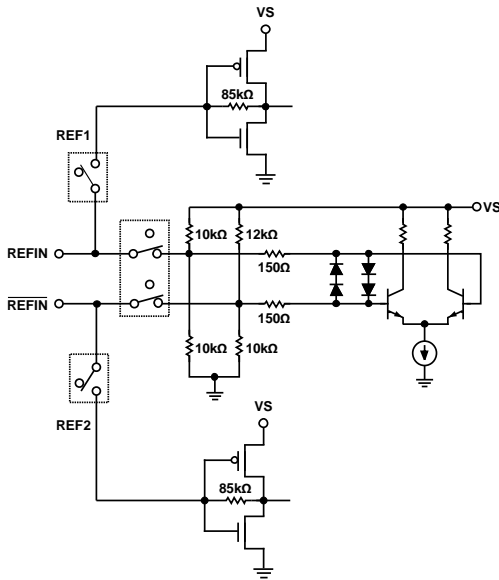


图43. 非XTAL模式下的REFIN等效电路

晶振模式几乎与差分模式相同。用户通过将Enable XTAL OSC位置1，并在REFIN/REFIN引脚上放置一个串联谐振AT基本切割晶体，而使能保持放大器。

参考切换

AD9520不仅支持单路差分参考输入，而且支持双路单端CMOS输入。在双路单端参考模式下，AD9520支持REF1(引脚REFIN上)与REF2(引脚REFIN上)之间的自动恢复和手动PLL参考时钟切换，该特性支持需要平滑切换备用参考的网络和其它应用。当它与自动保持功能配合使用时，可让AD9520获得最差情况下的基准输入切换，其输出频率干扰低至10 ppm。

在单端模式下，AD9520具有一个直流偏移选项。当参考输入交流耦合并且参考时钟消失时，利用该选项可以消除参

考输入震颤的风险。使用参考切换时，单端参考输入应为直流耦合的CMOS电平(AD9520直流偏移特性禁用)。或者，这些输入可以交流耦合并且使能直流偏移。然而应注意，当直流偏移开启时，参考输入的最小输入幅度更大。

参考切换可以手动或自动进行。手动切换通过寄存器0x01C或使用REF_SEL引脚进行。手动切换要求目标参考输入上存在一个时钟，或者去抖特性禁用(寄存器0x01C的位7)。若不满足该条件，则参考切换逻辑发生故障，无法再获取PLL。

自动恢复切换依靠REFMON引脚，指示REF1消失的时间。当REF1无效时，可通过设置寄存器0x01B = 0xF7和寄存器0x01C = 0x26，将REFMON引脚编程为高电平，并发出REF2切换命令。当REF1再次有效时，REFMON引脚变为低电平，器件再次锁定至REF1。也可使用STATUS引脚实现该功能，且REF2可用于优选参考。

切换去抖特性用于确保PLL不会接收到与新选定的参考远未对齐的上升沿。为使切换去抖特性正常工作，需在切换目标的参考输入端施加一个时钟信号。也可禁用去抖特性(寄存器0x01C[7])。

不支持自动非恢复切换。

参考分频器R

参考输入被送至参考分频器R。通过写入寄存器0x011和寄存器0x012(R = 0和R = 1，分频比均为1)，可将14位计数器R设为0至16,383之间的任意值。R分频器的输出进入PFD输入之一，以便与VCO频率经N分频器分频后的结果进行比较。施加于PFD的频率不得超过最大容许频率，最大容许频率取决于防反冲脉冲设置(见表2)。

R分频器本身可以复位。利用R、A和B计数器共享的复位位，可以复位R分频器。它也可以通过SYNC操作复位。

VCO/VCXO反馈分频器N—P、A、B

N分频器由一个预分频器P和两个计数器(A和B)组合而成。总分频器值为：

$$N = (P \times B) + A$$

其中，P可以为2、4、8、16或32。

预分频器

AD9520的预分频器支持两种工作模式：固定分频(FD)模式(1、2或3)和双模(DM)模式。在双模模式中，预分频器除以P和(P + 1)(2和3、4和5、8和9、16和17或32和33)。预分频器的工作模式参见表54、寄存器0x016[2:0]。并不是所有频率下都可以使用所有模式(见表2)。

AD9520在双模模式P/(P + 1)下工作时，输入参考频率与VCO输出频率的关系如下：

$$f_{VCO} = (f_{REF}/R) \times (P \times B + A) = f_{REF} \times N/R$$

然而，当预分频器在FD模式1、FD模式2或FD模式3下工作时，A计数器不使用(当A = 0时，分频比为固定值：P = 2、4、8、16或32。)，因此上式可以简化为：

$$f_{VCO} = (f_{REF}/R) \times (P \times B) = f_{REF} \times N/R$$

通过使用DM和FD模式的组合，AD9520可以实现1至262,175之间的各种N值。

表29显示了10 MHz参考输入如何锁定N的任意整数倍。

注意，同一N值可以通过不同方式产生，如表中N = 12所示。用户可以使用P = 2、B = 6的固定分频模式，使用A = 0、B = 6的双模模式2/3，或者使用A = 0、B = 3的双模模式4/5。

A和B计数器

B计数器必须≥3或旁路；与R计数器不同，A = 0时，A确实为0。

若预分频器处于双模模式下，则A计数器的值不能超过B计数器的值。

A/B计数器的最大输入频率反映在表2规定的预分频器最大输出频率(~300 MHz)中，这是预分频器输入频率(VCO或CLK)除以P的结果。例如，如果VCO频率大于2400 MHz，则不支持双模P = 8/9模式，因为输入A/B计数器的频率太高。

当AD9520 B计数器旁路(B = 1)时，A计数器应设为0，总分频值等于预分频器设置P。这种模式下，可能的分频比为1、2、3、4、8、16和32。这种模式仅在使用VCO/VCXO时才有用，因为内部VCO的频率范围要求总反馈分频值大于32。

虽然一般不需要手动复位，但A/B计数器有自己的复位位。利用R、A和B计数器共享的复位位，也可以复位A和B计数器。注意，这些复位位不会自清0。

R、A和B计数器：SYNC引脚复位

通过SYNC引脚，可以同时复位R、A和B计数器。此功能由寄存器0x019[7:6]控制(见表54)。SYNC引脚复位默认禁用。

R和N分频器延迟

R和N分频器具有可编程延迟单元，可以使能这些延迟来调整PLL参考时钟与VCO或CLK之间的相位关系。每个延迟由三位控制，总延迟范围约为1 ns。见表2和表54中的寄存器0x019。

表29. 10 MHz参考输入如何锁定N的任意整数倍

f _{REF} (MHz)	R	P	A	B	N	f _{VCO} (MHz)	模式	注释
10	1	1	X ¹	1	1	10	FD	P = 1, B = 1(A和B计数器旁路)。
10	1	2	X ¹	1	2	20	FD	P = 2, B = 1(A和B计数器旁路)。
10	1	1	X ¹	3	3	30	FD	A计数器旁路。
10	1	1	X ¹	4	4	40	FD	A计数器旁路。
10	1	1	X ¹	5	5	50	FD	A计数器旁路。
10	1	2	X ¹	3	6	60	FD	A计数器旁路。
10	1	2	0	3	6	60	DM	
10	1	2	1	3	7	70	DM	
10	1	2	2	3	8	80	DM	
10	1	2	1	4	9	90	DM	
10	1	8	6	18	150	1500	DM	
10	1	8	7	18	151	1510	DM	
10	1	16	7	9	151	1510	DM	
10	10	32	6	47	1510	1510	DM	
10	1	8	0	25	200	2000	DM	
10	1	16	0	15	240	2400	DM	
10	10	32	0	75	2400	2400	DM	

¹ X = 无关位。

AD9520-0

数字锁定检测(DLD)

通过各引脚上的多路复用器选择适当的输出,可以在LD、STATUS和REFMON引脚上提供DLD功能。当PFD输入端的上升沿时间差小于规定的值(锁定阈值)时,数字锁定检测电路指示锁定。当该时间差超过规定的值(解锁阈值)时,指示失锁。注意,解锁阈值宽于锁定阈值,因而允许相位误差在一定程度上超过锁定窗口,但锁定指示器不会震颤。

锁定检测窗口时序取决于CPRSET电阻的值和以下三个设置:数字锁定检测窗口位(0x018[4])、防反冲脉冲宽度位(0x017[1:0],见表2)和锁定检测计数器(0x018[6:5])。表2中的锁定和解锁检测值适用于标称值CPRSET = 5.11 kΩ。如果CPRSET值增加一倍达到10 kΩ,则表2中的值也会加倍。

只有在可编程数量的连续PFD周期内,时间差一直小于锁定检测阈值,才会指示锁定。此后锁定检测电路将继续指示锁定,直到后续一个周期内的时间差大于解锁阈值。为使锁定检测正常工作,PFD频率的周期必须大于解锁阈值。锁定要求的连续PFD周期数是可编程的(寄存器0x018[6:5])。

注意,在某些低环路带宽(<500 Hz)、高相位裕量的情况下,DLD可能会在获取期间震颤,导致AD9520自动进入和退出保持模式。为避免发生该问题,建议用户在LD引脚上连接一个接地电容,以便能够使用电流源数字锁定检测(CSDLD)模式。

模拟锁定检测(ALD)

AD9520提供模拟锁定检测(ALD)功能,LD引脚可以选择使用该功能。ALD有两种工作模式:

- N沟道开漏锁定检测。该信号需要通过一个上拉电阻拉至正电源VS。在较短的趋低脉冲下,输出一般为高电平。锁定由趋低脉冲的最小占空比指示。
- P沟道开漏锁定检测。该信号需要通过一个下拉电阻拉至GND。在较短的趋高脉冲下,输出一般为低电平。锁定由趋高脉冲的最小占空比指示。

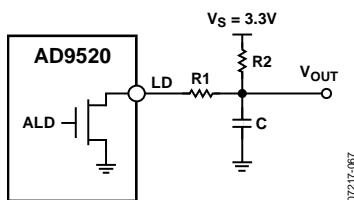


图44. 模拟锁定检测滤波器示例,使用N沟道开漏驱动器

模拟锁定检测功能需要一个RC滤波器来提供逻辑电平以指示锁定/解锁。用户可以利用ADIsimCLK工具来帮助选择用于ALD的合适无源元件值,以确保该功能正常工作。

电流源数字锁定检测(CSDLD)

在PLL锁定序列中,DLD信号一般要切换多次后才会保持稳定,此时PLL完全锁定并处于稳定状态。某些应用中,可能希望DLD在PLL完全锁定后才置位。通过使用电流源锁定检测功能,这是可以实现的。

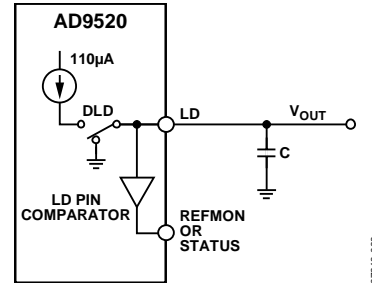


图45. 电流源数字锁定检测

当DLD为真时,电流源锁定检测提供110 μA的电流;当DLD为假时,电流源锁定检测短接至地。如果将一个电容连接到LD引脚,则在DLD为真期间,电容会以电流源所决定的速率充电;但当DLD为假时,电容几乎立即放电。通过监控LD引脚的电压(电容顶部),LD只有在DLD为真并保持足够长的时间后才会变为高电平。任何短暂的DLD假状况都会使电荷归零。通过选择适当大小的电容,可以将锁定检测指示延迟到PLL稳定锁定并且锁定检测不震颤时。

如需使用电流源数字锁定检测,请执行下列步骤:

- 在LD引脚上放置一个接地电容。
- 设置寄存器0x01A[5:0] = 0x04。
- 使能LD引脚比较器(寄存器0x01D[3] = 1b)。

LD引脚比较器检测LD引脚电压,比较器输出可用于REFMON引脚控制(寄存器0x01B[4:0])或STATUS引脚控制(寄存器0x017[7:2])。LD引脚内部比较器的跳变点和迟滞参见表17。电容上的电压可以通过连接到LD引脚的外部比较器检测。这种情况下,不需要使能板载LD引脚比较器。

仅当CSDLD为高电平时,用户才能异步使能各时钟输出。要使能该特性,应将CSDLD寄存器(寄存器0x0FC和寄存器0x0FD)中的适当使能输出位置1。

外部VCXO/VCO时钟输入(CLK/CLK)

该差分输入用于驱动AD9520时钟分配部分，支持最高2.4 GHz的频率。引脚内部自偏置，输入信号应通过电容交流耦合。

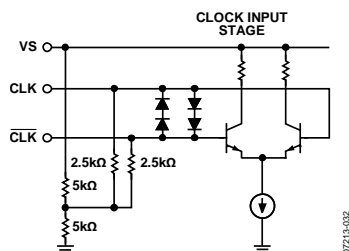


图46. CLK等效输入电路

CLK/CLK输入既可以只用作分配输入(PLL关闭)，也可以用作外部VCO/VCXO的反馈输入(使用内部PLL，不使用内部VCO)。这些输入也用作外部零延迟模式的反馈路径。

保持

AD9520 PLL具有保持功能。保持是通过将电荷泵置于高阻态而实现的。当PLL参考时钟丢失时，此功能很有用。在保持模式下，即使没有参考时钟，VCO也能维持一个相对恒定的频率。如果没有此功能，电荷泵将被置于持续增强或减弱状态，导致VCO频率大幅偏移。由于电荷泵被置于高阻态，因此电荷泵输出或VCO调谐节点的任何泄漏都会导致VCO频率偏移。这可以通过一个包含大容性元件的环路滤波器来解决，因为此偏移受限于VCO控制电压的压摆率(ILEAK/C)引起的漏电流。

该器件提供两种保持模式：使用SYNC引脚的手动保持模式和自动保持模式。无论何种模式，首先必须使能保持功能(0x01D[0])。

外部/手动保持模式

在手动保持模式下，用户可以将SYNC引脚拉低，使电荷泵进入高阻态。该操作对边沿敏感，而不是对电平敏感。电荷泵会立即进入高阻态。要使电荷泵脱离高阻态，应将SYNC引脚拉高。然后，电荷泵在参考时钟的下一个PFD上升沿的同时离开高阻态。这可以防止外来电荷泵事件在SYNC变为高电平与下一个PFD事件之间的时间内发生。同时，这还意味着，如果没有参考时钟，电荷泵将一直处于高阻态。

B计数器(位于N分频器中)在电荷泵因参考路径PFD事件而离开高阻态的同时复位，这有助于对齐R和N分频器的边沿，使PLL更快建立。由于预分频器未复位，因此当B数与R数接近时，该功能效果最佳，此时环路要消除的相位差较小。

使用该模式时，应设置通道分频器忽略SYNC引脚(至少在初始SYNC事件之后)。如果未设置分频器忽略SYNC引脚，则拉低SYNC会关闭分配输出，将器件置于保持模式。通道分频器0、1、2、3的忽略同步功能分别通过寄存器0x191、0x194、0x197、0x19A的位6设置。

自动/内部保持模式

如果使能此功能，则当环路失锁时，电荷泵自动进入高阻态。这里有一个假设，即环路失锁的唯一原因是PLL丢失参考时钟，因此，保持功能将电荷泵置于高阻态，使VCO频率尽可能接近参考时钟消失前的原始频率。

保持功能检测LD引脚的逻辑电平，作为进入保持模式的一个条件。LD的信号可以来自DLD、ALD或电流源LD模式。可以禁用LD比较器(寄存器0x01D[3])，使得保持功能始终检测到LD为高电平。如果使用DLD，则当PLL重新获取锁定时，DLD信号可能会震颤。保持功能可能会重新触发，防止保持模式终止。建议使用电流源锁定检测模式来避免这种情况(参见“电流源数字锁定检测(CSDL)”部分)。

在保持模式下，只要不存在参考时钟，电荷泵就一直处于高阻态。

像在外部保持模式下一样，B计数器(位于N分频器中)在电荷泵因参考路径PFD事件而离开高阻态的同时复位，这有助于对齐R和N分频器的边沿，使PLL更快建立，并降低建立期间的频率误差。由于预分频器未复位，因此当B数与R数接近时，该功能效果最佳，此时环路要消除的相位差较小。

退出保持模式后，环路重新获取锁定，LD引脚必须变为高电平(如果寄存器0x01D[3] = 1b)，它才能重新进入保持模式(电荷泵高阻态)。

保持功能总是响应当前选定参考的状态(寄存器0x01C)。如果环路在参考切换期间失锁(参见“参考切换”部分)，则保持模式会被短暂触发，直到PFD的下一个参考时钟沿。

图47给出了自动/内部保持功能操作的流程图。

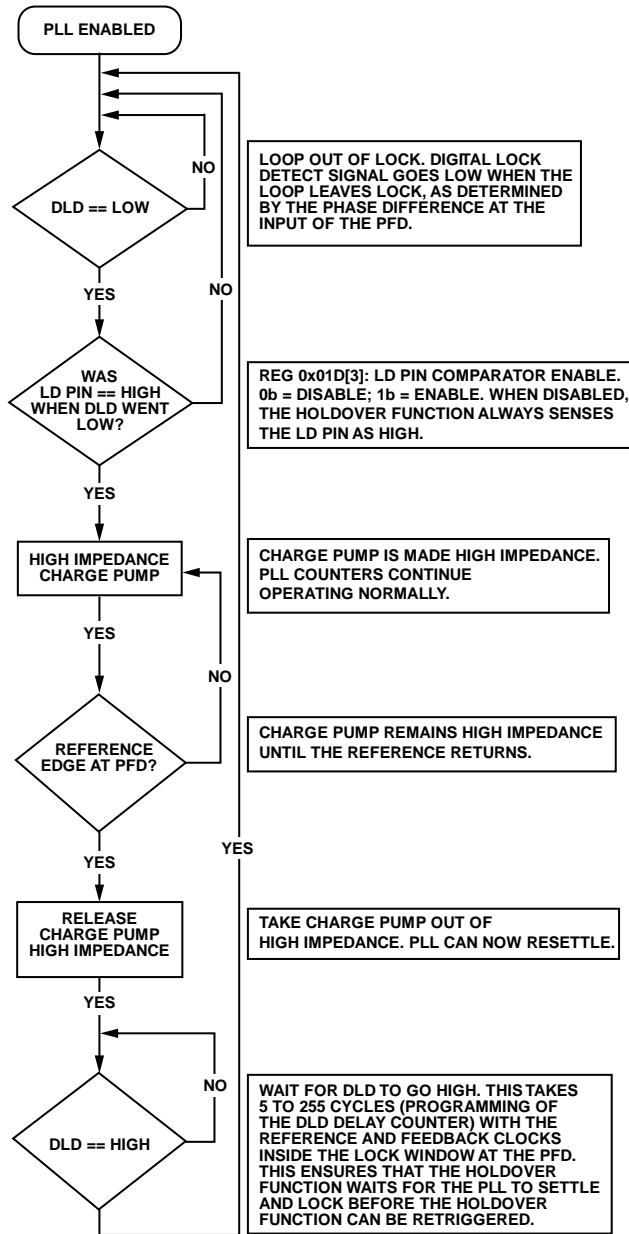


图47. 自动/内部保持模式流程图

下列寄存器会影响自动/内部保持功能：

- 寄存器0x018[6:5]—锁定检测计数器。该寄存器改变所需的边沿在锁定检测窗口内的连续PFD周期数，只有经过该数量的PFD周期后，DLD指示器才会指示锁定。这会影响到LD引脚开始充电的时间，以及从保持事件结束到保持功能重新激活的延迟。
- 寄存器0x018[3]—禁用数字锁定检测。要启用DLD电路，必须将此位设为0。如果DLD功能未启用，则内部/自动保持模式不能正常工作。
- 寄存器0x01A[5:0]—锁定检测引脚控制。使用LD引脚比较器时，这些位设为000100b即可编程电流源锁定检测模式。LD引脚应加载一个适当大小的电容。
- 寄存器0x01D[3]—LD引脚比较器使能。1b = 使能；0b = 禁用。禁用时，保持功能始终检测到LD引脚为高电平。
- 寄存器0x01D[1]—外部保持控制。
- 寄存器0x01D[0]—保持使能。如果禁用保持，则外部和自动/内部保持均被禁用。

在下例中，自动保持模式配置如下：

- 自动参考切换，优先使用REF1。
- 数字锁定检测：5个PFD周期，高范围窗口。
- 使用LD引脚比较器的自动保持。

设置下列寄存器(除一般PLL寄存器以外)：

- 寄存器0x018[6:5] = 00b；锁定检测计数器 = 5个周期。
- 寄存器0x018[4] = 0b；数字锁定检测窗口 = 高范围。
- 寄存器0x018[3] = 1b；禁用DLD正常操作。
- 寄存器0x01A[5:0] = 000100b；将LD引脚控制设为电流源锁定检测模式。
- 寄存器0x01C[4] = 1b；使能自动切换。
- 寄存器0x01C[3] = 0b；优先使用REF1。
- 寄存器0x01C[2:1] = 11b；使能REF1和REF2输入缓冲器。
- 寄存器0x01D[3] = 1b；使能LD引脚比较器。
- 寄存器0x01D[1] = 0b；禁用外部保持模式，使用自动/内部保持模式。
- 寄存器0x01D[0] = 1b；使能保持。

07213-069

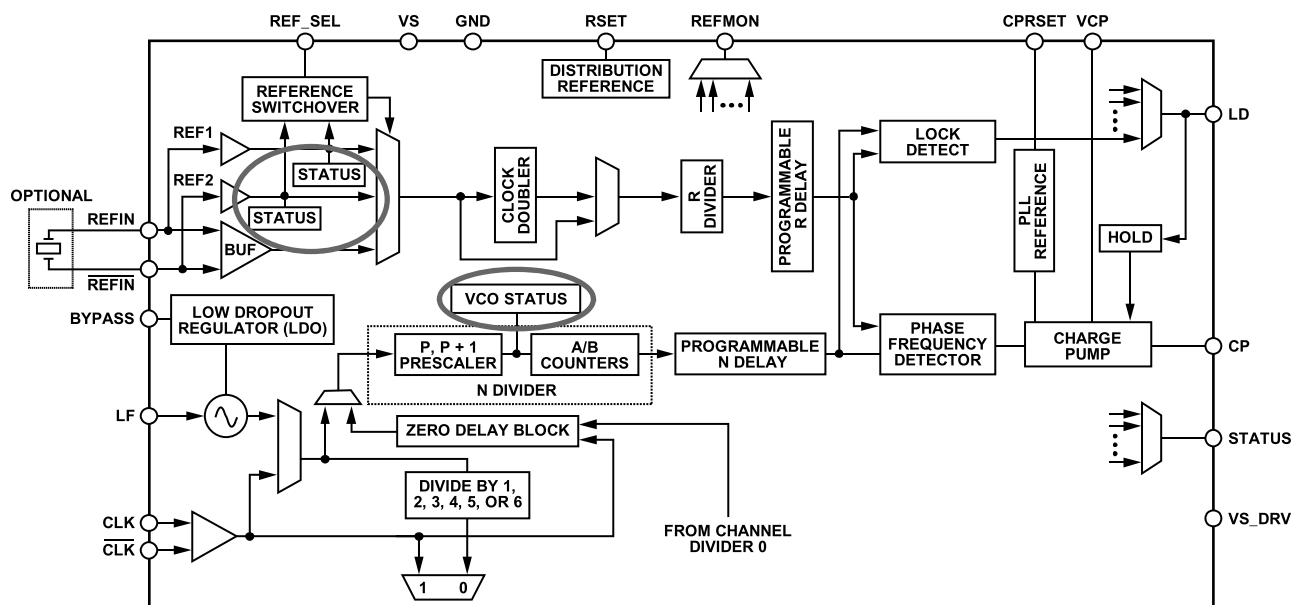


图47. 参考和VCO状态监控器

频率状态监控器

AD9520包括三个频率状态监控器，用于指示PLL参考(或单端模式下的参考)和VCO/CLK输入是否降到阈值频率以下。请注意，若选定CLK输入而非内部VCO，则VCO频率监控器用作CLK输入频率监控器。图48显示PLL中频率状态监控器的位置。

PLL参考监控器具有两个阈值频率：正常和扩展(见表17)。参考频率监控阈值通过寄存器0x01A[6]设置。

VCO校准

为确保AD9520能在整个工艺和温度范围内正常工作，必须校准片内VCO。VCO校准由一个采用REFIN分频时钟工作的校准控制器控制。校准要求正确设置PLL以便锁定PLL环路，并且REFIN时钟存在。REFIN时钟必须来自AD9520外部的一个稳定时钟源。

VCO校准方式有两种：上电时自动执行和手动执行。当EEPROM被设置为自动加载EEPROM中的预编程值时，VCO校准将自动执行。为完成自动校准，上电时必须提供一个有效参考。如果未能提供有效参考，用户必须手动校准VCO。

在AD9520上电或复位后的首次初始化期间，设置寄存器0x018[0] = 1b将启动手动VCO校准序列。这可以作为执行更新所有寄存器操作(IO_UPDATE, 寄存器0x232[0] = 1b)之前的初始设置的一部分来完成。

初始设置完成后，就会启动VCO校准序列：复位寄存器0x018[0] = 0b，执行一个IO_UPDATE，设置寄存器0x018[0] = 1b，再执行另一个IO_UPDATE。一个回读位(寄存器0x01F[6])通过返回逻辑真值(即1b)，指示VCO校准已完成。

VCO校准的操作顺序如下：

1. 将PLL寄存器编程为PLL环路所需的正确值。注意，在VCO校准期间，VCO分频器(寄存器0x1E0[2:0])不得设置为静态。
2. 确保存在输入参考信号。
3. 在上电或复位后的寄存器初始设置期间，设置寄存器0x018[0] = 1b将启动VCO校准。
4. 然后，只要需要校准，就应设置寄存器0x018[0] = 0b，更新寄存器，然后设置寄存器0x018[0] = 1b，更新寄存器。
5. 内部启动SYNC操作，使输出进入正常SYNC功能操作决定的静止状态。
6. VCO校准到请求的VCO频率所需的设置。
7. 内部释放SYNC信号，使输出继续提供时钟。
8. PLL环路闭合。
9. PLL锁定。

VCO校准期间会执行SYNC，因此，AD9520的输出在校准期间保持静态，防止产生不需要的频率。然而，在VCO校准结束时，输出可能在PLL环路完全建立之前就恢复提供时钟。

AD9520-0

VCO校准时钟分频器的设置如表54所示(寄存器0x018[2:1])。校准分频器将PFD频率(参考频率除以R)降频至校准时钟。校准频率等于PFD频率除以校准分频器设置。VCO校准时钟频率越低,则完成校准所需的时间越长。

VCO校准时钟频率的计算公式如下:

$$f_{CAL_CLOCK} = f_{REFIN} / (R \times cal_div)$$

其中:

f_{REFIN} 为REFIN信号的频率。

R为R计数器的值。

cal_div 为VCO校准分频器设置的分频比(寄存器0x018[2:1])。

用户应选择适当的校准分频比,使得校准频率小于6.25 MHz。表30给出了适当的校准分频值。

表30. 不同鉴相器频率下的VCO校准分频值

PFD速率(MHz)	推荐的VCO校准分频值
<12	任意
12至25	4, 8, 16
25至50	8, 16
50至100	16

VCO校准需要4400个校准时钟周期,因此,用PLL参考时钟周期表示的VCO校准时间为:

$$VCO校准时间 =$$

$$4400 \times R \times cal_div(\text{PLL参考时钟周期})$$

表31. 采用不同 f_{REFIN} 频率完成VCO校准的示例时间

f_{REFIN} (MHz)	R分频器	PFD	校准VCO所需时间
100	1	100 MHz	88 μ s
10	10	1 MHz	8.8 ms
10	100	100 kHz	88 ms

必须手动启动VCO校准,以便灵活地决定以何种顺序设置寄存器,以及何时启动校准,而不是只要某些PLL寄存器的值发生变化,就会执行校准。例如,可以少量改变VCO频率,而不必执行自动校准,但这样做应谨慎,用户必须知道VCO控制电压不会超过标称最佳性能限值,数百kHz的步进是可行的,但数MHz可能不行。此外,校准程序会

导致VCO频率迅速改变,因此分配部分自动进入SYNC状态,直到校准完成为止。所以,必须认识到输出会暂时丢失。

下列情况下应启动VCO校准:

- 更改PLL R、P、B、A分频器设置或者PLL参考时钟频率改变之后。这实际上是指PLL寄存器或参考时钟改变,导致VCO频率改变。
- 需要进行系统校准时。VCO能够在极端温度下正常工作,即使首次校准是在相反的极端温度下进行。然而,如有需要,可以随时启动VCO校准。

零延迟操作

零延迟操作能够使输出时钟的相位与外部PLL参考输入的相位对齐。AD9520有两种零延迟模式:内部和外部。

内部零延迟模式

AD9520的内部零延迟功能是通过将通道分频器0的输出反馈至PLL N分频器来实现的。图49中,内部零延迟模式的信号路由变化如蓝色线所示。

设置寄存器0x01E[2:1] = 01b,选择内部零延迟模式。在默认内部零延迟模式下,通道分频器0的输出通过MUX3和MUX1(图49蓝色线所示的反馈路径)返回PLL(N分频器)。PLL使通道分频器0的输出相位/边沿与参考输入的相位/边沿同步。如果通道分频器1、2、3用于零延迟反馈,则必须使用外部零延迟模式。通过改变寄存器0x01E[4:3]中的值,即可完成此设置。

由于通道分频器彼此同步,因此通道分频器的输出与参考输入同步。PLL内的R延迟和N延迟均可以用来补偿输出驱动器和PLL元件的传播延迟,使得时钟输出与参考输入之间的相位偏移最小,从而实现零延迟。

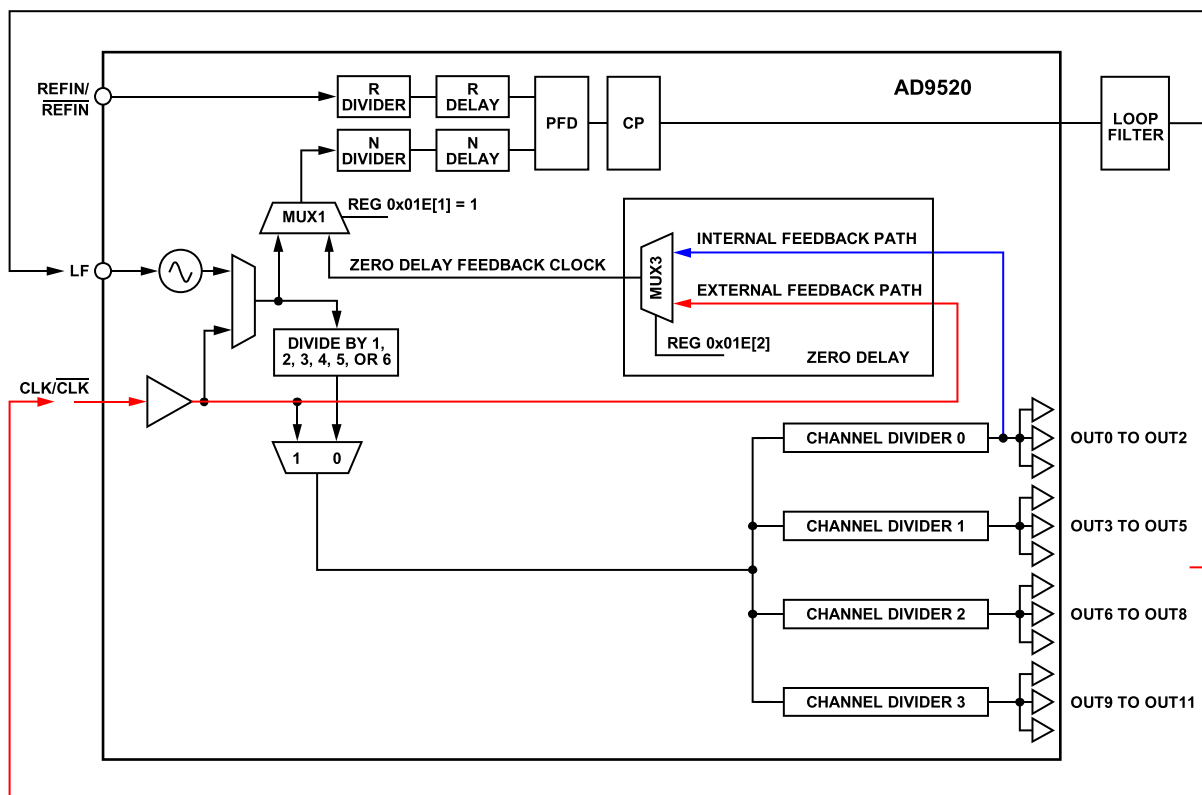


图49. 零延迟功能

0713-063

外部零延迟模式

AD9520的外部零延迟功能是通过将一路时钟输出反馈至CLK输入，最终回到PLL N分频器来实现的。图49中，外部零延迟模式的信号路由变化如红色线所示。

设置寄存器0x01E[2:1] = 11b，选择外部零延迟模式。在外部零延迟模式下，12路输出时钟(OUT0至OUT11)中的一路可以通过CLK/CLK引脚，以及通过Mux3和Mux1返回PLL(N分频器)。反馈路径如图49中的红色线所示。

为使VCO校准正常工作，用户必须指定用于外部零延迟模式的通道分频器。默认选择通道分频器0。更改寄存器0x01E[4:3]中的值，选择通道分频器1、2、3用于零延迟反馈。

PLL使反馈输出时钟的相位/边沿与参考输入的相位/边沿同步。由于通道分频器彼此同步，因此时钟输出与参考输入同步。PLL内的R延迟和N延迟均可以用来补偿PLL元件的传播延迟，使得反馈时钟与参考输入之间的相位偏移最小。

时钟分配

一个时钟通道由共享一个分频器的三路LVPECL时钟输出或六路CMOS时钟输出组成。一路时钟输出包括多个驱动器，这些驱动器连接到多个输出引脚。时钟输出引脚提供LVPECL或CMOS输出。

AD9520有四个时钟通道，每个通道都有自己的可编程分频器，以便对施加于输入端的时钟频率进行分频。通道分频器可以在1到32范围内进行整数分频。

AD9520有一个VCO分频器，它对VCO输出进行1、2、3、4、5或6分频，然后输入各通道分频器。VCO分频器有两方面作用。一是将通道分频器的最大输入频率限制在1.6 GHz；二是让AD9520仅利用一个简单的后置分频器就能产生非常低的频率。连接到CLK输入的外部时钟信号也可以使用VCO分频器。

根据当前设定的分频比，通道分频器支持多种占空比选择。也就是说，对于任何特定的分频比D，分频器的输出可以在N + 1个输入时钟周期内设为高电平，在M + 1个输入时钟周期内设为低电平(其中D = N + M + 2)。例如，5分频输出可以在一个分频器输入周期内为高电平，在四个周期内为低电平，或者在三个周期内为高电平，在两个周期内为低电平。当然还有其它可能的组合。

通道分频器包括一个占空比校正功能，可以禁用该功能。与上述可选占空比相比，该功能可以校正奇数分频引起的非50%占空比，但它要求分频比按照M = N + 1进行设置。

AD9520-0

此外，通道分频器支持设置粗调相位偏移或延迟。根据所选的分频比，输出最多可以延迟15个输入时钟周期。例如，如果通道分频器的输入频率为1 GHz，则通道分频器输出最多可以延迟15 ns。分频器输出还可以设置为以高电平或以低电平启动。

工作模式

时钟分配有三种工作模式，如图50所示。其中一种模式使用内部VCO，另外两种模式则旁路内部VCO并使用CLK/CLK引脚提供的信号。

在模式0(内部VCO模式)下，有两条信号路径可用。在第一条路径中，VCO信号被送至VCO分频器，然后输入各通道分频器。在第二条路径中，用户旁路VCO和通道分频器，将VCO信号直接送至驱动器。

选择CLK为时钟源时，如果CLK频率小于通道分频器最大输入频率(1600 MHz)，则不必使用VCO分频器，否则就必须使用VCO分频器以降低输入通道分频器的频率。

表32说明了如何选择VCO、CLK和VCO分频器。0x1E1[1:0]选择通道分频器时钟源，并决定是否使用VCO分频器。无法选择VCO而不使用VCO分频器。

表32. 工作模式

模式	寄存器0x1E1		通道分频器时钟源	VCO分频器
	Bit 1	Bit 0		
2	0	0	CLK	使用
1	0	1	CLK	不用
0	1	0	VCO	使用
	1	1	不允许	不允许

CLK或VCO直接至LVPECL输出

可以将内部VCO或CLK(被选为VCO分频器输入的时钟源)直接连接到LVPECL输出。这种配置可以将高达VCO最高频率的频率直接送至LVPECL输出端。然而，在最高频率

时，LVPECL输出可能无法满足表4中的V_{OD}要求。

可以选择内部VCO或CLK作为直接至输出信号路由的时钟源。要将LVPECL输出直接连接到内部VCO或CLK，用户必须选择VCO分频器作为分配部分的来源，无论有无通道使用它。

表33. 直接将VCO分频器输入路由至输出

寄存器设置	选择
0x1E1[1:0] = 00b	CLK为时钟源；选择VCO分频器
0x1E1[1:0] = 10b	VCO为时钟源；选择VCO分频器
0x192[1] = 1b	直接至输出OUT0、OUT1、OUT2
0x195[1] = 1b	直接至输出OUT3、OUT4、OUT5
0x198[1] = 1b	直接至输出OUT6、OUT7、OUT8
0x19B[1] = 1b	直接至输出OUT9、OUT10、OUT11

时钟分频

总分频比由VCO分频器(使用时)和通道分频器组合而成。使用VCO分频器时，从VCO或CLK到输出的总分频比为VCO分频比(1、2、3、4、5和6)与通道分频比的乘积。表34说明了一个通道的分频比是如何设置的。

表34. 分频比

选择CLK或VCO	VCO分频器设置 ¹	通道分频器设置	直接至输出设置	最终分频比
CLK或VCO输入	1至6	无关	使能	1
CLK或VCO输入	1至6	2至32	禁用	(1至6) × (2至32)
CLK或VCO输入	2至6	旁路	禁用	(2至6) × (1)
CLK或VCO输入	1	旁路	禁用	输出静态(无效状态)
CLK(内部VCO关闭)	旁路VCO分频器	旁路	无关	1
CLK(内部VCO关闭)	旁路VCO分频器	2至32	无关	2至32

¹ 旁路VCO分频器(0x1E1[0] = 1)不同于VCO分频比 = 1。

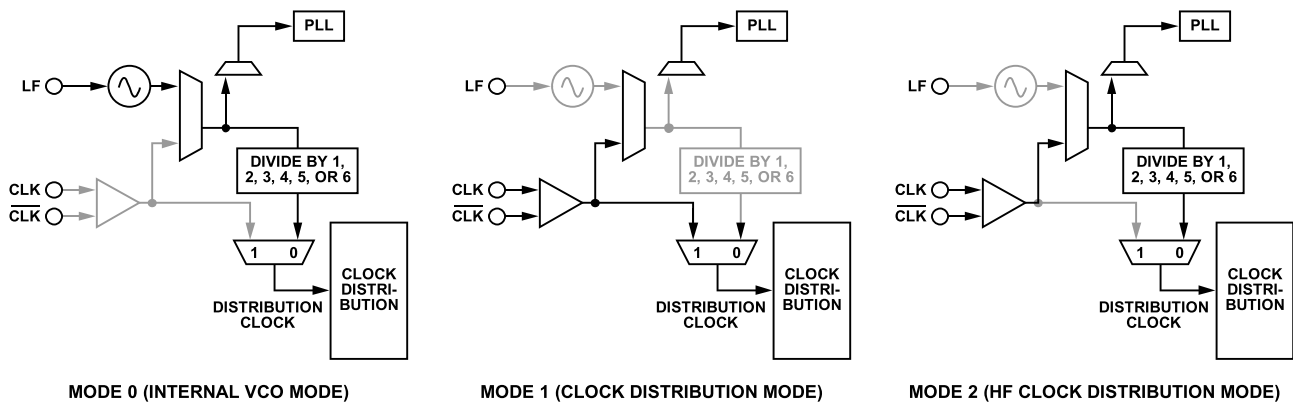


图50. 三种时钟分配工作模式的简图

馈入输出驱动器的通道分频器包括一个2至32分频器，该分频器提供1至32分频，1分频是通过旁路分频器实现的。这些分频器还提供可编程占空比，当分频比为奇数时，可以使用占空比校正功能。相位偏移或延迟可以输入时钟周期为增量进行选择。在所有通道分频比中，通道分频器的输入信号频率最高可达1600 MHz。分频器的特性和设置通过设置适当的设置和控制寄存器进行选择(见表49至表60)。

VCO分频器

VCO分频器提供内部VCO或外部CLK输入与时钟分配通道分频器之间的分频功能，分频比可以设置为1、2、3、4、5或6(见寄存器0x1E0[2:0])。然而，当VCO分频比设为1时，任何一个通道输出分频器都无法旁路。

也可以将VCO分频器设置为静态，这在唯一需要的输出频率就是VCO频率的应用中很有用。将VCO分频器设置为静态可以提高宽带无杂散动态范围(SFDR)。如果VCO分频器在VCO校准期间为静态，则不会有输出信号。因此，建议用户在VCO校准期间将VCO分频器设置为非静态，然后在VCO校准完成后，将VCO分频器设置为静态。

为实现同样的SFDR性能，推荐的替代方案是将VCO分频比设置为1并使能VCO直接模式，这使得用户能够用所需的值设置EEPROM，并且在VCO校准完成后无需采取进一步措施。

通道分频器

三路LVPECL输出组成一组，每组输出由一个通道分频器驱动，共有4个通道分频器(0、1、2和3)驱动12路LVPECL输出(OUT0至OUT11)。表35列出了用于设置这些分频器的分频比和其它功能的寄存器位置。分频比由M和N的值设置。将旁路位置1可以旁路分频器(相当于1分频，分频器电路关断)。根据禁用分频器DCC位的设置，可以使能或禁用占空比校正功能。

表35. 输出分频器的设置 D_x

分频器	低周期M M值(位)	高周期N N值(位)	旁路 (位)	禁用 分频器 x DCC(位)
0	0x190[7:4]	0x190[3:0]	0x191[7]	0x192[0]
1	0x193[7:4]	0x193[3:0]	0x194[7]	0x195[0]
2	0x196[7:4]	0x196[3:0]	0x197[7]	0x198[0]
3	0x199[7:4]	0x199[3:0]	0x19A[7]	0x19B[0]

通道分频器最大频率

保证所有通道分频器特性正常工作的最大频率为1.6 GHz；该数值可在数据手册中的其他部分找到。保证所有通道分频器特性正常工作的最大频率为1.6 GHz；该数值可在数据手册中的其他部分找到。然而，如果避免使用3分频和17分频设置，则最大通道分频器输入频率为2 GHz。

通道分频(0、1、2或者3)

对于每个通道(通道号x为0、1、2或3)，分频比 D_x 由M和N的值(每个值有4位，代表十进制0到15)设置，其中：

$$\text{低电平周期数} = M + 1$$

$$\text{高电平周期数} = N + 1$$

高电平和低电平周期数是指当前送至通道分频器输入端的时钟信号(VCO分频器输出或CLK)的周期数。

当分频器被旁路时， $D_x = 1$ 。

其它情况下， $D_x = (N + 1) + (M + 1) = N + M + 2$ 。因此，各通道分频器的分频比可以是1到32范围内的任何整数。

占空比和占空比校正

通道输出端时钟信号的占空比是下列某些或全部条件的结果：

- 通道的M和N值
- DCC使能/禁用
- VCO分频器使能/旁路
- CLK输入占空比(注意内部VCO具有50%的占空比)

各通道分频器的DCC功能默认使能。然而，通过将各通道的禁用分频器DCC位置1，可以独立禁用各通道的x DCC功能。

通道分频器的某些M和N值会导致占空比不是50%。对于偶数分频，如果 $M \neq N$ ，则也可能产生非50%的占空比。占空比校正功能自动将通道分频器输出的非50%占空比校正为50%占空比。

占空比校正需要下列通道分频器条件：

- 偶数分频必须设置为 $M = N$
- 奇数分频必须设置为 $M = N + 1$

当未旁路或未被DCC功能校正时，各通道分频器输出的占空比为用百分数表示的数值 $(N + 1)/(N + M + 2)$ 。

AD9520-0

表36至表39显示通道分频器和VCO分频器在各种配置下的输出占空比。

表36. 通道分频器输出占空比：VCO分频比 ≠ 1、输入占空比为50%

VCO分频器	D _x	输出占空比	
	N + M + 2	禁用分频器DCC = 1b	禁用分频器DCC = 0b
偶数	旁路通道分频器	50%	50%
奇数=3	旁路通道分频器	33.3%	50%
奇数=5	旁路通道分频器	40%	50%
偶数、奇数	偶数	$(N+1)/(N+M+2)$	50%，要求M = N
偶数、奇数	奇数	$(N+1)/(N+M+2)$	50%，要求M = N + 1

表37. 通道分频器输出占空比：VCO分频比 ≠ 1、输入占空比为X%

VCO分频器	D _x	输出占空比	
	N + M + 2	禁用分频器DCC = 1b	禁用分频器DCC = 0b
偶数	旁路通道分频器	50%	50%
奇数=3	旁路通道分频器	33.3%	$(1+X\%)/3$
奇数=5	旁路通道分频器	40%	$(2+X\%)/5$
偶数	偶数	$(N+1)/(N+M+2)$	50%，要求M = N
偶数	奇数	$(N+1)/(N+M+2)$	50%，要求M = N + 1
奇数=3	偶数	$(N+1)/(N+M+2)$	50%，要求M = N
奇数=3	奇数	$(N+1)/(N+M+2)$	$(3N+4+X\%)/(6N+9)$ ，要求M = N + 1
奇数=5	Even	$(N+1)/(N+M+2)$	50%，要求M = N
奇数=5	奇数	$(N+1)/(N+M+2)$	$(5N+7+X\%)/(10N+15)$ ，要求M = N + 1

表38. 通道分频器输出占空比：VCO分频器使能并且置1

输入时钟占空比	D _x	输出占空比	
	N + M + 2	禁用分频器DCC = 1b	禁用分频器DCC = 0b
任意	偶数	$(N+1)/(M+N+2)$	50%，要求M = N
50%	奇数	$(N+1)/(M+N+2)$	50%，要求M = N + 1
X%	奇数	$(N+1)/(M+N+2)$	$(N+1+X\%)/(2 \times N+3)$ ，要求M = N + 1

当VCO分频比 = 1时，必须使能通道分频器。

表39. 通道分频器输出占空比：旁路VCO分频器

输入时钟占空比	D _x	输出占空比	
	N + M + 2	禁用分频器DCC = 1b	禁用分频器DCC = 0b
任意	旁路通道分频器	同输入占空比	同输入占空比
任意	偶数	$(N+1)/(M+N+2)$	50%，要求M = N
50%	奇数	$(N+1)/(M+N+2)$	50%，要求M = N + 1
X%	奇数	$(N+1)/(M+N+2)$	$(N+1+X\%)/(2 \times N+3)$ ，要求M = N + 1

内部VCO的占空比为50%。因此，当VCO直接连接到输出端时，占空比为50%。如果CLK输入直接路由到输出端，则输出占空比与CLK输入相同。

相位偏移或粗调时间延迟

通过设置寄存器位(见表40)，可以设置各通道分频器的相位偏移或粗调时间延迟。这些设置决定通道分频器输出的上升沿偏移或延迟的时间，该时间用通道分频器输入频率的周期数(连续上升沿)表示。这一延迟是相对于无延迟的输出(即相位偏移为0)而言，延迟量由载入相位偏移(PO)寄存器的5位加上各通道分频器的高电平启动(SH)位设置。当高电平启动位置1时，延迟还受分频器的低电平周期数(M)影响。

为使相位偏移有效，必须使用SYNC功能(参见“同步输出—SYNC功能”部分)。

表40. 设置相位偏移和分频比

分频器	高电平启动(SH) (位)	相位偏移(PO) (位)	低周期M M值(位)	高周期N N值(位)
0	0x191[4]	0x191[3:0]	0x190[7:4]	0x190[3:0]
1	0x194[4]	0x194[3:0]	0x193[7:4]	0x193[3:0]
2	0x197[4]	0x197[3:0]	0x196[7:4]	0x196[3:0]
3	0x19A[4]	0x19A[3:0]	0x199[7:4]	0x199[3:0]

注意，寄存器中的存储值等于周期数减1。例如，对于分频器0，寄存器0x190[7:4] = 0001b等于两个低电平周期($M = 2$)。

令

Δ_l = 延迟(秒)

Δ_c = 延迟(DX输入时钟信号的周期数)

T_x = 分频器DX的输入时钟信号的周期(秒)

$\Phi = 16 \times SH[4] + 8 \times PO[3] + 4 \times PO[2] + 2 \times PO[1] + 1 \times PO[0]$

通道分频比设置为： N = 高电平周期数， M = 低电平周期数。

第一种情况

当 $\Phi \leq 15$ 时，

$\Delta_l = \Phi \times T_x$

$\Delta_c = \Delta_l / T_x = \Phi$

第二种情况

当 $\Phi \geq 16$ 时，

$\Delta_l = (\Phi - 16 + M + 1) \times T_x$

$\Delta_c = \Delta_l / T_x$

通过为各分频器指定不同的相位偏移，便可设置以通道分频器输入时钟周期为增量的输出间延迟。图51显示了设置这样一种输出间粗调偏移的结果。

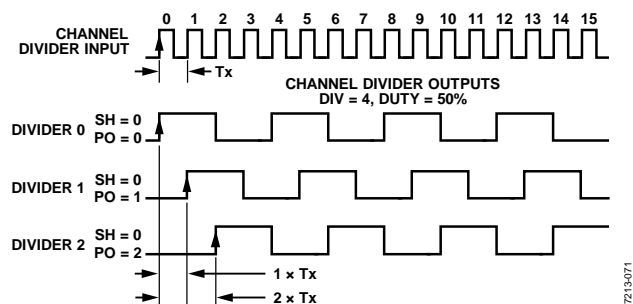


图51. 粗调相位偏移(或延迟)的效果

同步输出—SYNC功能

AD9520的时钟输出可以彼此同步。如果某路输出不需要同步，可以将其从同步中排除。要想同步，必须按照预设的一组静态条件设置未排除的输出，这些条件包括给定通道分频器的分频比和相位偏移。这样，用户就能为各通道分频器指定不同的分频比和相位偏移。释放SYNC引脚后，输出可以继续在此预设条件下提供时钟。

输出同步可以通过下列方式执行：

- 将SYNC引脚拉低，然后释放(手动同步)。
- 设置然后复位以下三位中的任何一位：软SYNC位(寄存器0x230[0])、软复位位(寄存器0x000[5] [镜像])和关断分配参考位(寄存器0x230[1])。

- 输出同步可以作为芯片上电序列的一部分来执行。
- 将RESET引脚拉低，然后释放(芯片复位)。
- 将PD引脚拉低，然后释放(芯片关断)。
- 每当校准VCO时，内部SYNC信号都会在校准开始时自动置位，然后在校准完成时释放。

执行SYNC功能的最常见方式是使用SYNC引脚手动同步输出，这要求在SYNC引脚上提供一个趋低信号，它保持低电平，然后在需要同步时释放。SYNC操作的时序如图52(使用VCO分频器)和图53(不使用VCO分频器)所示。由于SYNC信号相对于AD9520内部时钟沿的异步特性，通道分频器的输入存在最多1个时钟周期的不确定性。

从SYNC上升沿到同步输出时钟开始的流水线延迟等于14到15个通道分频器输入时钟周期加上1个VCO分频器输入周期(见图52)，或者加上一个通道分频器输入周期(见图53)，具体取决于是否使用VCO分频器。周期数从信号的上升沿开始计数。此外还有从SYNC信号到内部同步逻辑的1.2 ns(典型值)延迟，以及输出驱动器的传播延迟。对于LVPECL驱动器，传播延迟约为100 ps；对于CMOS驱动器，传播延迟约为1.5 ns。

执行SYNC功能的另一个常见方式是设置然后复位软SYNC位(寄存器0x230[0])。设置和复位软SYNC位均要求执行更新所有寄存器(寄存器0x232[0] = 1b)操作。

SYNC操作首先将所有未被排除(通过忽略SYNC位)的输出设为预设状况，然后才允许输出开始同步提供时钟。预设状况考虑到了各通道高电平启动位和相位偏移的设置，这些设置既适用于SYNC操作正在进行时各路输出的静止状态，也适用于SYNC操作完成后各路输出又开始提供时钟时的状态和相对相位。在输出之间和同步之后，可以设置相位偏移。

AD9520的差分LVPECL输出三路一组，共分四组，各组共享一个通道分频器。对于CMOS输出，各LVPECL差分对可以配置为2路单端CMOS输出。同步条件适用于所有属于同一通道分频器的驱动器。

通过将通道的忽略SYNC位置1，可以将各通道(分频器及其输出)从SYNC操作中排除。设置忽略SYNC的通道(排除在外的通道)在SYNC操作期间不会将其输出设为静态，而且其输出不与包括在内的通道的输出同步。

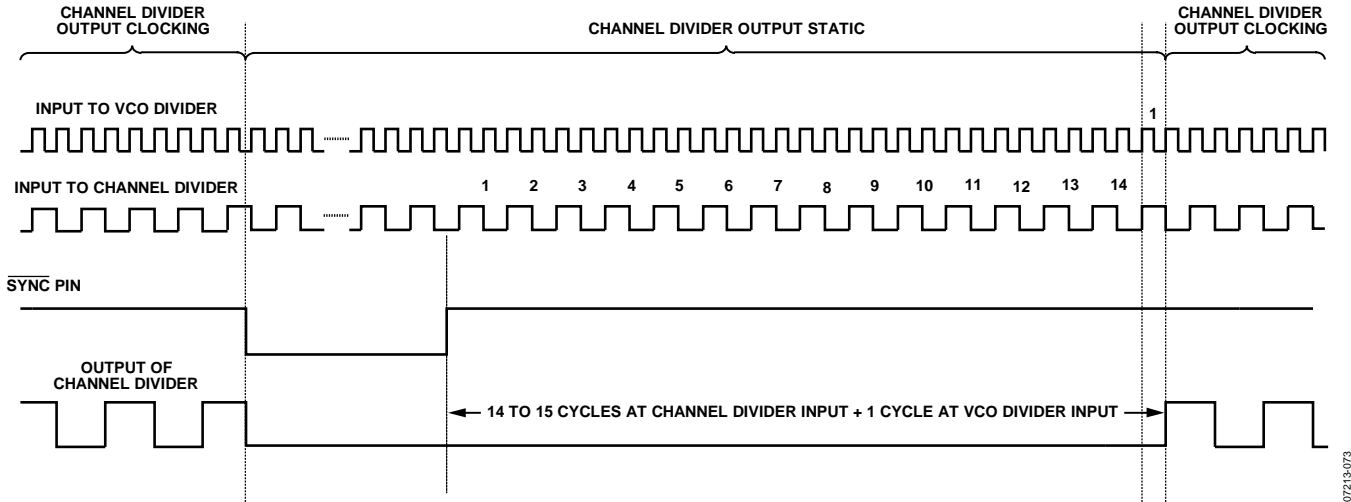


图52. 使用VCO分频器时的SYNC时序流水线延迟(CLK或VCO为输入)

07213-073

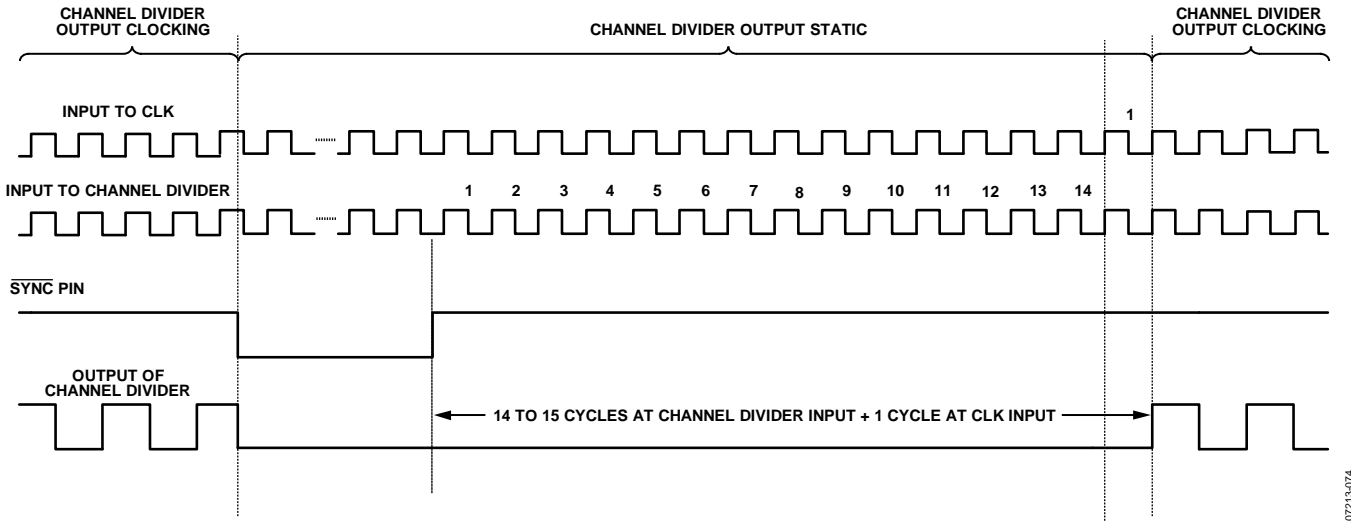


图53. 不使用VCO分频器时的SYNC时序流水线延迟(仅CLK为输入)

07213-074

LVPECL输出驱动器

LVPECL差分电压(VOD)可在约400 mV到960 mV的范围内进行选择, 参见寄存器0x0F0至寄存器0x0FB的位1和位2。LVPECL输出具有专用电源引脚(VS_DRV), 允许使用独立的电源。 V_{S_DRV} 可设为2.5 V或3.3 V。

LVPECL输出极性可以设置为同相或反相, 在应用中, 无需更改电路板布局便可调整输出的相对极性。各路LVPECL输出可以根据需要关断或上电。LVPECL输出级的架构导致它在某些关断条件下可能会发生电气过应力和击穿问题。

因此, LVPECL输出有两种关断模式: 完全关断和安全关断。

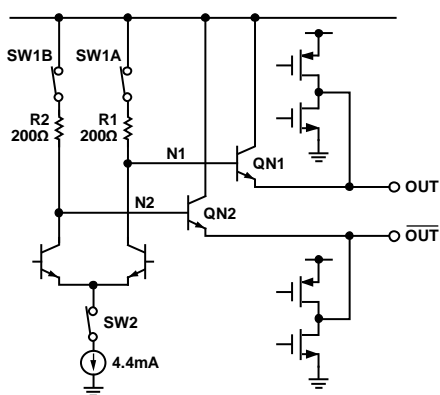


图54. 简化的LVPECL输出等效电路

在完全关断模式下, 所有输出驱动器同时关闭。如果输出引脚上存在一个外部电压偏置网络(如戴维宁等效终端等), 则不得使用这种模式, 因为它会导致关断的输出上出现直流电压。然而, 当LVPECL驱动器仅采用下拉电阻端接时, 则可以使用完全关断模式。寄存器0x230[1]置1可激活完全关断模式。

主要关断模式是安全关断模式。在关断期间, 这种模式仍能继续保护输出器件。激活安全关断模式有三种方法: 将各驱动器的关断位置1; 独立关断各输出通道(属于该通道的所有驱动器自动关断); 以及激活休眠模式。

CMOS输出驱动器

用户可以将各路LVPECL输出配置为一对CMOS输出, 该器件最多可提供24路CMOS输出。当一路输出被配置为CMOS输出时, CMOS输出A和CMOS输出B自动开启。对于任意给定的差分对, CMOS输出A或CMOS输出B可以分别独立开启或关闭。

用户也可以选择CMOS输出的相对极性, 设置反相和同相的任意组合(参见寄存器0x0F0至寄存器0x0FB)。

用户可以根据需要关断各CMOS输出以省电。CMOS输出关断由使能CMOS输出寄存器(0x0F0[6:5]至0x0FB[6:5])分别控制。关断时, CMOS驱动器处于三态。

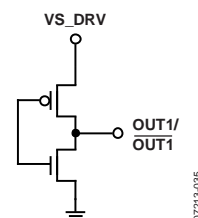


图55. CMOS等效输出电路

所有CMOS输出均可按需关断, 降低功耗。CMOS输出关断由使能CMOS输出位(寄存器0x0F0至寄存器0x0FB中的位[6:5])分别控制。关断时, CMOS驱动器处于三态。

请注意, 在与LVPECL驱动器相同的输出通道群中激活CMOS驱动器可能会降低LVPECL驱动器的性能。在抖动性能很关键的应用中, 用户应使用评估板测试所需配置, 并且可能需要采用特殊步骤, 确保达到要求的性能。

复位模式

AD9520可以通过上电复位(POR)和其它几种方式使芯片复位。

上电复位

在芯片上电期间, 当VS达到约2.6 V (<2.8 V)时, 会发出一个上电复位脉冲, 将芯片复位到EEPROM中存储的设置(EEPROM引脚 = 1b)或片内设置(EEPROM引脚 = 0b)。上电时, AD9520还会在电源达到大约2.4 V的50 ms之后执行SYNC操作, 根据默认设置将输出的相位对齐。内部产生上电复位脉冲信号后, 大约需要70 ms输出才会开始切换。

AD9520-0

通过RESET引脚进行硬件复位

通过RESET引脚进行硬件复位(短暂拉低RESET可执行异步硬复位), 可以将芯片复位到EEPROM中存储的设置(EEPROM引脚 = 1b)或片内设置(EEPROM引脚 = 0b)。硬复位也会执行SYNC操作, 根据默认设置将输出的相位对齐。当EEPROM无效(EEPROM引脚 = 0b)时, 发出RESET后大约经过2 μ s输出就会开始切换。当EEPROM有效(EEPROM引脚 = 1b)时, 拉高RESET后大约需要20 ms输出就会切换。

通过串行端口进行软复位

串行端口控制寄存器支持软复位, 方法是将寄存器0x000的位2和位5置1。该寄存器的功能由EEPROM引脚状态决定。

当位2和位5置1, 且EEPROM引脚为高电平时, 芯片恢复EEPROM中的设置。当位2和位5置1, 且EEPROM引脚为低电平时, 芯片恢复片内默认值设置。

除自清零位、位2和位5以外, 寄存器0x000保持其复位前的值。内部复位期间, 输出保持静态。然而, 自清零操作直到再出现一个串行端口SCLK周期后才完成, 在此之前, AD9520保持复位状态。

通过串行端口软复位到EEPROM中的设置(EEPROM引脚 = 0时)

若EEPROM引脚为低电平, 串行端口控制寄存器允许通过寄存器0xB02[1]将芯片复位到EEPROM中的设置。(位1自动清零。)当EEPROM引脚为高电平时, 此位不起任何作用。Soft_EEPROM寄存器清0后, 大约需要20 ms输出才会开始切换。

关断模式

通过PD关断芯片

通过拉低PD引脚, 可以使AD9520进入关断状态, 从而关闭AD9520内部的大部分功能和电流。在重新拉高PD引脚之前, 芯片将一直处于关断状态。离开关断模式后, AD9520返回到关断前其寄存器中的设置, 除非在PD引脚为低电平期间, 寄存器被新设置更改。

关断芯片会关闭芯片上的电流, 但保持LVPECL输出处于安全关断模式所需的偏置电流除外。LVPECL偏置电流用于保护LVPECL输出电路免受三态时某些终端和负载配置可能引起的损害。由于这不是完全关断, 因此可称之为休眠模式。AD9520含有特殊电路, 可防止芯片进入或退出休眠模式时输出上出现不良脉冲。

当AD9520处于PD关断模式时, 芯片的状态如下:

- PLL关闭(异步关断)
- VCO关闭
- CLK输入缓冲器关闭, 但CLK输入直流偏置电路开启。
- 在差分模式下, 参考输入缓冲器关闭, 直流偏置电路仍然开启。
- 在单端模式下, 参考输入缓冲器关闭, 直流偏置电路关闭。
- 所有分频器均关闭。
- 所有CMOS输出处于三态。
- 所有LVPECL输出处于安全关断模式。
- 串行控制端口有效, 芯片可以响应命令。

PLL关断

AD9520的PLL部分可以选择性关断。PLL关断模式通过寄存器0x010[1:0]设置, 分为两种: 异步关断和同步关断。

在异步关断模式下, 寄存器一旦更新, 器件就会关断。在同步关断模式下, PLL关断受电荷泵控制, 防止发生不需要的跳频。寄存器更新后, 器件在下一个电荷泵事件发生时进入关断状态。

分配关断

通过写入寄存器0x230[1] = 1b以关闭分配部分的偏置电流, 可以关断分配部分。如果LVPECL关断模式为正常工作(寄存器Register 0x230[1] = 0b), 则LVPECL输出上的低阻抗负载在关断期间可能会消耗相当大的电流。如果LVPECL关断模式被设为1b, 则LVPECL输出不存在反向偏置保护, 在某些终端条件下可能会受损。

各时钟输出独立关断

通过写入相应的寄存器, 可以关断任意时钟分配输出, 使其进入安全关断模式。寄存器映射详细说明了各路输出的关断设置, 参见寄存器0x0F0至寄存器0x0FB的位0。

各时钟通道独立关断

通过写入相应的寄存器, 可以关断任意时钟分配通道。关断一个时钟通道与关断一个驱动器相似, 但前者更省电, 因为分频器也被关断。关断时钟通道还会自动关断与之相连的驱动器。寄存器映射详细说明了各输出通道的关断设置, 参见寄存器0x192、0x195、0x198、0x19B中的位2。

串行控制端口

AD9520串行控制端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该端口兼容大多数同步传输格式，包括Philips I²C、Motorola® SPI®和Intel® SSR协议。AD9520 I²C方案的两个规格与传统I²C规格有差异，如表14所示。通过此串行控制端口，可以对所有配置AD9520的寄存器进行读/写操作。

SPI/I²C端口选择

AD9520有两个串行接口：SPI和I²C。用户可以选择SPI或I²C，具体取决于三逻辑电平(高、开路、低)输入引脚SP1和SP0的状态。当SP1和SP0均为高电平时，SPI接口使能。在其它情况下，I²C接口使能，它具有8个不同的I²C从机地址(7位宽)设置，如表41所示。从机地址的4个MSB是硬件编码1011b，3个LSB由SP1和SP0引脚编程。

表41. 串行端口模式选择

SP1	SP0	地址
低电平	低电平	I ² C, 1011000b
低电平	开路	I ² C, 1011001b
低电平	高电平	I ² C, 1011010b
开路	低电平	I ² C, 1011011b
开路	开路	I ² C, 1011100b
开路	高电平	I ² C, 1011101b
高电平	低电平	I ² C, 1011110b
高电平	开路	I ² C, 1011111b
高电平	高电平	SPI

I²C串行端口操作

AD9520 I²C端口基于I²C快速模式标准。AD9520支持两种I²C协议：标准模式(100 kHz)和快速模式(400 kHz)。

AD9520 I²C端口是一个双线接口，由一条串行数据线(SDA)和一条串行时钟线(SCL)构成。在I²C总线系统中，AD9520作为从机连接到串行总线(数据总线SDA和时钟总线SCL)，这意味着AD9520不产生时钟。AD9520采用16位(两个字节)直接存储器寻址，而不是传统的8位(一个字节)存储器寻址。

I²C总线特性

表42. I²C总线定义

缩写	定义
S	起始
Sr	重复起始
P	停止
A	应答
\bar{A}	不应答
W	写操作
R	读操作

对于所传输的每个数据位，都会在SCL时钟线上产生一个脉冲。

SDA线上的数据在时钟的高电平期间不得改变。只有当SCL线上的时钟为低电平时，数据线的状态才能改变。

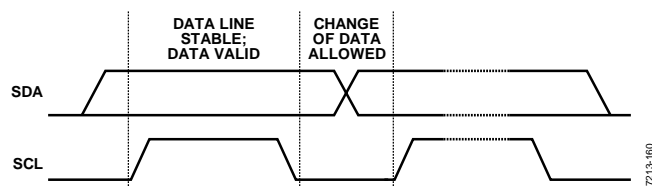


图56. 有效位传输

起始条件是SCL处于高电平时，SDA线上发生的高电平至低电平跃迁。起始条件始终由主机产生，用于启动数据传输。

停止条件是SCL处于高电平时，SDA线上发生的低电平至高电平跃迁。停止条件始终由主机产生，用于结束数据传输。

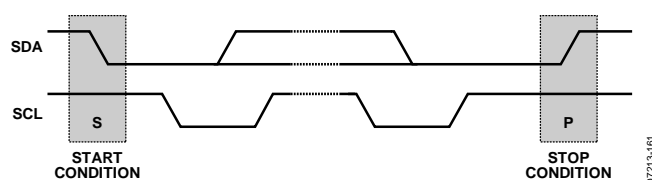


图57. 起始条件和停止条件

SDA线上的字节始终为8位长。每个字节之后必须跟随一个应答位。字节以MSB优先方式发送。

应答位是附加到任何8位数据字节的第九个位。应答位始终由接收器件(接收方)产生，用于通知发送方已收到该字节。其实现方法是在每8位数据字节后的第9个时钟脉冲期间拉低SDA线。

不应答位是附加到任何8位数据字节的第九个位。不应答位始终由接收器件(接收方)产生，用于通知发送方未收到该字节。其实现方法是在每8位数据字节后的第9个时钟脉冲期间保持SDA线为高电平状态不变。

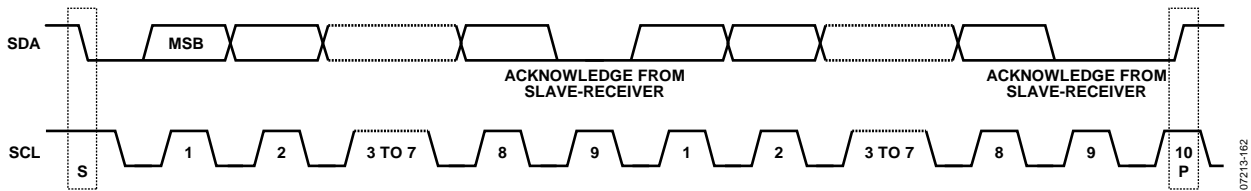


图58. 应答位

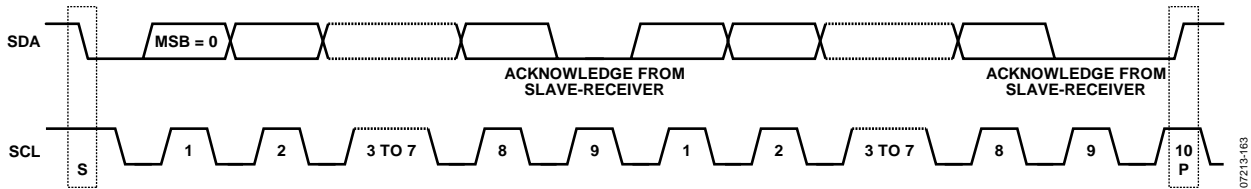


图59. 数据传输过程(主机写模式, 使用2字节传输进行说明)

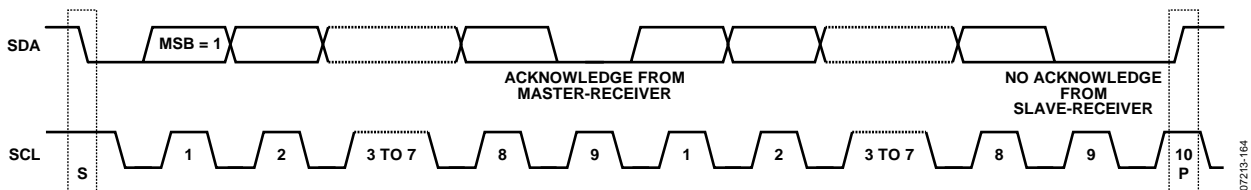


图60. 数据传输过程(主机读模式, 使用2字节传输进行说明)

数据传输过程

主机通过置位起始条件来发起数据传输。这样, 随后就会发生数据流。连接到串行总线的所有I²C从机都会响应起始条件。

然后, 主机通过SDA线发送一个8位地址字节, 它由7位从机地址(MSB优先)和一个读写(R/W)位组成。读写位决定数据传输的方向, 即数据写入还是读取从机(0b = 写, 1b = 读)。

地址与所发送地址对应的外设以一个应答位响应。在选定器件等待读写数据期间, 总线上的所有其它器件保持空闲状态。如果R/W位为0b, 则主机(发送方)写入从机(接收方)。如果R/W位为1b, 则主机(接收方)读取从机(发送方)。

这些命令的格式参见“数据传输格式”部分所述。

然后, 主机(写入模式)或从机(读取模式)以9个时钟脉冲(8位数据字节后跟1个来自接收器件的应答位)的格式通过串行总线发送数据。每次传输能够发送的字节数不受限制。在写入模式下, 紧随从机地址字节之后的前两个数据

字节是内部存储器(控制寄存器)地址字节, 高位字节地址优先。这种寻址方案的存储器地址数量最多为 $2^{16} - 1 = 65,535$ 。两个存储器地址字节之后的数据字节是写入控制寄存器的寄存器数据。在读取模式下, 从机地址字节之后的数据字节是从控制寄存器读取的寄存器数据。

读取或写入所有数据字节之后, 停止条件随即建立。在写入模式下, 主机(发送方)在从机(接收方)最后一个数据字节的应答位之后的第10个时钟脉冲期间置位停止条件以结束数据传输。在读取模式下, 主机(接收方)接收从机(发送方)最后一个数据字节, 但在第9个时钟脉冲期间不拉低数据线, 这称为不应答位。接收到不应答位时, 从机得知数据传输已结束, 从而释放SDA线。主机随后在第10个时钟脉冲前的低电平期间拉低数据线, 然后在第10个时钟脉冲期间拉高数据线, 以置位停止条件。

重复起始(Sr)条件可以代替停止条件。此外, 起始或停止条件可以随时发生, 不完整传输的字节会被丢弃。

数据传输格式

发送字节格式——发送字节协议用于设置后续命令的寄存器地址。

S	从机地址	W	A	RAM地址高位字节	A	RAM地址低位字节	A	P
---	------	---	---	-----------	---	-----------	---	---

写入字节格式——写入字节协议用于将寄存器地址写入RAM，从指定RAM地址开始。

S	从机地址	W	A	RAM地址高位字节	A	RAM地址低位字节	A	RAM数据0	A	RAM数据1	A	RAM数据2	A	P
---	------	---	---	-----------	---	-----------	---	--------	---	--------	---	--------	---	---

接收字节格式——接收字节协议用于从RAM读取数据字节，从当前地址开始。

S	从机地址	R	A	RAM数据0	A	RAM数据1	A	RAM数据2	\bar{A}	P
---	------	---	---	--------	---	--------	---	--------	-----------	---

读取字节格式——发送字节和接收字节的合并格式。

S	从机地址	W	A	RAM地址高位字节	A	RAM地址低位字节	A	Sr	从机地址	R	A	RAM数据0	A	RAM数据1	A	RAM数据2	\bar{A}	P
---	------	---	---	-----------	---	-----------	---	----	------	---	---	--------	---	--------	---	--------	-----------	---

I²C串行端口时序

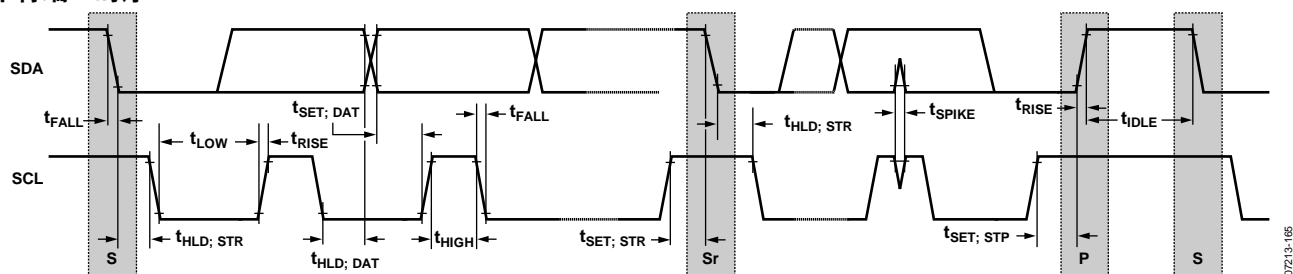


图61. I²C串行端口时序

表43. I²C时序定义

参数	描述
f _{I2C}	I ² C时钟频率
t _{IDLE}	停止与起始条件之间的总线空闲时间
t _{HLD; STR}	重复起始条件的保持时间
t _{SET; STR}	重复起始条件的建立时间
t _{SET; STP}	停止条件的建立时间
t _{HLD; DAT}	数据保持时间
t _{SET; DAT}	数据建立时间
t _{LOW}	SCL时钟低电平持续时间
t _{HIGH}	SCL时钟高电平持续时间
t _{RISE}	SCL/SDA上升时间
t _{FALL}	SCL/SDA下降时间
t _{SPIKE}	输入滤波器必须抑制的电压尖峰脉冲宽度

AD9520-0

SPI串行端口操作

引脚描述

SCLK(串行时钟)是串行移位时钟,此引脚为输入。SCLK用来使串行控制端口的读写操作同步。写入数据位记录在该时钟的上升沿,读出数据位在SCLK下降沿进行转换。此引脚由一个30 kΩ电阻内部下拉至地。

SDIO(串行数据输入/输出)是一个两用引脚,既可以仅用作输入(单向模式),也可以同时用作输入和输出(双向模式)。AD9520默认采用双向I/O模式(寄存器0x000[7] = 0b)。

SDO(串行数据输出)仅用于单向I/O模式(寄存器0x000[7]),作为回读数据的独立输出引脚。 \overline{CS} (片选引脚信号)是低电平有效控制,用来选通读写周期。当 \overline{CS} 为高电平时,SDO和SDIO处于高阻态。此引脚由一个30 kΩ电阻内部上拉至 V_S 。

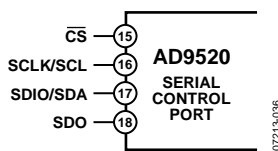


图62. 串行控制端口

SPI工作模式

SPI模式支持单字节和多字节传输,以及MSB优先和LSB优先传输格式。AD9520串行控制端口可以针对一个双向I/O引脚(仅SDIO)或两个单向I/O引脚(SDIO/SDO)配置。AD9520默认采用双向模式。它不支持短指令模式(8位指令),仅支持长(16位)指令模式。SDIO/SDO引脚上的串行活动可能引起数据传输过程中的PLL抖动。

要启动对AD9520的写或读操作,须将 \overline{CS} 拉低。

当传输三个或更少字节的数据(加上指令数据)时(见表44),支持 \overline{CS} 空闲高电平模式。在此模式中, \overline{CS} 引脚可以在任何字节边界上暂时返回高电平,使系统控制器有时间处理下一个字节。 \overline{CS} 仅可以在字节边界上进入高电平,但它可以在此期间的任一阶段(指令或数据)进入高电平。

在此期间,串行控制端口状态机进入等待状态,直到所有数据发送完毕。如果数据尚未发送完毕,而系统控制器决定中止传输,必须完成剩余传输,或者使 \overline{CS} 返回低电平并至少保持一个完整的SCLK周期(但少于8个SCLK周期),使状态机复位。在非字节边界上拉高 \overline{CS} 引脚将终止串行传输并刷新缓冲器。

在流模式中(见表44),可以连续流形式传输任意数量的数据字节,寄存器地址自动递增或递减(见SPI MSB/LSB优先传输部分)。在传输最后一个字节结束时,必须拉高 \overline{CS} ,从而结束流模式。

通信周期—指令加数据

AD9520的通信周期可分为两个部分。第一部分是在前16个SCLK上升沿将一个16位指令字写入AD9520。该指令字向AD9520串行控制端口提供有关数据传输(即通信周期的第二部分)的信息,明确即将发生的数据传输是读操作还是写操作,数据传输的字节数,以及数据传输中第一个字节的起始寄存器地址。

写操作

如果指令字定义了一个写操作,则第二部分便是将数据传输至AD9520的串行控制端口缓冲器。数据位记录在SCLK的上升沿。

传输长度(1/2/3字节或流模式)由指令字节中的两位(W1:W0)表示。当传输1、2或3字节(但不是流模式)时,在每个8位序列之后可以拉高 \overline{CS} ,使总线空闲,但最后一个字节之后除外,此时会结束通信周期。当总线空闲时,如果 \overline{CS} 变为低电平,就会恢复串行传输。在非字节边界上拉高 \overline{CS} 引脚将复位串行控制端口。在写操作期间,流模式不会跳过保留或空白字节,用户可以向保留寄存器地址写入0x00。

由于数据是写入串行控制端口缓冲区,而不是直接写入AD9520的实际控制寄存器,因此需要额外的操作来将串行控制端口缓冲内容传输到AD9520的实际控制寄存器,从而使其有效。更新寄存器操作包括设置寄存器0x232[0] = 1b(此位为自清零位)。更新寄存器之前,可以改变任意字节的数据。更新寄存器会同时激活上次更新以来所有已写入缓冲器的寄存器变化。

读操作

AD9520仅支持长指令模式。如果指令字定义了一个读操作,在接下来的 $N \times 8$ 个SCLK周期,数据从指令字所规定的地址逐个输出,其中N为1至3,由位[W1:W0]确定。如果N = 4,读操作将为流模式,持续至 \overline{CS} 变为高电平。流模式不会跳过保留或空白寄存器。回读数据在SCLK的下降沿有效。

AD9520串行控制端口的默认模式是双向模式。在双向模式中，发送数据和回读数据均出现在SDIO引脚上。也可以将AD9520设置为单向模式(寄存器0x000[7] = 1b和寄存器0x000[0] = 1b)。在单向模式中，回读数据出现在SDO引脚上。

回读请求读取串行控制端口缓冲区或有效寄存器中的数据(见图63)。对缓冲或有效寄存器的回读由0x004[0]控制。

AD9520使用寄存器地址0x000至0xB03。

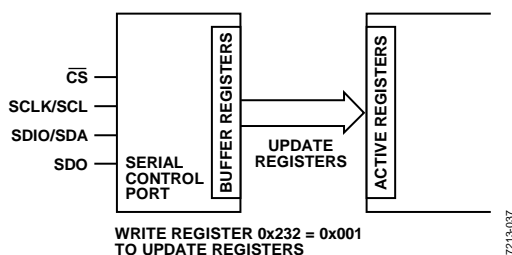


图63. AD9520串行控制端口缓冲寄存器与有效寄存器之间的关系

SPI指令字(16位)

指令字的MSB为 R/\bar{W} ，表示该指令是读操作还是写操作。接下来的两位(W1:W0)表示传输长度，单位为字节。最后13位(A12:A0)是读或写操作的起始地址。

对于写操作，指令字之后是位[W1:W0]所代表的字节数(见表44)。

表44. 字节传输计数

W1	W0	传输字节数
0	0	1
0	1	2
1	0	3
1	1	流模式

位[A12:A0]选择通信周期数据传输阶段写入或读取的寄存器地址(寄存器映射范围内)。对于多字节传输，此地址是起始字节地址。在MSB优先模式中，后续字节会递增该地址。

SPI MSB/LSB优先传输

AD9520指令字和字节数据可以是MSB优先或LSB优先。写入0x000的任何数据都必须进行镜像，高四位([7:4])必须与

低四位([3:0])构成镜像关系。这使得LSB优先或MSB优先事实上是一样的。这种镜像的一个例子是寄存器0x000的默认设置，它镜像第4位和第3位。这将设置长指令模式，它是默认且唯一支持的模式。

AD9520的默认设置为MSB优先。

当寄存器0x000[1]和0x000[6]设置LSB优先时，它会立即生效，因为这只影响串行控制端口的操作，而不需要执行更新。

当MSB优先模式有效时，指令和数据字节必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括高数据字节寄存器地址的指令字节开始。后续数据字节必须按照从高地址到低地址的顺序传输。在MSB优先模式下，多字节传输周期每传输一个数据字节，串行控制端口的内部地址产生器便递减1。

当LSB优先模式有效时，指令和数据字节必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括低数据字节寄存器地址的指令字节开始，其后是多个数据字节。在多字节传输周期中，每传输一个字节，串行端口的内部字节地址产生器便递增1。

如果MSB优先模式有效(默认)，AD9520串行控制端口的寄存器地址将从刚才向控制寄存器0x000写入多字节I/O操作的寄存器地址开始递减。如果LSB优先模式有效，串行控制端口的寄存器地址将从刚才向控制寄存器0x232写入多字节I/O操作的寄存器地址开始递增。

在流模式中，只要达到0x232，传输就会终止。请注意，在多字节I/O操作期间，不会跳过不用地址。

表45. 流模式(不跳过任何地址)

写入模式	地址方向	停止序列
LSB优先	递增	寄存器0x230、0x231、0x232、 停止
MSB优先	递减	寄存器0x001、0x000、0x232、 停止

表46. 串行控制端口，16位指令字，MSB优先
MSB

I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0	LSB
R/ \bar{W}	W1	W0	A12 = 0	A11 = 0	A10 = 0	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	

AD9520-0

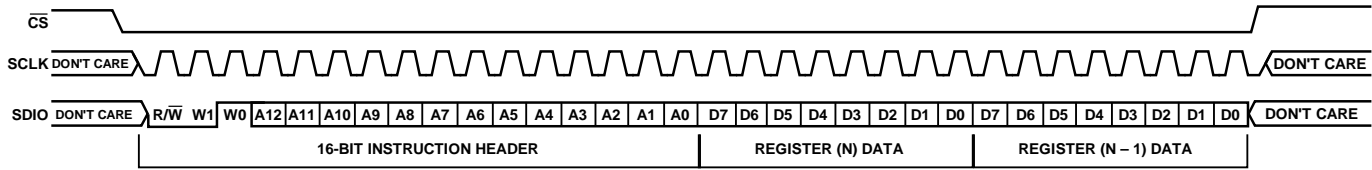


表64. 串行控制端口写入：MSB优先，16位指令，双字节数据

07213-038

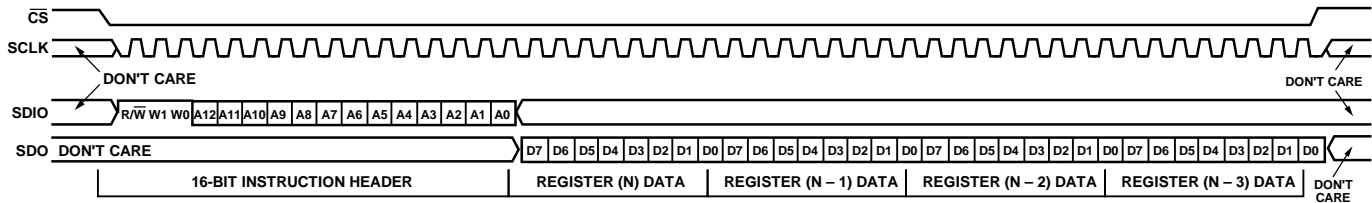


表65. 串行控制端口读取：MSB优先，16位指令，4字节数据

07213-039

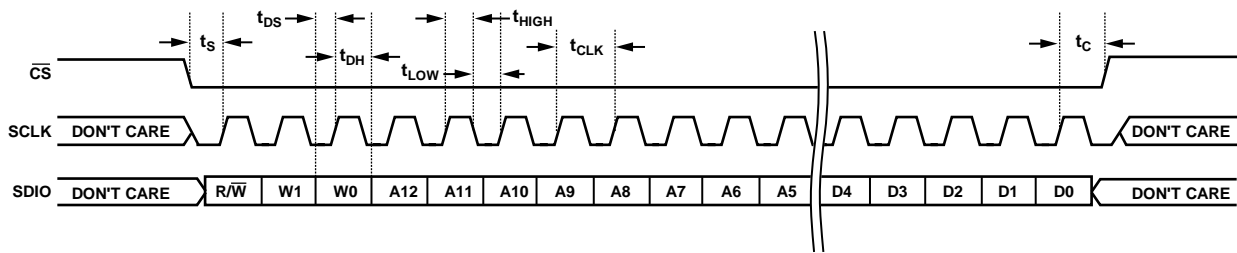


表66. 串行控制端口写入：MSB优先，16位指令，时序测量

07213-040

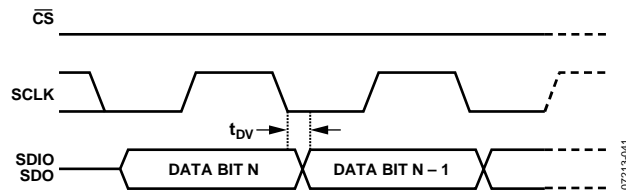


图67. 串行控制端口寄存器读取时序图

07213-041

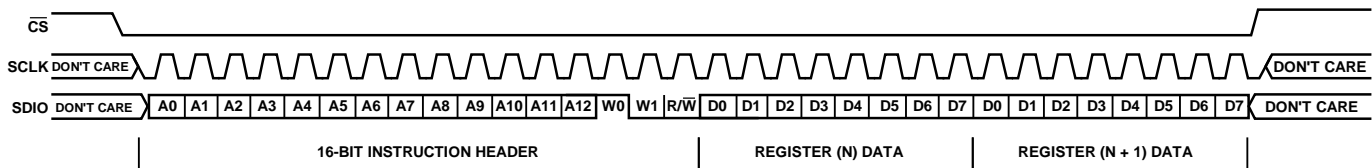


表68. 串行控制端口写入：LSB优先，16位指令，双字节数据

07213-042

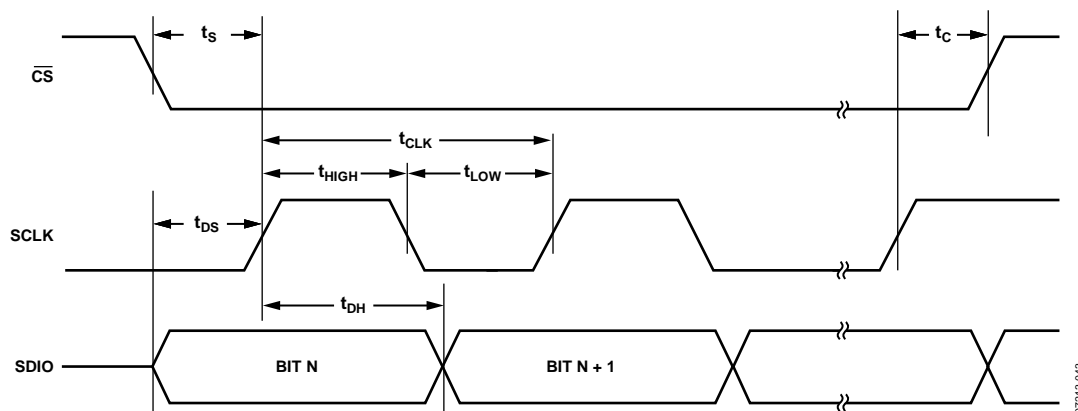


图69. 串行控制端口写操作时序

07213-043

表47. 串行控制端口时序

参数	描述
t_{DS}	数据与SCLK上升沿之间的建立时间
t_{DH}	数据与SCLK上升沿之间的保持时间
t_{CLK}	时钟周期
t_s	\overline{CS} 下降沿与SCLK上升沿之间的设置时间(通信周期开始)
t_c	SCLK上升沿与 \overline{CS} 上升沿之间的设置时间(通信周期结束)
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间
t_{DV}	SCLK至有效SDIO和SDO(见图67)

EEPROM操作

AD9520内置一个EEPROM(非易失性存储器)。用户可以对EEPROM进行编程,以创建并在断电时存储用户自定义寄存器设置文件。此设置文件可以用来提供上电和芯片复位时的默认设置。EEPROM大小为512字节。

请注意,为了保证启动时正确加载EEPROM,电源稳定后RESET引脚上需有一个高电平-低电平-高电平脉冲。

在数据传输过程中,一般无法通过串行端口访问写入和读取寄存器,但有一个回读寄存器STATUS_EEPROM例外。

在SPI模式下,为了通过串行端口确定数据传输状态,用户可以读取STATUS_EEPROM位的值(1b表示进行中,0b表示已完成)。

在I²C模式下,用户可以通过外部I²C主机寻址AD9520从机端口(向AD9520发送一个地址字节)。如果AD9520以不应答位回应,则说明未进行数据传输。如果AD9520以应答位回应,则说明数据传输过程已完成。用户可以监控STATUS_EEPROM寄存器,或者设置STATUS引脚来监控数据传输状态。

写入EEPROM

无法直接通过串行端口接口对EEPROM进行编程。要对EEPROM进行编程并存储寄存器设置文件,请按照下述步骤操作:

1. 将AD9520寄存器设置为所需的电路状态。
如果用户希望PLL在上电后自动锁定,则立即执行VCO校准位(寄存器0x018[0])必须置1b。这样,VCO校准就会在寄存器加载后自动启动。注意,在VCO校准期间必须存在有效的输入参考信号。
2. 如有必要,设置EEPROM缓冲寄存器(参见“EEPROM缓冲段编程”部分)。
仅在下列情况下才需要执行此步骤:用户希望使用EEPROM来控制AD9520一些(但不是全部)寄存器的默认设置,或者用户希望在上电或芯片复位期间控制寄存器设置更新序列。
3. 将使能EEPROM写入位(寄存器0xB02[0])置1b,使能EEPROM。
4. 将REG2EEPROM位(寄存器0xB03[0])置1b。
5. 将IO_UPDATE位(寄存器0x232[0])置1b,启动写入数据到EEPROM以创建EEPROM设置文件的过程。这样,AD9520 EEPROM控制器将把当前寄存器值、存储器地址和指令字节从EEPROM缓冲段传输到EEPROM。
写入过程完成后,内部控制器将寄存器0xB03[0](REG2EEPROM)重置为0b。

回读寄存器(寄存器0xB00[0])中的STATUS_EEPROM位用于指示EEPROM与控制寄存器之间的数据传输状态(0b表示已完成/无效;1b表示进行中/有效)。在数据传输开始时,EEPROM控制器将STATUS_EEPROM置1b,数据传输结束时清0b。当STATUS引脚设置为监控STATUS_EEPROM位的状态时,可以通过STATUS引脚访问STATUS_EEPROM位。或者,用户也可以读取寄存器,直接监控STATUS_EEPROM位。

6. 数据传输过程完成后(寄存器0xB00[0] = 0b),将使能EEPROM写入位(寄存器0xB02[0])清0b,以禁用对EEPROM的写操作。

为验证数据传输已正确完成,请确保寄存器0xB01[0] = 0b。如果此寄存器的值为1b,则说明数据传输发生错误。一旦EEPROM保存/加载传输完成,应等待至少10 μs再开始下一EEPROM保存/加载传输。

读取EEPROM

下列复位相关事件可以启动将EEPROM中存储的设置恢复到控制寄存器的过程。

当EEPROM引脚被拉高时,执行下列任一操作:

- AD9520上电。
- 将RESET引脚拉低后释放RESET,以执行硬件芯片复位。
- 将自清零软复位位(寄存器0x000[5])置1b。

当EEPROM引脚被拉低时,将自清零SOFT_EEPROM位(寄存器0xB02[1])置1b。AD9520随后便会启动对EEPROM的读操作,并将读取值载入有效寄存器。

如果EEPROM引脚在复位或上电期间为低电平,则EEPROM无效,AD9520转而加载默认值。

注意,如果使用EEPROM自动加载AD9520寄存器值并锁定PLL,则在将寄存器值写入EEPROM时,立即执行VCO校准位(寄存器0x018[0])必须置1b。这样,VCO校准就会在寄存器加载后自动启动。在VCO校准期间必须存在有效的输入参考信号。

为验证数据传输已正确完成,请验证寄存器0xB01[0] = 0b。如果此寄存器的值为1b,则说明数据传输发生错误。一旦EEPROM保存/加载传输完成,应等待至少10 μs再开始下一EEPROM保存/加载传输。

EEPROM缓冲段编程

EEPROM缓冲段是AD9520的一个寄存器空间，在EEPROM编程期间，它允许用户指定将哪些寄存器组存储到EEPROM。请注意，该寄存器空间的编程是可选的。EEPROM缓冲段的上电默认值允许将寄存器0x000到寄存器0x231的所有寄存器值存储到EEPROM。例如，如果用户只想从EEPROM加载输出驱动器设置，而不想触及AD9520中当前存储的PLL寄存器设置，则用户可以修改EEPROM缓冲段，使其仅包括适用于输出驱动器的寄存器，而排除适用于PLL配置的寄存器。

EEPROM缓冲段分为两个部分：寄存器段定义组和操作代码。表48显示EEPROM缓冲段示例。

寄存器段定义组

请注意，AD9520寄存器映射不是连续的，而且EEPROM只有512字节长。寄存器段定义组告知EEPROM控制器AD9520寄存器映射是如何分段的。每个寄存器段定义组都包含起始地址和要写入EEPROM的字节数。

寄存器段定义组用于定义EEPROM结构的连续寄存器段。它由三个字节组成。第一个字节定义该组有多少连续的寄存器字节。如果用户将0x000写入第一个字节，则说明该组仅有一个字节。如果用户写入0x001，则说明该组有两个字节。一组最多可以包括128个寄存器。后两个字节是该组第一个寄存器的存储器地址(16位)的低位字节和高位字节。

操作代码

有三个操作代码：IO_UPDATE、end-of-data和pseudo-end-of-data。必须保证EEPROM缓冲段总是有一个end-of-data或pseudo-end-of-data操作代码，并且IO_UPDATE操作代码至少在end-of-data操作代码之前出现一次。

IO_UPDATE(操作代码0x80)

EEPROM控制器利用此操作代码产生IO_UPDATE信号，以便在下载过程中用缓冲寄存器组更新活动控制寄存器组。在最后一个寄存器段定义组结束后，至少应有一个IO_UPDATE操作代码。这样在读取EEPROM时，当AD9520的所有寄存器都加载完成后，至少会发生一次IO_UPDATE。如果在写入EEPROM期间不存在此操作代码，则从EEPROM加载的寄存器值不会传输到活动寄存器空间，而且这些值在从EEPROM加载到AD9520之后不会生效。

End-of-Data(操作代码0xFF)

在上传和下载过程中，EEPROM控制器使用此操作代码终止EEPROM与控制寄存器之间的数据传输过程。EEPROM缓冲段中的最后一项应当是此操作代码或pseudo-end-of-data操作代码。

Pseudo-End-of-Data(操作代码0xFE)

AD9520 EEPROM缓冲段长23字节，最多可以容纳7个寄存器段定义组。如果用户希望定义7个以上的寄存器段定义组，则可以使用pseudo-end-of-data操作代码。在上传过程中，当EEPROM控制器接收到pseudo-end-of-data操作代码时，它会暂停数据传输过程，将REG2EEPROM位清零，并使能AD9520串行端口。然后，用户可以再次对EEPROM缓冲段进行编程，并将REG2EEPROM位(寄存器0xB03[0])和IO_UPDATE位(寄存器0x232[0])置1b，重新启动数据传输过程。内部I2C主机随后开始写入EEPROM，从最后写入操作保持的EEPROM地址开始。

该序列能够克服EEPROM缓冲段的大小限制，支持用户将更多离散指令写入EEPROM。它还允许用户多次写入同一寄存器，每次写入不同的值。

表48. EEPROM缓冲段示例

寄存器地址(十六进制)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
启动EEPROM缓冲段								
0xA00	0	第一组寄存器的字节数[6:0]						
0xA01	第一组寄存器的地址[15:8]							
0xA02	第一组寄存器的地址[7:0]							
0xA03	0	第二组寄存器的字节数[6:0]						
0xA04	第二组寄存器的地址[15:8]							
0xA05	第二组寄存器的地址[7:0]							
0xA06	0	第三组寄存器的字节数[6:0]						
0xA07	第三组寄存器的地址[15:8]							
0xA08	第三组寄存器的地址[7:0]							
0xA09	IO_UPDATE操作代码(0x80)							
0xA0A	End-of-data操作代码(0xFF)							

热性能

表49. 64引脚LFCSP的热阻

符号	使用JEDEC JESD51-7加JEDEC JESD51-5 2S2P测试板测得的热特性	值(°C/W)
θ_{JA}	结至环境热阻, 0.0 m/s气流, 依据JEDEC JESD51-2(静止空气)	22.0
θ_{JMA}	结至环境热阻, 1.0 m/s气流, 依据JEDEC JESD51-6(运动空气)	19.2
θ_{JMA}	结至环境热阻, 2.0 m/s气流, 依据JEDEC JESD51-6(运动空气)	17.2
Ψ_{JB}	结至板特征参数, 1.0 m/s气流, 依据JEDEC JESD51-6(运动空气)和JEDEC JESD51-8	11.6
θ_{JC}	结至壳热阻(芯片至散热器), 依据MIL-Std 883的方法1012.1	1.3
Ψ_{JT}	结至封装顶部特征参数, 0 m/s气流, 依据JEDEC JESD51-2(静止空气)	0.1

AD9520对壳温(T_{CASE})做了规定。为确保 T_{CASE} 不超过范围, 可以使用气流源。

通过下式可确定应用PCB上的结温:

$$T_J = T_{CASE} + (\Psi_{JT} \times PD)$$

其中:

T_J 为结温(°C)。

T_{CASE} 为壳温(°C), 由用户在封装的顶部中央测量。

Ψ_{JT} 值通过表49查找。

PD 为功耗(见表18中的总功耗)。

θ_{JA} 值供封装比较和PCB设计考虑时使用。 θ_{JA} 可用于计算 T_J 的一阶近似值, 计算公式如下:

$$T_J = T_A + (\theta_{JA} \times PD)$$

其中, T_A 为环境温度(°C)。

θ_{JC} 值是在需要外部散热器时, 供封装比较和PCB设计考虑时使用。

Ψ_{JB} 值则供封装比较和PCB设计考虑时使用。

寄存器映射

不能用表50中未列出的寄存器地址，写入这些寄存器不起作用。写入标示为“未用”的寄存器地址也不起作用。

表50. 寄存器映射概览

地址 (十六 进制)	参数	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	
串行端口配置											
0x000	串行端口配置 (SPI模式)	SDO有效	LSB优先/ 地址递增	软复位 (自清零)	未用	未用	软复位 (自清零)	LSB优先/ 地址递增	SDO有效	0x00	
	串行端口配置 (I ² C模式)	未用		软复位 (自清零)	未用	未用	软复位 (自清零)	未用		0x00	
0x001	未用	未用								N/A	
0x002	保留	保留								N/A	
0x003	器件ID	器件ID(只读)								0x20	
0x004	回读控制	未用							回读有效 寄存器	0x00	
EEPROM ID											
0x005	EEPROM 客户版本ID	EEPROM客户版本ID (LSB)								0x00	
0x006		EEPROM客户版本ID (MSB)								0x00	
0x007 to 0x00F	未用	未用								0x00	
PLL											
0x010	PFD电荷泵	PFD极性	电荷泵电流			电荷泵模式		PLL关断		0x7D	
0x011	R计数器	14位R计数器的位[7:0] (LSB)								0x01	
0x012		未用	14位R计数器的位[13:8] (MSB)								0x00
0x013	A计数器	未用	6位A计数器								0x00
0x014	B计数器	13位B计数器的位[7:0] (LSB)								0x03	
0x015		未用			13位B计数器的位[12:8] (MSB)					0x00	
0x016	PLL_CTRL_1	设置CP引脚 为V _{CP} /2	复位R 计数器	复位A和 B计数器	复位所有 计数器	B计数器旁路	预分频器P			0x06	
0x017	PLL_CTRL_2	STATUS引脚控制						防反冲脉冲宽度		0x00	
0x018	PLL_CTRL_3	使能CMOS参考 输入直流偏移	锁定检测计数器		数字锁定 检测窗口	禁用数字 锁定检测	VCO校准分频器		立即执行VCO 校准	0x06	
0x019	PLL_CTRL_4	R、A、B计数器 SYNC 引脚复位		R路径延迟			N路径延迟			0x00	
0x01A	PLL_CTRL_5	使能STATUS引脚 分频器	参考频率 监控阈值	LD引脚控制							0x00
0x01B	PLL_CTRL_6	使能VCO频率 监控	使能REF2 (REFIN)频率 监控	使能REF1 (REFIN)频率 监控	REFMON引脚控制						0x00
0x01C	PLL_CTRL_7	禁用切换去抖	选择REF2	使用REF_ SEL引脚	使能自动 参考切换	继续使用REF2	使能REF2	使能REF1	使能差分参考	0x00	
0x01D	PLL_CTRL_8	使能STATUS引脚 上的Status_ EEPROM	使能XTAL OSC	使能时钟 倍频器	禁用PLL 状态寄存器	使能LD引脚 比较器	未用	使能外部保持	使能保持	0x80	
0x01E	PLL_CTRL_9	未用			外部零延迟反馈通道分频器 选择		使能外部 零延迟	使能零延迟	未用	0x00	
0x01F	PLL_Readback (只读)	未用	VCO校准 完成	保持模式 激活	选择REF2	VCO频率大于 阈值	REF2频率 大于阈值	REF1频率大于 阈值	数字锁定检测	N/A	

AD9520-0

地址 (十六 进制)	参数	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)
输出驱动器控制										
0x0F0	OUT0控制	OUT0格式	OUT0 CMOS 配置		OUT0 极性		OUT0 LVPECL 差分电压		OUT0 LVPECL 关断	0x64
0x0F1	OUT1控制	OUT1格式	OUT1 CMOS 配置		OUT1 极性		OUT1 LVPECL 差分电压		OUT1 LVPECL 关断	0x64
0x0F2	OUT2控制	OUT2格式	OUT2 CMOS 配置		OUT2 极性		OUT2 LVPECL 差分电压		OUT2 LVPECL 关断	0x64
0x0F3	OUT3控制	OUT3格式	OUT3 CMOS 配置		OUT3 极性		OUT3 LVPECL 差分电压		OUT3 LVPECL 关断	0x64
0x0F4	OUT4控制	OUT4格式	OUT4 CMOS 配置		OUT4 极性		OUT4 LVPECL 差分电压		OUT4 LVPECL 关断	0x64
0x0F5	OUT5控制	OUT5格式	OUT5 CMOS 配置		OUT5 极性		OUT5 LVPECL 差分电压		OUT5 LVPECL 关断	0x64
0x0F6	OUT6控制	OUT6格式	OUT6 CMOS 配置		OUT6 极性		OUT6 LVPECL 差分电压		OUT6 LVPECL 关断	0x64
0x0F7	OUT7控制	OUT7格式	OUT7 CMOS 配置		OUT7 极性		OUT7 LVPECL 差分电压		OUT7 LVPECL 关断	0x64
0x0F8	OUT8控制	OUT8格式	OUT8 CMOS 配置		OUT8 极性		OUT8 LVPECL 差分电压		OUT8 LVPECL 关断	0x64
0x0F9	OUT9控制	OUT9格式	OUT9 CMOS 配置		OUT9 极性		OUT9 LVPECL 差分电压		OUT9 关断	0x64
0x0FA	OUT10控制	OUT10格式	OUT10 CMOS 配置		OUT10 极性		OUT10 LVPECL 差分电压		OUT10 LVPECL 关断	0x64
0x0FB	OUT11控制	OUT11格式	OUT11 CMOS 配置		OUT11 极性		OUT11 LVPECL 差分电压		OUT11 LVPECL 关断	0x64
0x0FC	使能CSDLD上的 输出	CSDLD en OUT7	CSDLD en OUT6	CSDLD en OUT5	CSDLD en OUT4	CSDLD en OUT3	CSDLD en OUT2	CSDLD en OUT1	CSDLD en OUT0	0x00
0x0FD		未用	未用	未用	未用	CSDLD en OUT11	CSDLD en OUT10	CSDLD en OUT9	CSDLD en OUT8	0x00
0x0FE 至 0x18F	未用	未用								0x00
LVPECL通道分频器										
0x190	分频器0 (PECL)	分频器0低周期				分频器0高周期				0x77
0x191		分频器1旁路	分频器0 忽略 SYNC	分频器0 强制 高电平	分频器0 高电平 启动	分频器0相位偏移				0x00
0x192		未用				未用	通道0关断	通道0直接 至输出	禁用分频器0 DCC	0x00
0x193	分频器1 (PECL)	分频器1低周期				分频器1高周期				0x33
0x194		分频器2旁路	分频器1 忽略 SYNC	分频器1 强制 高电平	分频器1 高电平 启动	分频器1相位偏移				0x00
0x195		未用				未用	通道1关断	通道1直接 至输出	禁用分频器1 DCC	0x00
0x196	分频器2 (PECL)	分频器2低周期				分频器2高周期				0x11
0x197		分频器2旁路	分频器2 忽略 SYNC	分频器2 强制 高电平	分频器2 高电平 启动	分频器2相位偏移				0x00
0x198		未用				未用	通道2关断	通道2直接 至输出	禁用分频器2 DCC	0x00
0x199	分频器3 (PECL)	分频器3低周期				分频器3高周期				0x00
0x19A		分频器3旁路	分频器3 忽略 SYNC	分频器3 强制 高电平	分频器3 高电平 启动	分频器3相位偏移				0x00
0x19B		未用				未用	通道3关断	通道3直接 至输出	禁用分频器3 DCC	0x00
0x19C 至 0x1DF	未用	未用								0x00

地址 (十六 进制)	参数	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)
VCO分频器和CLK输入										
0x1E0	VCO分频器	未用			未用		VCO分频器			0x00
0x1E1	输入CLK	未用	未用 (默认值= 1b)		关断时钟 输入部分	关断VCO时钟 接口	关断VCO 和CLK	选择VCO或CLK	旁路VCO 分频器	0x20
0x1E2 至 0x22A	未用	未用								0x00
系统										
0x230	关断和SYNC	未用			禁用上电 SYNC	关断SYNC	关断分配参考	软SYNC		0x00
0x231	未用	未用			未用					0x00
更新所有寄存器										
0x232	IO_UPDATE	未用							IO_UPDATE (自清零)	0x00
0x233 至 0x9FF	未用	未用								0x00
EEPROM缓冲段										
0xA00	串行端口配置	数据传输：1字节								0x00
0xA01		起始地址：地址0x000								0x00
0xA02										0x00
0xA03	EEPROM 客户版本ID	数据传输：3字节								0x02
0xA04		起始地址：地址0x004								0x00
0xA05										0x04
0xA06	PLL设置	数据传输：16字节								0x0E
0xA07		起始地址：地址0x010								0x00
0xA08										0x10
0xA09	输出驱动器控制	数据传输：16字节								0x0E
0xA0A		起始地址：地址0x0F0								0x00
0xA0B										0xF0
0xA0C	LVPECL通道分频器	数据传输：12字节								0x0B
0xA0D		起始地址：地址0x190								0x01
0xA0E										0x90
0xA0F	VCO分频器和 CLK输入	数据传输：2字节								0x01
0xA10		起始地址：地址0x1E0								0x01
0xA11										0xE0
0xA12	关断和SYNC	数据传输：2字节								0x01
0xA13		起始地址：地址0x230								0x02
0xA14										0x30
0xA15	IO_UPDATE	操作：IO_UPDATE								0x80
0xA16	数据结束	操作：数据结束								0xFF
0xA17 至 0xAFF	未用	未用 可用于其它EEPROM指令								0x00
EEPROM控制										
0xB00	EEPROM状态 (只读)	未用			未用		未用	STATUS_ EEPROM	0x00	
0xB01	EEPROM错误校验 (只读)	未用			未用		未用	EEPROM 数据错误	0x00	
0xB02	EEPROM控制1	未用			未用		Soft_EEPROM (自清零)	使能EEPROM 写入	0x00	
0xB03	EEPROM控制2	未用			未用		未用	REG2EEPROM (自清零)	0x00	

AD9520-0

寄存器映射描述

表51至表61详细描述了控制寄存器的各个功能。

表51. SPI模式串行端口配置

寄存器地址(十六进制)	位	名称	描述
0x000	7	SDO有效	选择单向或双向数据传输模式。 0:SDIO引脚用于读和写；SDO为高阻态(默认)。 1:SDO用于读取；SDIO用于写入；单向模式。
	6	LSB优先/地址递增	SPI MSB或LSB数据方向。(I ² C模式下忽略此位。) 0:数据以MSB优先方向；递减寻址(默认)。 1:数据以LSB优先方向；递增寻址。
	5	软复位	软复位。 1(自清零)。若EEPROM引脚为高电平，软复位从EEPROM中加载寄存器值。若EEPROM引脚为低电平，软复位加载寄存器值为片内默认值。
	4	未用	未用
	[3:0]	镜像[7:4]	位[3:0]应当始终是位[7:4]的镜像，这样器件处于MSB优先模式还是LSB优先模式都无所谓(参见寄存器0x000[6])。按如下方式设置各个位： 位0 = 位7。 位1 = 位6。 位2 = 位5。 位3 = 位4。
0x003	[7:0]	器件ID(只读)	用于唯一识别AD9520的扩展版本(AD9520-0至AD9520-5)，例如： AD9520-0: 0x20。 AD9520-1: 0x60。 AD9520-2: 0xA0。 AD9520-3: 0x61。 AD9520-4: 0xE1。 AD9520-5: 0xE0。
0x004	[7:1]	未用	未用
	0	回读有效寄存器	选择用于回读的寄存器库。 0:回读缓冲寄存器(默认)。 1:回读有效寄存器。

表52. I²C模式串行端口配置

寄存器地址(十六进制)	位	名称	描述
0x000	[7:6]	未用	未用
	5	软复位	软复位。 1(自清零)。若EEPROM引脚为高电平，软复位从EEPROM中加载寄存器值。若EEPROM引脚为低电平，软复位加载寄存器值为片内默认值。
	4	未用	未用
	[3:0]	镜像[7:4]	位[3:0]应当始终是位[7:4]的镜像，这样器件处于MSB优先模式还是LSB优先模式都无所谓。参见表51，寄存器0x000，位[3:0]。
0x003	[7:0]	器件ID(只读)	用于唯一识别AD9520的扩展版本(AD9520-0至AD9520-5)。参见表51，寄存器0x003。
0x004	[7:1]	未用	未用。
	0	回读有效寄存器	选择用于回读的寄存器库。 [0] = 0: 回读缓冲寄存器(默认)。 1: 回读有效寄存器。

表53. EEPROM客户版本ID

寄存器地址(十六进制)	位	名称	描述
0x005	[7:0]	EEPROM客户版本ID (LSB)	16位EEPROM ID[7:0]。此寄存器与0x006结合使用，允许用户存储一个唯一ID，以识别EEPROM中存储何种版本的AD9520寄存器设置。它对AD9520的操作无任何影响(默认值: 0x00)。
0x006	[7:0]	EEPROM客户版本ID (MSB)	16位EEPROM ID[15:8]。此寄存器与0x005结合使用，允许用户存储一个唯一ID，以识别EEPROM中存储何种版本的AD9520寄存器设置。它对AD9520的操作无任何影响(默认值: 0x00)。

表54. PLL

寄存器地址 (十六进制)	位	名称	描述																																				
0x010	7	PFD极性	设置PFD极性。负极性仅用于(如需要)外部VCO/VCXO。 片内VCO要求正极性, [7]=0。 0:正极性(较高的控制电压产生较高的频率, 默认值) 1:负极性(较高的控制电压产生较低的频率)																																				
	[6:4]	CP电流	电荷泵电流($CP_{RSET} = 5.1 \text{ k}\Omega$)。																																				
			<table border="1"> <thead> <tr> <th>位6</th> <th>位5</th> <th>位4</th> <th>I_{CP} (mA)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0.6</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1.2</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1.8</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>2.4</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>3.0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>3.6</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>4.2</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>4.8(默认)</td></tr> </tbody> </table>	位6	位5	位4	I_{CP} (mA)	0	0	0	0.6	0	0	1	1.2	0	1	0	1.8	0	1	1	2.4	1	0	0	3.0	1	0	1	3.6	1	1	0	4.2	1	1	1	4.8(默认)
位6	位5	位4	I_{CP} (mA)																																				
0	0	0	0.6																																				
0	0	1	1.2																																				
0	1	0	1.8																																				
0	1	1	2.4																																				
1	0	0	3.0																																				
1	0	1	3.6																																				
1	1	0	4.2																																				
1	1	1	4.8(默认)																																				
	[3:2]	CP模式	电荷泵工作模式。																																				
			<table border="1"> <thead> <tr> <th>位3</th> <th>位2</th> <th>电荷泵模式</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>高阻态</td></tr> <tr><td>0</td><td>1</td><td>驱动源电流(增强)</td></tr> <tr><td>1</td><td>0</td><td>驱动吸电流(减弱)</td></tr> <tr><td>1</td><td>1</td><td>正常工作(默认)</td></tr> </tbody> </table>	位3	位2	电荷泵模式	0	0	高阻态	0	1	驱动源电流(增强)	1	0	驱动吸电流(减弱)	1	1	正常工作(默认)																					
位3	位2	电荷泵模式																																					
0	0	高阻态																																					
0	1	驱动源电流(增强)																																					
1	0	驱动吸电流(减弱)																																					
1	1	正常工作(默认)																																					
	[1:0]	PLL关断	PLL工作模式。																																				
			<table border="1"> <thead> <tr> <th>位1</th> <th>位0</th> <th>模式</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>正常工作; 要使用PLL, 必须选择该模式。</td></tr> <tr><td>0</td><td>1</td><td>异步关断(默认)</td></tr> <tr><td>1</td><td>0</td><td>未用</td></tr> <tr><td>1</td><td>1</td><td>同步关断</td></tr> </tbody> </table>	位1	位0	模式	0	0	正常工作; 要使用PLL, 必须选择该模式。	0	1	异步关断(默认)	1	0	未用	1	1	同步关断																					
位1	位0	模式																																					
0	0	正常工作; 要使用PLL, 必须选择该模式。																																					
0	1	异步关断(默认)																																					
1	0	未用																																					
1	1	同步关断																																					
0x011	[7:0]	14位R计数器的位[7:0] (LSB)	参考分频器LSB—最低8位。参考分频器(也称为R分频器或R计数器)为14位长。最低8位位于此寄存器中(默认: 0x01)。																																				
0x012	[7:6]	未用	未用																																				
	[5:0]	14位R计数器的位[13:8] (MSB)	参考分频器MSB—最高6位。参考分频器(也称为R分频器或R计数器)为14位长。最高6位位于此寄存器中(默认: 0x00)。																																				
0x013	[7:6]	未用	未用																																				
	[5:0]	6位A计数器	A计数器(N分频器的一部分)。N分频器也称为反馈分频器(默认: 0x00)。																																				
0x014	[7:0]	13位B计数器的位[7:0] (LSB)	B计数器(N分频器的一部分)—最低8位。N分频器也称为反馈分频器(默认: 0x03)。																																				
0x015	[7:5]	未用	未用																																				
	[4:0]	13位B计数器的位[12:8] (MSB)	B计数器(N分频器的一部分)—最高5位。N分频器也称为反馈分频器(默认: 0x00)。																																				
0x016	7	设置CP引脚为VCP/2	将CP引脚设为VCP电源电压的一半。 0: 电荷泵正常工作(默认)。 1: CP引脚设为 $V_{CP}/2$ 。																																				
	6	复位R计数器	复位R计数器(R分频器)。 0: 正常(默认)。 1: R计数器保持复位状态。																																				
	5	复位A和B计数器	复位A和B计数器(N分频器的一部分)。 0: 正常(默认)。 1: A和B计数器保持复位状态。																																				
	4	复位所有计数器	复位R、A和B计数器。 0: 正常(默认)。 1: R、A和B计数器保持复位状态。																																				
	3	B计数器旁路	B计数器旁路。仅当预分频器在FD模式下工作时有效。 0: 正常(默认)。 1: B计数器设为1分频, 预分频器设置决定N分频器的分频比。																																				

AD9520-0

寄存器地址 (十六进制)	位	名称	描述							
0x017	[2:0]	预分频器P	预分频器：DM = 双模，FD = 固定分频。预分频器P是反馈分频器的一部分。详情参见数据手册的“VCO/VCXO反馈分频器N—P、A和B”部分。							
			位 2	位 1	位 0	模式	预分频器			
			0	0	0	FD	1分频。			
			0	0	1	FD	2分频。			
			0	1	0	DM	当A ≠ 0时，2分频和3分频；当A = 0时，2分频。			
			0	1	1	DM	当A ≠ 0时，4分频和5分频；当A = 0时，4分频。			
			1	0	0	DM	当A ≠ 0时，8分频和9分频；当A = 0时，8分频。			
			1	0	1	DM	当A ≠ 0时，16分频和17分频；当A = 0时，16分频。			
			1	1	0	DM	当A ≠ 0时，32分频和33分频；当A = 0时，32分频(默认)。			
			1	1	1	FD	3分频。			
0x017	[7:2]	STATUS 引脚控制	选择出现在STATUS引脚上的信号。要重新设置STATUS引脚，寄存器0x01D[7]必须为0b。							
			位 7	位 6	位 5	位 4	位 3	位 2	电平或 动态信号	STATUS引脚上的信号
			0	0	0	0	0	0	LVL	直流地(默认)
			0	0	0	0	0	1	DYN	N分频器输出(延迟后)
			0	0	0	0	1	0	DYN	R分频器输出(延迟后)
			0	0	0	0	1	1	DYN	A分频器输出
			0	0	0	1	0	0	DYN	预分频器输出
			0	0	0	1	0	1	DYN	PFD上升脉冲
			0	0	0	1	1	0	DYN	PFD下降脉冲
			0	X	X	X	X	X	LVL	地(直流)。用于本表中未指定的其他全部位的设置。 后续选择同样可用于REFMON和LD引脚控制。
			1	0	0	0	0	0	LVL	地(直流)。
			1	0	0	0	0	1	DYN	REF1时钟(差分模式下为差分参考)
			1	0	0	0	1	0	DYN	REF2时钟(差分模式下不可用)
			1	0	0	0	1	1	DYN	选定的PLL参考(差分模式下为差分参考)
			1	0	0	1	0	0	DYN	未选定的PLL参考(差分模式下不可用)
			1	0	0	1	0	1	LVL	选定参考的状态(差分参考的状态)；高电平有效。
			1	0	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用)；高电平有效。
			1	0	0	1	1	1	LVL	REF1频率的状态(高电平有效)
			1	0	1	0	0	0	LVL	REF2频率的状态(高电平有效)
			1	0	1	0	0	1	LVL	(REF1频率的状态) AND (REF2频率的状态)
			1	0	1	0	1	0	LVL	(DLD) AND (选定参考的状态) AND (VCO的状态)
			1	0	1	0	1	1	LVL	VCO频率的状态(高电平有效)
			1	0	1	1	0	0	LVL	选定参考(低电平= REF1, 高电平= REF2)
			1	0	1	1	0	1	LVL	DLD；高电平有效。
			1	0	1	1	1	0	LVL	保持模式激活(高电平有效)
			1	0	1	1	1	1	LVL	不使用。
			1	1	0	0	0	0	LVL	VS(PLL电源)
			1	1	0	0	0	1	DYN	REF1 clock (差分模式下为差分参考)
			1	1	0	0	1	0	DYN	REF2 clock (差分模式下不可用)
			1	1	0	0	1	1	DYN	Selected reference to PLL (差分模式下为差分参考)
			1	1	0	1	0	0	DYN	Unselected reference to PLL (差分模式下不可用)
			1	1	0	1	0	1	LVL	选定参考的状态(差分参考的状态)；低电平有效。
			1	1	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用)；低电平有效。
		1	1	0	1	1	1	LVL	REF1频率的状态(低电平有效)	
		1	1	1	0	0	0	LVL	REF2频率的状态(低电平有效)	
		1	1	1	0	0	1	LVL	(REF1频率的状态)AND(REF2频率的状态)	
		1	1	1	0	1	0	LVL	(DLD) AND (选定参考的状态)AND(VCO频率的状态)	
		1	1	1	0	1	1	LVL	VCO频率的状态(低电平有效)	
		1	1	1	1	0	0	LVL	选定参考(低电平= REF2, 高电平= REF1)	
		1	1	1	1	0	1	LVL	DLD(低电平有效)	
		1	1	1	1	1	0	LVL	保持模式激活(低电平有效)	
		1	1	1	1	1	1	LVL	不使用。	

寄存器地址 (十六进制)	位	名称	描述															
	[1:0]	防反冲脉冲宽度	<table border="1"> <thead> <tr> <th>位1</th> <th>位0</th> <th>防反冲脉冲宽度(ns)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2.9(默认)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1.3</td> </tr> <tr> <td>1</td> <td>0</td> <td>6.0</td> </tr> <tr> <td>1</td> <td>1</td> <td>2.9</td> </tr> </tbody> </table>	位1	位0	防反冲脉冲宽度(ns)	0	0	2.9(默认)	0	1	1.3	1	0	6.0	1	1	2.9
			位1	位0	防反冲脉冲宽度(ns)													
			0	0	2.9(默认)													
			0	1	1.3													
			1	0	6.0													
1	1	2.9																
0x018	7	使能CMOS参考输入直流偏移	使能单端CMOS输入模式下的直流偏移，防止交流耦合和输入丢失时发生震颤。 0: 禁用直流偏移(默认)。 1: 使能直流偏移。															
	[6:5]	锁定检测计数器	<table border="1"> <thead> <tr> <th>位6</th> <th>位5</th> <th>确定锁定的PFD周期数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>5(默认)</td> </tr> <tr> <td>0</td> <td>1</td> <td>16</td> </tr> <tr> <td>1</td> <td>0</td> <td>64</td> </tr> <tr> <td>1</td> <td>1</td> <td>255</td> </tr> </tbody> </table>	位6	位5	确定锁定的PFD周期数	0	0	5(默认)	0	1	16	1	0	64	1	1	255
			位6	位5	确定锁定的PFD周期数													
			0	0	5(默认)													
			0	1	16													
1	0	64																
1	1	255																
4	数字锁定检测窗口	如果PFD输入端的上升沿时间差小于锁定检测窗口时间，则数字锁定检测标志置1。该标志将保持置1状态，直到时间差大于失锁阈值。 0: 高范围(默认)。默认设置为3.5 ns。 1:低范围。																
3	禁用数字锁定检测	数字锁定检测操作。 0: 锁定检测正常工作(默认)。 1:禁用锁定检测。																
	[2:1]	VCO校准分频器	<table border="1"> <thead> <tr> <th>位2</th> <th>位1</th> <th>VCO校准时钟分频器</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2 PFD频率小于12.5 MHz时使用该设置。PFD频率等于f_{REF}/R。</td> </tr> <tr> <td>0</td> <td>1</td> <td>4 PFD频率小于12.5 MHz时使用该设置。PFD频率等于f_{REF}/R。</td> </tr> <tr> <td>1</td> <td>0</td> <td>8 PFD频率小于50 MHz时使用该设置。</td> </tr> <tr> <td>1</td> <td>1</td> <td>16(默认)PFD频率为任意值时均可使用该设置，但它使VCO具有最长的校准时间。</td> </tr> </tbody> </table>	位2	位1	VCO校准时钟分频器	0	0	2 PFD频率小于12.5 MHz时使用该设置。PFD频率等于 f_{REF}/R 。	0	1	4 PFD频率小于12.5 MHz时使用该设置。PFD频率等于 f_{REF}/R 。	1	0	8 PFD频率小于50 MHz时使用该设置。	1	1	16(默认)PFD频率为任意值时均可使用该设置，但它使VCO具有最长的校准时间。
			位2	位1	VCO校准时钟分频器													
			0	0	2 PFD频率小于12.5 MHz时使用该设置。PFD频率等于 f_{REF}/R 。													
0	1	4 PFD频率小于12.5 MHz时使用该设置。PFD频率等于 f_{REF}/R 。																
1	0	8 PFD频率小于50 MHz时使用该设置。																
1	1	16(默认)PFD频率为任意值时均可使用该设置，但它使VCO具有最长的校准时间。																
0	立即执行VCO校准	用于启动VCO校准的位。在有效寄存器中，此位必须从0切换到1。启动校准的操作顺序如下：设为0，跟随一个IO_UPDATE位(寄存器0x232[0])；然后置1，跟随另一个IO_UPDATE位(寄存器0x232[0])。利用该操作顺序可以完全控制VCO校准相对于其它可能影响校准的寄存器编程的发生时间(默认值为0)。注意，在VCO校准期间，VCO分频器(寄存器0x1E0[2:0])不得是静态的。																
0x019	[7:6]	R、A、B计数器SYNC引脚复位	<table border="1"> <thead> <tr> <th>位7</th> <th>位6</th> <th>操作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SYNC时无操作(默认)</td> </tr> <tr> <td>0</td> <td>1</td> <td>异步复位</td> </tr> <tr> <td>1</td> <td>0</td> <td>同步复位</td> </tr> <tr> <td>1</td> <td>1</td> <td>SYNC时无操作</td> </tr> </tbody> </table>	位7	位6	操作	0	0	SYNC时无操作(默认)	0	1	异步复位	1	0	同步复位	1	1	SYNC时无操作
			位7	位6	操作													
			0	0	SYNC时无操作(默认)													
0	1	异步复位																
1	0	同步复位																
1	1	SYNC时无操作																
[5:3]	R路径延迟	R路径延迟，见表2(默认值：0x0)。																
[2:0]	N路径延迟	N路径延迟，见表2(默认值：0x0)。																
0x01A	7	使能STATUS引脚分频器	使能STATUS引脚的4分频，这样更容易查看离开R和N分频器的低占空比信号。 0: 禁用STATUS引脚的4分频(默认)。 1:使能STATUS引脚的4分频。															
	6	参考频率监控阈值	设置参考(REF1/REF2)频率监控器的检测阈值频率。不影响VCO频率监控器的检测阈值(见表17的REF1、REF2和VCO频率状态监控器参数)。 0: 如果频率高于1.02 MHz，则频率有效(默认)。 1:如果频率高于6 kHz，则频率有效。															

AD9520-0

寄存器地址 (十六进制)	位	名称	描述																																																																																																																																																																																																																																																																																																																								
[5:0]	LD引脚控制			选择连接到LD引脚的信号。																																																																																																																																																																																																																																																																																																																							
			<table border="1"> <thead> <tr> <th>位5</th> <th>位4</th> <th>位3</th> <th>位2</th> <th>位1</th> <th>位0</th> <th>电平或动态信号</th> <th>LD引脚的信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>数字锁定检测(高电平=锁定; 低电平=未锁定, 默认)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>P沟道开漏锁定检测(模拟锁定检测)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>N沟道开漏锁定检测(模拟锁定检测)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>HIZ</td> <td>三态(高阻态)LD引脚</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>CUR</td> <td>电流源锁定检测(当DLD为真时, 110 μA)</td> </tr> <tr> <td>0</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>LVL</td> <td>地(直流); 针对0XXXXX未规定的所有其它情况。后续选择与REFMON相同。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>地(直流)。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>REF1时钟(差分模式下为差分参考)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>REF2时钟(差分模式下不可用)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>选定的PLL参考(差分模式下为差分参考)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>未选定的PLL参考(差分模式下不可用)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>选定参考的状态(差分参考的状态); 高电平有效。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>未选定参考的状态(差分模式下不可用); 高电平有效。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>REF1频率的状态(高电平有效)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>REF2频率的状态(高电平有效)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>LVL</td> <td>(REF1频率的状态) AND (REF2频率的状态)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>LVL</td> <td>(DLD) AND (选定参考的状态) AND (VCO的状态)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>LVL</td> <td>VCO频率的状态(高电平有效)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>LVL</td> <td>选定参考(低电平= REF1, 高电平= REF2)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>DLD; 高电平有效。</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>保持模式激活(高电平有效)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>不使用</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>VS(PLL电源)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>REF1 clock (差分模式下为差分参考)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>REF2 clock (差分模式下不可用)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>Selected reference to PLL (差分模式下为差分参考)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>Selected reference to PLL (差分模式下不可用)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>选定参考的状态(差分参考的状态); 低电平有效。</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>未选定参考的状态(差分模式下不可用); 低电平有效。</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>REF1频率的状态(低电平有效)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>REF2频率的状态(低电平有效)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>LVL</td> <td>(REF1频率的状态)AND(REF2频率的状态)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>LVL</td> <td>(DLD) AND (选定参考的状态)AND(VCO频率的状态)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>LVL</td> <td>VCO频率的状态(低电平有效)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>LVL</td> <td>选定参考(低电平= REF2, 高电平= REF1)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>DLD; 低电平有效。</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>保持模式激活(低电平有效)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>不使用</td> </tr> </tbody> </table>	位5	位4	位3	位2	位1	位0	电平或动态信号	LD引脚的信号	0	0	0	0	0	0	LVL	数字锁定检测(高电平=锁定; 低电平=未锁定, 默认)	0	0	0	0	0	1	DYN	P沟道开漏锁定检测(模拟锁定检测)	0	0	0	0	1	0	DYN	N沟道开漏锁定检测(模拟锁定检测)	0	0	0	0	1	1	HIZ	三态(高阻态)LD引脚	0	0	0	1	0	0	CUR	电流源锁定检测(当DLD为真时, 110 μA)	0	X	X	X	X	X	LVL	地(直流); 针对0XXXXX未规定的所有其它情况。后续选择与REFMON相同。	1	0	0	0	0	0	LVL	地(直流)。	1	0	0	0	0	1	DYN	REF1时钟(差分模式下为差分参考)	1	0	0	0	1	0	DYN	REF2时钟(差分模式下不可用)	1	0	0	0	1	1	DYN	选定的PLL参考(差分模式下为差分参考)	1	0	0	1	0	0	DYN	未选定的PLL参考(差分模式下不可用)	1	0	0	1	0	1	LVL	选定参考的状态(差分参考的状态); 高电平有效。	1	0	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用); 高电平有效。	1	0	0	1	1	1	LVL	REF1频率的状态(高电平有效)	1	0	1	0	0	0	LVL	REF2频率的状态(高电平有效)	1	0	1	0	0	1	LVL	(REF1频率的状态) AND (REF2频率的状态)	1	0	1	0	1	0	LVL	(DLD) AND (选定参考的状态) AND (VCO的状态)	1	0	1	0	1	1	LVL	VCO频率的状态(高电平有效)	1	0	1	1	0	0	LVL	选定参考(低电平= REF1, 高电平= REF2)	1	0	1	1	0	1	LVL	DLD; 高电平有效。	1	0	1	1	1	0	LVL	保持模式激活(高电平有效)	1	0	1	1	1	1	LVL	不使用	1	1	0	0	0	0	LVL	VS(PLL电源)	1	1	0	0	0	1	DYN	REF1 clock (差分模式下为差分参考)	1	1	0	0	1	0	DYN	REF2 clock (差分模式下不可用)	1	1	0	0	1	1	DYN	Selected reference to PLL (差分模式下为差分参考)	1	1	0	1	0	0	DYN	Selected reference to PLL (差分模式下不可用)	1	1	0	1	0	1	LVL	选定参考的状态(差分参考的状态); 低电平有效。	1	1	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用); 低电平有效。	1	1	0	1	1	1	LVL	REF1频率的状态(低电平有效)	1	1	1	0	0	0	LVL	REF2频率的状态(低电平有效)	1	1	1	0	0	1	LVL	(REF1频率的状态)AND(REF2频率的状态)	1	1	1	0	1	0	LVL	(DLD) AND (选定参考的状态)AND(VCO频率的状态)	1	1	1	0	1	1	LVL	VCO频率的状态(低电平有效)	1	1	1	1	0	0	LVL	选定参考(低电平= REF2, 高电平= REF1)	1	1	1	1	0	1	LVL	DLD; 低电平有效。	1	1	1	1	1	0	LVL	保持模式激活(低电平有效)	1	1	1	1	1	1	LVL	不使用
	位5	位4	位3	位2	位1	位0	电平或动态信号	LD引脚的信号																																																																																																																																																																																																																																																																																																																			
	0	0	0	0	0	0	LVL	数字锁定检测(高电平=锁定; 低电平=未锁定, 默认)																																																																																																																																																																																																																																																																																																																			
	0	0	0	0	0	1	DYN	P沟道开漏锁定检测(模拟锁定检测)																																																																																																																																																																																																																																																																																																																			
	0	0	0	0	1	0	DYN	N沟道开漏锁定检测(模拟锁定检测)																																																																																																																																																																																																																																																																																																																			
	0	0	0	0	1	1	HIZ	三态(高阻态)LD引脚																																																																																																																																																																																																																																																																																																																			
	0	0	0	1	0	0	CUR	电流源锁定检测(当DLD为真时, 110 μA)																																																																																																																																																																																																																																																																																																																			
	0	X	X	X	X	X	LVL	地(直流); 针对0XXXXX未规定的所有其它情况。后续选择与REFMON相同。																																																																																																																																																																																																																																																																																																																			
	1	0	0	0	0	0	LVL	地(直流)。																																																																																																																																																																																																																																																																																																																			
	1	0	0	0	0	1	DYN	REF1时钟(差分模式下为差分参考)																																																																																																																																																																																																																																																																																																																			
	1	0	0	0	1	0	DYN	REF2时钟(差分模式下不可用)																																																																																																																																																																																																																																																																																																																			
	1	0	0	0	1	1	DYN	选定的PLL参考(差分模式下为差分参考)																																																																																																																																																																																																																																																																																																																			
	1	0	0	1	0	0	DYN	未选定的PLL参考(差分模式下不可用)																																																																																																																																																																																																																																																																																																																			
	1	0	0	1	0	1	LVL	选定参考的状态(差分参考的状态); 高电平有效。																																																																																																																																																																																																																																																																																																																			
	1	0	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用); 高电平有效。																																																																																																																																																																																																																																																																																																																			
	1	0	0	1	1	1	LVL	REF1频率的状态(高电平有效)																																																																																																																																																																																																																																																																																																																			
	1	0	1	0	0	0	LVL	REF2频率的状态(高电平有效)																																																																																																																																																																																																																																																																																																																			
	1	0	1	0	0	1	LVL	(REF1频率的状态) AND (REF2频率的状态)																																																																																																																																																																																																																																																																																																																			
	1	0	1	0	1	0	LVL	(DLD) AND (选定参考的状态) AND (VCO的状态)																																																																																																																																																																																																																																																																																																																			
	1	0	1	0	1	1	LVL	VCO频率的状态(高电平有效)																																																																																																																																																																																																																																																																																																																			
	1	0	1	1	0	0	LVL	选定参考(低电平= REF1, 高电平= REF2)																																																																																																																																																																																																																																																																																																																			
	1	0	1	1	0	1	LVL	DLD; 高电平有效。																																																																																																																																																																																																																																																																																																																			
	1	0	1	1	1	0	LVL	保持模式激活(高电平有效)																																																																																																																																																																																																																																																																																																																			
	1	0	1	1	1	1	LVL	不使用																																																																																																																																																																																																																																																																																																																			
	1	1	0	0	0	0	LVL	VS(PLL电源)																																																																																																																																																																																																																																																																																																																			
	1	1	0	0	0	1	DYN	REF1 clock (差分模式下为差分参考)																																																																																																																																																																																																																																																																																																																			
	1	1	0	0	1	0	DYN	REF2 clock (差分模式下不可用)																																																																																																																																																																																																																																																																																																																			
	1	1	0	0	1	1	DYN	Selected reference to PLL (差分模式下为差分参考)																																																																																																																																																																																																																																																																																																																			
	1	1	0	1	0	0	DYN	Selected reference to PLL (差分模式下不可用)																																																																																																																																																																																																																																																																																																																			
	1	1	0	1	0	1	LVL	选定参考的状态(差分参考的状态); 低电平有效。																																																																																																																																																																																																																																																																																																																			
	1	1	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用); 低电平有效。																																																																																																																																																																																																																																																																																																																			
1	1	0	1	1	1	LVL	REF1频率的状态(低电平有效)																																																																																																																																																																																																																																																																																																																				
1	1	1	0	0	0	LVL	REF2频率的状态(低电平有效)																																																																																																																																																																																																																																																																																																																				
1	1	1	0	0	1	LVL	(REF1频率的状态)AND(REF2频率的状态)																																																																																																																																																																																																																																																																																																																				
1	1	1	0	1	0	LVL	(DLD) AND (选定参考的状态)AND(VCO频率的状态)																																																																																																																																																																																																																																																																																																																				
1	1	1	0	1	1	LVL	VCO频率的状态(低电平有效)																																																																																																																																																																																																																																																																																																																				
1	1	1	1	0	0	LVL	选定参考(低电平= REF2, 高电平= REF1)																																																																																																																																																																																																																																																																																																																				
1	1	1	1	0	1	LVL	DLD; 低电平有效。																																																																																																																																																																																																																																																																																																																				
1	1	1	1	1	0	LVL	保持模式激活(低电平有效)																																																																																																																																																																																																																																																																																																																				
1	1	1	1	1	1	LVL	不使用																																																																																																																																																																																																																																																																																																																				
0x01B	7	使能VCO频率监控	使能或禁用VCO频率监控。 0: 禁用VCO频率监控(默认)。 1:使能VCO频率监控。																																																																																																																																																																																																																																																																																																																								
	6	使能REF2 (REFIN)频率监控	使能或禁用REF2频率监控。 0: 禁用REF2频率监控(默认)。 1:使能REF2频率监控。																																																																																																																																																																																																																																																																																																																								
	5	使能REF1 (REFIN)频率监控	使能REF1 (REFIN)频率监控, 适用于REF1(单端)和REFIN(差分)输入(由差分参考模式选择)。 0: 禁用REF1 (REFIN)频率监控(默认)。 1:使能REF1 (REFIN)频率监控。																																																																																																																																																																																																																																																																																																																								

寄存器地址 (十六进制)	位	名称	描述					
			位4	位3	位2	位1	位0	电平或动态信号
[4:0]	REFMON引脚控制	选择连接到REFMON引脚的信号。						
		0	0	0	0	0	LVL	直流地(默认)
		0	0	0	0	1	DYN	REF1时钟(差分模式下为差分参考)
		0	0	0	1	0	DYN	REF2时钟(差分模式下不可用)
		0	0	0	1	1	DYN	选定的PLL参考(差分模式下为差分参考)
		0	0	1	0	0	DYN	未选定的PLL参考(差分模式下不可用)
		0	0	1	0	1	LVL	选定参考的状态(差分参考的状态); 高电平有效。
		0	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用); 高电平有效。
		0	0	1	1	1	LVL	REF1频率的状态(高电平有效)
		0	1	0	0	0	LVL	REF2频率的状态(高电平有效)
		0	1	0	0	1	LVL	(REF1频率的状态) AND (REF2频率的状态)
		0	1	0	1	0	LVL	(DLD) AND (选定参考的状态) AND (VCO的状态)
		0	1	0	1	1	LVL	VCO频率的状态(高电平有效)
		0	1	1	0	0	LVL	选定参考(低电平= REF1, 高电平= REF2)
		0	1	1	0	1	LVL	DLD; 高电平有效。
		0	1	1	1	0	LVL	保持模式激活(高电平有效)
		0	1	1	1	1	LVL	不使用
		1	0	0	0	0	LVL	VS(PLL电源)
		1	0	0	0	1	DYN	REF1 clock (差分模式下为差分参考)
		1	0	0	1	0	DYN	REF2 clock (差分模式下不可用)
		1	0	0	1	1	DYN	Selected reference to PLL (差分模式下为差分参考)
		1	0	1	0	0	DYN	Unselected reference to PLL (差分模式下不可用)
		1	0	1	0	1	LVL	选定参考的状态(差分参考的状态); 低电平有效。
		1	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用); 低电平有效。
		1	0	1	1	1	LVL	REF1频率的状态(低电平有效)
		1	1	0	0	0	LVL	REF2频率的状态(低电平有效)
		1	1	0	0	1	LVL	(REF1频率的状态)AND(REF2频率的状态)
		1	1	0	1	0	LVL	(DLD) AND (选定参考的状态)AND(VCO频率的状态)
		1	1	0	1	1	LVL	VCO频率的状态(低电平有效)
		1	1	1	0	0	LVL	选定参考(低电平= REF2, 高电平= REF1)
1	1	1	0	1	LVL	DLD; 低电平有效。		
1	1	1	1	0	LVL	保持模式激活(低电平有效)		
1	1	1	1	1	LVL	不使用		
0x01C	7	禁用切换去抖	禁用或使能切换去抖电路。 0: 使能切换去抖电路(默认)。 1: 禁用切换去抖电路。					
	6	选择REF2	如果寄存器0x01C[5]=0, 则选择手动模式下PLL的参考; 寄存器选择的参考控制。 0: 选择REF1(默认)。 1: 选择REF2。					
	5	使用REF_SELZ引脚	如果寄存器0x01C[4]=0(手动), 则设置PLL参考选择的方法。 0: 使用寄存器0x01C[6](默认)。 1: 使用REF_SEL引脚。					
	4	使能自动参考切换	自动或手动参考切换。单端参考模式必须通过寄存器0x01C[0]=0b选择。 0: 手动参考切换(默认)。 1: 自动参考切换。设置该位也会使REF1和REF2上电, 并覆盖寄存器0x01C[2:1]的设置。					
	3	继续使用REF2	切换后继续使用REF2。 0: 当REF1状态再次变为良好时, 返回到REF1(默认)。 1: 切换后继续使用REF2。不会自动返回到REF1。					
	2	使能REF2	此位用于开启REF2的电源。使能自动参考切换时, 此位被覆盖。 0: REF2关断(默认)。 1: REF2上电。					
	1	使能REF1	此位用于开启REF1的电源。使能自动参考切换时, 此位被覆盖。 0: REF1关断(默认)。 1: REF1上电。					
	0	使能差分参考	选择PLL参考模式: 差分或单端。当此位置1时, 寄存器0x01C[2:1]应清0。 0: 单端参考模式(默认)。1: 差分参考模式。					

AD9520-0

寄存器地址 (十六进制)	位	名称	描述															
0x01D	7	使能STATUS引脚上的Status_EEPROM	使能STATUS引脚上的Status_EEPROM信号。 0: STATUS引脚由0x017[7:2]选择控制。 1: 选择STATUS引脚上的Status_EEPROM信号。此位覆盖寄存器0x017[7:2]的选择(默认)。															
	6	使能XTAL OSC	使能PLL参考输入端的晶振所需的保持放大器。 0: 禁用晶振保持放大器(默认)。 1:使能晶振保持放大器。															
	5	使能时钟倍频器	使能PLL参考输入时钟倍频器。 0: 禁用倍频器(默认)。 1: 使能倍频器。															
	4	禁用PLL状态寄存器	禁用PLL状态寄存器回读。 0: 使能PLL状态寄存器(默认)。 1: 禁用PLL状态寄存器。如果此位置1, 则寄存器01F不会自动更新。															
	3	使能LD引脚比较器	使能LD引脚电压比较器。用于LD引脚电流源锁定检测模式。当AD9520处于内部(自动)保持模式时, 可以利用LD引脚上的电压来确定PLL先前是否处于锁定状态(见图47)。否则, 它可以与REFMON和STATUS引脚一起使用, 以监控此LD引脚上的电压。 0: 禁用LD引脚比较器并忽略LD引脚电压; 内部/自动保持控制器视此引脚为真(高电平, 默认)。 1: 使能LD引脚比较器(利用LD引脚电压确定PLL先前是否处于锁定状态)。															
	2	未用	未用															
	1	使能外部保持	通过SYNC引脚使能外部保持控制。(这将禁用内部保持模式。) 0: 自动保持模式, 保持由自动保持电路控制(默认)。 1:外部保持模式, 保持由SYNC引脚控制。															
	0	使能保持	使能内部控制的保持功能。 0: 禁用保持(默认)。 1: 使能保持。															
0x01E	[7:5]	未用	未用															
	[4:3]	外部零延迟反馈通道分频器选择	<table border="1"> <thead> <tr> <th>位 4</th> <th>位 3</th> <th>选择外部零延迟路径中使用哪个通道分频器</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>选择通道分频器0(默认)</td> </tr> <tr> <td>0</td> <td>1</td> <td>选择通道分频器1.</td> </tr> <tr> <td>1</td> <td>0</td> <td>选择通道分频器2.</td> </tr> <tr> <td>1</td> <td>1</td> <td>选择通道分频器3.</td> </tr> </tbody> </table>	位 4	位 3	选择外部零延迟路径中使用哪个通道分频器	0	0	选择通道分频器0(默认)	0	1	选择通道分频器1.	1	0	选择通道分频器2.	1	1	选择通道分频器3.
	位 4	位 3	选择外部零延迟路径中使用哪个通道分频器															
	0	0	选择通道分频器0(默认)															
	0	1	选择通道分频器1.															
1	0	选择通道分频器2.																
1	1	选择通道分频器3.																
2	使能外部零延迟	选择使用何种零延迟模式。 0: 如果0x01E[1] = 1, 则使能内部零延迟模式(默认)。 1:如果0x01E[1] = 1, 则使能外部零延迟模式。																
1	使能零延迟	使能零延迟功能。 0: 禁用零延迟功能(默认)。 1:使能零延迟功能。																
0	未用	未用																
0x01F	7	未用	未用															
	6	VCO校准完成(只读)	回读寄存器。指示VCO校准的状态。 0: VCO校准未完成。 1: VCO校准已完成。															
	5	保持模式激活(只读)	回读寄存器。指示器件是否处于保持状态(见图47)。注意, 这与保持使能不同。 0: 非处于保持状态。 1: 保持状态激活。															
	4	选择REF2(只读)	回读寄存器。指示选择哪一个PLL参考作为PLL的输入。 0: 选择REF1(如果在差分模式下, 则选择差分参考)。 1: 选择REF2。															
	3	VCO频率大于阈值(只读)	回读寄存器。指示VCO频率是否大于阈值(见表17的REF1、REF2和VCO频率状态监控器参数)。 0: VCO频率小于阈值。 1: VCO频率大于阈值。															
	2	REF2频率大于阈值(只读)	回读寄存器。指示REF2的信号频率是否大于寄存器0x01A[6]设置的阈值频率。 0: REF2频率小于阈值频率。 1: REF2频率大于阈值频率。															
	1	REF1频率大于阈值(只读)	回读寄存器。指示REF1的信号频率是否大于寄存器0x01A[6]设置的阈值频率。 0: REF1频率小于阈值频率。 1: REF1频率大于阈值频率。															
	0	数字锁定检测(只读)	回读寄存器。数字锁定检测。 0: PLL未锁定。 1: PLL已锁定。															

表55. 输出驱动器控制

寄存器地址 (十六进制)	位	名称	描述				
0x0F0	7	OUT0格式	选择OUT0的输出类型。 0: LVPECL(默认)。 1: CMOS。				
	[6:5]	OUT0 CMOS配置	当寄存器0x0F0[7] = 1b时, 设置OUT0的CMOS输出配置。				
		位[6:5]	OUT0A OUT0B				
		00	三态 三态				
		01	开 三态				
	10	三态 开					
	11(默认)	开 开					
[4:3]	OUT0极性	设置OUT0的输出极性。					
		位 7	位 4	位 3	输出类型	OUT0A	OUT0B
		0(默认)	X	0(默认)	LVPECL	同相	反相
		0	X	1	LVPECL	反相	同相
		1	0(默认)	0	CMOS	同相	同相
		1	0	1	CMOS	反相	反相
		1	1	0	CMOS	同相	反相
1	1	1	CMOS	反相	同相		
[2:1]	OUT0 LVPECL差分电压	设置LVPECL输出差分电压(V_{OD})。					
		位 2	位 1	V_{OD} (mV)			
		0	0	400			
		0	1	600			
	1(默认)	0(默认)	780				
	1	1	960				
0	OUT0 LVPECL关断	LVPECL关断。 [0] = 0: 正常工作(默认)。 1: 安全关断。					
0x0F1	[7:0]	OUT1控制	此寄存器控制OUT1, 位功能分配与寄存器0x0F0相同。				
0x0F2	[7:0]	OUT2控制	此寄存器控制OUT2, 位功能分配与寄存器0x0F0相同。				
0x0F3	[7:0]	OUT3控制	此寄存器控制OUT3, 位功能分配与寄存器0x0F0相同。				
0x0F4	[7:0]	OUT4控制	此寄存器控制OUT4, 位功能分配与寄存器0x0F0相同。				
0x0F5	[7:0]	OUT5控制	此寄存器控制OUT5, 位功能分配与寄存器0x0F0相同。				
0x0F6	[7:0]	OUT6控制	此寄存器控制OUT6, 位功能分配与寄存器0x0F0相同。				
0x0F7	[7:0]	OUT7控制	此寄存器控制OUT7, 位功能分配与寄存器0x0F0相同。				
0x0F8	[7:0]	OUT8控制	此寄存器控制OUT8, 位功能分配与寄存器0x0F0相同。				
0x0F9	[7:0]	OUT9控制	此寄存器控制OUT9, 位功能分配与寄存器0x0F0相同。				
0x0FA	[7:0]	OUT10控制	此寄存器控制OUT10, 位功能分配与寄存器0x0F0相同。				
0x0FB	[7:0]	OUT11控制	此寄存器控制OUT11, 位功能分配与寄存器0x0F0相同。				
0x0FC	7	CSDLD en OUT7	仅当CSDLD为高电平时, OUT7使能。				
			位 7	CSDLD信号	OUT7使能状态		
			0	0	不受CSDLD信号影响(默认)		
			1	0	异步关断		
		1	如果未被其它设置关断, 则异步使能OUT7。 此功能必须使用电流源数字锁定检测, 并将使能LD引脚比较器位(寄存器0x01D[3])置1。				
	6	CSDLD en OUT6	仅当CSDLD为高电平时, OUT6使能。设置与寄存器0x0FC[7]相同。				
	5	CSDLD en OUT5	仅当CSDLD为高电平时, OUT5使能。设置与寄存器0x0FC[7]相同。				
	4	CSDLD en OUT4	仅当CSDLD为高电平时, OUT4使能。设置与寄存器0x0FC[7]相同。				
	3	CSDLD en OUT3	仅当CSDLD为高电平时, OUT3使能。设置与寄存器0x0FC[7]相同。				
	2	CSDLD en OUT2	仅当CSDLD为高电平时, OUT2使能。设置与寄存器0x0FC[7]相同。				
1	CSDLD en OUT1	仅当CSDLD为高电平时, OUT1使能。设置与寄存器0x0FC[7]相同。					
0	CSDLD en OUT0	仅当CSDLD为高电平时, OUT0使能。设置与寄存器0x0FC[7]相同。					
0x0FD	[7:4]	未用	未用				
	3	CSDLD en OUT11	仅当CSDLD为高电平时, OUT11使能。设置与寄存器0x0FC[7]相同。				
	2	CSDLD en OUT10	仅当CSDLD为高电平时, OUT10使能。设置与寄存器0x0FC[7]相同。				
	1	CSDLD en OUT9	仅当CSDLD为高电平时, OUT9使能。设置与寄存器0x0FC[7]相同。				
	0	CSDLD en OUT8	仅当CSDLD为高电平时, OUT8使能。设置与寄存器0x0FC[7]相同。				

AD9520-0

表56. LVPECL通道分频器

寄存器地址 (十六进制)	位	名称	描述
0x190	[7:4]	分频器0低周期	分频器输入的时钟周期数(减1), 在该期间内分频器输出保持低电平。 值0x7表示分频器在8个输入时钟周期内保持低电平(默认: 0x7)。
	[3:0]	分频器0高周期	分频器输入的时钟周期数(减1), 在该期间内分频器输出保持高电平。 值0x7表示分频器在8个输入时钟周期内保持高电平(默认: 0x7)。
0x191	7	分频器0旁路	旁路并关断分频器; 输入送入分频器输出。 0: 使用分频器(默认)。 1: 旁路分频器。
	6	分频器0忽略SYNC	忽略同步。 0: 遵从芯片级SYNC信号(默认)。 1: 忽略芯片级SYNC信号。
	5	分频器0强制高电平	强制分频器输出为特定状态。要求同时设置忽略SYNC。注意, 若通道分频器旁路, 则该位无效, 但依然可反转驱动器极性。 0: 分频器输出强制为低电平(默认)。 1: 分频器输出强制为高电平。
	4	分频器0高电平启动	选择时钟输出以高电平启动或以低电平启动。 0: 低电平启动(默认)。 1: 高电平启动。
	[3:0]	分频器0相位偏移	相位偏移(默认: 0x0)。
0x192	[7:3]	未用	未用
	2	通道0关断	通道0关断。 0: 正常工作(默认)。 1: 关断。(通过设置此位, $\overline{OUT0}$ 、 $\overline{OUT1}$ 和 $\overline{OUT2}$ 被置于安全关断模式。)
	1	通道0直接至输出	将OUT0、OUT1和OUT2连接到分频器0, 或者直接连接到VCO或CLK。 0: OUT0、OUT1和OUT2连接到分频器0(默认)。 1: 如果0x1E1[1:0] = 10b, 则VCO直接送至OUT0、OUT1和OUT2。 如果0x1E1[1:0] = 00b, 则CLK直接送至OUT0、OUT1和OUT2。 如果0x1E1[1:0] = 01b, 则不起作用。
	0	禁用分频器0 DCC	占空比校正功能。 0: 使能占空比校正(默认)。 1: 禁用占空比校正。
0x193	[7:4]	分频器1低周期	分频器输入的时钟周期数(减1), 在该期间内分频器输出保持低电平。 值0x3表示分频器在4个输入时钟周期内保持低电平(默认: 0x3)。
	[3:0]	分频器1高周期	分频器输入的时钟周期数(减1), 在该期间内分频器输出保持高电平。 值0x3表示分频器在4个输入时钟周期内保持高电平(默认: 0x3)。
0x194	7	分频器1旁路	旁路并关断分频器; 输入送入分频器输出。 0: 使用分频器(默认)。 1: 旁路分频器。
	6	分频器1忽略SYNC	忽略同步。 0: 遵从芯片级SYNC信号(默认)。 1: 忽略芯片级SYNC信号。
	5	分频器1强制高电平	强制分频器输出为特定状态。要求同时设置忽略SYNC。注意, 若通道分频器旁路, 则该位无效, 但依然可反转驱动器极性。 0: 分频器输出强制为低电平(默认)。 1: 分频器输出强制为高电平。
	4	分频器1高电平启动	选择时钟输出以高电平启动或以低电平启动。 0: 低电平启动(默认)。 1: 高电平启动。
	[3:0]	分频器1相位偏移	相位偏移(默认: 0x0)。

寄存器地址 (十六进制)	位	名称	描述
0x195	[7:3]	未用	未用
	2	通道1关断	通道1关断。 0: 正常工作(默认)。 1: 关断。(通过设置此位, $\overline{OUT3/OUT3}$ 、 $\overline{OUT4/OUT4}$ 和 $\overline{OUT5/OUT5}$ 被置于安全关断模式。)
	1	通道1直接至输出	将OUT3、OUT4和OUT5连接到分频器1, 或者直接连接到VCO或CLK。 0: OUT3、OUT4和OUT5连接到分频器1(默认)。 1: 如果0x1E1[1:0] = 10b, 则VCO直接送至OUT3、OUT4和OUT5。 如果0x1E1[1:0] = 00b, 则CLK直接送至OUT3、OUT4和OUT5。 如果0x1E1[1:0] = 01b, 则不起作用。
	0	禁用分频器1 DCC	占空比校正功能。 0: 使能占空比校正(默认)。 1: 禁用占空比校正。
0x196	[7:4]	分频器2低周期	分频器输入的时钟周期数(减1), 在该期间内分频器输出保持低电平。 值0x1表示分频器在2个输入时钟周期内保持低电平(默认: 0x1)。
	[3:0]	分频器2高周期	分频器输入的时钟周期数(减1), 在该期间内分频器输出保持高电平。 值0x1表示分频器在2个输入时钟周期内保持高电平(默认: 0x1)。
0x197	7	分频器2旁路	旁路并关断分频器; 输入送入分频器输出。 0: 使用分频器(默认)。 1: 旁路分频器。
	6	分频器2忽略SYNC	忽略同步。 0: 遵从芯片级SYNC信号(默认)。 1: 忽略芯片级SYNC信号。
	5	分频器2强制高电平	强制分频器输出为特定状态。要求同时设置忽略SYNC。注意, 若通道分频器旁路, 则该位无效, 但依然可反转驱动器极性。 0: 分频器输出强制为低电平(默认)。 1: 分频器输出强制为高电平。
	4	分频器2高电平启动	选择时钟输出以高电平启动或以低电平启动。 0: 低电平启动(默认)。 1: 高电平启动。
	[3:0]	分频器2相位偏移	相位偏移(默认: 0x0)。
0x198	[7:3]	未用	未用
	2	通道2关断	通道2关断。 0: 正常工作(默认)。 1: 关断。(通过设置此位, $\overline{OUT6/OUT6}$ 、 $\overline{OUT7/OUT7}$ 和 $\overline{OUT8/OUT8}$ 被置于安全关断模式。)
	1	通道2直接至输出	将OUT6、OUT7和OUT8连接到分频器2, 或者直接连接到VCO或CLK。 0: OUT6、OUT7和OUT8连接到分频器2(默认)。 1: 如果0x1E1[1:0] = 10b, 则VCO直接送至OUT6、OUT7和OUT8。 如果0x1E1[1:0] = 00b, 则CLK直接送至OUT6、OUT7和OUT8。 如果0x1E1[1:0] = 01b, 则不起作用。
	0	禁用分频器2 DCC	占空比校正功能。 [0] = 0: 使能占空比校正(默认)。 1: 禁用占空比校正。
0x199	[7:4]	分频器3低周期	分频器输入的时钟周期数(减1), 在该期间内分频器输出保持低电平。 值0x0表示分频器在1个输入时钟周期内保持低电平(默认: 0x0)。
	[3:0]	分频器3高周期	分频器输入的时钟周期数(减1), 在该期间内分频器输出保持高电平。 值0x0表示分频器在1个输入时钟周期内保持高电平(默认: 0x0)。

AD9520-0

寄存器地址(十六进制)	位	名称	描述
0x19A	7	分频器3旁路	旁路并关断分频器；输入送入分频器输出。 0：使用分频器(默认)。 1：旁路分频器。
	6	分频器3忽略SYNC	忽略同步。 0：遵从芯片级SYNC信号(默认)。 1：忽略芯片级SYNC信号。
	5	分频器3强制高电平	强制分频器输出为特定状态。要求同时设置忽略SYNC。注意，若通道分频器旁路，则该位无效，但依然可反转驱动器极性。 0：分频器输出强制为低电平(默认)。 1：分频器输出强制为高电平。
	4	分频器3高电平启动	选择时钟输出以高电平启动或以低电平启动。 0：低电平启动(默认)。 1：高电平启动。
	[3:0]	分频器3相位偏移	相位偏移(默认：0x0)。
0x19B	[7:3]	未用	未用
	2	通道3关断	通道3关断。 0：正常工作(默认)。 1：关断。(通过设置此位，OUT9/OUT9、OUT10/OUT10和OUT11/OUT11也被置于安全关断模式。)
	1	通道3直接至输出	将OUT9、OUT10和OUT11连接到分频器3，或者直接连接到VCO或CLK。 0：OUT9、OUT10和OUT11连接到分频器3(默认)。 1：如果0x1E1[1:0] = 10b，则VCO直接送至OUT9、OUT10和OUT11。 如果0x1E1[1:0] = 00b，则CLK直接送至OUT9、OUT10和OUT11。 如果0x1E1[1:0] = 01b，则不起作用。
	0	禁用分频器3 DCC	占空比校正功能。 0：使能占空比校正(默认)。1：禁用占空比校正。

表57. VCO分频器和CLK输入

寄存器地址(十六进制)	位	名称	描述			
			位2	位1	位0	分频比
0x1E0	[2:0]	VCO分频器	0	0	0	2(默认)
			0	0	1	3
			0	1	0	4
			0	1	1	5
			1	0	0	6
			1	0	1	输出静态
			1	1	0	1(旁路)
			1	1	1	输出静态
0x1E1	[7:5]	未用	未用			
	4	关断时钟输入部分	关断时钟输入部分(包括CLK缓冲器、VCO分频器和CLK树)。 0：正常工作(默认)。 1：关断。			
	3	关断VCO时钟接口	关断VCO与时钟分配之间的接口模块。 0：正常工作(默认)。 1：关断。			
	2	关断VCO和CLK	关断VCO和CLK输入。 0：正常工作(默认)。 1：关断。			
	1	选择VCO或CLK	选择VCO或CLK作为VCO分频器的输入。 0：选择外部CLK作为VCO分频器的输入(默认)。 1：选择VCO作为VCO分频器的输入，此时不能旁路VCO分频器。要使用PLL和内部VCO，必须将此位置1。			
	0	旁路VCO分频器	旁路或使用VCO分频器。0：使用VCO分频器(默认)。1：旁路VCO分频器，此时无法选择VCO作为输入。			

表58. 系统

寄存器地址 (十六进制)	位	名称	描述
0x230	[7:4]	未用	未用
	3	禁用上电SYNC	上电同步模式。用于禁用防不良脉冲电路。 0: 使能防不良脉冲电路(默认)。 1: 禁用防不良脉冲电路。
	2	关断SYNC	关断同步功能。 0: SYNC功能正常工作(默认)。 1: 关断SYNC电路。
	1	关断分配参考	关断分配部分的参考。 0: 分配部分的参考正常工作(默认)。 1: 关断分配部分的参考。
	0	软SYNC	软SYNC位与SYNC引脚的工作方式相同, 但该位的极性相反, 即高电平将使选定的通道进入预定静止状态, 1到0跃迁将触发SYNC。 0: 同 $\overline{\text{SYNC}}$ 高电平。 1: 同 $\overline{\text{SYNC}}$ 低电平。

表59. 更新所有寄存器

寄存器地址 (十六进制)	位	名称	描述
0x232	[7:1]	未用	未用
	0	IO_UPDATE	此位必须置1, 才能将缓冲寄存器的内容传输到有效寄存器。这发生在下一个SCLK上升沿。此位为自清零位, 即不需要设置就能恢复为0。 1(自清零); 将所有的有效寄存器更新为缓冲寄存器的内容。

表60. EEPROM缓冲段

寄存器地址 (十六进制)	位	名称	描述
0xA00 to 0xAFF		EEPROM缓冲段	EEPROM缓冲段部分存储需存储读取EEPROM的起始地址和字节数。AD9520寄存器空间不是连续的, 因此, 为了存储和检索EEPROM, EEPROM控制器需要使用AD9520寄存器空间的起始地址和字节数。 EEPROM缓冲段中有两类条目: 数据传输和操作代码。 对于数据传输, 将命令字节的位7设为0b。其余7位是传输尺寸大小减1(即0x01表示2字节传输)。紧随数据传输命令之后的两字节EEPROM缓冲段包含传输起始地址(MSB优先)。 对于操作代码而言, 将命令字节的位7设为1b, 它是EEPROM控制器的特殊指令。有两个操作代码: IO_UPDATE和end-of-data。IO_UPDATE操作代码命令EEPROM控制器将AD9520寄存器值传输至活动寄存器空间(功能上等同于向寄存器0x232写入0x01)。end-of-data操作代码通知EEPROM控制器数据已完成传输, 并终止传输。EEPROM缓冲段的最终字节必须包含一个end-of-data操作代码。 EEPROM控制器使用EEPROM缓冲段寄存器的片内默认设置, 将所有寄存器值传输至/自EEPROM, 完成传输后发送IO_UPDATE信号。因此, 用户通常不需要改变EEPROM缓冲段。 更多信息参见“EEPROM缓冲段编程”部分。

AD9520-0

表61. EEPROM控制

寄存器地址 (十六进制)	位	名称	描述
0xB00	[7:1]	未用	未用
	0	STATUS_EEPROM (只读)	该只读寄存器指示读写EEPROM期间，EEPROM与缓冲寄存器段之间的数据传输状态。 当0x01D[7]置1时，STATUS引脚也可提供此信号。 0：数据传输已完成。 1：数据传输未完成。
0xB01	[7:1]	未用	未用
	0	EEPROM数据错误 (只读)	该只读寄存器指示EEPROM与缓冲器之间的数据传输是否发生错误。 0：无错误。数据正确。 1：检测到错误数据。
0xB02	[7:2]	未用	未用
	1	Soft_EEPROM	当EEPROM引脚接低电平时，Soft_EEPROM位置1即可利用EEPROM中保存的设置复位AD9520。 1:用EEPROM设置进行软复位(自清零)。
	0	使能EEPROM写入	使能用户写入EEPROM。 0：使能EEPROM写保护。用户无法写入EEPROM(默认)。 1：禁用EEPROM写保护。用户可以写入EEPROM。一旦EEPROM保存/加载传输完成，用户必须等待至少10 μs再开始下一EEPROM保存/加载传输。
0xB03	[7:1]	未用	未用
	0	REG2EEPROM	将数据从缓冲寄存器传输到EEPROM(自清零)。 1：此位置1将启动从缓冲寄存器到EEPROM的数据传输(写过程)；数据传输完毕后，I ² C主机将其复位。一旦EEPROM保存/加载传输完成，用户必须等待至少10 μs再开始下一EEPROM保存/加载传输。

应用信息

使用AD9520进行频率规划

AD9520是一款高度灵活的PLL。选择AD9520的PLL设置和版本时，应当注意以下几点。

AD9520有四个分频器：参考(或R)分频器、反馈(或N)分频器、VCO分频器和通道分频器。当试图实现一个特别困难、需要大量分频的分频比时，某些分频可以通过VCO分频器或通道分频器执行，从而允许较高的鉴相器频率，并且为环路带宽的选择提供更大的灵活性。

对于AD9520系列产品，较低的VCO频率一般意味着抖动性能也略胜一筹。在AD9520系列的整个VCO频率范围(1.4 GHz至2.95 GHz)，相同输出频率下的积分抖动(12 kHz至20 MHz偏移)之差通常小于150。如果利用VCO频率较低的AD9520版本能够实现所需的频率，则选择频率较低的器件可实现最佳的相位噪声和最低的抖动。然而，选择VCO频率较高的器件可提高频率规划的灵活性。

确定起始点时，选择位于容许范围中间的标称电荷泵电流可让设计人员提高或降低电荷泵电流，从而沿任一方向精调PLL环路带宽。

ADI公司提供AD9520配置工具，可根据用户输入和输出频率确定最佳PLL配置。该工具还可根据用户的要求设计环路滤波器。

除配置工具外，还提供ADIsimCLK，它是一款强大的PLL建模工具，能极其精确地确定给定应用的最佳环路滤波器。

在ADC时钟应用中使用AD9520输出

高速ADC对AD9520采样时钟的质量极为敏感。ADC可以看作一个采样混频器，时钟上的任何噪声、失真或时间抖动都会与模数转换输出端的目标信号合并。时钟完整性要求随着模拟输入频率和分辨率的提高而提高，要求最苛刻的是14位分辨率以上的高模拟输入频率应用。ADC的理论信噪比(SNR)受ADC分辨率和采样时钟抖动限制。考虑一

个无限分辨率的理想ADC，步进大小和量化误差可忽略不计，则可用SNR可以近似表示为：

$$\text{SNR(dB)} = 20 \log \left(\frac{1}{2\pi f_A t_J} \right)$$

其中：

f_A 为需要被数字化的最高模拟频率。

t_J 为采样时钟的均方根抖动。

图70显示出采样时钟抖动与模拟频率和有效位数(ENOB)的函数关系。

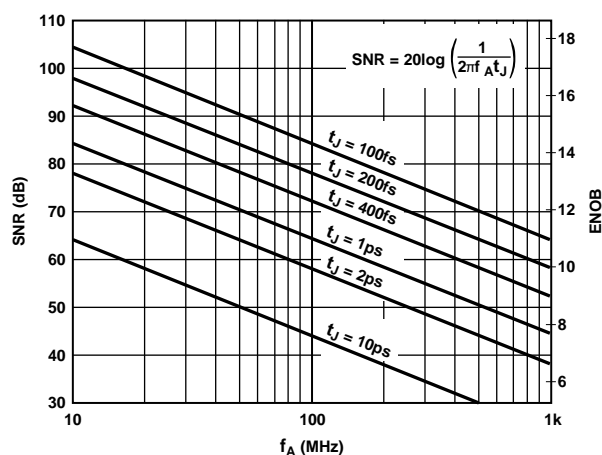


图70. SNR和ENOB与模拟输入频率的关系

如需了解更多信息，请参阅应用笔记AN-756：“采样系统与时钟相位噪声和抖动的关系”和应用笔记AN-501：“孔径不确定性与ADC系统性能”。

许多高性能ADC均提供差分时钟输入功能，以简化在嘈杂的PCB上提供所需低抖动时钟的任务。(对嘈杂的PCB的单端时钟进行分配可导致在采样时钟信号中产生耦合噪声。差分分配具有共模抑制特性，可在嘈杂的环境下提供优越的时钟性能。)利用AD9520差分LVPECL输出提供的时钟，可以最大程度地提高转换器的信噪比性能。

在选择最佳时钟/转换器解决方案时，要考虑ADC的输入需求(差分或单端、逻辑电平终端)。

AD9520-0

LVPECL时钟分配

在AD9520的所有输出中，LVPECL输出提供的时钟信号抖动最低。LVPECL输出(射极开路)要求直流端接以偏置输出晶体管。图54显示了LVPECL输出级的简化等效电路。

在多数应用中，建议使用LVPECL远端戴维宁端接(见图71)或Y型端接(见图72)。无论何种情况，接收缓冲器的 V_S 应匹配 V_{S_DRV} 。如果不匹配，建议使用交流耦合(见图73)。

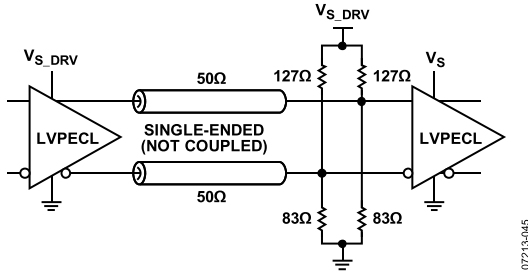


图71. 直流耦合的3.3 V LVPECL远端戴维宁端接

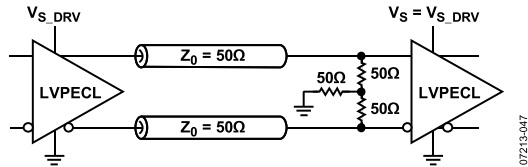


图72. 直流耦合的3.3 V LVPECL Y型端接

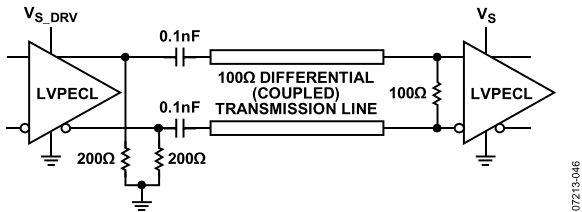


图73. 交流耦合LVPECL和并行传输线

LVPECL Y型端接

LVPECL Y型端接是一种有效的端接方案，使用的元件最少，并且同时提供奇数模式和偶数模式的阻抗匹配。在高频时，对于紧密耦合的传输线路，偶数模式阻抗匹配是一个重要的考虑。它的一个主要缺点是不能灵活地改变射极跟随器LVPECL驱动器的驱动强度。当驱动长走线时，这可能是一个重要考虑，但通常不是问题。如果 $V_{S_DRV} = 2.5\text{ V}$ ，则图72所示的50Ω接地端接电阻应变为19Ω。

远端戴维宁端接

远端戴维宁端接使用电阻网络提供50Ω端接，连接到低于LVPECL驱动器 V_{OL} 的直流电压。这种情况下，AD9520的 V_{S_DRV} 应等于接收缓冲器的 V_S 。虽然所示的电阻组合产生 $V_{S_DRV} - 2\text{ V}$ 的直流偏置点，但实际共模电压为 $V_{S_DRV} - 1.3\text{ V}$ ，因为有额外电流从AD9520 LVPECL驱动器流经下拉电阻。

当 $V_{S_DRV} = 2.5\text{ V}$ 时，电路相同，但下拉电阻变为62.5Ω，上拉电阻变为250Ω。

CMOS时钟分配

AD9520的输出驱动器可以配置为CMOS驱动器。用作CMOS驱动器时，各路输出变为一对CMOS输出，各CMOS输出可以独立开启或关闭，以及设置为反相或同相。这些输出与3.3 V或2.5 V CMOS兼容。然而，各输出驱动器(包括LVPECL)必须采用2.5 V或3.3 V电源供电。用户不能混用2.5 V和3.3 V输出。

采用单端CMOS时钟时，请考虑以下准则：

- 在与LVPECL驱动器相同的输出通道群中使用CMOS驱动器可能会降低LVPECL驱动器的性能。可能的话，对两个CMOS驱动器进行设置，使一个差分对的相同输出反相，从而一个驱动器为高电平而另一个为低电平。若某些应用的CMOS和LVPECL驱动器在同一组中，并且要求具有最佳的抖动性能，则建议使用评估板验证AD9520的性能。
- 如果可能的话，设计点对点连接，使得每个驱动器只与一个接收器相对应。以这种方式连接输出引脚可以简化终端方案并降低因输出走线的阻抗不匹配而导致的响铃振荡。通常需要源端的串联端接电阻提供传输线匹配和/或降低驱动器的瞬态电流。
- 电阻值由电路板设计及时序要求决定，典型值为10Ω至100Ω。另外，CMOS输出还会受能驱动的容性负载或走线长度的限制。通常，建议将走线长度控制在3英寸以内，以保持信号上升/下降时间和信号完整性。

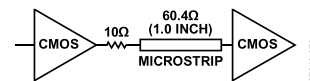


图74. CMOS输出的串行端接

PCB走线远端的终端是第二选项。AD9520的CMOS输出无法提供足够的电流，来为低阻抗远端终端提供全电压摆幅(见图75)。远端终端网络应与PCB走线的阻抗相匹配并提供所需开关点。信号摆幅降低后仍可以满足某些应用对接收器输入的需求。在不太重要的网络中驱动长走线时，这一点非常有用。

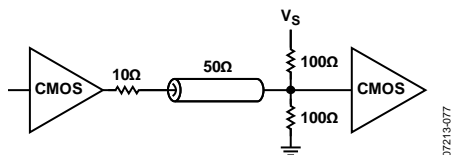
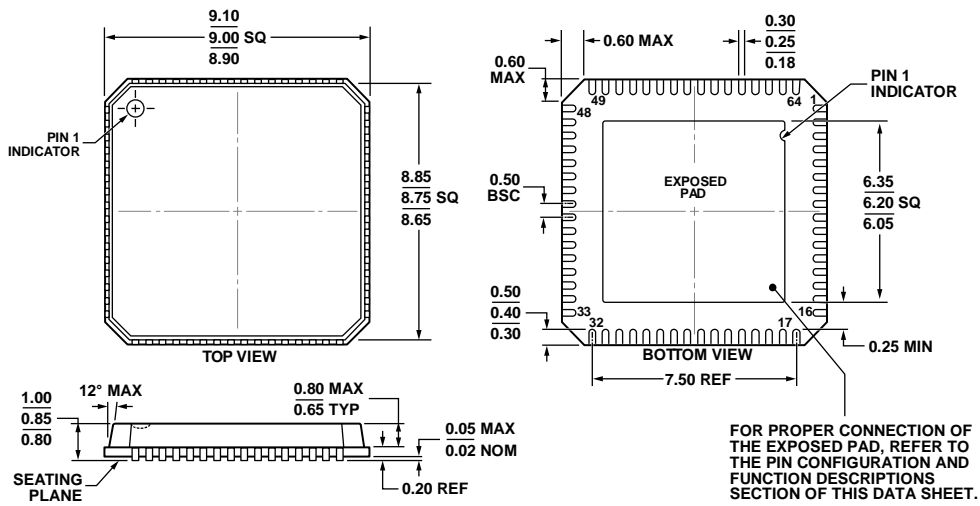


图75. 远端终端CMOS输出

由于单端CMOS时钟的限制，在长走线上驱动高速信号时，需考虑使用差分输出。AD9520能提供LVPECL输出，因此，当差分信号的固有抗扰度能够提供出色的时钟转换性能时，该器件能较好地驱动长走线。

AD9520-0

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

图76. 64引脚LFCSP_VQ[引脚架构芯片级]封装
9 mm x 9 mm, 超薄体
CP-64-4
图示尺寸单位: mm

06-12-2012-C

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9520-0BCPZ	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9520-0BCPZ-REEL7	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9520-0/PCBZ		评估板	

¹ Z = 符合RoHS标准的器件。

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。