

特性

双核12位、3通道ADC

吞吐速率：2 MSPS

额定电压(V_{DD})：2.7 V至5.25 V

功耗

9 mW(1.5 MSPS, 3 V电源)

27 mW(2 MSPS, 5 V电源)

引脚可配置模拟输入

12通道单端输入

6通道全差分输入

6通道伪差分输入

信噪比(SNR)：70 dB(50 kHz输入频率)

精确片内基准电压：最大 $2.5\text{ V} \pm 0.2\%$ (25°C ，最大20 ppm/ $^\circ\text{C}$)

双路转换，读取速度：437.5 ns, 32 MHz SCLK

高速串行接口

SPI[®]-/QSPI[™]-/MICROWIRE[™]-/DSP-兼容

工作温度范围：-40 $^\circ\text{C}$ 至+125 $^\circ\text{C}$

关断模式：最大1 μA

32引脚LFCSP和32引脚TQFP封装

1 MSPS版本：AD7265

概述

AD7266¹是一款12位双核高速、低功耗的逐次逼近型ADC，采用2.7 V至5.25 V单电源供电，最高吞吐速率可达2 MSPS。这款器件内置两个ADC，两者之前均配有一个3通道多路复用器和一个能够处理30 MHz以上输入频率的低噪、宽带采样保持放大器。

转换过程和数据采集过程均采用标准控制输入，可与微处理器或DSP轻松接口。输入信号在 $\overline{\text{CS}}$ 的下降沿进行采样，同时在此处开始转换。转换时间由SCLK频率决定。该器件无流水线延迟。

AD7266采用先进的设计技术，可在高吞吐速率的情况下实现极低的功耗。在工作电压为5 V，吞吐速率达2 MSPS的情况下，该器件消耗最大仅为6.2 mA电流。因为超低的静态电流，该器件在正常模式时还具有灵活的吞吐速率和电源管理能力。

模拟输入范围可选择0 V至 V_{REF} (或 $2 \times V_{\text{REF}}$)范围，输出编码可采用直接二进制或二进制补码。AD7266拥有2.5 V的片内基准电压，也可选用外部基准电压。外部基准电压范围为100 mV至 V_{DD} 。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

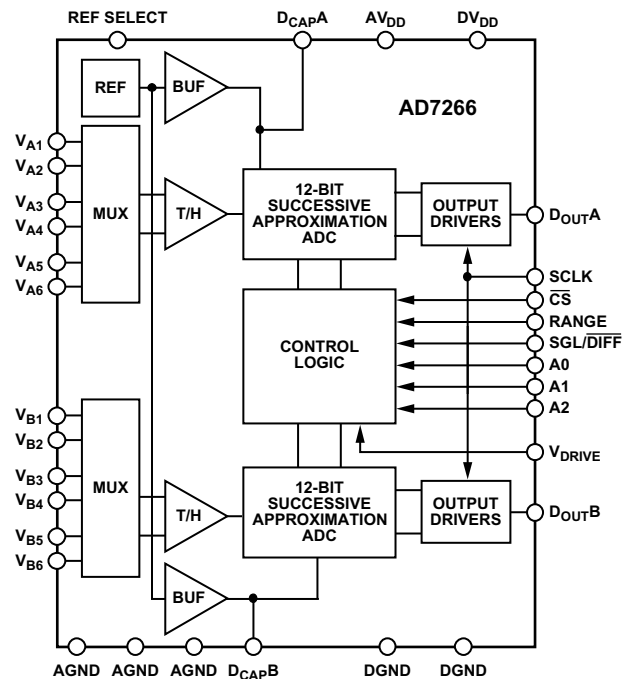


图1

AD7266提供32引脚LFCSP和32引脚TQFP两种封装。

产品聚焦

- 两个完整的ADC，允许两个通道同步采样和转换。通过编程，每个ADC均可设置为三路完全差分/伪差分对或六路单端输入。两个通道的转换结果可通过独立的数据线同时获得，如果只有一个串行端口可用，则转换结果可通过一条数据线先后获得。
- 高吞吐速率、低功耗。工作电压为3 V时，AD7266提供1.5 MSPS的吞吐速率，最大功耗为11.4 mW。
- AD7266提供标准0 V至 V_{REF} 和 $2 \times V_{\text{REF}}$ 两种输入范围。
- 无流水线延迟。
该器件采用两个标准逐次逼近型ADC，通过 $\overline{\text{CS}}$ 输入和一次性转换控制能够精确控制采样时间。

¹受美国专利第6,681,332号保护。

目录

特性	1	V _{DRIVE}	18
概述	1	工作模式	19
功能框图	1	正常模式	19
产品聚焦	1	部分省电模式	19
修订历史	2	全省电模式	20
技术规格	3	上电时间	21
时序规格	5	功耗与吞吐速率	21
绝对最大额定值	6	串行接口	22
ESD警告	6	微处理器接口	23
引脚配置和功能描述	7	AD7266接口ADSP-218x	23
典型工作特性	9	AD7266接口ADSP-BF53x	24
术语	11	AD7266接口TMS320C541	24
工作原理	13	AD7266接口DSP563xx	25
电路信息	13	应用须知	26
转换器操作	13	接地和布局	26
模拟输入结构	13	LFCSP版本PCB设计指南	26
模拟输入	14	AD7266性能评估	26
模拟输入选择	17	外形尺寸	27
输出编码	17	订购指南	27
传递函数	18		
数字输入	18		

修订历史

2006年11月—修订版0至修订版A

修改格式	通用
修改基准输入/输出部分	4
修改表4	7
修改术语部分	11
修改图24和差分模式部分	15
修改图29	16
修改图39	21
修改AD7265接口ADSP-BF53x部分	24
更新外形尺寸	27
修改订购指南	27

2005年4月—修订版0：初始版

技术规格

除非另有说明, $T_A = T_{MIN}$ 至 T_{MAX} , $V_{DD} = 2.7\text{ V}$ 至 3.6 V , $f_{SCLK} = 24\text{ MHz}$, $f_S = 1.5\text{ MSPS}$, $V_{DRIVE} = 2.7\text{ V}$ 至 3.6 V ; $V_{DD} = 4.75\text{ V}$ 至 5.25 V , $f_{SCLK} = 32\text{ MHz}$, $f_S = 2\text{ MSPS}$, $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ; 采用内部基准电压或 $2.5\text{ V} \pm 1\%$ 外部基准电压1。

表1

参数	规格	单位	测试条件/注释
动态性能			
信噪比(SNR) ²	71	dB, 最小值	$f_{IN} = 50\text{ kHz}$ 正弦波; 差分模式
	69	dB, 最小值	$f_{IN} = 50\text{ kHz}$ 正弦波; 单端和伪差分模式
信纳比(SINAD) ²	70	dB, 最小值	$f_{IN} = 50\text{ kHz}$ 正弦波; 差分模式
	68	dB, 最小值	$f_{IN} = 50\text{ kHz}$ 正弦波; 单端和伪差分模式
总谐波失真(THD) ²	-77	dB, 最大值	$f_{IN} = 50\text{ kHz}$ 正弦波; 差分模式
	-73	dB, 最大值	$f_{IN} = 50\text{ kHz}$ 正弦波; 单端和伪差分模式
无杂散动态范围(SFDR) ²	-75	dB, 最大值	$f_{IN} = 50\text{ kHz}$ 正弦波
交调失真(IMD) ²			$f_a = 30\text{ kHz}$, $f_b = 50\text{ kHz}$
二阶项	-88	dB, 典型值	
三阶项	-88	dB, 典型值	
通道间隔离	-88	dB, 典型值	
采样保持			
孔径延迟 ³	11	ns, 最大值	
孔径抖动 ³	50	ps, 典型值	
孔径延迟匹配 ³	200	ps, 最大值	
全功率带宽	33/26	MHz, 典型值	@ 3 dB, $V_{DD} = 5\text{ V}/V_{DD} = 3\text{ V}$
	3.5/3	MHz, 典型值	@ 0.1 dB, $V_{DD} = 5\text{ V}/V_{DD} = 3\text{ V}$
直流精度			
分辨率	12	位	
积分非线性 ²	± 1	LSB, 最大值	典型值 ± 0.5 LSB; 差分模式
	± 1.5	LSB, 最大值	典型值 ± 0.5 LSB; 单端和伪差分模式
差分非线性 ^{2,4}	± 0.99	LSB, 最大值	差分模式
	$-0.99/+1.5$	LSB, 最大值	单端和伪差分模式
直接二进制输出编码			
失调误差	± 7	LSB, 最大值	典型值 ± 2 LSB
失调误差匹配	± 2	LSB, 典型值	
增益误差	± 2.5	LSB, 最大值	
增益误差匹配	± 0.5	LSB, 典型值	
二进制补码输出编码			
正增益误差	± 2	LSB, 最大值	
正增益误差匹配	± 0.5	LSB, 典型值	
零电平误差	± 5	LSB, 最大值	
零电平误差匹配	± 1	LSB, 典型值	
负增益误差	± 2	LSB, 最大值	
负增益误差匹配	± 0.5	LSB, 典型值	
模拟输入 ⁵			
单端输入范围	0 V至 V_{REF}	V	RANGE引脚低电平
	0 V至 $2 \times V_{REF}$	V	RANGE引脚高电平
伪差分输入范围: $V_{IN+} - V_{IN-}$ ⁶	0至 V_{REF}	V	RANGE引脚低电平
	$2 \times V_{REF}$	V	RANGE引脚高电平
全差分输入范围: V_{IN+} 和 V_{IN-}	$V_{CM} \pm V_{REF}/2$	V	$V_{CM} = \text{共模电压}^7 = V_{REF}/2$
V_{IN+} 和 V_{IN-}	$V_{CM} \pm V_{REF}$	V	$V_{CM} = V_{REF}$

AD7266

参数	规格	单位	测试条件/注释
直流漏电流	±1	μA, 最大值	
输入电容	45 10	pF, 典型值 pF, 典型值	采样时 保持时
基准输入/输出			
基准输出电压 ⁸	2.5	V, 最小值/最大值	最大±0.2% (25°C)
长期稳定性	150	ppm, 典型值	1000小时
输出电压迟滞 ²	50	ppm, 典型值	
基准输入电压范围	0.1/V _{DD}	V, 最小值/最大值	参见典型工作特性部分
直流漏电流	±2	μA, 最大值	外部基准电压施加于引脚D _{CAP} A/引脚D _{CAP} B
输入电容	25	pF, 典型值	
D _{CAP} A、D _{CAP} B输出阻抗	10	Ω, 典型值	
基准源温度系数	20 10	ppm/°C, 最大值 ppm/°C, 典型值	
V _{REF} 噪声	20	μV rms, 典型值	
逻辑输入			
输入高电压V _{INH}	2.8	V, 最小值	
输入低电压V _{INL}	0.4	V, 最大值	
输入电流I _{IN}	±15	nA, 典型值	V _{IN} = 0 V或V _{DRIVE}
输入电容C _{IN} ³	5	pF, 典型值	
逻辑输出			
输出高电压V _{OH}	V _{DRIVE} - 0.2	V, 最小值	
输出低电压V _{OL}	0.4	V, 最大值	
浮空态漏电流	±1	μA, 最大值	
浮空态输出电容 ³	7	pF, 典型值	
输出编码	直接(自然)二进制 二进制补码		SGL/DIFF = 1, 选择0 V至V _{REF} 范围 SGL/DIFF = 0; SGL/DIFF = 1, 选择0 V至2 × V _{REF} 范围
转换速率			
转换时间	14	SCLK周期数	437.5 ns (SCLK = 32 MHz)
采样保持器采集时间 ³	90 110	ns, 最大值 ns, 最大值	满量程阶跃输入; V _{DD} = 5 V 满量程阶跃输入; V _{DD} = 3 V
吞吐速率	2	MSPS, 最大值	
电源要求			
V _{DD}	2.7/5.25	V, 最小值/最大值	
V _{DRIVE}	2.7/5.25	V, 最小值/最大值	
I _{DD}			数字输入 = 0 V或V _{DRIVE}
正常模式(静态)	2.3	mA, 最大值	V _{DD} = 5.25 V
工作状态, f _S = 2 MSPS	6.4	mA, 最大值	V _{DD} = 5.25 V; 典型值5.7 mA
f _S = 1.5 MSPS	4	mA, 最大值	V _{DD} = 3.6 V; 典型值3.4 mA
部分省电模式	500	μA, 最大值	静态
全省电模式(V _{DD})	1 2.8	μA, 最大值 μA, 最大值	T _A = -40°C至+85°C T _A = 85°C以上至125°C
功耗			
正常模式(工作状态)	33.6	mW, 最大值	V _{DD} = 5.25 V
部分省电(静态)	2.625	mW, 最大值	V _{DD} = 5.25 V
全省电(静态)	5.25	μW, 最大值	V _{DD} = 5.25 V, T _A = -40°C至+85°C

¹ 温度范围: -40°C至+125°C。

² 参见术语部分。

³ 样品在初次发布期间均经过测试, 以确保符合标准要求。

⁴ 保证12位无失码。

⁵ V_{IN-}或V_{IN+}必须始终在GND/V_{DD}范围内。

⁶ 针对额定性能, V_{IN-} = 0 V。关于V_{IN-}引脚的完整输入范围, 请参见图28和图29。

⁷ 全共模范围参见图24和图25。

⁸ 与引脚D_{CAP}A或Pin D_{CAP}B相关。

时序规格

除非另有说明， $AV_{DD} = DV_{DD} = 2.7\text{ V}$ 至 5.25 V ， $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ，内部/外部基准电压 = 2.5 V ， $T_A = T_{MAX}$ 至 T_{MIN} ¹。

表2

参数	T_{MIN} 、 T_{MAX} 时的限值	单位	描述
f_{SCLK} ²	1	MHz, 最小值	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$
	4	MHz, 最小值	$T_A = 85^\circ\text{C}$ 以上至 125°C
	32	MHz, 最大值	
$t_{CONVERT}$	$14 \times t_{SCLK}$	ns, 最大值	$t_{SCLK} = 1/f_{SCLK}$
	437.5	ns, 最大值	$f_{SCLK} = 32\text{ MHz}$, $V_{DD} = 5\text{ V}$, $f_{SAMPLE} = 2\text{ MSPS}$
	583.3	ns, 最大值	$f_{SCLK} = 24\text{ MHz}$, $V_{DD} = 3\text{ V}$, $f_{SAMPLE} = 1.5\text{ MSPS}$
t_{QUIET}	30	ns, 最小值	串行读取结束与 \overline{CS} 下一个下降沿之间的最短时间
t_2	15/20	ns, 最小值	$V_{DD} = 5\text{ V}/3\text{ V}$, \overline{CS} 到SCLK设置时间, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$
	20/30	ns, 最小值	$V_{DD} = 5\text{ V}/3\text{ V}$, \overline{CS} 到SCLK设置时间, $T_A = 85^\circ\text{C}$ 以上至 125°C
t_3	15	ns, 最大值	从 \overline{CS} 直到 D_{OUTA} 和 D_{OUTB} 三态禁用的延迟时间
t_4 ³	36	ns, 最大值	SCLK下降沿后的数据访问时间, $V_{DD} = 3\text{ V}$
	27	ns, 最大值	SCLK下降沿后的数据访问时间, $V_{DD} = 5\text{ V}$
t_5	$0.45 t_{SCLK}$	ns, 最小值	SCLK低电平脉冲宽度
t_6	$0.45 t_{SCLK}$	ns, 最小值	SCLK高电平脉冲宽度
t_7	10	ns, 最小值	SCLK到数据的有效保持时间, $V_{DD} = 3\text{ V}$
	5	ns, 最小值	SCLK到数据的有效保持时间, $V_{DD} = 5\text{ V}$
t_8	15	ns, 最大值	\overline{CS} 上升沿到 D_{OUTA}/D_{OUTB} 高阻抗状态
t_9	30	ns, 最小值	\overline{CS} 上升沿到下降沿脉冲宽度
t_{10}	5	ns, 最小值	SCLK下降沿到 D_{OUTA}/D_{OUTB} 高阻抗状态
	35	ns, 最大值	SCLK下降沿到 D_{OUTA}/D_{OUTB} 高阻抗状态

¹ 样片在初次发布期间均经过测试，以确保符合标准要求。所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (10%到90%的 V_{DD})并从1.6 V电平起开始计时。

所有时序规格均是在25 pF负载电容下测得。如果负载电容大于此值，必须使用数字缓冲器或锁存器。参见串行接口部分和图41及图42。

² 额定性能相对于最小SCLK频率而言；SCLK频率较低时，性能规格采用典型值。

³ 输出跨越0.4 V或2.4 V所需的时间。

绝对最大额定值

表3

参数	额定值
V_{DD} 至AGND	-0.3 V至+7 V
DV_{DD} 至DGND	-0.3 V至+7 V
V_{DRIVE} 至DGND	-0.3 V至 DV_{DD}
V_{DRIVE} 至AGND	-0.3 V至 AV_{DD}
AV_{DD} 至 DV_{DD}	-0.3 V至+0.3 V
AGND至DGND	-0.3 V至+0.3 V
模拟输入电压至AGND	-0.3 V至 $AV_{DD} + 0.3$ V
数字输入电压至DGND	-0.3 V至+7 V
数字输出电压至GND	-0.3 V至 $V_{DRIVE} + 0.3$ V
V_{REF} 至AGND	-0.3 V至 $AV_{DD} + 0.3$ V
输入电流至除电源外的任何引脚 ¹	±10 mA
工作温度范围	-40°C至+125°C
存储温度范围	-65°C至+150°C
结温	150°C
LFCSP/TQFP	
θ_{JA} 热阻	108.2°C/W (LFCSP) 55°C/W (TQFP)
θ_{JC} 热阻	32.71°C/W (LFCSP)
引脚温度, 焊接	
回流温度(10秒至30秒)	255°C
ESD	1.5

¹ 高达100 mA的瞬态电流不会造成闩锁。

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值, 不涉及器件在这些或任何其它条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

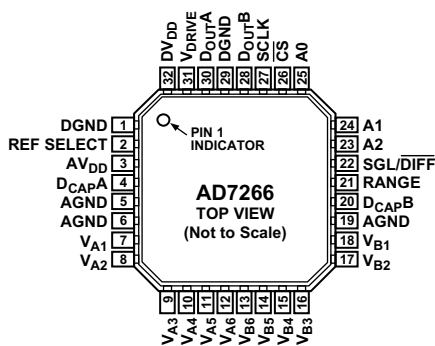


图2. 引脚配置(CP-32-2)

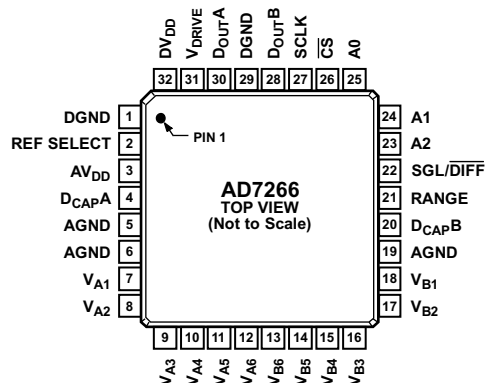


图2. 引脚配置(CP-32-2)

表4. 引脚功能描述

引脚编号	引脚名称	描述
1, 29	DGND	数字地。这是AD7266上所有数字电路的接地基准点。两个DGND引脚均应连接到系统的DGND平面。DGND和AGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
2	REF SELECT	内部/外部基准电压选择。逻辑输入。如果此引脚连到DGND，则ADC A和ADC B均使用片内2.5 V基准电压作为基准源。此外，引脚 D_{CAPA} 和 D_{CAPB} 必须连到去耦电容。如果REF SELECT引脚连到逻辑高电平，则可通过 D_{CAPA} 和/或 D_{CAPB} 引脚向AD7266提供外部基准电压。
3	AV _{DD}	模拟电源电压，2.7 V至5.25 V。这是AD7266所有模拟电路的唯一电源电压。AV _{DD} 和DV _{DD} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。应将此电源去耦至AGND。
4, 20	D_{CAPA} , D_{CAPB}	去耦电容引脚。去耦电容(建议值470 nF)连接到这些引脚，以便对相应ADC的基准电压源缓冲进行去耦。如果对输出进行缓冲，则片内基准电压可以从这些引脚获得，并外加于系统的其余部分。外部基准电压的范围取决于所选的模拟输入范围。
5, 6, 19	AGND	模拟地。AD7266上所有模拟电路的接地基准点。所有模拟输入信号和任何外部基准信号都应参考此AGND电压。所有3个AGND引脚都应连到系统的AGND平面。AGND和DGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
7至12	V _{A1} 至V _{A6}	ADC A的模拟输入。这些引脚可配置为六个单端通道或三对真差分模拟输入通道。参见表6。
13至18	V _{B1} 至V _{B6}	ADC B的模拟输入。这些引脚可配置为六个单端通道或三对真差分模拟输入通道。参见表6。
21	RANGE	模拟输入范围选择。逻辑输入。此引脚的极性决定模拟输入通道的输入范围。如果此引脚与逻辑低电平相连，则模拟输入范围为0 V至V _{REF} 。当变为低电平时，如果此引脚与逻辑高电平相连，则模拟输入范围为 $2 \times V_{REF}$ 。详情参见模拟输入选择部分。
22	SGL/DIFF	逻辑输入。此引脚用于选择模拟输入是配置为差分对还是配置为单端。逻辑低电平选择差分工作，逻辑高电平选择单端工作。详情参见模拟输入选择部分。
23至25	A0 to A2	多路复用器选择。逻辑输入。这些输入用于选择需要同步转换的通道对，例如ADC A和ADC B二者的通道1、ADC A和ADC B二者的通道2等等。所选的通道对可以是两个单端通道或两个差分对。为了正确设置多路复用器以用于转换，需要在采集时间和随后的CS下降沿之前设置这些引脚的逻辑状态。更多信息参见模拟输入选择部分，多路复用器地址解码参见表6。
26	\overline{CS}	片选。低电平有效逻辑输入。此输入提供两个功能：启动AD7266的转换和使能串行数据帧传输。
27	SCLK	串行时钟。逻辑输入。串行时钟输入提供用于访问AD7266中的数据的数据的SCLK。此时钟也用作转换过程的时钟源。

AD7266

引脚编号	引脚名称	描述
28, 30	D _{OUTA} , D _{OUTB}	<p>串行数据输出。数据输出以串行数据流形式提供给各引脚。各位在SCLK输入的下降沿逐个输出，访问数据需要14个SCLK周期。</p> <p>两个ADC同步转换时，数据同时出现在两个引脚上。数据流包括两个前导零，随后是12位转换数据。数据以MSB优先方式提供。如果\overline{CS}的低电平状态持续16个SCLK周期，而不是14个，则在12位数据后会出现两个尾随零。如果\overline{CS}的低电平状态再持续D_{OUTA}或D_{OUTB}上的16个SCLK周期，则来自另一个ADC的数据会出现在DOUT引脚上。这样，只需使用一个串行端口就可以将同步转换的两个ADC的数据输出以串行格式集中在D_{OUTA}或D_{OUTB}上。参见串行接口部分。</p>
31	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。应将此引脚去耦至DGND。此引脚的电压可以与AVDD和DVDD不同，但不得超过任何一者0.3 V以上。
32	DV _{DD}	数字电源电压，2.7 V至5.25 V。这是AD7266所有数字电路的电源电压。DVDD和AVDD电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。应将此电源去耦至DGND。

典型工作特性

除非另有说明, $T_A = 25^\circ\text{C}$ 。

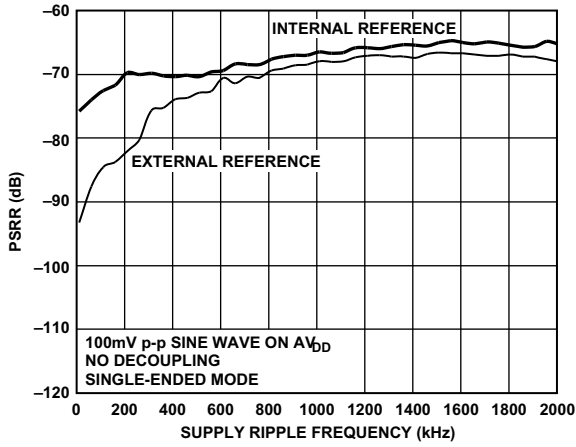


图4. 电源抑制比(PSRR)与电源纹波频率的关系, 无电源去耦

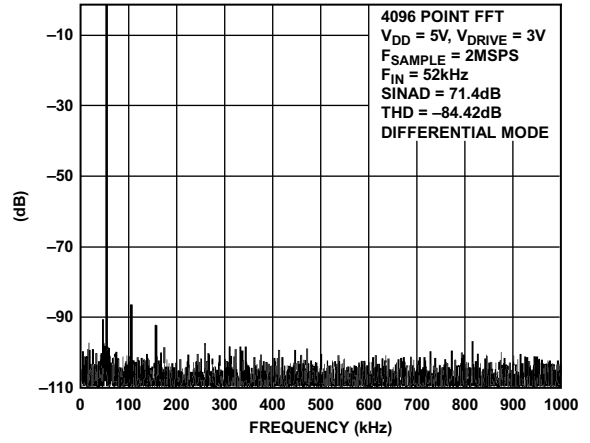


图7. FFT

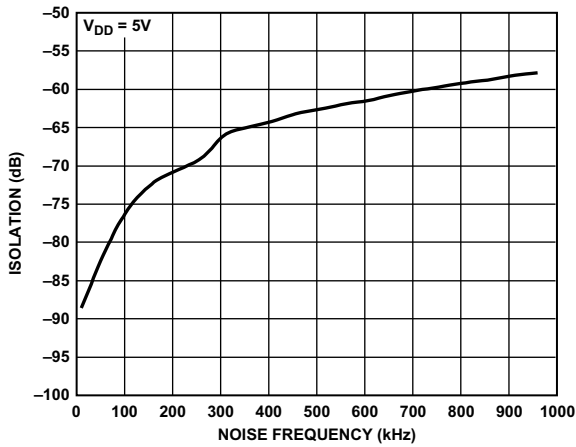


图5. 通道间隔离

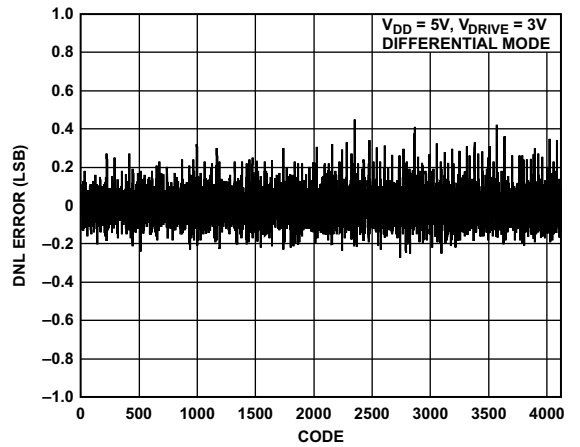


图8. 典型DNL

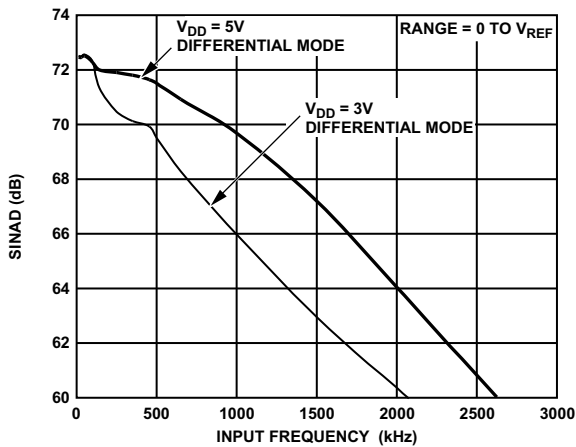


图6. 不同电源电压下信纳比(SINAD)与模拟输入频率的关系

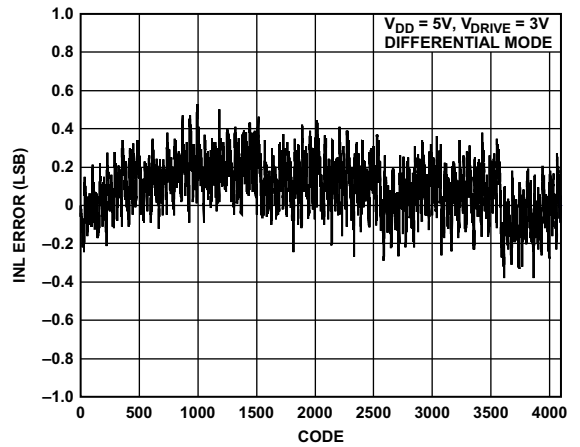


图9. 典型INL

04603-003

04603-006

04603-004

04603-007

04603-005

04603-008

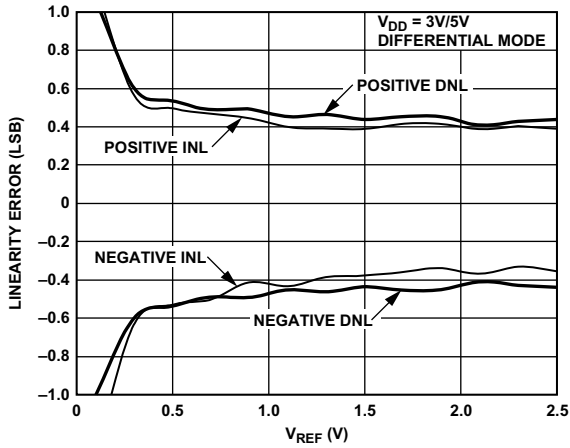


图10. 线性误差与 V_{REF} 的关系

04603-009

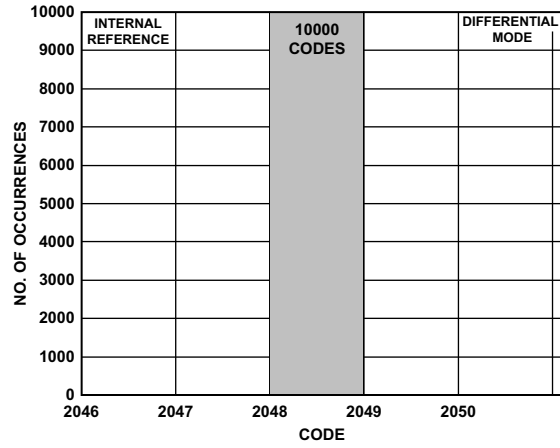


图13. 差分模式下10k样本的码字直方图

04603-012

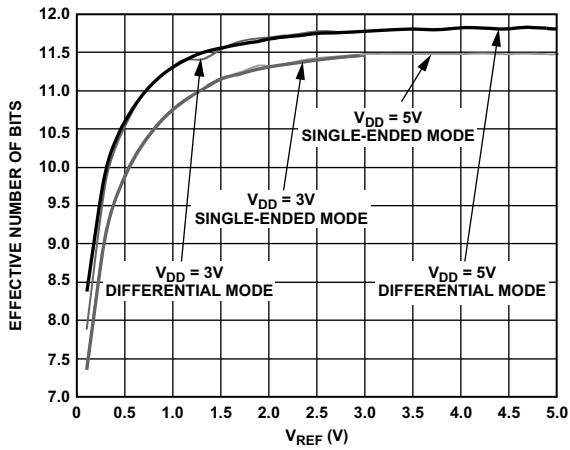


图11. 有效位数与 V_{REF} 的关系

04603-010

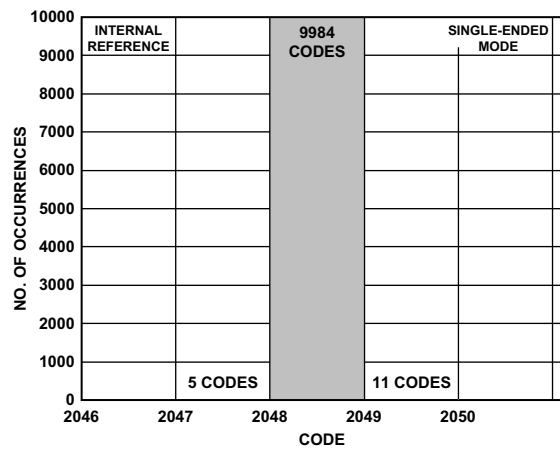


图14. 单端模式下10k样本的码字直方图

04603-042

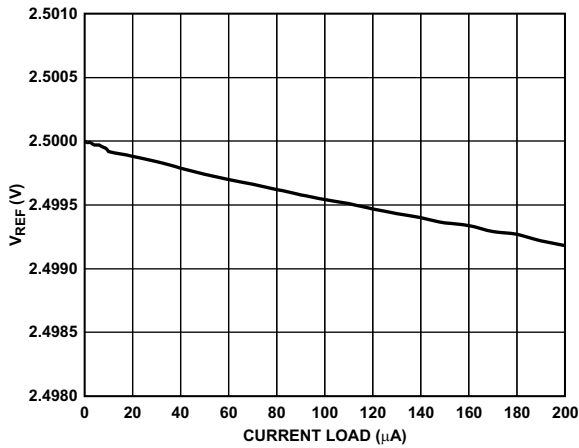


图12. V_{REF} 与基准输出电流驱动的关系

04603-011

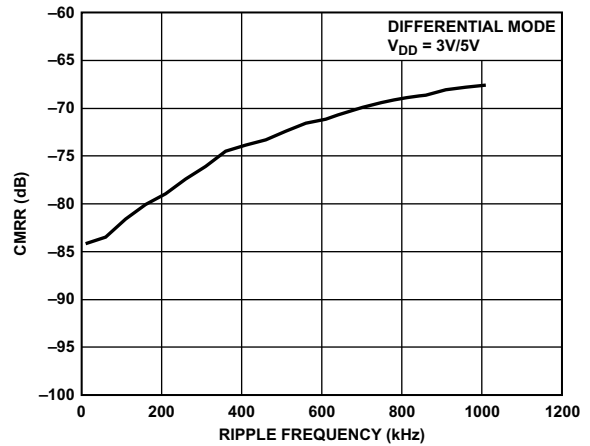


图15. 共模抑制比(CMRR)与共模纹波频率的关系

04603-011

术语

微分非线性(DNL)

微分非线性是指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

积分非线性(INL)

积分非线性是指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数有两个端点，起点在低于第一个码转换的1 LSB处的零电平，终点在高于最后一个码转换的1 LSB处的满量程。

失调误差

失调误差适用于直接二进制输出编码方式。它是指第一个码转换(00...000到00...001)与理想值(AGND + 1 LSB)的偏差。

失调误差匹配

失调误差匹配是指所有12个通道的失调误差的差值。

增益误差

增益误差适用于直接二进制输出编码方式。它是指校正失调误差之后，最后一个码转换(111...110到111...111)与理想值($V_{REF} - 1$ LSB)的偏差。增益误差不包括基准源误差。

增益误差匹配

增益误差匹配是指所有12个通道的增益误差的差值。

零电平误差

零电平误差适用于 $2 \times V_{REF}$ 输入范围下的二进制补码输出编码方式，例如：该输入范围为 $-V_{REF}$ 至 $+V_{REF}$ ，在 V_{REF} 点偏置。它是半量程转换(全1到全0)与理想 V_{IN} 电压(V_{REF})的偏差。

零电平误差匹配

零电平误差匹配是指所有12个通道的零电平误差的差值。

正增益误差

正增益误差适用于 $2 \times V_{REF}$ 输入范围下的二进制补码输出编码方式，例如：该输入范围为 $-V_{REF}$ 至 $+V_{REF}$ ，在 V_{REF} 点偏置。它是指校正零电平误差之后，最后一个码转换(011...110到011...111)与理想值($+V_{REF} - 1$ LSB)的偏差。

采样保持器采集时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持采集时间是转换结束后，采样保持放大器输出达到最终值(在 $\pm 1/2$ LSB内)所需的时间。

信纳比(SINAD)

信纳比是指在ADC输出端测得的信号对噪声及失真比。这里的信号是基波的均方根幅值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，信纳比值理论值计算公式为：

$$SINAD = (6.02N + 1.76) \text{ dB}$$

因此，12位转换器的信纳比理论值为74dB。

总谐波失真(THD)

总谐波失真是指所有谐波均方根和与基波的比值。对于AD7266，其定义为

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V_1 是基波幅值的均方根值。

V_2 、 V_3 、 V_4 、 V_5 及 V_6 是二次到六次谐波幅值的均方根值。

峰值谐波或杂散噪声

峰值谐波或杂散噪声是指在ADC输出频谱(最高达 $f_s/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于本底噪声内的ADC，它为噪声峰值。

通道间隔离

通道间隔离衡量通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程($V_{DD} = 5 \text{ V}$ 时为 $2 \times V_{REF}$ ， $V_{DD} = 3 \text{ V}$ 时为 V_{REF})、10 kHz正弦波信号，并决定该信号在选定通道内随50 kHz信号(0 V至 V_{REF})的衰减程度来测量。所得结果为AD7266所有12个通道的最差情况结果。

交调失真

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和与差频 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3, \dots$)的形式产生失真积。交调失真项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

AD7266

AD7266经过CCIF标准测试，此标准使用最大输入带宽附近的两个输入频率。在此情况下，二阶项频率通常远离初始正弦波，而三阶项频率通常靠近输入频率。因此，二阶项和三阶项需分别指定。交调失真根据THD参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用dB表示。

共模抑制比(CMRR)

共模抑制比定义为满量程频率 f 下ADC输出功率与频率 f_s 下施加于共模电压 V_{IN+} 和 V_{IN-} 的100 mV峰峰值正弦波功率的比值：

$$CMRR (dB) = 10 \log(Pf/Pf_s)$$

其中：

Pf 是在频率 f 下ADC的输出功率。

Pf_s 是在频率 f_s 下ADC的输出功率。

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化（见图4）。

热滞

热滞定义为器件经历以下温度循环后，基准输出电压的绝对最大变化：

$$T_HYS+ = +25^\circ\text{C} \text{ 至 } T_{MAX} \text{ 至 } +25^\circ\text{C}$$

或者

$$T_HYS- = +25^\circ\text{C} \text{ 至 } T_{MIN} \text{ 至 } +25^\circ\text{C}$$

热滞用ppm表示：

$$V_{HYS}(ppm) = \left| \frac{V_{REF}(25^\circ\text{C}) - V_{REF}(T_HYS)}{V_{REF}(25^\circ\text{C})} \right| \times 10^6$$

其中：

$V_{REF}(25^\circ\text{C})$ 为25°C时的 V_{REF} 。

$V_{REF}(T_HYS)$ 为 V_{REF} 在 T_HYS+ 或 T_HYS- 下的最大变化。

工作原理

电路信息

AD7266是一款快速、低功耗、双核12位ADC，采用2.7 V至5.25 V单电源供电。以5 V电源、32 MHz时钟工作时，AD7266的吞吐速率可达2 MSPS；以3 V电源工作时，吞吐速率可达1.5 MSPS。

AD7266配有2个片内差分采样保持放大器、2个逐次逼近型ADC、1个串行接口及2个独立数据输出引脚。它采用32引脚LFCSP或TQFP封装，与其它解决方案相比，非常节省空间。串行时钟输入访问器件中的数据，也向各逐次逼近型ADC提供时钟源。其模拟输入可选择0 V至 V_{REF} 或 $2 \times V_{REF}$ 范围，并且可配置为单端或差分模拟输入。AD7266拥有2.5 V的片内基准电压，需用外部基准电压时，可超过此值。如果系统其它地方需要使用内部基准电压，则首先必须缓冲输出。

AD7266还提供省电选项，可在两次转换间隙进入省电状态。省电特性通过标准串行接口实现，详见工作模式部分。

转换器操作

AD7266具有2个逐次逼近型ADC，各ADC均基于2个容性DAC。图16和图17分别为这些ADC的采样阶段和转换阶段简图。ADC由控制逻辑、一个SAR和两个容性DAC组成。在信号采样阶段，如图16所示，SW3闭合，SW1和SW2都置于A上，比较器保持在平衡状态，采样电容阵列充电，采集输入端的差分信号。

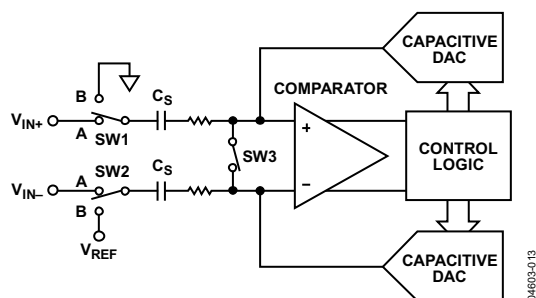


图16. ADC采样阶段

当ADC启动转换(见图17)时，SW3断开，而SW1和SW2移至位置B，使得比较器变得不平衡。一旦转换开始，两个输入均会断开。控制逻辑和电荷再分配DAC可以加上和减去采样电容阵列中的固定电荷数量，使得比较器恢复到平衡状态。当比较器重新平衡后，转换就已经完成。控制逻辑产生ADC的输出代码。注意这里驱动VIN+和VIN-引脚的源输出阻抗一定要匹配，否则两个输入的建立时间不同会导致错误。

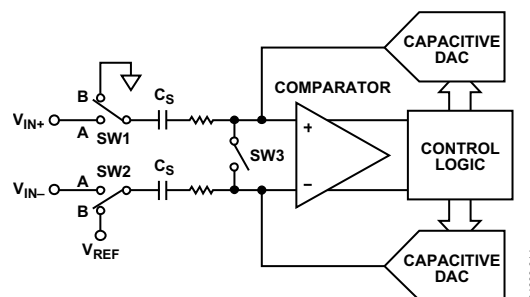


图17. ADC转换阶段

模拟输入结构

差分/伪差分模式下，AD7266的模拟输入结构等效电路如图18所示。单端模式下， V_{IN-} 内部接AGND。图中4个二极管为模拟输入提供ESD保护。切记，模拟输入信号决不能超过供电轨300mV以上，否则会造成这些二极管正偏，并开始向基板内传导电流。这些二极管导通电流可达到10mA，而不会导致不可恢复的器件损坏。

图18中，电容C1典型值为4 pF，可基本上被归属为引脚寄生电容。电阻是由开关阻抗构成的集总元件。电阻典型值为100 Ω 左右；电容C2为ADC采样电容，典型值为45 pF。

在交流应用时，建议在相应的模拟输入引脚用一个RC低通滤波器来滤除模拟输入信号的高频成分，最佳值为47 Ω 和10 pF。在对谐波失真和信噪比要求严格的应用中，模拟输入应采用一个低阻抗源进行驱动。高源阻抗会显著影响该ADC的交流性能，并且可能要求用一个输入缓冲放大器。通常根据具体应用来选择运算放大器。

AD7266

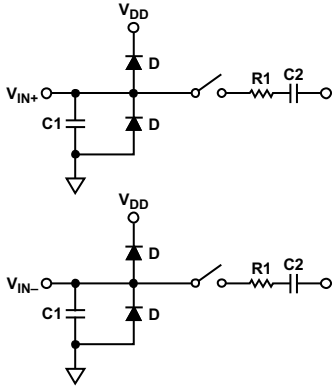


图18. 等效模拟输入电路：转换阶段—开关断开，
采样阶段—开关闭合

不用放大器来驱动模拟输入端时，应将源阻抗限制在较低的值。最大的源阻抗取决于可容许的总谐波失真(THD)。总谐波失真随着输入源阻抗的增加而增大，从而使ADC性能下降。图19为不同源阻抗、单端模式下THD与模拟输入信号频率的关系图，图20为不同源阻抗、差分模式下THD与模拟输入信号频率的关系图。

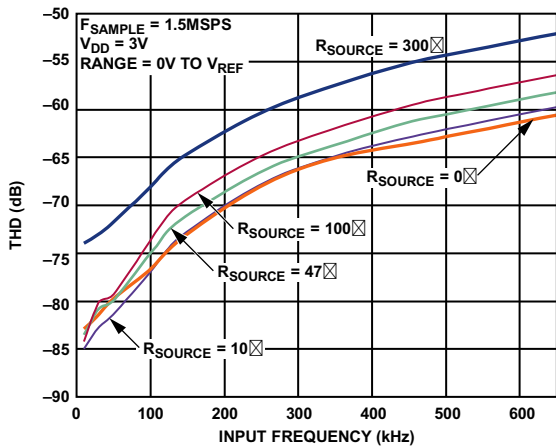


图19. 各种源阻抗、单端模式下THD与模拟输入频率的关系

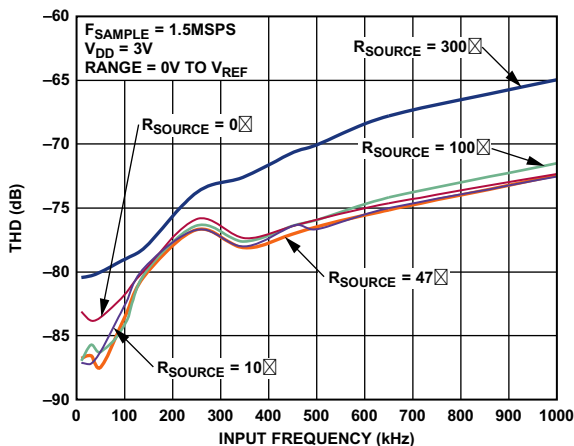


图20. 各种源阻抗、差分模式下THD与模拟输入频率的关系

图21为各种电源条件、2MSPS采样速率下THD与模拟输入频率的关系图。其中，源阻抗为47Ω。

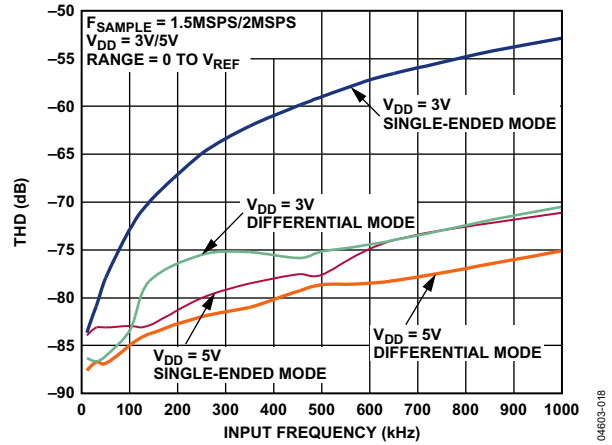


图21. 不同电源电压下THD与模拟输入频率的关系

模拟输入

AD7266共有12路模拟输入。每个片内ADC都有6路模拟输入，可以将其配置为六个单端通道、三个伪差分通道或三个全差分通道。这可以按照模拟输入选择部分所述进行选择。

单端模式

AD7266总共可以有12个单端模拟输入通道。在信号源具有高阻抗的应用中，建议先对模拟输入进行缓冲，再将其施加于ADC。模拟输入范围可以通过编程设置为0至 V_{REF} 或0至 $2 \times V_{REF}$ 。

如果要采样的模拟输入信号为双极性，则可以利用ADC的内部基准电压从外部使此信号发生偏置，以便具有适合ADC的正确格式。图22显示ADC在单端模式下工作时的典型连接图。

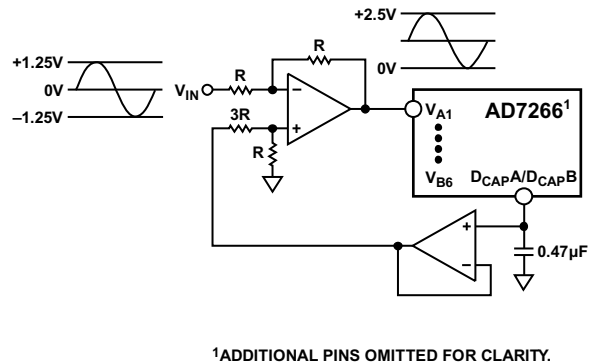
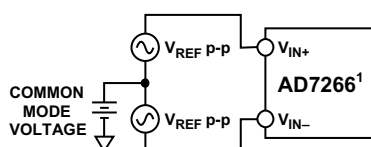


图22. 单端模式连接图

差分模式

AD7266总共可以有6对差分模拟输入。

差分信号在某些方面优于单端信号，例如：基于器件共模抑制的抗扰度更高，而且失真性能更佳。图23定义了AD7266的全差分模拟输入。



1ADDITIONAL PINS OMITTED FOR CLARITY. 04603-020

图23. 差分输入定义

差分信号的幅值为各差分对中输入引脚VIN+和输入引脚VIN-的信号差值（即 $V_{IN+} - V_{IN-}$ ）。VIN+和VIN-应采用两个相位相差180°的信号同时驱动，各信号的幅值为VREF（或 $2 \times V_{REF}$ ，取决于所选的范围）。因此，差分信号的幅值为 $-V_{REF}$ 至 $+V_{REF}$ 峰峰值（ $2 \times V_{REF}$ ，假设选择0至 V_{REF} 范围），与共模电压(CM)无关。

共模电压是这两个信号的平均值：

$$(V_{IN+} + V_{IN-})/2$$

因此，共模电压为这两路输入的中心电压。

这使得各输入的范围为 $CM \pm V_{REF}/2$ 。这一电压必须在外部设定，并且它的范围随着基准电压值VREF而变化。VREF值增大时，共模范围缩小。采用放大器驱动输入时，实际共模范围由放大器的输出电压摆幅决定。

图24和图25分别显示5 V电源、0至 V_{REF} 范围和 $2 \times V_{REF}$ 范围下，共模范围通常如何随 V_{REF} 而变化。为了保证AD7266的功能，共模电压必须在此范围内。

转换发生时，共模受到抑制，所产生的信号几乎无噪声，其幅值范围为 $-V_{REF}$ 至 $+V_{REF}$ ，与数字码0至4096相对应。如果使用 $2 \times V_{REF}$ 范围，则转换后输入信号幅值范围为 $-2 V_{REF}$ 至 $+2 V_{REF}$ 。

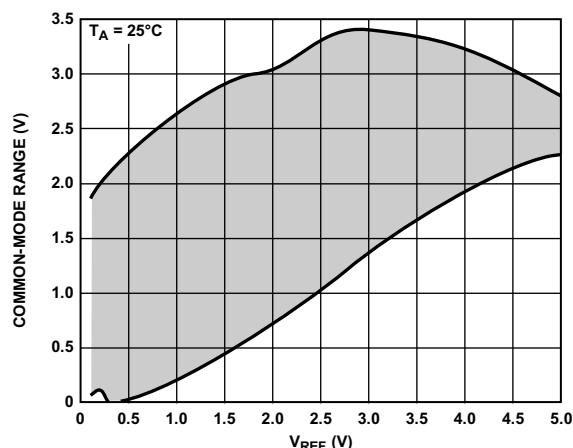


图24. 输入共模电压范围与 V_{REF} 的关系 (0至 V_{REF} 范围, $V_{DD} = 5 V$)

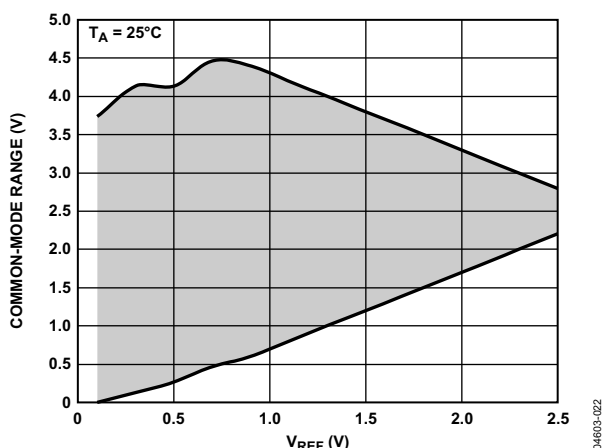


图25. 输入共模电压范围与 V_{REF} 的关系 ($2 \times V_{REF}$ 范围, $V_{DD} = 5 V$)

驱动差分输入

差分工作要求采用两个幅值相等、相位相差180°的信号同时驱动VIN+和VIN-。共模电压必须在外部设置。共模范围由VREF、电源和用来驱动模拟输入的特定放大器共同决定。无论是交流输入还是直流输入，差分工作模式均可在较宽的频率范围内提供最佳的总谐波失真(THD)性能。并非所有应用都会预先调理信号以供差分操作，因此经常需要执行单端至差分转换。

AD7266

使用运算放大器对

可以利用一运算放大器对，将差分信号直接耦合至AD7266模拟输入对之一。图26和图27所示的电路配置分别说明如何使用一个双通道运算放大器，将双极性和单极性单端输入信号转换为差分信号。

施加于A点的电压设置共模电压。两幅图中，A点以某种方式与基准电压源相连，但需注意，此处可以用共模范围内的任何值来设置共模电压。AD8022是一款合适的双通道运算放大器，可以用在此配置中为AD7266提供差分驱动。

选择运算放大器需谨慎，应根据所需的电源和系统性能目标进行选择。图26和图27中的驱动电路针对要求最佳失真性能的直流耦合应用进行了优化。

图26所示的电路配置将一个单极性单端信号转换为一个差分信号。

图27所示的差分驱动电路用于将单端、地参考（双极性）信号转换为差分信号，并执行电平转换，使所获得的差分信号中值位于ADC的 V_{REF} 电平。

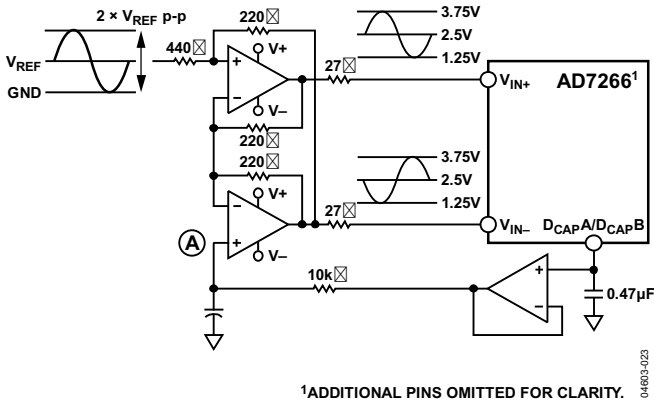


图26. 将一个单端单极性信号转换为一个差分信号的双通道运算放大器电路

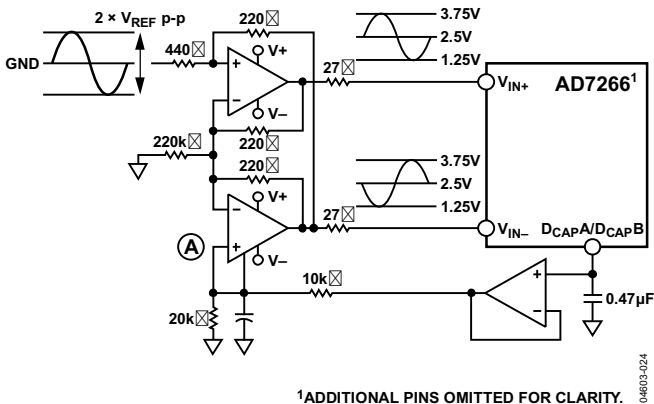


图27. 将一个单端双极性信号转换为一个差分单极性信号的双通道运算放大器电路

伪差分模式

AD7266总共可以有6对伪差分模拟输入。这种模式下， V_{IN+} 连到信号源，其幅值必须为 V_{REF} （或 $2 \times V_{REF}$ ，取决于所选的范围），以便利用器件的整个动态范围。一个直流输入施加于 V_{IN-} 引脚。施加于此输入的电压为 V_{IN+} 输入提供一个对地失调电压或一个伪地电压。伪差分输入的好处在于，模拟输入信号地与ADC地分离，从而可以取消直流共模电压。伪差分模式下 V_{IN-} 引脚的典型电压范围如图28和图29所示。图30显示伪差分模式的连接图。

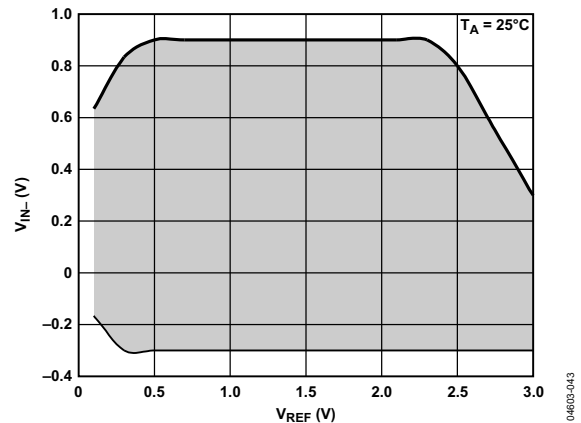


图28. 伪差分模式下 V_{IN-} 输入电压范围与 V_{REF} 的关系($V_{DD} = 3V$)

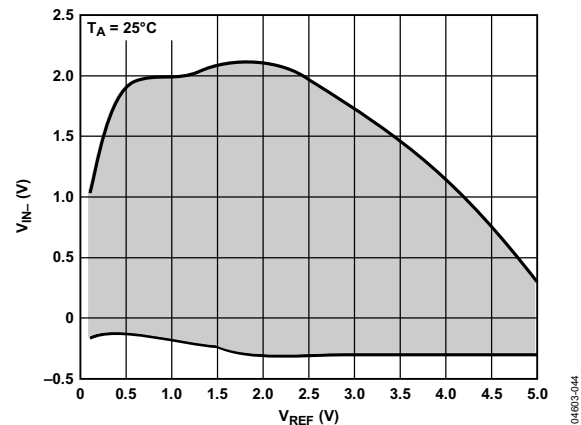


图29. 伪差分模式下 V_{IN-} 输入电压范围与 V_{REF} 的关系($V_{DD} = 5V$)

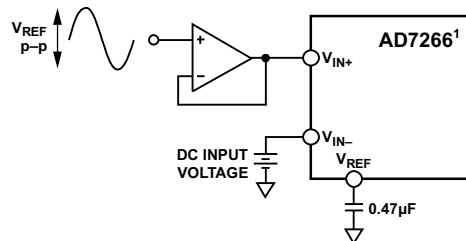


图30. 伪差分模式连接图

模拟输入选择

AD7266的模拟输入可以通过SGL/DIFF逻辑引脚配置为单端或真差分输入，如图31所示。如果此引脚与逻辑低电平相连，则各片内ADC的模拟输入通道设置为三对真差分输入。如果此引脚与逻辑高电平相连，则各片内ADC的模拟输入通道设置为六路单端模拟输入。此引脚所需的逻辑电平需要在采集时间之前建立，并且在转换时间内保持不变，直到采样保持器返回跟踪状态。采样保持器在CS下降沿之后SCLK的第13个上升沿返回跟踪状态（见图41）。如果此引脚的电平改变，AD7266将会发现；因此，采样和转换期间必须保持同一逻辑电平，以免破坏正在进行的转换。例如，在图31中，SGL/DIFF引脚在采样和转换期间设为逻辑高电平，因而对于该转换（采样点A），模拟输入配置为单端输入。在采样保持器返回跟踪状态之后，并且在下一个采样（点B）所需的采集时间之前，SGL/DIFF的逻辑电平变为低电平；因而对于该转换，模拟输入配置为差分输入。

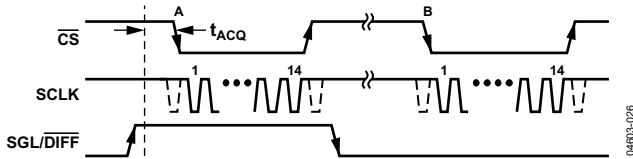


图31. 选择差分或单端配置

同步转换通道由多路复用器地址输入引脚A0至A2选择。这些引脚的逻辑状态也需要在采集时间之前建立；不过，只要模式不变，其逻辑状态就可以在转换时间内改变。例如，如果模式从全差分变为伪差分，则采集时间将从该点开始重新计时。所选输入通道的解码如表6所示。

通过RANGE引脚可选择AD7266的模拟输入范围：0 V至 V_{REF} 或0 V至 $2 \times V_{REF}$ 。选择方法与SGL/DIFF引脚相似，也是CS在下降沿之前的时间 t_{ACQ} 设置RANGE引脚的逻辑状态。然后，在SCLK的第三个下降沿之后，可以改变此引脚的逻辑电平。如果此引脚与逻辑低电平相连，则模拟输入范围选择为0 V至 V_{REF} 。如果此引脚与逻辑高电平相连，则模拟输入范围选择为0 V至 $2 \times V_{REF}$ 。

输出编码

AD7266输出编码可设置为二进制补码或直接二进制，具体取决于为转换而选择的模拟输入配置。表5显示了各种可能的模拟输入配置所用的输出编码方案。

表5. AD7266输出编码

SGL/ DIFF	范围	输出编码
DIFF	0 V 至 V_{REF}	二进制补码
DIFF	0 V 至 $2 \times V_{REF}$	二进制补码
SGL	0 V 至 V_{REF}	直接二进制
SGL	0 V 至 $2 \times V_{REF}$	二进制补码
PSEUDO DIFF	0 V 至 V_{REF}	直接二进制
PSEUDO DIFF	0 V 至 $2 \times V_{REF}$	二进制补码

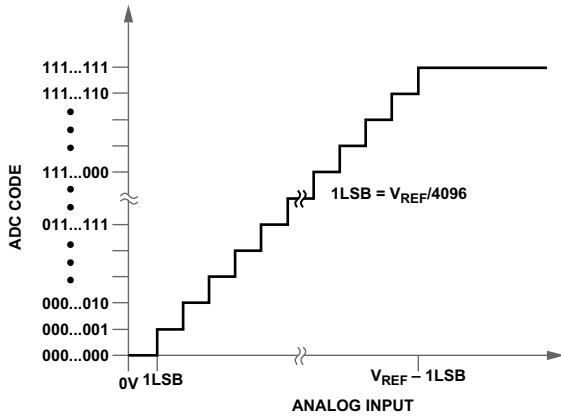
表6. 模拟输入类型和通道选择

SGL/DIFF	A2	A1	A0	ADC A		ADC B		备注
				V _{IN+}	V _{IN-}	V _{IN+}	V _{IN-}	
1	0	0	0	V _{A1}	AGND	V _{B1}	AGND	单端
1	0	0	1	V _{A2}	AGND	V _{B2}	AGND	单端
1	0	1	0	V _{A3}	AGND	V _{B3}	AGND	单端
1	0	1	1	V _{A4}	AGND	V _{B4}	AGND	单端
1	1	0	0	V _{A5}	AGND	V _{B5}	AGND	单端
1	1	0	1	V _{A6}	AGND	V _{B6}	AGND	单端
0	0	0	0	V _{A1}	V _{A2}	V _{B1}	V _{B2}	完全差分
0	0	0	1	V _{A1}	V _{A2}	V _{B1}	V _{B2}	伪差分
0	0	1	0	V _{A3}	V _{A4}	V _{B3}	V _{B4}	完全差分
0	0	1	1	V _{A3}	V _{A4}	V _{B3}	V _{B4}	伪差分
0	1	0	0	V _{A5}	V _{A6}	V _{B5}	V _{B6}	完全差分
0	1	0	1	V _{A5}	V _{A6}	V _{B5}	V _{B6}	伪差分

AD7266

传递函数

所设计的码转换在连续整数LSB值上（即1 LSB、2 LSB等等）进行。单端模式下，当使用0 V至 V_{REF} 范围时，LSB大小为 $V_{REF}/4096$ ；当使用0 V至 $2 \times V_{REF}$ 范围时，LSB大小为 $2 \times V_{REF}/4096$ 。差分模式下，当使用0 V至 V_{REF} 范围时，LSB大小为 $2 \times V_{REF}/4096$ ；当使用0 V至 $2 \times V_{REF}$ 范围时，LSB大小为 $4 \times V_{REF}/4096$ 。输出直接二进制编码时，AD7266的理想传递特性如图32所示；输出二进制补码编码时，AD7266的理想传递特性如图33所示（ $2 \times V_{REF}$ 范围）。

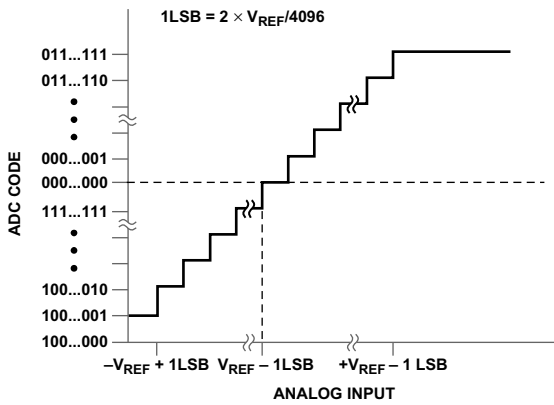


注意

1. V_{REF} 为 V_{REF} 或 $2 \times V_{REF}$ 。

04603-027

图32. 直接二进制传递特性



04603-028

图33. 二进制补码传递特性 ($V_{REF} \pm V_{REF}$ 输入范围)

数字输入

施加于AD7266的数字输入不受限制模拟输入的最大额定值的限制。与模拟输入不同，数字输入可以高达7 V，并且不受 $V_{DD} + 0.3$ V限制。更多信息请参见绝对最大额定值部分。SCLK、RANGE、A0至A2和 \overline{CS} 引脚不受 $V_{DD} + 0.3$ V限制的另一个好处是电源时序控制问题得以避免。如果在 V_{DD} 上电之前施加其中一个数字输入，并不会有什么风险。模拟输入则不然，如果在 V_{DD} 上电之前施加大于0.3 V的信号，模拟输入会有风险。

VDRIVE

AD7266还具有 V_{DRIVE} 特性，可控制串行接口的工作电压。 V_{DRIVE} 特性使该ADC能够轻松与3 V和5 V处理器接口。例如，如果AD7266采用5 V V_{DD} 供电，则VDRIVE引脚可以采用3 V电源供电，使得低压数字处理器具有较大的动态范围。因此，AD7266可以选择 $2 \times V_{REF}$ 的输入范围($5 V_{DD}$)，同时仍能与3 V数字器件接口。

工作模式

在转换期间通过控制 \overline{CS} 信号的（逻辑）状态，可以选择AD7266的工作模式。有三种可能的工作模式：正常模式、部分省电模式和全省电模式。转换启动后， \overline{CS} 被拉高的时间点决定器件进入何种省电模式（如有）。类似地，如果已经处于省电模式，则 \overline{CS} 可以控制器件是返回正常工作模式，还是继续保持省电模式。这些工作模式旨在提供灵活的电源管理选项。针对不同的应用要求，可以选择这些选项，以优化功耗和吞吐速率。

正常模式

这种模式旨在用于需要最快吞吐速率的应用，AD7266始终处于完全上电状态，用户不必担心上电时间问题。图34显示了AD7266在正常模式下的一般工作原理图。

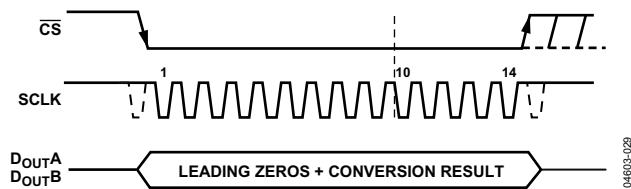


图34. 正常模式操作

如串行接口部分所述，转换在 \overline{CS} 的下降沿启动。为确保器件始终处于完全上电状态， \overline{CS} 必须保持低电平，直到在下降沿之后至少过去了10个SCLK下降沿。如果在第10个SCLK下降沿之后、第14个SCLK下降沿之前的任何时间将 \overline{CS} 变为高电平，则器件仍然保持上电状态，但转换终止， D_{OUTA} 和 D_{OUTB} 返回三态。完成转换并访问转换结果需要14个串行时钟周期。14个SCLK周期过去之后， D_{OUT} 线不会返回三态，而是在再次变为高电平时返回三态。如果的低电平状态再持续2个SCLK周期（例如提供16个SCLK脉冲时），则数据之后会输出2个尾随零。如果的低电平状态又再持续14（或16）个SCLK周期，则来自片上另一个ADC的转换结果也可以在同一 D_{OUT} 线上进行访问，如图42所示（参见串行接口部分）。

32个SCLK周期过去之后， D_{OUT} 线在第32个SCLK下降沿返回三态。如果 \overline{CS} 在此之前变为高电平， D_{OUT} 线将同时返回三态。因此，经过32个SCLK周期之后， \overline{CS} 可以处于低电平空闲状态，直到在下次转换前的某个时间再次变为高电平（如果希望如此），因为总线仍然会在双通道结果读取完成后返回三态。

一旦数据传输完成，并且 D_{OUTA} 和 D_{OUTB} 已返回三态，便可以在安静时间 t_{QUIET} 逝去后再次将 \overline{CS} 变为低电平，以启动另一次转换（假设已提供所需的采集时间）。

部分省电模式

这种模式旨在用于需要较低吞吐速率的应用。可以在每次转换完成后关断ADC，或者以高吞吐速率执行一系列转换，然后将ADC关断相对较长的时间，直到迎来下一系列的转换。当AD7266处于部分省电模式时，除片内基准电压源和缓冲以外的所有模拟电路均被关断。

若要进入部分省电模式，必须在SCLK的第2个下降沿之后、第10个下降沿之前的任意时间将 \overline{CS} 变为高电平，以中断转换过程，如图35所示。一旦 \overline{CS} 在SCLK的此窗口内变为高电平，器件即进入部分省电模式， \overline{CS} 下降沿所启动的转换终止， D_{OUTA} 和 D_{OUTB} 返回三态。如果 \overline{CS} 在第2个SCLK下降沿之前变为高电平，则器件仍将处于正常模式，不会关断。这可以避免 \overline{CS} 线上的毛刺引起意外关断。

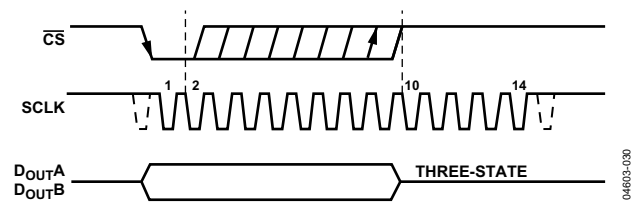


Figure 35. Entering Partial Power-Down Mode

图35. 进入部分省电模式

若要退出这种工作模式并使AD7266再次上电，需要执行一次伪转换。在 \overline{CS} 的下降沿，器件开始上电，并且只要 \overline{CS} 处于低电平便继续上电，直到第10个SCLK的下降沿之后。大约经过1 μ s后，器件完全上电，下一次转换将产生有效数据，如图36所示。如果在第2个SCLK下降沿之前变为高电平，则AD7266再次进入部分省电模式。这可以避免 \overline{CS} 线上的毛刺引起意外上电。虽然器件可以在 \overline{CS} 的下降沿开始上电，但它又会在 \overline{CS} 上升沿关断。如果AD7266已经处于部分省电模式，并且 \overline{CS} 在SCLK的第2个下降沿与第10个下降沿之间变为高电平，则器件将进入全省电模式。

AD7266

全省电模式

这种模式旨在用于所需吞吐速率比部分省电模式下的吞吐速率更低的应用，因为从全省电模式上电所需的时间比从部分省电模式上电长得多。这种模式更适合以相对较高的吞吐速率执行一系列转换，然后是一段长时间的无活动状态，进而器件关断的应用。当AD7266处于全省电模式时，所有模拟电路均被关断。进入全省电模式的方法与进入部分省电模式相似，不过图35所示的时序必须执行两次。转换过程必须以类似方式中断，即在SCLK的第2个下降沿之后、第10个下降沿之前的任意时间将 \overline{CS} 变为高电平。此时器件进入部分省电模式。要达到全省电状态，必须以同样

的方式中断下一个转换周期，如图37所示。一旦 \overline{CS} 在SCLK的此窗口内变为高电平，器件即完全关断。请注意，一旦 \overline{CS} 变为高电平以便进入省电模式，便不需要完成14个SCLK周期。

若要退出全省电模式并使AD7266上电，需要像从部分省电模式上电一样执行一次伪转换。在 \overline{CS} 的下降沿，器件开始上电，并且只要 \overline{CS} 处于低电平便继续上电，直到第10个SCLK的下降沿之后。必须等到所需的上电时间逝去之后，才能启动转换，如图38所示。关于AD7266的上电时间，请参见上电时间部分。

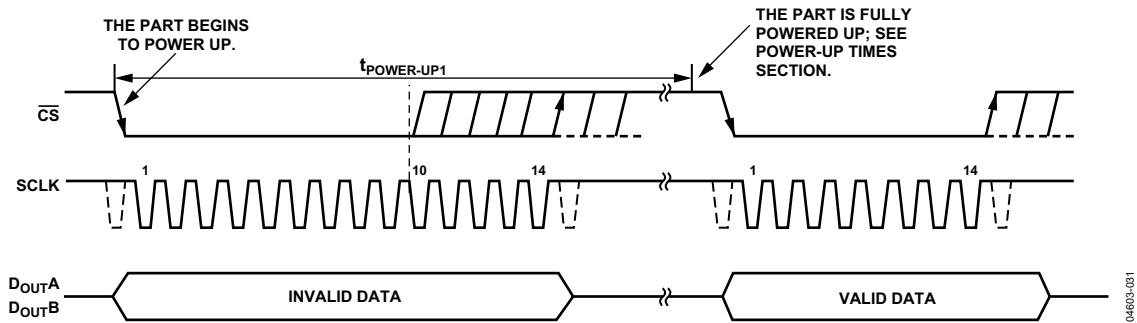


图36.退出部分省电模式

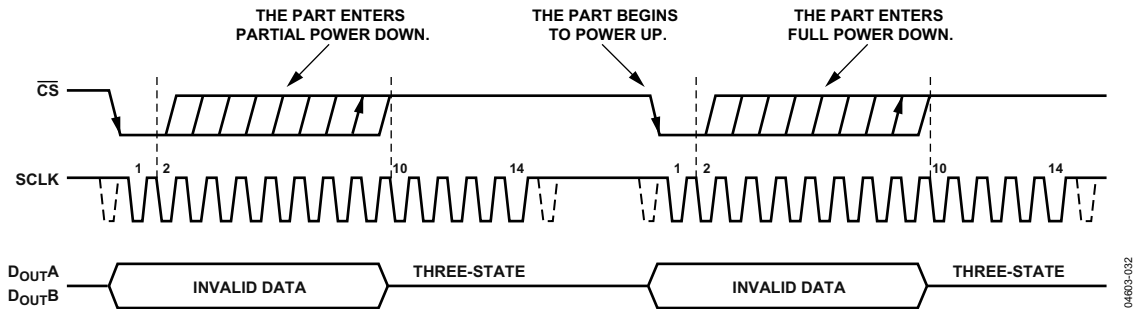


图37.进入全省电模式

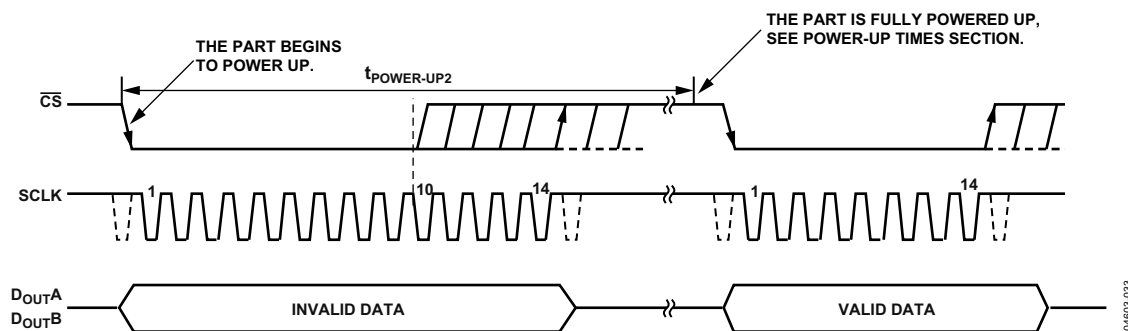


图38.退出全省电模式

上电时间

上文详细描述了AD7266的两种省电模式：部分省电模式和全省电模式。本部分说明退出这些模式所需的上电时间。应当注意，本部分所述上电时间的适用条件是 D_{CAPA} 和 D_{CAPB} 引脚上放置有推荐的电容。

要从全省电模式上电，应留出从 \overline{CS} 下降沿开始的大约1.5 ms时间，如图38的 $t_{POWER-UP2}$ 所示。从部分省电模式上电所需的时间则短得多，典型值为1 μ s；但如果使用内部基准电压源，则AD7266必须处于部分省电模式至少67 μ s，才能适用这一上电时间。

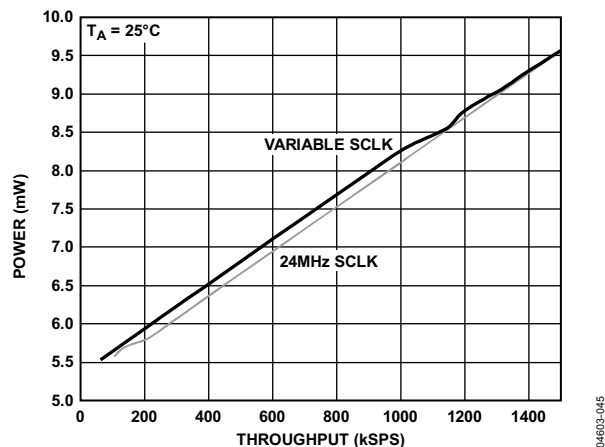
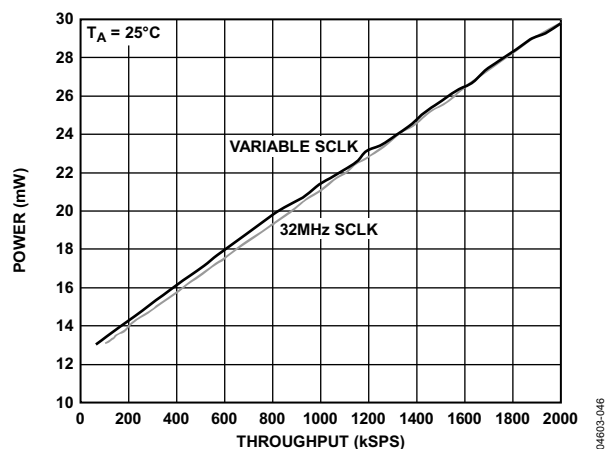
当AD7266首次接通电源时，ADC可能上电至任一种省电模式或正常模式。因此，最好历经一个伪转换周期，以确保器件完全上电后再执行有效转换。类似地，如果接通电源后希望器件保持部分省电模式，则必须启动两个伪转换周期。在第一个伪转换周期中， \overline{CS} 必须保持低电平，直到第10个SCLK下降沿之后（见图34）；CS在第二个伪转换周期中，必须在第2个SCLK下降沿之后、第10个SCLK下降沿之前变为高电平（见图35）。或者，如果接通电源后希望器件处于全省电模式，则必须启动三个伪转换周期。在第一个伪转换周期中， \overline{CS} 必须保持低电平，直到第10个SCLK下降沿之后（见图34）；第二和第三个伪转换周期使器件进入全省电模式（见图37）。

一旦AD7266接通电源，必须留出足够的时间，以便外部基准电压源完成上电，以及各种基准源缓冲去耦电容充电至最终值。

功耗与吞吐速率

AD7266的功耗随吞吐速率而变化。当使用非常低的吞吐速率和尽可能高的SCLK频率时，可以利用各种省电选项显著降低功耗。但是，AD7266的静态电流非常低，即使不使用速率的变化而发生明显变化。无论使用固定的SCLK值，还是使用与采样速率成比例的SCLK值，均是如此。图39和图

40分别显示了 $V_{DD} = 3$ V和 $V_{DD} = 5$ V、正常工作模式下功耗与吞吐速率的关系，各图中的两条曲线分别对应于一个固定最大SCLK频率和一个与采样速率成比例的SCLK频率。图中的所有情形均使用内部基准电压源。

图39. 正常模式下、 $V_{DD} = 3$ V时功耗与吞吐速率的关系图40. 正常模式下、 $V_{DD} = 5$ V时功耗与吞吐速率的关系

串行接口

图41给出了AD7266串行接口的详细时序图。串行时钟提供转换时钟，并在转换期间控制来自AD7266的信息传输。

\overline{CS} 信号启动数据传输和转换过程。 \overline{CS} 下降沿将采样保持器置于保持模式，同时器件对模拟输入进行采样，总线脱离三态。转换也在此时启动，至少需要14个SCLK才能完成。13个SCLK下降沿过去之后，采样保持器在下一个SCLK上升沿返回跟踪模式，如图41的B点所示。如果使用16个SCLK进行传输，则最后一个LSB之后会出现2个尾随零。在CS上升沿，转换终止， D_{OUTA} 和 D_{OUTB} 返回三态。如果在 D_{OUTA} 上接下来的14（或16）个SCLK周期， \overline{CS} 未变为高电平，而是保持低电平，则来自转换B的数据将在 D_{OUTA} 上输出（然后输出2个尾随零）。

同样，如果在 D_{OUTB} 上接下来的14（或16）个SCLK周期， \overline{CS} 保持低电平，则来自转换A的数据将在 D_{OUTB} 上输出。图42显示了针对 D_{OUTA} 的情形。本例中，使用中的 D_{OUT} 线在第32个SCLK下降沿或 \overline{CS} 上升沿（以最先出现者为准）返回三态。

执行转换过程并在AD7266的任一数据线上获取一次转换的数据至少需要14个串行时钟周期。 \overline{CS} 变为低电平，以提供微控制器或DSP需读取的前导零。余下的数据则在随后的SCLK下降沿逐个输出，从第二个前导零开始。因此，在串行时钟的第一个下降沿不仅会提供前导零，而且会输出第二个前导零。然后输出12位结果，数据传输中的最后一位在第14个下降沿有效，在前一个（第13个）下降沿输出。在SCLK较慢的应用中，可以在各SCLK上升沿读取数据，具体视SCLK频率而定。在 \overline{CS} 下降沿之后的第一个SCLK上升沿，可提供第二个前导零；在第13个SCLK上升沿，可提供DB0。

请注意，如果SCLK值很高，因而SCLK周期很短，则为了提供足够的时间 t_2 ，第一个SCLK下降沿之前可以出现一个SCLK上升沿。就本部分的时序描述而言，可以忽略该SCLK上升沿。如果一个SCLK下降沿与 \overline{CS} 下降沿重合，则AD7266不会应答该SCLK下降沿，下一个SCLK下降沿才是下降沿之后记录的第一个SCLK下降沿。

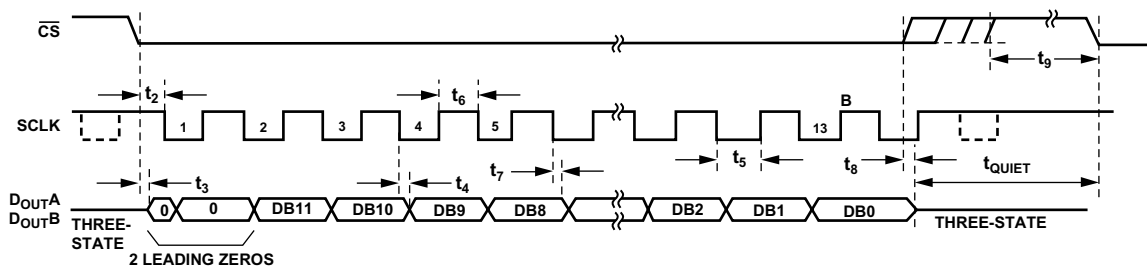


图41. 串行接口时序图

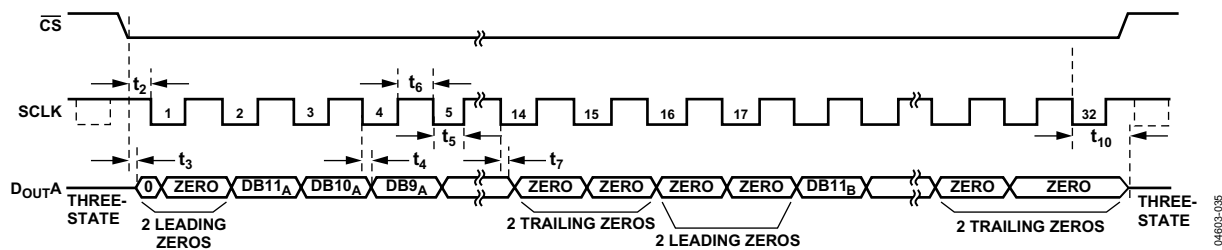


图42. 利用32个SCLK周期在一条DOUT线上读取来自两个ADC的数据

微处理器接口

通过AD7266的串行接口，可以将它与许多不同的微处理器相连。本部分说明如何利用串行接口协议实现AD7266与一些常见微控制器和DSP的接口。

AD7266接口ADSP-218x

ADSP-218x系列DSP可以直接与AD7266接口，无需任何胶连逻辑。AD7266的VDRIVE引脚采用与ADSP-218x相同的电源电压。因此，如果需要，ADC的工作电压可以高于其串行接口电压和ADSP-218x的工作电压。本例显示AD7266的D_{OUT}A和D_{OUT}B连接到ADSP-218x的两个串行端口。SPORT0和SPORT1控制寄存器应按照表7和表8所示进行设置。

表7. SPORT0控制寄存器设置

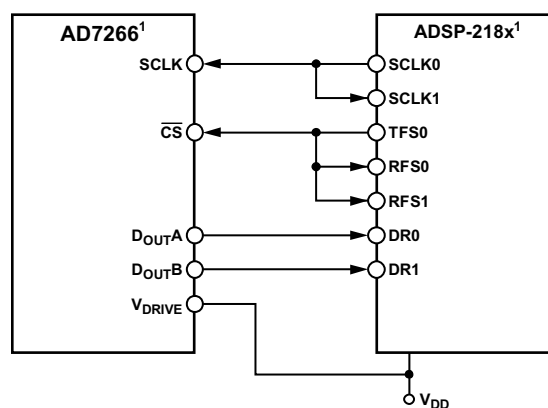
设置	描述
TFSW = RFSW = 1	交替帧传输
INVRFS = INVTFS = 1	低电平有效帧信号
DTYPE = 00	右对齐数据
SLEN = 1111	16位数据字（或者设为1101，表示14位数据字）
ISCLK = 1	内部串行时钟
TFSR = RFSR = 1	每个字一帧
IRFS = 0	
ITFS = 1	

表8. SPORT1控制寄存器设置

设置	描述
TFSW = RFSW = 1	交替帧传输
INVRFS = INVTFS = 1	低电平有效帧信号
DTYPE = 00	右对齐数据
SLEN = 1111	16位数据字（或者设为1101，表示14位数据字）
ISCLK = 0	外部串行时钟
TFSR = RFSR = 1	每个字一帧
IRFS = 0	
ITFS = 1	

为实现省电模式，SLEN应设为1001，以发出一个8位SCLK脉冲。

连接图如图43所示。SPORT0的TFS0和RFS0与SPORT1的RFS1相连。TFS0设为输出，RFS0和RFS1均设为输入。DSP以交替帧传输模式工作，SPORT控制寄存器按照上表进行设置。TFS上产生的帧同步信号连到CS，而且像所有信号处理应用一样，要求采用等距采样。但在本例中，定时器中断用于控制ADC的采样速率，某些情况下可能无法实现等距采样。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

图43. AD7266与ADSP-218x接口

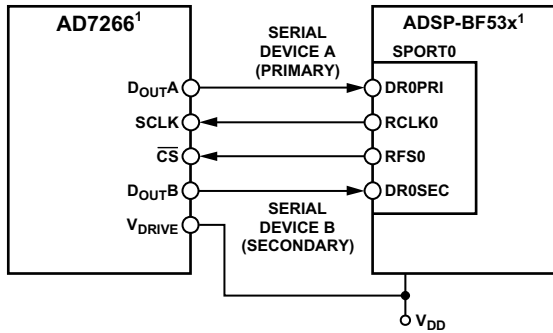
定时器寄存器中载入一个值，从而以要求的采样间隔提供中断。当收到中断时，会通过TFS/DT（ADC控制字）传输一个值。TFS用于控制RFS，因而也控制数据读取。串行时钟的频率由SCLKDIV寄存器控制。当发出通过TFS进行传输的指令时（AX0 = TX0），会检查SCLK的状态。DSP等到SCLK变高、变低、再变高之后，才开始传输。如果所选的定时器和SCLK值使得传输指令出现在SCLK上升沿上或其附近，则数据可能会被传输，也可能需要等到下一个时钟沿。

例如，ADSP-2111的主时钟频率为16 MHz。如果SCLKDIV寄存器的值为3，则将获得2 MHz的SCLK，即每8个主时钟周期产生1个SCLK周期。如果定时器寄存器的值为803，则两次中断之间，也就是两个传输指令之间会发生100.5个SCLK周期。这种情形将无法实现等距采样，因为传输指令出现在SCLK边沿。如果两次中断之间的SCLK数为整数N，则DSP可以实现等距采样。

AD7266

AD7266接口ADSP-BF53x

ADSP-BF53x系列DSP可以直接与AD7266接口，无需任何胶连逻辑。Blackfin®DSP的串行端口有两个接收寄存器，因此只需一个串行端口便可同时读取两个D_{OUT}引脚。图44显示AD7266的D_{OUT}A和D_{OUT}B连接到ADSP-BF53x的串行端口0。SPORT0接收配置1寄存器和SPORT0接收配置2寄存器应按照表9和表10所示进行设置。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

图44. AD7266与ADSP-BF53x接口

表9. SPORT0接收配置1寄存器(SPORT0_RCR1)

设置	描述
RCKFE = 1	在RSCLK下降沿采集数据
LRFS = 1	低电平有效帧信号
RFSR = 1	每个字一帧
IRFS = 1	使用内部RFS
RLSBIT = 0	首先接收MSB
RDTYPE = 00	填充0
IRCLK = 1	内部接收时钟
RSPEN = 1	接收使能
SLEN = 1111	16位数据字（或者设为1101，表示14位数据字）
TFSR = RFSR = 1	

表10. SPORT0接收配置2寄存器(SPORT0_RCR2)

设置	描述
RXSE = 1	次级端使能
SLEN = 1111	16位数据字（或者设为1101，表示14位数据字）

为实现省电模式，SLEN应设为1001，以发出一个8位SCLK脉冲。AD7266的Blackfin驱动程序可从www.analog.com下载。

AD7266接口TMS320C541

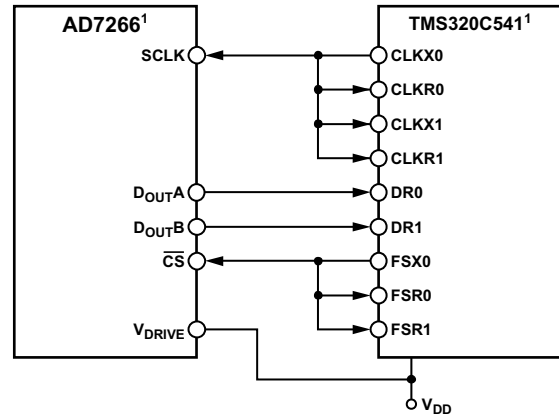
TMS320C541的串行接口利用连续串行时钟和帧同步信号同步与AD7266等外设的数据传输操作。通过CS输入可轻松实现TMS320C541与AD7266的接口，无需任何胶连逻辑。TMS320C541的串行端口设置为利用内部CLKX0(串行端口0上的TX串行时钟)和FSX0(来自串行端口0的TX帧同步信号)在突发模式下工作。串行端口控制寄存器(SPC)必须具有如下设置。

表11. 串行端口控制寄存器设置

SPC	FO	FSM	MCM	TXM
SPC0	0	1	1	1
SPC1	0	1	0	0

格式位FO可设为1，以将字长设为8位，从而实现AD7266的省电模式。

连接图如图45所示。对于信号处理应用，来自TMS320C541的帧同步信号必须提供等距采样。AD7266的VDRIVE引脚采用与TMS320C541相同的电源电压。因此，如果需要，ADC的工作电压可以高于其串行接口电压和TMS320C541的工作电压。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

图45. AD7266与TMS320C541接口

AD7266接口DSP563xx

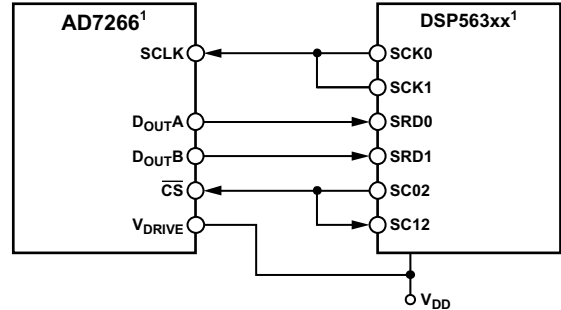
图46中的连接图显示AD7266如何连接到Motorola DSP563xx系列DSP的ESSI（同步串行接口）。有两个片上ESSI，均以同步模式工作（CRB寄存器的位SYN = 1），内部产生的字长帧同步信号同时用于TX和RX（CRB的位FSL1 = 0、位FSL0 = 0）。

设置CRB中的位MOD = 0，可选择ESSI的正常工作模式。设置CRA中的位WL1 = 1且位WL0 = 0，可将字长设为16位。

为实现AD7266的省电模式，可设置CRA中的位WL1 = 0且位WL0 = 0，以将字长变为8位。CRB中的位FSP应设为1，使帧同步为负。对于信号处理应用，来自DSP563xx的帧同步信号必须提供等距采样。

在图46所示例子中，串行时钟从ESSI0获得，因此SCK0引脚必须设为输出(SCKD = 1)，而SCK1引脚则设为输入(SCKD = 0)。帧同步信号从ESSI0上的SC02获得，SCD2 = 1，而在ESSI1上，SCD2 = 0；因此，SC12配置为输入。

AD7266的VDRIVE引脚采用与DSP563xx相同的电源电压。因此，如果需要，ADC的工作电压可以高于其串行接口电压和DSP563xx的工作电压。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

04603-039

图46. AD7266与DSP563xx接口

应用须知

接地和布局

为将模拟部分与数字部分之间的耦合降至最低，AD7266的模拟电源和数字电源彼此独立，各有单独的引脚排列。AD7266所在的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。这种设计便于使用接地层并让它们易于分离。

为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。AD7266的所有三个AGND引脚都应下沉到AGND层。数字地层和模拟地层应单点连接。如果AD7266系统内有多个器件要求AGND连到DGND，仍应坚持单点接地，把接地点放置在尽可能靠近AD7266接地引脚的一个星型接地点。

应避免在器件下方布设数字线路，否则会将噪声耦合至芯片。不过，应允许模拟接地层布设在AD7266下方，以避免噪声耦合。AD7266的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。

为避免向电路板上的其它部分辐射噪声，时钟等快速开关信号应利用数字地屏蔽起来，并且时钟信号绝不应靠近模拟输入。避免数字信号与模拟信号交叠。为减小电路板内的馈通效应，电路板相反两侧上的走线应彼此垂直。微带线技术是最佳方法，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

良好的去耦也很重要。应将10 μF 钽电容与0.1 μF 陶瓷电容并联，对所有模拟电源去耦到GND。为使这些去耦元件实现最佳效果，必须使其尽可能靠近器件，最好是紧贴器件。

0.1 μF 电容应具有低有效串联电阻例如普通陶瓷型或表贴型。这种低ESR和ESI电容可在高频时提供低阻抗接地路径，以便处理内部逻辑开关所引起的瞬态电流。

LFCSP版本PCB设计指南

芯片级封装(CP-32-3)上的焊盘为方形。PCB焊盘应比封装焊盘长0.1 mm，宽0.05 mm，从而暴露封装焊盘的一部分。为确保焊点最大，封装焊盘应位于引脚焊盘中央。

芯片级封装的底部有一个散热垫。PCB的散热垫至少应与裸露焊盘一样大。在PCB上，散热垫与焊盘图形内边的间距至少应为0.25 mm，以确保不会发生短路。

为改善封装的热性能，PCB应使用散热通孔，并且散热通孔应与散热垫合为一体，间距为1.2 mm。通孔直径应在0.3 mm至0.33 mm之间，通孔管应镀以1盎司的铜，以堵住通孔。用户应将PCB散热垫连到AGND。

AD7266性能评估

评估板文档描述了AD7266的推荐布局。评估板套件包括装配完善且经过测试的评估板、文档以及用于从PC通过评估板控制器控制评估板的软件。评估板控制器可以配合AD7266评估板及带CB标志后缀的其它许多ADI评估板使用，以演示和评估AD7266的交流和直流性能。

用户可以利用软件对AD7266执行交流（快速傅里叶变换）和直流（码字直方图）测试。软件和文档位于随评估板提供的CD上。

外形尺寸

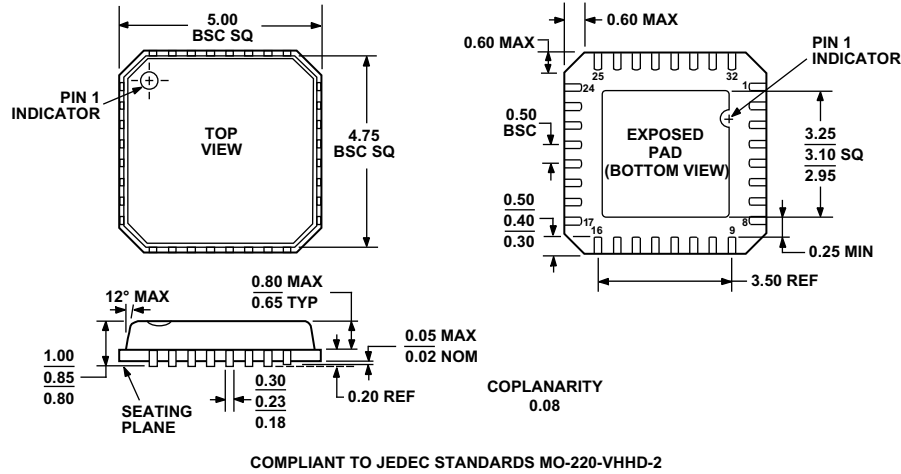


图47. 32引脚LFCSP_VQ封装, 5 mm x 5 mm超薄体(CP-32-2), 尺寸单位: mm

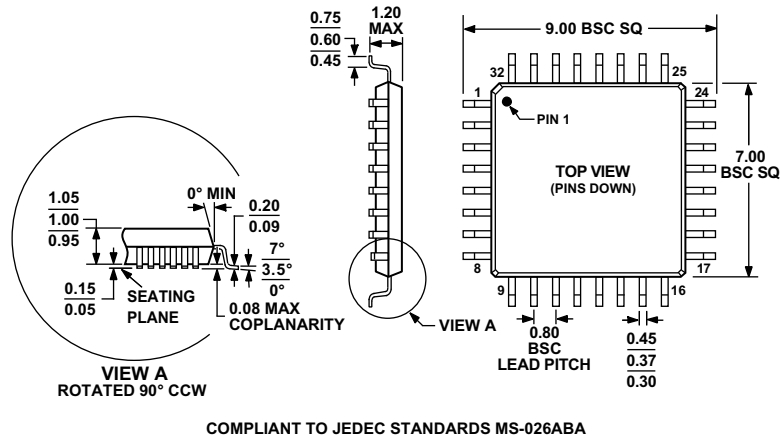


图48. 32引脚TQFP封装(SU-32-2), 尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项
AD7266BCP	-40°C至 +125°C	32引脚LFCSP_VQ	CP-32-2
AD7266BCPZ ¹	-40°C至 +125°C	32引脚LFCSP_VQ	CP-32-2
AD7266BCPZ-REEL ¹	-40°C至 +125°C	32引脚LFCSP_VQ	CP-32-2
AD7266BCPZ-REEL ¹	-40°C至 +125°C	32引脚LFCSP_VQ	CP-32-2
AD7266BSUZ ¹	-40°C至 +125°C	32引脚TQFP	SU-32-2
AD7266BSUZ-REEL ¹	-40°C至 +125°C	32引脚TQFP	SU-32-2
AD7266BSUZ-REEL ¹	-40°C至 +125°C	32引脚TQFP	SU-32-2
EVAL-AD7266CB ²		评估板	
EVAL-CONTROL BRD2 ³		控制板	

¹ Z = 无铅器件。

² 此板可单独用作评估板, 或与EVAL-CONTROL板配合用于评估/演示。

³ 此板是个完整单元, 允许PC对所有带CB标志后缀的ADI评估板进行控制并与之通信。要订购完整的评估套件, 必须订购指定的ADC评估板 (如EVAL-AD7266CB)、EVAL-CONTROL BRD2和一个12V交流输出变压器。更多详情请见相关评估板的技术笔记。

AD7266

注释