

特性

- 输入电压范围：3.3 V至20 V
- 最大输出电流：300 mA
- 低噪声：15 $\mu\text{V rms}$ (固定输出型)
- PSRR性能：60 dB (10 kHz, $V_{\text{OUT}} = 3.3 \text{ V}$)
- 反向电流保护
- 低压差：200 mV (300 mA负载)
- 初始精度： $\pm 0.8\%$
- 在整个线路、负载与温度范围内的精度： $-2\%, +1\%$
- 低静态电流($V_{\text{IN}} = 5 \text{ V}$): $I_{\text{GND}} = 750 \mu\text{A}$ (300 mA负载)
- 低关断电流：40 μA ($V_{\text{IN}} = 12 \text{ V}$ 时)
- 利用1 μF 小型陶瓷输出电容实现稳定工作
- 7种固定输出电压选项：1.5 V、1.8 V、2.5 V、3 V、3.3 V、5 V和9 V
- 可调输出电压范围：1.22 V至 $V_{\text{IN}} - V_{\text{DO}}$
- 返送电流限制和热过载保护
- 用户可编程的精密UVLO/使能功能
- 电源良好指示
- 8引脚LFCSP和8引脚SOIC封装

特性

- 适应噪声敏感应用：ADC、DAC电路、精密放大器、高频振荡器、时钟和PLL
- 通信和基础设施
- 医疗和保健
- 工业与仪器仪表

概述

ADP7102是一款CMOS、低压差线性调节器，采用3.3 V至20 V电源供电，最大输出电流为300 mA。这款高输入电压LDO适用于调节19 V至1.22 V供电的高性能模拟和混合信号电路。该器件采用先进的专有架构，提供高电源抑制、低噪声特性，仅需一个1 μF 小型陶瓷输出电容，便可实现出色的线路与负载瞬态响应性能。

ADP7102提供7个固定输出电压选项和可调输出型号，可通过外置反馈分压器，将输出电压调节至1.22 V至 $V_{\text{IN}} - V_{\text{DO}}$ 。

典型应用电路

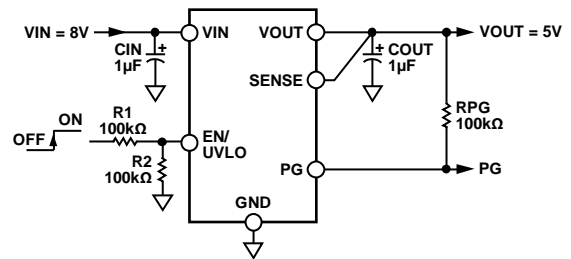


图1. 提供5 V固定输出电压的ADP7102

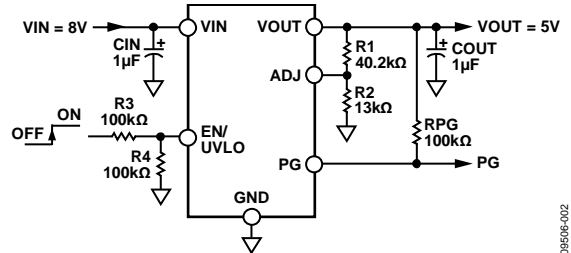


图2. 提供5 V可调输出电压的ADP7102

ADP7102输出噪声电压为15 $\mu\text{V rms}$ ，并不受输出电压影响。这些器件具有一个“电源良好”数字输出引脚，允许电源系统监控器检查输出电压是否正常。用户可编程精密欠压闭锁功能方便控制多个电源的时序。

ADP7102提供8引脚3 mm \times 3 mm LFCSP和8引脚SOIC两种封装。LFCSP不仅提供一种超紧凑的解决方案，而且散热性能出色，在小尺寸薄型电路板空间中满足高达300 mA输出电流的应用需求。

目录

特性.....	1	工作原理.....	17
应用.....	1	应用信息.....	18
典型应用电路.....	1	电容选择.....	18
概述.....	1	可编程欠压闭锁(UVLO).....	19
修订历史.....	2	电源良好特性.....	20
技术规格.....	3	ADP7102可调型号的降噪特性.....	20
推荐规格：输入和输出电容.....	4	限流和热过载保护.....	21
绝对最大额定值.....	5	散热考虑.....	21
热数据.....	5	印刷电路板布局考量.....	24
ESD警告.....	5	外形尺寸.....	25
引脚配置和功能描述.....	6	订购指南.....	26
典型工作特性.....	7		

修订历史

2011年11月—修订版0至修订版A

更改图50..... 14

2011年10月—修订版0：初始版

技术规格

除非另有说明, $V_{IN} = (V_{OUT} + 1\text{ V})$ 或 3.3 V (取较大者), $EN = V_{IN}$, $I_{OUT} = 10\text{ mA}$, $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$, $T_A = 25^\circ\text{C}$ 。

表1.

参数	符号	条件	最小值	典型值	最大值	单位
输入电压范围	V_{IN}		3.3		20	V
工作电源电流	I_{GND}	$I_{OUT} = 100\text{ }\mu\text{A}, V_{IN} = 10\text{ V}$ $I_{OUT} = 100\text{ }\mu\text{A}, V_{IN} = 10\text{ V}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 10\text{ mA}, V_{IN} = 10\text{ V}$ $I_{OUT} = 10\text{ mA}, V_{IN} = 10\text{ V}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 150\text{ mA}, V_{IN} = 10\text{ V}$ $I_{OUT} = 150\text{ mA}, V_{IN} = 10\text{ V}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 300\text{ mA}, V_{IN} = 10\text{ V}$ $I_{OUT} = 300\text{ mA}, V_{IN} = 10\text{ V}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		400	900	μA μA μA μA μA μA μA
关断电流	I_{GND-SD}	$EN = GND, V_{IN} = 12\text{ V}$ $EN = GND, V_{IN} = 12\text{ V}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		40	75	μA μA
输入反向电流	$I_{REV-INPUT}$	$EN = GND, V_{IN} = 0\text{ V}, V_{OUT} = 20\text{ V}$ $EN = GND, V_{IN} = 0\text{ V}, V_{OUT} = 20\text{ V}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		0.3	5	μA μA
输出电压精度						
固定输出电压精度	V_{OUT}	$I_{OUT} = 10\text{ mA}$ $1\text{ mA} < I_{OUT} < 300\text{ mA}, V_{IN} = (V_{OUT} + 1\text{ V})$ 至 20 V , $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-0.8 -2		+0.8 +1	% %
可调输出电压精度	V_{ADJ}	$I_{OUT} = 10\text{ mA}$ $1\text{ mA} < I_{OUT} < 300\text{ mA}, V_{IN} = (V_{OUT} + 1\text{ V})$ 至 20 V , $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	1.21 1.196	1.22	1.23 1.232	V V
线性调整率	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 1\text{ V})$ 至 $20\text{ V}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-0.015		+0.015	%/V
负载调整率 ¹	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 1\text{ mA}$ 至 300 mA $I_{OUT} = 1\text{ mA}$ 至 $300\text{ mA}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		0.2	1.0	%/A %/A
ADJ输入偏置电流	ADJ_{I-BIAS}	$1\text{ mA} < I_{OUT} < 300\text{ mA}, V_{IN} = (V_{OUT} + 1\text{ V})$ 至 20 V , ADJ connected to VOUT		10		nA
SENSE输入偏置电流	$SENSE_{I-BIAS}$	$1\text{ mA} < I_{OUT} < 300\text{ mA}, V_{IN} = (V_{OUT} + 1\text{ V})$ 至 20 V , SENSE连接到VOUT, $V_{OUT} = 1.5\text{ V}$		1		μA
压差 ²	$V_{DROPOUT}$	$I_{OUT} = 10\text{ mA}$ $I_{OUT} = 10\text{ mA}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 150\text{ mA}$ $I_{OUT} = 150\text{ mA}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_{OUT} = 300\text{ mA}$ $I_{OUT} = 300\text{ mA}, T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		20	40 100 175 200 325	mV mV mV mV mV
启动时间 ³	$t_{START-UP}$	$V_{OUT} = 5\text{ V}$		800		μs
限流阈值 ⁴	I_{LIMIT}		450	575	750	mA
PG输出逻辑电平						
PG输出逻辑高电平	PG_{HIGH}	$I_{OH} < 1\text{ }\mu\text{A}$	1.0			V
PG输出逻辑低电平	PG_{LOW}	$I_{OL} < 2\text{ mA}$			0.4	V
PG输出阈值						
输出电压下降	PG_{FALL}			-9.2		%
输出电压上升	PG_{RISE}			-6.5		%
热关断						
热关断阈值	TS_{SD}	T_J 上升		150		$^\circ\text{C}$
热关断迟滞	TS_{SD-HYS}			15		$^\circ\text{C}$

ADP7102

参数	符号	条件	最小值	典型值	最大值	单位
可编程EN/UVLO						
UVLO阈值上升	UVLO _{RISE}	$3.3\text{ V} \leq V_{IN} \leq 20\text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	1.18	1.23	1.28	V
UVLO阈值下降	UVLO _{FALL}	$3.3\text{ V} \leq V_{IN} \leq 20\text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, 10 k Ω 电阻与使能引脚串联		1.13		V
UVLO迟滞电流	UVLO _{HYS}	$V_{EN} > 1.25\text{ V}$, $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	7.5	9.8	12	μA
使能下拉电流	I _{EN-IN}	$EN = V_{IN}$		500		nA
输入电压						
启动阈值	V _{START}	$T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			3.2	V
关断阈值	V _{SHUTDOWN}	$T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	2.45			V
迟滞				250		mV
输出噪声	OUT _{NOISE}	10 Hz 至 100 kHz, $V_{IN} = 5.5\text{ V}$, $V_{OUT} = 1.8\text{ V}$		15		$\mu\text{V rms}$
		10 Hz 至 100 kHz, $V_{IN} = 6.3\text{ V}$, $V_{OUT} = 3.3\text{ V}$		15		$\mu\text{V rms}$
		10 Hz 至 100 kHz, $V_{IN} = 8\text{ V}$, $V_{OUT} = 5\text{ V}$		15		$\mu\text{V rms}$
		10 Hz 至 100 kHz, $V_{IN} = 12\text{ V}$, $V_{OUT} = 9\text{ V}$		15		$\mu\text{V rms}$
		10 Hz 至 100 kHz, $V_{IN} = 5.5\text{ V}$, $V_{OUT} = 1.5\text{ V}$, 可调模式		18		$\mu\text{V rms}$
		10 Hz 至 100 kHz, $V_{IN} = 12\text{ V}$, $V_{OUT} = 5\text{ V}$, 可调模式		30		$\mu\text{V rms}$
		10 Hz 至 100 kHz, $V_{IN} = 18\text{ V}$, $V_{OUT} = 15\text{ V}$, 可调模式		65		$\mu\text{V rms}$
电源抑制比	PSRR	100 kHz, $V_{IN} = 4.3\text{ V}$, $V_{OUT} = 3.3\text{ V}$		50		dB
		100 kHz, $V_{IN} = 6\text{ V}$, $V_{OUT} = 5\text{ V}$		50		dB
		10 kHz, $V_{IN} = 4.3\text{ V}$, $V_{OUT} = 3.3\text{ V}$		60		dB
		10 kHz, $V_{IN} = 6\text{ V}$, $V_{OUT} = 5\text{ V}$		60		dB
		100 kHz, $V_{IN} = 3.3\text{ V}$, $V_{OUT} = 1.8\text{ V}$, 可调模式		50		dB
		100 kHz, $V_{IN} = 6\text{ V}$, $V_{OUT} = 5\text{ V}$, 可调模式		60		dB
		100 kHz, $V_{IN} = 16\text{ V}$, $V_{OUT} = 15\text{ V}$, 可调模式		60		dB
		10 kHz, $V_{IN} = 3.3\text{ V}$, $V_{OUT} = 1.8\text{ V}$, 可调模式		60		dB
		10 kHz, $V_{IN} = 6\text{ V}$, $V_{OUT} = 5\text{ V}$, 可调模式		80		dB
		10 kHz, $V_{IN} = 16\text{ V}$, $V_{OUT} = 15\text{ V}$, 可调模式		80		dB

¹ 基于使用1 mA 和300 mA负载的端点计算。1 mA以下负载的典型负载调整性能见图6。

² 压差定义为将输入电压设置为标称输出电压时的输入至输出电压差。仅适用于高于3.0 V的输出电压。

³ 启动时间定义为EN的上升沿到V_{OUT}达到其标称值90%的时间。

⁴ 限流阈值定义为输出电压降至额定典型值90%时的电流。例如，5.0 V输出电压的电流限值定义为引起输出电压降至5.0 V的90%或4.5 V的电流。

推荐规格：输入和输出电容

表2.

参数	符号	条件	最小值	典型值	最大值	单位
最小输入和输出电容 ¹	C _{MIN}	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	0.7			μF
电容ESR	R _{ESR}	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	0.001		0.2	Ω

¹ 在所有工作条件下，输入和输出电容至少应大于0.7 μF 。选择器件时必须考虑应用的所有工作条件，确保达到最小电容要求。配合任何LDO使用时，建议使用X7R型和X5R型电容，不建议使用Y5V和Z5U电容。

绝对最大额定值

表3.

参数	额定值
VIN 至 GND	-0.3 V 至 +22 V
VOUT 至 GND	-0.3 V 至 +20 V
EN/UVLO 至 GND	-0.3 V 至 VN
PG 至 GND	-0.3 V 至 VIN
SENSE/ADJ 至 GND	-0.3 V 至 VOUT
存储温度范围	-65°C 至 +150°C
工作结温范围	-40°C 至 +125°C
工作环境温度范围	40°C 至 +85°C
焊接条件	JEDEC J-STD-020

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热数据

绝对最大额定值仅适合单独应用，但不适合组合使用。如果温度超过结温限值，ADP7102可能会受损。监控环境温度并不能保证T_J不会超出额定温度限值。在功耗高、热阻差的应用中，可能必须降低最大环境温度。

在功耗适中、PCB热阻较低的应用中，只要结温处于额定限值以内，最大环境温度可以超过最大限值。器件的结温(T_J)取决于环境温度(T_A)、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。

最高结温(T_J)由环境温度(T_A)和功耗(P_D)通过下式计算：

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结至环境热阻(θ_{JA})基于使用4层板的建模和计算方法，主要取决于应用和板布局。在最大功耗较高的应用中，需要特别注意热板设计。θ_{JA}的值可能随PCB材料、

布局和环境条件不同而异。θ_{JA}的额定值基于4" × 3"的4层电路板。有关板结构的详细信息，请参考JESD51-7和JESD51-9。更多信息请登录www.analog.com，查阅应用笔记AN-617：“MicroCSP™晶圆级芯片规模封装”。

Ψ_{JB}是结至板热特性参数，单位为°C/W。封装的Ψ_{JB}基于使用4层板的建模和计算方法。JESD51-12“报告和使用电子封装热信息指南”中声明，热特性参数与热阻不是一回事。Ψ_{JB}衡量沿多条热路径流动的器件功率，而θ_{JB}只涉及一条路径。因此，Ψ_{JB}热路径包括来自封装顶部的对流和封装的辐射，这些因素使得Ψ_{JB}在现实应用中更有用。最高结温(T_J)由板温度(T_B)和功耗(P_D)通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关Ψ_{JB}的更详细信息，请参考JESD51-8和JESD51-12。

热阻

θ_{JA}和Ψ_{JB}针对最差条件，即器件焊接在电路板上以实现表贴封装。θ_{JC}是带顶部安装散热器的表贴封装的参数，这里提供的θ_{JC}仅供参考。

表4. 热阻

封装类型	θ _{JA}	θ _{JC}	Ψ _{JB}	单位
8引脚 LFCSP	40.1	27.1	17.2	°C/W
8引脚 SOIC	48.5	58.4	31.3	°C/W

ESD警告

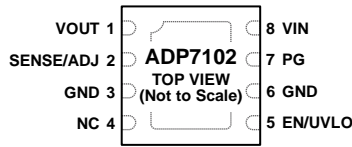


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADP7102

引脚配置和功能描述

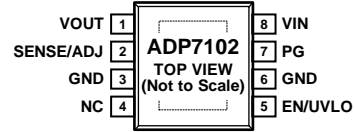


NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. IT IS HIGHLY RECOMMENDED THAT THE EXPOSED PAD ON THE BOTTOM OF THE PACKAGE BE CONNECTED TO THE GROUND PLANE ON THE BOARD.

09506-003

图3. LFCSP封装



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. IT IS HIGHLY RECOMMENDED THAT THE EXPOSED PAD ON THE BOTTOM OF THE PACKAGE BE CONNECTED TO THE GROUND PLANE ON THE BOARD.

09506-104

图4. 窄体SOIC封装

表5. 引脚功能描述

引脚编号	引脚名称	描述
1	VOUT	调节输出电压。VOUT至GND接1 μF或更大的旁路电容。
2	SENSE/ADJ	检测(SENSE)。测量负载上的实际输出电压，并将其馈入误差放大器。应使SENSE引脚尽可能靠近负载，使得调节器输出与负载之间的IR压降的影响最小。此功能仅适用于固定电压选项。 调整输入(ADJ)。外部电阻分压器设置输出电压。此功能仅适用于可调电压选项。
3	GND	地。
4	NC	请勿连接该引脚。
5	EN/UVLO	使能输入(EN)。将EN接到高电平，调节器启动；将EN接到低电平，调节器关闭。若要实现自动启动，请将EN接VIN。 可编程欠压闭锁(UVLO)。使用可编程UVLO功能时，上下限由编程电阻决定。
6	GND	地。
7	PG	电源良好。此开漏输出需要一个外部上拉电阻连接至VIN或VOUT。如果器件处于关断模式、限流模式、热关断模式，或者如果它降至标称输出电压的90%以下，PG引脚将立即变为低电平。如果不用电源良好功能，可将此引脚悬空或连接到地。
8	VIN EPAD	调节器输入电源。VIN至GND接1 μF或更大的旁路电容。 裸露焊盘。封装底部的裸露焊盘。EPAD可增强散热性能，它与封装内部的GND形成电气连接。强烈建议将EPAD连接到板上的接地层。

典型工作特性

除非另有说明, $V_{IN} = 5\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 1\text{ mA}$, $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$, $T_A = 25^\circ\text{C}$ 。

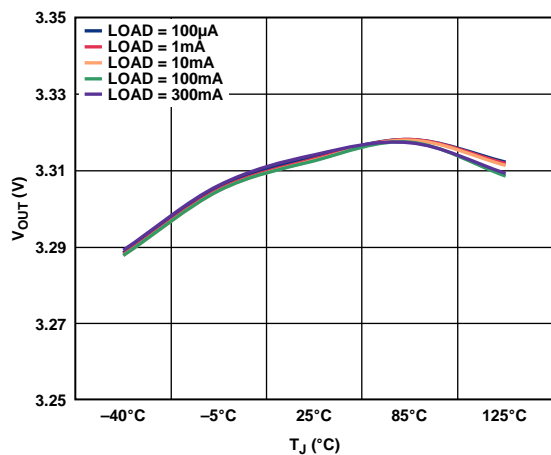


图5. 输出电压与结温的关系

09506-004

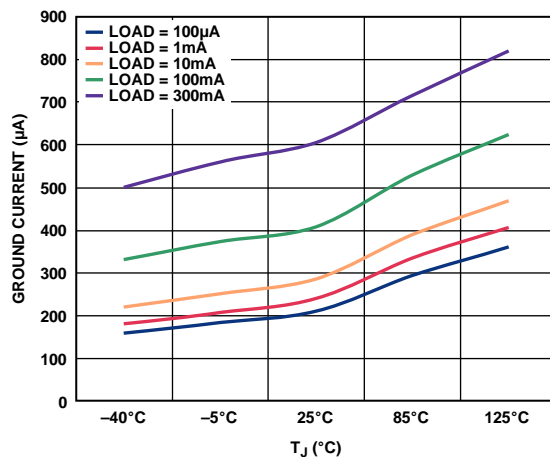


图8. 接地电流与结温的关系

09506-007

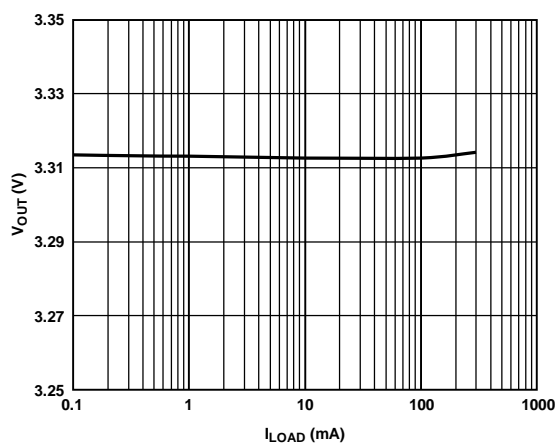


图6. 输出电压与负载电流的关系

09506-005

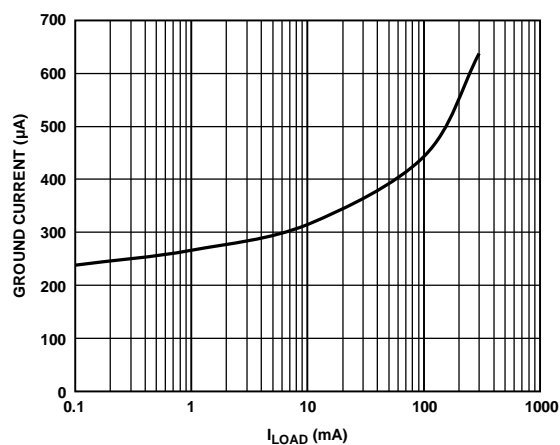


图9. 接地电流与负载电流的关系

09506-008

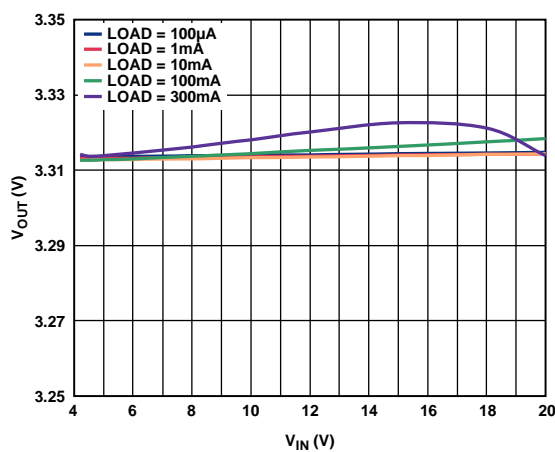


图7. 输出电压与输入电压的关系

09506-006

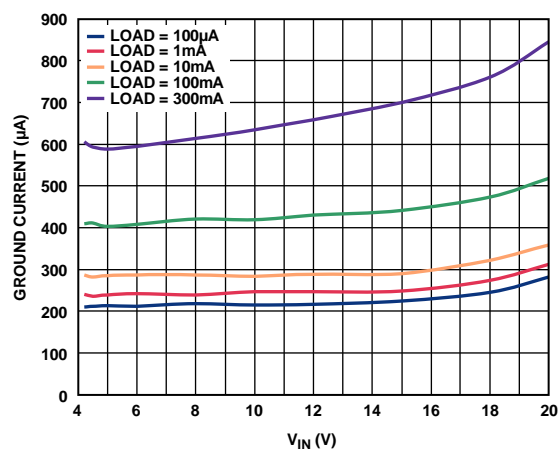


图10. 接地电流与输入电压的关系

09506-009

ADP7102

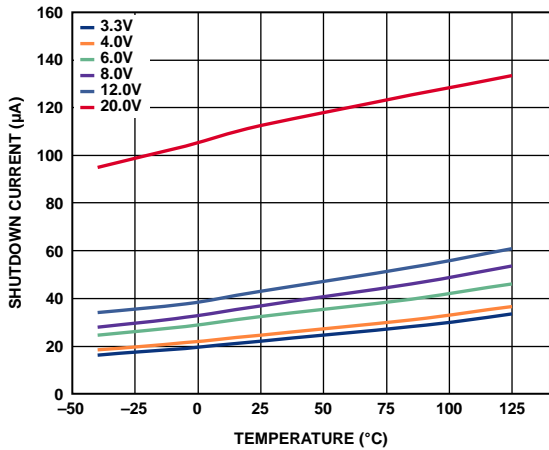


图11. 不同输入电压下关断电流与温度的关系

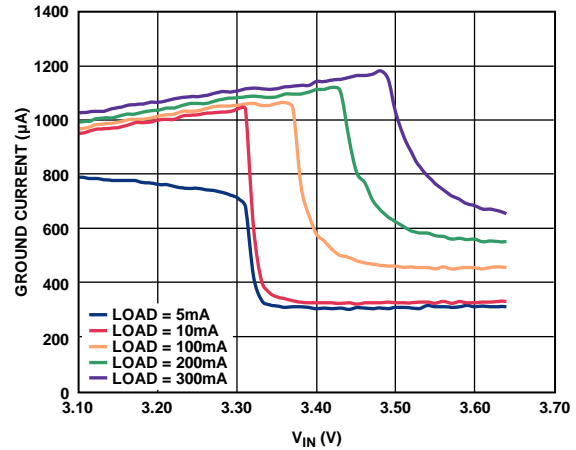


图14. 低压差下接地电流与输入电压的关系

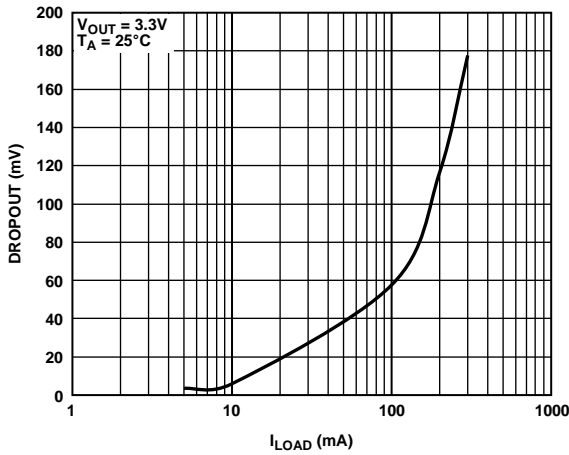


图12. 压差与负载电流的关系

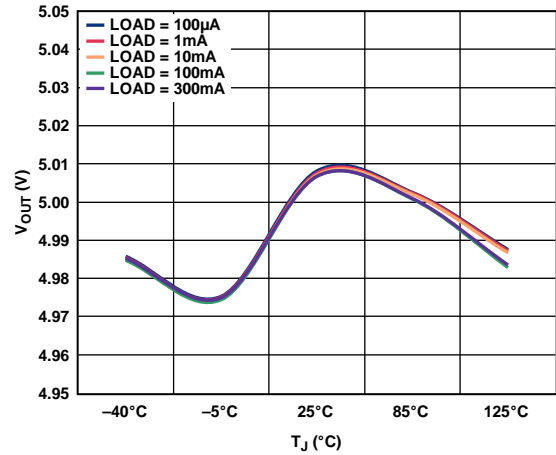


图15. 输出电压与结温的关系 (VOUT = 5 V)

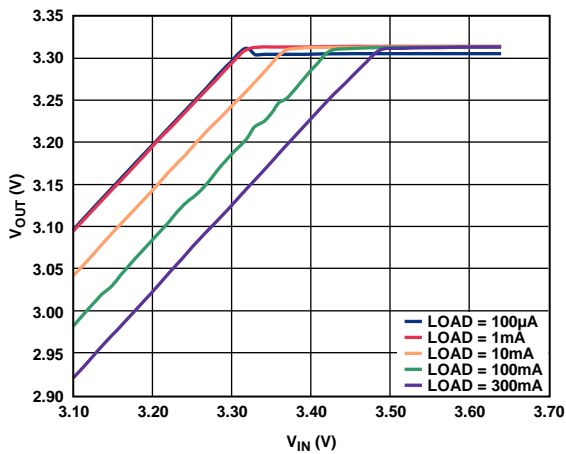


图13. 低压差下输出电压与输入电压的关系

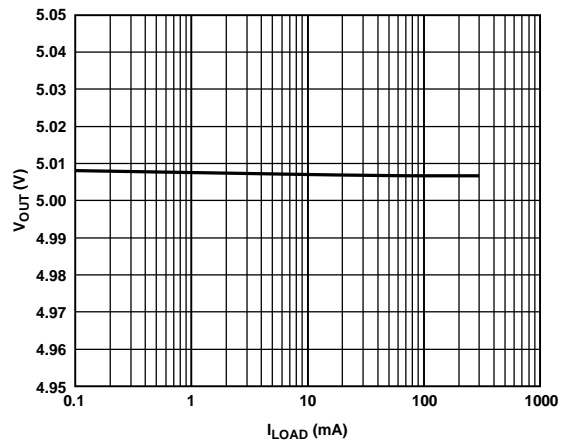


图16. 输出电压与负载电流的关系 (VOUT = 5 V)

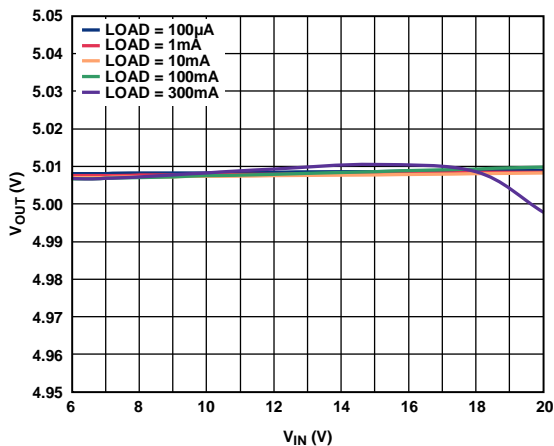


图17. 输出电压与输入电压的关系($V_{OUT} = 5\text{ V}$)

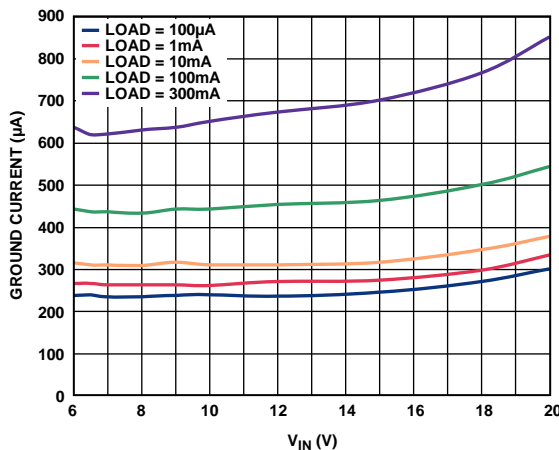


图20. 接地电流与输入电压的关系($V_{OUT} = 5\text{ V}$)

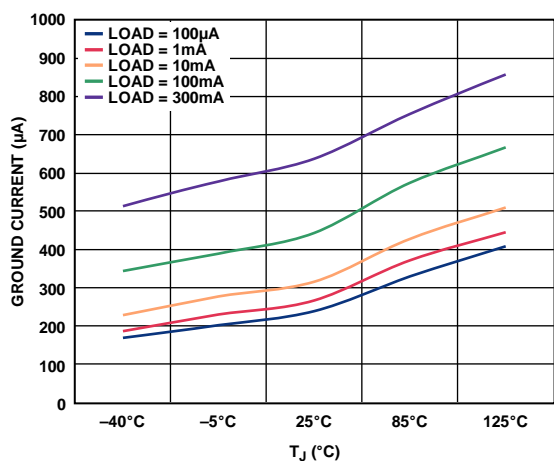


图18. 接地电流与结温的关系($V_{OUT} = 5\text{ V}$)

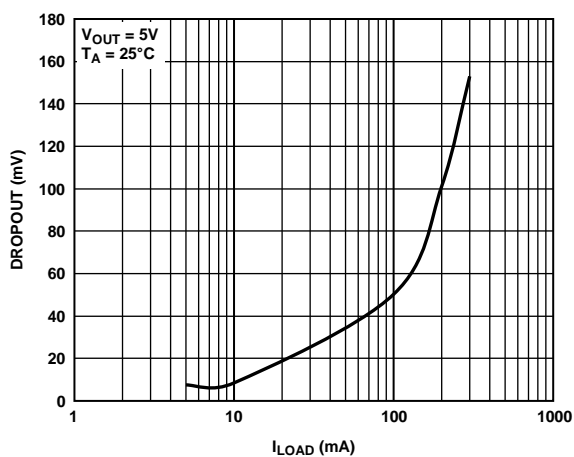


图21. 压差与负载电流的关系($V_{OUT} = 5\text{ V}$)

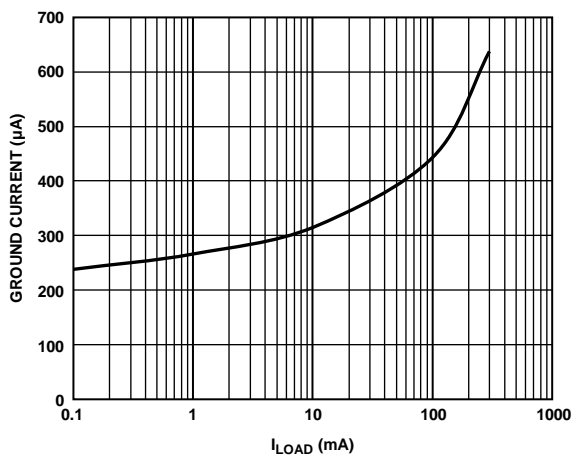


图19. 接地电流与负载电流的关系($V_{OUT} = 5\text{ V}$)

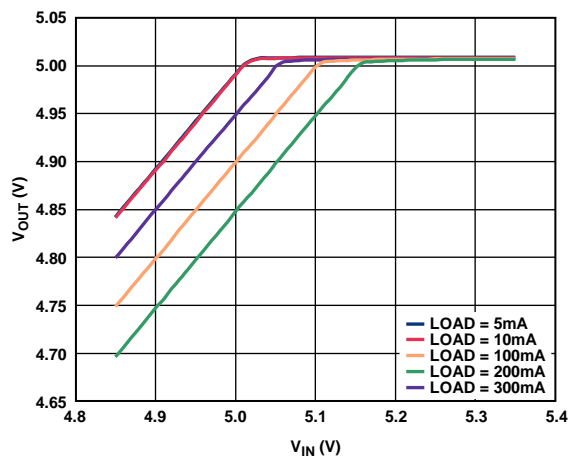


图22. 低压差下输出电压与输入电压的关系($V_{OUT} = 5\text{ V}$)

ADP7102

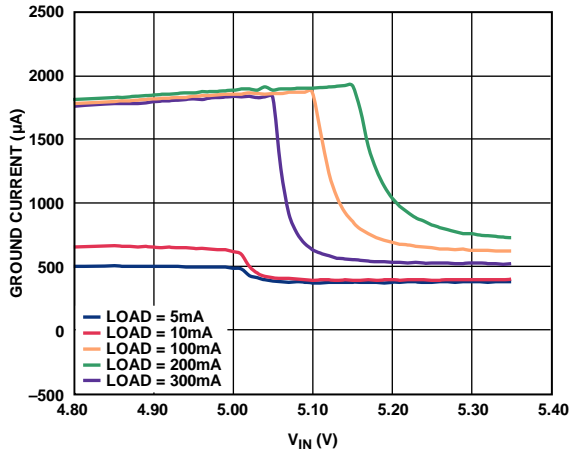


图23. 低压差下接地电流与输入电压的关系($V_{OUT} = 5V$)

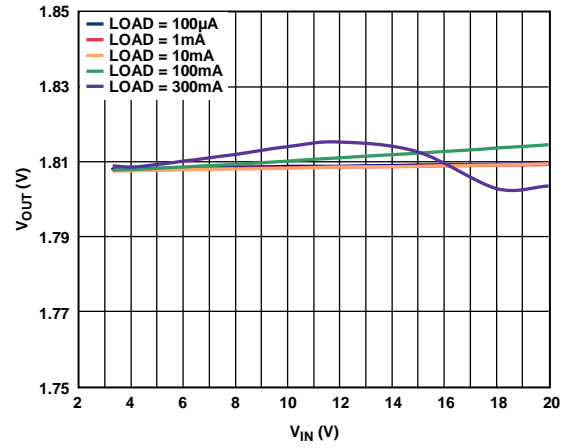


图26. 输出电压与输入电压的关系($V_{OUT} = 1.8V$)

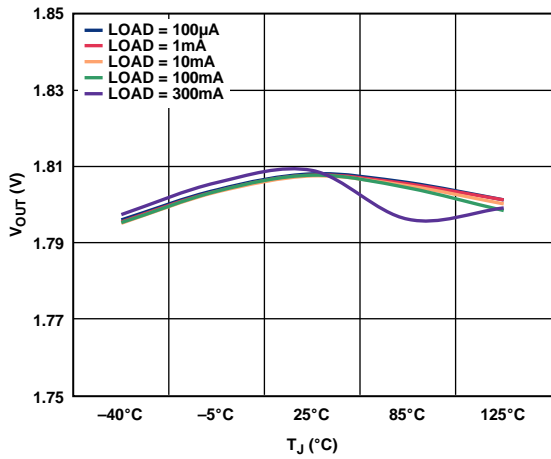


图24. 输出电压与结温的关系($V_{OUT} = 1.8V$)

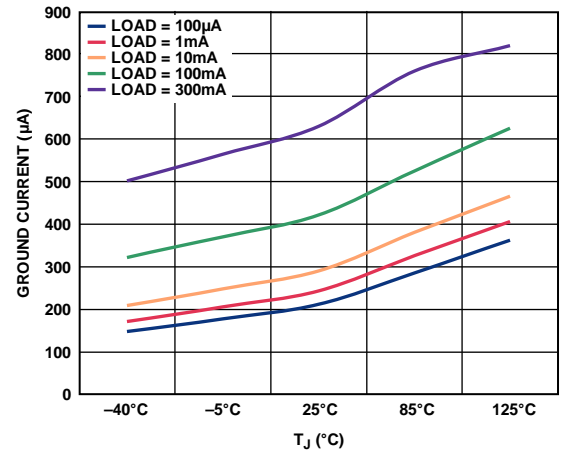


图27. 接地电流与结温的关系($V_{OUT} = 1.8V$)

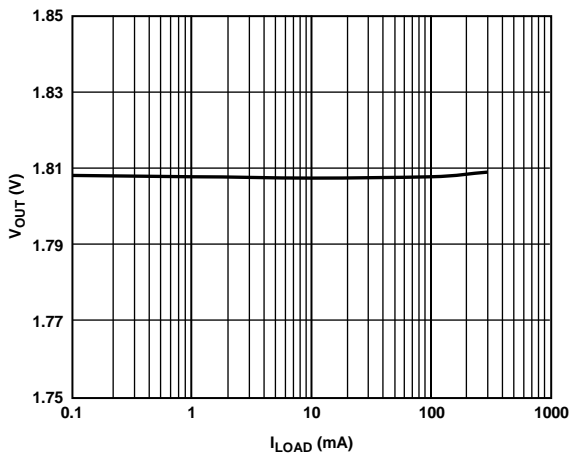


图25. 输出电压与负载电流的关系($V_{OUT} = 1.8V$)

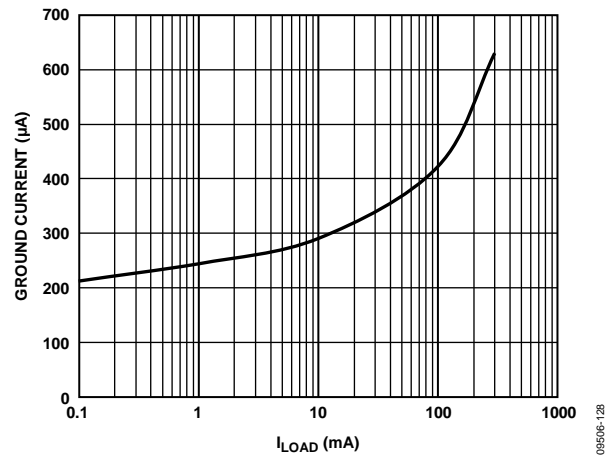


图28. 接地电流与负载电流的关系($V_{OUT} = 1.8V$)

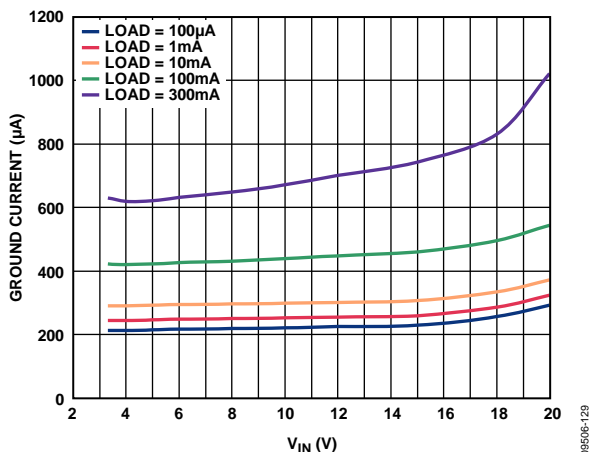


图29. 接地电流与输入电压的关系($V_{OUT} = 1.8\text{ V}$)

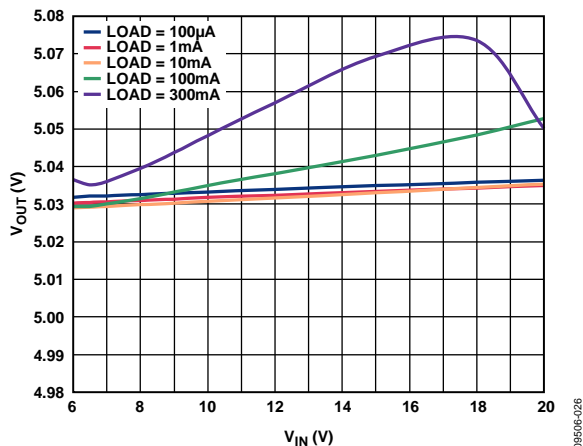


图32. 输出电压与输入电压的关系($V_{OUT} = 5\text{ V}$, 可调)

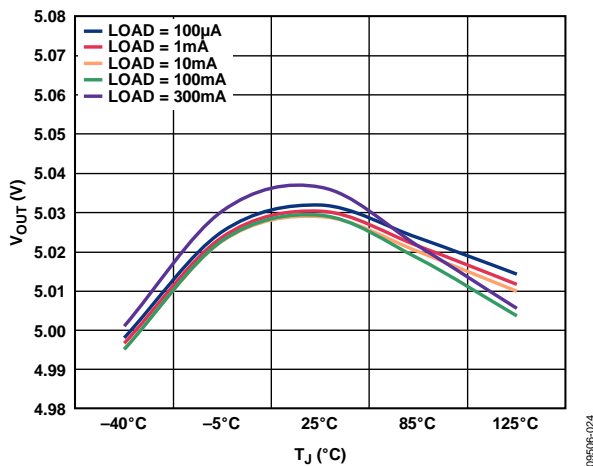


图30. 输出电压与结温的关系($V_{OUT} = 5\text{ V}$, 可调)

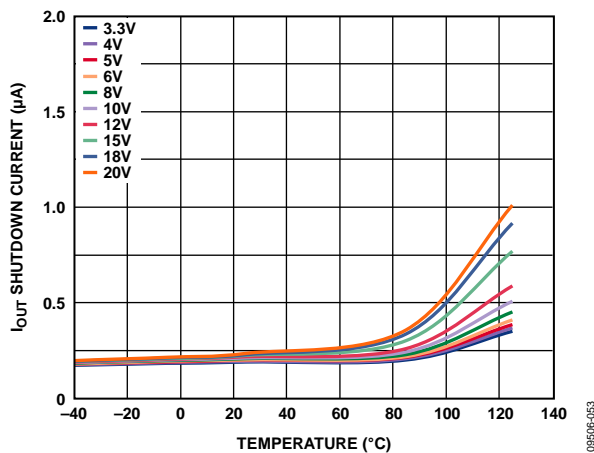


图33. 反相输入电流与温度的关系($V_{IN} = 0\text{ V}$, V_{OUT} 为差分电压)

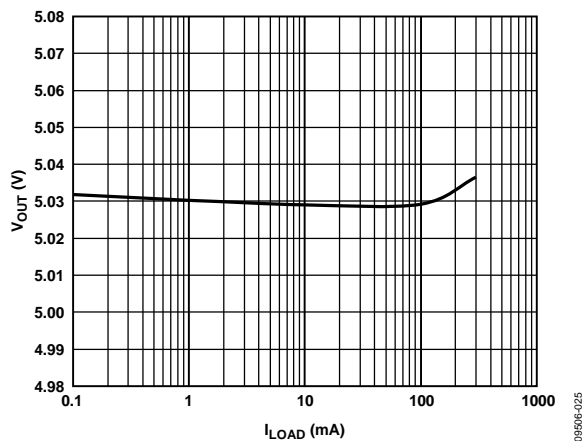


图31. 输出电压与负载电流的关系($V_{OUT} = 5\text{ V}$, 可调)

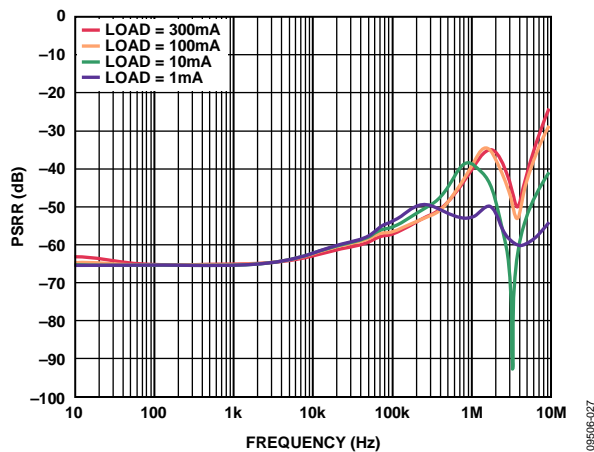


图34. 电源抑制比与频率的关系($V_{OUT} = 1.8\text{ V}$, $V_{IN} = 3.3\text{ V}$)

ADP7102

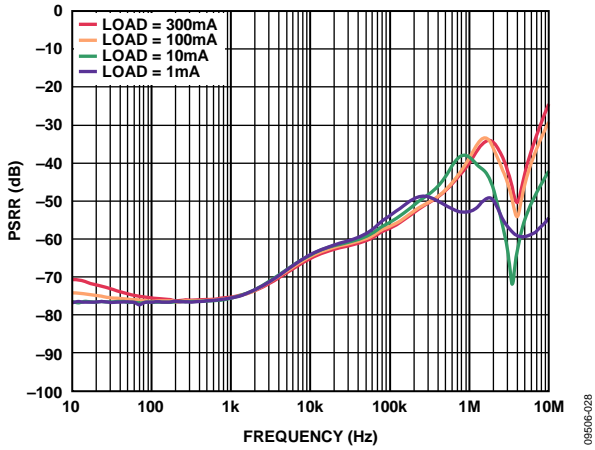


图35. 电源抑制比与频率的关系($V_{OUT} = 3.3\text{ V}$, $V_{IN} = 4.8\text{ V}$)

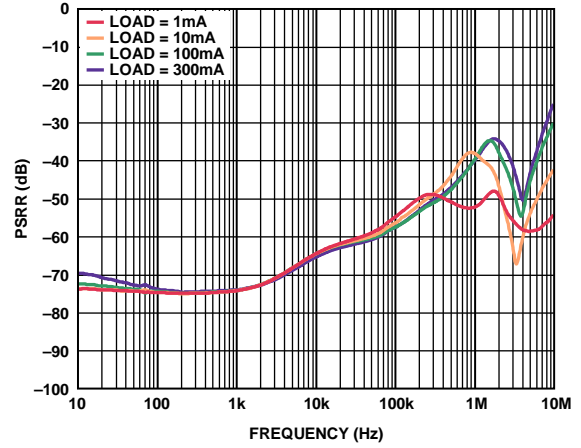


图38. 电源抑制比与频率的关系($V_{OUT} = 5\text{ V}$, $V_{IN} = 6.5\text{ V}$)

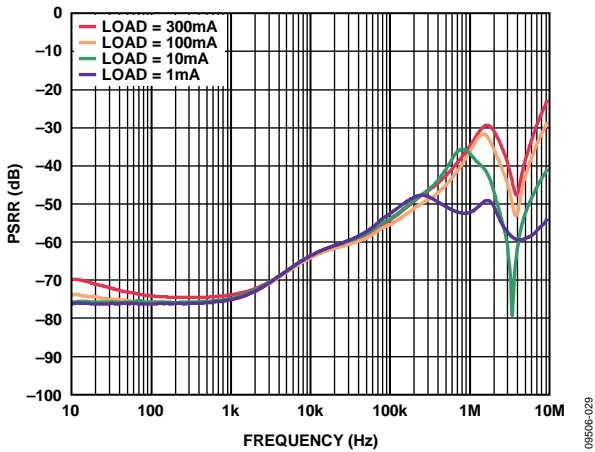


图36. 电源抑制比与频率的关系($V_{OUT} = 3.3\text{ V}$, $V_{IN} = 4.3\text{ V}$)

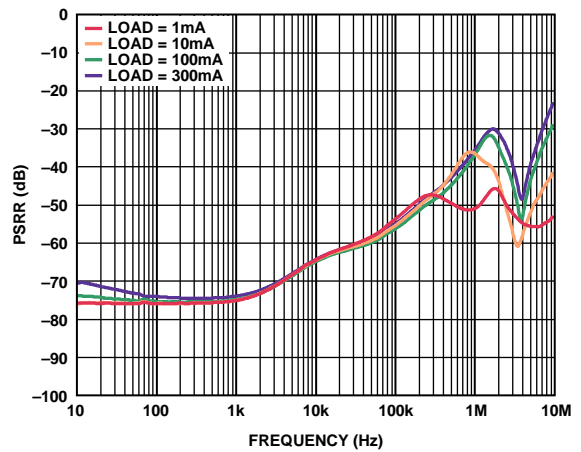


图39. 电源抑制比与频率的关系($V_{OUT} = 5\text{ V}$, $V_{IN} = 6\text{ V}$)

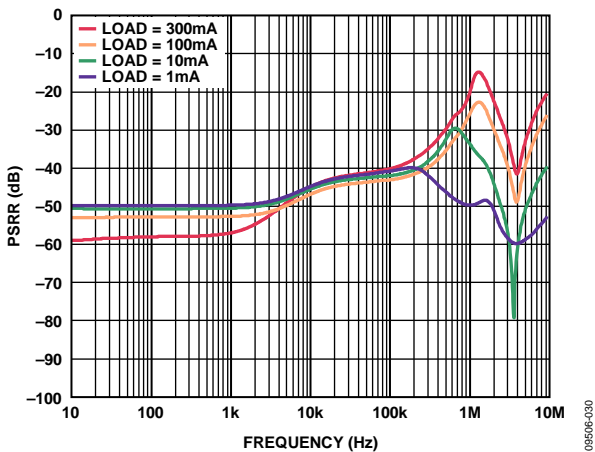


图37. 电源抑制比与频率的关系($V_{OUT} = 3.3\text{ V}$, $V_{IN} = 3.8\text{ V}$)

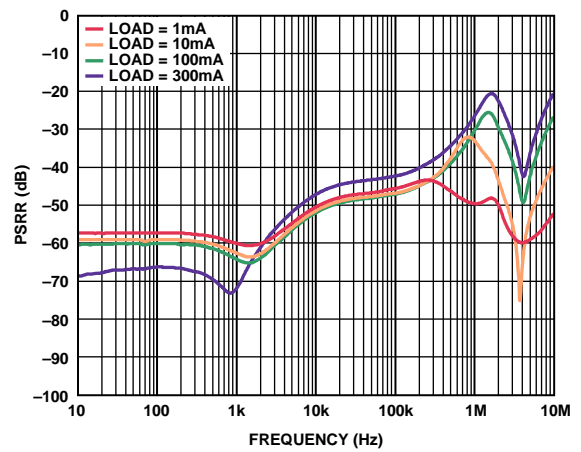


图40. 电源抑制比与频率的关系($V_{OUT} = 5\text{ V}$, $V_{IN} = 5.5\text{ V}$)

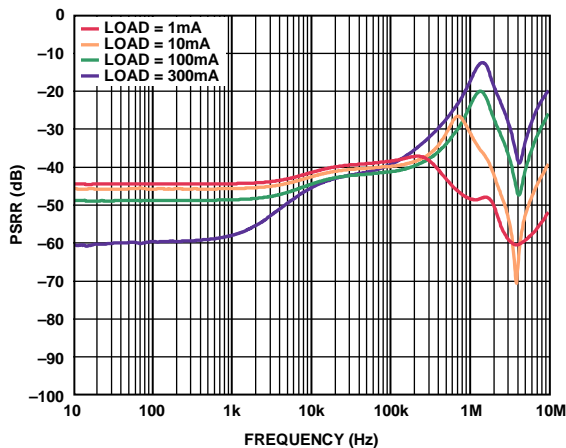


图41. 电源抑制比与频率的关系($V_{OUT} = 5\text{ V}$, $V_{IN} = 5.3\text{ V}$)

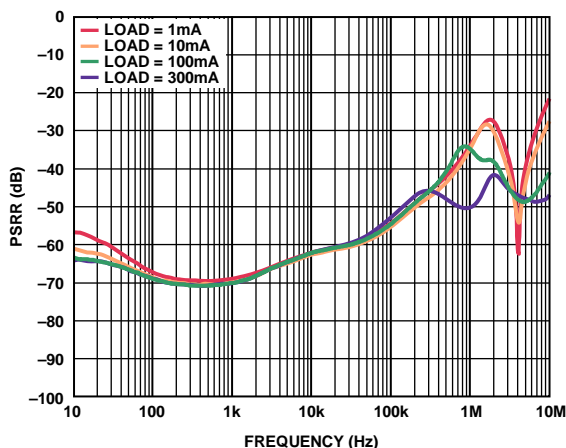


图44. 电源抑制比与频率的关系($V_{OUT} = 5\text{ V}$, $V_{IN} = 6\text{ V}$, 可调并带降噪电路)

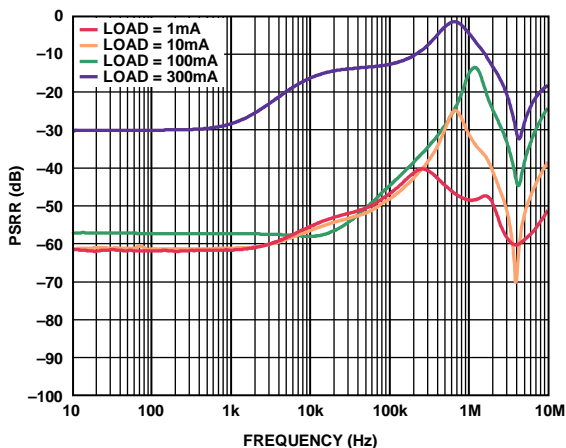


图42. 电源抑制比与频率的关系($V_{OUT} = 5\text{ V}$, $V_{IN} = 5.2\text{ V}$)

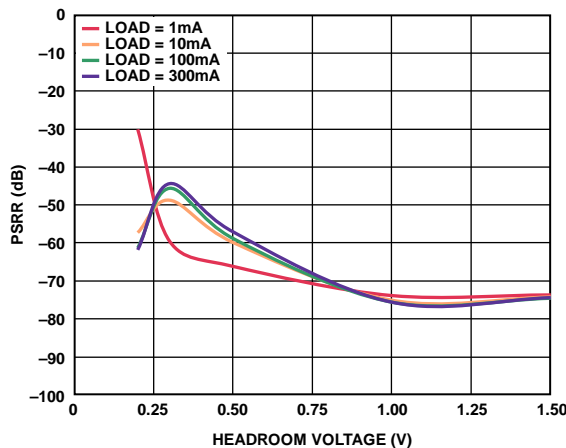


图45. 电源抑制比与裕量电压的关系(100 Hz, $V_{OUT} = 5\text{ V}$)

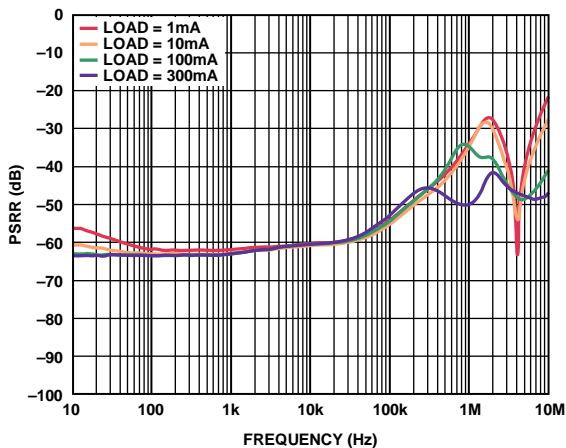


图43. 电源抑制比与频率的关系($V_{OUT} = 5\text{ V}$, $V_{IN} = 6\text{ V}$, 可调)

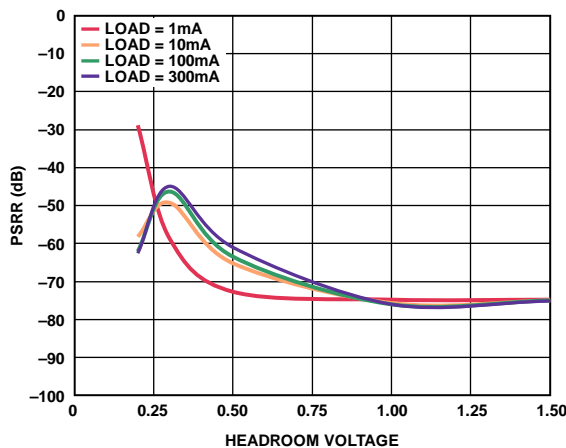


图46. 电源抑制比与裕量电压的关系(1 kHz, $V_{OUT} = 5\text{ V}$)

ADP7102

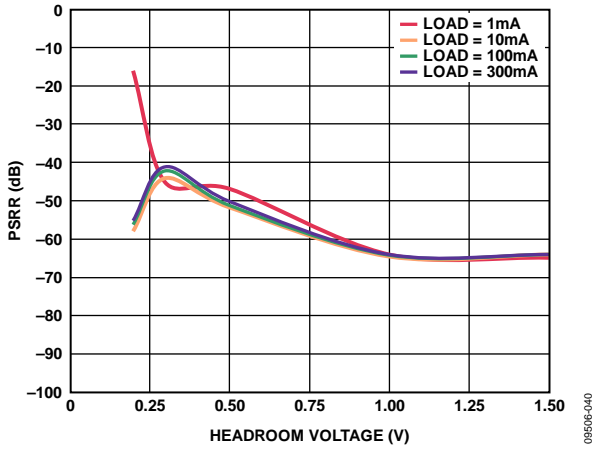


图47. 电源抑制比与裕量电压的关系(10 kHz, $V_{OUT} = 5 V$)

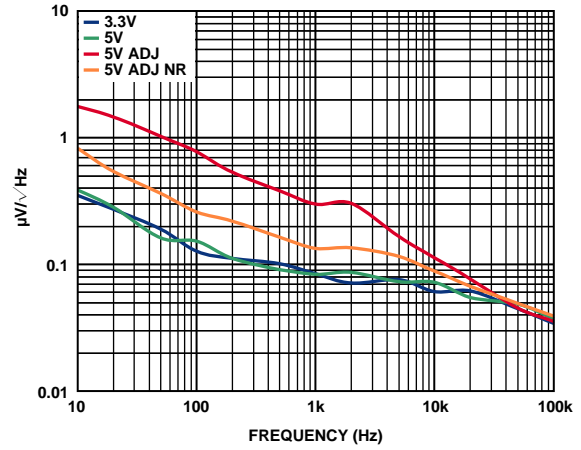


图50. 输出噪声频谱密度($I_{LOAD} = 10 mA$, $C_{OUT} = 1 \mu F$)

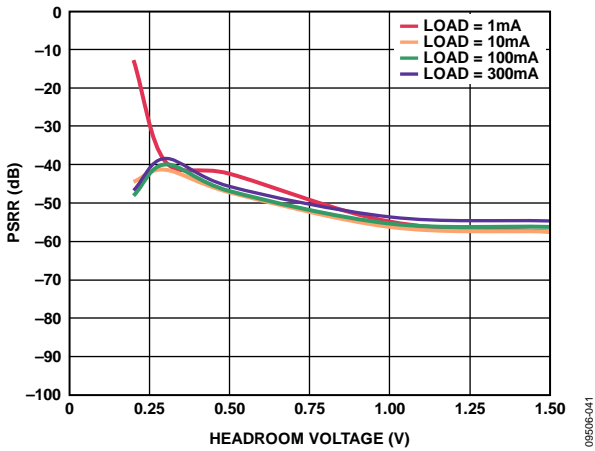


图48. 电源抑制比与裕量电压的关系(100 kHz, $V_{OUT} = 5 V$)

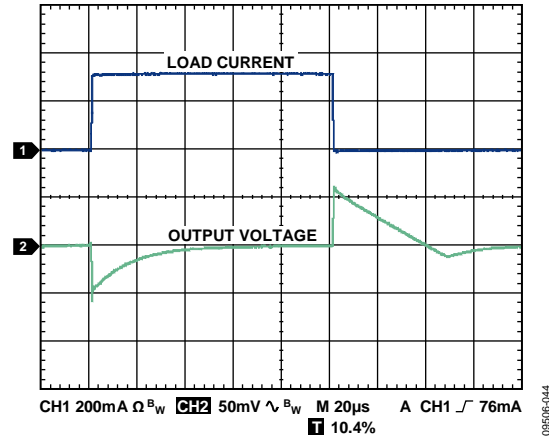


图51. 负载瞬态响应(C_{IN} , $C_{OUT} = 1 \mu F$, $I_{LOAD} = 1 mA$ 至 $300 mA$, $V_{OUT} = 1.8 V$, $V_{IN} = 5 V$)

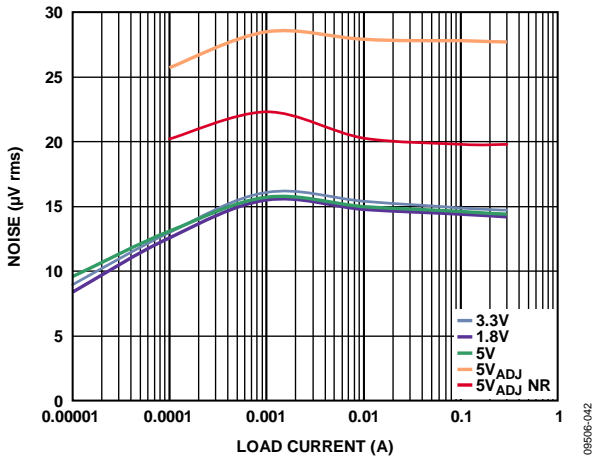


图49. 输出噪声与负载电流和输出电压的关系($C_{OUT} = 1 \mu F$)

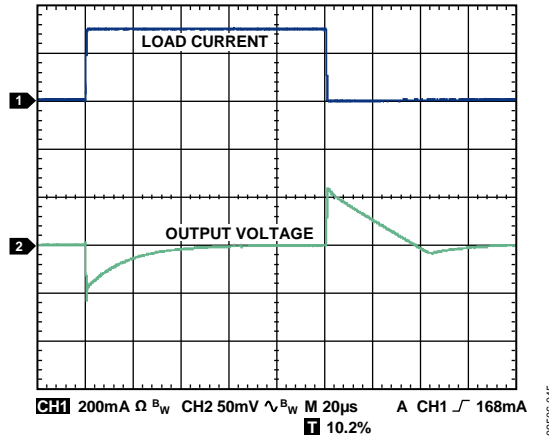


图52. 负载瞬态响应(C_{IN} , $C_{OUT} = 1 \mu F$, $I_{LOAD} = 1 mA$ 至 $300 mA$, $V_{OUT} = 3.3 V$, $V_{IN} = 5 V$)

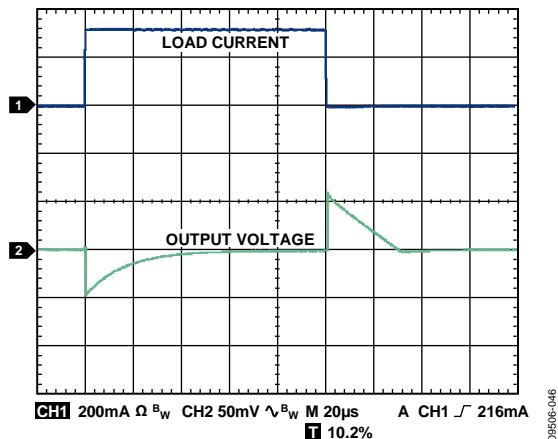


图53. 负载瞬态响应($C_{IN}, C_{OUT} = 1 \mu F, I_{LOAD} = 1 \text{ mA}$ 至 300 mA , $V_{OUT} = 5 \text{ V}, V_{IN} = 7 \text{ V}$)

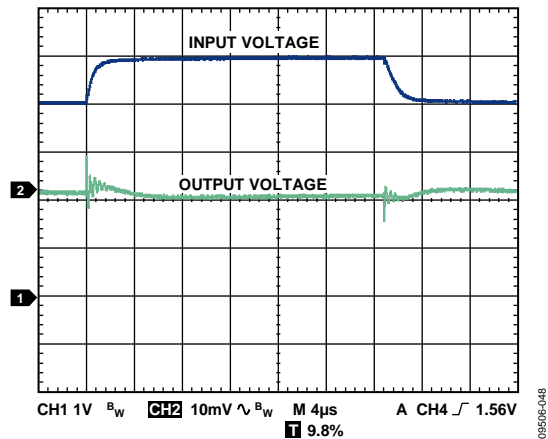


图55. 线路瞬态响应($C_{IN}, C_{OUT} = 1 \mu F, I_{LOAD} = 300 \text{ mA}$, $V_{OUT} = 3.3 \text{ V}$)

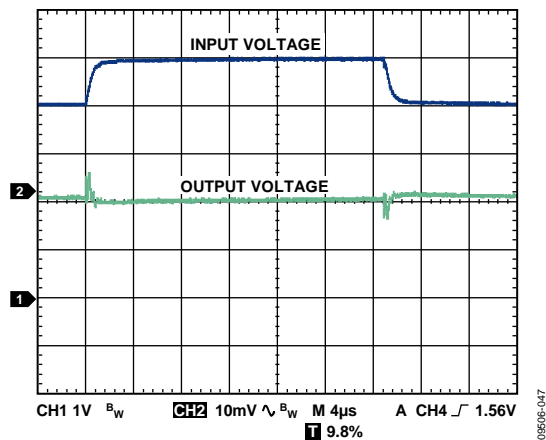


图54. 线路瞬态响应($C_{IN}, C_{OUT} = 1 \mu F, I_{LOAD} = 300 \text{ mA}$, $V_{OUT} = 1.8 \text{ V}$)

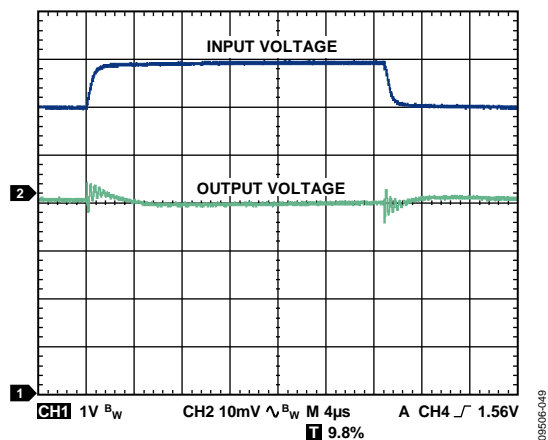


图56. 线路瞬态响应($C_{IN}, C_{OUT} = 1 \mu F, I_{LOAD} = 300 \text{ mA}$, $V_{OUT} = 5 \text{ V}$)

ADP7102

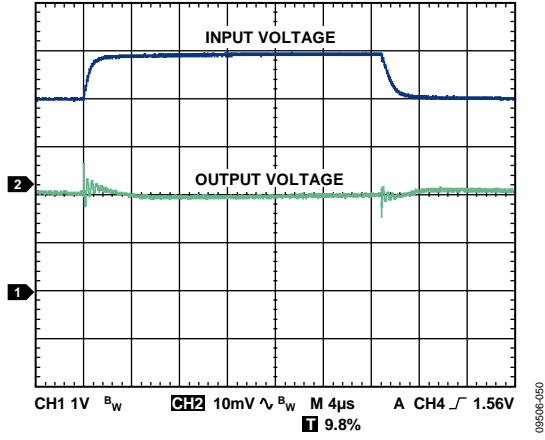


图57. 线路瞬态响应(C_{IN} 、 $C_{OUT} = 1 \mu F$, $I_{LOAD} = 1 \text{ mA}$, $V_{OUT} = 1.8 \text{ V}$)

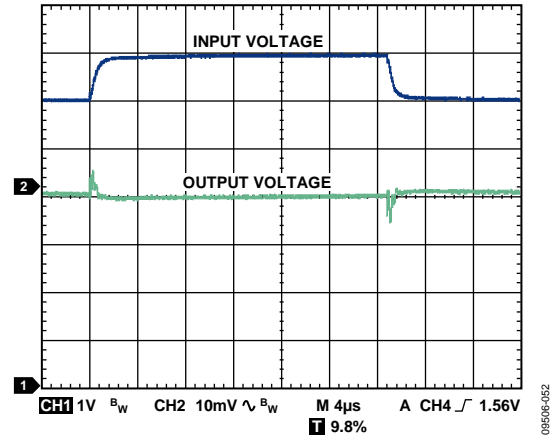


图59. 线路瞬态响应(C_{IN} 、 $C_{OUT} = 1 \mu F$, $I_{LOAD} = 1 \text{ mA}$, $V_{OUT} = 5 \text{ V}$)

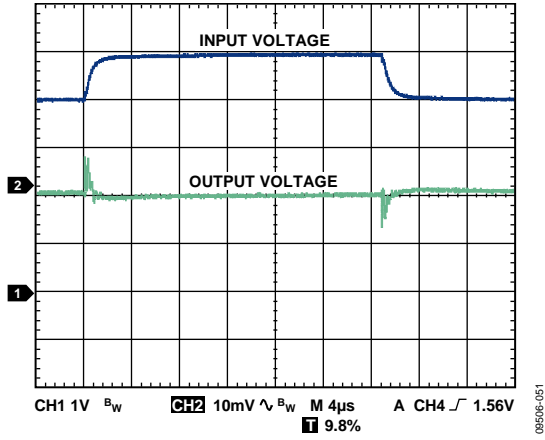


图58. 线路瞬态响应(C_{IN} 、 $C_{OUT} = 1 \mu F$, $I_{LOAD} = 1 \text{ mA}$, $V_{OUT} = 3.3 \text{ V}$)

工作原理

ADP7102是一款低静态电流、低压差线性调节器，采用3.3 V至20 V电源供电，最大输出电流为300 mA。满载时静态电流典型值低至750 μ A，因此ADP7102非常适合电池供电的便携式设备使用。室温时，关断模式下的功耗典型值为40 μ A。

ADP7102经过优化，利用1 μ F陶瓷电容可实现出色的瞬态性能。

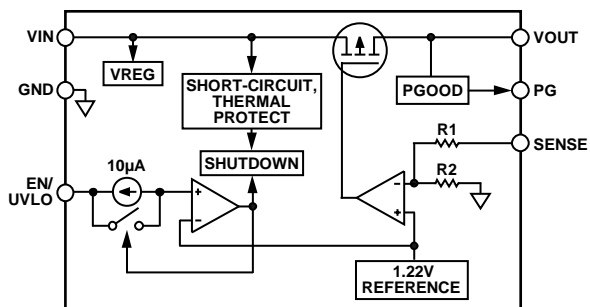


图60. 固定输出电压型号内部框图

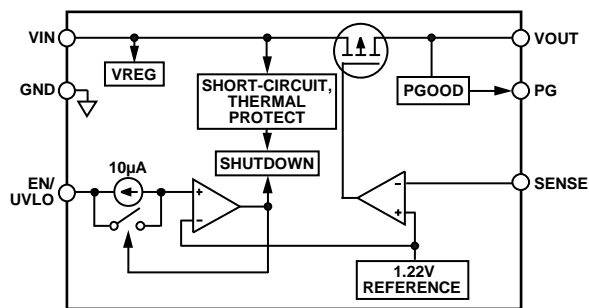


图61. 可选输出电压型号内部框图

ADP7102内置一个基准电压源、一个误差放大器、一个反馈分压器和一个PMOS调整管。输出电流经由PMOS调整管提供，其受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压低于基准电压，PMOS器件的栅极将被拉低，以便通过

更多电流，提高输出电压。如果反馈电压高于基准电压，PMOS器件的栅极将被拉高，以便通过较少电流，降低输出电压。

ADP7102提供7个固定输出电压选项(范围从1.8 V到9 V)以及可调输出型号，可通过外置分压器，将输出电压调节至1.22 V至19 V。输出电压可根据下式设置：

$$V_{OUT} = 1.22 V(1 + R1/R2)$$

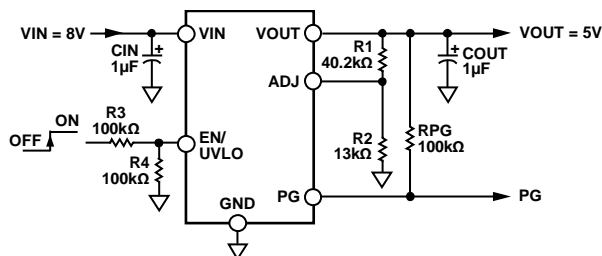


图62. 典型可调输出电压应用原理图

R2的阻值应低于200 k Ω ，以便将ADJ引脚输入电流引起的输出电压误差降至最低。例如，当R1和R2都是200 k Ω 时，输出电压为2.44 V。假设25 $^{\circ}$ C时ADJ引脚输入电流为10 nA (典型值)，则ADJ引脚输入电流引起的输出电压误差为2 mV或0.08%。

在正常工作条件下，ADP7102利用EN/UVLO引脚使能和禁用VOUT引脚。EN/UVLO为高电平时，VOUT开启；EN为低电平时，VOUT关闭。若要实现自动启动，可将EN/UVLO接至VIN。

ADP7102内置反向电流保护电路，当输出电压高于输入电压时，它可防止电流通过调整元件回流。比较器检测输入电压与输出电压之间的差值。当该差值超过55 mV时，PFET的栅极切换到VOUT并关闭或开路。换言之，栅极连接到VOUT。

应用信息

电容选择

输出电容

ADP7102设计采用节省空间的小型陶瓷电容，不过只要注意等效串联电阻(ESR)值要求，也可以采用大多数常用电容。输出电容的ESR会影响LDO控制回路的稳定性。为了确保ADP7102稳定工作，推荐使用至少1 μF 、ESR为0.2 Ω 或更小的电容。输出电容还会影响负载电流变化的瞬态响应。采用较大的输出电容值可以改善ADP7102对大负载电流变化的瞬态响应。图63显示输出电容值为1 μF 时的瞬态响应。

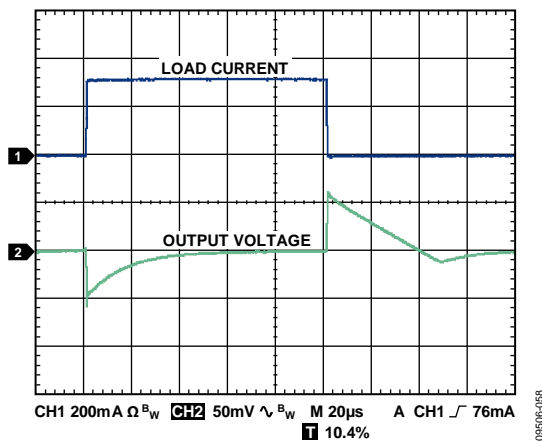


图63. 输出瞬态响应($V_{OUT} = 1.8\text{ V}$, $C_{OUT} = 1\ \mu\text{F}$)

输入旁路电容

在VIN与GND之间连接一个1 μF 电容可降低电路对印刷电路板(PCB)布局的敏感性，尤其是输入走线较长或源阻抗较高的情况下。如果要求输出电容大于1 μF ，应选用更高的输入电容。

输入和输出电容特性

只要符合最小电容和最大ESR要求，ADP7102可以采用任何质量优良的电容。陶瓷电容可采用各种各样的电介质制造，温度和所施加的电压不同，其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为6.3 V至50 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和直流偏置特性不佳，建议不要使用。

图64所示为0402、1 μF 、10 V、X5R电容的电容与电压偏置特性关系图。电容的电压稳定性受电容尺寸和电压额定值影响极大。一般来说，封装较大或电压额定值较高的电容具有更好的稳定性。X5R电介质的温度变化率在-40 $^{\circ}\text{C}$ 至+85 $^{\circ}\text{C}$ 温度范围内为 $\pm 15\%$ ，与封装或电压额定值没有函数关系。

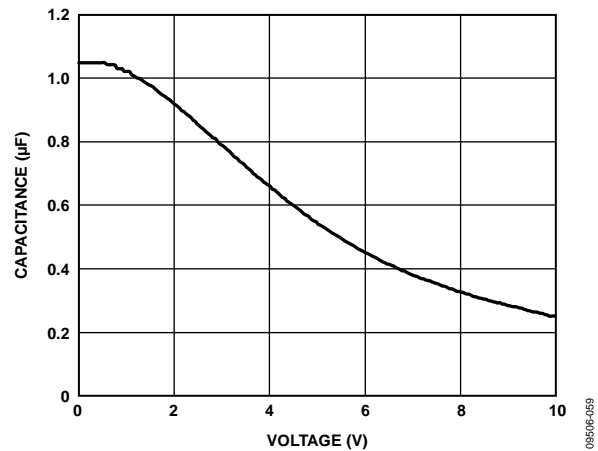


图64. 电容与电压关系特性

考虑电容随温度、元件容差和电压的变化，可以利用公式1确定最差情况下的电容。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

其中：

C_{BIAS} 为工作电压下的有效电容。

$TEMPCO$ 为最差的电容温度系数。

TOL 为最差的元件容差。

本例中，假定X5R电介质在-40 $^{\circ}\text{C}$ 至+85 $^{\circ}\text{C}$ 范围内的最差条件温度系数($TEMPCO$)为15%。如图64所示，在1.8 V电压下，假定电容容差(TOL)为10%， $C_{BIAS}=0.94\ \mu\text{F}$ 。

将这些值代入公式1中可得到：

$$C_{EFF} = 0.94\ \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 0.719\ \mu\text{F}$$

因此，在选定输出电压条件下，本例中所选电容满足LDO在温度和容差方面的最小电容要求。

为了保证ADP7102的性能，必须针对每一种应用来评估直流偏置、温度和容差对电容性能的影响。

可编程欠压闭锁(UVLO)

在正常工作条件下，ADP7102利用EN/UVLO引脚使能和禁用VOUT引脚。如图65所示，当EN上的上升电压越过上阈值时，VOUT开启。当EN/UVLO上的下降电压越过下阈值时，VOUT关闭。EN/UVLO阈值的迟滞由EN/UVLO引脚串联的戴维宁等效电阻决定。

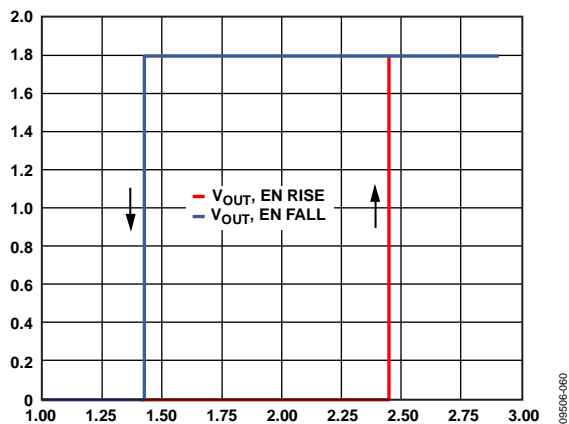


图65. 对EN引脚工作方式的典型 V_{OUT} 响应

上下阈值是用户可编程的，可以利用两个电阻来设置。当EN/UVLO引脚电压低于1.22 V时，LDO禁用。当EN/UVLO引脚电压跃迁至1.22 V以上时，LDO使能，该引脚提供10 μ A迟滞电流以提升电压，从而提供阈值迟滞。通常由两个外部电阻设置LDO的最小工作电压。R1和R2电阻的值可通过下式确定：

$$R1 = V_{HYS}/10 \mu A$$

$$R2 = 1.22 V \times R1 / (V_{IN} - 1.22 V)$$

其中：

V_{IN} 为所需的开启电压。

V_{HYS} 为所需的EN/UVLO迟滞电平。

迟滞也可以通过在EN/UVLO引脚上串联一个电阻来实现。

在图66所示的例子中，使能阈值为2.44 V，迟滞为1 V。

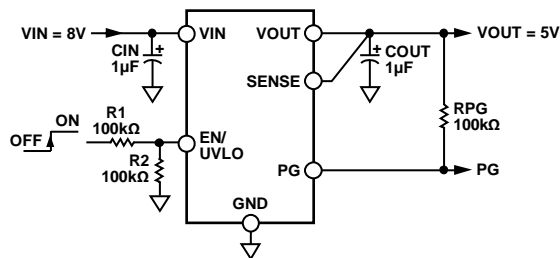


图66. EN引脚的典型分压器

图65显示了EN/UVLO引脚的典型迟滞，这可以防止EN引脚上的噪声在经过阈值点时引起开关振荡。

ADP7102利用内置软启动功能，在输出使能时限制浪涌电流。当输入电压为3.3 V时，从通过EN有效阈值到输出达到其最终值90%的启动时间约为580 μ s。如图67所示，启动时间取决于输出电压设置。

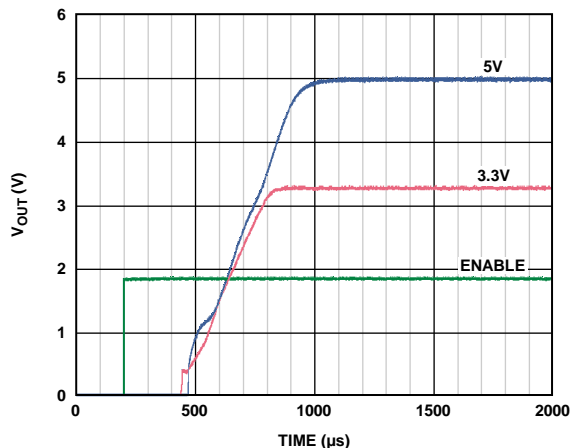


图67. 典型启动性能

ADP7102

电源良好特性

ADP7102提供一个电源良好引脚(PG)来指示输出的状态。此开漏输出需要一个外部上拉电阻连接至VIN。如果器件处于关断模式、限流模式或热关断,或者如果它降至标称输出电压的90%以下,电源良好引脚(PG)将立即变为低电平。软启动期间,电源良好信号的上升阈值为标称输出电压的93.5%。

当ADP7102有足够的输入电压来开启内部PG晶体管时,此开漏输出保持低电平。PG晶体管通过一个接VOUT或VIN的上拉电阻端接。

当此电压上升时,电源良好精度为调节器标称输出电压的93.5%;当此电压下降时,跳变点为标称输出电压的90%。如果V_{OUT}降至90%以下,则表明调节器输入电压关断或受到干扰,从而触发电源不良信号。

当V_{OUT}降至90%以下时,正常关断将导致电源良好信号变为低电平。

图68和图69显示整个温度范围内的典型电源良好上升和下降阈值。

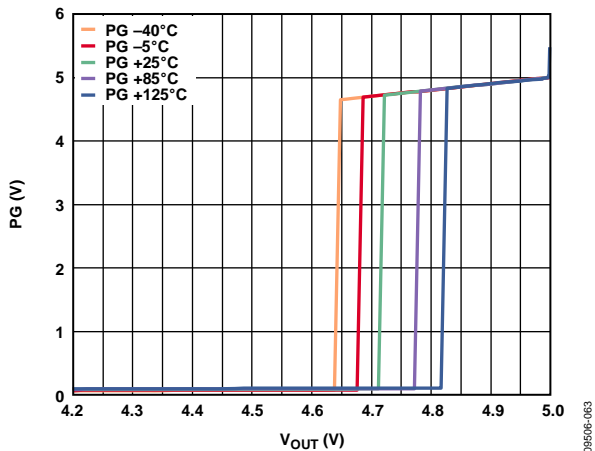


图68. 典型电源良好阈值与温度的关系(V_{OUT}上升)

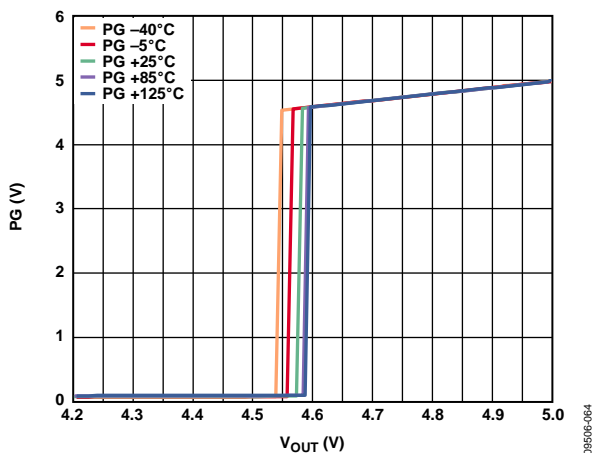


图69. 典型电源良好阈值与温度的关系(V_{OUT}下降)

ADP7102可调型号的降噪特性

固定输出ADP7102的超低输出噪声特性是通过如下方法实现的: LDO误差放大器保持单位增益,并设置基准电压等于输出电压。这种架构不适用于可调输出电压LDO。可调输出ADP7102采用更为传统的架构,基准电压为固定值,误差放大器增益为输出电压的函数。传统LDO架构的缺点是输出电压噪声与输出电压成比例。

可以对可调LDO电路稍加修改,以将输出电压噪声降低到与固定输出ADP7102接近的水平。图70所示的电路在输出电压设置电阻分压器上增加了2个元件: C_{NR}和R_{NR},它们与R_{FB1}并联,用以降低误差放大器的交流增益。选择的R_{NR}等于R_{FB2},从而把误差放大器的交流增益限制在大约6 dB。实际增益为R_{NR}和R_{FB1}的并联组合除以R_{FB2},这可以确保误差放大器始终以大于1的增益工作。

选择的C_{NR}应使得在频率为50 Hz至100 Hz时,C_{NR}的电抗等于R_{FB1} - R_{NR}。由此设置的频率将使得误差放大器的交流增益比直流增益低3 dB。

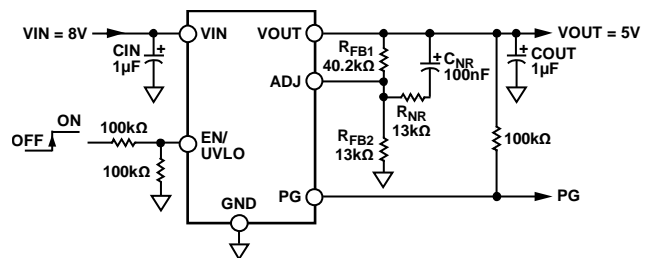


图70. 更改可调输出LDO以降低噪声

该LDO的噪声约等于固定输出LDO的噪声(典型值为15 μV rms)乘以R_{NR}和R_{FB1}并联组合除以R_{FB2}的结果的平方根。基于图70所示的元件值,ADP7102具有下列特性:

- 直流增益: 4.09 (12.2 dB)
- 3 dB滚降频率: 59 Hz
- 高频交流增益: 1.82 (5.19 dB)
- 降噪系数: 1.35 (2.59 dB)
- 无降噪功能的可调LDO的RMS噪声: 27.8 μV rms
- 有降噪功能的可调LDO的RMS噪声(假设固定电压选项为15 μV rms): 20.25 μV rms

限流和热过载保护

ADP7102内置限流和热过载保护电路，可防止功耗过大导致受损。当输出负载达到400 mA(典型值)时，限流电路就会起作用。当输出负载超过400 mA时，输出电压会被降低，以保持恒定的电流限制。

热过载保护电路将结温限制在150°C(典型值)以下。在极端条件下(即高环境温度和/或高功耗)，当结温开始升至150°C以上时，输出就会关闭，从而将输出电流降至0。当结温降至135°C以下时，输出又会开启，输出电流恢复为工作值。

考虑V_{OUT}至地发生负载短路的情况。首先，ADP7102的限流功能起作用，因此，仅有400 mA电流传导至短路电路。如果结的自发热量足够大，使其温度升至150°C以上，热关断功能就会激活，输出关闭，输出电流降至0。当结温冷却下来，降至135°C以下时，输出开启，将400 mA电流传导至短路路径中，再次导致结温升至150°C以上。结温在135°C至150°C范围内的热振荡导致电流在400 mA和0mA之间振荡；只要输出端存在短路，振荡就会持续下去。

限流和热过载保护旨在保护器件免受偶然过载条件影响。为保证器件稳定工作，必须从外部限制器件的功耗，使结温不会超过125°C。

散热考量

在输入至输出电压差很小的应用中，ADP7102不会产生很多热量。然而，在环境温度很高和/或输入电压很大的应用中，封装发出的热量可能非常大，导致芯片结温超过最高结温125°C。

当结温超过150°C时，转换器进入热关断模式。只有当结温降至135°C及以下时，它才会恢复，以免永久性受损。因此，为了保证器件在所有条件下具有可靠性能，必须对具体应用进行热分析。芯片的结温为环境温度与功耗所引起的封装温升之和，如公式2所示。

为保证器件可靠工作，ADP7102的结温不得超过125°C。为确保结温低于此最高结温，用户需要注意会导致结温变化的参数。这些参数包括环境温度、功率器件的功耗、结与周围空气之间的热阻(θ_{JA})。 θ_{JA} 值取决于所用的封装填充物 and 将封装GND引脚焊接到PCB所用的覆铜数量。

表6给出了各种PCB覆铜尺寸时8引脚SOIC和8引脚LFCSP封装的典型 θ_{JA} 值。表7给出了8引脚SOIC和8引脚LFCSP封装的典型 Ψ_{JB} 值。

表6. 典型 θ_{JA} 值

覆铜面积 (mm ²)	θ_{JA} (°C/W)	
	LFCSP	SOIC
25 ¹	165.1	167.8
100	125.8	111
500	68.1	65.9
1000	56.4	56.1
6400	42.1	45.8

¹ 器件焊接在最小尺寸引脚走线上。

表7. 典型 Ψ_{JB} 值

型号	Ψ_{JB} (°C/W)
LFCSP	15.1
SOIC	31.3

ADP7102的结温可通过下式计算：

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

其中：

T_A 是环境温度。

P_D 为芯片的功耗，通过下式计算：

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (3)$$

其中：

I_{LOAD} 为负载电流。

I_{GND} 为接地电流。

V_{IN} 和 V_{OUT} 分别为输入和输出电压。

接地电流引起的功耗相当小，可忽略不计。因此，结温的计算公式可简化为：

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (4)$$

如公式4所示，针对给定的环境温度、输入与输出电压差和连续负载电流，需满足PCB的最小覆铜尺寸要求，以确保结温不升至125°C以上。图71至图78显示不同环境温度、功耗和PCB覆铜面积下的结温计算结果。

ADP7102

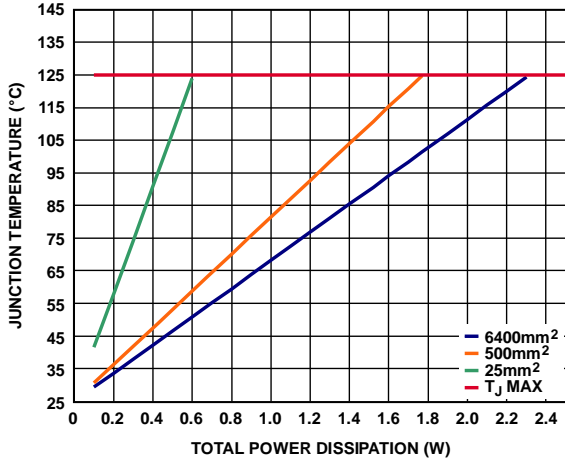


图71. LFCSP, $T_A = 25^\circ\text{C}$

09506-066

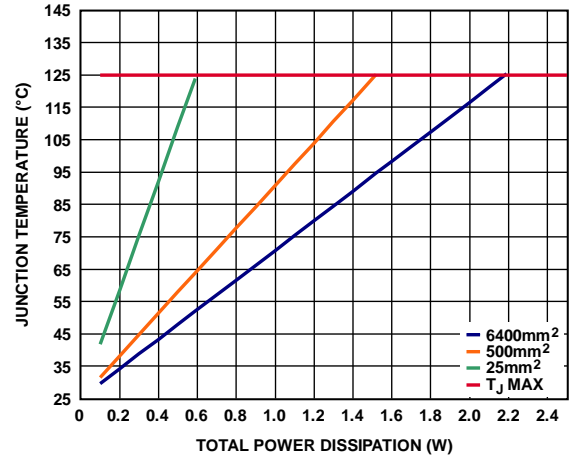


图74. SOIC, $T_A = 25^\circ\text{C}$

09506-069

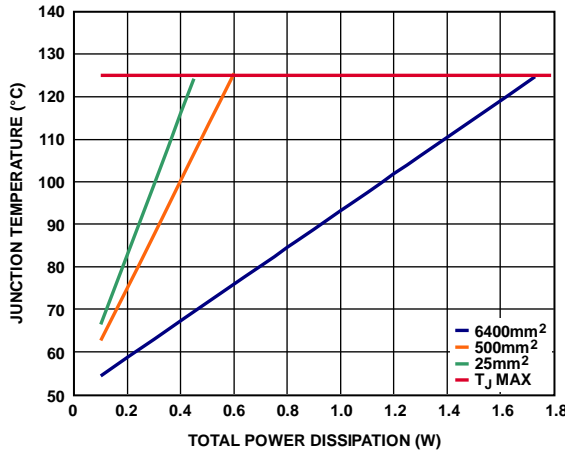


图72. LFCSP, $T_A = 50^\circ\text{C}$

09506-067

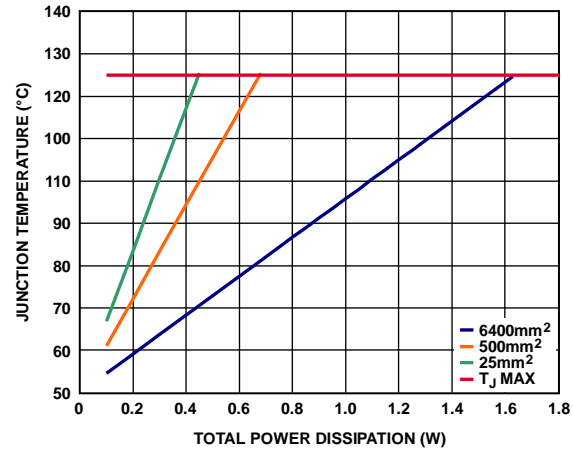


图75. SOIC, $T_A = 50^\circ\text{C}$

09506-070

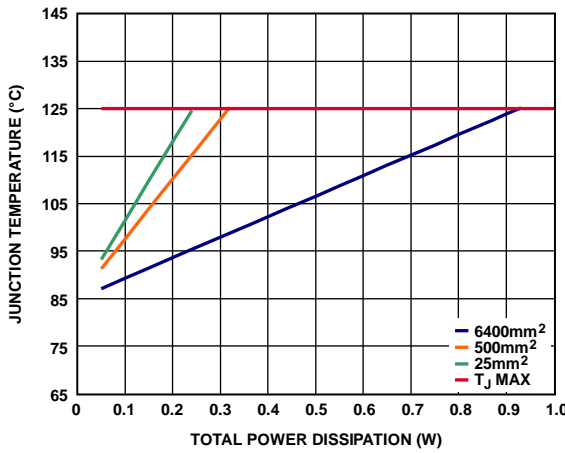


图73. LFCSP, $T_A = 85^\circ\text{C}$

09506-068

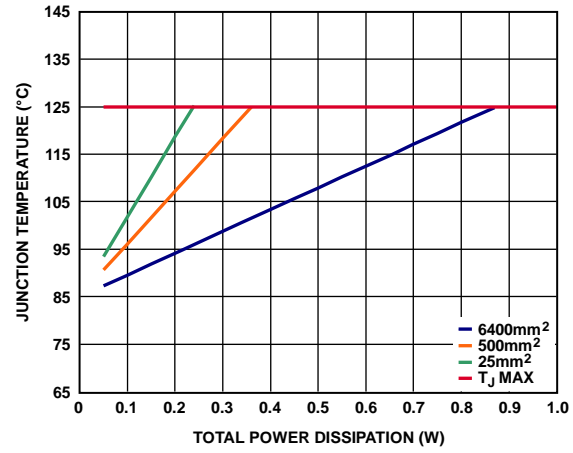


图76. SOIC, $T_A = 85^\circ\text{C}$

09506-071

在已知板温的情况下，可以利用热特性参数(Ψ_{JB})来估算结温上升情况(见图77和图78)。最高结温(T_J)可由板温度(T_B)和功耗(P_D)通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (5)$$

8引脚LFCSP封装的 Ψ_{JB} 典型值为15.1°C/W，8引脚SOIC封装为31.3°C/W。

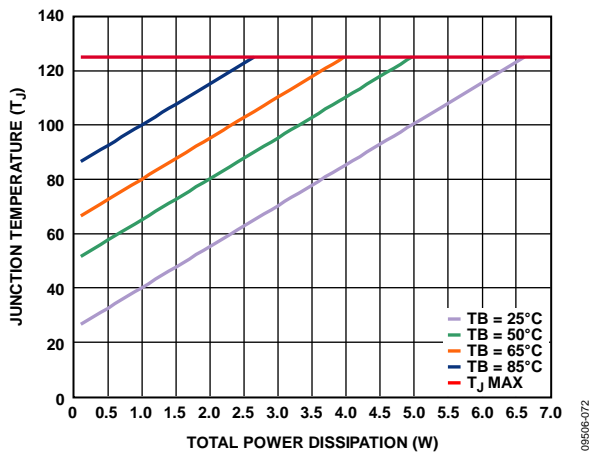


图77. LFCSP封装

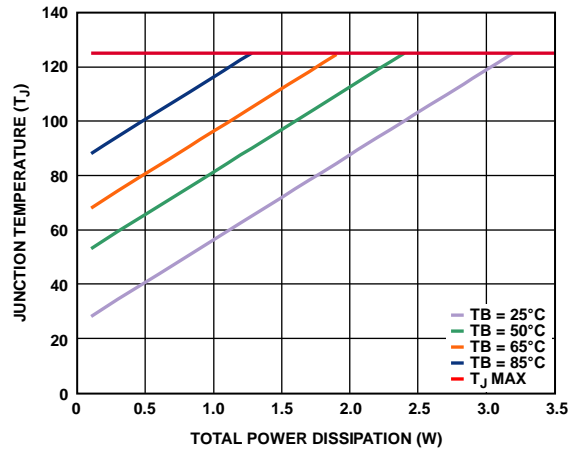


图78. SOIC封装

印刷电路板布局考量

通过增加ADP7102引脚处的覆铜用量，可改善封装的散热性能。但是，如表6所示，这种增加存在“效益递减”现象，当覆铜量达到某一数量点后，再继续增加覆铜的用量并不会带来明显的散热效益。

输入电容应尽可能靠近VIN和GND引脚放置。输出电容应尽可能靠近VOUT和GND引脚放置。在板面积受限的情况下，采用0805或0603尺寸的电容和电阻可实现最小尺寸解决方案。

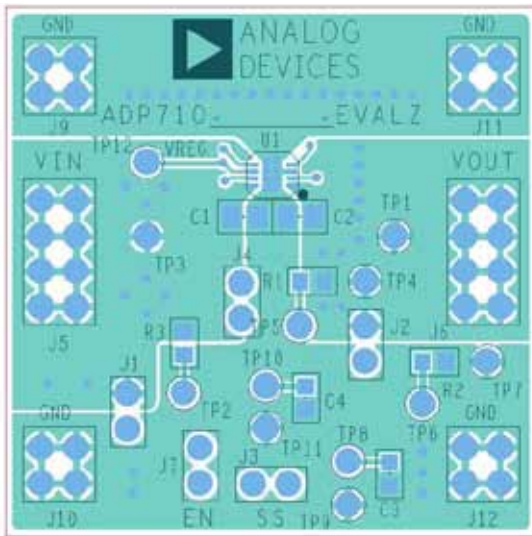


图79. LFCSP PCB布局示例

09506-074

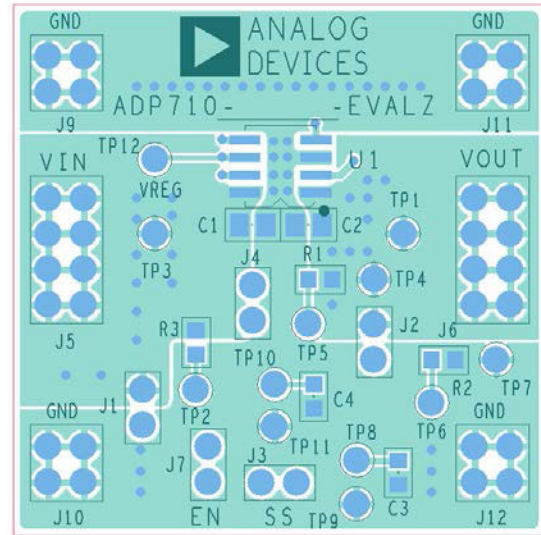
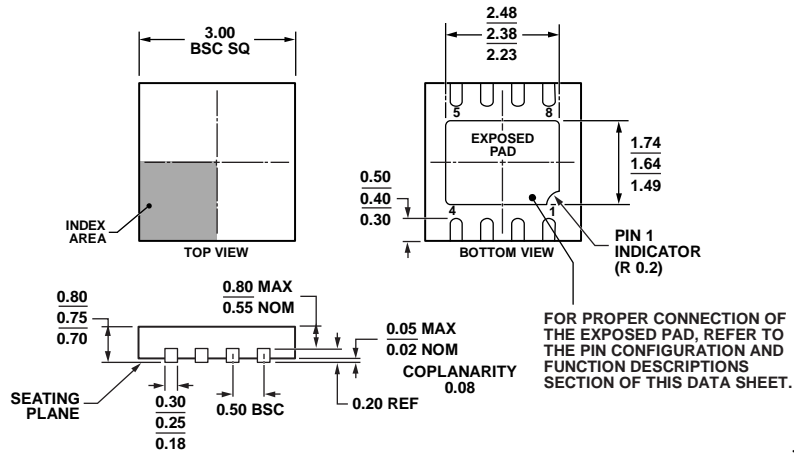


图80. SOIC PCB布局示例

09506-075

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-229-WEED-4

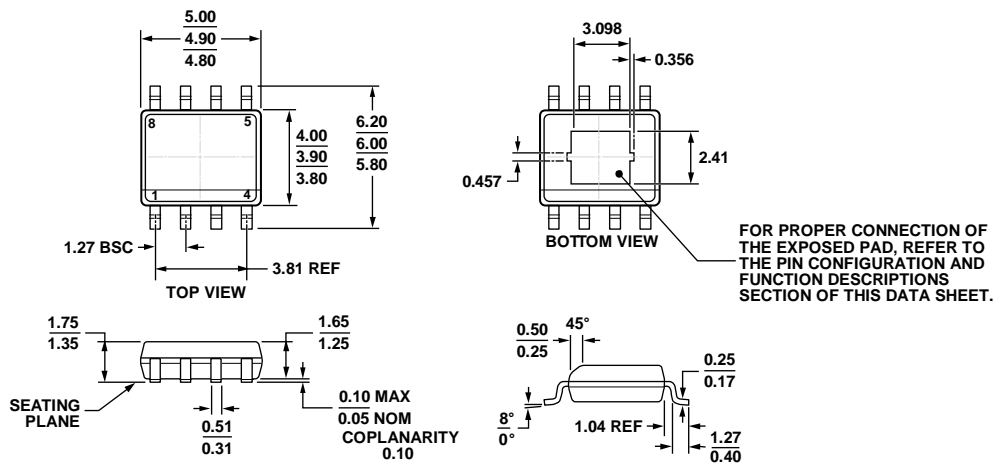
112008-A

图81. 8引脚引脚架构芯片级封装[LFCSP_WD]

3 mm x 3 mm, 超薄体, 双排引脚

(CP-8-5)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA

06-03-2011-B

图82. 8引脚标准小型封装, 带裸露焊盘[SOIC_N_EP]

窄体

(RD-8-2)

尺寸单位: mm

ADP7102

订购指南

型号 ¹	温度范围	输出电压 (V) ^{2, 3}	封装描述	封装选项	标识
ADP7102ACPZ-R7	-40°C 至 +125°C	可调	LFCSP_WD	CP-8-5	LHO
ADP7102ACPZ-1.5-R7	-40°C 至 +125°C	1.5	LFCSP_WD	CP-8-5	LJV
ADP7102ACPZ-1.8-R7	-40°C 至 +125°C	1.8	LFCSP_WD	CP-8-5	LJW
ADP7102ACPZ-2.5-R7	-40°C 至 +125°C	2.5	LFCSP_WD	CP-8-5	LJZ
ADP7102ACPZ-3.0-R7	-40°C 至 +125°C	3.0	LFCSP_WD	CP-8-5	LKO
ADP7102ACPZ-3.3-R7	-40°C 至 +125°C	3.3	LFCSP_WD	CP-8-5	LK1
ADP7102ACPZ-5.0-R7	-40°C 至 +125°C	5	LFCSP_WD	CP-8-5	LK2
ADP7102ACPZ-9.0-R7	-40°C 至 +125°C	9	LFCSP_WD	CP-8-5	LLC
ADP7102ARDZ-R7	-40°C 至 +125°C	可调	SOIC_N_EP	RD-8-2	
ADP7102ARDZ-1.5-R7	-40°C 至 +125°C	1.5	SOIC_N_EP	RD-8-2	
ADP7102ARDZ-1.8-R7	-40°C 至 +125°C	1.8	SOIC_N_EP	RD-8-2	
ADP7102ARDZ-2.5-R7	-40°C 至 +125°C	2.5	SOIC_N_EP	RD-8-2	
ADP7102ARDZ-3.0-R7	-40°C 至 +125°C	3.0	SOIC_N_EP	RD-8-2	
ADP7102ARDZ-3.3-R7	-40°C 至 +125°C	3.3	SOIC_N_EP	RD-8-2	
ADP7102ARDZ-5.0-R7	-40°C 至 +125°C	5	SOIC_N_EP	RD-8-2	
ADP7102ARDZ-9.0-R7	-40°C 至 +125°C	9	SOIC_N_EP	RD-8-2	
ADP7102CP-EVALZ		3.3	LFCSP 评估板		
ADP7102RD-EVALZ		3.3	SOIC 评估板		
ADP7102CPZ-REDYKIT			LFCSP REDYKIT		
ADP7102RDZ-REDYKIT			SOIC REDYKIT		

¹ Z = 符合RoHS标准的器件。

² 如需其它电压选项，请联系当地的ADI公司办事处或代理商。

³ ADP7102CP-EVALZ和ADP7102RD-EVALZ评估板预配置有3.3 V ADP7102。

注释

注释