

### 产品特性

- 四路4.5 V rms(典型值)差分输入
- 利用片内锁相环(PLL)获得主时钟
- 低电磁干扰(EMI)设计
- 模数转换器(ADC)动态范围: 109 dB(典型值)
- 总谐波失真加噪声(THD + N): -95 dB(典型值)
- 可选数字高通滤波器
- 24位立体声ADC, 8 kHz至192 kHz采样速率
- 数字音量控制, 具有自动缓升功能
- I<sup>2</sup>C/SPI可控, 可提高灵活性
- 软件可控无杂音静音功能
- 软件关断
- 右对齐、左对齐、I<sup>2</sup>S和TDM模式
- 主机和从机工作模式
- 40引脚LFCSP封装
- 通过汽车应用认证

### 应用

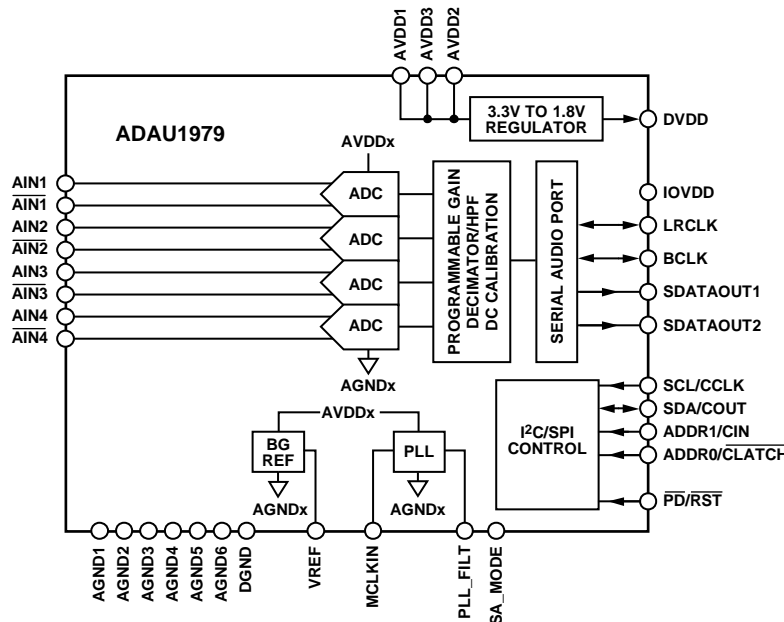
- 汽车音频系统
- 有源噪声消除系统

### 概述

ADAU1979集成4个高性能模数转换器(ADC), 其交流耦合输入具有4.5 V rms性能。这些ADC采用多位 $\Sigma$ - $\Delta$ 架构, 其连续时间前端能够实现低EMI性能。它具有一个I<sup>2</sup>C/串行外设接口(SPI)控制端口, 微控制器利用该端口可以调整音量和许多其它参数。ADAU1979仅采用3.3 V单电源供电。器件内部可产生所需的数字DVDD电源。低功耗架构则降低了器件的功耗。片内PLL可从外部时钟输入或帧时钟(采样速率时钟)获得主时钟。当使用帧时钟时, 系统中无需使用独立的高频主时钟。ADAU1979采用40引脚LFCSP封装。

请注意, 在整篇数据手册中, 多功能引脚(如SCL/CCLK)由整个引脚名称或引脚的单个功能表示; 例如CCLK即表示仅与此功能相关。

功能框图



Rev. 0

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	SPI模式 .....	24
应用 .....	1	寄存器汇总 .....	26
概述 .....	1	寄存器详解 .....	27
功能框图 .....	1	主电源和软件复位寄存器 .....	27
修订历史 .....	2	PLL控制寄存器 .....	28
技术规格 .....	3	模块电源控制和串行端口控制寄存器 .....	29
模拟性能规格 .....	3	串行端口控制寄存器1 .....	30
数字输入/输出规格 .....	3	串行端口控制寄存器2 .....	31
电源规格 .....	4	输出串行端口通道1和通道2映射寄存器 .....	32
数字滤波器规格 .....	4	输出串行端口通道3和通道4映射寄存器 .....	34
时序规格 .....	5	串行输出驱动控制和过温保护状态寄存器 .....	35
绝对最大额定值 .....	7	后置ADC增益通道1控制寄存器 .....	36
热阻 .....	7	后置ADC增益通道2控制寄存器 .....	37
ESD警告 .....	7	后置ADC增益通道3控制寄存器 .....	37
引脚配置和功能描述 .....	8	后置ADC增益通道4控制寄存器 .....	38
典型性能参数 .....	10	高通滤波器和直流失调控制寄存器以及主静音寄存器 .....	38
工作原理 .....	12	ADC削波状态寄存器 .....	39
概述 .....	12	数字直流高通滤波器和校准寄存器 .....	40
电源和基准电压源 .....	12	典型应用电路 .....	41
上电复位序列 .....	12	外形尺寸 .....	42
PLL和时钟 .....	13	订购指南 .....	42
模拟输入 .....	14	汽车应用产品 .....	42
模数转换器 .....	16		
ADC求和模式 .....	16		
串行音频数据输出端口、数据格式 .....	17		
控制端口 .....	21		
I <sup>2</sup> C模式 .....	21		

## 修订历史

2013年11月—修订版0：初始版

## 技术规格

所有通道的性能完全相同，不包括通道间增益不匹配和通道间相位偏差规格。除非另有说明，AVDDx/IOVDD = 3.3 V；DVDD(内部产生)= 1.8 V；T<sub>A</sub> = -40°C至+105°C。主时钟 = 12.288 MHz(48 kHz f<sub>s</sub>、256 x f<sub>s</sub>模式)；输入采样速率 = 48 kHz；测量带宽 = 20 Hz至20 kHz；字宽 = 24位；负载电容(数字输出)= 20 pF；负载电流(数字输出)= ±1 mA；数字输入高电压 = 2.0 V；数字输入低电压 = 0.8 V。

### 模拟性能规格

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
线路输入					
满量程交流差分输入电压		4.18	4.5	4.82	V rms
满量程单端输入电压		2.09	2.25	2.41	V rms
输入共模电压	AINx/AINx <sup>¯</sup> 引脚的V <sub>IN,cm</sub>		1.5		V dc
模数转换器					
差分输入电阻	AINx和AINx <sup>¯</sup> 之间		64.34		kΩ
单端输入电阻	AINx和AINx <sup>¯</sup> 之间		32.17		kΩ
ADC分辨率			24		位
动态范围(A加权)线路输入 <sup>1</sup>	输入 = 1 kHz, -60 dBFS(0 dBFS = 4.5 V rms输入)	103	109		dB
总谐波失真加噪声(THD+N)	输入 = 1 kHz, -1 dBFS(0 dBFS = 4.5 V rms输入)		-95	-87	dB
数字增益后置ADC		0		60	dB
增益误差		-10		+10	%
通道间增益不匹配		-0.25		+0.25	dB
增益漂移			100		ppm/°C
共模抑制比(CMRR)	400 mV rms, 1 kHz	50	65		dB
	400 mV rms, 20 kHz		56		dB
电源抑制比(PSRR)	100 mV rms, 1 kHz, AVDD = 3.3V		70		dB
通道间隔离			100		dB
通道间相位偏差			0		度
基准电压					
内部基准电压	VREF引脚	1.47	1.50	1.54	V
输出阻抗			20		kΩ
ADC串行端口					
输出采样速率		8		192	kHz

<sup>1</sup> 针对44.1 kHz至192 kHz的采样频率f<sub>s</sub>范围。

### 数字输入/输出规格

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
输入					
高电平输入电压(V <sub>IH</sub> )		0.7 × IOVDD			V
低电平输入电压(V <sub>IL</sub> )				0.3 × IOVDD	V
输入漏电流		-10		+10	μA
输入电容				5	pF
输出					
高电平输出电压(V <sub>OH</sub> )	I <sub>OH</sub> = 1 mA	IOVDD - 0.60			V
低电平输出电压(V <sub>OL</sub> )	I <sub>OL</sub> = 1 mA			0.4	V

# ADAU1979

## 电源规格

除非另有说明, AVDD = 3.3 V, DVDD = 1.8 V, IOVDD = 3.3 V,  $f_s = 48$  kHz(主模式)。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
电源					
DVDD	片内低压差(LDO)调节器	1.62	1.8	1.98	V
AVDDx		3.0	3.3	3.6	V
IOVDD		1.62	3.3	3.6	V
IOVDD电流	主时钟 = $256 \times f_s$				
正常工作	$f_s = 48$ kHz		450		$\mu$ A
	$f_s = 96$ kHz		880		$\mu$ A
	$f_s = 192$ kHz		1.75		mA
关断	$f_s = 48$ kHz至192 kHz		20		$\mu$ A
AVDDx 电流					
正常工作	4通道ADC, 内部DVDD		14		mA
	4通道ADC, 外部DVDD		9.5		mA
关断			270		$\mu$ A
DVDD电流					
正常工作	外部DVDD		5		mA
关断			65		$\mu$ A
功耗					
正常工作	主时钟 = $256 \times f_s$ , 48 kHz				
模拟电源	内部DVDD		46.2		mW
	外部DVDD		31		mW
数字电源	外部DVDD		8.1		mW
数字I/O电源	IOVDD = 3.3 V		1.49		mW
所有电源关断			960		$\mu$ W

## 数字滤波器规格

表4.

参数	模式	系数	最小值	典型值	最大值	单位
ADC抽取滤波器	所有模式, $f_s = 48$ kHz时的典型值					
通带		$0.4375 \times f_s$		21		kHz
通带纹波				$\pm 0.015$		dB
过渡带		$0.5 \times f_s$		24		kHz
阻带		$0.5625 \times f_s$		27		kHz
阻带衰减			79			dB
群延迟	$f_s = 8$ kHz至96 kHz	$22.9844/f_s$		479		$\mu$ s
	$f_s = 192$ kHz			35		$\mu$ s
高通滤波器	所有模式, 48 kHz时的典型值					
截止频率	At -3 dB点			0.9375		Hz
相位偏差	20 Hz时			10		度
建立时间				1		sec
ADC数字增益	全部模式		0		60	dB
增益步长				0.375		dB

时序规格

表5.

参数	限值		单位	说明
	t <sub>MIN</sub>	t <sub>MAX</sub>		
输入主时钟(MCLK) 占空比 f <sub>MCLKIN</sub>	40	60	% MHz	MCLKIN占空比；MCLKIN为256 x f <sub>s</sub> 、384 x f <sub>s</sub> 、512 x f <sub>s</sub> 和768 x f <sub>s</sub> MCLKIN频率，PLL在MCLK模式
复位 复位脉冲t <sub>RESET</sub>	15		ns	$\overline{\text{RST}}$ 低电平
PLL 锁定时间		10	ms	
ADC串行输出端口 t <sub>ABH</sub> t <sub>ABL</sub> t <sub>ALS</sub> t <sub>ALH</sub> t <sub>ABDD</sub>	10 10 10 5		ns ns ns ns ns	参见图2 BCLK高电平，从模式 BCLK低电平，从模式 LRCLK建立至BCLK上升，从模式 BCLK上升至LRCLK保持，从模式 BCLK下降至SDATAOUTx延迟时间
SPI端口 f <sub>CCLK</sub> t <sub>CCPH</sub> t <sub>CCPL</sub> t <sub>CDS</sub> t <sub>CDH</sub> t <sub>CLS</sub> t <sub>CLH</sub> t <sub>CLPH</sub> t <sub>COE</sub> t <sub>COD</sub> t <sub>COTS</sub>		10	MHz ns ns ns ns ns ns ns ns ns ns	参见图3 CCLK频率 CCLK高电平 CCLK低电平 CIN建立至CCLK上升 CCLK上升至CIN保持 CLATCH建立至CCLK上升 CCLK上升至CLATCH保持 CLATCH高电平 CLATCH下降至COUT使能 CCLK下降至COUT延迟时间 CLATCH上升至COUT三态
I <sup>2</sup> C端口 f <sub>SCL</sub> t <sub>SCLH</sub> t <sub>SCLL</sub> t <sub>SCS</sub> t <sub>SCH</sub> t <sub>DS</sub> t <sub>DH</sub> t <sub>SCR</sub> t <sub>SCF</sub> t <sub>SDR</sub> t <sub>SDF</sub> t <sub>BFT</sub> t <sub>SUSTO</sub>		400	kHz μs μs μs μs ns ns ns ns ns ns μs μs	参见图4 SCL频率 SCL高电平 SCL低电平 建立时间；与重复起始条件相关 保持时间；此时间结束后产生首个时钟脉冲 数据建立时间 数据保持时间 SCL上升时间 SCL下降时间 SDA上升时间 SDA下降时间 总线空闲时间；停止与起始之间的时间 停止条件的建立时间



## 绝对最大额定值

表6.

参数	额定值
模拟电源(AVDDx)	-0.3 V至+3.6 V
数字电源	
DVDD	-0.3 V至+1.98 V
IOVDD	-0.3 V至+3.63 V
输入电流(电源引脚除外)	±20 mA
模拟输入电压(信号引脚)	-0.3 V至+3.6 V
数字输入电压(信号引脚)	-0.3 V至+3.6 V
工作温度范围(环境)	-40°C至+105°C
结温范围	-40°C至+125°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 热阻

$\theta_{JA}$  表示结至环境热阻， $\theta_{JC}$  表示结至外壳热阻。所有特性均是利用标准JEDEC电路板根据JESD51标准进行测量。

表7. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	单位
40引脚 LFCSP	32.8	1.93	°C/W

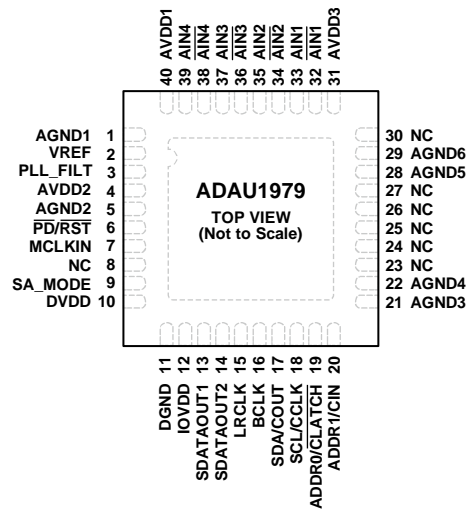
## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



- NOTES**
1. NC = NO CONNECT. DO NOT CONNECT TO THESE PINS. LEAVE THE NC PINS OPEN.
  2. THE EXPOSED PAD MUST BE CONNECTED TO THE GROUND PLANE ON THE PRINTED CIRCUIT BOARD (PCB).

11408-005

图5. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	类型 <sup>1</sup>	说明
1	AGND1	P	模拟地。
2	VREF	O	基准电压源。VREF应通过一个10 μF电容与一个100 nF电容的并联去耦到AGND。
3	PLL_FILT	O	锁相环滤波器。用推荐的环路滤波器元件将PLL_FILT接回AVDD。
4	AVDD2	P	模拟电源。将AVDD2连接到3.3 V模拟电源。
5	AGND2	P	模拟地。
6	PD/RST	I	关断/复位(低电平有效)。
7	MCLKIN	I	主时钟输入。
8, 23 to 27, 30	NC		不连接。请勿连接到这些引脚。NC引脚保持开路。
9	SA_MODE	I	独立模式。对于独立模式，用10 kΩ上拉电阻将SA_MODE连接到IOVDD。
10	DVDD	O	1.8 V数字电源输出。通过100 nF和10 μF电容将DVDD去耦到DGND。
11	DGND	P	数字地。
12	IOVDD	P	数字I/O电源。将IOVDD连接到1.8 V至3.3 V电源。
13	SDATAOUT1	O	ADC串行数据输出对1(ADC L1和ADC R1)。
14	SDATAOUT2	O	ADC串行数据输出对2(ADC L2和ADC R2)。
15	LRCLK	I/O	ADC串行端口的帧时钟。
16	BCLK	I/O	ADC串行端口的位时钟。
17	SDA/COU	I/O	串行数据输入/输出(I <sup>2</sup> C)/控制数据输出(SPI)。
18	SCL/CCLK	I	串行时钟输入(I <sup>2</sup> C)/控制数据输入(SPI)。
19	ADDR0/CLATCH	I	芯片地址位0设置(I <sup>2</sup> C)/控制数据的片选输入(SPI)。
20	ADDR1/CIN	I	芯片地址位1设置(I <sup>2</sup> C)/控制数据输入(SPI)。
21	AGND3	P	模拟地。
22	AGND4	P	模拟地。
28	AGND5	P	模拟地。
29	AGND6	P	模拟地。



引脚编号	引脚名称	类型 <sup>1</sup>	说明
31	AVDD3	P	模拟电源。将AVDD3连接到3.3 V模拟电源。
32	$\overline{\text{AIN1}}$	I	模拟输入通道1反相输入。
33	AIN1	I	模拟输入通道1同相输入。
34	$\overline{\text{AIN2}}$	I	模拟输入通道2反相输入。
35	AIN2	I	模拟输入通道2同相输入。
36	$\overline{\text{AIN3}}$	I	模拟输入通道3反相输入。
37	AIN3	I	模拟输入通道3同相输入。
38	$\overline{\text{AIN4}}$	I	模拟输入通道4反相输入。
39	AIN4	I	模拟输入通道4同相输入。
40	AVDD1	P	模拟电源。将AVDD1连接到3.3 V模拟电源。
	EP		裸露焊盘。裸露焊盘必须连接到印刷电路板(PCB)上的接地层。

<sup>1</sup> P = 电源, O = 输出, I = 输入, I/O = 输入/输出。

## 典型性能参数

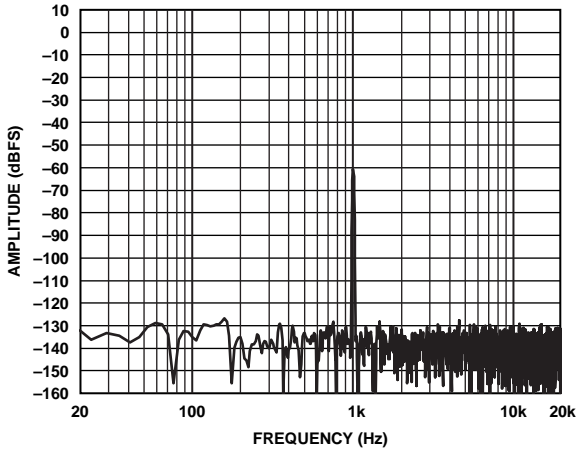


图6. 快速傅里叶变换, 4.5 mV差分输入,  $f_s = 48 \text{ kHz}$

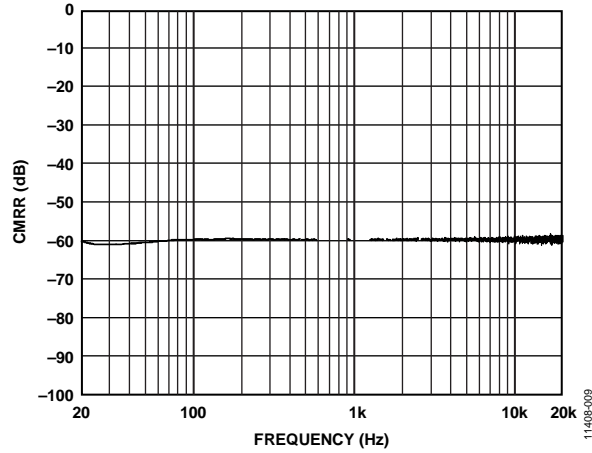


图9. CMRR差分输入, 以450 mV差分输入为基准

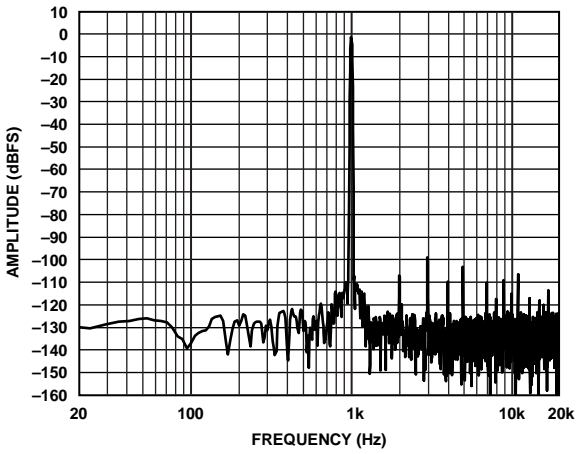


图7. 快速傅里叶变换, -1 dBFS差分输入

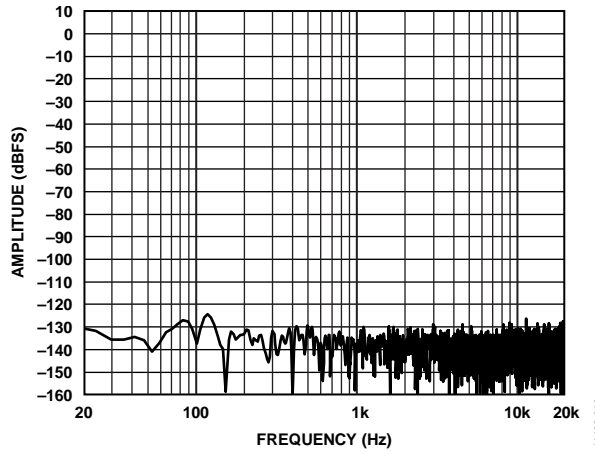


图10. 快速傅里叶变换, 无输入

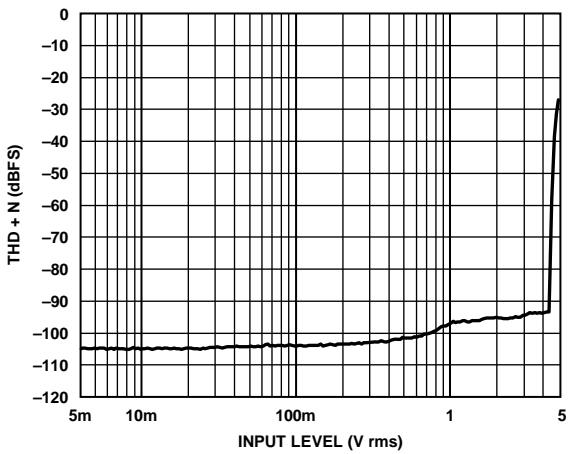


图8. THD + N与输入幅度的关系

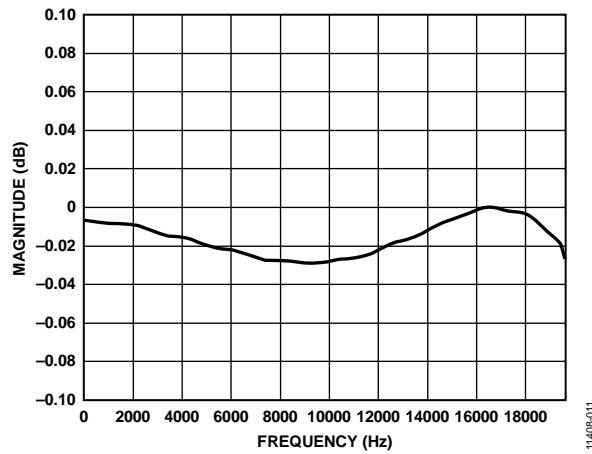
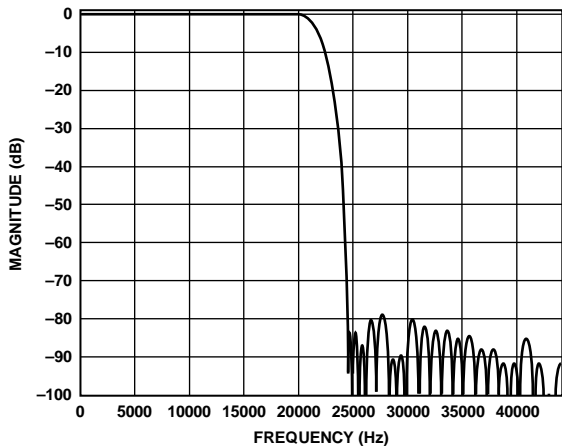


图11.  $f_s = 48 \text{ kHz}$ 时的ADC通带纹波



11408-012

图12.  $f_s = 48$  kHz时的ADC滤波器阻带响应

## 工作原理

### 概述

ADAU1979集成四个高性能ADC，以及一个用于产生必要的片内时钟信号的锁相环(PLL)电路。

### 电源和基准电压源

ADAU1979采用3.3 V单电源供电。所有AVDDx引脚都应通过100 nF陶瓷芯片电容去耦到最近的AGNDx，去耦电容应尽可能靠近AVDDx引脚以最大程度地降低噪声拾取。在ADC所在的PCB上，必须提供至少10 μF的铝电解体电容。为实现最佳性能，模拟电源必须尽可能干净。

数字内核的电源电压(DVDD)利用内部低压差调节器产生。典型DVDD输出为1.8 V，必须通过一个100 nF陶瓷电容和一个10 μF电容去耦。100 nF陶瓷电容应尽可能靠近DVDD引脚放置。

模拟模块的基准电压是在内部产生，通过VREF引脚(引脚2)输出。AVDDx为3.3 V时，VREF引脚的典型电压为1.5 V。

所有数字输入均兼容TTL和CMOS电平。所有输出均从IOVDD电源驱动。IOVDD可以在1.8 V至3.3 V范围内。IOVDD引脚必须通过一个尽可能靠近该引脚的100 nF电容去耦。

ADC内部基准电压从VREF引脚输出，必须通过并联的100 nF陶瓷电容和10 μF电容去耦。VREF引脚的电流能力有限。该基准电压源用作ADC的基准源，因此，外部电路建议不要从该引脚吸取电流。使用该基准源时，可利用一个同相放大缓冲器来为应用中的其他电路提供基准电压。

在复位模式下，VREF引脚禁用以节省功耗，仅当 $\overline{\text{PD/RST}}$ 引脚变为高电平时使能。

### 上电复位序列

ADAU1979要求在AVDDx引脚上从外部提供3.3 V单电源。器件内部产生DVDD (1.8 V)，用于ADC的数字内核。DVDD电源输出引脚(引脚10)用于将去耦电容连接到DGND。去耦电容的典型推荐值为100 nF，与10 μF并联。复位期间，DVDD调节器禁用以降低功耗。 $\overline{\text{PD/RST}}$ 引脚(引脚6)变为高电平后，器件使能DVDD调节器。然而，内部ADC和数字内核复位由内部上电复位(POR)信号电路控制，它会监控DVDD电平。因此，只有DVDD达到1.2 V且 $\overline{\text{POR}}$ 信号释放后，器件才会离开复位状态。DVDD建立时间取决于外部电容的充电时间和AVDDx上升斜坡时间。

内部POR电路具有迟滞，确保DVDD上的短暂毛刺不会启动器件复位。典型跳变点为1.2 V( $\overline{\text{PD/RST}}$ 高电平)和0.6 V ± 20%( $\overline{\text{PD/RST}}$ 低电平)。这可确保内核直到DVDD降至0.6 V跳变点以下才复位。

一旦 $\overline{\text{PD/RST}}$ 引脚变为高电平，内部调节器即开始为DVDD引脚上的C<sub>EXT</sub>电容充电。DVDD充电时间取决于调节器的输出电阻和外部去耦电容。该时间常数可以通过下式计算：

$$t_c = R_{OUT} \times C_{EXT}$$

其中， $R_{OUT} = 20 \Omega$ (典型值)。

例如，若C<sub>EXT</sub>为10 μF，则t<sub>c</sub>为200 μs，即达到DVDD电压(63.6%范围内)所需的时间。

当DVDD达到1.2 V时，上电复位电路释放内核的内部复位信号(见图13)。因此，发送I<sup>2</sup>C或SPI控制信号之前，建议至少等待t<sub>c</sub>时间。

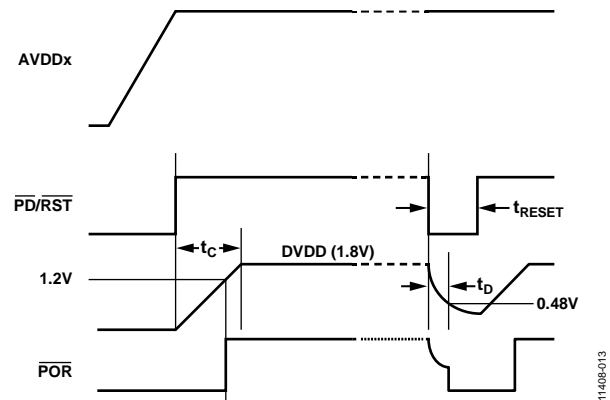


图13. 上电复位时序

当先拉低再拉高 $\overline{\text{PD/RST}}$ 引脚(引脚6)以对器件执行硬件复位时，存在若干时间限制。在 $\overline{\text{PD/RST}}$ 低电平脉冲期间，DVDD开始放电。放电时间常数由调节器的内部电阻和C<sub>EXT</sub>决定。DVDD从1.8 V降至0.48 V (0.6 V - 20%)所需的时间可通过下式估算：

$$t_D = 1.32 \times R_{INT} \times C_{EXT}$$

其中， $R_{INT} = 64 \text{ k}\Omega$ 典型值( $R_{INT}$ 可能随工艺而变化，误差范围±20%)。

例如，若C<sub>EXT</sub>为10 μF，则t<sub>D</sub>为0.845秒。

根据C<sub>EXT</sub>不同，t<sub>D</sub>可能不同，进而影响 $\overline{\text{PD/RST}}$ 脉冲的最短保持时间。在全部t<sub>D</sub>时间内， $\overline{\text{PD/RST}}$ 脉冲必须保持低电平才能使内核正确初始化。

在 $C_{EXT}$ 上增加一个电阻，可减少所需的 $\overline{PD}/\overline{RST}$ 低电平脉冲时间。新 $t_D$ 值计算如下：

$$t_D = 1.32 \times R_{EQ} \times C_{EXT}$$

其中， $R_{EQ} = 64 \text{ k}\Omega \parallel R_{EXT}$ 。

该电阻不仅可确保DVDD在复位或AVDDx失电期间快速放电，而且能使内部模块正确复位。注意，该电阻持续从DVDD吸取电流，因而必然有一定的功率损失。 $C_{EXT}$ 典型值为10  $\mu\text{F}$ ， $R_{EXT}$ 典型值为3  $\text{k}\Omega$ 。因此，时间常数为：

$$t_D = 1.32 \times R_{EQ} \times C_{EXT} = 37.8 \text{ ms}$$

其中， $R_{EQ} = 2.866 \text{ k}\Omega (64 \text{ k}\Omega \parallel 3 \text{ k}\Omega)$ 。

对设定的 $C_{EXT}$ 值使用此公式，便可计算 $R_{EXT}$ 以获得所需的 $\overline{PD}/\overline{RST}$ 脉冲时间。

还可以使用一个软件复位位(S\_RST，寄存器0x00的位7)来复位器件，但应注意，在AVDDx失电期间，软件复位可能无法确保正确初始化，因为DVDD可能不稳定。

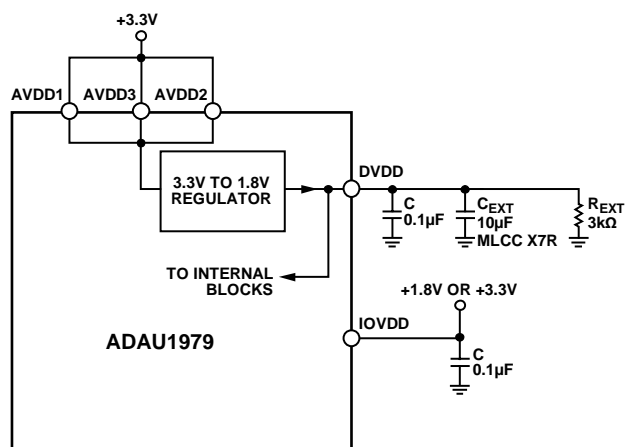


图14. DVDD调节器输出连接

### PLL和时钟

ADAU1979内置模拟PLL以便为内部ADC提供无抖动的主时钟。PLL必须根据适当的输入时钟频率进行编程。PLL\_CONTROL寄存器0x01用于设置PLL。

寄存器0x01的CLK\_S位(位4)用于设置PLL的时钟源。时钟源可以是MCLKIN引脚或LRCLK引脚(从模式)。在LRCLK模式下，PLL支持32 kHz到192 kHz的采样速率。

在MCLK输入模式下，MCS位(寄存器0x01的位[2:0])必须设置为MCLKIN引脚需要的输入时钟频率。表9显示了大部分常用采样速率所需的输入主时钟频率和MCS位设置。

寄存器0x01的PLL\_LOCK位(位7)指示PLL的锁定状态。建议在初始上电后读取PLL锁定状态，确保PLL输出正确的频率后才取消音频输出静音。

表9. 常用采样频率所需的输入主时钟频率

MCS (位[2:0])	f <sub>s</sub> (kHz)	倍频系数	MCLKIN 频率(MHz)
000	32	128 × f <sub>s</sub>	4.096
001	32	256 × f <sub>s</sub>	8.192
010	32	384 × f <sub>s</sub>	12.288
011	32	512 × f <sub>s</sub>	16.384
100	32	768 × f <sub>s</sub>	24.576
000	44.1	128 × f <sub>s</sub>	5.6448
001	44.1	256 × f <sub>s</sub>	11.2896
010	44.1	384 × f <sub>s</sub>	16.9344
011	44.1	512 × f <sub>s</sub>	22.5792
100	44.1	768 × f <sub>s</sub>	33.8688
000	48	128 × f <sub>s</sub>	6.144
001	48	256 × f <sub>s</sub>	12.288
010	48	384 × f <sub>s</sub>	18.432
011	48	512 × f <sub>s</sub>	24.576
100	48	768 × f <sub>s</sub>	36.864
000	96	64 × f <sub>s</sub>	6.144
001	96	128 × f <sub>s</sub>	12.288
010	96	192 × f <sub>s</sub>	18.432
011	96	256 × f <sub>s</sub>	24.576
100	96	384 × f <sub>s</sub>	36.864
000	192	32 × f <sub>s</sub>	6.144
001	192	64 × f <sub>s</sub>	12.288
010	192	96 × f <sub>s</sub>	18.432
011	192	128 × f <sub>s</sub>	24.576
100	192	192 × f <sub>s</sub>	36.864

PLL可接受音频帧时钟(采样速率时钟)作为输入，但串行端口必须配置为从机，帧时钟必须从主机提供给器件。强烈建议先禁用PLL，用新设置重新编程，再重新使能。器件提供一个锁定位，可通过I<sup>2</sup>C轮询，检查PLL是否锁定。

PLL需要一个外部滤波器，它连接在PLL\_FILTER引脚上(引脚3)。MCLK或LRCLK模式的建议PLL滤波电路如图15所示。为确保温度稳定性，建议使用NPO电容。为实现最佳性能，滤波器电容应靠近器件放置。

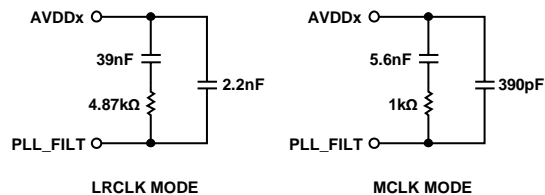


图15. PLL滤波器

# ADAU1979

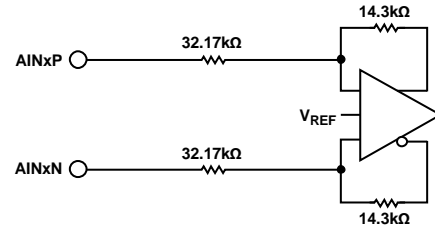
## 模拟输入

ADAU1979具有4路差分模拟输入。ADC支持交流耦合和直流耦合输入信号。

典型输入电路框图如图16所示。

多数音频应用中，信号的直流成分通过耦合电容消除。然而，ADAU1979采用独特的输入结构，允许交流耦合输入信号。从各路输入到AGNDx的典型输入电阻约为32 kΩ。

在48 kHz采样速率时，高通滤波器具有1.4 Hz、6 dB/倍频程的截止频率。该截止频率与采样速率呈比例变化。然而，直流耦合应用必须确保共模直流电压不超过额定限值。满量程ADC输出(0 dBFS)所需的输入通常为4.5 V rms 差分。



$V_{ID} = V$  INPUT DIFFERENTIAL  
 $V_{CM}$  AT AINxP/AINxN = 1.5V

图16. 模拟输入模块

1140B-015

**线路输入**

本部分说明ADAU1979支持线路电平输入的一些可能连接方法。

**线路输入平衡或差分输入直流耦合案例**

对于4.5 V rms差分输入信号和约1.5 V共模直流电压，各输入引脚的信号具有2.25 V rms或6.36 V p-p信号摆幅。共模直流电压为1.5 V时，各输入的信号可在 $(1.5 + 3.18) = 4.68$  V至 $(1.5 - 3.18) = -1.68$  V之间摆动。因此，AINx和AINx上有大约12.72 V p-p差分电压，ADC输出端测量值接近0 dBFS (仅交流，采用高通滤波器)(参见图17)。

**线路输入平衡或差分输入交流耦合案例**

为将ADAU1979连接到音响主机放大器输出端，建议使用交流耦合。这种情况下，AINx/AINx引脚的共模电平为1.5 V。如果输入电平超过4.5 V rms，可利用衰减器将其降低。

C1和C2值可利用以下公式根据所需的低频截止确定：

$$C1 \text{ 或 } C2 = 1/(2 \times \pi \times f_c \times \text{输入电阻})$$

其中，ADAU1979的输入电阻典型值为32.17 kΩ。

有关将线路电平输入连接到ADAU1979的信息，参见图18。

**线路输入不平衡或单端伪差分交流耦合案例**

对于单端应用，信号摆幅减半，因为仅有一个输入用于信号，另一个输入连接到0 V。在单端应用中，这样做会将输入信号能力降至2.25 V rms，ADC输出端测量值约为-6.16 dBFS (仅交流，采用直流高通滤波器)。

更多信息参见图19。C1/C2的值与“线路输入平衡或差分输入交流耦合案例”部分所述的平衡交流耦合案例相似。

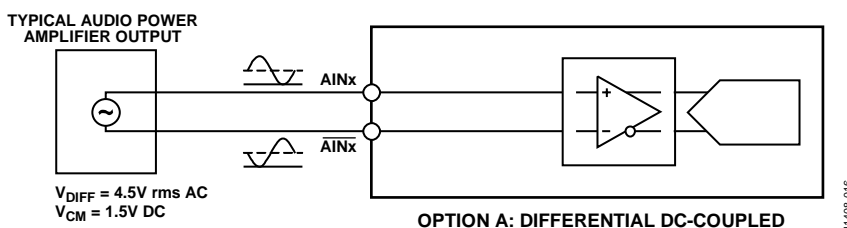


图17. 连接线路电平输入—差分直流耦合案例

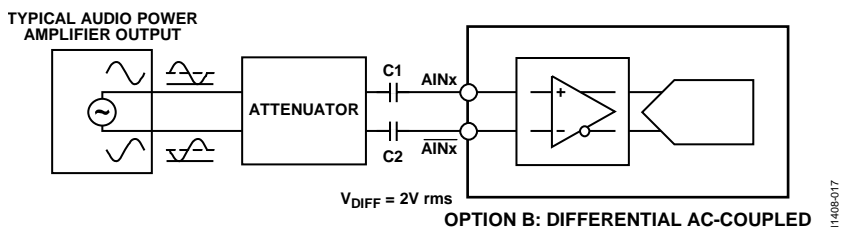


图18. 连接线路电平输入—差分交流耦合案例

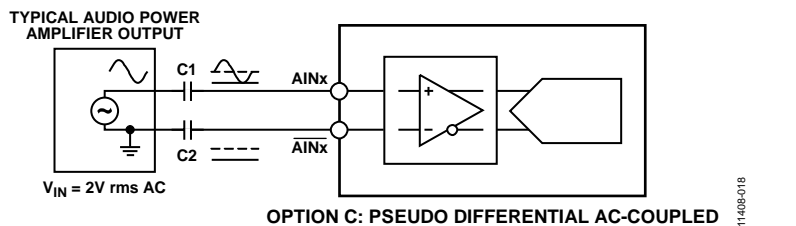


图19. 连接线路电平输入—伪差分交流耦合案例

# ADAU1979

## 模数转换器

ADAU1979的4个 $\Sigma$ - $\Delta$  ADC通道配置为两个立体声对，具有可配置的差分/单端输入。ADC以32 kHz到192 kHz的标称采样速率工作。ADC包括片上数字抗混叠滤波器，其具有79 dB阻带衰减和线性相位响应。数字输出通过两个串行数据输出引脚(每个立体声对一个)、一个通用帧时钟(LRCLK)和一个位时钟(BCLK)提供。或者，也可以使用TDM模式之一，单条TDM数据线最多支持16个通道。

使用幅度较小的输入信号时，对各通道可提供10位可编程数字增益补偿，以将输出字放大到满量程。必须注意避免过度补偿(大增益补偿)，否则会导致ADC削波和THD性能降低。

ADC还有直流失调校准算法，可消除ADC的系统性直流失调。此特性对直流测量应用有利。

## ADC求和模式

四个ADC可分组为单个立体声ADC或单个单声道ADC，以便提高应用的信噪比(SNR)。提供两种选项：一是将ADC的两个通道求和，一是ADC的所有四个通道求和。求和在数字模块中执行。

## 2通道求和模式

SUM\_MODE位(寄存器0x0E的位[7:6])设为01时，通道1和通道2 ADC数据合并，从SDATAOUT1引脚输出。类似地，通道3和通道4 ADC数据合并，从SDATAOUT2引脚输出。这样一来，SNR提高3 dB。这种模式下，通道1和通道2必须连接到相同的输入信号源。类似地，通道3和通道4也必须连接到相同的输入信号源。

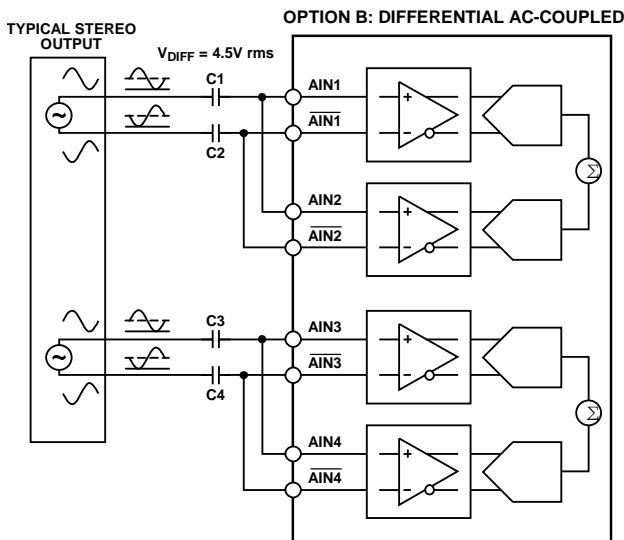


图20.2 2通道求和模式连接图

## 1通道求和模式

SUM\_MODE位(寄存器0x0E的位[7:6])设为10时，通道1至通道4 ADC数据合并，从SDATAOUT1引脚输出。这样一来，SNR提高6 dB。这种模式下，所有四个通道必须连接到相同的输入信号源。

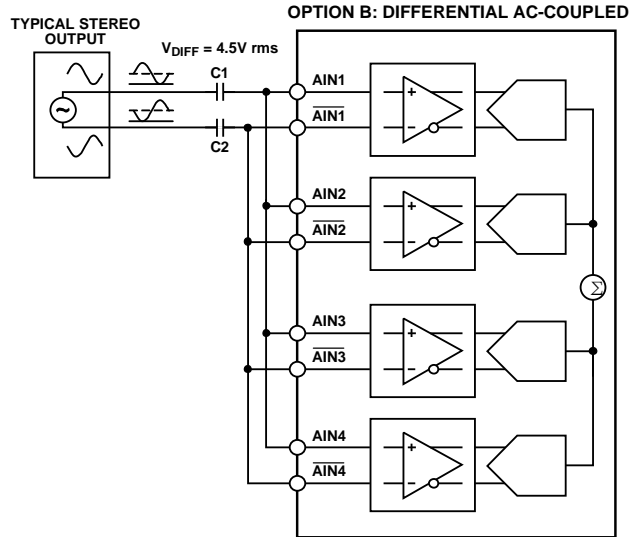


图21.1 1通道求和模式连接图

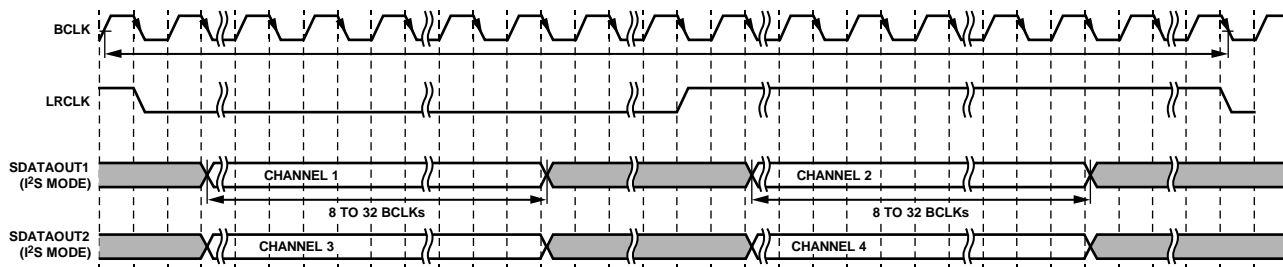


### 串行音频数据输出端口、数据格式

串行音频端口包括4个引脚：BCLK、LRCLK、SDATAOUT1和SDATAOUT2。ADAU1979 ADC输出以串行格式在SDATAOUT1和SDATAOUT2引脚上提供。BCLK和LRCLK引脚分别用作位时钟和帧时钟。该端口可以用作主机或从机，并且可以设置为立体声模式(2通道模式)或TDM多通道模式。支持常见音频格式：I<sup>2</sup>S、左对齐(L)和右对齐(R)。

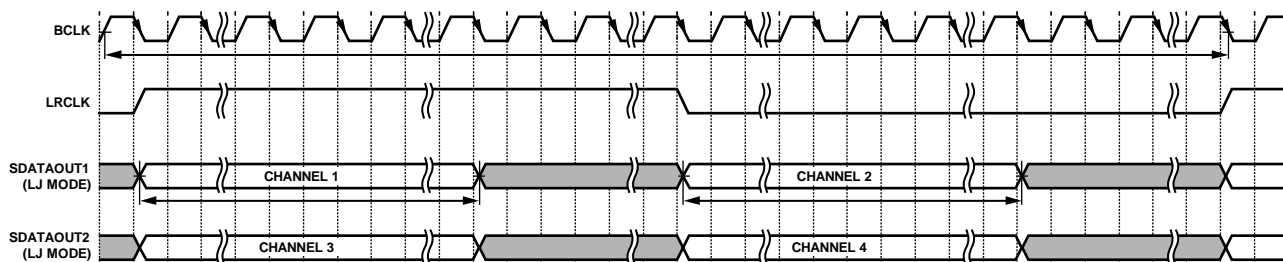
### 立体声模式

在2通道或立体声模式下，SDATAOUT1输出通道1和通道2的ADC数据，SDATAOUT2输出通道3和通道4的ADC数据。图22至图24显示了支持的音频格式。



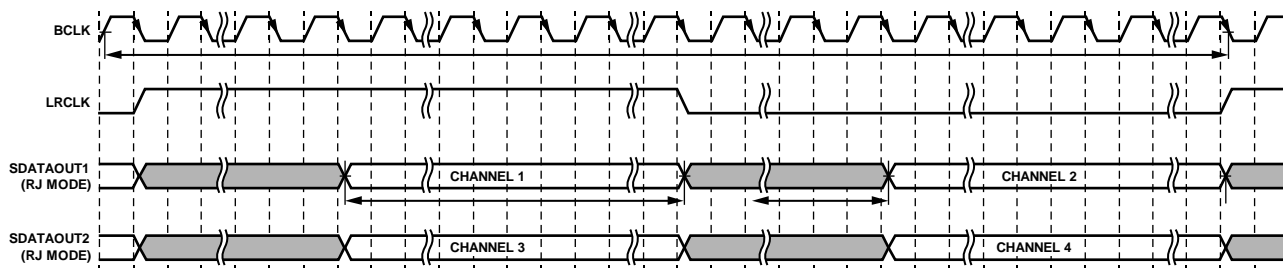
NOTES  
1. SAI = 0.  
2. SDATA\_FMT = 0 (I<sup>2</sup>S).

图22. I<sup>2</sup>S音频格式



NOTES  
1. SDATA\_FMT = 1 (LJ).

图23. 左对齐音频格式



NOTES  
1. SDATA\_FMT = 2 (RJ, 24-BIT).

图24. 右对齐音频格式

# ADAU1979

## TDM模式

寄存器0x05至寄存器0x08提供TDM模式编程功能。TDM间隔间隔宽度、数据宽度、通道分配和用于输出数据的引脚均可编程。

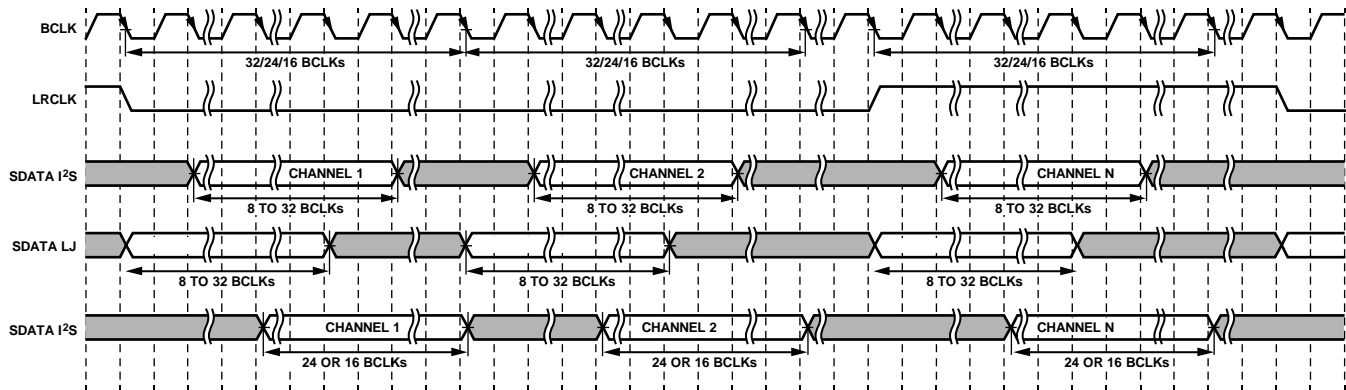
默认情况下，串行数据在SDATAOUT1引脚上输出，但可利用SDATA\_SEL位(寄存器0x06的位7)改变设置，使串行数据从SDATAOUT2引脚输出。

TDM模式支持2、4、8或16个通道。ADAU1979在分配的间隔间隔中输出4通道数据(图27显示了TDM模式间隔间隔

分配)。在未使用的间隔间隔中，输出引脚变为高阻态，因而同一数据线可与TDM总线上的其他器件共享。

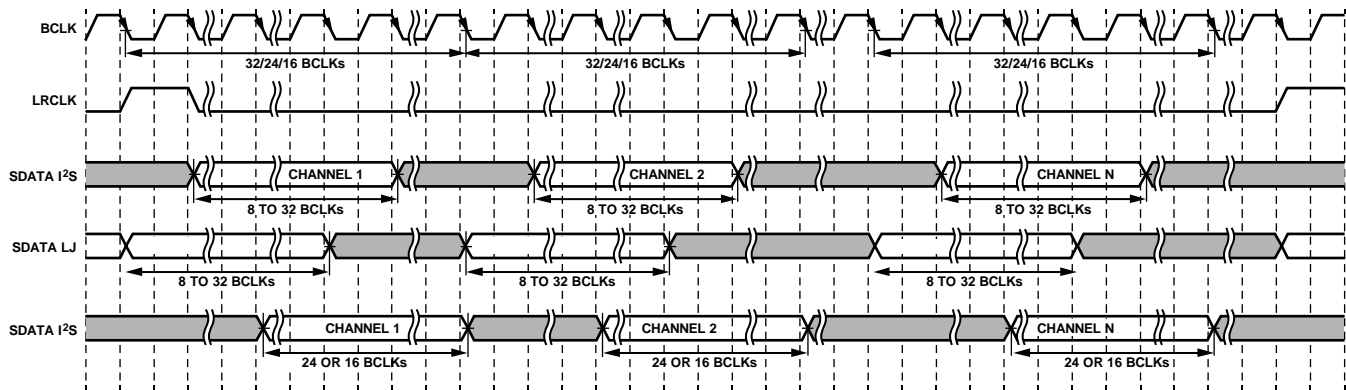
TDM端口可以作为主机或从机工作。在主模式下，BCLK和LRCLK引脚从ADAU1979输出，而在从模式下，BCLK和LRCLK引脚设置为接收系统主机提供的时钟。

支持非脉冲和脉冲模式。在非脉冲模式下，LRCLK信号占空比通常为50%，而在脉冲模式下，LRCLK信号至少必须为一个BCLK宽(参见图25和图26)。



- NOTES
1. SAI = 001 (2 CHANNELS), 010 (4 CHANNELS), 011 (8 CHANNELS), 100 (16 CHANNELS).
  2. SDATA\_FMT = 00 (I²S), 01 (LJ), 10 (RJ, 24-BIT), 11 (RJ, 16-BIT).
  3. BCLK\_EDGE = 0.
  4. LR\_MODE = 0.
  5. SLOT\_WIDTH = 00 (32 BCLKs), 01 (24 BCLKs), 10 (16 BCLKs).

图25. TDM非脉冲模式音频格式



- NOTES
1. SAI = 001 (2 CHANNELS), 010 (4 CHANNELS), 011 (8 CHANNELS), 100 (16 CHANNELS).
  2. SDATA\_FMT = 00 (I²S), 01 (LJ), 10 (RJ, 24-BIT), 11 (RJ, 16-BIT).
  3. BCLK\_EDGE = 0.
  4. LR\_MODE = 1.
  5. SLOT\_WIDTH = 00 (32 BCLKs), 01 (24 BCLKs), 10 (16 BCLKs).

图26. TDM脉冲模式音频格式

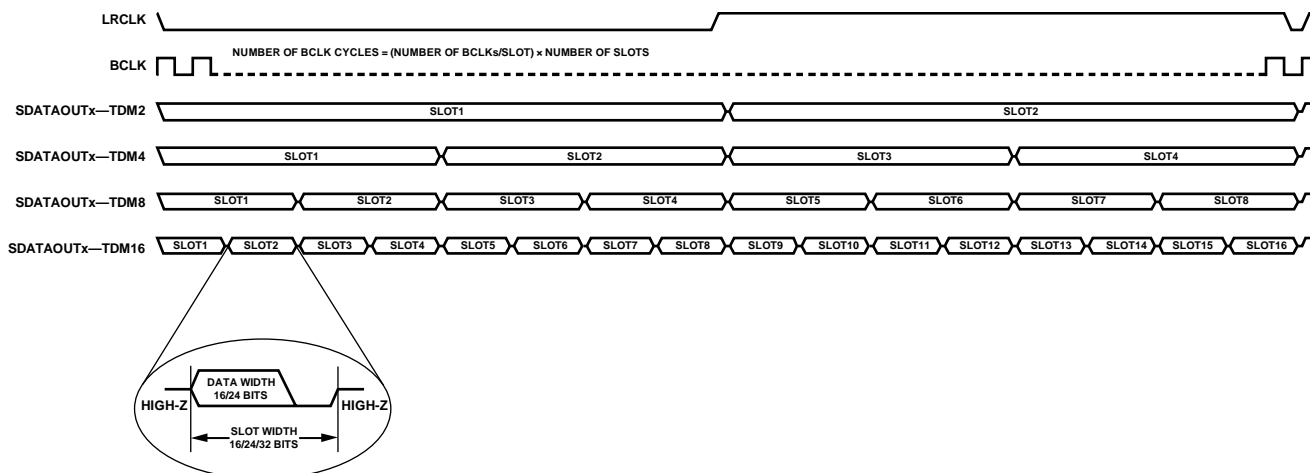


图27. TDM模式间隔分配

11408-029

表10. TDM模式位时钟频率

模式	BCLK频率		
	间隔每间隔16个位时钟	每间隔24个位时钟	每间隔32个位时钟
TDM2	$32 \times f_s$	$48 \times f_s$	$64 \times f_s$
TDM4	$64 \times f_s$	$96 \times f_s$	$128 \times f_s$
TDM8	$128 \times f_s$	$192 \times f_s$	$256 \times f_s$
TDM16	$256 \times f_s$	$384 \times f_s$	$512 \times f_s$

位时钟频率取决于采样速率、间隔宽度和每间隔的位时钟数。使用表10计算BCLK频率。

采样速率( $f_s$ )范围是8 kHz到192 kHz。但在主模式下，最大位时钟频率(BCLK)为24.576 MHz。例如，对于192 kHz的采样速率， $128 \times f_s$ 就是最大可能的BCLK频率。因此，每个TDM帧仅有128个位时钟周期可用。这种情况下有两个选

项：以32位数据宽度在TDM4模式下工作或以16位数据宽度在TDM8模式下工作。从模式下不存在这一限制，因为位时钟和帧时钟是由主机提供给ADAU1979。可以使用BCLK频率和模式的各种组合，但必须注意，应当选择最适合应用的组合。

# ADAU1979

## 连接选项

图28至图32显示了I<sup>2</sup>S或TDM模式下连接串行音频端口的可用选项。在TDM模式下，建议在数据信号上包括下拉电阻，以防止ADAU1979的SDATAOUTx引脚在非活动期间变为高阻态时线路悬空。所选电阻值应确保从SDATAOUTx引脚吸取的电流不超过2 mA。该电阻值一般在10 kΩ到47 kΩ范围内，具体使用何值取决于数据总线上的期间。

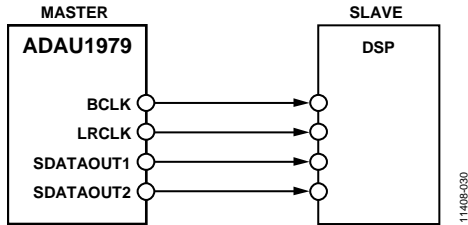


图28. 串行端口连接选项1—I<sup>2</sup>S/左对齐/右对齐模式，ADAU1979主机

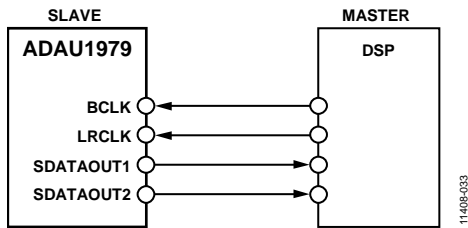


图29. 串行端口连接选项2—I<sup>2</sup>S/左对齐/右对齐模式，ADAU1979从机

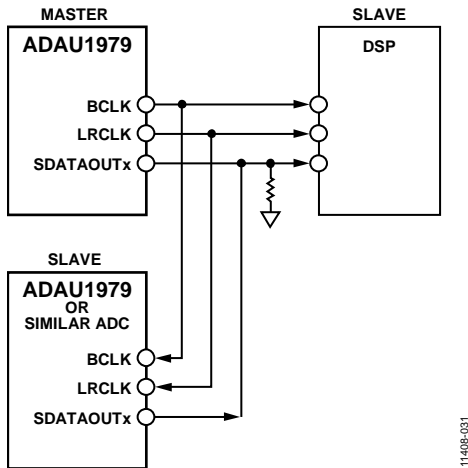


图30. 串行端口连接选项3—TDM模式，ADAU1979主机

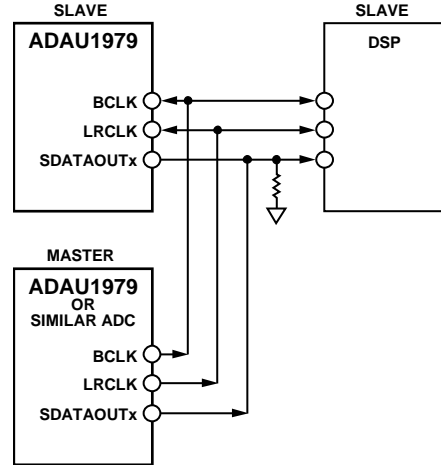


图31. 串行端口连接选项4—TDM模式，第二ADC主机

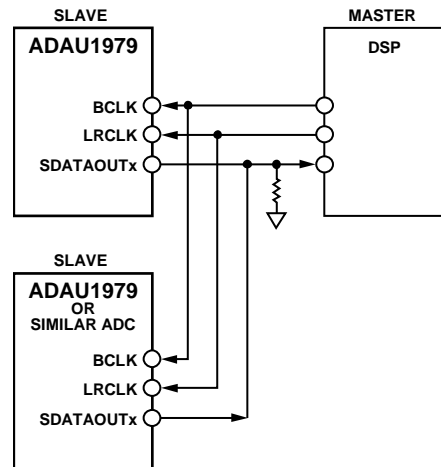


图32. 串行端口连接选项5—TDM模式，DSP主机

## 控制端口

ADAU1979控制端口支持两种工作模式——2线I<sup>2</sup>C模式或4线SPI模式，用于设置器件的内部寄存器。I<sup>2</sup>C和SPI模式均允许读写寄存器。全部寄存器均为8位宽。寄存器起始地址为0x00，结束地址为0x1A。

I<sup>2</sup>C和SPI模式下的控制端口均只能用作从机，需要系统中的主机才能工作。访问寄存器时，器件有无主时钟无关紧要。但是，操作PLL、串行音频端口和升压转换器时，主时钟必须存在。

默认情况下，ADAU1979工作在I<sup>2</sup>C模式，但通过 $\overline{\text{CLATCH}}$ 引脚拉低三次，就可以将器件置于SPI模式。

控制端口引脚是多功能引脚，具体功能取决于器件的工作模式。表12说明了两种模式下控制端口引脚的功能。

### I<sup>2</sup>C模式

ADAU1979支持2线串行(I<sup>2</sup>C兼容)总线协议。两个引脚——串行数据(SDA)和串行时钟(SCL)——用于与系统I<sup>2</sup>C主控制器通信。在I<sup>2</sup>C模式下，ADAU1979始终是总线上的从机，意味着它不能启动数据传输。I<sup>2</sup>C总线上的每个从机都通过一个唯一的器件地址识别。ADAU1979的器件地址和 $\overline{\text{R/W}}$ 字节如表11所示。地址存在于I<sup>2</sup>C写操作的前7位。ADAU1979 I<sup>2</sup>C地址的位7和位6由ADDR1和ADDR0引脚上的电平设置。来自主机的第一个I<sup>2</sup>C字节的LSB( $\overline{\text{R/W}}$ 位)说明是读操作还是写操作。LSB(位0)为逻辑电平1对应于读操作，逻辑电平0对应于写操作。

表11. I<sup>2</sup>C首字节格式

位7	位6	位5	位4	位3	位2	位1	位0
ADDR1	ADDR0	1	0	0	0	1	R/W

ADAU1979的I<sup>2</sup>C芯片地址的前7位是xx10001。通过ADDR1和ADDR0引脚设置该地址字节的位7和位6，以便将芯片地址设置为所需的值。

表12: 控制端口引脚功能

引脚编号	引脚名称	I <sup>2</sup> C模式		SPI模式	
		引脚功能	引脚类型	引脚功能	引脚类型
17	SDA/COOUT	SDA数据	I/O	COOUT数据	O
18	SCL/CCLK	SCL时钟	I	CCLK时钟	I
19	$\overline{\text{ADDR0/CLATCH}}$	I <sup>2</sup> C器件地址位0	I	$\overline{\text{CLATCH}}$ 片选	I
20	ADDR1/CIN	I <sup>2</sup> C器件地址位1	I	CIN数据	I

使用ADDR1和ADDR0引脚，可将7位I<sup>2</sup>C器件地址设置为以下四个可能的选项之一：

- I<sup>2</sup>C器件地址0010001 (0x11)
- I<sup>2</sup>C器件地址0110001 (0x31)
- I<sup>2</sup>C器件地址1010001 (0x51)
- I<sup>2</sup>C器件地址1110001 (0x71)

在I<sup>2</sup>C模式下，SDA和SCL引脚要求将一个合适的上拉电阻连接到IOVDD。确保这些信号线上的电压不超过IOVDD引脚上的电压。图44显示了I<sup>2</sup>C模式的典型连接图。

SDA或SCL引脚的上拉电阻值计算如下：

$$\text{最小} R_{\text{PULL UP}} = (\text{IOVDD} - V_{\text{IL}}) / I_{\text{SINK}}$$

其中：

IOVDD是I/O电源电压，典型范围是1.8 V到3.3 V。

$V_{\text{IL}}$ 是逻辑电平0的最大电压(即0.4 V，根据I<sup>2</sup>C规范)。

$I_{\text{SINK}}$ 是I/O引脚的吸电流能力。

SDA可以吸收2 mA电流，因此，对于3.3 V的IOVDD， $R_{\text{PULL UP}}$ 最小值为1.5 k $\Omega$ 。

根据印刷电路板上的电容不同，可以限制总线速度以满足上升时间和下降时间要求。

对于比特率约为1 Mbps的快速模式，上升时间必须小于550 ns。使用下式判断是否能够满足上升时间要求：

$$t = 0.8473 \times R_{\text{PULL UP}} \times C_{\text{BOARD}}$$

要满足300 ns上升时间要求， $C_{\text{BOARD}}$ 必须小于236 pF。

对于SCL引脚，计算取决于系统所用I<sup>2</sup>C主机的吸电流能力。

# ADAU1979

## 寻址

开始时，I<sup>2</sup>C总线上的各器件均处于空闲状态，并监控SDA和SCL线有无起始条件和适当的地址。I<sup>2</sup>C主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCL保持高电平。这表示随后将出现地址/数据流。总线上的所有器件都对起始条件做出响应，并以MSB优先方式从主机获取接下来的8个位(7位地址加R/W位)。主机向总线上的所有从机发送7位器件地址和R/W位。在第9个时钟脉冲期间，具有匹配地址的器件通过将数据线(SDA)拉低来做出响应。此第9位称为应答位。此时，所有其它器件从总线退出，返回空闲状态。

R/W位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机将写入信息到从机，而逻辑1则意味着主机将在写入地址并重复起始地址之后读取从机信息。数据传输将持续到主机发出停止条件为止。停止条件是指在SCL处于高电平时，SDA上发生低电平至高电平跃迁。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序，ADAU1979将立即跳到空闲状态。

图33和图34使用了以下缩写：

ACK = 应答

No ACK = 不应答。

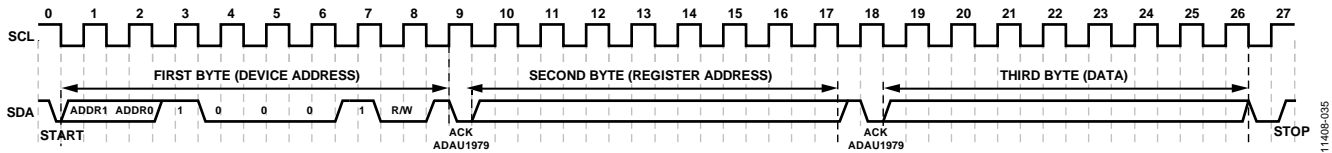


图33. I<sup>2</sup>C写入ADAU1979(单字节)

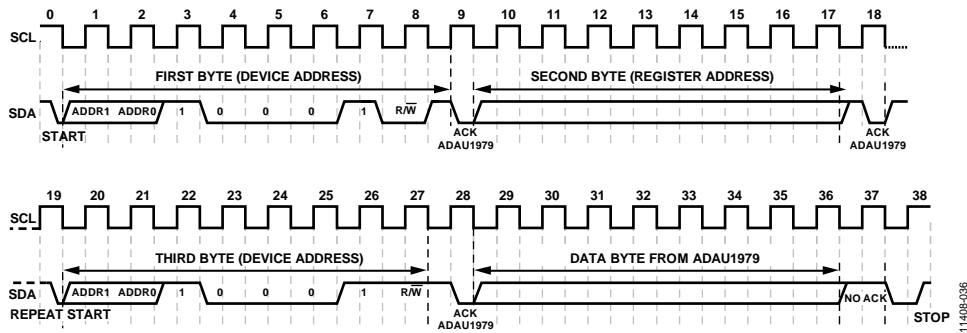


图34. I<sup>2</sup>C读取ADAU1979(单字节)

**I<sup>2</sup>C读和写操作**

图35给出了单字I<sup>2</sup>C写操作的格式。在每第9个时钟脉冲，ADAU1979都会通过拉低SDA来发送应答。

图36给出了突发模式I<sup>2</sup>C写序列的格式。该图显示了一个顺次写入单字节寄存器的例子。ADAU1979在写完一个字节后即递增其地址寄存器，因为请求的地址对应于1字节长的寄存器或存储器区域。

图37给出了单字I<sup>2</sup>C读操作的格式。

注意第一个R/W位为0，表示写操作。这是因为仍然需要写入地址，以便设置内部地址。在ADAU1979确认接收到地址后，主机必须发送一个重复起始命令，然后再发送

R/W位设置为1(表示读操作)的芯片地址字节。这将导致ADAU1979 SDA反向，并开始向主机回传数据。然后，主机在每第9个脉冲做出响应，向ADAU1979发送应答脉冲。

图38给出了突发模式I<sup>2</sup>C读序列的格式。该图显示了一个顺次读取单字节寄存器的例子。ADAU1979使用8位寄存器地址，因此每个字节后都会递增其地址寄存器。

图35至图38使用了以下缩写：

- S = 起始位
- P = 停止位
- AM = 主机应答
- AS = 从机应答

S	CHIP ADDRESS, R/W = 0	AS	REGISTER ADDRESS 8 BITS	AS	DATA BYTE	P
---	-----------------------	----	-------------------------	----	-----------	---

11408-037

图35. 单字I<sup>2</sup>C写格式

S	CHIP ADDRESS, R/W = 0	AS	REGISTER ADDRESS 8 BITS	CHIP ADDRESS, R/W = 0	AS	DATA BYTE 1	AS	DATA BYTE 2	AS	DATA BYTE 3	AS	DATA BYTE 4	AS	...	P
---	-----------------------	----	-------------------------	-----------------------	----	-------------	----	-------------	----	-------------	----	-------------	----	-----	---

11408-038

图36. 突发模式I<sup>2</sup>C写格式

S	CHIP ADDRESS, R/W = 0	AS	REGISTER ADDRESS 8 BITS	AS	S	CHIP ADDRESS, R/W = 1	AS	DATA BYTE 1	P
---	-----------------------	----	-------------------------	----	---	-----------------------	----	-------------	---

11408-039

图37. 单字I<sup>2</sup>C读格式

S	CHIP ADDRESS, R/W = 0	AS	REGISTER ADDRESS 8 BITS	AS	S	CHIP ADDRESS, R/W = 1	AS	DATA BYTE 1	AM	DATA BYTE 2	AM	...	P
---	-----------------------	----	-------------------------	----	---	-----------------------	----	-------------	----	-------------	----	-----	---

11408-040

图38. 突发模式I<sup>2</sup>C读格式

# ADAU1979

## SPI模式

ADAU1979默认采用I<sup>2</sup>C模式。要调用SPI控制模式，应将CLATCH拉低三次。这可以通过对SPI端口执行三个伪写操作来实现(ADAU1979不会应答这些操作，参见图39)。从第四个SPI写操作开始，器件可以读写数据。要使ADAU1979离开SPI模式，必须通过周期供电启动全面复位过程。

SPI端口使用4线接口，包括CLATCH、CCLK、CIN和COUT信号，始终是一个从机端口。CLATCH信号在处理开始时变为低电平，在处理结束时应变为高电平。CCLK信号在高低转换时锁存COUT。COUT数据在CCLK下降沿移出ADAU1979，并在CCLK上升沿输入一个接收器件，如微控制器等。CIN信号承载串行输入数据，COUT信号承载串行输出数据。在请求执行读操作之前，COUT信号处于三态。这样就可以直接连接到其他SPI兼容外设的COUT端口，以共享同一系统控制器端口。所有SPI处理都具有表15所示的相同基本通用控制字格式。时序图见图3。所有数据都以MSB优先方式写入。

## 芯片地址R/W

SPI处理的第一个字节的LSB为R/W位。此位决定通信是读操作(逻辑电平1)还是写操作(逻辑电平0)。表13显示了其格式。

表13. SPI地址和R/W字节格式

位7	位6	位5	位4	位3	位2	位1	位0
0	0	0	0	0	0	0	R/W

表15. 通用控制字格式

字节0	字节1	字节2	组合3 <sup>1</sup>
器件地址[6:0], R/W	寄存器地址[7:0]	数据[7:0]	数据[7:0]

<sup>1</sup> 持续到数据结束。

## 寄存器地址

8位地址字解码为一个寄存器的位置。此地址即为相应寄存器的位置。

## 数据字节

数据字节数取决于所访问的寄存器。在突发模式SPI写入中，初始寄存器地址之后是连续的数据序列，以供写入连续的寄存器位置。

图40给出了对一个寄存器执行单字SPI写操作的示例时序图。图41给出了单字SPI读操作的示例时序图。在字节3开始时，COUT引脚从高阻态变为高电平。本例中，字节0至字节1包含器件地址、R/W位以及要读取的寄存器地址。后续字节承载器件的数据。

## 独立模式

ADAU1979也可以在独立模式下工作。不过，在独立模式下，升压转换器、麦克风偏置和诊断模块均关断。要将器件置于独立模式，应将SA\_MODE引脚拉至IOVDD。这种模式下，某些引脚的功能发生改变以提供更大的灵活性(更多信息参见表14)。

表14. 独立模式下的引脚功能

引脚功能 <sup>1</sup>	设置	说明
ADDR0	0	I <sup>2</sup> S SAI格式
	1	TDM模式，由SDATAOUT2引脚决定
ADDR1	0	主模式SAI
	1	从模式SAI
SDA	0	MCLK = 256 × f <sub>s</sub> , PLL开启
	1	MCLK = 384 × f <sub>s</sub> , PLL开启
SCL	0	48 kHz采样速率
	1	96 kHz采样速率
SDATAOUT2	0	TDM4—LRCLK脉冲
	1	TDM8—LRCLK脉冲

<sup>1</sup> 所列引脚功能，而非引脚完整名称。更多信息参见表12。



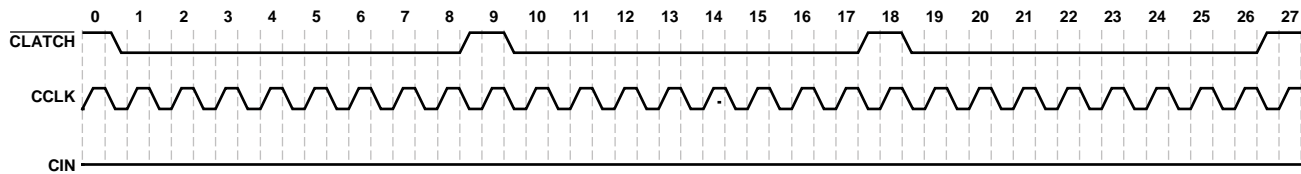


图39. SPI模式初始序列

11408-041

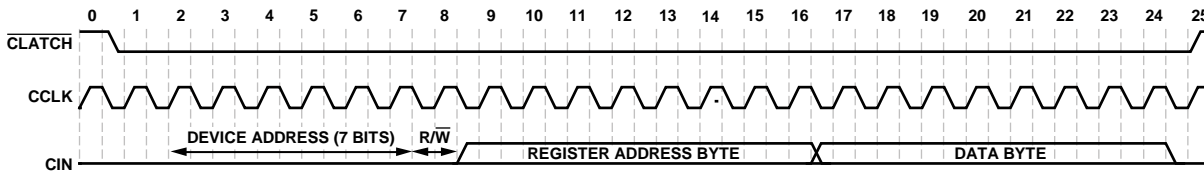


图40. SPI写入ADAU1979的时序(单字节模式)

11408-042

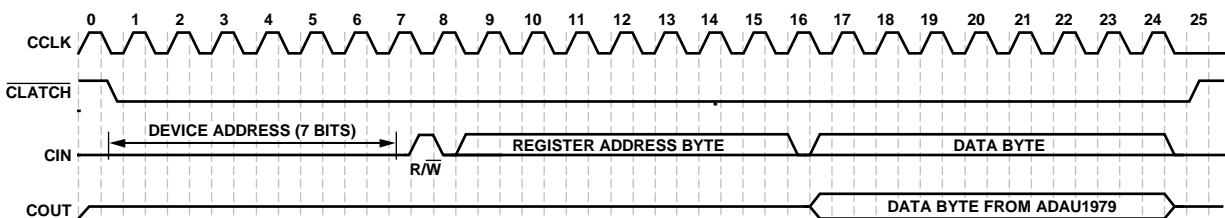


图41. SPI读取ADAU1979的时序(单字节模式)

11408-043

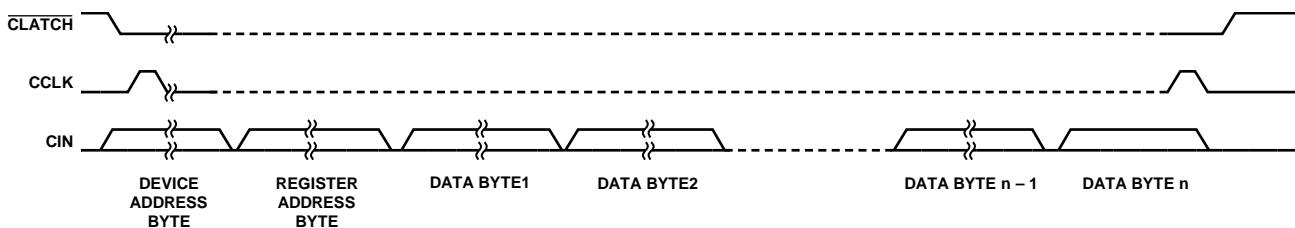


图42. SPI写入ADAU1979(多字节)

11408-044

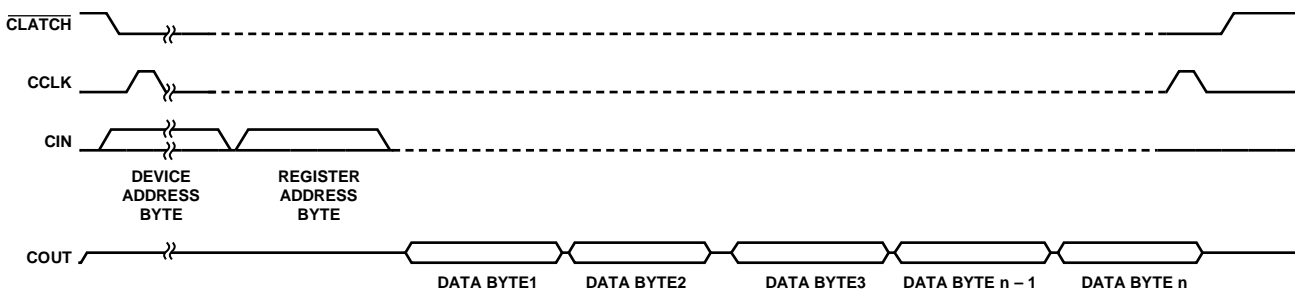


图43. SPI读取ADAU1979(多字节)

11408-045

# ADAU1979

## 寄存器汇总

表16. REGMAP\_ADAU1979寄存器汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW			
0x00	M_POWER	[7:0]	S_RST	RESERVED									PWUP	0x00	RW
0x01	PLL_CONTROL	[7:0]	PLL_LOCK	PLL_MUTE	RESERVED	CLK_S	RESERVED	MCS			0x41	RW			
0x02	RESERVED	[7:0]	RESERVED									Reserved	Reserved		
0x03	RESERVED	[7:0]	RESERVED									Reserved	Reserved		
0x04	BLOCK_POWER_SAI	[7:0]	LR_POL	BCLKEDGE	LDO_EN	VREF_EN	ADC_EN4	ADC_EN3	ADC_EN2	ADC_EN1	0x3F	RW			
0x05	SAI_CTRL0	[7:0]	SDATA_FMT		SAI			FS			0x02	RW			
0x06	SAI_CTRL1	[7:0]	SDATA_SEL	SLOT_WIDTH		DATA_WIDTH	LR_MODE	SAI_MSB	BCLKRATE	SAI_MS	0x00	RW			
0x07	SAI_CMAP12	[7:0]	CMAP_C2				CMAP_C1				0x10	RW			
0x08	SAI_CMAP34	[7:0]	CMAP_C4				CMAP_C3				0x32	RW			
0x09	SAI_OVERTEMP	[7:0]	SAI_DRV_C4	SAI_DRV_C3	SAI_DRV_C2	SAI_DRV_C1	DRV_HIZ	RESERVED	RESERVED	OT	0xF0	RW			
0x0A	POSTADC_GAIN1	[7:0]	PADC_GAIN1									0xA0	RW		
0x0B	POSTADC_GAIN2	[7:0]	PADC_GAIN2									0xA0	RW		
0x0C	POSTADC_GAIN3	[7:0]	PADC_GAIN3									0xA0	RW		
0x0D	POSTADC_GAIN4	[7:0]	PADC_GAIN4									0xA0	RW		
0x0E	MISC_CONTROL	[7:0]	SUM_MODE		RESERVED	MMUTE	RESERVED			DC_CAL	0x02	RW			
0x0F	RESERVED	[7:0]	RESERVED		RESERVED		RESERVED		RESERVED		0xFF	RW			
0x10	RESERVED	[7:0]	RESERVED				RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x0F	RW		
0x11	RESERVED	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x00	RW			
0x12	RESERVED	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x00	RW			
0x13	RESERVED	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x00	RW			
0x14	RESERVED	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x00	RW			
0x15	RESERVED	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x20	RW			
0x16	RESERVED	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	0x00	RW			
0x17	RESERVED	[7:0]	RESERVED		RESERVED		RESERVED		RESERVED		保留	保留			
0x18	RESERVED	[7:0]	RESERVED		RESERVED		RESERVED	RESERVED	RESERVED	RESERVED	保留	保留			
0x19	ASDC_CLIP	[7:0]	RESERVED				ADC_CLIP4	ADC_CLIP3	ADC_CLIP2	ADC_CLIP1	0x00	RW			
0x1A	DC_HPF_CAL	[7:0]	DC_SUB_C4	DC_SUB_C3	DC_SUB_C2	DC_SUB_C1	DC_HPF_C4	DC_HPF_C3	DC_HPF_C2	DC_HPF_C1	0x00	RW			

## 寄存器详解

### 主电源和软件复位寄存器

地址：0x00；复位：0x00；名称：M\_POWER

电源管理控制寄存器用于使能升压调节器、麦克风偏置、PLL、带隙基准电压源、ADC和LDO调节器。

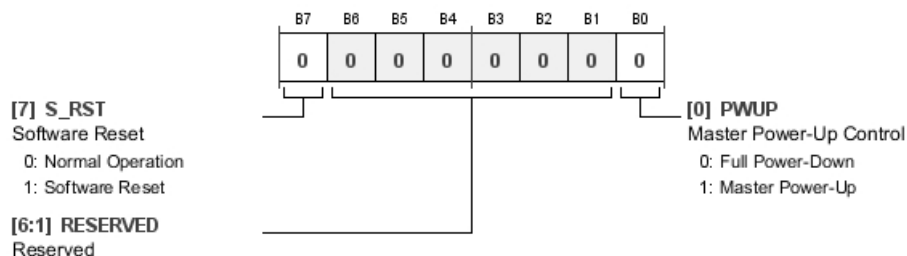


表17. M\_POWER的位功能描述

位	位名称	设置	说明	复位	访问类型
7	S_RST	0 1	软件复位。软件复位将复位所有内部电路，并将所有控制寄存器置于默认状态。上电或关断周期中无必要复位ADAU1979。 正常工作。 软件复位。	0x0	RW
[6:1]	RESERVED		保留。	0x00	RW
0	PWUP	0 1	主机上电控制。主机上电控制使ADAU1979完全上电或完全关断。要使ADAU1979上电，此位必须设为1。各模块可通过相应的电源控制寄存器关断。 完全关断。 主机上电。	0x0	RW

# ADAU1979

## PLL控制寄存器

地址：0x01；复位：0x41；名称：PLL\_CONTROL

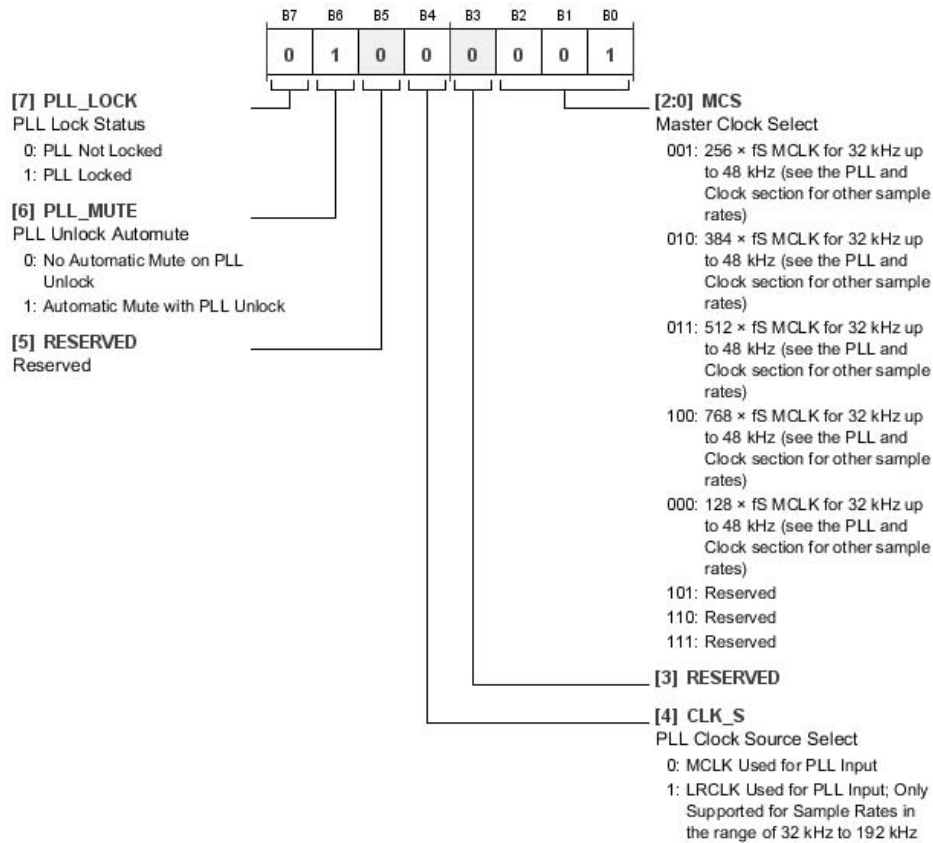


表18. PLL\_CONTROL的位功能描述

位	位名称	设置	说明	复位	访问类型
7	PLL_LOCK	0 1	PLL锁定状态。PLL锁定状态位。置1时，PLL锁定。 PLL未锁定。 PLL已锁定。	0x0	R
6	PLL_MUTE	0 1	PLL未锁定自动静音。设为1时，若PLL解除锁定，则ADC输出静音。 PLL未锁定时无自动静音。 PLL未锁定时自动静音。	0x1	RW
5	RESERVED		保留。	0x0	RW
4	CLK_S	0 1	PLL时钟源选择。选择PLL的输入时钟源。 MCLK用于PLL输入。 LRCLK用于PLL输入；仅支持32 kHz至192 kHz的采样速率。	0x0	RW
3	RESERVED		保留。	0x0	RW
[2:0]	MCS	001 010 011 100 000 101 110 111	主时钟选择。MCS位决定PLL的倍频系数。必须根据输入MCLK频率和采样速率设置。 $256 \times f_S$ MCLK(32 kHz至48 kHz，其他采样速率参见PLL和时钟部分)。 $384 \times f_S$ MCLK(32 kHz至48 kHz，其他采样速率参见PLL和时钟部分)。 $512 \times f_S$ MCLK(32 kHz至48 kHz，其他采样速率参见PLL和时钟部分)。 $768 \times f_S$ MCLK(32 kHz至48 kHz，其他采样速率参见PLL和时钟部分)。 $128 \times f_S$ MCLK(32 kHz至48 kHz，其他采样速率参见PLL和时钟部分)。 保留。 保留。 保留。	0x1	RW

模块电源控制和串行端口控制寄存器

地址: 0x04; 复位: 0x3F; 名称: BLOCK\_POWER\_SAI

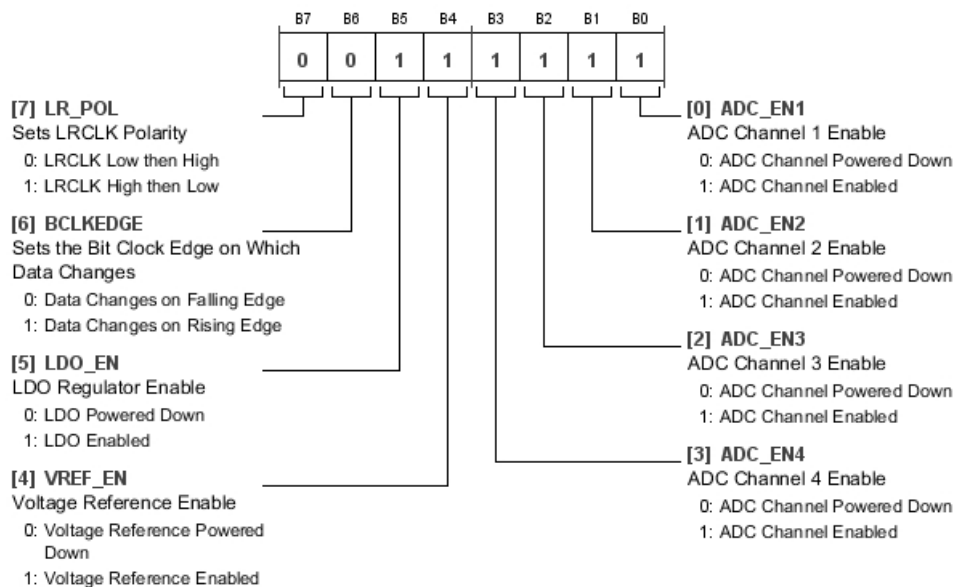


表19. BLOCK\_POWER\_SAI的位功能描述

位	位名称	设置	说明	复位	访问类型
7	LR_POL	0 1	设置LRCLK极性 LRCLK先低后高 LRCLK先高后低	0x0	RW
6	BCLKEDGE	0 1	设置数据改变的位时钟边沿 数据在下降沿改变 数据在上升沿改变	0x0	RW
5	LDO_EN	0 1	LDO调节器使能 LDO关断 LDO使能	0x1	RW
4	VREF_EN	0 1	基准电压源使能 基准电压源关断 基准电压源使能	0x1	RW
3	ADC_EN4	0 1	ADC通道4使能 ADC通道关断 ADC通道使能	0x1	RW
2	ADC_EN3	0 1	ADC通道3使能 ADC通道关断 ADC通道使能	0x1	RW
1	ADC_EN2	0 1	ADC通道2使能 ADC通道关断 ADC通道使能	0x1	RW
0	ADC_EN1	0 1	ADC通道1使能 ADC通道关断 ADC通道使能	0x1	RW

# ADAU1979

## 串行端口控制寄存器1

地址: 0x05; 复位: 0x02; 名称: SAI\_CTRL0

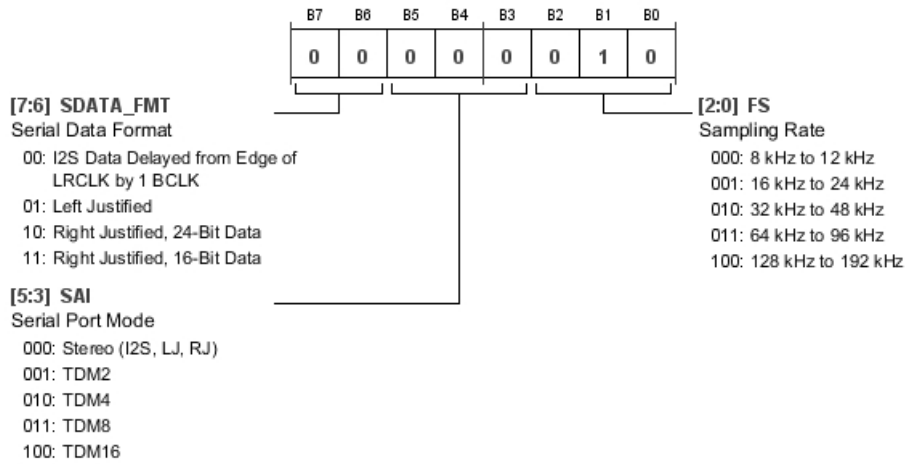


表20. SAI\_CTRL0的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	SDATA_FMT	00 01 10 11	串行数据格式 I2S数据相对于LRCLK边沿延迟1 BCLK 左对齐 右对齐, 24位数据 右对齐, 16位数据	0x0	RW
[5:3]	SAI	000 001 010 011 100	串行端口模式 立体声(I2S、LJ、RJ) TDM2 TDM4 TDM8 TDM16	0x0	RW
[2:0]	FS	000 001 010 011 100	采样速率 8 kHz至12 kHz 16 kHz至24 kHz 32 kHz至48 kHz 64 kHz至96 kHz 128 kHz至192 kHz	0x2	RW

串行端口控制寄存器2

地址：0x06；复位：0x00；名称：SAI\_CTRL1

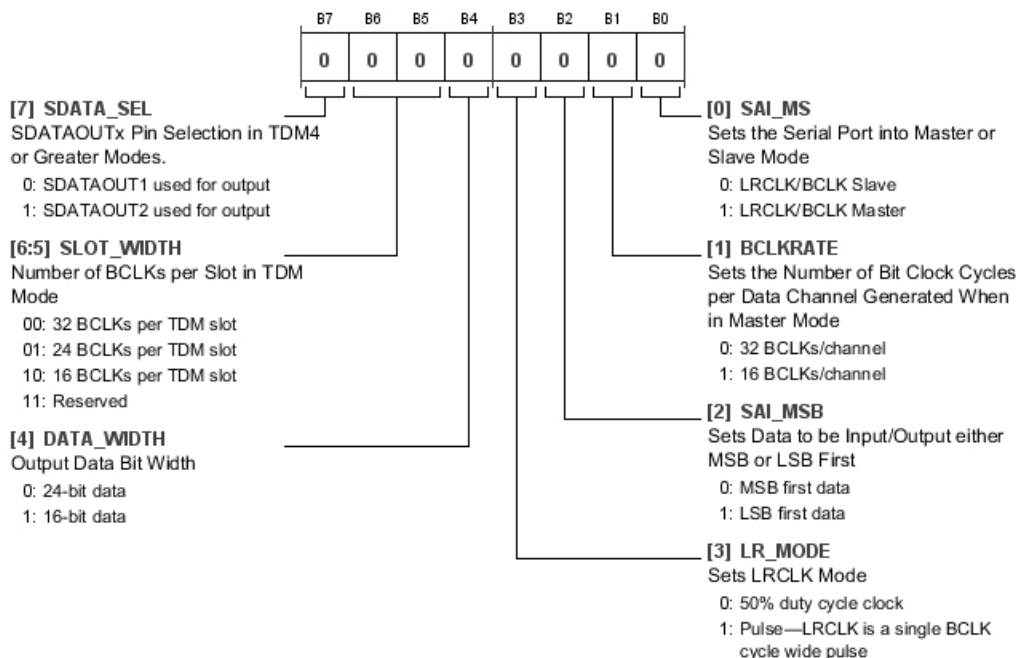


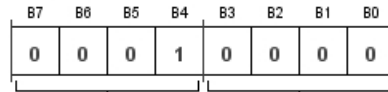
表21. SAI\_CTRL1的位功能描述

位	位名称	设置	说明	复位	访问类型
7	SDATA_SEL	0 1	TDM4或更大模式下的SDATAOUTx引脚选择 SDATAOUT1用于输出 SDATAOUT2用于输出	0x0	RW
[6:5]	SLOT_WIDTH	00 01 10 11	TDM模式下每个间隔的BCLK数 每个TDM间隔32个BCLK 每个TDM间隔24个BCLK 每个TDM间隔16个BCLK 保留	0x0	RW
4	DATA_WIDTH	0 1	输出数据位宽度 24位数据 16位数据	0x0	RW
3	LR_MODE	0 1	设置LRCLK模式 50%占空比时钟 脉冲—LRCLK为单BCLK周期宽脉冲	0x0	RW
2	SAI_MSB	0 1	设置数据以MSB或LSB优先方式输入/输出 MSB优先数据 LSB优先数据	0x0	RW
1	BCLKRATE	0 1	设置主模式下产生的每个数据通道的位时钟周期数 每通道32个BCLK 每通道16个BCLK	0x0	RW
0	SAI_MS	0 1	设置串行端口为主模式或从模式 LRCLK/BCLK从机 LRCLK/BCLK主机	0x0	RW

# ADAU1979

## 输出串行端口通道1和通道2映射寄存器

地址：0x07；复位：0x10；名称：SAI\_CMAP12



### [7:4] CMAP\_C2

#### ADC Channel 2 Output Mapping

- 0000: Slot 1 for Channel
- 0001: Slot 2 for Channel
- 0010: Slot 3 for Channel (on SDATAOUT2 in stereo modes)
- 0011: Slot 4 for Channel (on SDATAOUT2 in stereo modes)
- 0100: Slot 5 for Channel (TDM8+ only)
- 0101: Slot 6 for Channel (TDM8+ only)
- 0110: Slot 7 for Channel (TDM8+ only)
- 0111: Slot 8 for Channel (TDM8+ only)
- 1000: Slot 9 for Channel (TDM16 only)
- 1001: Slot 10 for Channel (TDM16 only)
- 1010: Slot 11 for Channel (TDM16 only)
- 1011: Slot 12 for Channel (TDM16 only)
- 1100: Slot 13 for Channel (TDM16 only)
- 1101: Slot 14 for Channel (TDM16 only)
- 1110: Slot 15 for Channel (TDM16 only)
- 1111: Slot 16 for Channel (TDM16 only)

### [3:0] CMAP\_C1

#### ADC Channel 1 Output Mapping

- 0000: Slot 1 for Channel
- 0001: Slot 2 for Channel
- 0010: Slot 3 for Channel (on SDATAOUT2 in stereo modes)
- 0011: Slot 4 for Channel (on SDATAOUT2 in stereo modes)
- 0100: Slot 5 for Channel (TDM8+ only)
- 0101: Slot 6 for Channel (TDM8+ only)
- 0110: Slot 7 for Channel (TDM8+ only)
- 0111: Slot 8 for Channel (TDM8+ only)
- 1000: Slot 9 for Channel (TDM16 only)
- 1001: Slot 10 for Channel (TDM16 only)
- 1010: Slot 11 for Channel (TDM16 only)
- 1011: Slot 12 for Channel (TDM16 only)
- 1100: Slot 13 for Channel (TDM16 only)
- 1101: Slot 14 for Channel (TDM16 only)
- 1110: Slot 15 for Channel (TDM16 only)
- 1111: Slot 16 for Channel (TDM16 only)

表22. SAI\_CMAP12的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:4]	CMAP_C2		ADC通道2输出映射。	0x1	RW
		0000	通道的间隔1		
		0001	通道的间隔2		
		0010	通道的间隔3(立体声模式下的SDATAOUT2上)		
		0011	通道的间隔4(立体声模式下的SDATAOUT2上)		
		0100	通道的间隔5(仅TDM8+)		
		0101	通道的间隔6(仅TDM8+)		
		0110	通道的间隔7(仅TDM8+)		
		0111	通道的间隔8(仅TDM8+)		
		1000	通道的间隔9(仅TDM16)		
		1001	通道的间隔10(仅TDM16)		
		1010	通道的间隔11(仅TDM16)		
		1011	通道的间隔12(仅TDM16)		
		1100	通道的间隔13(仅TDM16)		
		1101	通道的间隔14(仅TDM16)		
		1110	通道的间隔15(仅TDM16)		
		1111	通道的间隔16(仅TDM16)		

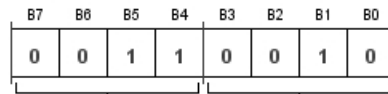


位	位名称	设置	说明	复位	访问类型
[3:0]	CMAP_C1		ADC通道1输出映射。如果将CMAP设置为一个对给定串行模式而言不存在的间隔，则不会驱动该通道。例如，若CMAP设置为间隔9且串行格式为I <sup>2</sup> S，则不会驱动该通道。如果将多个通道设置为同一间隔，则仅驱动编号最低的通道，而不会驱动其他通道。	0x0	RW
		0000	通道的间隔1		
		0001	通道的间隔2		
		0010	通道的间隔3(立体声模式下的SDATAOUT2上)		
		0011	通道的间隔4(立体声模式下的SDATAOUT2上)		
		0100	通道的间隔5(仅TDM8+)		
		0101	通道的间隔6(仅TDM8+)		
		0110	通道的间隔7(仅TDM8+)		
		0111	通道的间隔8(仅TDM8+)		
		1000	通道的间隔9(仅TDM16)		
		1001	通道的间隔10(仅TDM16)		
		1010	通道的间隔11(仅TDM16)		
		1011	通道的间隔12(仅TDM16)		
		1100	通道的间隔13(仅TDM16)		
		1101	通道的间隔14(仅TDM16)		
		1110	通道的间隔15(仅TDM16)		
		1111	通道的间隔16(仅TDM16)		

# ADAU1979

## 输出串行端口通道3和通道4映射寄存器

地址: 0x08; 复位: 0x32; 名称: SAI\_CMAP34



### [7:4] CMAP\_C4

ADC Channel 4 Output Mapping

- 0000: Slot 1 for Channel
- 0001: Slot 2 for Channel
- 0010: Slot 3 for Channel (on SDATAOUT2 in stereo modes)
- 0011: Slot 4 for Channel (on SDATAOUT2 in stereo modes)
- 0100: Slot 5 for Channel (TDM8+ only)
- 0101: Slot 6 for Channel (TDM8+ only)
- 0110: Slot 7 for Channel (TDM8+ only)
- 0111: Slot 8 for Channel (TDM8+ only)
- 1000: Slot 9 for Channel (TDM16 only)
- 1001: Slot 10 for Channel (TDM16 only)
- 1010: Slot 11 for Channel (TDM16 only)
- 1011: Slot 12 for Channel (TDM16 only)
- 1100: Slot 13 for Channel (TDM16 only)
- 1101: Slot 14 for Channel (TDM16 only)
- 1110: Slot 15 for Channel (TDM16 only)
- 1111: Slot 16 for Channel (TDM16 only)

### [3:0] CMAP\_C3

ADC Channel 3 Output Mapping

- 0000: Slot 1 for Channel
- 0001: Slot 2 for Channel
- 0010: Slot 3 for Channel (on SDATAOUT2 in stereo modes)
- 0011: Slot 4 for Channel (on SDATAOUT2 in stereo modes)
- 0100: Slot 5 for Channel (TDM8+ only)
- 0101: Slot 6 for Channel (TDM8+ only)
- 0110: Slot 7 for Channel (TDM8+ only)
- 0111: Slot 8 for Channel (TDM8+ only)
- 1000: Slot 9 for Channel (TDM16 only)
- 1001: Slot 10 for Channel (TDM16 only)
- 1010: Slot 11 for Channel (TDM16 only)
- 1011: Slot 12 for Channel (TDM16 only)
- 1100: Slot 13 for Channel (TDM16 only)
- 1101: Slot 14 for Channel (TDM16 only)
- 1110: Slot 15 for Channel (TDM16 only)
- 1111: Slot 16 for Channel (TDM16 only)

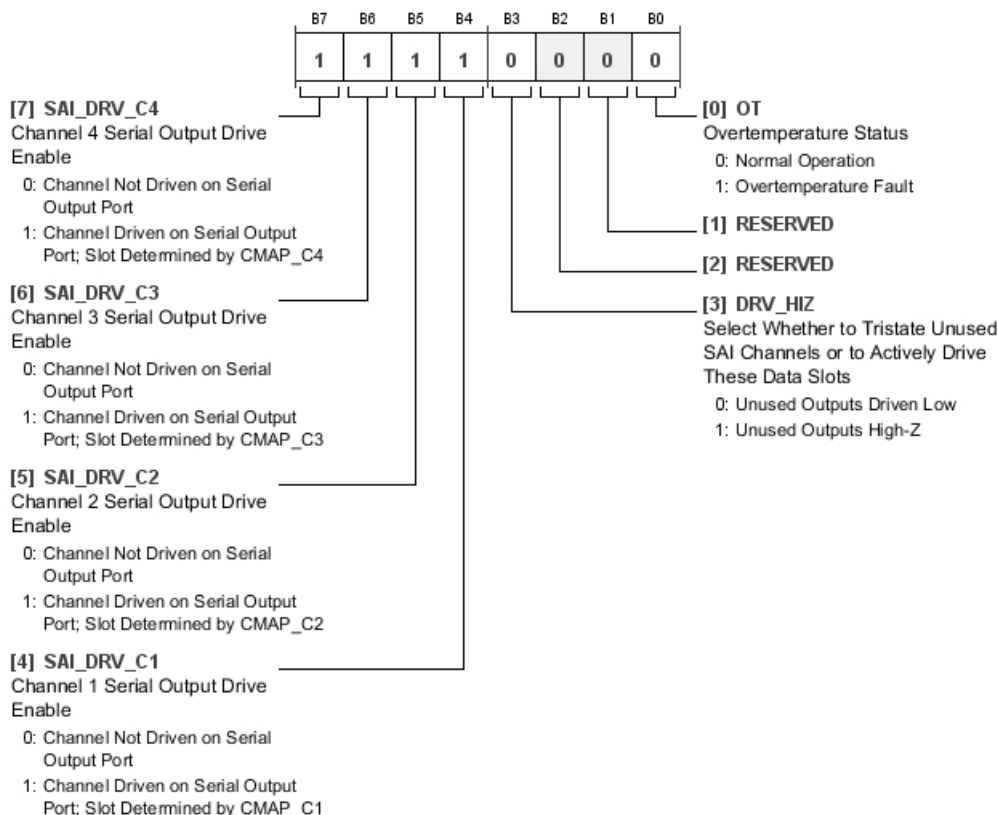
表23. SAI\_CMAP34的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:4]	CMAP_C4		ADC通道4输出映射	0x3	RW
		0000	通道的间隔1		
		0001	通道的间隔2		
		0010	通道的间隔3(立体声模式下的SDATAOUT2上)		
		0011	通道的间隔4(立体声模式下的SDATAOUT2上)		
		0100	通道的间隔5(仅TDM8+)		
		0101	通道的间隔6(仅TDM8+)		
		0110	通道的间隔7(仅TDM8+)		
		0111	通道的间隔8(仅TDM8+)		
		1000	通道的间隔9(仅TDM16)		
		1001	通道的间隔10(仅TDM16)		
		1010	通道的间隔11(仅TDM16)		
		1011	通道的间隔12(仅TDM16)		
		1100	通道的间隔13(仅TDM16)		
		1101	通道的间隔14(仅TDM16)		
		1110	通道的间隔15(仅TDM16)		
		1111	通道的间隔16(仅TDM16)		

位	位名称	设置	说明	复位	访问类型
[3:0]	CMAP_C3	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	ADC通道3输出映射 通道的间隔1 通道的间隔2 通道的间隔3(立体声模式下的SDATAOUT2上) 通道的间隔4(立体声模式下的SDATAOUT2上) 通道的间隔5(仅TDM8+) 通道的间隔6(仅TDM8+) 通道的间隔7(仅TDM8+) 通道的间隔8(仅TDM8+) 通道的间隔9(仅TDM16) 通道的间隔10(仅TDM16) 通道的间隔11(仅TDM16) 通道的间隔12(仅TDM16) 通道的间隔13(仅TDM16) 通道的间隔14(仅TDM16) 通道的间隔15(仅TDM16) 通道的间隔16(仅TDM16)	0x2	RW

### 串行输出驱动控制和过温保护状态寄存器

地址: 0x09; 复位: 0xF0; 名称: SAI\_OVERTEMP



**表24. SAI\_OVERTEMP的位功能描述**

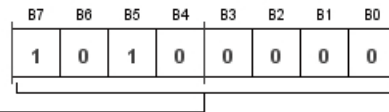
位	位名称	设置	说明	复位	访问类型
7	SAI_DRV_C4	0 1	通道4串行输出驱动使能。 通道不在串行输出端口上驱动。 通道在串行输出端口上驱动。 Slot determined by CMAP_C4.	0x1	RW

# ADAU1979

位	位名称	设置	说明	复位	访问类型
6	SAI_DRV_C3	0 1	通道3串行输出驱动使能。 通道不在串行输出端口上驱动。 通道在串行输出端口上驱动。间隔由CMAP_C3决定。	0x1	RW
5	SAI_DRV_C2	0 1	通道2串行输出驱动使能。 通道不在串行输出端口上驱动。 通道在串行输出端口上驱动。间隔由CMAP_C2决定。	0x1	RW
4	SAI_DRV_C1	0 1	通道1串行输出驱动使能。 通道不在串行输出端口上驱动。 通道在串行输出端口上驱动。间隔由CMAP_C1决定。	0x1	RW
3	DRV_HIZ	0 1	选择是让不用的SAI通道处于三态还是积极驱动这些数据间隔。 不用的输出驱动到低电平。 不用的输出处于高阻态。	0x0	RW
[2:1]	保留		保留	0x0	R
0	OT	0 1	过温状态 正常工作。 过温故障。	0x0	R

## 后置ADC增益通道1控制寄存器

地址: 0x0A; 复位: 0xA0; 名称: POSTADC\_GAIN1



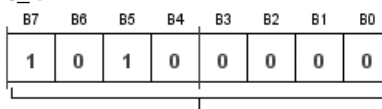
**[7:0] PADC\_GAIN1**  
Channel 1 Post ADC Gain  
00000000: +60 dB Gain  
00000001: +59.625 dB Gain  
00000010: +59.25 dB Gain  
... ..  
10011111: +0.375 dB Gain  
10100000: 0 dB Gain  
10100001: -0.375 dB Gain  
... ..  
11111110: -35.625 dB Gain  
11111111: Mute

表25. POSTADC\_GAIN1的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:0]	PADC_GAIN1	00000000 00000001 00000010 ... 10011111 10100000 10100001 ... 11111110 11111111	通道1后置ADC增益 增益: +60 dB 增益: +59.625 dB 增益: +59.25 dB ... 增益: +0.375 dB 增益: 0 dB 增益: -0.375 dB ... 增益: -35.625 dB 静音	0xA0	RW

后置ADC增益通道2控制寄存器

地址：0x0B；复位：0xA0；名称：POSTADC\_GAIN2



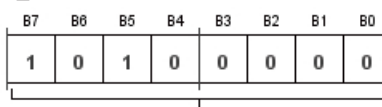
[7:0] PADC\_GAIN2  
Channel 2 Post ADC Gain  
00000000: +60 dB Gain  
00000001: +59.625 dB Gain  
00000010: +59.25 dB Gain  
... ..  
10011111: +0.375 dB Gain  
10100000: 0 dB Gain  
10100001: -0.375 dB Gain  
... ..  
11111110: -35.625 dB Gain  
11111111: Mute

表26. POSTADC\_GAIN2的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:0]	PADC_GAIN2		通道2后置ADC增益	0xA0	RW
		00000000	增益: +60 dB		
		00000001	增益: +59.625 dB		
		00000010	增益: +59.25 dB		
		...	...		
		10011111	增益: +0.375 dB		
		10100000	增益: 0 dB		
		10100001	增益: -0.375 dB		
		...	...		
		11111110	增益: -35.625 dB		
		11111111	静音		

后置ADC增益通道3控制寄存器

地址：0x0C；复位：0xA0；名称：POSTADC\_GAIN3



[7:0] PADC\_GAIN3  
Channel 3 Post ADC Gain  
00000000: +60 dB Gain  
00000001: +59.625 dB Gain  
00000010: +59.25 dB Gain  
... ..  
10011111: +0.375 dB Gain  
10100000: 0 dB Gain  
10100001: -0.375 dB Gain  
... ..  
11111110: -35.625 dB Gain  
11111111: Mute

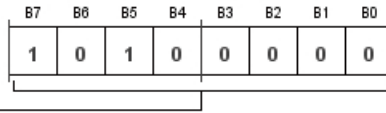
表27. POSTADC\_GAIN3的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:0]	PADC_GAIN3		通道3后置ADC增益	0xA0	RW
		00000000	增益: +60 dB		
		00000001	增益: +59.625 dB		
		00000010	增益: +59.25 dB		
		...	...		
		10011111	增益: +0.375 dB		
		10100000	增益: 0 dB		
		10100001	增益: -0.375 dB		
		...	...		
		11111110	增益: -35.625 dB		
		11111111	静音		

# ADAU1979

## 后置ADC增益通道4控制寄存器

地址: 0x0D; 复位: 0xA0; 名称: POSTADC\_GAIN4



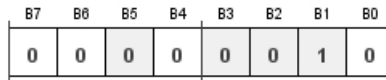
**[7:0] PADC\_GAIN4**  
 Channel 4 Post ADC Gain  
 00000000: +60 dB Gain  
 00000001: +59.625 dB Gain  
 00000010: +59.25 dB Gain  
 ... ..  
 10011111: +0.375 dB Gain  
 10100000: 0 dB Gain  
 10100001: -0.375 dB Gain  
 ... ..  
 11111110: -35.625 dB Gain  
 11111111: Mute

表28. POSTADC\_GAIN4的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:0]	PADC_GAIN4	00000000 00000001 00000010 ... .. 10011111 10100000 10100001 ... .. 11111110 11111111	通道4后置ADC增益。 增益: +60 dB 增益: +59.625 dB 增益: +59.25 dB ... .. 增益: +0.375 dB 增益: 0 dB 增益: -0.375 dB ... .. 增益: -35.625 dB 静音	0xA0	RW

## 高通滤波器和直流失调控制寄存器以及主静音寄存器

地址: 0x0E; 复位: 0x02; 名称: MISC\_CONTROL



**[7:6] SUM\_MODE**  
 Channel Summing Mode Control for Higher SNR  
 00: Normal 4-Channel Operation  
 01: 2-Channel Summing Operation (See the ADC Summing Modes Section)  
 10: 1-Channel Summing Operation (See the ADC Summing Modes Section)  
 11: Reserved  
**[5] RESERVED**  
 Reserved  
**[4] MMUTE**  
 Master Mute  
 0: Normal Operation  
 1: All Channels Muted

**[0] DC\_CAL**  
 DC Calibration Enable  
 0: Normal Operation  
 1: Perform DC Calibration  
**[3:1] RESERVED**  
 Reserved

表29. MISC\_CONTROL的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:6]	SUM_MODE	00 01 10 11	实现较高SNR的通道求和模式控制 4通道正常工作 2通道求和工作(参见“ADC求和模式”部分) 1通道求和工作(参见“ADC求和模式”部分) 保留	0x0	RW
5	保留		保留	0x0	RW
4	MMUTE	0 1	主静音 正常工作 所有通道静音	0x0	RW
[3:1]	保留		保留	0x0	RW
0	DC_CAL	0 1	直流校准使能 正常工作 执行直流校准	0x0	RW

### ADC削波状态寄存器

地址: 0x19; 复位: 0x00; 名称: ASDC\_CLIP

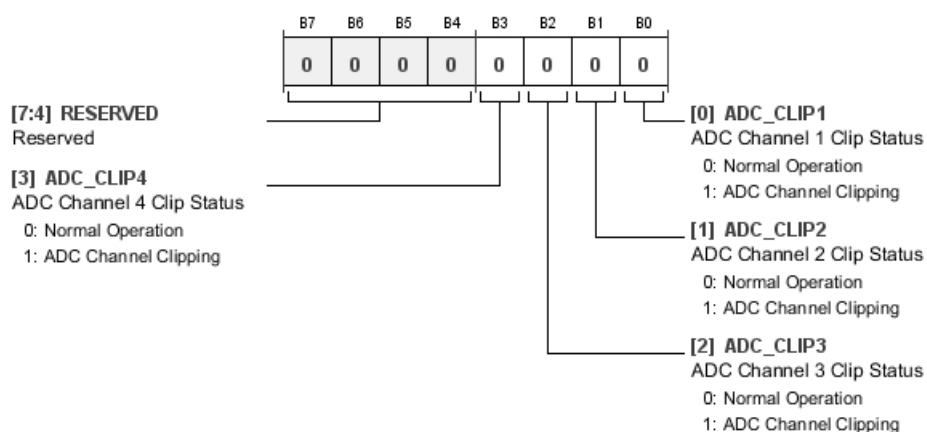


表30. ASDC\_CLIP的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:4]	保留		保留	0x0	RW
3	ADC_CLIP4	0 1	ADC通道4削波状态 正常工作 ADC通道削波	0x0	R
2	ADC_CLIP3	0 1	ADC通道3削波状态 正常工作 ADC通道削波	0x0	R
1	ADC_CLIP2	0 1	ADC通道2削波状态 正常工作 ADC通道削波	0x0	R
0	ADC_CLIP1	0 1	ADC通道1削波状态 正常工作 ADC通道削波	0x0	R

## 数字直流高通滤波器和校准寄存器

地址：0x1A；复位：0x00；名称：DC\_HPF\_CAL

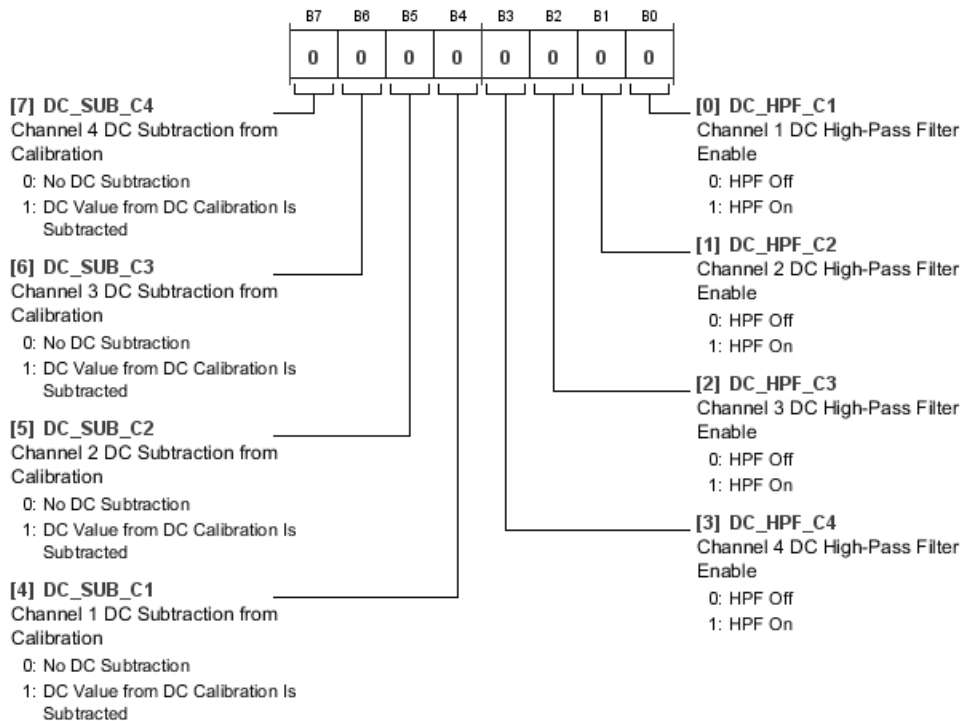


表31. DC\_HPF\_CAL的位功能描述

位	位名称	设置	说明	复位	访问类型
7	DC_SUB_C4	0 1	扣除通道4校准产生的直流值 无直流扣除 扣除直流校准产生的直流值	0x0	RW
6	DC_SUB_C3	0 1	扣除通道3校准产生的直流值 无直流扣除 扣除直流校准产生的直流值	0x0	RW
5	DC_SUB_C2	0 1	扣除通道2校准产生的直流值 无直流扣除 扣除直流校准产生的直流值	0x0	RW
4	DC_SUB_C1	0 1	扣除通道1校准产生的直流值 无直流扣除 扣除直流校准产生的直流值	0x0	RW
3	DC_HPF_C4	0 1	通道4直流高通滤波器使能 HPF关闭 HPF开启	0x0	RW
2	DC_HPF_C3	0 1	通道3直流高通滤波器使能 HPF关闭 HPF开启	0x0	RW
1	DC_HPF_C2	0 1	通道2直流高通滤波器使能 HPF关闭 HPF开启	0x0	RW
0	DC_HPF_C1	0 1	通道1直流高通滤波器使能 HPF关闭 HPF开启	0x0	RW



# 典型应用电路

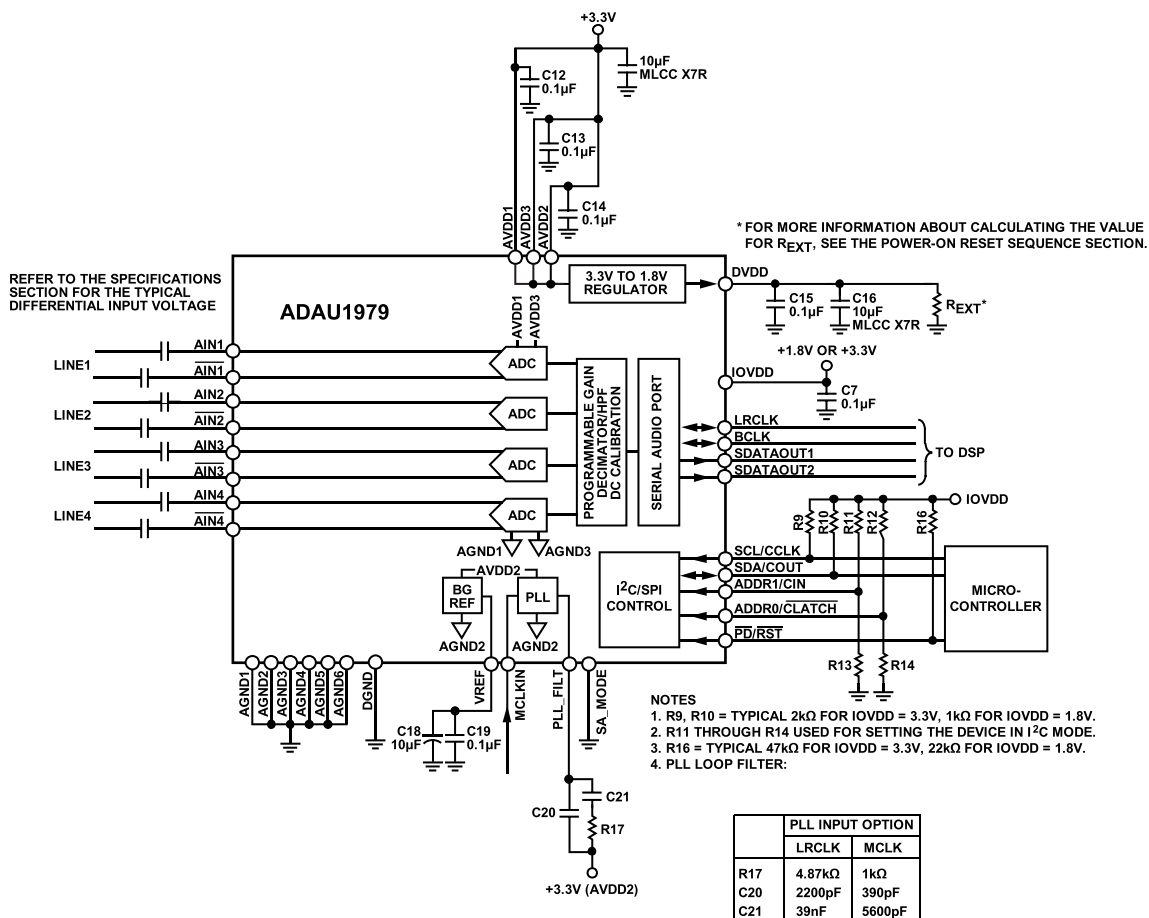
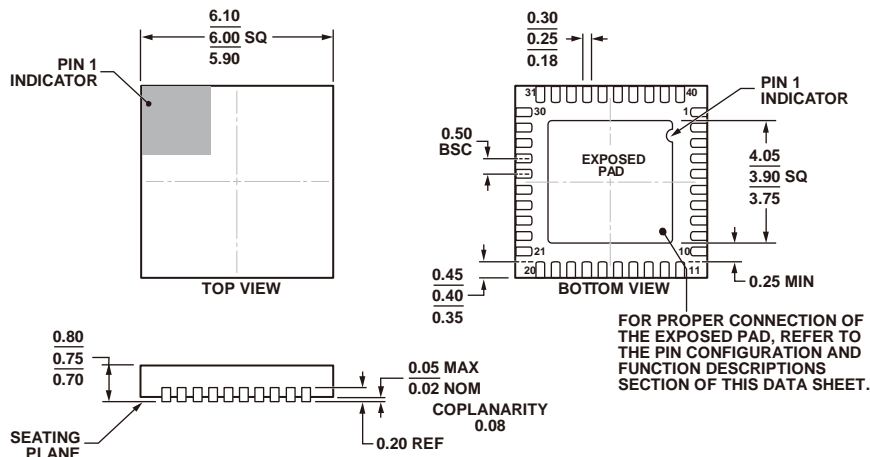


图44. 典型应用电路，四路输入、I<sup>2</sup>C和I<sup>2</sup>S模式

11405-046

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD.

图45. 40引脚引线框芯片级封装[LFCSP\_WQ]  
6 mm x 6 mm超薄体  
(CP-40-14)  
图示尺寸单位: mm

05-06-2011-A

### 订购指南

型号 <sup>1,2</sup>	温度范围	封装描述	封装选项
ADAU1979WBCPZ	-40°C至+105°C	40引脚 LFCSP_WQ	CP-40-14
ADAU1979WBCPZ-RL	-40°C至+105°C	40引脚LFCSP, 13"卷带和卷盘	CP-40-14
EVAL-ADAU1979Z		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> W = 通过汽车应用认证。

### 汽车应用产品

ADAU1979 WBCPZ生产工艺受到严格控制, 以满足汽车应用的质量和可靠性要求。请注意, 车用型号的技术规格可能不同于商用型号; 因此, 设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告, 请联系当地ADI客户代表。

注释

**注释**

I<sup>2</sup>C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。