

产品特性

具备错误检测功能的 SPI 接口

包括 CRC、无效读取/写入地址和 SCLK 计数错误检测

支持突发模式和菊花链模式

兼容业界标准 SPI 模式 0 和模式 3 接口

保证先开后合式开关动作, 允许开关外部接线以实现多路复用器配置

模拟信号范围: V_{SS} 至 V_{DD}

额定电源电压: ±15 V、±20 V、+12 V 和 +36 V

±9 V 至 ±22 V 双电源供电

9 V 至 40 V 单电源供电

防闩锁模拟开关引脚

8 kV HBM ESD 额定值

低导通电阻: 小于 10 Ω

1.8 V 逻辑兼容性, 2.7 V ≤ V_L ≤ 3.3 V

应用

继电器替代方案

自动测试设备

数据采集

仪器仪表

航空电子

音频和视频开关

通信系统

概述

ADGS5412 内置四个独立的单刀单掷(SPST)开关。一个串行外设接口(SPI)控制这些开关。该 SPI 接口具有强大的错误检测功能, 包括循环冗余校验(CRC)错误检测、无效读取/写入地址检测和串行时钟(SCLK)计数错误检测。

多个 ADGS5412 器件可通过菊花链方式连接起来, 从而以极少的数字线路实现多器件配置。ADGS5412 还可在突发模式下工作, 从而减少 SPI 命令之间的时间。

当接通时, 各开关在两个方向的导电性能相同, 输入信号范围可扩展至电源电压范围。在断开条件下, 高至电源电压的信号电平被阻止。

导通电阻曲线在整个模拟输入范围都非常平坦, 可确保开关音频信号时拥有良好的线性度和低失真性能。ADGS5412 为先开后合式开关, 采用带外部接线方式可以当做多路复用器应用。

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

功能框图

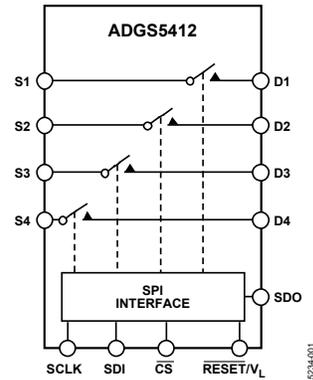


图1.

产品特点

1. SPI 接口无需并行转换和逻辑连线, 从而可减少对控制器通用输入输出(GPIO)通道数的需求。
2. 使用多个器件时, 菊花链模式可去除额外的逻辑连线。
3. CRC、无效读取/写入地址和 SCLK 计数错误检测确保数字接口稳定可靠。
4. CRC 错误检测能力使 ADGS5412 可用于对安全要求苛刻的系统中。
5. 保证先开后合式开关动作使 ADGS5412 在采用带外部接线时可当做多路复用器使用。
6. 沟槽隔离模拟开关技术增强了防止闩锁性能。电介质沟槽将正(P)沟道与负(N)沟道晶体管分开, 保证即使在严重过压状况下, 也不会发生闩锁现象。

目录

产品特性.....	1	错误标志寄存器清零.....	23
应用.....	1	突发模式.....	23
功能框图.....	1	软件复位.....	23
概述.....	1	菊花链模式.....	23
产品特点.....	1	上电复位.....	24
修订历史.....	2	先开后合式开关.....	25
技术规格.....	3	沟槽隔离.....	25
±15 V双电源.....	3	数字输入缓冲器.....	25
±20 V双电源.....	5	应用信息.....	26
12 V单电源.....	7	供电轨.....	26
36 V单电源.....	9	电源建议.....	26
每通道连续电流, S_x 或 D_x	11	寄存器汇总.....	27
时序特性.....	11	寄存器详解.....	28
绝对最大额定值.....	13	开关数据寄存器.....	28
ESD警告.....	13	错误配置寄存器.....	28
引脚配置和功能描述.....	14	错误标志寄存器.....	29
典型性能参数.....	15	突发使能寄存器.....	29
测试电路.....	19	软件复位寄存器.....	29
术语.....	21	外形尺寸.....	30
工作原理.....	22	订购指南.....	30
寻址模式.....	22		
错误检测功能.....	22		

修订历史

2017年5月—修订版0：初始版

技术规格

±15 V双电源

除非另有说明，正电源(V_{DD}) = 15 V ± 10%，负电源(V_{SS}) = -15 V ± 10%，数字电源(V_L) = 2.7 V至5.5 V，GND = 0 V。

表1.

参数	+25°C	-40°C至+85°C	-40°C至+125°C	单位	测试条件/注释
模拟开关					
模拟信号范围			V_{DD} 至 V_{SS}	V	
导通电阻, R_{ON}	9.8			Ω (典型值)	$V_S = \pm 10$ V, $I_S = -10$ mA; 参见图29
	11	14	16	Ω (最大值)	$V_{DD} = +13.5$ V, $V_{SS} = -13.5$ V
通道间导通电阻匹配, ΔR_{ON}	0.35			Ω (典型值)	$V_S = \pm 10$ V, $I_S = -10$ mA
	0.7	0.9	1.1	Ω (最大值)	
导通电阻平坦度, $R_{FLAT(ON)}$	1.2			Ω (典型值)	$V_S = \pm 10$ V, $I_S = -10$ mA
	1.6	2	2.2	Ω (最大值)	
漏电流					$V_{DD} = +16.5$ V, $V_{SS} = -16.5$ V
源极关断漏电流, I_S (Off)	±0.05			nA (典型值)	$V_S = \pm 10$ V, $V_D = \mp 10$ V; 参见图32
	±0.25	±0.75	±3.5	nA (最大值)	
漏极关断漏电流, I_D (Off)	±0.05			nA (典型值)	$V_S = \pm 10$ V, $V_D = \mp 0$ V; 参见图32
	±0.25	±0.75	±3.5	nA (最大值)	
通道导通漏电流, I_D (On), I_S (On)	±0.1			nA (典型值)	$V_S = V_D = \pm 10$ V; 参见图28
	±0.4	±2	±12	nA (最大值)	
数字输出					
输出电压					
低电平, V_{OL}			0.4	V (最大值)	$I_{SINK} = 5$ mA
			0.2	V (最大值)	$I_{SINK} = 1$ mA
高阻抗漏电流	0.001			μA (典型值)	$V_{OUT} = V_{GND}$ 或 V_L
			±0.1	μA (最大值)	
高阻抗输出电容	4			pF (典型值)	
数字输入					
输入电压					
高电平, V_{INH}			2	V (最小值)	3.3 V < $V_L \leq 5.5$ V
			1.35	V (最小值)	2.7 V ≤ $V_L \leq 3.3$ V
低电平, V_{INL}			0.8	V (最大值)	3.3 V < $V_L \leq 5.5$ V
			0.8	V (最大值)	2.7 V ≤ $V_L \leq 3.3$ V
输入电流, I_{INL} 或 I_{INH}	0.002			μA (典型值)	$V_{IN} = V_{GND}$ 或 V_L
			±0.1	μA (最大值)	
数字输入电容, C_{IN}	4			pF (典型值)	
动态特性 ¹					
t_{ON}	460			ns (典型值)	$R_L = 300$ Ω, $C_L = 35$ pF
	540	560	580	ns (最大值)	$V_S = 10$ V; 参见图36
t_{OFF}	185			ns (典型值)	$R_L = 300$ Ω, $C_L = 35$ pF
	225	240	270	ns (最大值)	$V_S = 10$ V; 参见图36
先开后合时间延迟, t_D	245			ns (典型值)	$R_L = 300$ Ω, $C_L = 35$ pF
			195	ns (最小值)	$V_{S1} = V_{S2} = 10$ V, 参见图35

参数	+25°C	-40°C至+85°C	-40°C至+125°C	单位	测试条件/注释
电荷注入, Q_{INJ}	245			pC (典型值)	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; 参见图37
关断隔离	-78			dB (典型值)	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 100\text{ kHz}$; 参见图31
通道间串扰	-70			dB (典型值)	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; 参见图30
总谐波失真加噪声(THD + N)	0.01			% (典型值)	$R_L = 1\text{ k}\Omega$, 15 V p-p , $f = 20\text{ Hz}$ 至20 kHz; 参见图33
-3 dB带宽	167			MHz (典型值)	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; 参见图34
插入损耗	-0.7			dB (典型值)	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; 参见图34
开关断开时的源极电容, C_S (Off)	18			pF (典型值)	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
开关断开时的漏极电容, C_D (Off)	18			pF (典型值)	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
开关导通电容, C_D (On), C_S (On)	57			pF (典型值)	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
电源要求					$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$
正电源电流, I_{DD}	45			μA (典型值)	数字输入 = 0 V或 V_L
	55		70	μA (最大值)	
	45			μA (典型值)	所有开关闭合, $V_L = 5.5\text{ V}$
	110			μA (典型值)	所有开关闭合, $V_L = 2.7\text{ V}$
数字电源电流, I_L					
无效	6.3			μA (典型值)	数字输入 = 0 V或 V_L
			8.0	μA (最大值)	
无效, SCLK = 1 MHz	14			μA (典型值)	$\overline{\text{CS}} = V_L$ 且SDI = 0 V或 V_L , $V_L = 5\text{ V}$
				μA (典型值)	$\overline{\text{CS}} = V_L$ 且SDI = 0 V或 V_L , $V_L = 3\text{ V}$
SCLK = 50 MHz	390			μA (典型值)	$\overline{\text{CS}} = V_L$ 且SDI = 0 V或 V_L , $V_L = 5\text{ V}$
				μA (典型值)	$\overline{\text{CS}} = V_L$ 且SDI = 0 V或 V_L , $V_L = 3\text{ V}$
无效, SDI = 1 MHz	15			μA (典型值)	$\overline{\text{CS}}$ 且SCLK = 0 V或 V_L , $V_L = 5\text{ V}$
	7.5			μA (典型值)	$\overline{\text{CS}}$ 且SCLK = 0 V或 V_L , $V_L = 3\text{ V}$
SDI = 25 MHz	230			μA (典型值)	$\overline{\text{CS}}$ 且SCLK = 0 V或 V_L , $V_L = 5\text{ V}$
	120			μA (典型值)	$\overline{\text{CS}}$ 且SCLK = 0 V或 V_L , $V_L = 3\text{ V}$
有效 (50 MHz时)	1.8			mA (典型值)	数字输入在0 V和 V_L 之间切换, $V_L = 5.5\text{ V}$
			2.1	mA (最大值)	
	0.7			mA (典型值)	数字输入在0 V和 V_L 之间切换, $V_L = 2.7\text{ V}$
			1.0	mA (最大值)	
负电源电流, I_{SS}	0.001			μA (典型值)	数字输入 = 0 V或 V_L
			1.0	μA (最大值)	
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V (最小值/最大值)	GND = 0 V

¹ 通过设计保证, 未经生产测试。

±20 V双电源

除非另有说明, $V_{DD} = 20\text{ V} \pm 10\%$, $V_{SS} = -20\text{ V} \pm 10\%$, $V_L = 2.7\text{ V}$ 至 5.5 V , $GND = 0\text{ V}$ 。

表2.

参数	+25°C	-40°C至+85°C	-40°C至+125°C	单位	测试条件/注释
模拟开关					
模拟信号范围			V_{DD} 至 V_{SS}	V	
导通电阻, R_{ON}	9			Ω (典型值)	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$; 参见图29
	10	13	15	Ω (最大值)	$V_{DD} = +18\text{ V}$, $V_{SS} = -18\text{ V}$
通道间导通电阻匹配, ΔR_{ON}	0.35			Ω (典型值)	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	0.7	0.9	1.1	Ω (最大值)	
导通电阻平坦度, $R_{FLAT(ON)}$	1.6			Ω (典型值)	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	1.9	2.3	2.7	Ω (最大值)	
漏电流					$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$
源极关断漏电流, $I_S(\text{Off})$	± 0.05			nA (典型值)	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; 参见图32
	± 0.25	± 0.75	± 3.5	nA (最大值)	
漏极关断漏电流, $I_D(\text{Off})$	± 0.05			nA (典型值)	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; 参见图32
	± 0.25	± 0.75	± 3.5	nA (最大值)	
通道导通漏电流, $I_D(\text{On})$, $I_S(\text{On})$	± 0.1			nA (典型值)	$V_S = V_D = \pm 15\text{ V}$; 参见图28
	± 0.4	± 2	± 12	nA (最大值)	
数字输出					
输出电压					
低电平, V_{OL}			0.4	V (最大值)	$I_{SINK} = 5\text{ mA}$
			0.2	V (最大值)	$I_{SINK} = 1\text{ mA}$
高阻抗漏电流	0.001			μA (典型值)	$V_{OUT} = V_{GND}$ 或 V_L
			± 0.1	μA (最大值)	
高阻抗输出电容	4			pF (典型值)	
数字输入					
输入电压					
高电平, V_{INH}			2	V (最小值)	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			1.35	V (最小值)	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
低电平, V_{INL}			0.8	V (最大值)	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			0.8	V (最大值)	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
输入电流, I_{INL} 或 I_{INH}	0.002			μA (典型值)	$V_{IN} = V_{GND}$ 或 V_L
			± 0.1	μA (最大值)	
数字输入电容, C_{IN}	4			pF (典型值)	

参数	+25°C	-40°C至+85°C	-40°C至+125°C	单位	测试条件/注释
动态特性 ¹					
t_{ON}	450			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	530	540	555	ns (最大值)	$V_S = 10 \text{ V}$; 参见图36
t_{OFF}	185			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	230	245	260	ns (最大值)	$V_S = 10 \text{ V}$; 参见图36
先开后合时间延迟, t_D	235			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
			185	ns (最小值)	$V_{S1} = V_{S2} = 10 \text{ V}$, 参见图35
电荷注入, Q_{INJ}	310			pC (典型值)	$V_S = 0 \text{ V}$, $R_S = 0 \Omega$, $C_L = 1 \text{ nF}$; 参见图37
关断隔离	-78			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 100 \text{ kHz}$; 参见图31
通道间串扰	-70			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; 参见图30
总谐波失真加噪声(THD + N)	0.008			% (典型值)	$R_L = 1 \text{ k}\Omega$, 20 V p-p , $f = 20 \text{ Hz}$ 至 20 kHz ; 参见图33
-3 dB带宽	160			MHz (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$; 参见图34
插入损耗	-0.6			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; 参见图34
开关断开时的源极电容, C_S (Off)	17			pF (典型值)	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
开关断开时的漏极电容, C_D (Off)	17			pF (典型值)	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
开关导通电容, C_D (On), C_S (On)	56			pF (典型值)	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
电源要求					$V_{DD} = +22 \text{ V}$, $V_{SS} = -22 \text{ V}$
正电源电流, I_{DD}	50			μA (典型值)	数字输入 = 0 V或 V_L
	70		110	μA (最大值)	
	50			μA (典型值)	所有开关闭合, $V_L = 5.5 \text{ V}$
	120			μA (典型值)	所有开关闭合, $V_L = 2.7 \text{ V}$
I_L					
无效	6.3			μA (典型值)	数字输入 = 0 V或 V_L
			8.0	μA (最大值)	
无效, SCLK = 1 MHz	14			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 5 \text{ V}$
	7			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 3 \text{ V}$
SCLK = 50 MHz	390			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 5 \text{ V}$
	210			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 3 \text{ V}$
无效, SDI = 1 MHz	15			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 5 \text{ V}$
	7.5			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 3 \text{ V}$
SDI = 25 MHz	230			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 5 \text{ V}$
	120			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 3 \text{ V}$
有效 (50 MHz时)	1.8			mA (典型值)	数字输入在0 V和 V_L 之间切换, $V_L = 5.5 \text{ V}$
			2.1	mA (最大值)	
	0.7			mA (典型值)	数字输入在0 V和 V_L 之间切换, $V_L = 2.7 \text{ V}$
负电源电流, I_{SS}	0.001		1.0	mA (最大值)	
			1.0	μA (典型值)	数字输入 = 0 V或 V_L
				μA (最大值)	
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V (最小值/最大值)	GND = 0 V

¹ 通过设计保证, 未经生产测试。

12 V单电源

除非另有说明, $V_{DD} = 12 V \pm 10\%$, $V_{SS} = 0 V$, $V_L = 2.7 V$ 至 $5.5 V$, $GND = 0 V$ 。

表3.

参数	+25°C	-40°C至+85°C	-40°C至+125°C	单位	测试条件/注释
模拟开关					
模拟信号范围			0 V至 V_{DD}	V	
导通电阻, R_{ON}	19			Ω (典型值)	$V_S = 0 V$ 至 $10 V$, $I_S = -10 mA$; 参见图29
通道间导通电阻匹配, ΔR_{ON}	22	27	31	Ω (最大值)	$V_{DD} = 10.8 V$, $V_{SS} = 0 V$
	0.4			Ω (典型值)	$V_S = 0 V$ 至 $10 V$, $I_S = -10 mA$
导通电阻平坦度, $R_{FLAT(ON)}$	0.8	1	1.2	Ω (最大值)	
	4.4			Ω (典型值)	$V_S = 0 V$ 至 $10 V$, $I_S = -10 mA$
	5.5	6.5	7.5	Ω (最大值)	
漏电流					$V_{DD} = 13.2 V$, $V_{SS} = 0 V$
源极关断漏电流, I_S (Off)	± 0.05			nA (典型值)	$V_S = 1 V/10 V$, $V_D = 10 V/1 V$; 参见图32
漏极关断漏电流, I_D (Off)	± 0.25	± 0.75	± 3.5	nA (最大值)	
	± 0.05			nA (典型值)	$V_S = 1 V/10 V$, $V_D = 10 V/1 V$; 参见图32
通道导通漏电流, I_D (On), I_S (On)	± 0.25	± 0.75	± 3.5	nA (最大值)	
	± 0.1			nA (典型值)	$V_S = V_D = 1 V/10 V$; 参见图28
	± 0.4	± 2	± 12	nA (最大值)	
数字输出					
输出电压					
低电平, V_{OL}			0.4	V (最大值)	$I_{SINK} = 5 mA$
高阻抗漏电流	0.002		0.2	V (最大值)	$I_{SINK} = 1 mA$
			± 0.1	μA (典型值)	$V_{OUT} = V_{GND}$ 或 V_L
高阻抗输出电容	4			μA (最大值)	
				pF (典型值)	
数字输入					
输入电压					
高电平, V_{INH}			2	V (最小值)	$3.3 V < V_L \leq 5.5 V$
低电平, V_{INL}			1.35	V (最小值)	$2.7 V \leq V_L \leq 3.3 V$
			0.8	V (最大值)	$3.3 V < V_L \leq 5.5 V$
输入电流, I_{INL} 或 I_{INH}	0.001		0.8	V (最大值)	$2.7 V \leq V_L \leq 3.3 V$
			± 0.1	μA (典型值)	$V_{IN} = V_{GND}$ 或 V_L
				μA (最大值)	
数字输入电容, C_{IN}	4			pF (典型值)	
动态特性 ¹					
t_{ON}	545			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 pF$
	665	720	775	ns (最大值)	$V_S = 8 V$; 参见图36
t_{OFF}	200			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 pF$
	250	275	305	ns (最大值)	$V_S = 8 V$; 参见图36
先开后合时间延迟, t_D	320			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 pF$
电荷注入, Q_{INJ}	105		235	ns (最小值)	$V_{S1} = V_{S2} = 8 V$, 参见图35
				pC (典型值)	$V_S = 6 V$, $R_S = 0 \Omega$, $C_L = 1 nF$; 参见图37
关断隔离	-78			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 pF$, $f = 100 kHz$; 参见图31
通道间串扰	-70			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 pF$, $f = 1 MHz$; 参见图30
总谐波失真加噪声(THD + N)	0.08			% (典型值)	$R_L = 1 k\Omega$, $6 V p-p$, $f = 20 Hz$ 至 $20 kHz$; 参见图33

参数	+25°C	-40°C至+85°C	-40°C至+125°C	单位	测试条件/注释
-3 dB带宽	180			MHz (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$; 参见图34
插入损耗	-1.3			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; 参见图34
开关断开时的源极电容, C_S (Off)	22			pF (典型值)	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
开关断开时的漏极电容, C_D (Off)	22			pF (典型值)	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
开关导通电容, C_D (On), C_S (On)	56			pF (典型值)	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
电源要求					$V_{DD} = 13.2 \text{ V}$
正电源电流, I_{DD}	40		65	μA (典型值) μA (最大值)	数字输入 = 0 V或 V_L
	40			μA (典型值)	所有开关闭合, $V_L = 5.5 \text{ V}$
	105			μA (典型值)	所有开关闭合, $V_L = 2.7 \text{ V}$
I_L					
无效	6.3			μA (典型值)	数字输入 = 0 V或 V_L
			8.0	μA (最大值)	
无效, SCLK = 1 MHz	14			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 5 \text{ V}$
	7			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 3 \text{ V}$
SCLK = 50 MHz	390			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 5 \text{ V}$
	210			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 3 \text{ V}$
无效, SDI = 1 MHz	15			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 5 \text{ V}$
	7.5			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 3 \text{ V}$
SDI = 25 MHz	230			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 5 \text{ V}$
	120			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 3 \text{ V}$
有效 (50 MHz时)	1.8			mA (典型值)	数字输入在0 V和 V_L 之间切换, $V_L = 5.5 \text{ V}$
			2.1	mA (最大值)	
	0.7			mA (典型值)	数字输入在0 V和 V_L 之间切换, $V_L = 2.7 \text{ V}$
			1.0	mA (最大值)	
V_{DD}			9/40	V (最小值/最大值)	GND = 0 V, $V_{SS} = 0 \text{ V}$

¹ 通过设计保证, 未经生产测试。

36 V单电源

除非另有说明, $V_{DD} = 36 V \pm 10\%$, $V_{SS} = 0 V$, $V_L = 2.7 V$ 至 $5.5 V$, $GND = 0 V$ 。

表4.

参数	+25°C	-40°C至+85°C	-40°C至+125°C	单位	测试条件/注释
模拟开关					
模拟信号范围			0 V至 V_{DD}	V	
导通电阻, R_{ON}	10.6			Ω (典型值)	$V_S = 0 V$ 至 $30 V$, $I_S = -10 mA$; 参见图29
	12	15	17	Ω (最大值)	$V_{DD} = 32.4 V$, $V_{SS} = 0 V$
通道间导通电阻匹配, ΔR_{ON}	0.35			Ω (典型值)	$V_S = 0 V$ 至 $30 V$, $I_S = -10 mA$
	0.7	0.9	1.1	Ω (最大值)	
导通电阻平坦度, $R_{FLAT(ON)}$	2.9			Ω (典型值)	$V_S = 0 V$ 至 $30 V$, $I_S = -10 mA$
	3.4	4	4.7	Ω (最大值)	
漏电流					$V_{DD} = 39.6 V$, $V_{SS} = 0 V$
源极关断漏电流, I_S (Off)	± 0.05			nA (典型值)	$V_S = 1 V/30 V$, $V_D = 30 V/1 V$; 参见图32
	± 0.25	± 0.75	± 3.5	nA (最大值)	
漏极关断漏电流, I_D (Off)	± 0.05			nA (典型值)	$V_S = 1 V/30 V$, $V_D = 30 V/1 V$; 参见图32
	± 0.25	± 0.75	± 3.5	nA (最大值)	
通道导通漏电流, I_D (On), I_S (On)	± 0.1			nA (典型值)	$V_S = V_D = 1 V/30 V$; 参见图28
	± 0.4	± 2	± 12	nA (最大值)	
数字输出					
输出电压					
低电平, V_{OL}			0.4	V (最大值)	$I_{SINK} = 5 mA$
			0.2	V (最大值)	$I_{SINK} = 1 mA$
高阻抗漏电流	0.001			μA (典型值)	$V_{OUT} = V_{GND}$ 或 V_L
			± 0.1	μA (最大值)	
高阻抗输出电容	4			pF (典型值)	
数字输入					
输入电压					
高电平, V_{INH}			2	V (最小值)	$3.3 V < V_L \leq 5.5 V$
			1.35	V (最小值)	$2.7 V \leq V_L \leq 3.3 V$
低电平, V_{INL}			0.8	V (最大值)	$3.3 V < V_L \leq 5.5 V$
			0.8	V (最大值)	$2.7 V \leq V_L \leq 3.3 V$
输入电流, I_{INL} 或 I_{INH}	0.002			μA (典型值)	$V_{IN} = V_{GND}$ 或 V_L
			± 0.1	μA (最大值)	
数字输入电容, C_{IN}	4			pF (典型值)	

参数	+25°C	-40°C至+85°C	-40°C至+125°C	单位	测试条件/注释
动态特性 ¹					
t_{ON}	470			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	555	565	580	ns (最大值)	$V_S = 18 \text{ V}$; 参见图36
t_{OFF}	195			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	245	250	260	ns (最大值)	$V_S = 18 \text{ V}$; 参见图36
先开后合时间延迟, t_D	245			ns (典型值)	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
			185	ns (最小值)	$V_{S1} = V_{S2} = 18 \text{ V}$, 参见图35
电荷注入, Q_{INU}	285			pC (典型值)	$V_S = 18 \text{ V}$, $R_S = 0 \Omega$, $C_L = 1 \text{ nF}$; 参见图37
关断隔离	-78			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 100 \text{ kHz}$; 参见图31
通道间串扰	-70			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; 参见图30
总谐波失真加噪声(THD + N)	0.03			% (典型值)	$R_L = 1 \text{ k}\Omega$, 18 V p-p , $f = 20 \text{ Hz}$ 至 20 kHz; 参见图33
-3 dB带宽	174			MHz (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$; 参见图34
插入损耗	-0.7			dB (典型值)	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; 参见图34
开关断开时的源极电容, C_S (Off)	17			pF (典型值)	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
开关断开时的漏极电容, C_D (Off)	17			pF (典型值)	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
开关导通电容, C_D (On), C_S (On)	55			pF (典型值)	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
电源要求					$V_{DD} = 39.6 \text{ V}$
正电源电流, I_{DD}	80			μA (典型值)	数字输入 = 0 V或 V_L
	100		130	μA (最大值)	
	80			μA (典型值)	所有开关闭合, $V_L = 5.5 \text{ V}$
	135			μA (典型值)	所有开关闭合, $V_L = 2.7 \text{ V}$
I_L					
无效	6.3			μA (典型值)	数字输入 = 0 V或 V_L
			8.0	μA (最大值)	
无效, SCLK = 1 MHz	14			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 5 \text{ V}$
	7			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 3 \text{ V}$
SCLK = 50 MHz	390			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 5 \text{ V}$
	210			μA (典型值)	$\overline{CS} = V_L$ 且SDI = 0 V或 V_L , $V_L = 3 \text{ V}$
无效, SDI = 1 MHz	15			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 5 \text{ V}$
	7.5			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 3 \text{ V}$
SDI = 25 MHz	230			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 5 \text{ V}$
	120			μA (典型值)	\overline{CS} 且SCLK = 0 V或 V_L , $V_L = 3 \text{ V}$
有效 (50 MHz时)	1.8			mA (典型值)	数字输入在0 V和 V_L 之间切换, $V_L = 5.5 \text{ V}$
			2.1	mA (最大值)	
	0.7			mA (典型值)	数字输入在0 V和 V_L 之间切换, $V_L = 2.7 \text{ V}$
			1.0	mA (最大值)	
V_{DD}			9/40	V (最小值/最大值)	GND = 0 V, $V_{SS} = 0 \text{ V}$

¹ 通过设计保证, 未经生产测试。

每通道连续电流, S_x 或 D_x

表5. 四个通道开启

参数	25°C	85°C	125°C	单位
连续电流, S_x 或 D_x $V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$ LFCSP ($\theta_{JA} = 50^\circ\text{C/W}$)	126	94	59	mA (最大值)
$V_{DD} = +20\text{ V}$, $V_{SS} = -20\text{ V}$ LFCSP ($\theta_{JA} = 50^\circ\text{C/W}$)	133	98	63	mA (最大值)
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$ LFCSP ($\theta_{JA} = 50^\circ\text{C/W}$)	97	71	44	mA (最大值)
$V_{DD} = 36\text{ V}$, $V_{SS} = 0\text{ V}$ LFCSP ($\theta_{JA} = 50^\circ\text{C/W}$)	131	97	62	mA (最大值)

表6. 一个通道开启

参数	25°C	85°C	125°C	单位
连续电流, S_x 或 D_x $V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$ LFCSP ($\theta_{JA} = 50^\circ\text{C/W}$)	230	154	102	mA (最大值)
$V_{DD} = +20\text{ V}$, $V_{SS} = -20\text{ V}$ LFCSP ($\theta_{JA} = 50^\circ\text{C/W}$)	241	160	104	mA (最大值)
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$ LFCSP ($\theta_{JA} = 50^\circ\text{C/W}$)	180	126	88	mA (最大值)
$V_{DD} = 36\text{ V}$, $V_{SS} = 0\text{ V}$ LFCSP ($\theta_{JA} = 50^\circ\text{C/W}$)	239	158	104	mA (最大值)

时序特性

$V_L = 2.7\text{ V}$ 至 5.5 V ; $GND = 0\text{ V}$; 所有规格均相对于 T_{MIN} 至 T_{MAX} , 除非另有说明。通过设计和特性保证, 未经生产测试。

表7.

参数	T_{MIN} 、 T_{MAX} 时的限值	单位	测试条件/注释
t_1	20	ns (最小值)	SCLK周期
t_2	8	ns (最小值)	SCLK高电平脉宽
t_3	8	ns (最小值)	SCLK低电平脉宽
t_4	10	ns (最小值)	\overline{CS} 下降沿到SCLK上升沿
t_5	6	ns (最小值)	数据建立时间
t_6	8	ns (最小值)	数据保持时间
t_7	10	ns (最小值)	SCLK上升沿到 \overline{CS} 上升沿
t_8	20	ns (最大值)	\overline{CS} 下降沿到SDO数据可用
t_9^1	20	ns (最大值)	SCLK下降沿到SDO数据可用
t_{10}	20	ns (最大值)	\overline{CS} 上升沿到SDO返回高阻抗状态
t_{11}	20	ns (最小值)	SPI命令间的 \overline{CS} 高电平时间
t_{12}	8	ns (最小值)	\overline{CS} 下降沿到SCLK变稳定
t_{13}	8	ns (最小值)	\overline{CS} 上升沿到SCLK变稳定

¹ 在1 k Ω 上拉电阻接 V_L 和20 pF负载下测得。参数 t_9 确定使用SDO时的最大SCLK频率。

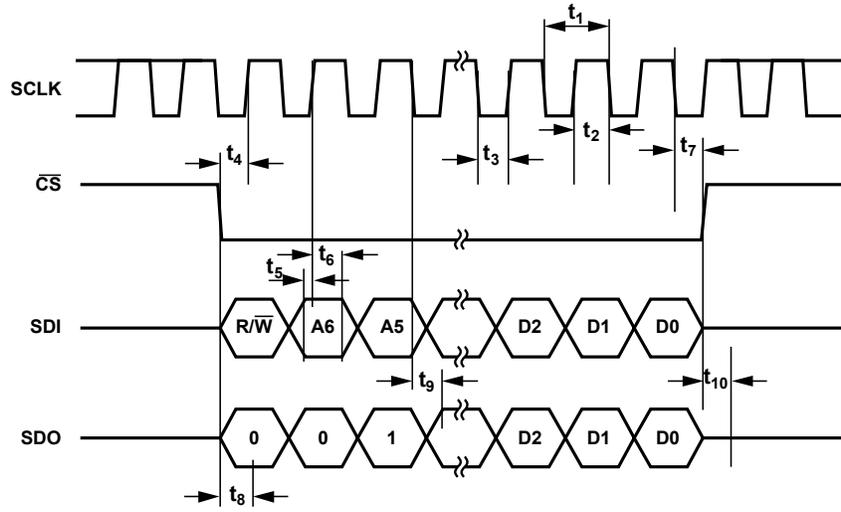


图2. 可寻址模式时序图

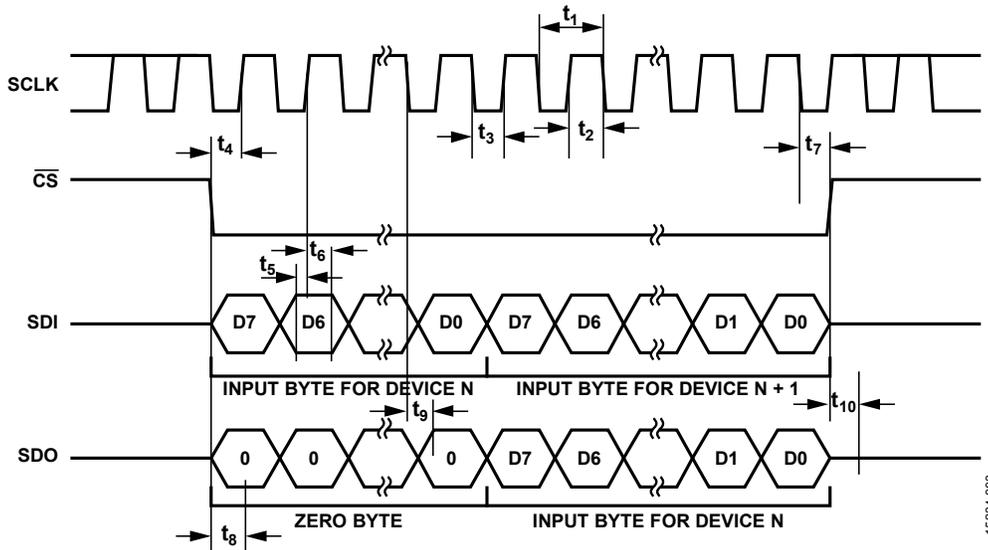


图3. 菊花链时序图

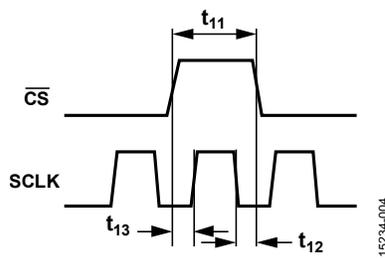


图4. SCLK/CS时序关系

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表8.

参数	额定值
V_{DD} 至 V_{SS}	48 V
V_{DD} 至GND	-0.3 V至+48 V
V_{SS} 至GND	+0.3 V至-48 V
V_I 至GND	-0.3 V至+6 V
模拟输入 ¹	$V_{SS} - 0.3\text{ V}$ 至 $V_{DD} + 0.3\text{ V}$ 或 30 mA，以最先出现者为准
数字输入 ¹	-0.3 V至+6 V
峰值电流， S_X 或 D_X	261 mA（1 ms脉冲，最大10% 占空比）
连续电流， S_X 或 D_X ²	数据 + 15%
温度范围	
工作	-40°C至+125°C
存储	-65°C至+150°C
结温	150°C
热阻 θ_{JA}	50°C/W
回流焊峰值温度，无铅	260 (+0/-5)°C
人体模型（HBM）	8 kV
ESD额定值	

¹ S_X 引脚和 D_X 引脚上的过压由内部二极管箝位。电流以给出的最大额定值为限。

² 参见表5。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

任何时候只能使用一个绝对最大额定值。

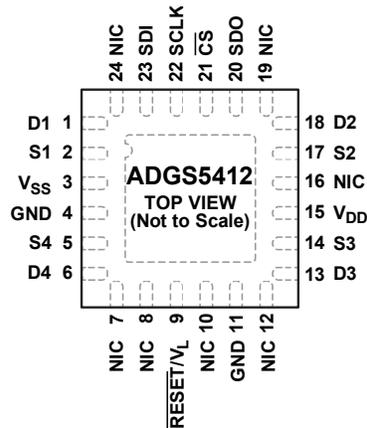
ESD警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE, V_{SS} .
2. NIC = NOT INTERNALLY CONNECTED.

15234-005

图5. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	描述
1	D1	漏极引脚1。该引脚可以是输入或输出。
2	S1	源极引脚1。该引脚可以是输入或输出。
3	V_{SS}	最低负电源电位。在单电源应用中，应将此引脚接GND。
4, 11	GND	地(0 V)参考。
5	S4	源极引脚4。该引脚可以是输入或输出。
6	D4	漏极引脚4。该引脚可以是输入或输出。
7, 8, 10, 12, 16, 19, 24	NIC	内部不连接。
9	$\overline{\text{RESET}}/V_L$	$\overline{\text{RESET}}$ /逻辑电源输入(V_L)。正常工作时，通过2.7 V至5.5 V的电源驱动 $\overline{\text{RESET}}/V_L$ 引脚。拉低此引脚可完成硬件复位。所有开关断开，并且相应寄存器设为默认值。
13	D3	漏极引脚3。该引脚可以是输入或输出。
14	S3	源极引脚3。该引脚可以是输入或输出。
15	V_{DD}	最高正电源电位。
17	S2	源极引脚2。该引脚可以是输入或输出。
18	D2	漏极引脚2。该引脚可以是输入或输出。
20	SDO	串行数据输出。此引脚可用于以菊花链形式将多个此类器件连接在一起，或出于诊断目的用于回读储存在寄存器中的数据。串行数据在SCLK的下降沿传播。通过外部电阻将此开漏输出拉至 V_L 。
21	$\overline{\text{CS}}$	低电平有效控制输入。这是输入数据的帧同步信号。当 $\overline{\text{CS}}$ 变为低电平时，SCLK缓冲器上电，输入移位寄存器使能。数据在后续时钟的下降沿读入。拉高 $\overline{\text{CS}}$ 可更新开关条件。
22	SCLK	串行时钟输入。在SCLK的正沿捕获数据。数据能够以最高50 MHz的速率传输。
23	SDI	串行数据输入。在串行时钟输入的正沿捕获数据。
	EPAD	裸露焊盘。裸露焊盘内部连接。为提高焊接接头的可靠性并实现最大散热效果，建议将焊盘焊接到基板 V_{SS} 。

典型性能参数

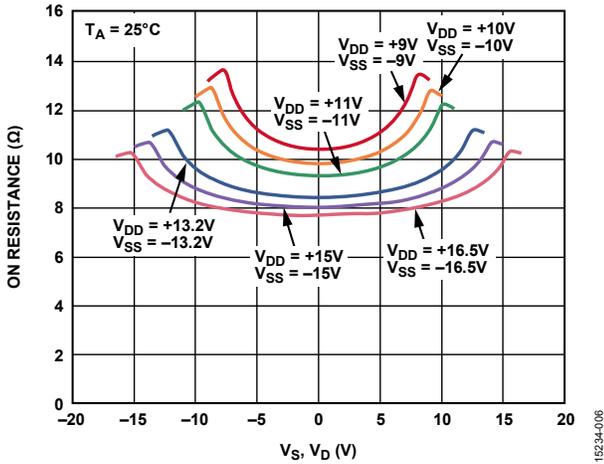


图6. 导电电阻(R_{ON})与 V_S 、 V_D (双电源) 的关系

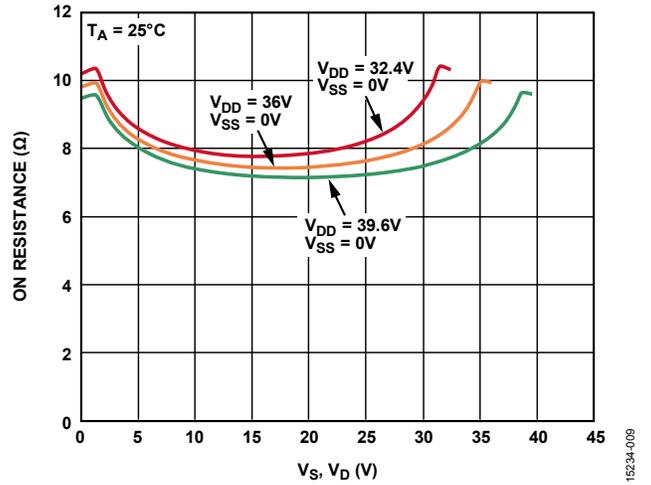


图9. 导电电阻(R_{ON})与 V_S 、 V_D (单电源) 的关系

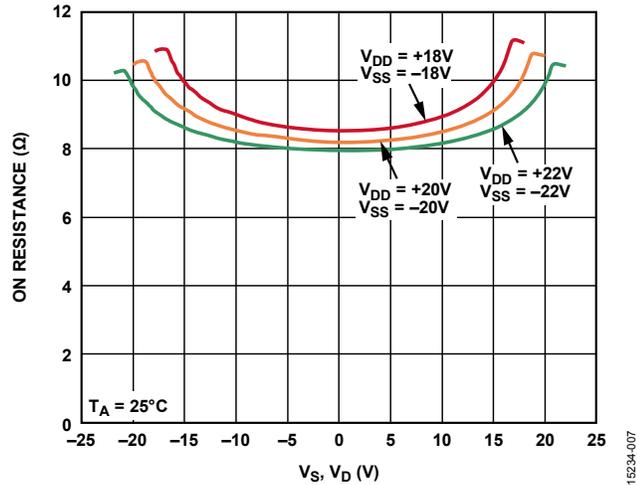


图7. 导电电阻(R_{ON})与 V_S 、 V_D (双电源) 的关系

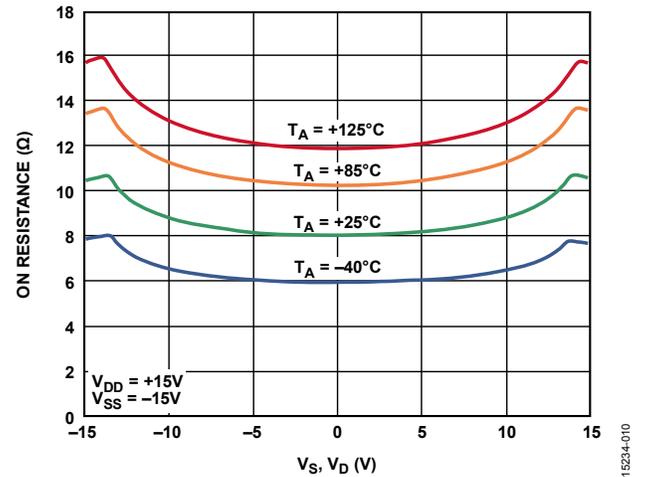


图10. 不同温度下导电电阻(R_{ON})与 V_S 、 V_D 的关系, ±15V双电源

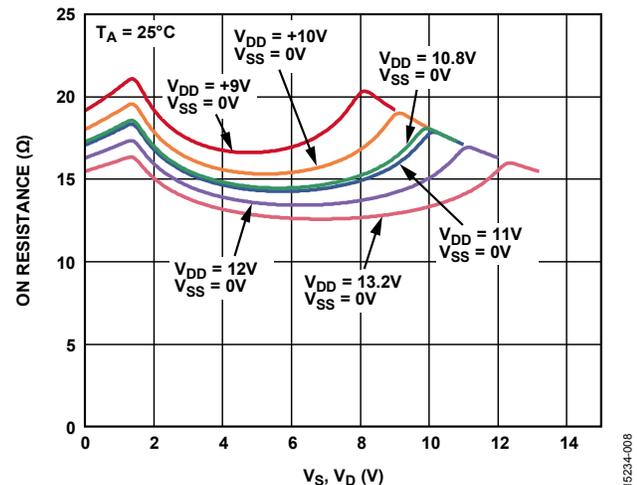


图8. 导电电阻(R_{ON})与 V_S 、 V_D (单电源) 的关系

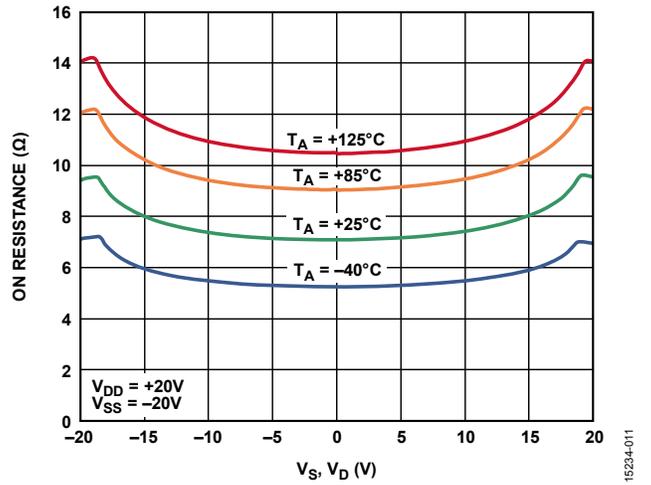


图11. 不同温度下导电电阻(R_{ON})与 V_S 、 V_D 的关系, ±20V双电源

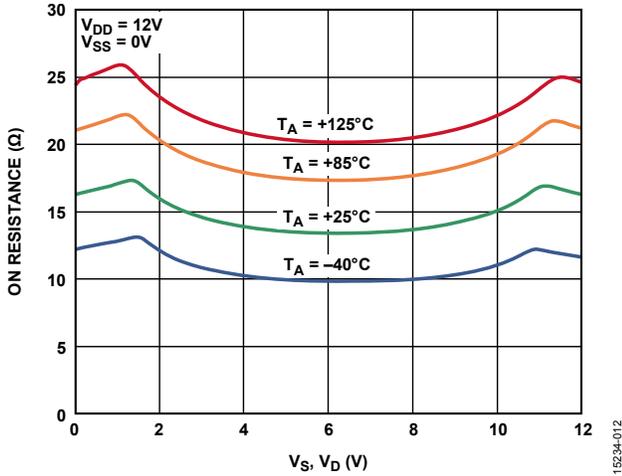


图12. 不同温度下导通电阻(R_{ON})与 V_S 、 V_D 的关系, 12 V单电源

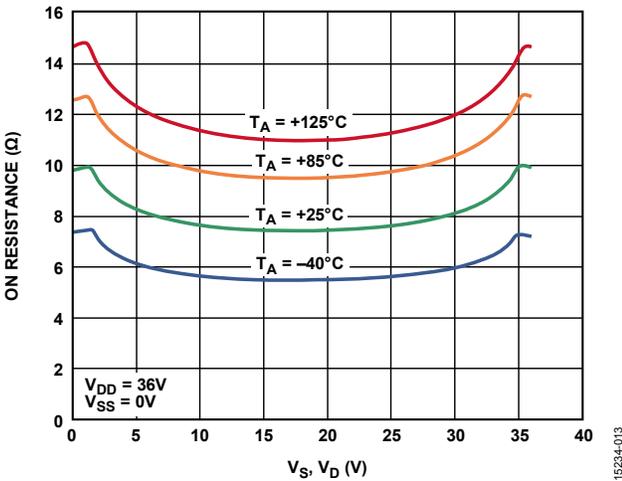


图13. 不同温度下 R_{ON} 与 V_S 、 V_D 的关系, 36 V单电源

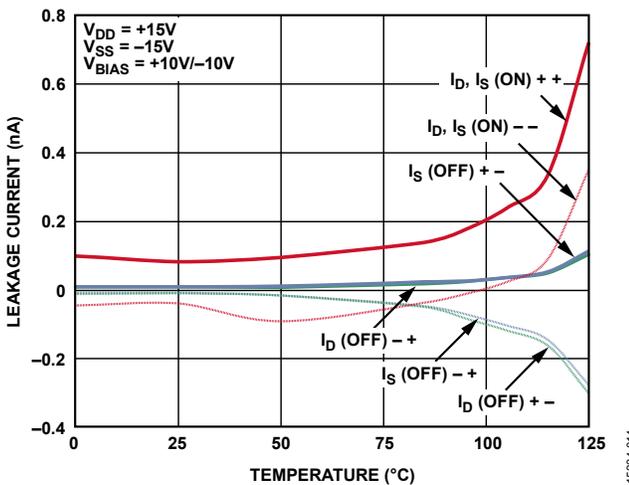


图14. 漏电流与温度的关系 (± 15 V双电源)

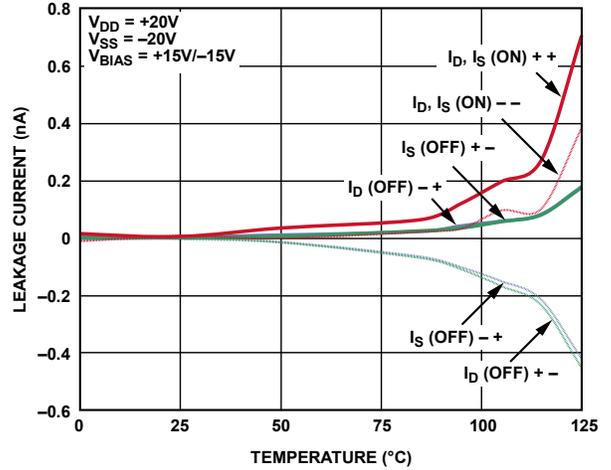


图15. 漏电流与温度的关系 (± 20 V双电源)

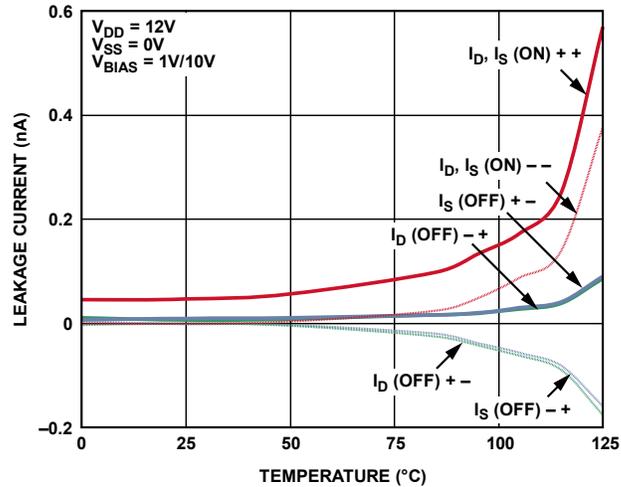


图16. 漏电流与温度的关系 (12 V单电源)

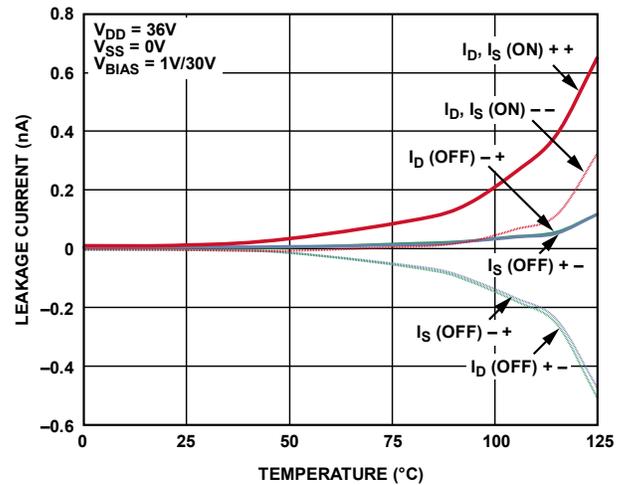


图17. 漏电流与温度的关系 (36 V单电源)

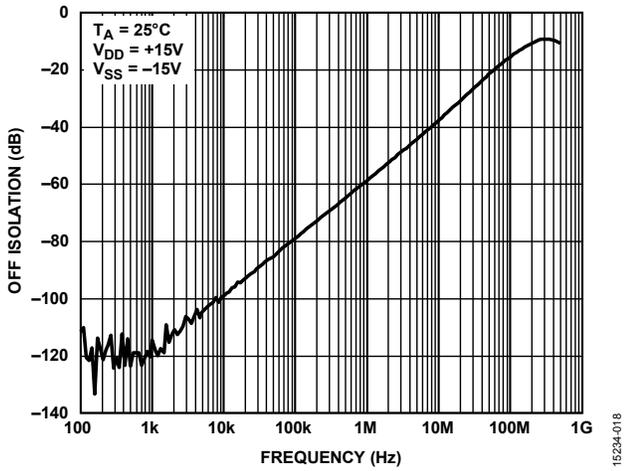


图18. 关断隔离与频率的关系 (±15 V双电源)

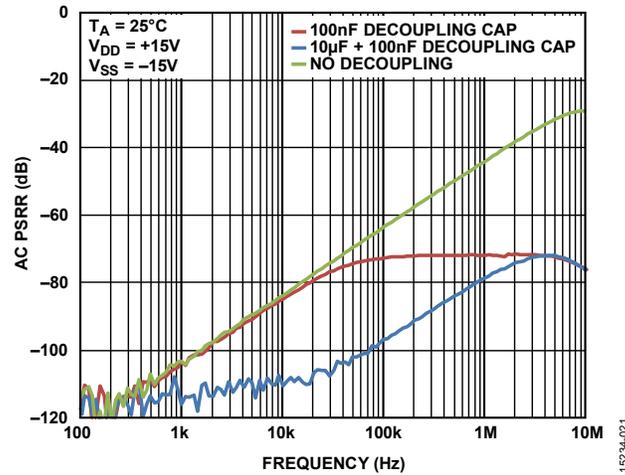


图21. 交流电源抑制比(PSRR)与频率的关系 (±15 V双电源)

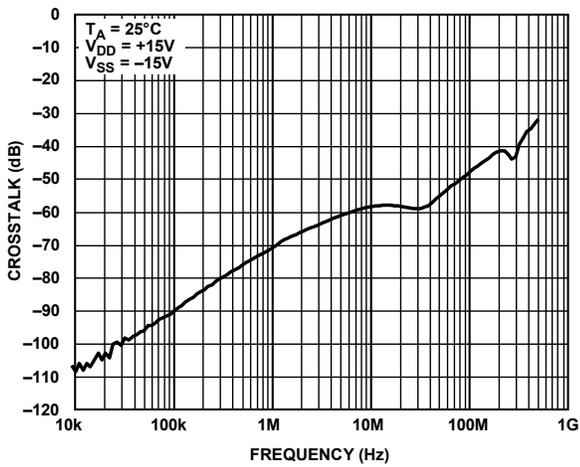


图19. 串扰与频率的关系 (±15 V双电源)

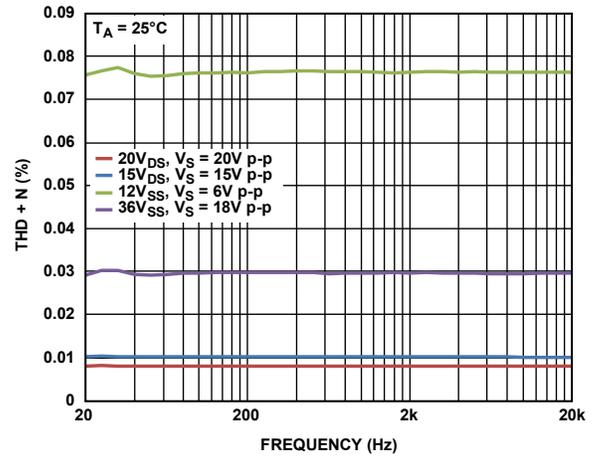


图22. THD + N与频率的关系 (±15 V双电源)

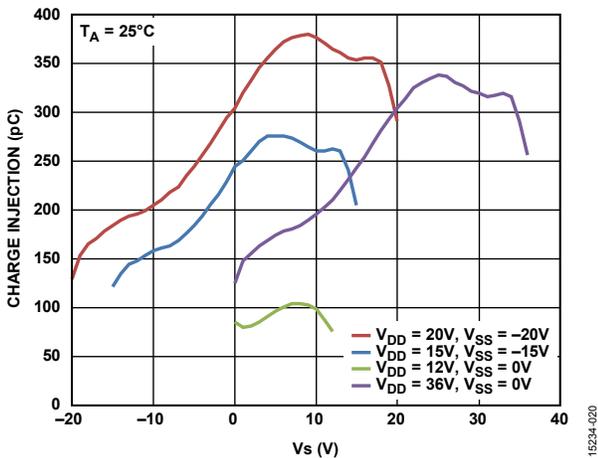


图20. 电荷注入与源电压Vs的关系

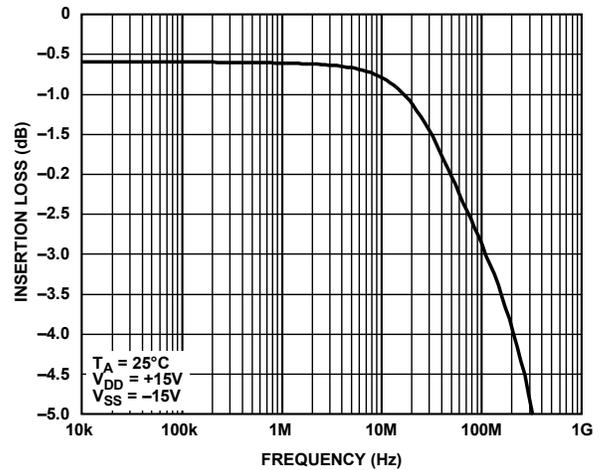


图23. 带宽

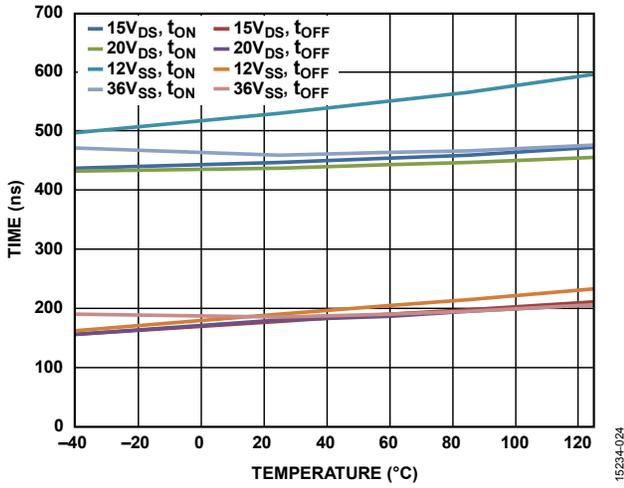


图24. t_{ON} 、 t_{OFF} 时间与温度的关系

15234-024

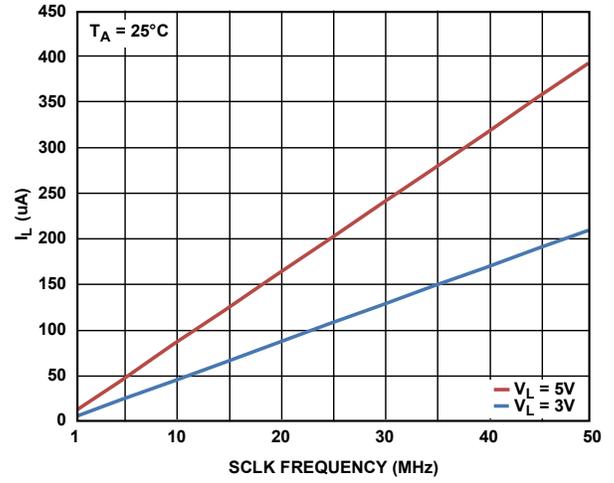


图26. I_L 与SCLK频率的关系 (\overline{CS} 为高电平时)

15234-126

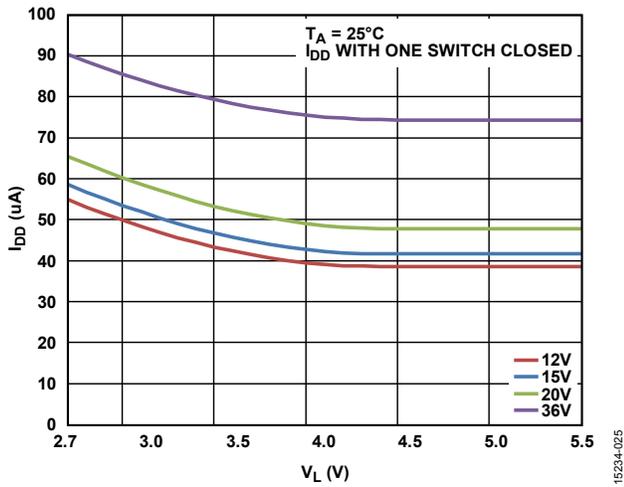


图25. I_{DD} 与 V_L 的关系

15234-025

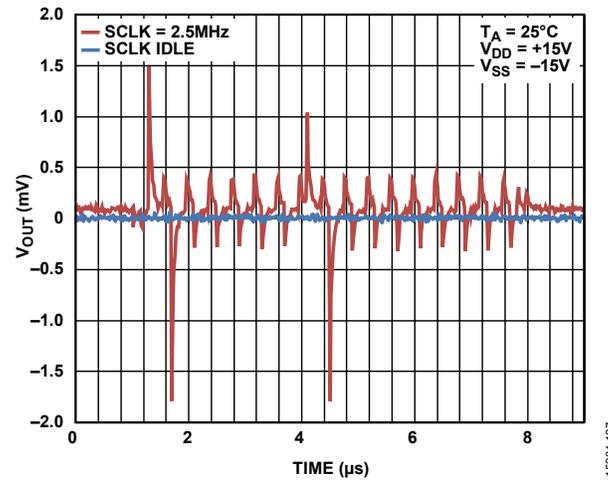


图27. 数字馈通

15234-127

测试电路

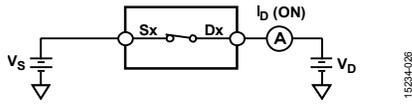


图28. 导通泄漏

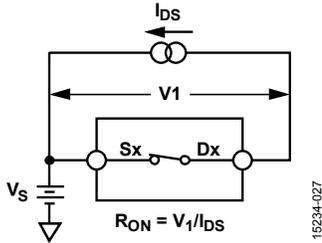


图29. 导通电阻

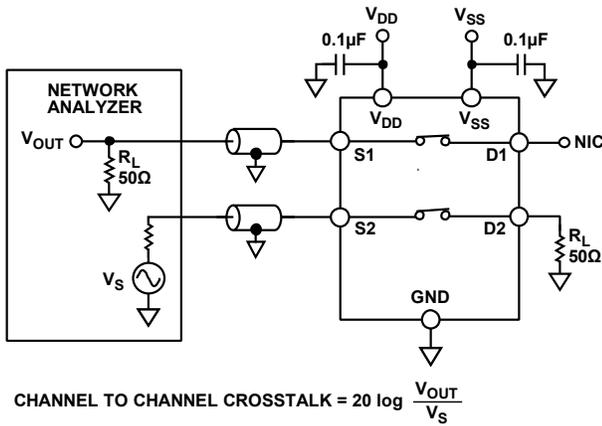


图30. 通道间串扰

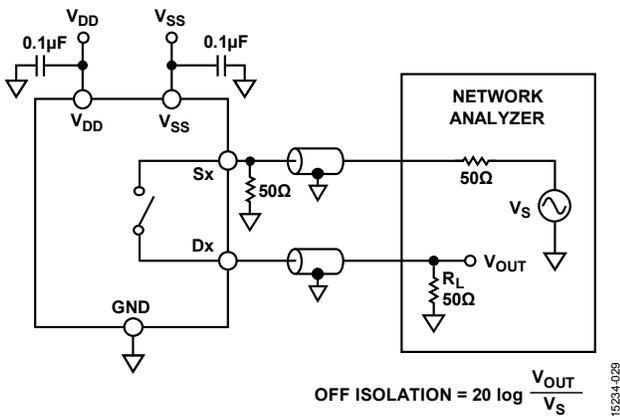


图31. 关断隔离

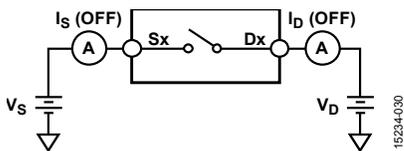


图32. 关断泄漏

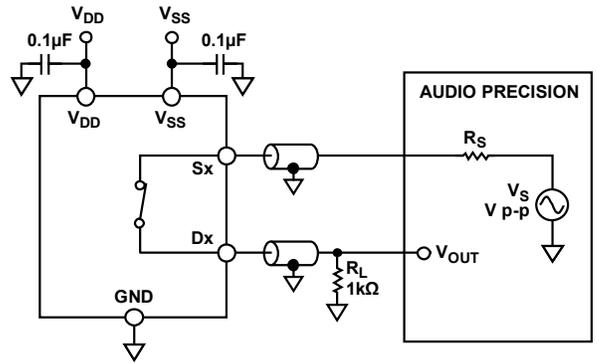


图33. THD + N

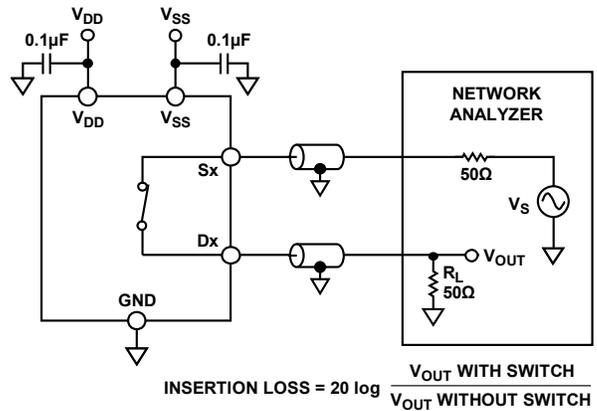


图34. 带宽

15234-028

15234-029

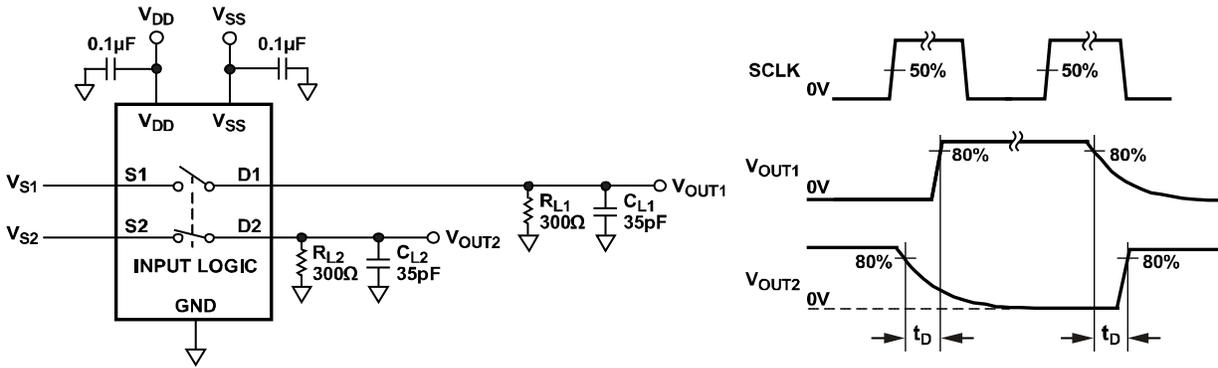


图35. 先开后合时间延迟, t_D

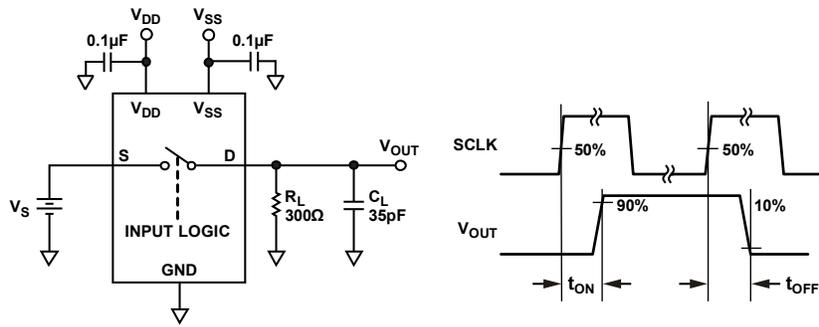


图36. 开关时间

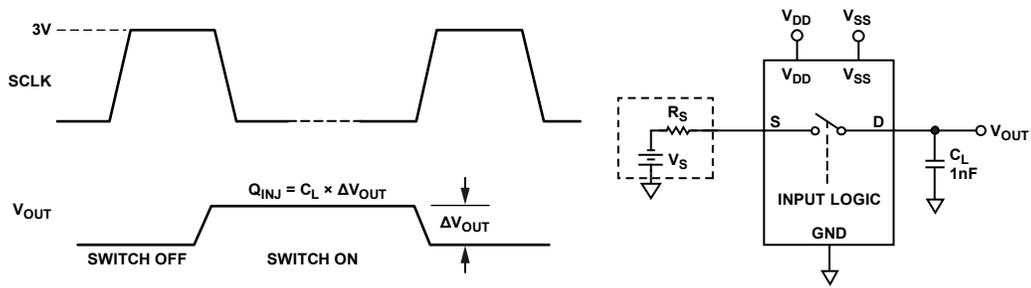
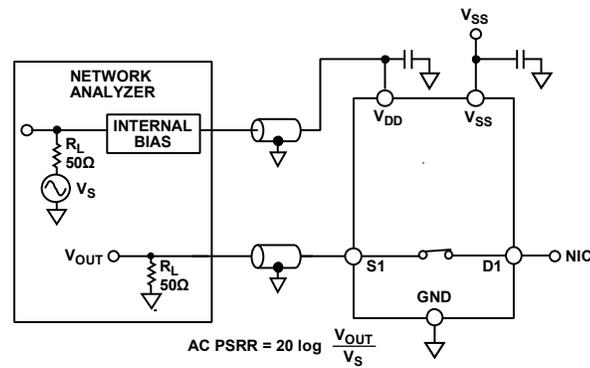


图37. 电荷注入



NOTES
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE AC PSRR MEASUREMENT.

图38. 交流电源抑制比(AC PSRR)

术语

I_{DD}

I_{DD} 表示正电源电流。

I_{SS}

I_{SS} 表示负电源电流。

V_D 、 V_S

V_D 和 V_S 分别表示引脚D和引脚S上的模拟电压。

R_{ON}

R_{ON} 表示引脚D与引脚S之间的电阻（欧姆）。

ΔR_{ON}

ΔR_{ON} 表示任意两个通道的 R_{ON} 之差。

$R_{FLAT(ON)}$

$R_{FLAT(ON)}$ 表示平坦度，定义为在额定模拟信号范围内测得的导通电阻最大值与最小值之差。

$I_S(Off)$

$I_S(Off)$ 表示开关断开时的源极漏电流。

$I_D(Off)$

$I_D(Off)$ 表示开关断开时的漏极漏电流。

$I_D(On)$ 、 $I_S(On)$

$I_D(On)$ 和 $I_S(On)$ 表示开关接通时的通道漏电流。

V_{INL}

V_{INL} 表示逻辑0的最大输入电压。

V_{INH}

V_{INH} 表示逻辑1的最小输入电压。

I_{INL} 、 I_{INH}

I_{INL} 和 I_{INH} 表示数字输入的最低和最高输入电流。

$C_D(Off)$

$C_D(Off)$ 表示开关断开时的漏极电容，以GND引脚为基准进行测量。

$C_S(Off)$

$C_S(Off)$ 表示开关断开时的源极电容，以GND引脚为基准进行测量。

$C_D(On)$ 、 $C_S(On)$

$C_D(On)$ 和 $C_S(On)$ 表示开关接通时的电容，以GND引脚为基准进行测量。

C_{IN}

C_{IN} 表示数字输入电容。

t_{ON}

t_{ON} 表示施加数字控制输入与输出开启之间的延迟时间。

t_{OFF}

t_{OFF} 表示施加数字控制输入与输出关闭之间的延迟时间。

t_D

t_D 表示从一个地址状态切换到另一个地址状态时，在两个开关的80%点之间测得的关断时间。

关断隔离

关断隔离衡量通过断开开关耦合的无用信号。

电荷注入

电荷注入衡量开关期间从数字输入传输到模拟输出的毛刺脉冲。

串扰

串扰衡量寄生电容引起的从一个通道耦合到另一个通道的无用信号。

带宽

带宽指输出衰减3 dB的频率。

导通响应

导通响应指开关接通时的频率响应。

插入损耗

插入损耗指开关导通电阻引起的损耗。

总谐波失真+噪声(THD + N)

THD + N表示信号的谐波幅度加噪声与基波的比值。

交流电源抑制比(AC PSRR)

AC PSRR表示输出信号的幅度与调制幅度的比值，用于衡量器件避免将电源电压引脚上的噪声和杂散信号耦合到开关输出端的能力。该器件的直流电压由一个0.62 V p-p的正弦波调制。

工作原理

ADGS5412是一组具备错误检测功能的串行控制四通道单刀单掷开关。器件可以使用SPI模式0和模式3，SCLK工作频率最高可达50 MHz。ADGS5412默认模式为寻址模式，器件寄存器通过以 \overline{CS} 界定的16位SPI命令访问。如果用户使能CRC错误检测，SPI命令将变成24位。其他错误检测功能包括SCLK计数错误和无效读取/写入错误。如果出现此类SPI接口错误，可通过读取错误标志寄存器进行检测。ADGS5412还可在其他两种模式下工作，即突发模式和菊花链模式。

ADGS5412接口引脚为 \overline{CS} 、SCLK、SDI和SDO。使用SPI接口时应使 \overline{CS} 保持低电平。数据在SCLK的上升沿从SDI引脚输入，在SCLK的下降沿从SDO引脚输出。SDO为开漏输出，因此，应将一个上拉电阻连接到此输出。未被ADGS5412拉低时，SDO处于高阻抗状态。

寻址模式

寻址模式是ADGS5412上电时的默认模式。寻址模式下的单SPI帧受 \overline{CS} 下降沿和后续 \overline{CS} 上升沿界定。它由16个SCLK周期组成。图39给出了寻址模式的时序图。第一个SDI位指示SPI命令是读命令还是写命令。第一位为0时，发出写命令；第一位为1时，发出读命令。随后七位用于确定目标寄存器地址。剩下八位用于将数据提供给被寻址的寄存器。读命令期间会忽略最后八位，因为在这些时钟周期中，SDO会输出被寻址寄存器中包含的数据。

SPI命令的目标寄存器地址在第八个SCLK上升沿上确定。SPI读操作期间，此寄存器上的数据在SDO上导出，顺序为从第9个到第16个SCLK下降沿。SPI写操作期间，第16个SCLK上升沿上发生寄存器写操作。

执行任何SPI命令期间，SDO发送出前面八个SCLK下降沿上的八个对齐位。SDO处观察到的对齐位为0x25。

错误检测功能

能够检测出SPI接口上的协议和通信错误。有三种错误检测功能，分别是SCLK错误检测、无效读取和写入地址错误检测以及CRC错误检测。每种错误在错误配置寄存器中有一个对应的使能位。此外，在错误标志寄存器中，每种错误都有一个错误标志位。

循环冗余校验(CRC)错误检测

CRC错误检测功能会使有效SPI帧延长8个SCLK周期。为SPI帧发送CRC字节需要这8个额外周期。CRC字节由SPI模块利用16位有效载荷计算： R/\overline{W} 位、寄存器地址位[6:0]和寄存器数据位[7:0]。SPI模块中使用的CRC多项式为 $x^8 + x^2 + x^1 + 1$ ，种子值为0。有关CRC使能后的时序图，请参见图40。CRC错误校验使能后，第24个SCLK上升沿发生寄存器写操作。

SPI写操作期间，微控制器或CPU通过SDI提供CRC字节。SPI模块会正好在第24个SCLK上升沿前校验CRC字节。在此上升沿上，如果SPI接口接收到错误CRC字节，将防止寄存器写入。检测到错误CRC字节时，CRC错误标志在错误标志寄存器中置位。

SPI读操作期间，CRC字节通过SDO提供给微控制器。

CRC错误检测功能在默认情况下禁用，用户可通过错误配置寄存器进行配置。

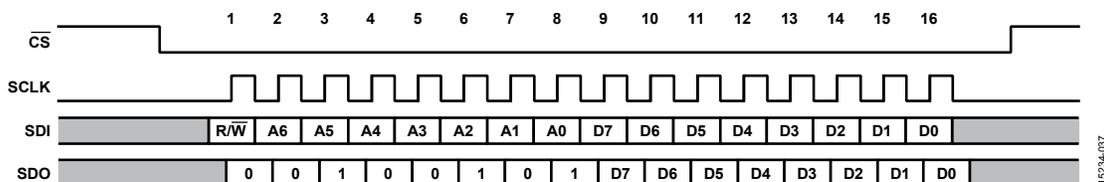


图39. 寻址模式时序图

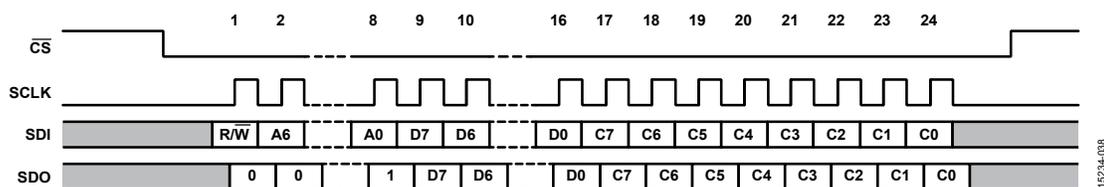


图40. CRC使能后的时序图

SCLK计数错误检测

借助SCLK计数错误检测功能，用户可检测出错误的SCLK周期数是否已通过微控制器或CPU发送。在寻址模式下，如果CRC被禁止，则预计为16个SCLK周期。如果未检测到16个SCLK周期，错误标志寄存器中的SCLK计数错误标志就会置位。当器件接收到少于16个的SCLK周期时，绝不会发生对寄存器映射写操作。当ADGS5412接收到超过16个的SCLK周期时，第16个SCLK上升沿仍将发生存储器映射写操作，并且错误标志寄存器中的该标志置位。CRC使能后，预计的SCLK周期数将变为24。SCLK计数错误检测功能默认使能，用户可通过错误配置寄存器进行配置。

无效读取/写入地址错误

无效读取/写入地址错误检测功能可检测出读取或写入的目标地址是否存在。此外，此错误还会在对只读寄存器执行写操作时置位。发生无效读取/写入地址错误时，无效读取/写入地址错误标志将在错误标志寄存器中置位。无效读取/写入地址错误在第9个SCLK上升沿上进行检测，这意味着，以无效地址为目标时，绝不会发生寄存器写操作。无效读取/写入地址错误检测功能在默认情况下启用，用户可通过错误配置寄存器禁用。

错误标志寄存器清零

通过将特殊的16位SPI帧0x6CA9写入此器件，可将错误标志寄存器清零。此SPI命令不会触发无效R/W地址错误。CRC使能后，用户还必须发送正确的CRC字节，这样才能成功执行错误清零命令。在第16个或第24个SCLK上升沿，错误标志寄存器复位为零。

突发模式

SPI接口可以接受连续SPI命令，无需释放CS线，这称为突发模式。它通过突发使能寄存器使能。此模式利用相同的16位命令与本器件通信。此外，器件在SDO处的响应仍然与相应SPI命令一致。图41所示为突发模式下SDI和SDO的示例。

在突发模式下，无效读取/写入地址和CRC错误校验功能的工作方式与寻址模式下类似。但是，SCLK计数错误检测功能的工作方式则略有不同。器件会对给定CS帧内的总SCLK周期数进行计数，如果CRC使能后的总数不是16或24的倍数，SCLK计数错误标志就会置位。

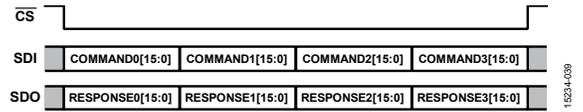


图41. 突发模式帧

软件复位

在寻址模式下，用户可启动软件复位。为此，须写入两个连续SPI命令，即0xA3后跟0x05，同时还应以地址0x0B为目标。软件复位后，所有寄存器数值均设为默认值。

菊花链模式

在菊花链配置中可连接多个ADGS5412器件，如图42所示。所有器件共享相同的CS和SCLK线路，而器件的SDO与下一个器件的SDI形成连接，形成移位寄存器的。在菊花链模式下，SDO是SDI的8周期延迟版本。处于菊花链模式时，所有命令均以器件的数据寄存器作为目标。因此，在菊花链模式下无法更改配置。

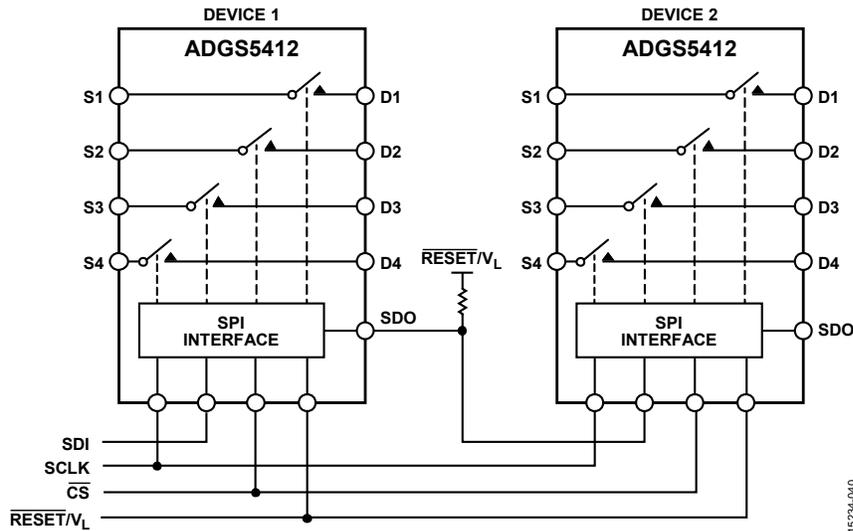


图42. 两个SPI控制的开关连接成菊花链配置

在寻址模式下，ADGS5412只能通过发送16位SPI命令0x2500来进入菊花链模式（参见图43）。当ADGS5412收到此命令时，器件的SDO发出相同命令，因为SDO处的对齐位为0x25，允许多个菊花链连接的器件在单一SPI帧中进入菊花链模式。退出菊花链模式需要硬件复位。

有关典型菊花链SPI帧的时序图，请参见图44。当CS变为高电平时，器件1将向其开关数据寄存器写入命令0的位[7:0]，器件2将向其开关写入命令1的位[7:0]，以此类推。SPI模块利用其通过SDI收到的后八位更新开关。进入菊花链模式后，链中各器件的SDO发出的前八位为0x00。当CS变为高电平时，内部移位寄存器的数值不会归零。

数据在SCLK下降沿从SDO输出的同时，SCLK上升沿会在SDI上读入数据。CS变为高电平前，预计的SCLK周期数必须为8的倍数。如果不是这样，SPI接口就会将收到的后八位发送给开关数据寄存器。

上电复位

ADGS5412的数字部分在V_L上电期间会经历初始化阶段。在硬件或软件复位之后，此初始化过程也会发生。在V_L上电或复位之后，从上电或复位时间起应等待至少120 μs，然后才能发出SPI命令。确保V_L在120 μs的初始化阶段不退出，否则可能导致ADGS5412无法正常工作。

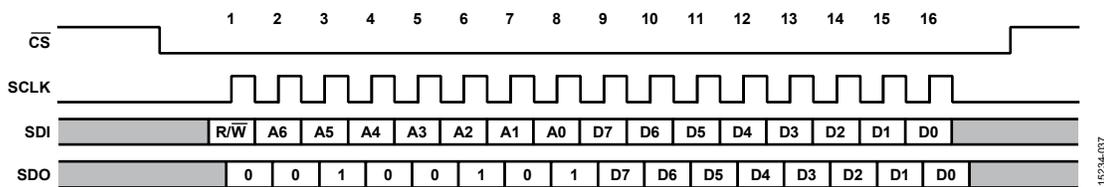


图43. 用于进入菊花链模式的SPI命令

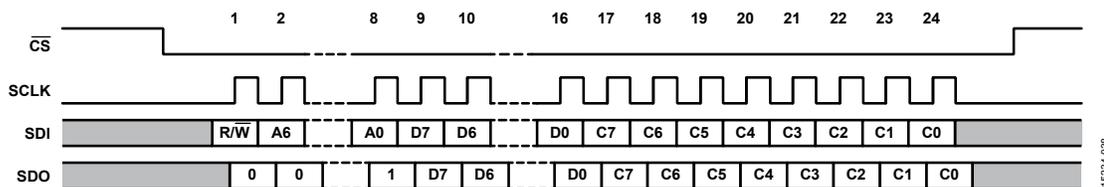


图44. 四个ADGS5412以菊花链模式连接时的SPI帧示例

先开后合式开关

ADGS5412为先开后合式开关，适合多路复用器应用。要实现此配置，可通过外部硬连线方式将器件连接成所需的多路复用器配置，如图45所示。

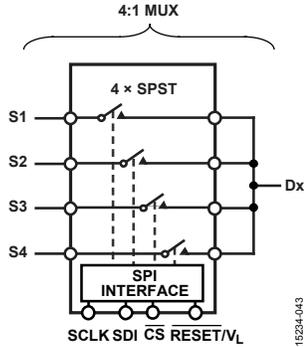


图45. 一个SPI控制的开关配置成4:1多路复用器

沟槽隔离

在ADGS5412的模拟开关部分，各互补金属氧化物半导体开关(CMOS)的负沟道金属氧化物半导体(NMOS)与正沟道金属氧化物半导体(PMOS)晶体管之间有一个绝缘氧化物层(沟槽)。因此，它与结隔离式开关不同，晶体管之间不存在寄生结，从而彻底消除了闩锁现象。

在结隔离中，PMOS和NMOS晶体管的负(N)阱和正(P)阱形成一个二极管；在正常工作条件下，该二极管反向偏置。但在过压条件下，该二极管可能变成正偏。两个晶体管形成一个硅控整流器(SCR)电路，导致电流被显著放大，进而引起闩锁。而在沟槽隔离中则不存在该二极管，因此开关不会发生闩锁。ADGS5412模拟开关引脚达到了JESD78D标准中的最大额定值要求，即可以承受±500 mA脉、持续1秒的压力测试。

高压防闩锁系列开关和多路复用器为易于发生闩锁现象的仪器仪表、工业、汽车、航空航天应用和其它恶劣环境提供了稳定可靠的解决方案；闩锁是指可能导致器件故障的不良高电流状态，它在关闭电源之前会持续存在。ADGS5412高压开关支持9 V至40 V的单电源供电和±9 V至±22 V的双电源供电。

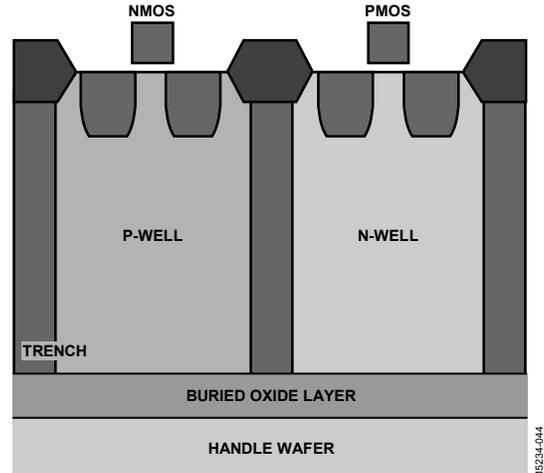


图46. 沟槽隔离

数字输入缓冲器

数字输入引脚CS、SCLK和SDI上有输入缓冲器。这些缓冲器始终有效。因此，无论CS是否有效，只要切换SCLK或SDI，就会从VL电源消耗电流。关于此电流消耗的典型值，请参阅技术规格表和图26。

应用信息

供电轨

为保证ADGS5412正常工作，需要0.1 μF 去耦电容。

ADGS5412可以采用 $\pm 9\text{ V}$ 到 $\pm 22\text{ V}$ 的双极性电源供电。 V_{DD} 和 V_{SS} 上的电源不必对称，但 V_{DD} 至 V_{SS} 范围不得超过44 V。ADGS5412也可采用9 V到40 V的单电源供电（ V_{SS} 接GND）。

向 $\overline{\text{RESET}}/V_{\text{I}}$ 提供的电压范围可以是2.7 V至5.5 V。

器件的额定模拟电源电压范围为 $\pm 15\text{ V}$ 、 $\pm 20\text{ V}$ 、 $+12\text{ V}$ 和 $+36\text{ V}$ 。

电源建议

ADI公司提供广泛的电源管理产品，可满足大多数高性能信号链的需求。

图47所示为一个双极性电源解决方案示例。ADP5070（双通道开关稳压器）为典型信号链中的ADGS5412、放大器和/或精密转换器产生正负两个供电轨。图47还显示了两个可选LDO ADP7118和ADP7182，其分别为正/负低压差稳压器（LDO），在超低噪声敏感型应用中可用来降低ADP5070的输出纹波。

ADM7160可用来产生 $\overline{\text{RESET}}/V_{\text{I}}$ 电压，从而为ADGS5412内部数字电路供电。

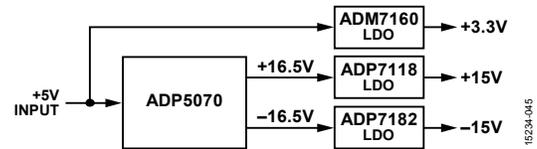


图47. 双极性电源解决方案

表10. 推荐电源管理器件

产品	描述
ADP5070	具有独立正输出1 A和负输出的0.6 A的DC-DC开关稳压器
ADM7160	5.5 V、200 mA、超低噪声线性稳压器
ADP7118	20 V、200 mA、低噪声CMOS LDO线性稳压器
ADP7182	-28 V、-200 mA、低噪声LDO线性稳压器

寄存器汇总

表 11. 寄存器汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	默认值	RW	
0x01	SW_DATA	[7:0]	保留				SW4_EN	SW3_EN	SW2_EN	SW1_EN	0x00	R/W	
0x02	ERR_CONFIG	[7:0]	保留					RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x06	R/W	
0x03	ERR_FLAGS	[7:0]	保留					RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x00	R	
0x05	BURST_EN	[7:0]	保留							BURST_MODE_EN	0x00	R/W	
0x0B	SOFT_RESETB	[7:0]	SOFT_RESETB									0x00	R/W

寄存器详解

开关数据寄存器

地址: 0x01; 复位: 0x00; 名称: SW_DATA

开关数据寄存器用于控制ADGS5412四个开关的状态。

表12. SW_DATA的位功能描述

位	位名称	设置	描述	默认值	访问类型
[7:4]	保留		这些位保留; 这些位置0。	0x0	R
3	SW4_EN	0 1	SW4的使能位。 SW4断开。 SW4闭合。	0x0	R/W
2	SW3_EN	0 1	SW3的使能位。 SW3断开。 SW3闭合。	0x0	R/W
1	SW2_EN	0 1	SW2的使能位。 SW2断开。 SW2闭合。	0x0	R/W
0	SW1_EN	0 1	SW1的使能位。 SW1断开。 SW1闭合。	0x0	R/W

错误配置寄存器

地址: 0x02; 复位: 0x06; 名称: ERR_CONFIG

借助错误配置寄存器, 用户可根据需要使能/禁用相应的错误检测功能。

表13. ERR_CONFIG的位功能描述

位	位名称	设置	描述	默认值	访问类型
[7:3]	保留		这些位保留; 这些位置0。	0x0	R
2	RW_ERR_EN	0 1	用于检测无效读取/写入地址的使能位。 禁用。 使能。	0x1	R/W
1	SCLK_ERR_EN	0 1	用于检测SPI帧中的SCLK周期数是否正确的使能位。当CRC和突发模式均禁用时, 预期为16个SCLK周期。当CRC使能且突发模式禁用时, 预期为24个SCLK周期。当CRC禁用且突发模式使能时, 预期为16个SCLK周期的倍数。当CRC和突发模式均使能时, 预期为24个SCLK周期的倍数。 禁用。 使能。	0x1	R/W
0	CRC_ERR_EN	0 1	CRC错误检测的使能位。使能后SPI帧须为24位宽。 禁用。 使能。	0x0	R/W

错误标志寄存器

地址：0x03；复位：0x00；名称：ERR_FLAGS

借助错误标志寄存器，用户可确定是否出现了错误。通过将特殊的16位SPI命令0x6CA9写入此器件，可将错误标志寄存器清零。此SPI命令不会触发无效R/W地址错误。CRC使能后，用户必须在SPI写操作期间涵盖正确的CRC字节，以便错误标志寄存器清零命令成功执行。

表14. ERR_FLAGS的位功能描述

位	位名称	设置	描述	默认值	访问类型
[7:3]	保留		这些位保留，置0。	0x0	R
2	RW_ERR_FLAG	0 1	用于无效读取/写入地址的错误标志。当目标地址不存在时，此错误标志会在SPI读操作期间置位。当SPI写操作的目标地址不存在或为只读状态时，此错误标志也会置位。 无错误。 错误。	0x0	R
1	SCLK_ERR_FLAG	0 1	用于检测SPI帧中的SCLK周期数是否正确的错误标志。 无错误。 错误。	0x0	R
0	CRC_ERR_FLAG	0 1	用于确定寄存器写操作期间是否发生CRC错误的错误标志。 无错误。 错误。	0x0	R

突发使能寄存器

地址：0x05；复位：0x00；名称：BURST_EN

借助突发使能寄存器，用户可使能/禁用突发模式。使能后，用户无需解除置位 \overline{CS} 即可发送多个连续SPI命令。

表15. BURST_EN的位功能描述

位	位名称	设置	描述	默认值	访问类型
[7:1]	保留		这些位保留；这些位置0。	0x0	R
0	BURST_MODE_EN	0 1	突发模式使能位。 禁用。 使能。	0x0	R/W

软件复位寄存器

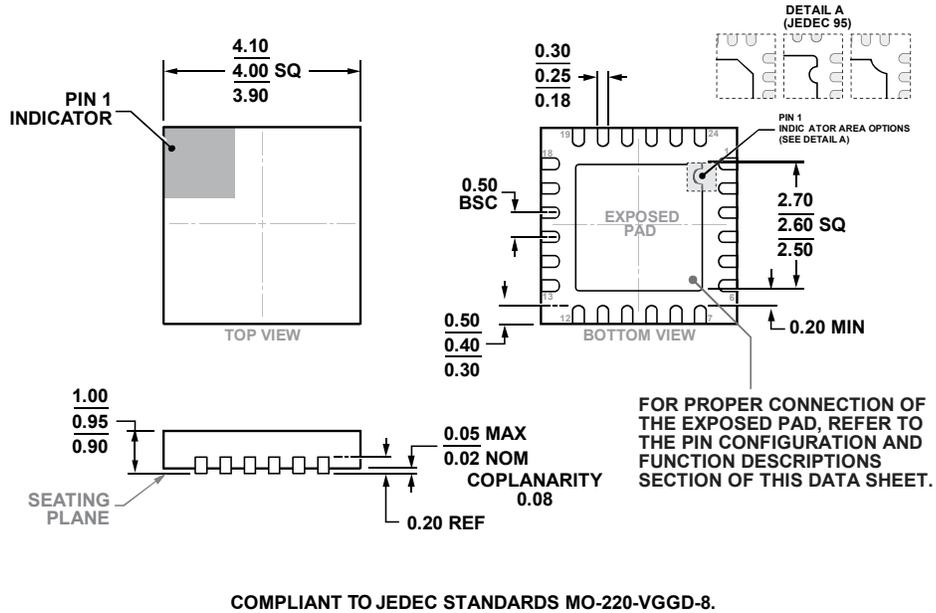
地址：0x0B；复位：0x00；名称：SOFT_RESETB

此寄存器用于执行软件复位。向此寄存器连续写入0xA3和0x05，此器件的寄存器将复位为默认状态。

表16. SOFT_RESETB的位功能描述

位	位名称	设置	描述	默认值	访问类型
[7:0]	SOFT_RESETB		要执行软件复位，须向此寄存器连续写入0xA3和0x05。	0x0	R/W

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-8.

图48. 24引脚引线框芯片级封装[LFCSP]
4 mm × 4 mm 本体, 0.95 mm 封装高度(CP-24-17)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADGS5412BCPZ	-40°C至+125°C	24引脚引线框芯片级封装[LFCSP]	CP-24-17
ADGS5412BCPZ-RL7	-40°C至+125°C	24引脚引线框芯片级封装[LFCSP]	CP-24-17
EVAL-ADGS5412SDZ		评估板	

¹ Z = 符合RoHS标准的器件。