

### 产品特性

- 一对匹配的可编程滤波器和三通道VGA
- 连续增益控制范围: 72 dB
- 数字增益控制: 30 dB
- 滤波器旁路模式带宽(BW)
  - ±1 dB增益平坦度: 300 MHz
  - 3 dB小信号带宽: 分别为650 MHz/1100 MHz、VGA2和VGA3 21 dB/12 dB
- 6极点巴特沃兹滤波器: 1 MHz至63 MHz, 1 MHz步进, 0.5 dB截止频率
- 峰值检波器
- IMD3: >65 dBc(1.5 V p-p复合输出)
- HD2、HD3: >65 dBc(1.5 V p-p输出)
- 差分输入和输出
- 灵活的输出和输入共模范围
- 可选直流输出失调校正
- SPI可编程滤波截止频率和增益步进
- 3.3 V单电源, 具有关断特性

### 应用

- 点到点及点到多点无线电
- 基带IQ接收机
- 分集接收机
- ADC驱动器
- 仪器仪表
- 医疗

### 概述

ADRF6518包括一对匹配的完全差分低噪声、低失真可编程滤波器和可变增益放大器(VGA)。每个通道都能够抑制较大的带外干扰信号,同时忠实放大所需信号,因而模数转换器(ADC)的带宽和分辨率要求得以降低。两个通道匹配出色,而且在所有增益和带宽设置下都具有很高的无杂散动态范围,因此ADRF6518非常适合具有密集星座图、多个载波并存在邻近干扰的正交(IQ)通信系统。可通过串行端口接口(SPI)编程放大器增益、滤波器截止频率等各种特性。

位于滤波器之前的第一个VGA提供24 dB的连续增益控制以及9 dB、12 dB和15 dB的固定增益选项,并设置差分输入阻抗为400 Ω。滤波器在1 MHz至63 MHz范围内以1 MHz步进提供截止频率为0.5 dB的六极点巴特沃兹响应。对于超出63 MHz的工作频率,可禁用并完全旁路滤波器,从而将-3 dB

### 功能框图

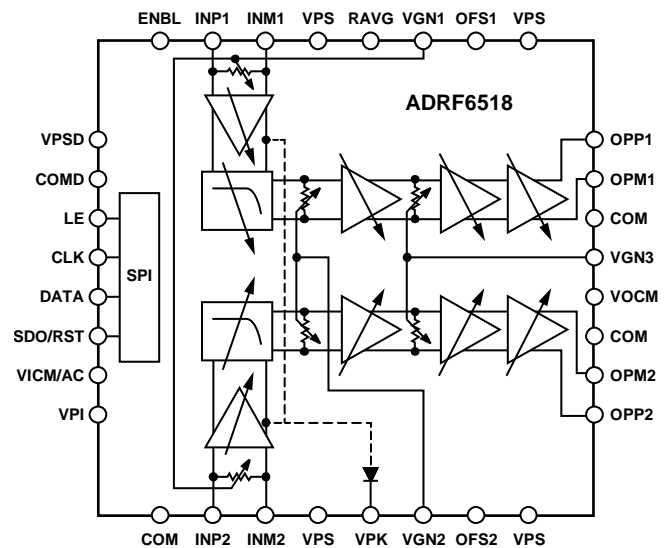


图1.

带宽扩展到1100 MHz。提供宽带峰值检波器,用于监控滤波器输入端的峰值信号。滤波器之后的每一对VGA都可提供24 dB连续增益控制,固定增益选项为12 dB、15 dB、18 dB和21 dB。输出缓冲器提供额外的3 dB或9 dB增益选项,并提供低于10 Ω的差分输出阻抗。它们能够以优于65 dBc的HD3驱动1.5 V p-p至400 Ω负载。输出共模电压默认为VPS/2,并且可以通过VOCM引脚调整到最低900 mV。如果希望进行完全直流耦合操作,可以通过SPI禁用单个通道上独立的内置直流失调校正环路。高通转折频率由引脚OFS1和OFS2引脚上的外部电容和后置滤波器VGA增益确定。

ADRF6518采用3.15 V至3.45 V电源供电,最大功耗为400 mA。完全禁用时,功耗低于1 mA。ADRF6518采用先进的硅-锗BiCMOS工艺制造,提供32引脚、裸露焊盘LFCSP封装,额定温度范围为-40°C至+85°C。

Rev. 0

#### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	动态范围最大化.....	25
应用.....	1	正交接收机的关键参数 .....	25
功能框图 .....	1	应用信息 .....	26
概述.....	1	基本连接 .....	26
修订历史.....	2	电源去耦.....	26
技术规格 .....	3	输入信号路径.....	26
时序图 .....	5	输出信号路径.....	26
绝对最大额定值.....	6	直流失调补偿环路使能 .....	26
ESD警告 .....	6	共模旁路.....	27
引脚配置和功能描述 .....	7	串行端口连接 .....	27
典型性能参数 .....	8	使能/禁用功能 .....	27
滤波器模式 .....	8	增益引脚去耦.....	27
旁路模式.....	16	峰值检波器连接.....	27
混合电源和滤波器模式 .....	18	误差矢量幅度(EVM)性能.....	27
特性测量 .....	19	EVM测试设置 .....	27
噪声系数计算 .....	19	EVM测量 .....	27
寄存器映射和代码 .....	20	EVM系统测量 .....	29
工作原理 .....	21	滤波器带宽对EVM的影响 .....	31
输入VGA .....	21	禁用功能的下拉电阻.....	31
峰值检波器 .....	22	滤波器旁路模式下的高增益不稳定性 .....	31
可编程滤波器 .....	22	ADRF6518的线性操作.....	32
可变增益放大器(VGA) .....	23	评估板 .....	33
输出缓冲器/ADC驱动器 .....	23	评估板控制软件.....	33
直流失调补偿环路 .....	23	原理图和PCB布局图 .....	34
对ADRF6518进行编程.....	23	外形尺寸 .....	39
噪声特性.....	24	订购指南.....	39
失真特性.....	24		

## 修订历史

2013年6月—修订版0：初始版

## 技术规格

除非另有说明, VPS、VPI、VPSD = 3.3 V,  $T_A = 25^\circ\text{C}$ ,  $Z_{\text{LOAD}} = 400 \Omega$ , 电源模式位(B9) = 0(低功耗模式), 数字增益代码位(B8至B2) = 0000001, 直流失调禁用位(B1) = 0(使能)。

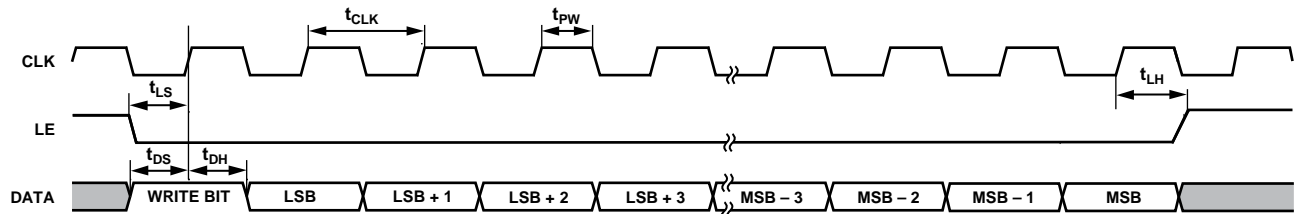
表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
频率响应、滤波器旁路模式					
±1 dB增益平坦度带宽			300		MHz
-3 dB小信号带宽	VGA2和VGA3 21 dB数字增益设置		650		MHz
	VGA2和VGA3 12 dB数字增益设置		1100		MHz
频率响应					
低通截止频率( $f_c$ )	6极点巴特沃兹滤波器, 0.5 dB带宽	1		63	MHz
步长			1		MHz
截止频率绝对精度	整个工作温度范围		±8		% $f_c$
截止频率匹配	通道A和通道B具有相同的增益和带宽设置		±0.5		% $f_c$
通带纹波			0.5		dB p-p
增益匹配	通道A和通道B具有相同的增益和带宽设置		±0.1		dB
群延迟偏差	从中频带到峰值频带				
截止频率 = 1 MHz			135		ns
截止频率 = 30 MHz			11		ns
群延迟匹配	通道A和通道B具有相同的增益				
截止频率 = 1 MHz			5		ns
截止频率 = 30 MHz			0.2		ns
阻带抑制					
相对于通带	$2 \times f_c$		30		dB
	$5 \times f_c$		75		dB
输入级					
最大输入摆幅	INP1、INM1、INP2、INM2、VICM/AC 增益最小时, $V_{GN1} = 0 \text{ V}$		5.0		V p-p
差分输入阻抗			400		$\Omega$
输入共模范围, 直流耦合模式	1.5 V p-p输入电压, $\text{HD3} > 65 \text{ dBc}$ ( $V_{PI} = 3.3 \text{ V}$ ), VICM/AC悬空或逻辑高电平	1.35		1.95	V
	1.5 V p-p输入电压, $\text{HD3} > 65 \text{ dBc}$ ( $V_{PI} = 5.0 \text{ V}$ ), VICM/AC悬空或逻辑高电平	1.35		3.1	V
输入共模, 交流耦合模式	$V_{PI} = 3.3 \text{ V}$ 至 $5.0 \text{ V}$ , $\text{VICM/AC} = 0 \text{ V}$		VPS/2		V
VICM/AC输入阻抗			7.75		k $\Omega$
峰值检波器					
输出调整	VPK、RAVG、SDO/RST 相对于滤波器输入端的峰值电压		1		V/V峰值
复位阈值	逻辑高电平持续时间 $> 25 \text{ ns}$		$> 2.0$		V
增益控制					
增益范围	VGN1、VGN2、VGN3 最大数字增益	-6		+66	dB
	最小数字增益	-36		+36	dB
电压衰减范围	各衰减器, $V_{\text{GAIN}} = 0 \text{ V}$ 至 $1 \text{ V}$	-24		0	dB
增益斜率			30		mV/dB
增益误差	$V_{\text{GAIN}} = 300 \text{ mV}$ 至 $800 \text{ mV}$		0.2		dB
输出级					
最大输出摆幅	OPP1、OPM1、OPP2、OPM2和VOCM 增益最大时, $R_{\text{LOAD}} = 400 \Omega$ $\text{HD2} > 65 \text{ dBc}$ , $\text{HD3} > 65 \text{ dBc}$ , $R_{\text{LOAD}} = 400 \Omega$		3		V p-p
			1.5		V p-p
差分输出阻抗			$< 10$		$\Omega$
输出直流失调	输入短路, 失调环路使能		$< 20$		mV
输出共模范围	1.5 V p-p输出电压	0.9		VPS - 1.2	V
	VOCM悬空		VPS/2		V
VOCM输入阻抗			23		k $\Omega$

# ADRF6518

参数	测试条件/注释	最小值	典型值	最大值	单位
噪声/失真					
截止频率 = 63 MHz					
输出噪声密度	$f_c/2$ 时的最小增益	-104.6			dBV/Hz
	$f_c/2$ 时的最大增益	-104.3			dBV/Hz
二次谐波(HD2)	16 MHz基频, 1.5 V p-p输出电平 增益为6 dB	65			dBc
	增益为54 dB	65			dBc
三次谐波(HD3)	16 MHz基频, 1.5 V p-p输出电平 增益为6 dB	82			dBc
	增益为54 dB	81			dBc
IMD3	30 MHz和31 MHz信号音, 1.5 V输出电平 增益为0 dB	60			dBc
	增益为30 dB	80			dBc
	增益为60 dB	80			dBc
数字逻辑	LE、CLK、DATA和SDO				
输入高电压 $V_{HIGH}$		>2			V
输入低电压 $V_{LOW}$		<0.8			V
输入电流 $I_{HIGH}/I_{LOW}$		<1			$\mu$ A
输入电容 $C_{IN}$		2			pF
SPI时序	LE、CLK、DATA和SDO				
$f_{CLK}$	$1/t_{CLK}$	20			MHz
$t_{DH}$	DATA保持时间	5			ns
$t_{DS}$	DATA建立时间	5			ns
$t_{LH}$	LE保持时间	5			ns
$t_{LS}$	LE建立时间	5			ns
$t_{PW}$	CLK高电平脉冲宽度	5			ns
$t_D$	CLK至SDO延迟	5			ns
电源与使能	VPS、VPSD、COM、COMD和ENBL				
电源电压范围		3.15	3.3	3.45	V
总电源电流	ENBL = 3.3 V 最大带宽设置, 高功耗滤波器		400		mA
	最小带宽设置, 低功耗滤波器		360		mA
	滤波器旁路, 高功耗模式		260		mA
	滤波器旁路, 低功耗模式		230		mA
禁用电流	ENBL = 0 V, 输出端有下拉电阻		1		mA
禁用阈值			1.6		V
使能响应时间	在发生ENBL由低到高的变换后产生延迟		20		$\mu$ s
禁用响应时间	在发生ENBL由高到低的变换后产生延迟		300		ns

## 时序图

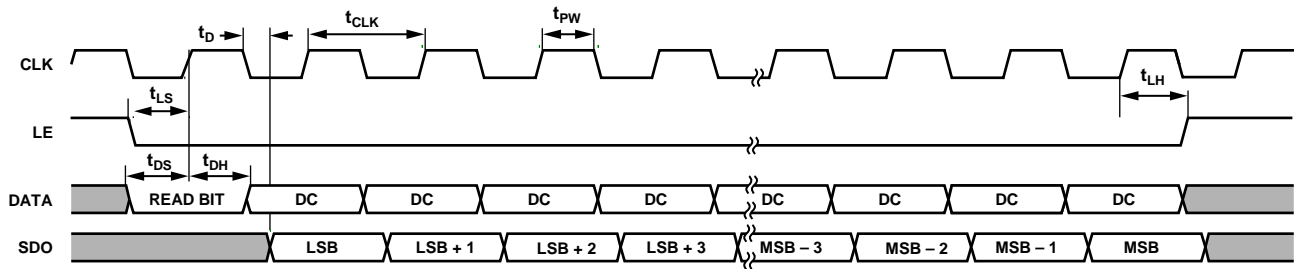


**NOTES**

1. THE FIRST DATA BIT DETERMINES WHETHER THE PART IS WRITING TO OR READING FROM THE INTERNAL 16-BIT REGISTER. FOR A WRITE OPERATION, THE FIRST BIT SHOULD BE A LOGIC 1. THE 16-BIT WORD IS THEN REGISTERED INTO THE DATA PIN ON CONSECUTIVE RISING EDGES OF THE CLOCK.

11448-002

图2. 写入模式时序图



**NOTES**

1. THE FIRST DATA BIT DETERMINES WHETHER THE PART IS WRITING TO OR READING FROM THE INTERNAL 16-BIT REGISTER. FOR A WRITE OPERATION, THE FIRST BIT SHOULD BE A LOGIC 1. THE 16-BIT WORD IS THEN REGISTERED INTO THE DATA PIN ON CONSECUTIVE RISING EDGES OF THE CLOCK.

11448-003

图3. 读出模式时序图

## 绝对最大额定值

表2.

参数	额定值
电源电压: VPS、VPSD	3.45 V
VPI	5.25 V
ENBL、LE、CLK、DATA、SDO	VPSD + 0.5 V
INP1、INM1、INP2、INM2、VICM	VPS + 0.5 V
OPP1、OPM1、OPP2、OPM2和VOCM	VPS + 0.5 V
OFS1、OFS2、VPK、RAVG	VPS + 0.5 V
VGN1、VGN2、VGN3	VPS + 0.5 V
内部功耗	1.25 W
$\theta_{JA}$ (裸露焊盘焊接到板)	37.4°C/W
最高结温	150°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
引脚温度(焊接60秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

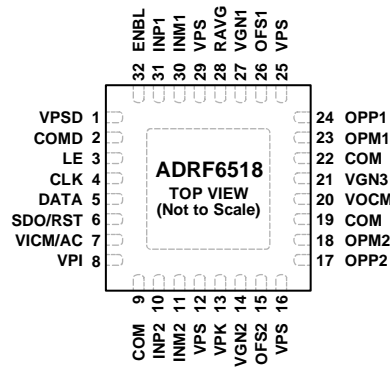
### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



NOTES  
1. CONNECT THE EXPOSED PADDLE TO A LOW IMPEDANCE GROUND PAD.

11449-004

图4. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	说明
1	VPSD	数字正电源电压：3.15 V至3.45 V。
2	COMD	数字公共端。使用尽可能低的阻抗，将此引脚连接至外部电路公共端。
3	LE	锁存使能。SPI编程引脚。TTL电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
4	CLK	SPI端口时钟。TTL电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
5	DATA	SPI数据输入。TTL电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
6	SDO/RST	SPI数据输出(SDO)。TTL电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。 峰值检波器复位(RST)。要复位检波器，此引脚上需要25 ns以上的高电平脉冲。
7	VICM/AC	输入共模基准电压(VICM)。VPI/2基准输出，通过最佳共模电平驱动差分输入。如果此引脚用作上一级共模输出的共模基准，则只能将高阻抗节点连接到此引脚。 交流耦合/内部偏置激活(交流)。拉低此引脚以便交流耦合输入。
8	VPI	输入级电源电压：3.15 V至5.25 V。如果输入共模范围很窄(1.35 V至1.95 V)，应将VPI连接到VPS。如果需要高达3.1 V的共模输入，应将VPI连接到5 V。
9, 19, 22	COM	模拟公共端。使用尽可能低的阻抗，将COM引脚连接至外部电路公共端。
10, 11, 30, 31	INP2, INM2, INM1, INP1	差分输入，400 $\Omega$ 差分输入阻抗。
12, 16, 25, 29	VPS	模拟正电源电压：3.15 V至3.45 V。
13	VPK	峰值检波器输出。在滤波器输入端执行1 V/V峰值差分调整，报告两个通道的较大峰值。
14, 21, 27	VGN2, VGN3, VGN1	VGA1、VGA2和VGA3模拟增益控制。0 V至1 V，30 mV/dB增益调整。
15, 26	OFS2, OFS1	失调校正环路补偿电容。将电容连接至电路公共端。
17, 18, 23, 24	OPP2, OPM2, OPM1, OPP1	差分输出。这些输出具有小于10 $\Omega$ 的输出阻抗。共模电压范围：0.9 V至VPS - 1.2 V；默认值为VPS/2。
20	VOCM	输出共模设定点。在开路的情况下，VOCM默认值为VPS/2。
28	RAVG	峰值检波器时间常数电阻。此引脚连接到VPS。此引脚保持断开时，保持时间最长。RAVG范围是 $\infty$ 到1 k $\Omega$ 。
32	ENBL	芯片使能。拉高此引脚可使能芯片。
	EP	裸露接地焊盘。将裸露焊盘与低阻抗接地焊盘相连。

## 典型性能参数 滤波器模式

除非另有说明, VPS、VPI、VPSD = 3.3 V,  $T_A = 25^\circ\text{C}$ ,  $Z_{\text{LOAD}} = 400 \Omega$ , 电源模式位(B9) = 0(低功耗模式), 数字增益代码位(B8至B2) = 1111110, 直流失调禁用位(B1) = 0(使能), 滤波器截止频率 = 63 MHz, 交流耦合模式, 基频为31 MHz。HD2/HD3与增益的关系曲线: 1.5 V p-p输出目标电平, 模拟增益分布图参考图67。

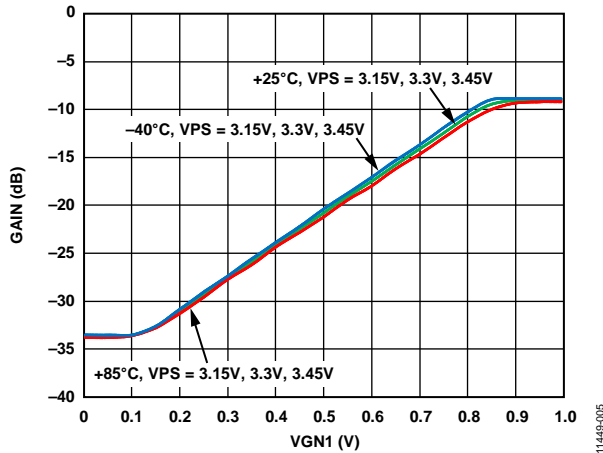


图5. 在不同电源电压和温度条件下, 带内增益与VGN1的关系

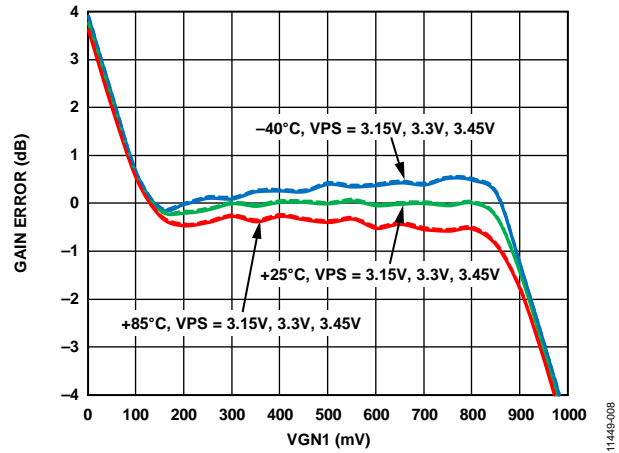


图8. 在不同电源电压和温度条件下, 增益误差与VGN1的关系

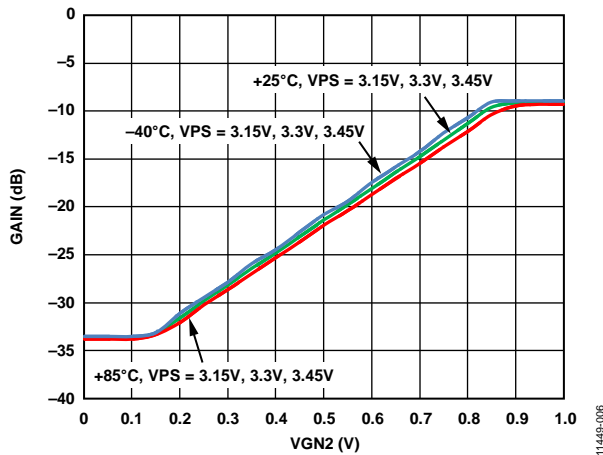


图6. 在不同电源电压和温度条件下, 带内增益与VGN2的关系

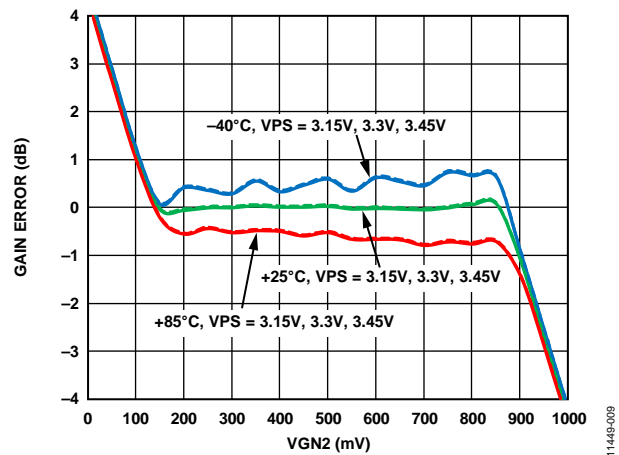


图9. 在不同电源电压和温度条件下, 增益误差与VGN2的关系

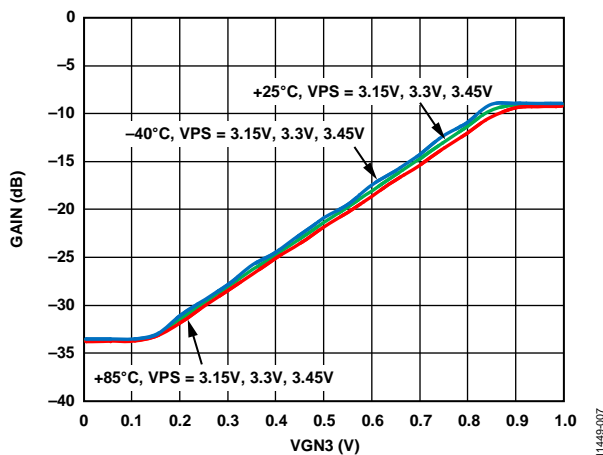


图7. 在不同电源电压和温度条件下, 带内增益与VGN3的关系

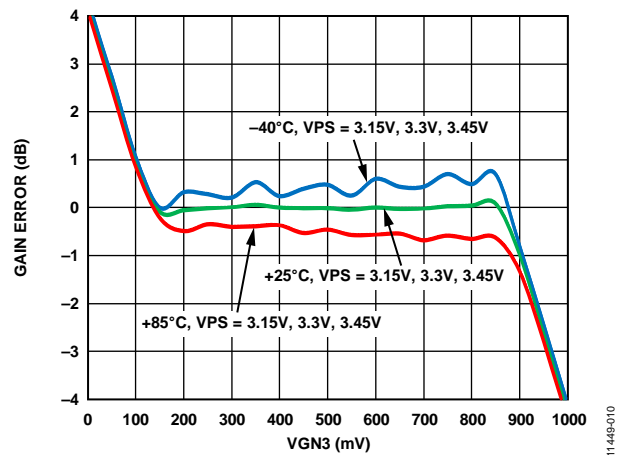


图10. 在不同电源电压和温度条件下, 增益误差与VGN3的关系



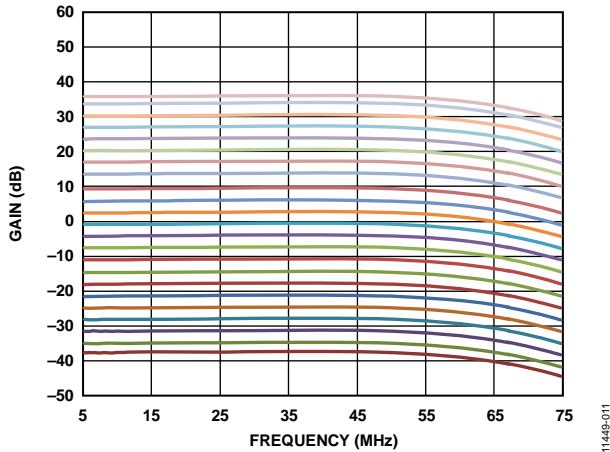


图11. 在不同VG1/VG2/VG3条件下，增益与频率的关系

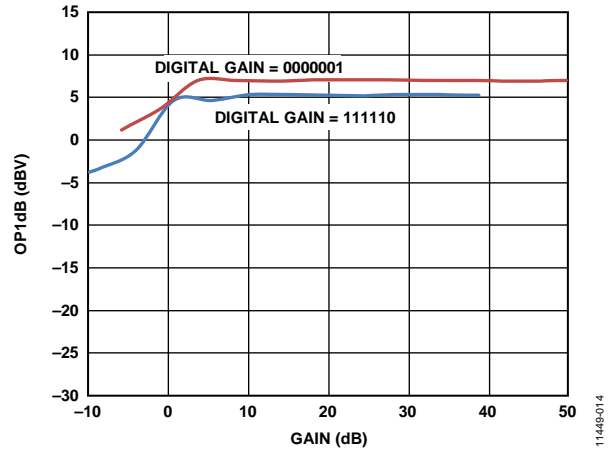


图14. OP1dB与增益的关系(基频为16 MHz)

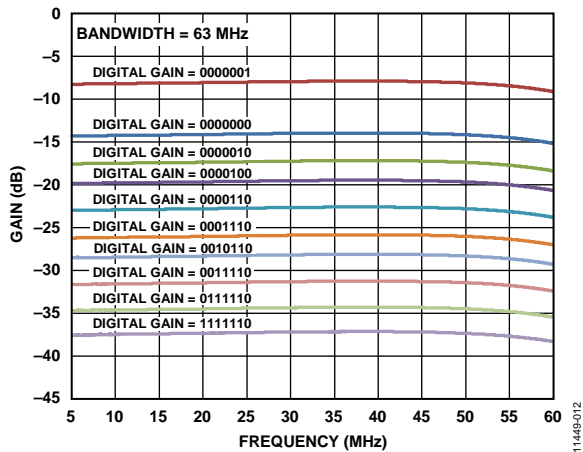


图12. 数字增益与频率的关系, VG1/VG2/VG3 = 0 V

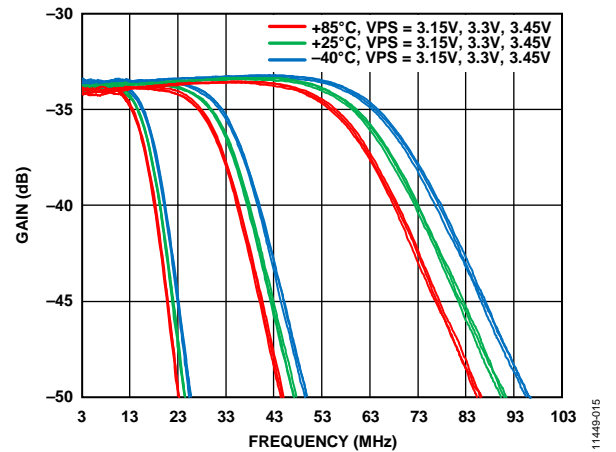


图15. 不同电源电压和温度下的频率响应; VG1/VG2/VG3 = 0 V, 滤波器截止频率 = 15 MHz、30 MHz和60 MHz

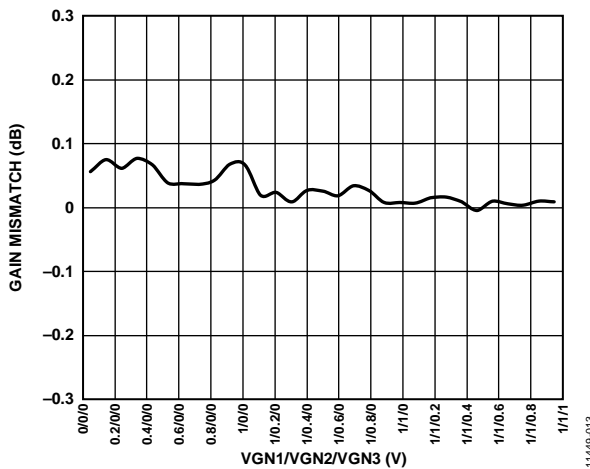


图13. 通道间增益失配与VG1/VG2/VG3电压的关系

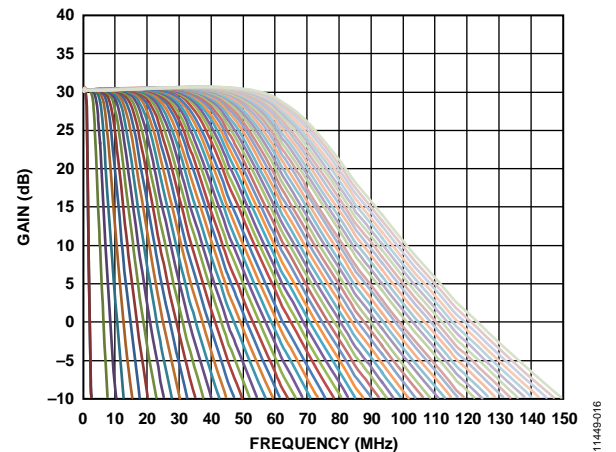
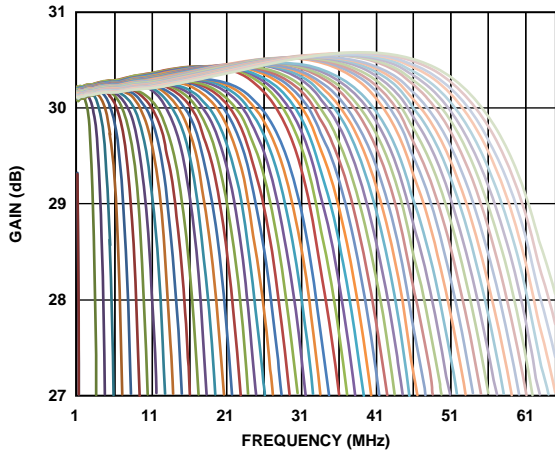


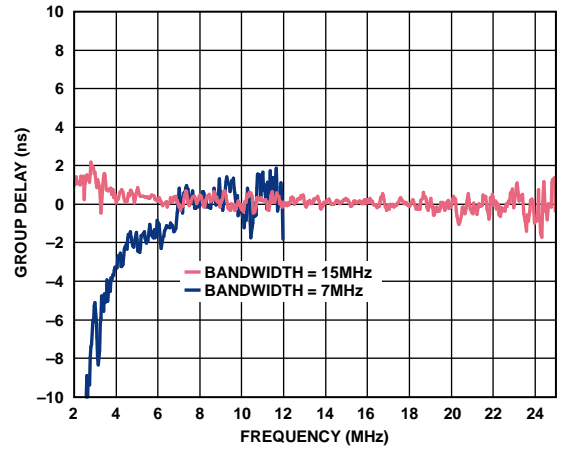
图16. 不同带宽设置下增益与频率的关系(线性); VG1/VG2/VG3 = 0 V

# ADRF6518



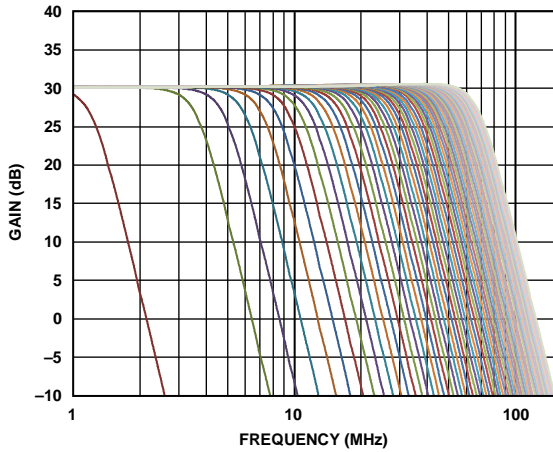
11449-017

图17. 不同带宽设置下增益与频率的关系(线性); 经过缩放以显示峰化



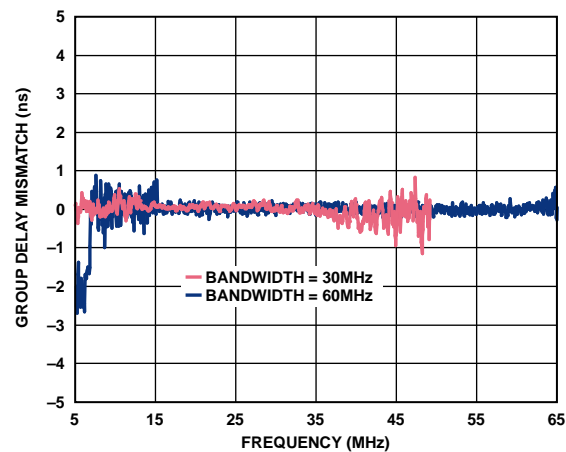
11449-119

图20. IQ群延迟失配与频率的关系(带宽为7 MHz和15 MHz)



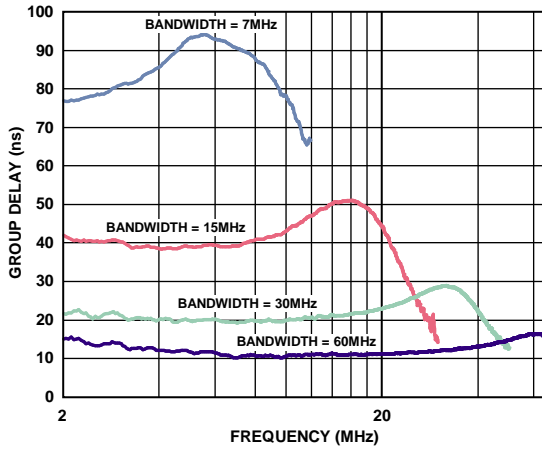
11449-117

图18. 不同带宽设置下增益与频率的关系(对数);  $V_{GN1} = 1 V$ ,  $V_{GN2} = 0.7 V$ ,  $V_{GN3} = 0.75 V$



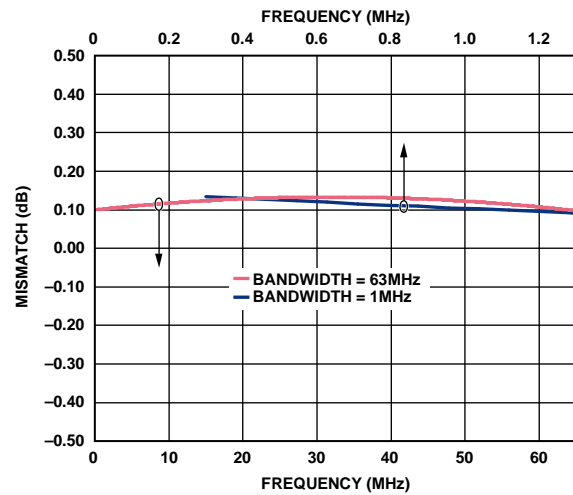
11449-120

图21. IQ群延迟失配与频率的关系(带宽为30 MHz和60 MHz)



11449-118

图19. 群延迟与频率的关系;  $V_{GN1}/V_{GN2}/V_{GN3} = 0 V$



11449-121

图22. IQ幅度失配与频率的关系;  $V_{GN1}/V_{GN2}/V_{GN3} = 0 V$

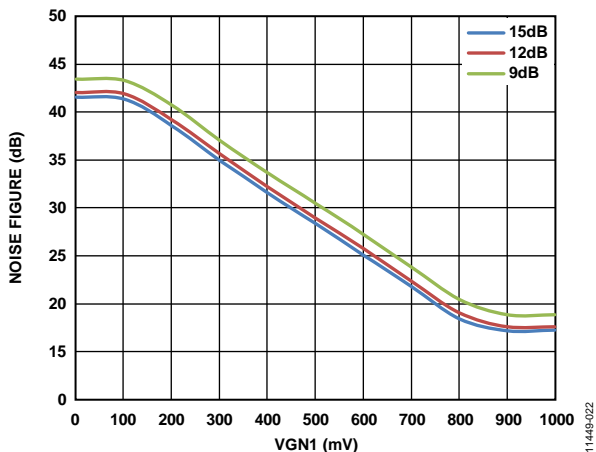


图23. 不同VGA1数字增益下噪声系数与VGN1的关系；噪声密度在滤波器截止频率的一半处测量

11449-022

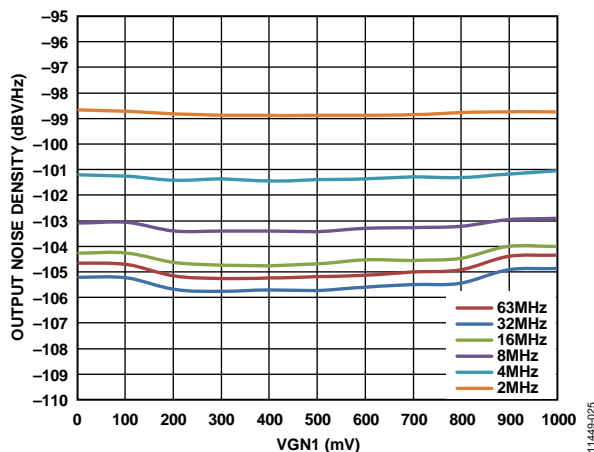


图26. 不同带宽设置下输出噪声密度与VGN1的关系；数字增益 = 0000001，噪声密度在滤波器截止频率的一半处测量

11449-025

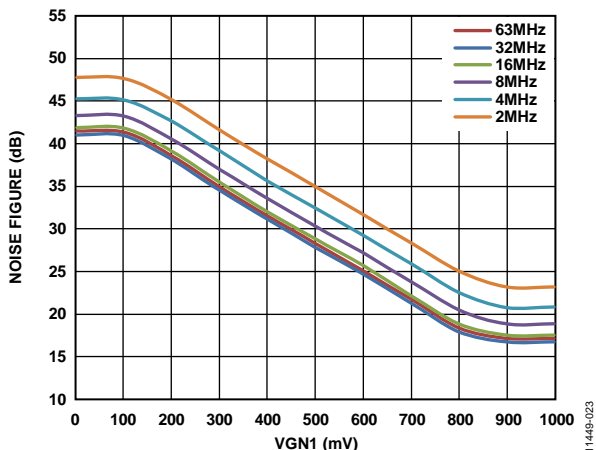


图24. 不同滤波器截止频率下噪声系数与VGN1的关系；数字增益 = 0000001，噪声密度在滤波器截止频率的一半处测量

11449-023

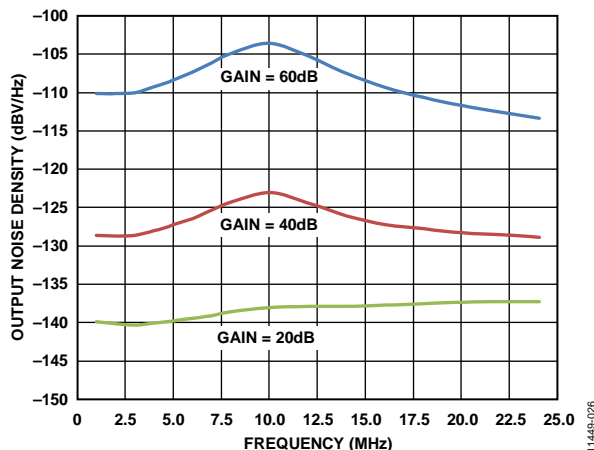


图27. 输出噪声密度与频率的关系；滤波器转折频率 = 7 MHz，数字增益 = 0000001，噪声密度在滤波器截止频率的一半处测量

11449-026

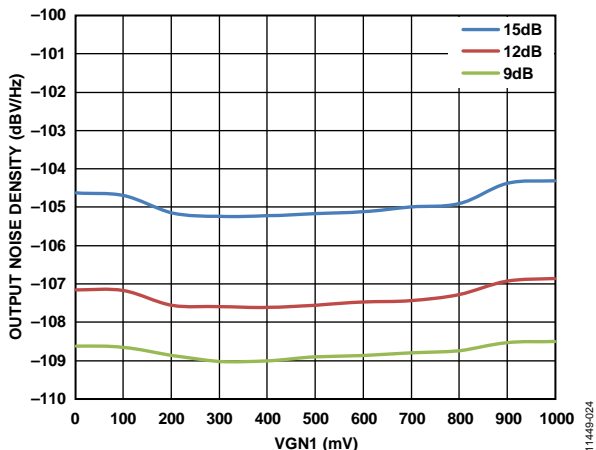


图25. 不同VGA1数字增益下输出噪声密度与VGN1的关系；噪声密度在滤波器截止频率的一半处测量

11449-024

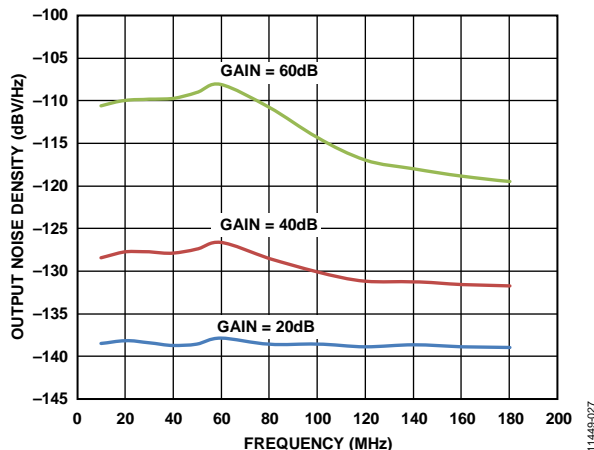


图28. 输出噪声密度与频率的关系；滤波器截止频率 = 60 MHz，数字增益 = 0000001

11449-027

# ADRF6518

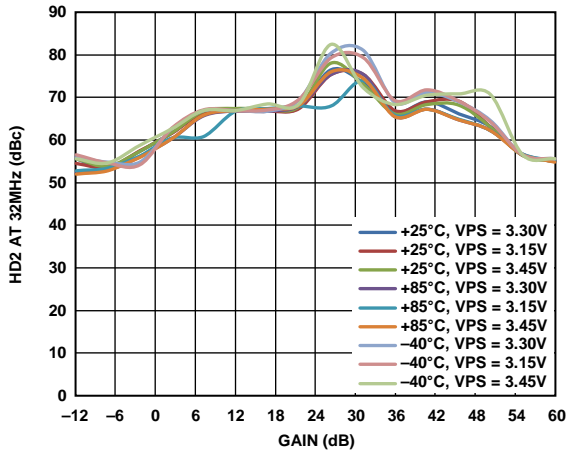


图29. 在不同电源电压和温度条件下，HD2与增益的关系；16 MHz基频信号音，数字增益 = 0000000

11449-029

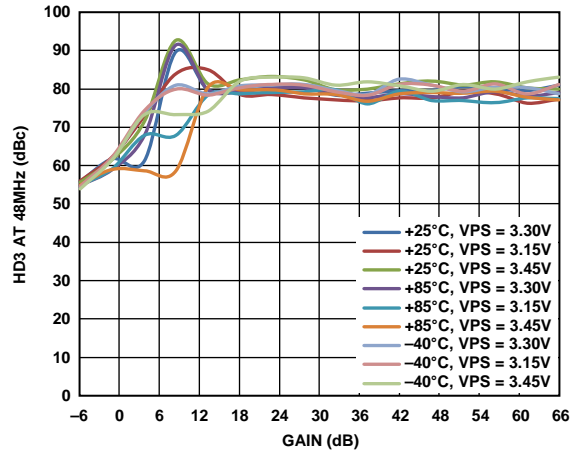


图32. 在不同电源电压和温度条件下，HD3与增益的关系；16 MHz基频信号音，数字增益 = 0000001

11449-130

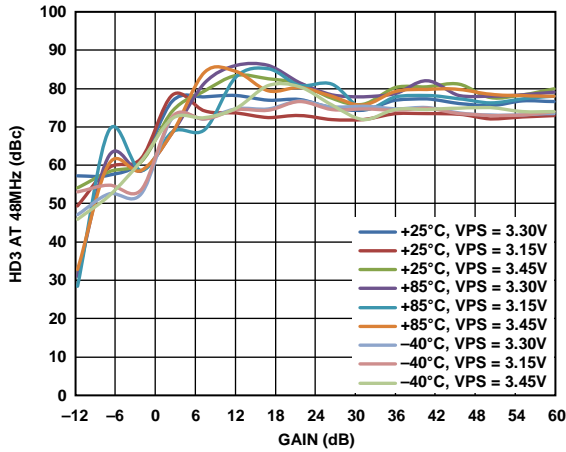


图30. 在不同电源电压和温度条件下，HD3与增益的关系；16 MHz基频信号音，数字增益 = 0000000

11449-129

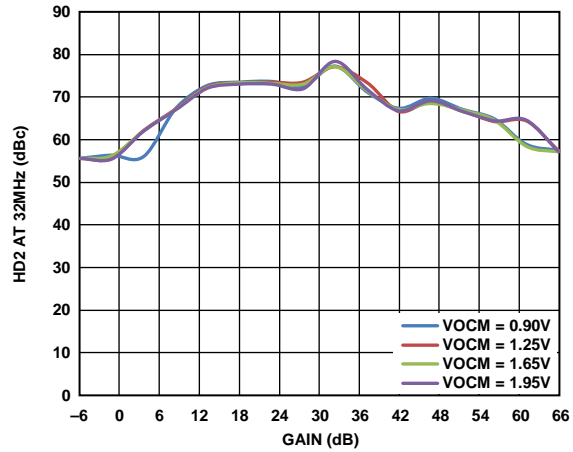


图33. 不同VOCM下HD2与增益的关系；16 MHz基频信号音，数字增益 = 0000001

11449-031

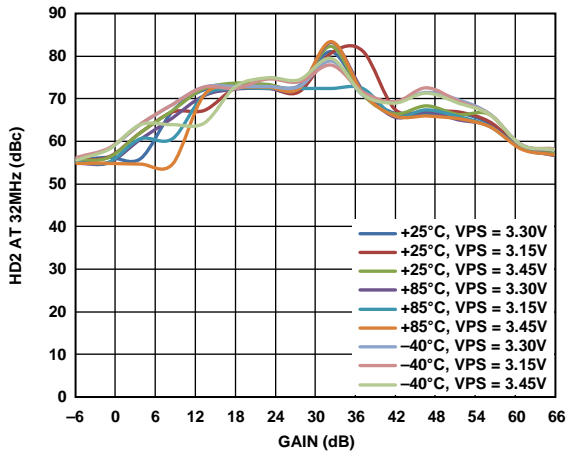


图31. 在不同电源电压和温度条件下，HD2与增益的关系；16 MHz基频信号音，数字增益 = 0000001

11449-030

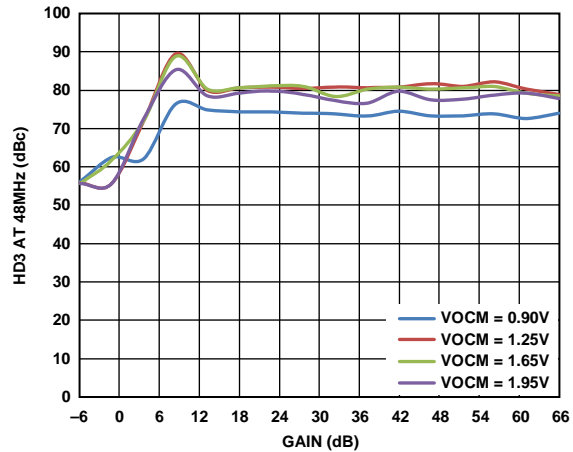


图34. 不同VOCM下HD3与增益的关系；16 MHz基频信号音，数字增益 = 0000001

11449-131

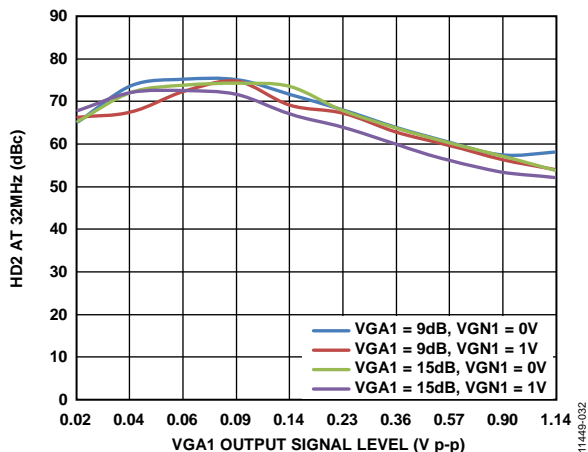


图35. HD2与VGA1输出信号电平的关系(推断);  
16 MHz基频信号音, VGN2/VGN3 = 0 V

1144B-032

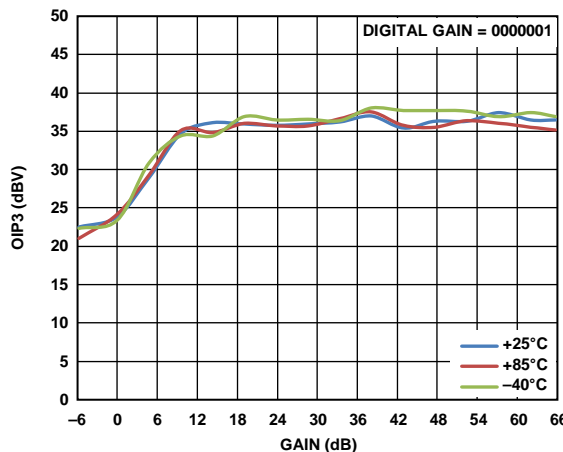


图38. 不同温度下带内OIP3与增益的关系;  
30 MHz和31 MHz信号音, 数字增益 = 0000001

1144B-135

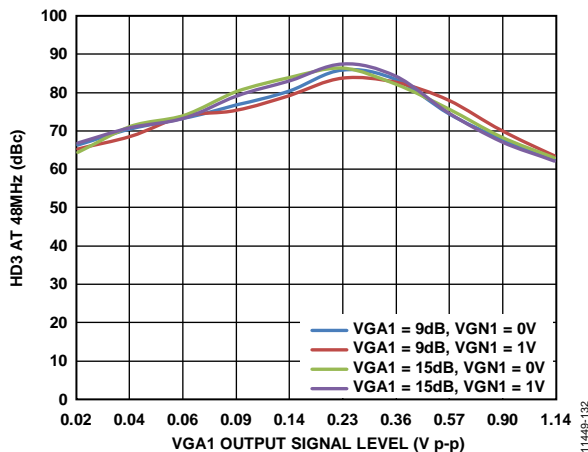


图36. HD3与VGA1输出信号电平的关系(推断);  
16 MHz基频信号音, VGN2/VGN3 = 0 V

1144B-132

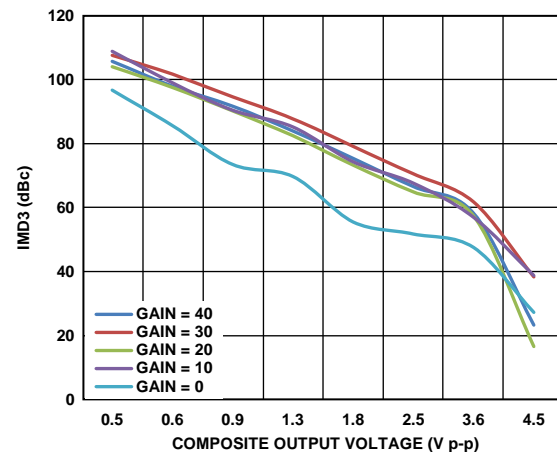


图39. 不同增益下带内IMD3与复合输出电压的关系;  
30 MHz和31 MHz信号音, 数字增益 = 1111110

1144B-036

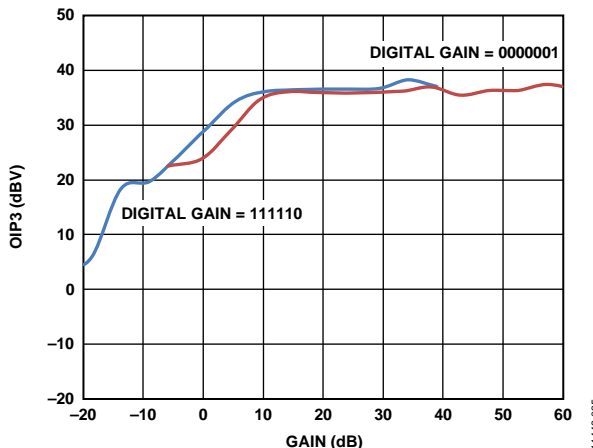


图37. 不同数字增益下带内OIP3与增益的关系;  
1.5 V p-p复合输出目标, 30 MHz和31 MHz信号音

1144B-035

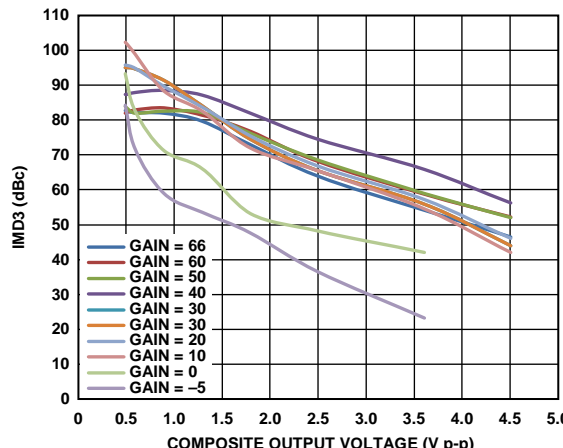


图40. 不同增益下带内IMD3与复合输出电压的关系;  
30 MHz和31 MHz信号音, 数字增益 = 0000001

1144B-037

# ADRF6518

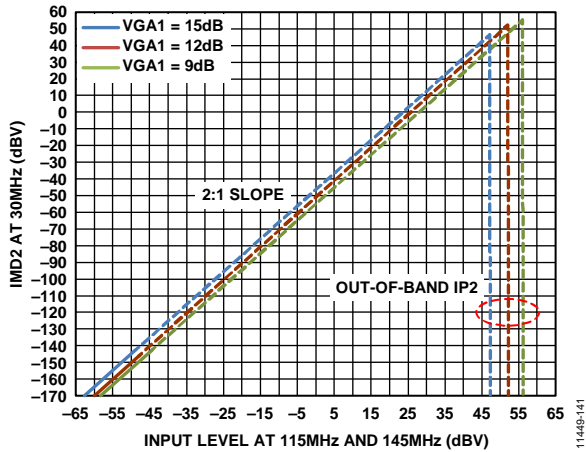


图41. 不同数字增益下带外IP2、IMD2与PIN的关系；115 MHz和145 MHz信号音

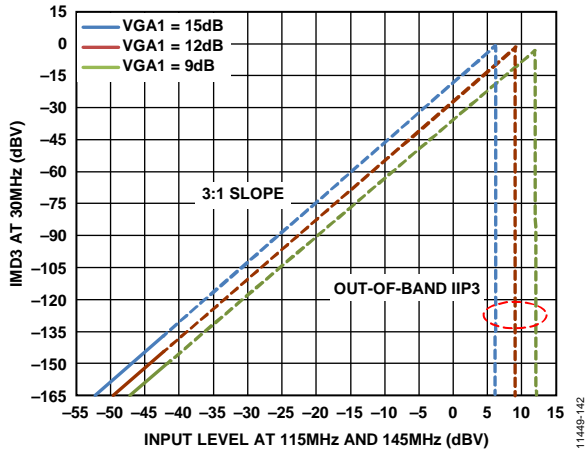


图42. 不同数字增益下带外IP3、IMD3与PIN的关系；115 MHz和145 MHz信号音

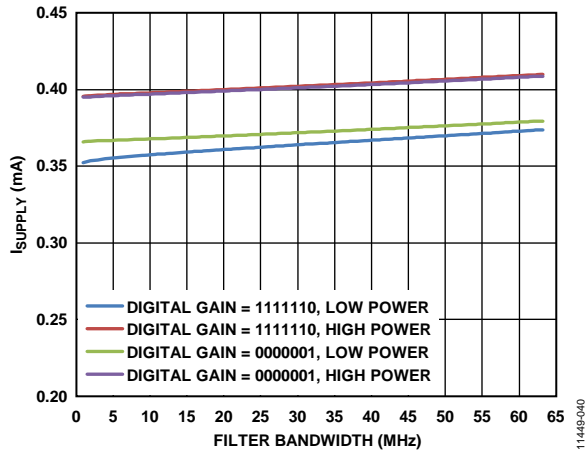


图43. 不同数字增益和电源模式下电源电流与滤波器带宽的关系

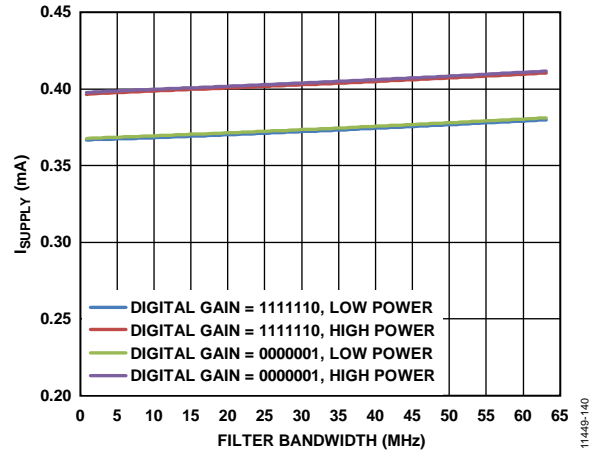


图44. 不同数字增益和电源模式下电源电流与滤波器带宽的关系

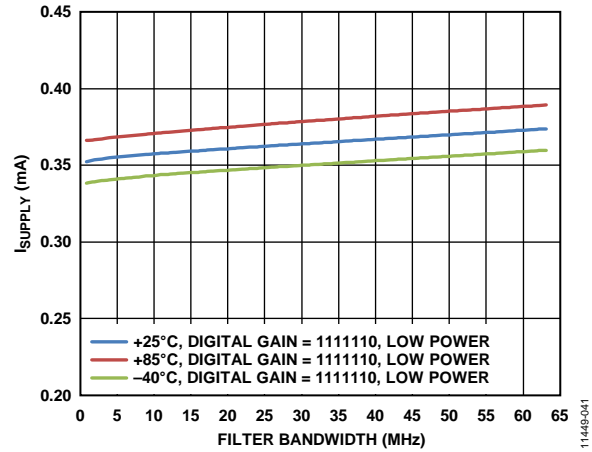


图45. 不同温度、数字增益和电源模式下电源电流与滤波器带宽的关系

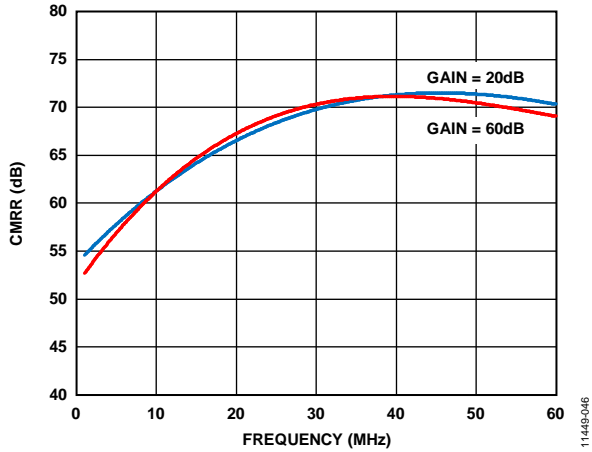


图46. 共模抑制比与频率的关系

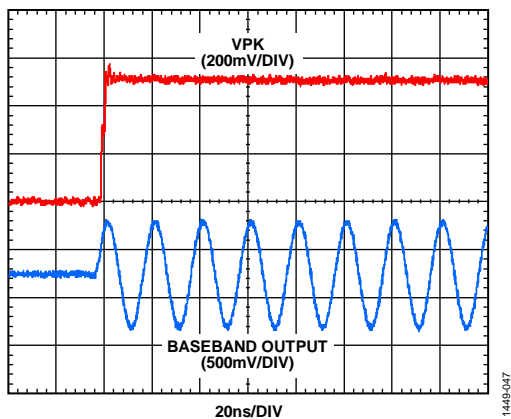


图47. 峰值检波器时域响应

11449-047

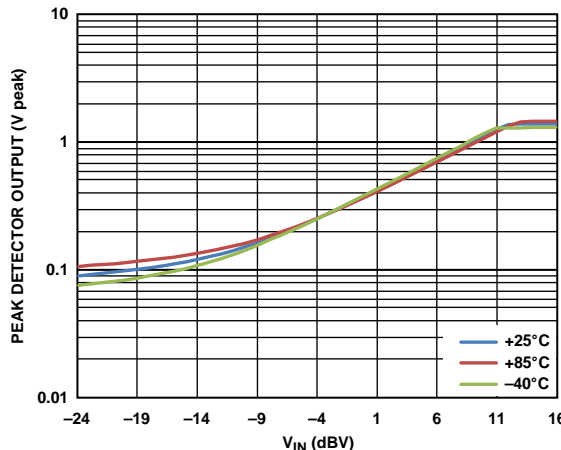


图50. 不同温度下峰值检波器输出与VIN的关系;  
VGN1 = 0.5 V, VGN2 = VGN3 = 0 V

11449-044

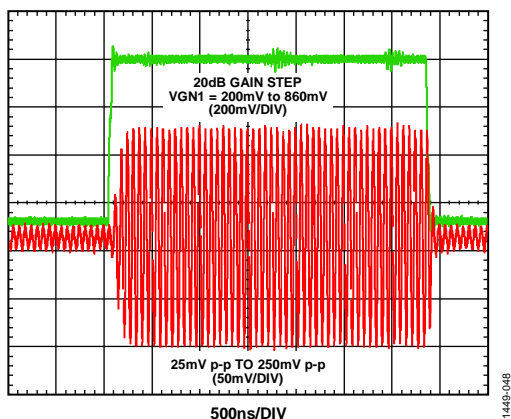


图48. VGA1增益阶跃响应; VGN2/VGN3 = 0.5 V, -24 dBV RMS输入信号电平, C27 = 100 pF

11449-048

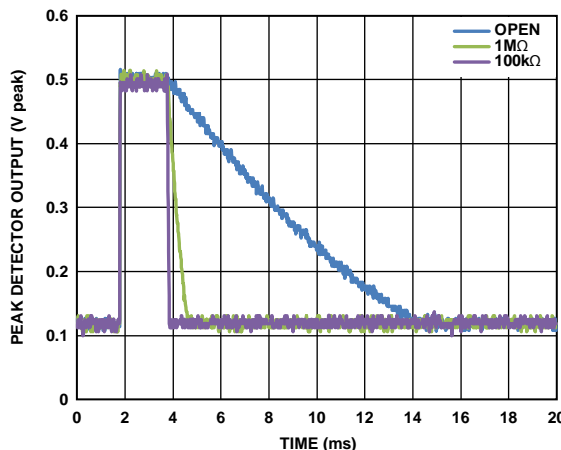


图51. 不同RAVG下的峰值检波器保持时间

11449-050

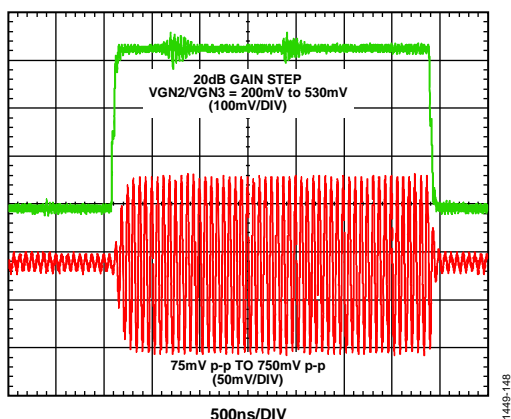


图49. VGA2/VGA3增益阶跃响应; VGN1 = 0.5 V, -4 dBV RMS输入信号电平, C17和C32 = 100 pF

11449-148

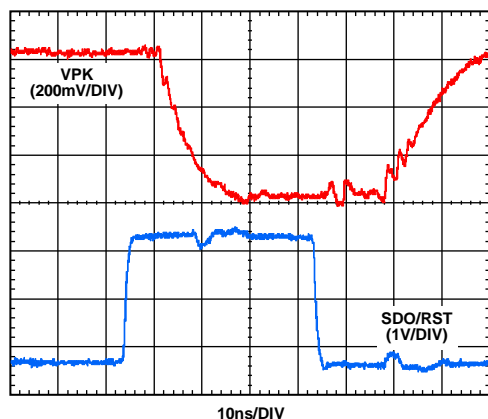


图52. 峰值检波器复位时域响应

11449-055

# ADRF6518

## 旁路模式

除非另有说明,  $V_{PS} = 3.3\text{V}$ ,  $T_A = 25^\circ\text{C}$ ,  $Z_{LOAD} = 400\ \Omega$ , 电源模式位(B9) = 1(低功耗模式), 数字增益代码位(B8至B2) = 1111110, 直流失调禁用位(B1) = 0(使能)。

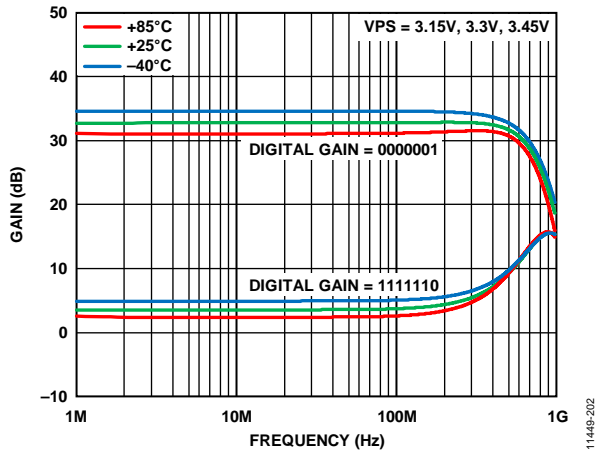


图53. 不同电源电压和温度下的频率响应

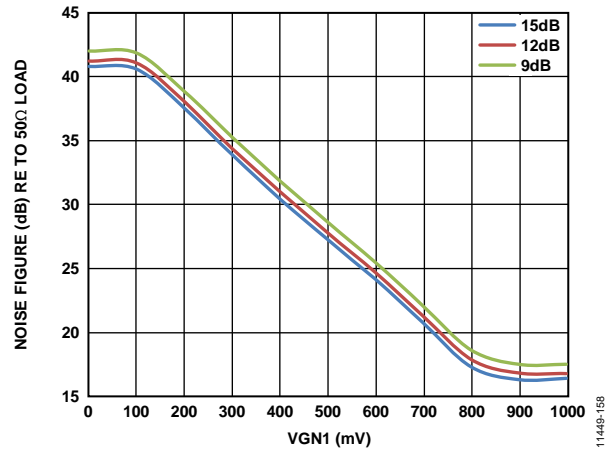


图56. 不同数字增益下噪声系数与VGN1的关系

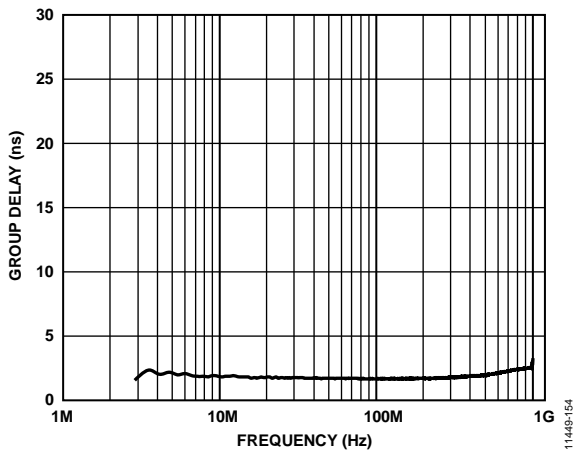


图54. 群延迟与频率的关系

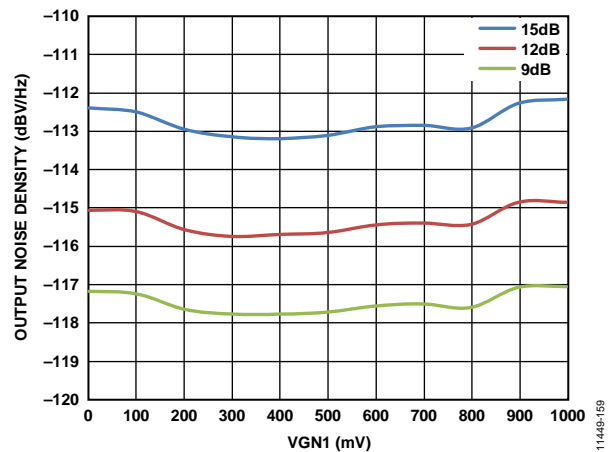


图57. 不同数字增益下输出噪声密度与VGN1的关系

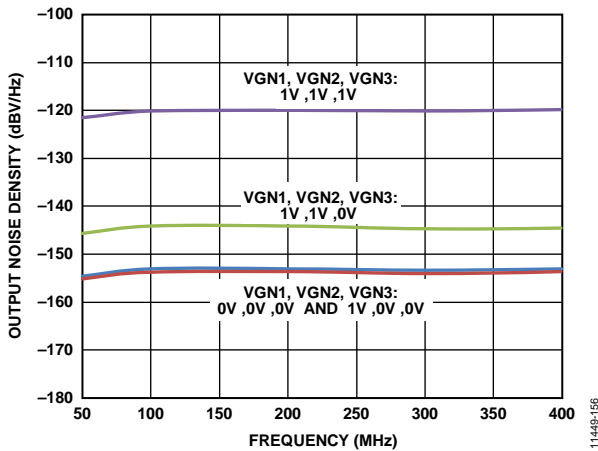


图55. 不同模拟增益下输出噪声密度与频率的关系; 数字增益 = 0000001

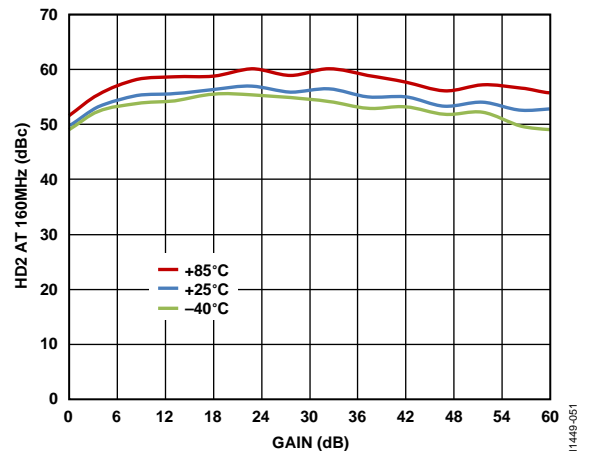


图58. 不同温度下HD2与增益的关系; 基频为80 MHz, 数字增益 = 0000001



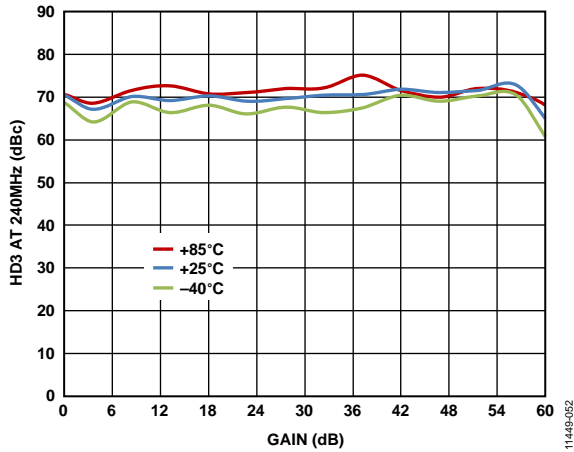


图59. 不同温度下HD3与增益的关系; 基频为80 MHz, 数字增益 = 0000001

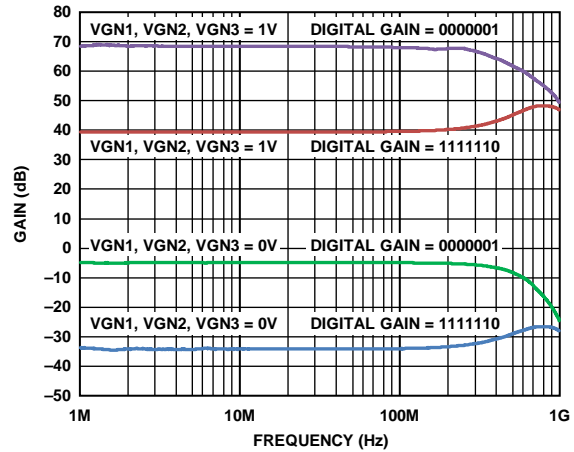


图62. 增益与频率的关系

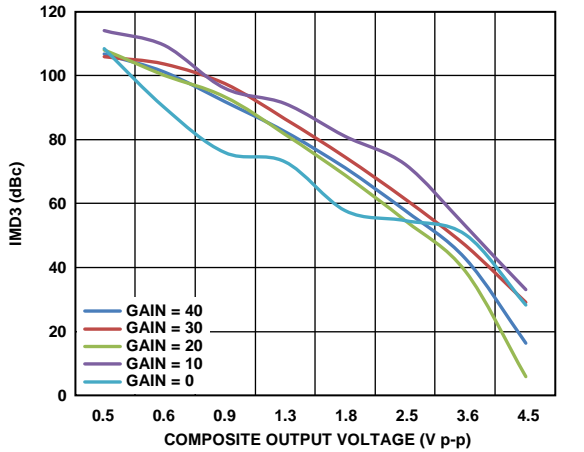


图60. 不同VOCM下IMD3与复合输出电压的关系; VGN1/VGN2/VGN3 = 1 V, 125 MHz和126 MHz信号音

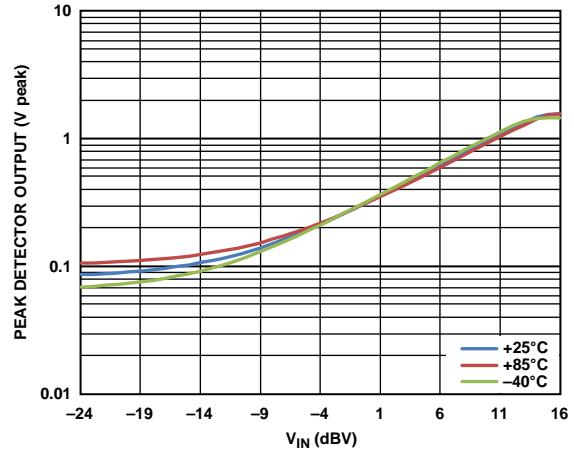


图63. 不同温度下峰值检波器输出与VIN的关系; VGN1 = 0.5 V, VGN2/VGN3 = 0 V, 125 MHz

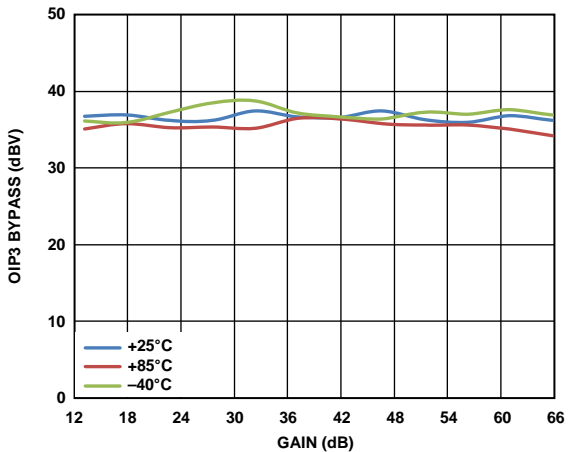


图61. 不同温度下带内OIP3旁路与增益的关系; 数字增益 = 0000001, 125 MHz和126 MHz信号音

# ADRF6518

## 混合电源和滤波器模式

除非另有说明,  $V_{PS} = 3.3\text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $Z_{LOAD} = 400\ \Omega$ , 数字增益代码位(B8至B2)= 1111110, 直流失调禁用位(B1) = 0(使能)。

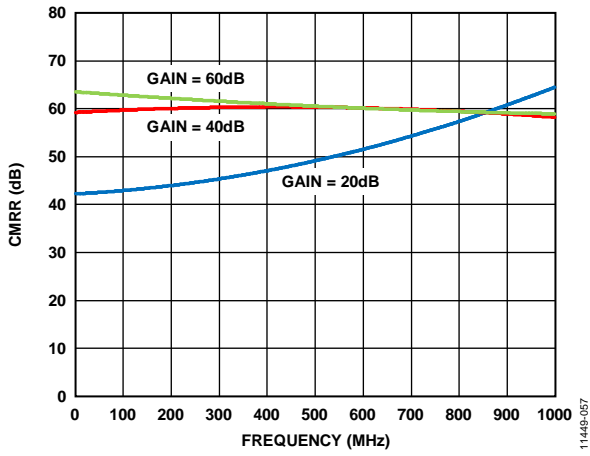


图64. 共模抑制比(CMRR)与频率的关系

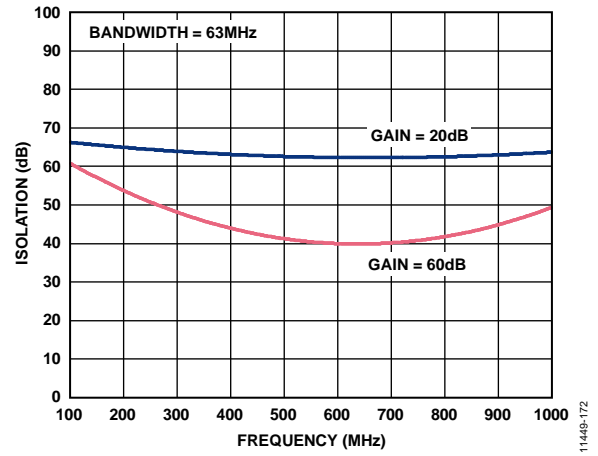


图66. 通道隔离(OPM1\_SE至OPM2\_SE)与频率的关系, 旁路模式

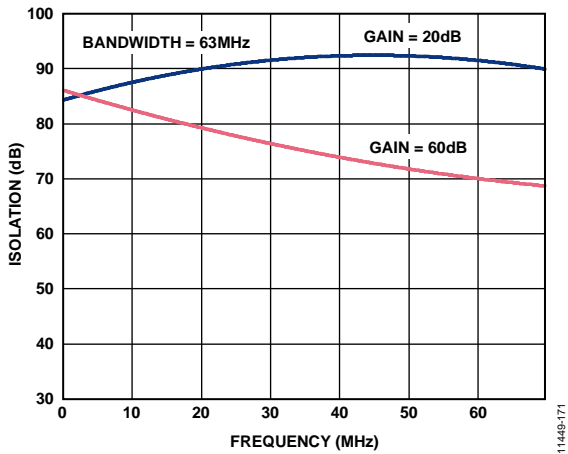


图65. 通道隔离(OPM1\_SE至OPM2\_SE)与频率的关系, 滤波器模式

## 特性测量

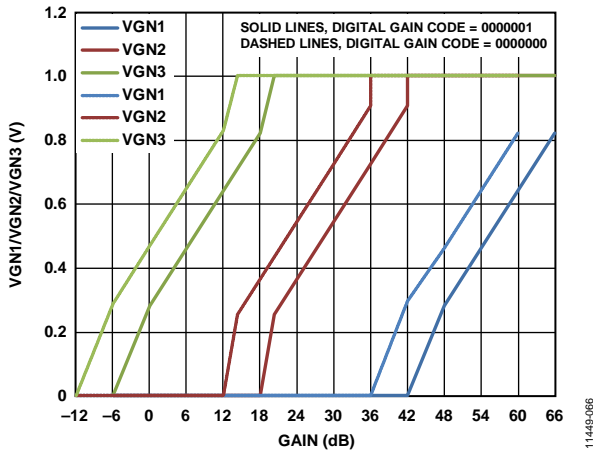


图67. 增益分布图: HD2/HD3与增益的关系

图67显示了ADRF6518模拟增益分布图——HD2与增益的关系和HD3与增益的关系，测量条件为扫描增益和输入电平，输出电平则保持在1.5 V p-p。

### 噪声系数计算

所有噪声系数曲线(参见图23、图24和图56)都是将输入折合为输出噪声密度，然后除以50 Ω电阻的理论噪声密度而完成的。评估板上的输入SMA用50 Ω接地电阻端接，通过8:1巴伦为ADRF6518输入端提供400 Ω差分阻抗。在信号链计算中，方便的做法是以50 Ω为基准来计算噪声系数，尽管ADRF6518输入的端接阻抗为400 Ω。

噪声因子通过下式计算：

$$Noise\ Factor = \frac{N_{OUT}}{GAIN \cdot N_{50\Omega}}$$

其中，噪声密度单位为nV/√Hz，GAIN为线性项。噪声系数即为：

$$噪声系数 = 10 \log_{10}(噪声因子)$$

# ADRF6518

## 寄存器映射和代码

滤波器频率、放大器增益、滤波器旁路模式和失调校正环路可通过SPI接口编程。表5给出了ADRF6518内部15位寄存器的位映射。

表4. 滤波器模式和电源模式选项

B9	滤波器旁路	滤波器
0	VGA低功耗；滤波器关闭	VGA低功耗；滤波器低功耗
1	VGA高功耗；滤波器关闭	VGA低功耗；滤波器高功耗

表5. 寄存器存储区分配

MSB						LSB								
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1
滤波器频率代码和滤波器旁路模式						电源模式	数字增益代码						直流失调禁用	
代码 = 以MHz为单位的1 dB截止频率 例如, 31 MHz = 011111(MSB优先) 滤波片旁路模式使用000000						0: 低功耗 1: 高功耗 滤波器模式下, 滤波器带宽 > 31 MHz时使用1 滤波器旁路模式下, 通道带宽 > 60 MHz时使用1	VGA1增益 00: 15 dB 01: 12 dB 10: 9 dB 11: 9 dB	VGA2增益 00: 21 dB 01: 18 dB 10: 15 dB 11: 12 dB	VGA3增益 00: 21 dB 01: 18 dB 10: 15 dB 11: 12 dB	后置放大器 0: 3 dB 1: 9 dB			0: 使能 1: 禁用	

## 工作原理

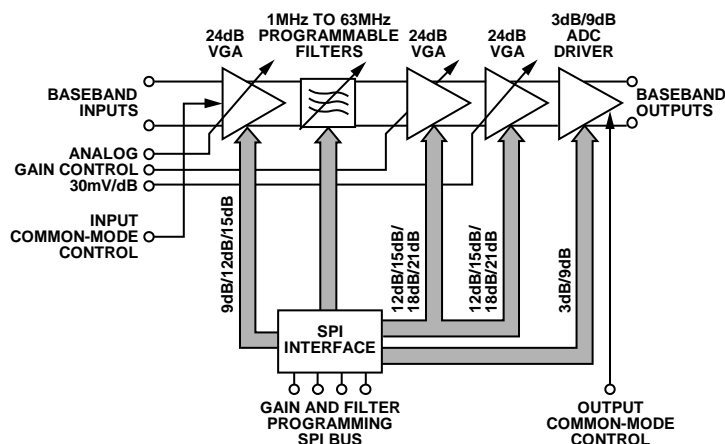


图68. ADRF6518单通道信号路径框图

ADRF6518包括一对匹配的输入VGA、数个可编程滤波器、级联的两个可变增益放大器和数个输出ADC驱动器。针对超出最大滤波器带宽的操作，可通过SPI接口旁路并关断滤波器。图68所示为单通道框图。

滤波器带宽以及前置滤波和后置滤波固定增益均可通过SPI接口编程，这就为在有噪声和接近目标频段的较大干扰信号的情况下处理各种电平的信号提供了极大的灵活性。整个差分信号链可与输入端和输出端的灵活接口进行直流耦合。两个通道的带宽和增益设置控制是共用的，确保其幅度和相位响应严格匹配。通过ENBL引脚可以完全禁用ADRF6518。

滤波和放大在任何信号处理系统中都是基本操作。滤波器的作用是在抑制带外噪声和干扰信号的同时选择所需的信号。放大器的作用是提高有用信号的电平，以克服系统产生的噪声。同时用滤波器和放大器，能够把有用低电平信号和噪声/带外干扰信号区分开。这一模拟信号处理能够降低对模拟信号、混合信号和随后产生的数字器件的要求。

### 输入VGA

输入VGA有一个方便连接敏感滤波器的接口，特性包括低噪声系数和高线性度。模拟增益控制和数字增益设置的组合可调理各类输入信号电平，以最高1.5 V p-p的幅度驱动滤波器。VGA设置的差分输入阻抗为400 Ω。

通过引脚7选择，基带输入信号可以交流耦合或直流耦合。当该信号直流耦合时，在引脚8 VPI上提供可选的5 V电源，便可支持宽输入共模电压。默认共模电压为VPI/2，可通过双功能引脚7 VICM/AC提供，用以设置驱动电路的

输出共模电压。但是，这是可选项，输入共模电压可在支持的范围内独立设置。在VPI上提供3.3 V电源时，输入共模范围为1.35 V至1.95 V，同时可维持5 V p-p输入电平，HD2和HD3大于60 dBc。在VPI上提供5 V电源时，输入共模范围扩展到1.35 V到3.1 V。为支持大于3.3 V主电源中值(即VPS/2)的输入共模电压，需从VPI电源消耗更多电流。

VICM/AC电压不缓冲，必须在高阻抗点检测，防止其因为负载而降低。当基带输入信号交流耦合时，应拉低VICM/AC引脚以激活输入级的内部偏置。

输入VGA具有24 dB的模拟增益控制，接下来还有9 dB、12 dB或15 dB的数字增益设置，这些设置可通过SPI选择(参见“寄存器映射和代码”部分)。VGA基于ADI公司的专利X-AMP®架构，由24 dB分接衰减器和可编程增益放大器组成。X-AMP架构可产生低纹波的连续线性dB单调增益响应。VGA部分的模拟增益通过高阻抗VGN1引脚控制(精确斜率为30 mV/dB)。VGA模拟增益通过AGC机制调整，使得第一个VGA的输出不超过1.5 V p-p。然而，如果输入信号足够小，则第一VGA可以设置为全增益以实现最佳噪声系数(NF)性能，增益控制在第二或第三VGA设置。

### 驱动ADRF6518单端

ADRF6518的输入结构针对差分驱动而设计。然而，它也支持单端驱动，尤其是对于低带宽信号，不过性能有所下降。有关单端驱动的指南，参见“应用信息”部分。

# ADRF6518

## 峰值检波器

为了测量VGA1输出端和可编程滤波器输入端的关键接口的信号电平，器件采用一个峰值检波器。它在VGA1输出端同时测量两个通道，并在VPK引脚报告二者中的较大值。片内保持电容和内部节点可忽略不计的漏电流确保下降时间达毫秒级，下降时间还与峰值电压相关。峰值电压越大，则下降时间越长。在RAVG和VPS引脚之间放置一个电阻，可缩短下降时间。RAVG的典型值在1 MΩ到1 kΩ范围。RAVG电阻值降低后，峰值电压VPK表现为包络输出。峰值检波器的启动带宽为100 MHz。

峰值检波器可用在AGC环路中设置滤波器输入端的适当信号电平。对于这种方案，考虑到它是峰值保持输出，应当对VPK进行适当滤波。将25 ns或更长时间的高电平脉冲施加于SDO/RST双功能引脚时，内部保持电容会放电，从而将VPK电压复位到0 V。

## 可编程滤波器

集成的可编程滤波器是ADRF6518的关键信号处理器件。滤波器与一个6极点巴特沃兹原型响应相连，能够处理带外抑制、波纹和群延迟之间的差异。0.5 dB带宽可通过串行编程接口(SPI)在1 MHz至63 MHz范围内进行编程，步进为1 MHz(参阅“对ADRF6518进行编程”部分的说明)。

这种滤波器的设计保证了在任何带宽条件下，巴特沃兹原型滤波整形和群延迟响应与频率的关系不会发生变化。理想的6极点巴特沃兹响应参见图69和图70。群延迟( $\tau_g$ )的定义如下：

$$\tau_g = -\partial\phi/\partial\omega$$

其中：

$\phi$ 是相位，单位为弧度。

$\omega = 2\pi f$ 是频率，单位为弧度/秒。

注意：对于一个频率可变滤波器原型来说，群延迟的绝对幅度与带宽成反比；但波形保持不变。例如：带宽为28 MHz时的峰值群延迟比带宽为2 MHz时的群延迟小14倍。

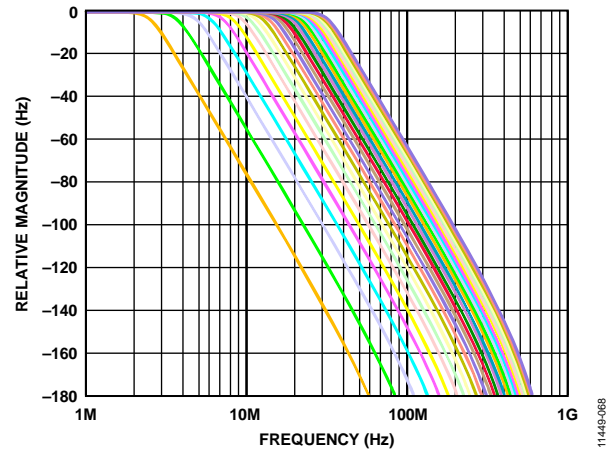


图69. 0.5 dB带宽的6阶巴特沃兹幅度响应  
(可在2 MHz至29 MHz范围内进行编程，步进为1 MHz)

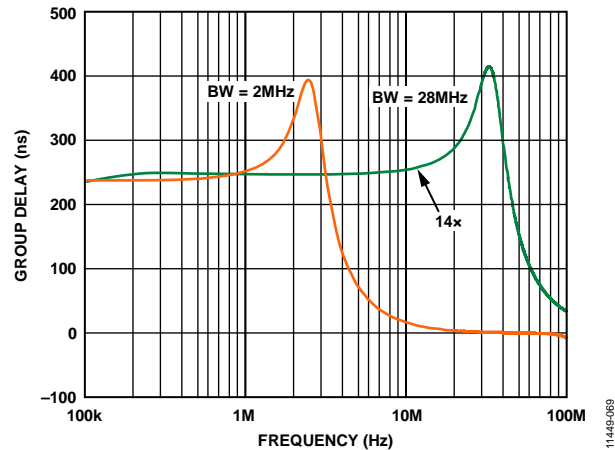


图70. 0.5 dB带宽的6阶巴特沃兹群延迟响应  
(可在2 MHz至28 MHz范围内进行编程)

滤波器的截止频率由RC积决定(在典型工艺中，变化范围为 $\pm 30\%$ )。因此，所有器件的截止频率已经工厂校准，在 $-40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 工作温度范围内，截止频率的变化率为 $\pm 8\%$ 。尽管绝对精度需要校准，但通过细致的设计和布局，仍可保证RC积在两条通道间的匹配度优于1%。校准和出色的匹配度能够保证两个通道的幅度和群延迟响应匹配，这一点对于数字IQ通信系统来说非常重要。

## 旁路滤波器

对于带宽较高的应用，ADRF6518的滤波器可通过SPI旁路。在滤波器旁路模式下，滤波器禁用，功耗显著降低。级联VGA的带宽远大于滤波器最大63 MHz的带宽，在滤波器旁路模式下得以完全实现。



## 可变增益放大器(VGA)

级联VGA2和VGA3也是基于X-AMP架构,各具有24 dB增益范围和独立的高阻抗增益控制输入(VGN2和VGN3)。第二和第三VGA的VGA架构与第一VGA相同,但噪声系数略高,驱动能力略低。其输出额定值为1 V p-p, HD2和HD3大于60 dBc。根据输入信号范围,第二和/或第三VGA可用于AGC目的。做出这种选择时需要考虑的临界电平是VGA输出端的信号电平,为了保持低失真,它不得超过1 V p-p。

两个可变增益部分之后的固定增益也可以设置为12 dB、15 dB、18 dB或21 dB,以使动态范围最大化。

## 输出缓冲器/ADC驱动器

ADRF6518的低阻抗(<10 Ω)输出缓冲器既可用于驱动ADC输入,又可用于驱动其后的放大器级。它们能够将高达4 V p-p复合双音信号传输至400 Ω差分负载(>60 dBc IMD3)。输出共模电压的默认值为VPS/2;向VOCM引脚施加有效共模电压后,在驱动能力不降低的前提下,输出共模电压可调整至900 mV至VPS - 1.2 V。VOCM的输入阻抗较高,因此,该引脚可直接与ADC基准输出相连。即便输出共模电压可调且失调补偿环路可以消除累计直流失调(参见“直流失调补偿环路”部分),仍然可能希望根据负载阻抗和所需的带宽来选择耦合电容,从而交流耦合输出。

## 直流失调补偿环路

在许多信号处理应用中,直流电平不包含任何信息。事实上,直流电压信号和其它低频干扰信号在预期输出信号中占很大比例,会占据数据转换器的模拟路径和位的动态范围。这些直流电压信号可在预期输入信号内出现,或在信号路径内经固有直流失调或其它非预期的、与信号无关的处理(例如:自动混合或整流)而生成。

ADRF6518为完全直流耦合,因此,可能需要通过消除这些失调来实现最大信噪比(SNR)。外部失调可利用输入引脚处的交流耦合电容消除,但在某些应用中,阻抗可能相当低且高通转折频率需要低于10 Hz,因此,所需电容值较大。为了解决直流失调问题,ADRF6518提供一个失调校正环路,它能够输出差分直流电平置为0(见图71)。当不需要校正环路时,用户可借助SPI端口将其禁用。

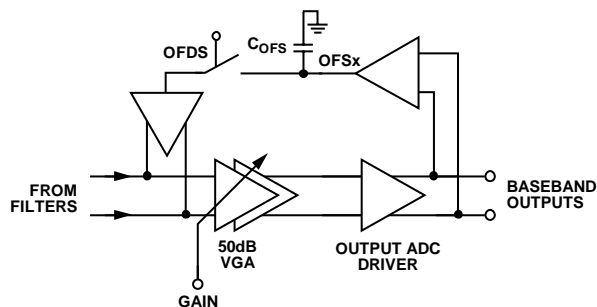


图71. 围绕VGA和输出缓冲器的失调补偿环路

失调控制环路产生高通转折频率( $f_{HP}$ ),当滤波器使能时,它叠加在正常的巴特沃斯滤波器响应之上。通常, $f_{HP}$ 与较低可编程滤波器带宽相比低许多数量级;因此,两者之间互不干扰。在引脚OFS1、OFS2与地之间各连接一个电容 $C_{OFS}$ ,即可设置 $f_{HP}$ 。由于校正环路围绕VGA部分工作,因此, $f_{HP}$ 还取决于级联VGA的总增益。 $f_{HP}$ 的计算公式如下:

$$f_{HP} \text{ (Hz)} = 6.7 \times \text{后置滤波器线性增益} / C_{OFS} \text{ (}\mu\text{F)}$$

其中,“后置滤波器线性增益”用线性项表示,而不是分贝(dB),是滤波器之后的增益,不包括VGA1增益。

注意: $f_{HP}$ 与增益呈正比例变化。因此,应选择最高工作增益条件下的 $C_{OFS}$ ,以确保 $f_{HP}$ 始终低于系统所需最大值。

## 对ADRF6518进行编程

利用SPI端口,可同时对两个滤波器的0.5 dB截止频率、所有VGA的数字增益和输出缓冲器进行编程。此外,直流失调补偿环路的使能和电源模式选择也是通过SPI端口控制。一个16位寄存器存储15个数据位,其中6位代码用于设置1 MHz至63 MHz的截止频率和滤波器旁路,还有用于设置VGA增益和后置放大器增益的代码(参见表5)。SPI协议不仅允许将这些选择写入DATA引脚,还允许从SDO/RST引脚回读所存储的代码。

在读/写周期开始前,锁存使能(LE)引脚必须置位逻辑0状态。在时钟(CLK)信号的下一个上升沿,当DATA引脚为逻辑1时,启动一个写周期;当引脚为逻辑0时,启动一个读周期。在一个写周期内,接下来的15个CLK上升沿锁存目标15位代码(LSB优先)。这样就得到一个16位代码,包括第一个逻辑1用于启动写周期。当LE变为高电平时,写周期结束,需要编程的各模块获得不同的代码。在一个读周期内,接下来的15个CLK下降沿输出存储的15位代码(LSB优先)。当LE变为高电平时,读周期结束。详细的时序图见图2和图3。

# ADRF6518

## 噪声特性

ADRF6518的输出噪声行为取决于增益和带宽设置。在滤波器旁路模式和高滤波器转折频率设置下，噪声以VGA1噪声为主。在低截止频率设置下，噪声则以滤波器噪声为主。

滤波器对噪声谱密度曲线会产生影响，频率越低，曲线越平坦；越接近截止频率，曲线越陡；当滤波器极点滚降增益和噪声时，噪声出现滚降。滤波器产生的噪声谱密度的幅度(单位为 $nV/\sqrt{Hz}$ )与带宽设置的平方根呈反比例变化，因此，滤波器噪声(单位为 $nV$ )几乎不受带宽设置的影响。然而，当VGA1 NF低于滤波器时，总NF往往以VGA1为主。在较高频率时，滤波器噪声滚降之后，噪底由VGA设置。

ADRF6518使用的各X-AMP VGA部分都会为其相应的输出贡献固定的噪声频谱密度，与模拟增益设置无关。然而，数字增益改变时，VGA输出噪声也会改变，因为增益设置电阻值发生改变。举例来说，对应15 dB增益设置的VGA1 NF是17.3 dB，而对于9 dB增益，NF是19 dB。级联时，VGA在ADRF6518输出端贡献的总噪声随着增益提高而逐渐提高。不同VGA增益设置下高频时的噪底变化明显地反映了这一点。确切的关系取决于放大器的固定增益设置。在滤波器带宽设置范围内的较低频率时，VGA按一定的系数(等于滤波器之后的增益)将滤波器噪声直接转换到输出。

当VGA增益的值较低时，输出端噪声由最后一个VGA产生，谱密度是平坦的。随着增益的加大，输出端会出现更多的滤波器和第一个VGA噪声。带宽设置越低，滤波器固有噪声密度越高，因此，相比于高带宽设置，它在低带宽设置下更突出。任意一种情况下，噪声密度都会逐渐接近VGA在最高频率下设定的限值。对于其他的VGA增益值和带宽设置，噪声谱密度的具体形状随着滤波器和VGA的相对贡献而变化。

滤波器带宽范围之外的噪声谱密度受VGA输出噪声的限制，因此，在模数转换之前，可能需要使用一个外部固定频率无源滤波器，以防止因信噪比降低导致噪声混叠。采样速率相对于ADRF6518最大要求截止频率设置越高，该外部滤波器的阶数和复杂度越低。

## 失真特性

为了通过ADRF6518的级联VGA和滤波器保持低失真，应考虑各级的失真限值。第一VGA的信号处理能力和带宽高于VGA2和VGA3，因为它必须处理可能比带内信号更大的带外信号。在滤波器模式下，这些带外信号经滤波后到达

VGA2和VGA3。用户有必要了解ADRF6518中出现的信号；另外，这些信号必须与器件的输入和输出特性匹配。将ADRF6518分为前端(包括VGA1和滤波器)和后端(包括VGA2、VGA3和输出缓冲器)两个部分会有帮助。

在最大模拟衰减设置下，VGA1可以处理5 V p-p信号，输入端不会发生明显的失真。多数应用中，应调整VGA1增益，使得滤波器输入端(滤波器旁路模式下则是VGA2输入端)出现的最大信号小于1.5 V p-p。在该电平，前端不限制失真性能。峰值检波器输出VPK可用作该关键接口上的信号电平的指示。选择第二和第三VGA增益，使其输出电平不超过1 V p-p。如果预期输出信号电平会超过1.5 V p-p，建议将后置放大器增益设置为9 dB。

对于这些信号电平考虑，建议处理比所需带内信号更大的带外信号。在滤波器模式下，这种带外信号仅影响VGA1操作，因为它由滤波器滤除，不会影响随后的级。这种情况下，可能需要一个较高的VGA2和VGA3增益，以便将输出端所需的较小信号提升至较高电平。在滤波器旁路模式下，这种带外信号可能需要在ADRF6518之前滤除。

由器件导致的信号整体失真的程度取决于输入驱动电平，包括带外信号和所需输出信号电平。为实现最佳失真性能和所需的总增益，务必记住上面给出的选择不同VGA增益时的最大信号电平。

以下两种IP3规格能够区分和量化输入部分的失真性能。第一种称之为带内IP3，它指的是信号位于滤波器带宽范围内的一个双音测试。这恰恰是通信工程师熟悉的用于测量第三阶互调电平(IMD3)的品质因数。

引入新的带外(OOB) IIP3品质因数的目的是量化带外信号的影响。这一测试还包括双音驱动，但两个音频信号位于带外，以至于较低的IMD3输出信号位于滤波器通带的中部。在输出端仅能看到IMD3输出信号；原因在于两个原始的音频信号已被滤除。为计算输入端的OOB IIP3，将IMD3电平作为输入电平，支持整个增益范围。用户利用OOB IIP3能够预测任意信号电平的带外阻塞或干扰信号对带内性能的影响。在特定阻塞电平条件下，所需输入信号电平与输入基准IMD3的比值表示带外信号引起的信号失真限制。



## 动态范围最大化

在滤波器模式下使用，ADRF6518的作用是提高可变带内信号的电平和减少带外信号。在理想的情况下，上述操作既不会降低输入信号的SNR，也不会导致输入信号失真。

首要目标是输出信号摆幅最大化，输出信号摆幅可由ADC的输入范围或下一模拟级的输入信号容量定义。对于通信系统中经常出现的复杂波形，当选择峰峰输出时，必须考虑到峰均比(波峰因数)。根据所选输出信号和ADRF6518的最大增益，可得出最低输入电平。

随着输入信号电平的不提高，VGA3增益将从其最大增益点降至维持固定期望输出的水平。然后，随着输入信号电平继续提高，可以调整VGA2和VGA1。这样可以确保级联链具有最佳NF。输出噪声(最初以滤波器和VGA1组合为主)经过增益衰减后，可逐步获得更好的信噪比。在某一点，VGA3和VGA2增益降至足以让其噪声成为主要噪声的程度，那么，信噪比从该点起以更慢的速度降低。单从信噪比的角度来讲，当VGA1达到最低增益值时，器件的输入电平最高。

动态范围最大化时还必须考虑失真问题。当信号的电平处于中、低等级时，输出失真是恒定的且假定其适合于所选输出电平。某些点上，输入信号可能变得足够大，会导致系统性能由输入信号的失真程度决定。通过监控峰值检波器电压V<sub>PK</sub>，可以防止这种情况。

在动态范围内最具挑战性的情况是，带外阻塞较大而带内所需信号较弱。这种情况下，最大输入电平取决于阻塞程度及其导致失真的可能性。弱的所需信号经过滤波后，必

须放大至所需输出水平，VGA2和VGA3可能需要提供最大增益。这种情况下，与输入阻塞相关的失真限制和因信号较弱而增益较高导致的信噪比限制同时存在。此外，阻塞不仅导致动态范围缩小，还能够缩小可处理输入信号的范围(原因在于大部分增益仅用于从较强的阻塞信号中提取弱的所需信号)。

## 正交接收机的关键参数

大多数数字通信接收机都采用正交信号，信息位被编码成基带信号对，而后调制成同相(I)和正交(Q)正弦载波。基带信号和已调制信号在波峰和波谷时刻的波形非常复杂。通常来说，接收机的设计目的在于从正交解调信号中，将成对的正交基带信号与噪声和干扰信号加以区分。在滤除带外噪声和无用的干扰信号并恢复所需I、Q基带信号的电平的过程中，必须保证在整个带宽范围内保持其增益和相位的完整性。

在滤波器模式下，ADRF6518可传递平坦的带内增益和群延迟，这时，它相当于一个6极点巴特沃兹原型滤波器(见“可编程滤波器”部分的说明)。此外，精心的设计保证了I、Q通道之间参数的出色匹配。尽管绝对增益平坦度和群延迟可通过数字均衡得到校正，但不匹配可导致正交误差和码间干扰，这会降低数字通信系统的误码率性能。

对于宽带信号，可以旁路滤波器，这样ADRF6518就变成由三个VGA组成的双级联链，它可提供大增益范围选项，同时保持两个通道之间的增益和群延迟匹配。

## 应用信息

### 基本连接

图72显示了ADRF6518典型应用的基本连接。

### 电源去耦

将3.3 V的标称电源电压施加于电源引脚VPS、VPI和VPSD。VPS和VPSD的电源电压不得超过3.45 V或低于3.15 V。VPI的电源电压不得超过5.25 V。每个电源引脚应与至少一个0.1 μF的低电感、表面贴装陶瓷电容相连，以便去耦至地。电容应尽可能靠近ADRF6518器件。

ADRF6518具有三个独立的电源：两个模拟电源和一个数字电源。模拟电源和数字电源应当用一个33 μH的大表面贴装电感分离，然后通过10 μF电容将各电源分别去耦至相应的地。

### 输入信号路径

每个信号路径都有一个输入VGA，通过INP1、INM1、INP2和INM2引脚访问，设置400 Ω的差分输入阻抗。

输入既支持直流耦合又支持交流耦合。要交流耦合输入，用户必须将VICM/AC引脚拉至地，这将提供VPI/2的输入共模电压。要直流耦合输入，VICM引脚应悬空。如采用直接直流耦合，VPI = 3.3 V时，共模电压( $V_{CM}$ )的范围为1.35 V

至1.95 V。用户可以选择将VPI连接到最高5 V的电压，这将提供1.35 V到3.1 V的共模范围。一般而言，最小输入共模电压始终是1.35 V，但最大共模电压为 $V_{CM,MAX} = 0.64 \times VPI - 0.135$  V。VICM引脚可用作基准共模电压，用于确定上一级联器件的高阻抗检测节点(VICM具有7.75 kΩ阻抗)。

### 输出信号路径

低阻抗(10 Ω)输出缓冲器设计用于驱动高阻抗负载，如ADC输入，或驱动另一放大器级。输出引脚(OPP1、OPM1、OPP2和OPM2)处于VPS/2的标称输出共模电压，但可以驱动到0.9 V至VPS - 1.2 V的电压，方法是将所需的共模电压施加于高阻抗VOCM引脚。

### 直流失调补偿环路使能

通过SPI寄存器的B1使能直流失调补偿环路时，ADRF6518可以抵消输出差分直流电平。该环路通过设置B1 = 0来使能。失调补偿环路产生一个高通转折频率，它与连接在OFS1/OFS2引脚和地之间的电容值成比例。有关设置高通转折频率的更多信息，参见“直流失调补偿环路”部分。

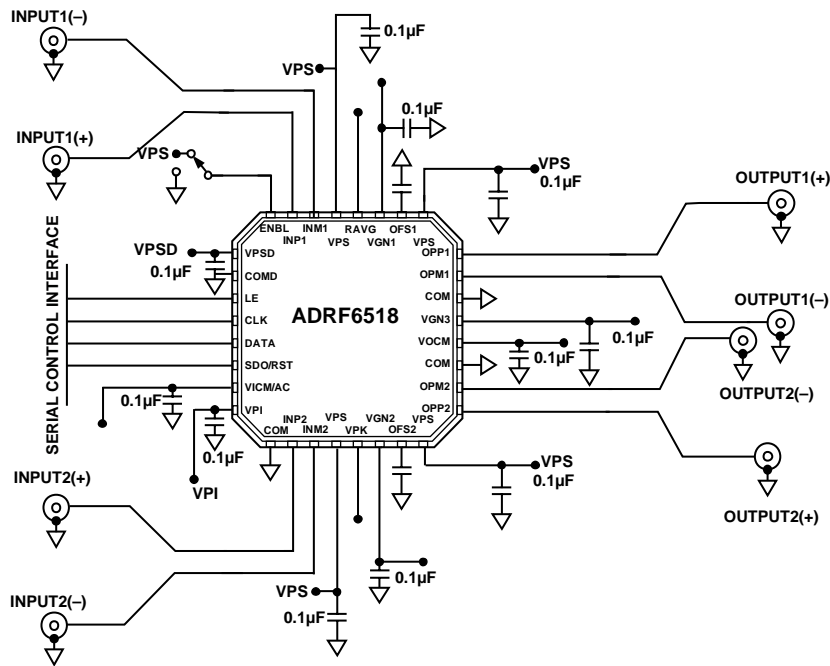


图72. 基本连接

11448-071

## 共模旁路

将ADRF6518共模引脚VICM/AC和VOCM去耦至地。采用至少一个0.1  $\mu\text{F}$ 的低电感、表面贴装陶瓷电容去耦共模引脚。

## 串行端口连接

ADRF6518通过SPI端口控制增益和滤波器带宽设置。数据可以写入15位寄存器，也可以从该寄存器读取数据。建议在SPI线上采用低通RC滤波，滤除任何高频毛刺。低通RC滤波器示例参见图88所示的评估板原理图。

## 使能/禁用功能

将ENBL引脚拉高可以使能ADRF6518。反之，将ENBL引脚拉低则可禁用器件；这时，室温下的功耗降低至约1 mA。为使禁用功能正常工作，应将10 k $\Omega$ 下拉电阻连接在信号输出引脚(OPP1、OPM1、OPP2、OPM2)与地之间，以便通过直流接地路径正确放电(参见图67)。如果不使用禁用功能，则不需要下拉电阻。

## 增益引脚去耦

ADRF6518具有三个模拟增益控制引脚：VGN1、VGN2和VGN3。采用至少一个0.1  $\mu\text{F}$ 的低电感、表面贴装陶瓷电容将各增益控制引脚去耦至地。

## 峰值检波器连接

ADRF6518的VPK引脚提供峰值检波器输出，与滤波器输入端具有1 V/V峰值差分比例关系。报告两个通道中的较高峰值。峰值检波器时间常数可通过RAVG和VPS引脚之间的电阻改变。RAVG引脚保持断开时，时间常数(保持时间)最长。RAVG电阻范围是 $\infty$ 到1 k $\Omega$ 。

要复位峰值检波器，应将SDO/RST引脚拉高25 ns或更长时间。逻辑电平是 $V_{\text{LOW}} < 0.8 \text{ V}$ 且 $V_{\text{HIGH}} > 2 \text{ V}$ 。

## 误差矢量幅度(EVM)性能

误差矢量幅度(EVM)是数字无线发射机或接收机的性能量化指标，通过测量发射或接收的数字信号的保真度而得出。链路的各种缺陷，如幅度和相位不平衡、噪声、失真等，导致星座点偏离理想位置。

通常，一个接收机可体现三种不同的EVM限制与接收到的输入信号功率的关系。随着信号功率的上升，失真项也随之上升。

- 在足够高的信号电平下，由于器件的谐波非线性而产生的失真项将落入带内，EVM随着信号电平上升而下降。
- 在中等信号电平下，信号链具有线性特性且所需信号明显多于噪声；这时，EVM易于达到由信号链正交精度和IQ增益匹配或测试设备精度决定的最佳水平。

- 当信号电平降至一定程度，信号中噪声占较大比例时，随着信号电平的降低，EVM性能也随之下降。在这些低信号电平下，噪声将成为主要影响因素；这时，dB EVM直接与SNR成正比。

## EVM测试设置

用于测试ADRF6518 EVM的基本设置包括：用作信号源的Agilent MXG N5182B矢量信号发生器，以及用于信号采样的Agilent DSO7104B示波器，后者同时连接一台计算机，计算机上运行Agilent 89600矢量信号分析(VSA)软件以计算信号的EVM。ADRF6518的I和Q输出加载400  $\Omega$ 差分阻抗，并以差分方式连接到两个AD8130放大器，从而将信号转换为单端信号。单端信号连接到矢量信号分析仪的输入通道。

## EVM测量

仅测量ADRF6518的EVM(虽然使用AD8130放大器，但其EVM贡献非常小，在测量中无足轻重)。N5182B IQ基带差分输出通过1  $\mu\text{F}$ 耦合电容驱动ADRF6518输入。需要使用大耦合电容来尽可能降低电容产生的高通转折频率，并且防止低通截止频率破坏信号。VICM/AC引脚接地以支持交流耦合。VPI引脚通过短接VPS而连接到3.3 V电压。脉冲响应滤波器的 $\alpha$ 值设为0.35。扫描ADRF6518的基带输入功率，并调整模拟增益以使I和Q输出保持1.5 V p-p目标差分信号电平。调整VGA1模拟增益，以将其输出限制在1.5 V p-p(峰值检波器输出为0.75 V峰值)。滤波器截止频率设置为63 MHz，VGA1、VGA2、VGA3和后置放大器的数字增益分别设置为15 dB、21 dB、21 dB和3 dB。在滤波器模式和滤波器旁路模式下，测试了多种信号带宽、信号类型、增益和输出电平。

输出失调补偿环路的高通转折频率必须低于信号带宽。信号带宽越低，用户设置的高通转折频率也必须越低，以确保不损坏极小的信号量。有关设置过高高通转折频率的影响的更多信息，参见ADRF6510和ADRF6516数据手册的“应用信息”部分。

还必须根据给定的信号带宽设置适当的滤波器截止频率。用户必须注意，不能将滤波器截止频率设置得过低以图更好地抑制带外阻塞信号，因为这可能损坏信号中的数据并降低EVM性能。相关例子请参见ADRF6510和ADRF6516数据手册的“应用信息”部分。图83也显示了滤波器接孩子频率与信号带宽之间的取舍关系。

# ADRF6518

在图73至图77中，x轴以电压比为单位，定义如下：

$$20 \times \log_{10}(x/1 \text{ V p-p})$$

其中，x是单位为V p-p的任意数值。

这样做的原因是100 Ω差分基带源(Agilent MXG N5182B)驱动ADRF6518的400 Ω差分输入阻抗。功率比的标准单位dBm仅适用于50 Ω系统。

图73和图74分别显示了滤波器模式(滤波器截止频率 = 63 MHz)下和滤波器旁路模式下不同码元速率的EVM与输入电压的关系。在滤波器旁路模式下，码元速率较高时，EVM一般更好，这主要是因为不存在滤波器引入的噪声和失真成分。对于同样的80 MSPS信号，从63 MHz截止频率切换到滤波器旁路模式时，EVM改善11 dB。码元速率较低时，63 MHz滤波器截止频率与滤波器旁路模式的EVM差异可忽略不计。

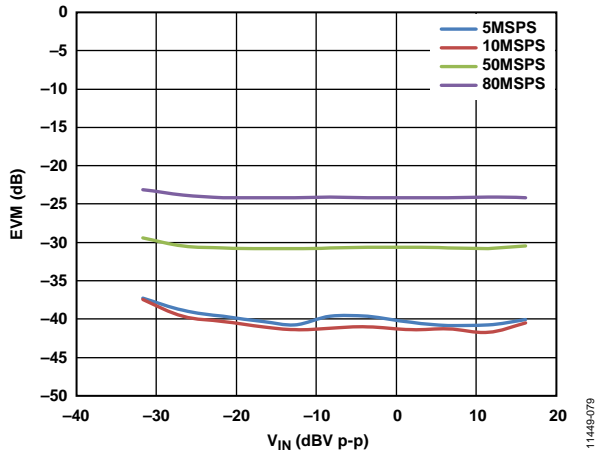


图73. 不同码元速率下EVM与输入电压的关系；滤波器截止频率 = 63 MHz、QPSK、增益代码 = 0000000、保持1.5 V p-p差分输出电平

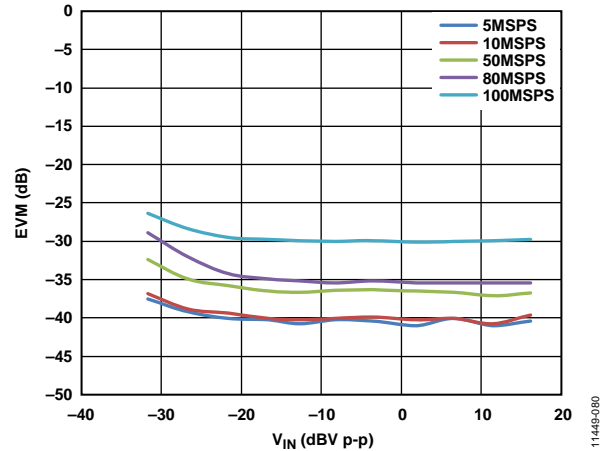


图74. 不同码元速率下EVM与输入电压的关系；滤波器旁路模式、QPSK、增益代码 = 0000000、保持1.5 V p-p差分输出电平

图75和图76分别显示了滤波器模式下和滤波器旁路模式下不同调制类型、50 MSPS的EVM与输入电压的关系。在滤波器旁路模式下，高阶调制类型的EVM更好。

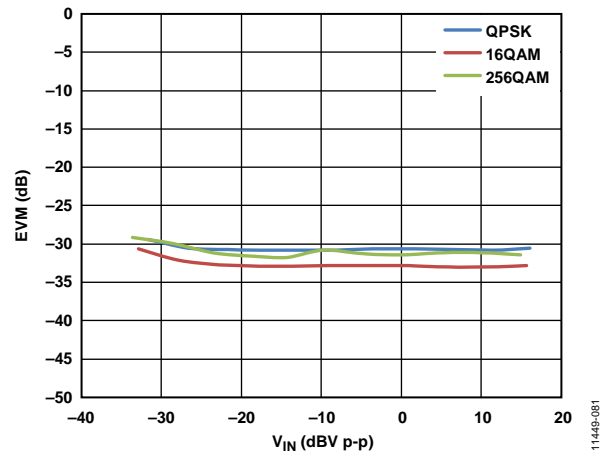


图75. 不同调制类型下EVM与输入电压的关系；滤波器截止频率 = 63 MHz、QPSK、50 MSPS、增益代码 = 0000000、保持1.5 V p-p差分输出电平

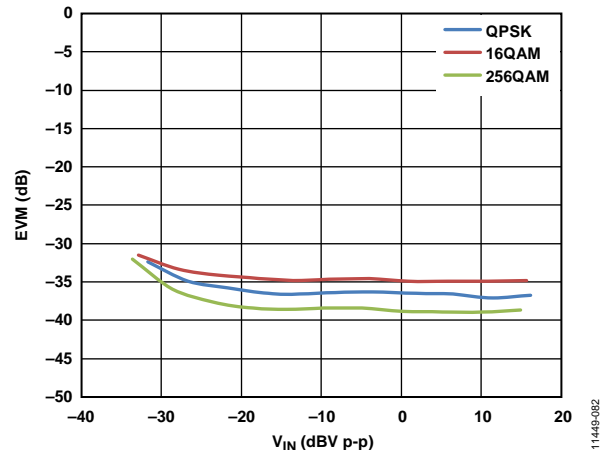


图76. 不同调制类型下EVM与输入电压的关系；滤波器旁路模式、QPSK、50 MSPS、增益代码 = 0000000、保持1.5 V p-p差分输出电平



图77显示了不同数字增益设置下EVM与输入电压的关系。在所有增益设置下，EVM大约伸展1 dB。

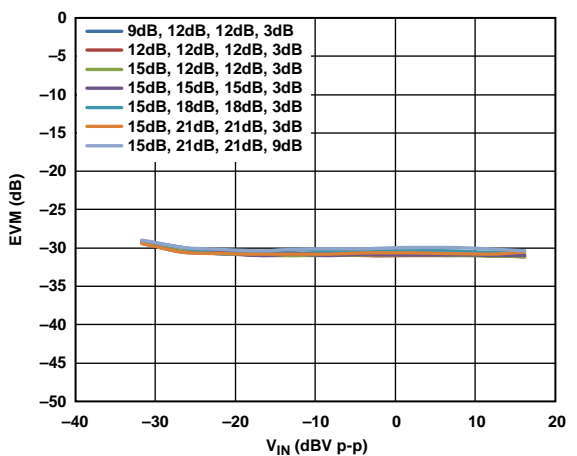


图77. 不同数字增益设置下EVM与输入电压的关系；  
滤波器截止频率 = 63 MHz、QPSK、50 MSPS、  
保持1.5 V p-p差分输出电平

## EVM系统测量

整体EVM测量是利用ADL5380 IQ解调器驱动ADRF6518来完成的。两个器件之间的接口采用直流耦合。为此，VICM/AC引脚悬空以使得能直流耦合模式，ADRF6518的VPI引脚连接到5 V电压以适应ADL5380的3.1 V输出共模电压。施加于ADL5380 RF输入的RF载波频率和LO频率设置为900 MHz，产生一个零中频(I/F)。脉冲响应滤波器的 $\alpha$ 值设为0.35。扫描ADL5380的RF输入功率，并调整ADRF6518的模拟增益以使I和Q输出保持1.5 V p-p目标差分信号电平。调整VGA1模拟增益，以将其输出限制在1.5 V p-p(峰值检波器输出为0.75 V峰值)。滤波器截止频率设置为63 MHz，VGA1、VGA2、VGA3和后置放大器的数字增益分别设置为15 dB、21 dB、21 dB和3 dB。在滤波器模式和滤波器旁路模式下，测试了多种信号带宽、信号类型、增益和输出电平。

图78显示了三种不同的码元速率：10 MSPS、50 MSPS和80 MSPS，滤波器使能。随着码元速率提高，EVM性能会降低，但在10 MSPS时，对于大约50 dB的输入功率范围，系统EVM优于-40 dB。图78至图83显示EVM性能在高输入功率时会下降，这是由ADL5380压缩引起的。将一个RF衰减器放在ADL5380前方，可以扩展系统的动态范围。

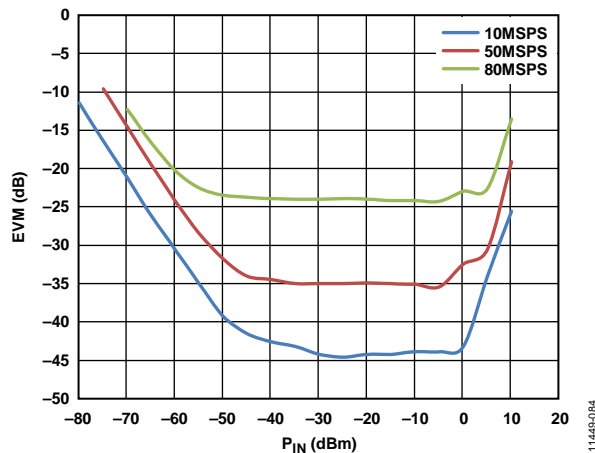


图78. 不同码元速率下EVM与输入功率的关系；  
QPSK、滤波器截止频率 = 63 MHz、增益代码 = 0000000、  
保持1.5 V p-p差分输出电平

图79显示了四种不同的码元速率，滤波器处于旁路模式。在滤波器旁路模式下，EVM一般会改善，尤其是在较高码元速率时，这是因为不存在噪声、IQ增益失配、IQ相位失配、原始群延迟和群延迟失配，这些都是滤波器使能时会带来的主要误差源。

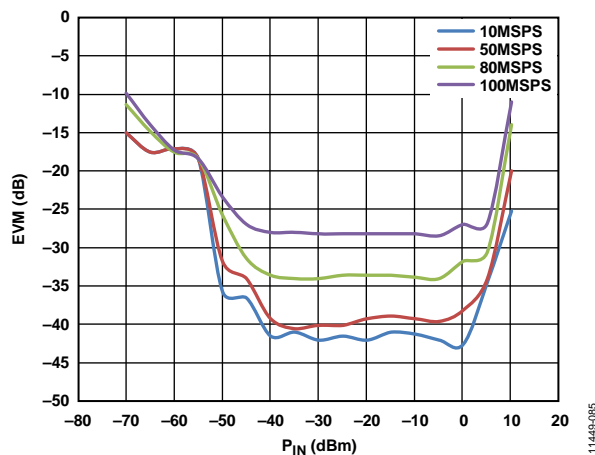


图79. 不同码元速率下EVM与输入功率的关系；  
滤波器旁路模式、增益代码 = 0000000、保持1.5 V p-p差分输出电平

图80显示多种数字调制类型下50 MSPS信号的EVM，滤波器处于旁路模式。在最高256 QAM时，EVM有所改善，但这是EVM计算方式造成的，而不是绝对码元误差降低的结果。(EVM计算为码元误差矢量的均方根功率与星座的均方根平均功率之比。一个类似且可能更好的衡量指标是调制误差比或MER，其定义为理想码元的均方根功率与码元误差矢量的均方根功率之比。)1024 QAM信号质量开始降低，原因是噪声和失真成分影响星座中紧密压缩的码元。

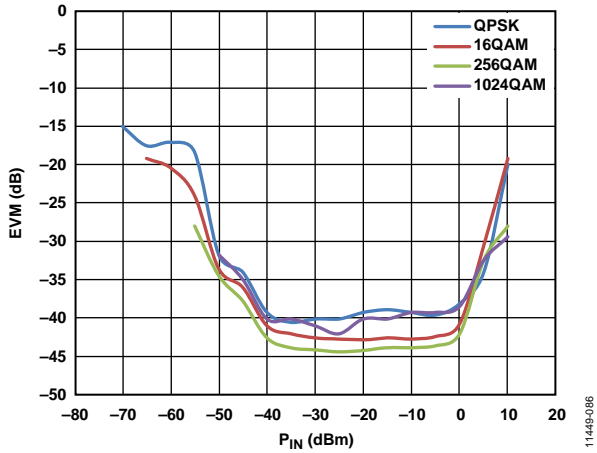


图80. 不同数字调制类型下EVM与输入功率的关系；滤波器旁路模式、增益代码 = 0000000、保持1.5 V p-p差分输出电平

图81显示了与图80相同的四种调制类型，不过滤波器使能。由于滤波器噪声，EVM性能一般会降低，如“噪声特性”部分所示。

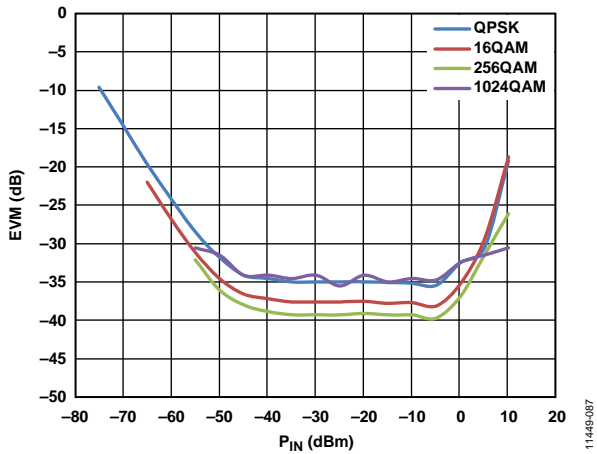


图81. 不同数字调制类型下EVM与输入功率的关系；滤波器截止频率 = 63 MHz、增益代码 = 0000000、保持1.5 V p-p差分输出电平

图82显示扫描多个输出设定值(从1.5 V p-p到5.0 V p-p)的结果。对于所测试的全部输出范围，EVM仅改变几个dB，因而用户可以灵活地决定输出信号保持在何电平。虽然图82中未显示，但在信号略大于5 V p-p时，EVM急剧降低，很容易发生失锁现象。

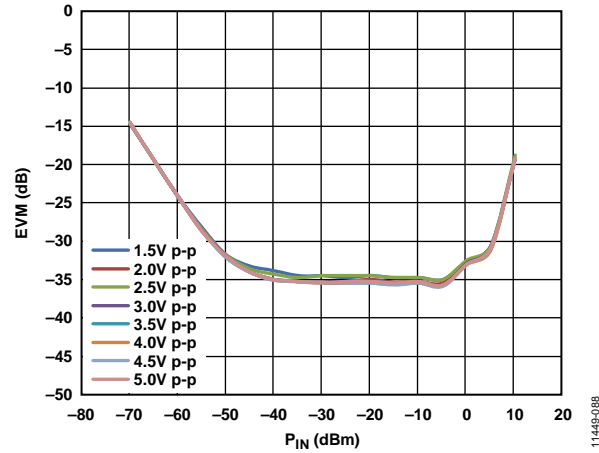


图82. 不同输出电平下EVM与输入功率的关系；滤波器截止频率 = 63 MHz、QPSK、50 MSPS、增益代码 = 0000000

图83显示了不同数字增益设置下的EVM。在以下增益设置，EVM降低大约2 dB至3 dB：VGA1 = 9 dB，VGA2 = 12 dB，VGA3 = 12 dB，后置放大器 = 3 dB。这是因为，ADRF6518的噪声系数随着VGA1增益设置的降低而提高(VGA1设置器件的噪声系数)。图23显示了该相关性：当VGA1数字增益从15 dB变为9 dB时，噪声系数大约提高2 dB。

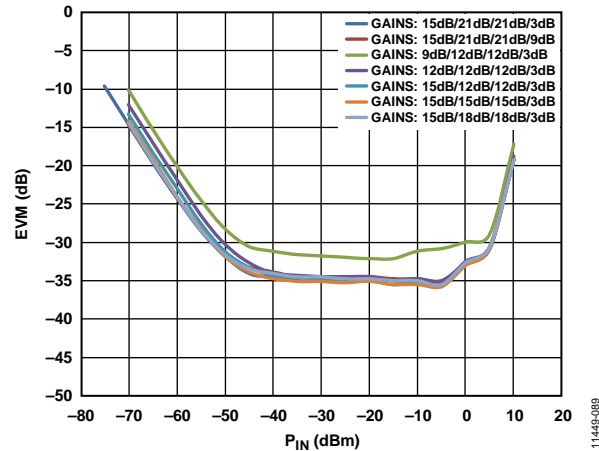


图83. 不同增益代码下EVM与输入功率的关系；滤波器模式 = 63 MHz、QPSK、50 MSPS、保持1.5 V p-p差分输出电平

## 滤波器带宽对EVM的影响

图84显示，在不同码元速率下，改变滤波器带宽如何影响信号的EVM。x轴经过归一化处理，以便显示各信号的基带带宽相对于设定滤波器截止频率的值。例如，滤波器截止频率为10 MHz且信号的基带带宽为5 MHz时，结果为2 Hz/Hz。同样，滤波器截止频率为50 MHz且信号的基带带宽为25 MHz时，结果也是2 Hz/Hz。基带带宽通过下式定义：

$$BW_{BB} = \frac{(\text{Symbol Rate}) \times (1 + \alpha)}{2}$$

一般行为显示：滤波器截止频率与基带带宽之比越高，EVM越好。在2倍比率左右，此行为开始趋稳。相比于带宽较低的信号，此行为对带宽较高信号的影响更大。主要原因是全频率范围内的噪声不是平坦的(滤波器和所有增益级之间存在一定的相互作用)。当远在信号带宽外部的滤波器截止频率开始侵蚀时，噪声整形就会降低EVM性能。

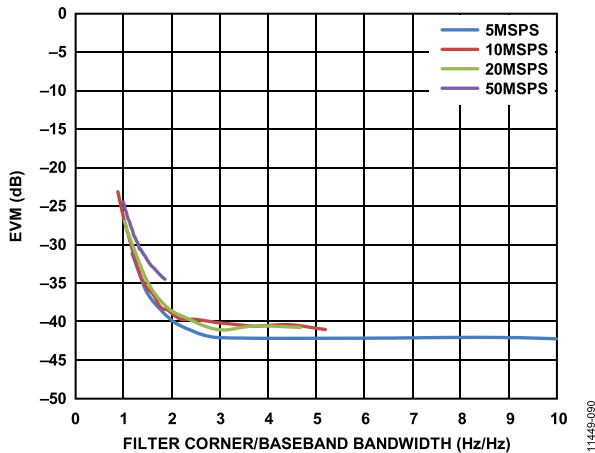


图84. 不同码元速率下EVM与滤波器截止频率/基带带宽比的关系；滤波器截止频率 = 63 MHz、QPSK、1.5 V<sub>p-p</sub>输出电平、-20 dBm输入功率

## 禁用功能的下拉电阻

ADRF6518具有禁用功能，方法是拉低ENBL，此时电源电流降至大约1 mA。为使该功能运行正常，输出引脚(OPP1、OPM1、OPP2、OPM2)必须建立直流接地路径，以便后置放大器能够正确放电。图85显示如何适当地放置下拉电阻。电阻值必须足够大，使得它不会干扰后置放大器看到的输出阻抗(例如400 Ω)，但又不能过大，以至于妨碍正确放电，成为开路。对于多数影响，R<sub>PULLDOWN</sub> = 10 kΩ可充分满足这些条件。

## 滤波器旁路模式下的高增益不稳定性

在滤波器旁路模式下以最高增益使用ADRF6518时，用户必须十分小心。由于高增益(最高66 dB)和宽带宽(最大数字增益下高达350 MHz)，当ADRF6518处于滤波器旁路模式且其增益设置高于60 dB时，它易于发生振荡。振荡表现为噪声底发生宽带上升，SNR和EVM大幅降低。印刷电路板(PCB)上的正交输入到输出信号路径有助于降低该振荡，这可以在图90所示的顶层丝印中看到。建议不要为测量目的而将立柱或接头放在信号路径上，尤其是输出信号路径上。这样做会导致输出信号辐射回输入端，即使增益低于60 dB也会引起振荡。

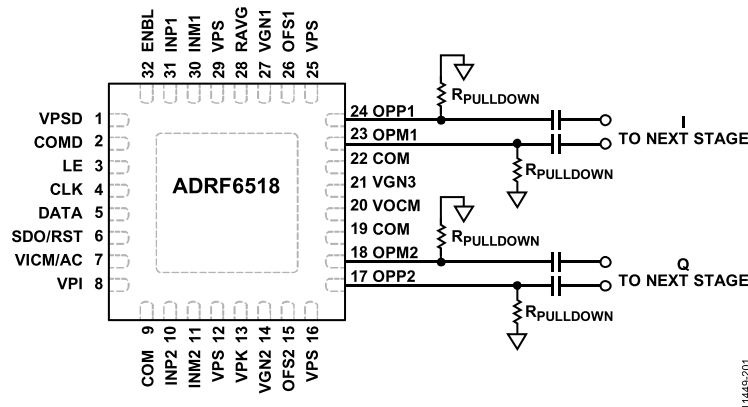


图85. 下拉电阻

# ADRF6518

## ADRF6518的线性操作

ADRF6518的每个通道包含多级。根据增益设置和输入信号电平，可将各级独立驱动到压缩。只能访问输入级 (INP1/INM1、INP2/INM2)和输出级 (OPP1/OPM2、

OPP2/OPM2)，因此，用户必须根据被测器件(DUT)输入信号电平和增益设置(模拟和数字)，推断出各级输入端和输出端的信号电平。最大推荐信号电平见图88所示。所有信号电平的单位都是V p-p差分。

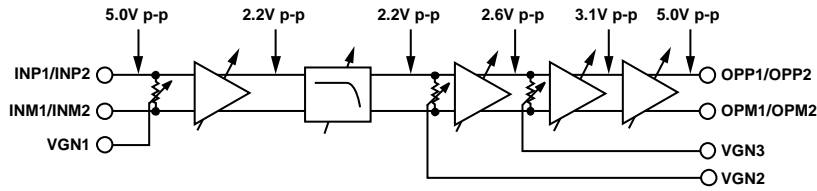


图86. 最大信号电平；仅显示单个通道

11449-200



## 评估板

ADRF6518提供测试用评估板。

### 评估板控制软件

ADRF6518评估板通过PC上的USB端口控制。该软件可使用或禁用直流失调补偿环路，并控制滤波器截止频率、高低功耗模式、ADRF6518中各放大器的最小和最大增益。有关寄存器映射的信息，参见表5。有关SPI端口时序和控制的信息，参见图2和图3。

下载并安装该软件后，打开基本用户界面以设置滤波器截止频率和增益值(参见图87)。

要设置滤波器截止频率，请执行下列操作之一：

- 点击窗口的**截止频率MHz**部分中的箭头，从菜单中选择所需的截止频率，然后点击**将所选截止频率写入器件**。
- 点击**频率 +1 MHz**或**频率 -1 MHz**，以1 MHz步进递增或递减当前截止频率。

要设置滤波器模式、失调校正和电源模式，请移动窗口右上角的相应滑动开关。

要设置VGA1、VGA2、VGA3和后置放大器的最大增益，请点击**VGA1增益dB**、**VGA2增益dB**、**VGA3增益dB**和**后置放大器增益dB**下拉框，并选择所需的增益。

- VGA1最大增益可设置为9 dB、12 dB或15 dB。
- VGA2和VGA3最大增益可设置为12 dB、15 dB、18 dB或21 dB。
- 后置放大器最大增益可设置为3 dB或9 dB。

当用户点击**将所选截止频率写入器件**按钮时，就会执行写操作，随后还会立即执行读操作。更新后的信息显示在**VGA1增益dB**、**滤波器截止频率MHz**、**VGA2增益dB**、**VGA3增益dB**和**后置放大器增益dB**字段中。

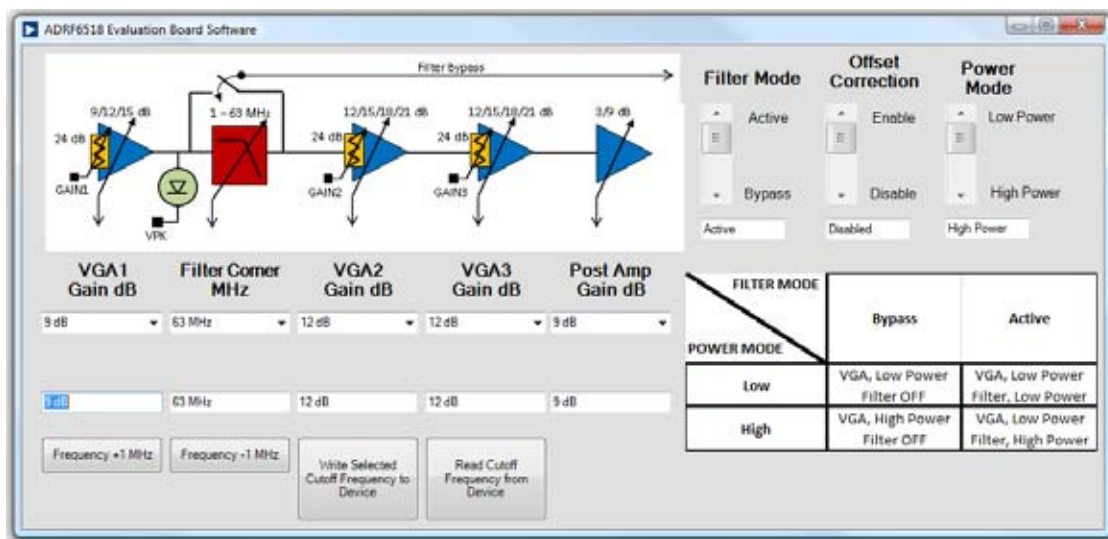


图87. Analog Devices ADRF6518评估软件

11443-072

# ADRF6518

## 原理图和PCB布局图

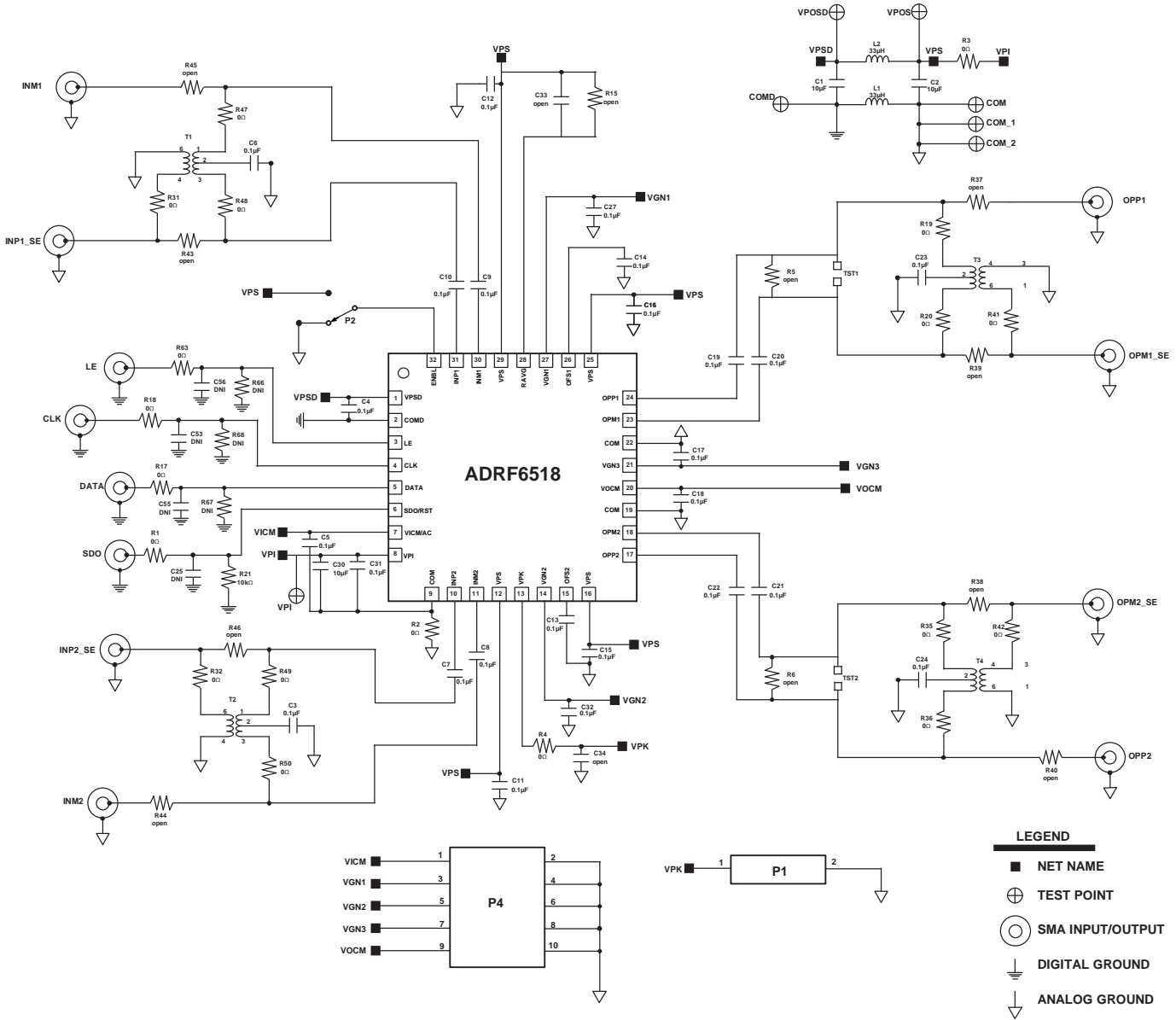


图88. 评估板原理图

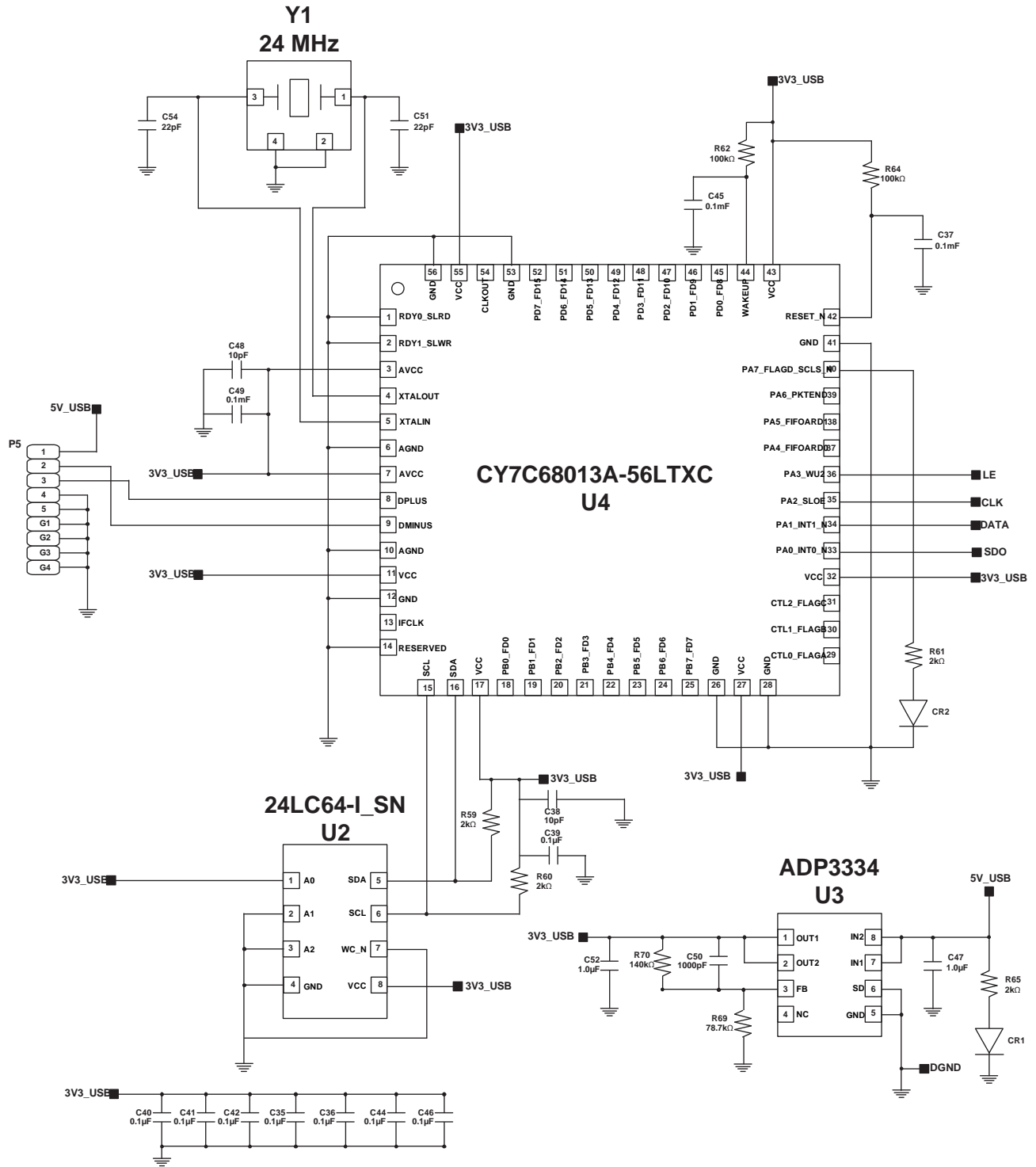


图89. USB评估板原理图

# ADRF6518

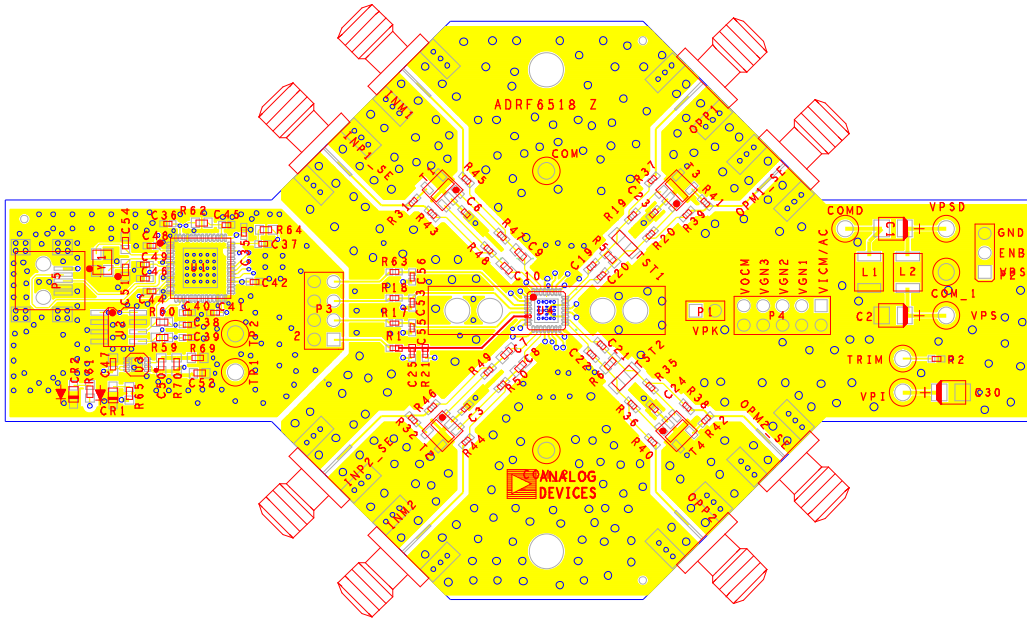


图90. 顶层丝印

11449-075

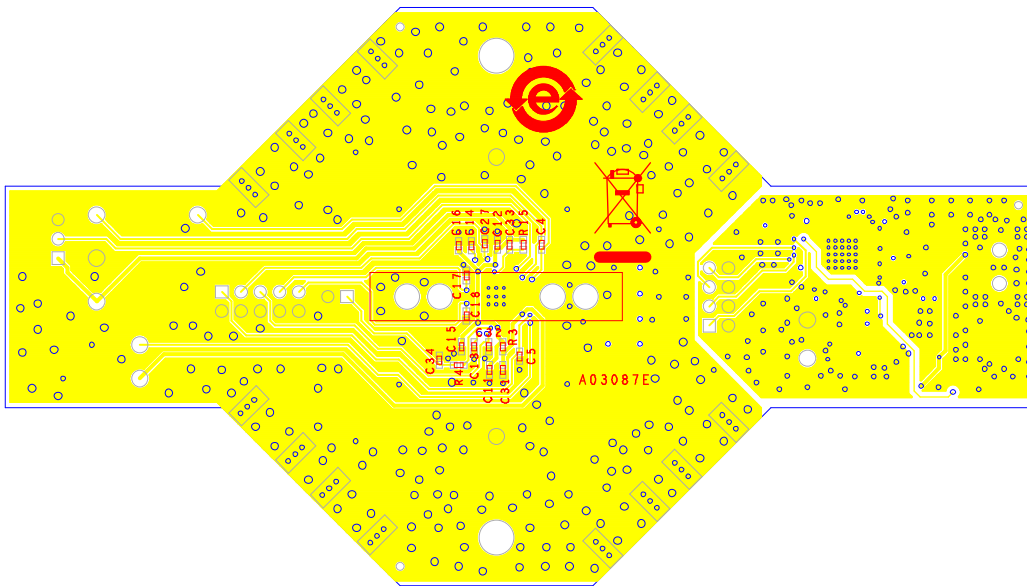


图91. 器件侧布局图

11449-076

表6. 评估板配置选项

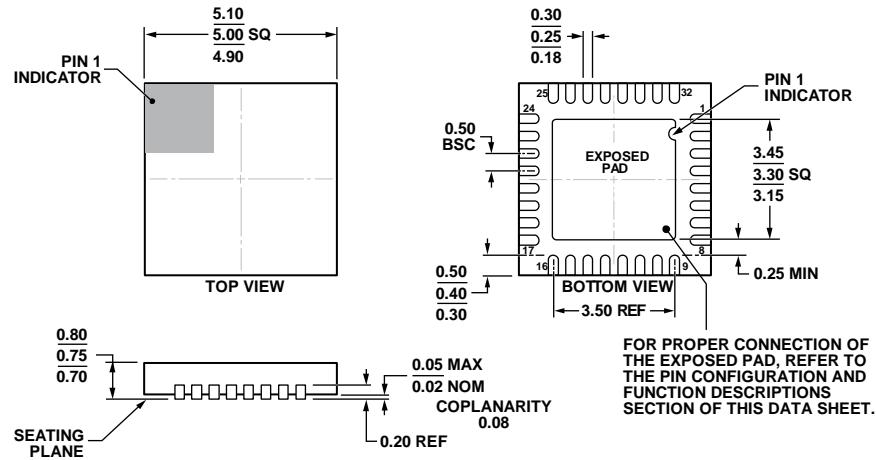
元件	功能	默认条件
C1, C2, C4, C11, C12, C15, C16, C30, C31, L1, L2, R2, R3, P4	电源和接地去耦。标称电源去耦：通过一个0.1 μF电容去耦至地。	C1、C2、C30 = 10 μF(尺寸1210) C4、C11、C12、C15、C16、C31 = 0.1 μF(尺寸0402) L1、L2 = 33 μH(尺寸1812) R2、R3 = 0 Ω(尺寸0402) P4 = 已安装
T1、T2、C3、C6、C7至C10、R31、R32、R43、R44、R45、R46、R47、R48、R49、R50	输入接口。INP1_SE、INM1、INP2_SE和INM2输入SMA用于通过旁路巴伦以差分方式驱动该器件。仅使用INP1_SE和INP2_SE并结合巴伦可实现单端操作。评估板默认采用单端驱动。	T1、T2 = Pulse Electronics CX2049LNL C3、C6 = 0.1 μF(尺寸0402) C7至C10 = 0.1 μF(尺寸0602) R31、R32、R47至R50 = 0 Ω(尺寸0402)

元件	功能	默认条件
	T1和T2是阻抗比率为8:1的巴伦, 可将50 Ω系统中的单端信号转换为400 Ω系统中的平衡差分信号。 R31、R32、R47、R48、R49和R50用于连接至恰当的巴伦接口。要旁路T1和T2巴伦以实现差分接口, 应移除巴伦接口电阻R31、R32、R47、R48、R49和R50, 并用0 Ω电阻填充R43、R44、R45和R46。	R43至R46 = 开路(尺寸0402)
T3、T4、C19至C24、R5、R6、R19、R20、R35至R42	输出接口。旁路输出巴伦时, OPP1、OPM1_SE、OPP2和OPM2_SE输出SMA用于从该器件获得差分信号。使用OPM1_SE、OPM2_SE和巴伦, 用户可获得单端输出信号。评估板默认采用单端驱动。 T3和T4是阻抗比率为8:1的巴伦, 可将400 Ω系统中的差分信号转换为50 Ω系统中的单端信号。 要旁路T3和T4巴伦以实现差分接口, 应移除巴伦接口电阻R19、R20、R35、R36、R41和R42, 并用0 Ω电阻填充R37、R38、R39和R40。 在差分应用中, R5和R6可以用至少400 Ω的阻抗填充以端接输出。	T3、T4 = Pulse Electronics CX2049LNL C19至C24 = 0.1 μF(尺寸0402) R5、R6 = 开路(尺寸0402) R19、R20、R35、R36、R41、R42 = 0 Ω(尺寸0402) R37至R40 = 开路(尺寸0402)
P2	使能接口。向ENBL引脚施加一个逻辑高电压(将跳线P2连接到VPS)可以使ADRF6518上电。	P2 = 安装用于使能
P3, R1, R17, R18, R21, R63, C25, C53, C55, C56	串行控制接口。数字接口通过LE、CLK、DATA和SDO引脚利用串行接口设置截止频率、VGA1/VGA2/VGA3最大增益和后置放大器最大增益。 RC滤波器网络可连接在CLK、LE和DATA线上以对SPI信号滤波。出于调试目的, 可在P3观察到CLK、DATA和LE信号。建议设置C25、C53和C56 = 330 pF以进行滤波。	P3 = 已安装 R1 = 0 Ω(尺寸0402) R21 = 10 kΩ(尺寸0402) C25、C53、C55、C56 = 开路(尺寸0402) R17、R18、R63 = 1 kΩ(尺寸0402)
C13, C14	直流失调补偿环路。直流失调补偿环路通过SPI端口使能。环路使能后, C13和C14电容连接至电路公共端。高通转折频率的计算公式如下: $f_{HP} \text{ (Hz)} = 6.7 \times (\text{后置滤波器线性增益}/C_{OF5} \text{ (}\mu\text{F)})$	C13, C14 = 0.1 μF (尺寸0402)
C5	输入共模基准。输入共模电压可在VICM引脚监控。如果VICM引脚处于开路状态, 输入共模电压必须从外部提供(直流耦合模式)。如果VICM引脚接地, 输入共模电压默认为VPI/2(交流耦合模式)。	C5 = 0.1 μF (尺寸0402)
C18	输出共模设定点。向VOCM引脚施加的输出共模电压可由外部设置。如果VOCM引脚处于开路状态, 输出共模电压的默认值为VPS/2。	C18 = 0.1 μF (尺寸0402)
C17, C27, C32	模拟增益控制。模拟增益引脚VGN1、VGN2和VGN3的范围是0 V到1 V, 增益比例为30 mV/dB。	C17, C27, C32 = 0.1 μF (尺寸0402)
P1, R4, R15, C33, C34	峰值检波器。	P1 = 已安装 R4 = 0 Ω(尺寸0402) R15、C33、C34 = 开路(尺寸0402)
U2, U3, U4, P5	Cypress微控制器、EEPROM和LDO。	U2 = Microchip MICRO24LC64 U3 = Analog Devices ADP3334ACPZ U4 = Cypress Semiconductor CY7C68013A-56LTXC P5 = 微型USB连接器
C35, C36, C40, C41, C42, C44, C46	3.3 V电源去耦。使用数个电容进行3.3 V电源去耦。	C35, C36, C40, C41, C42, C44, C46 = 0.1 μF (0402)

# ADRF6518

元件	功能	默认条件
C37, C38, C39, C45, C48, C49, R59, R60, R61, R62, R64, CR2	Cypress和EEPROM器件。	C38, C48 = 10 pF (0402) C37, C39, C45, C49 = 0.1 $\mu$ F (0402) R59, R60, R61 = 2 k $\Omega$ (0402) R62, R64 = 100 k $\Omega$ (0402) CR2 = ROHM SML-21OMTT86
C47, C50, C52, R65, R69, R70, CR1	LDO器件。	C47, C52 = 1 $\mu$ F (0402) C50 = 1000 pF (0402) R65 = 2 k $\Omega$ (0402) R69 = 78.7 k $\Omega$ (0402) R70 = 140 k $\Omega$ (0402) CR1 = ROHM SML-21OMTT86
Y1, C51, C54	晶振和器件。24 MHz晶振。	Y1 = NDK NX3225SA-24MHz C51, C54 = 22 pF (0402)

# 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

图92. 32引脚引线框芯片级封装[LFCSP\_WQ]  
5 mm x 5 mm超薄体(CP-32-13)  
图示尺寸单位: mm

05-24-2012-A

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADRF6518ACPZ-R7	-40°C至+85°C	32引脚LFCSP_WQ, 7"卷带和卷盘	CP-32-13
ADRF6518ACPZ-WP	-40°C至+85°C	32引脚LFCSP_WQ, 窝伏尔组件	CP-32-13
ADRF6518-EVALZ		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**