

产品特性

- 串行数据输入：8.5 Gbps至11.3 Gbps
- 无需参考时钟
- 超过SONET/SDH抖动传递/产生/容差要求
- 量化器灵敏度：9.2 mV p-p (典型值，限幅放大器模式)
- 可选限幅放大器和均衡器输入
- 可编程抖动传递带宽，支持G.8251 OTN
- 可编程限幅电平
- 采样相位调整
- 输出极性反转
- 通过I²C可编程LOS阈值
- 通过I²C访问可选特性
- LOS报警(仅限幅放大器模式)
- LOL指示器
- PRBS发生器/检测器
- 应用敏感的功耗调整
 - 352 mW (8.5 Gbps、均衡器模式、无时钟输出)
 - 430 mW (11.3 Gbps、均衡器模式、无时钟输出)
- 电源：1.2 V、灵活的1.8 V至3.3 V范围及3.3 V
- 4 mm × 4 mm、24引脚LFCSP封装

应用

- SONET/SDH OC-192、10GFC、10GE及所有相关的FEC
- XFP、线路卡、时钟、路由器、中继器、仪器仪表
- 所有速率再生器/中继器

概述

ADN2917提供下列接收器功能：量化、信号电平检测、时钟和数据恢复，适用于从8.5 Gbps到11.3 Gbps的连续数据速率。ADN2917可自动锁定至所有数据速率，而无需外部参考时钟或编程。ADN2917抖动性能超越全部SONET/SDH抖动要求，包括抖动传递、抖动产生和抖动容差。

ADN2917提供手动或自动限幅调整和手动采样相位调整。此外，用户还可选择在输入端连接一个限幅放大器或均衡器。均衡器为自适应或可手动设置。

当输入信号电平降至用户可编程阈值以下时，接收器前端信号丢失(LOS)检测电路会予以提示。LOS检测电路具有迟滞特性，可防止LOS输出震颤。此外，可通过I²C寄存器读取输入信号强度。

ADN2917还支持伪随机二进制序列(PRBS)生成、位错误检测和输入数据速率回读功能。

ADN2917采用紧凑型4 mm × 4 mm、24引脚架构芯片级(LFCSP)封装。除非另有说明，否则所有规格均相对于-40°C至+85°C环境温度而言。

功能框图

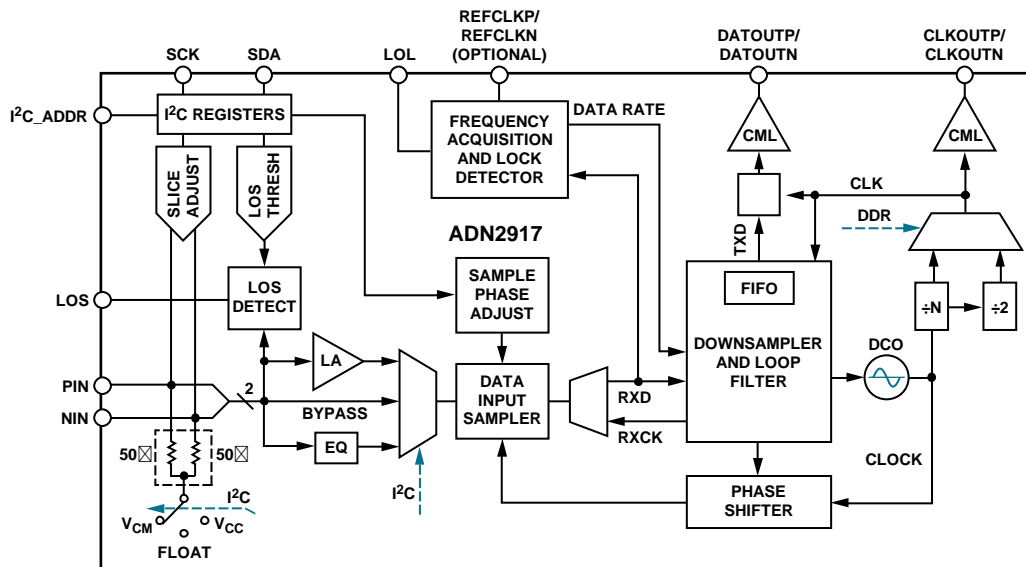


图1.

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	频率采集	20
应用	1	限幅放大器	20
概述	1	限幅调整	20
功能框图	1	边沿选择	20
修订历史	2	信号丢失检测器	22
技术规格	3	被动均衡器	22
抖动规格	4	0 dB EQ	23
输出和时序规格	5	锁定检测器工作方式	23
时序图	7	输出禁用和静噪	24
绝对最大额定值	8	I ² C接口	24
热特性	8	参考时钟(可选)	24
ESD警告	8	通过I ² C接口提供的其他特性	26
引脚配置和功能描述	9	输入配置	28
典型性能参数	10	直流耦合应用	31
I ² C接口时序和内部寄存器描述	12	外形尺寸	32
寄存器映射	13	订购指南	32
工作原理	18		
功能描述	20		

修订历史

2014年5月—修订版0：初始版

技术规格

除非另有说明， $T_A = T_{MIN}$ 至 T_{MAX} ， $VCC = VCC_{MIN}$ 至 VCC_{MAX} ， $VCC1 = VCC1_{MIN}$ 至 $VCC1_{MAX}$ ， $VDD = VDD_{MIN}$ 至 VDD_{MAX} ， $VEE = 0 V$ ，输入数据模式：PRBS $2^{23} - 1$ ，交流耦合，I²C寄存器默认设置。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
数据速率支持范围		8.5		11.3	Gbps
输入—直流特性					
峰峰值差分输入 ¹	PIN – NIN			1.0	V
输入电阻	差分	95	100	105	Ω
旁路路径—CML输入					
输入电压范围	PIN或NIN，直流耦合，RX_TERM_FLOAT = 1(浮空)	0.5		VCC	V
输入共模电平	直流耦合(见图32)，600 mV p-p差分，RX_TERM_FLOAT = 1(浮空)	0.65		VCC – 0.15	V
差分输入灵敏度					
OC-192	交流耦合，RX_TERM_FLOAT = 0 ($V_{CM} = 1.2 V$)， 误码率(BER) = 1×10^{-10}		200		mV p-p
8GFC ²	抖动容差加扰模式(JTSPAT)，交流耦合， RX_TERM_FLOAT = 0 ($V_{CM} = 1.2 V$)， BER = 1×10^{-12}		200		mV p-p
限幅放大器输入路径					
差分输入灵敏度					
OC-192	BER = 1×10^{-10}		9.2		mV p-p
8GFC ²	JTSPAT, BER = 1×10^{-12}		8.3		mV p-p
10.3125 Gbps	JTSPAT, BER = 1×10^{-12}		11.0		mV p-p
均衡器输入路径					
差分输入灵敏度					
8GFC ²	15英寸FR-4，100 Ω差分传输线， 自适应EQ开启 JTSPAT, BER = 1×10^{-12}		115		mV p-p
OC-192	BER = 1×10^{-10}		184		mV p-p
输入—交流特性					
S11	7.5 GHz，差分回损，见图9		-12		dB
LOS检测					
信号丢失检测器			10		mV p-p
迟滞(电)	信号丢失最小编程值		5		mV p-p
LOS置位时间	信号丢失最大编程值		128		mV p-p
LOS解除置位时间	交流耦合 ³		5.7		dB
失锁(LOL)检测	交流耦合 ³		135		μs
LOL置位的DCO频率误差			110		μs
LOL解除置位的DCO频率误差	相对于标称值， 数据在锁定参考(LTR)模式下采集		1000		ppm
LOL置位响应时间	相对于标称值，数据在LTR模式下采集		250		ppm
采集时间	8.5 Gbps, JTSPAT		25		μs
锁定数据(LTD)模式	10 Gbps		18		μs
可选LTR模式 ⁴	OC192		0.5		ms
粗调回读	11.3 Gbps		0.5		ms
精调回读	8.5 Gbps, JTSPAT		0.5		ms
除参考时钟精度以外			6.0		ms
数据速率回读精度					
粗调回读			±5		%
精调回读	除参考时钟精度以外		±100		ppm

ADN2917

参数	测试条件/注释	最小值	典型值	最大值	单位
电源电压					
VCC		1.14	1.2	1.26	V
VDD		2.97	3.3	3.63	V
VCC1		1.62	1.8	3.63	V
电源电流	限幅放大器模式, 时钟输出使能				
VCC	8GFC, ² JTSPAT		319.1	359.5	mA
	OC-192		333	377.4	mA
VDD	8GFC, ² JTSPAT		7.20	8.1	mA
	OC-192		7.21	8.59	mA
VCC1	8GFC, ² JTSPAT		22.2	28.4	mA
	OC-192		35.1	47.4	mA
总功耗					
时钟输出使能	限幅放大器模式, 8.5 Gbps		446.6		mW
	限幅放大器模式, 9.953 Gbps		486.5		mW
时钟输出禁用	均衡器模式, 8.5 Gbps		352		mW
	均衡器模式, 11.3 Gbps		430		mW
工作温度范围		-40		+85	°C

¹ 参见图33。

² 光纤通道物理接口4标准, FC-PI-4, 8.00版, 2008年5月21日。

³ 交流耦合时, LOS置位和解除置位的时间主要由ADN2917输入级的交流耦合电容和100 Ω差分输入端接电阻的RC时间常数决定。

⁴ 该典型采集规格适用于11.05 MHz到176.8 MHz范围内的所有可选参考时钟频率。

抖动规格

除非另有说明, $T_A = T_{MIN}$ 至 T_{MAX} , $VCC = VCC_{MIN}$ 至 VCC_{MAX} , $VCC1 = VCC1_{MIN}$ 至 $VCC1_{MAX}$, $VDD = VDD_{MIN}$ 至 VDD_{MAX} , $VEE = 0 V$, 输入数据模式: PRBS 223 - 1, 交流耦合100 Ω差分端接负载, I²C寄存器默认设置。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
锁相环特性					
抖动传递带宽(BW) ¹					
OC-192	TRANBW[2:0] = 3		1064	1650	kHz
	OTN模式2, TRANBW[2:0] = 1		294	529	kHz
8GFC ³			1242	1676	kHz
抖动峰化					
OC-192	20 kHz至80 MHz		0.014	0.024	dB
8GFC ³	20 kHz至80 MHz		0.004	0.021	dB
抖动产生					
OC-192	未滤波		0.0045	0.0067	UI rms
	未滤波		0.076		UI p-p
8GFC ³	未滤波		0.005		UI rms
	未滤波		0.044		UI p-p
抖动容差	TRANBW[2:0] = 4(默认)				
OC-192	2000 Hz		4255		UI p-p
	20 kHz		106		UI p-p
	400 kHz		3.78		UI p-p
	4 MHz	0.36	0.50		UI p-p
	80 MHz	0.28	0.43		UI p-p

参数	测试条件/注释	最小值	典型值	最大值	单位
8GFC, ³ JTSPAT					
正弦抖动(340 kHz)			6.7		UI p-p
正弦抖动(5.098 MHz)			0.53		UI p-p
正弦抖动(80 MHz)			0.59		UI p-p
Rx抖动跟踪测试 ⁴	电压调制幅度(VMA) = 170 mV p-p (100 MHz)、 425 mV p-p (100 MHz)、170 mV p-p (2.5 GHz)、 425 mV p-p (2.5 GHz激励频率) ⁵				
510 kHz, 1 UI		10 ⁻¹²	<10 ⁻¹²		BER
100 kHz, 5 UI		10 ⁻¹²	<10 ⁻¹²		BER

¹ 抖动传递带宽可通过调整DPLL寄存器(寄存器0x10)中的TRANBW[2:0]来编程。

² 设置TRANBW[2:0](寄存器0x10的位[D2:D0])=1即可进入OTN模式。OTN时ITU G.709所定义的光传输网络。

³ 光纤通道物理接口4标准, FC-PI-4, 8.00版, 2008年5月21日。

⁴ 适用FC-PI-4 8.00版表27 800-DF-EL-5的条件。

⁵ 当时间间隔 $\leq 10^{-12}$ BER时, 为通过测试, 测试期间的误差必须为0。

输出和时序规格

除非另有说明, $T_A = T_{MIN}$ 至 T_{MAX} , $VCC = VCC_{MIN}$ 至 VCC_{MAX} , $VCC1 = VCC1_{MIN}$ 至 $VCC1_{MAX}$, $VDD = VDD_{MIN}$ 至 VDD_{MAX} , $VEE = 0 V$, 输入数据模式: PRBS 223 - 1, 交流耦合100 Ω 差分端接负载, I²C寄存器默认设置。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
CML输出特性					
数据差分输出摆幅	OC-192, DATA_SWING[3:0] (寄存器0x1F的位[D7:D4])设置 = 0xC(默认值)	535	600	672	mV p-p
	OC-192, DATA_SWING[3:0]设置 = 0xF(最大值)	668	724	771	mV p-p
	OC-192, DATA_SWING[3:0]设置 = 0x4(最小值)	189	219	252	mV p-p
时钟差分输出摆幅	OC-192, CLOCK_SWING[3:0] (寄存器0x1F的位[D3:D0])设置 = 0xC(默认值)	406	508	570	mV p-p
	OC-192, CLOCK_SWING[3:0]设置 = 0xF(最大值)	448	583	659	mV p-p
	OC-192, CLOCK_SWING[3:0]设置 = 0x4(最小值)	162	217	249	mV p-p
数据差分输出摆幅	8GFC, DATA_SWING[3:0]设置 = 0xC(默认值)	540	600	666	mV p-p
	8GFC, DATA_SWING[3:0]设置 = 0xF(最大值)	662	725	778	mV p-p
	8GFC, DATA_SWING[3:0]设置 = 0x4(最小值)	190	214	245	mV p-p
时钟差分输出摆幅	8GFC, CLOCK_SWING[3:0]设置 = 0xC(默认值)	426	518	588	mV p-p
	8GFC, CLOCK_SWING[3:0]设置 = 0xF(最大值)	489	603	680	mV p-p
	8GFC, CLOCK_SWING[3:0]设置 = 0x4(最小值)	166	213	245	mV p-p
输出高电压	V_{OH} , 直流耦合	$VCC - 0.05$	$VCC - 0.025$	VCC	V
输出低电压	V_{OL} , 直流耦合	$VCC - 0.36$	$VCC - 0.325$	$VCC - 0.29$	V
CML输出时序特性					
上升时间	20%到80%, OC-192, DATOUTN/DATOUTP	17.4	32.6	46.5	ps
	20%到80%, OC-192, CLKOUTN/CLKOUTP	22.2	28.3	33.1	ps
	20%到80%, 8GFC1, DATOUTN/DATOUTP	20.4	33.1	44	ps
	20%到80%, 8GFC1, CLKOUTN/CLKOUTP	23.1	29.7	35.8	ps
下降时间	80%到20%, OC-192, DATOUTN/DATOUTP	17.5	33	49.1	ps
	80%到20%, OC-192, CLKOUTN/CLKOUTP	23.9	29.2	33.7	ps
	80%到20%, 8GFC1, DATOUTN/DATOUTP	23	34.2	46.8	ps
	80%到20%, 8GFC1, CLKOUTN/CLKOUTP	25	31.3	37.1	ps
建立时间, 全速率时钟	t_s (见图2)		0.5		UI
保持时间, 全速率时钟	t_h (见图2)		0.5		UI
建立时间, DDR时钟	t_s (见图3)		0.5		UI
保持时间, DDR时钟	t_h (见图3)		0.5		UI

ADN2917

参数	测试条件/注释	最小值	典型值	最大值	单位
I ² C接口直流特性	LVTTTL				
输入高电压	V _{IH}	2.0			V
输入低电压	V _{IL}			0.8	V
输入电流	V _{IN} = 0.1 x VDD或V _{IN} = 0.9 x VDD	-10.0		+10.0	μA
输出低电压	V _{OL} , I _{OL} = 3.0 mA			0.4	V
I ² C接口时序	参见图17				
SCK时钟频率				400	kHz
SCK高电平脉冲宽度	t _{HIGH}	600			ns
SCK低电平脉冲宽度	t _{LOW}	1300			ns
起始条件保持时间	t _{HD,STA}	600			ns
起始条件建立时间	t _{SU,STA}	600			ns
数据建立时间	t _{SU,DAT}	100			ns
数据保持时间	t _{HD,DAT}	300			ns
SCK/SDA上升/下降时间 ²	t _R /t _F	20 + 0.1 C _b		300	ns
停止条件建立时间	t _{SU,STO}	600			ns
停止条件和起始条件之间的总线空闲时间	t _{BUF}	1300			ns
LVTTTL直流输入特性 (I ² C_ADDR)					
输入电压					
高	V _{IH}	2.0			V
低	V _{IL}			0.8	V
输入电流					
高	I _{IH} , V _{IN} = 2.4 V			+5	μA
低	I _{IL} , V _{IN} = 0.4 V	-5			μA
LVTTTL直流输出特性 (LOS/LOL)					
输出电压					
高	V _{OH} , I _{OH} = 2.0 mA	2.4			V
低	V _{OL} , I _{OL} = -2.0 mA			0.4	V
参考时钟特性	可选LTR模式				
输入顺从范围(单端)	V _{CM} (无输入失调、无输入电流), 见图25, 交流耦合输入	0.55		1.0	V
最小输入驱动	见图25, 交流耦合, 差分输入		100		mV p-p差分
参考频率		11.05		176.8	MHz
精度要求 ³	交流耦合差分输入		100		ppm

¹ 光纤通道物理接口4标准, FC-PI-4, 8.00版, 2008年5月21日。

² C_b是一条总线的总电容(单位: pF)。如果与高速(HS)模式器件混用, 上升/下降时间可以更快(参见飞利浦I²C总线规范2.1版)。

³ 直流耦合模式下的精度要求通过设计保证, 只要时钟共模电压输出与参考时钟共模电压范围匹配。

时序图

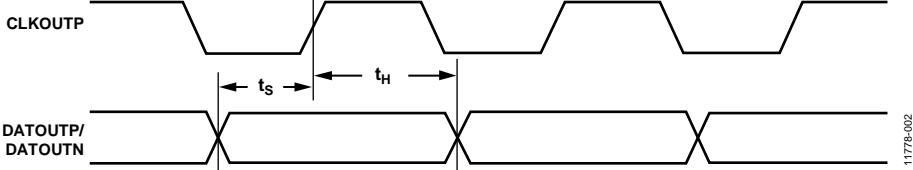


图2. 数据至时钟时序(全速率时钟模式)

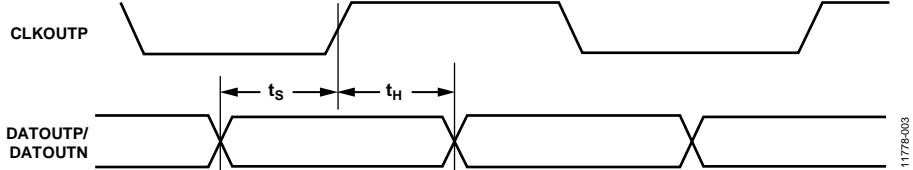


图2. 数据至时钟时序(全速率时钟模式)

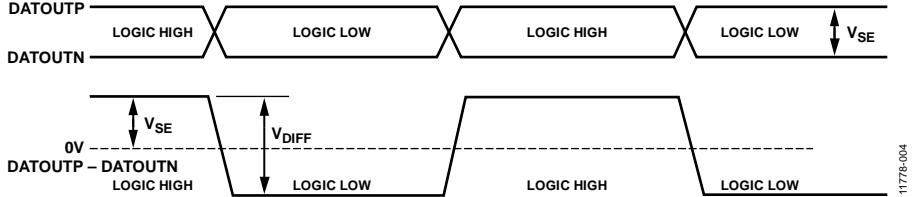


图4. 单端与差分输出幅度关系

绝对最大额定值

表4.

参数	额定值
电源电压(VCC = 1.2 V)	1.26 V
电源电压(VDD和VCC1 = 3.3 V)	3.63 V
最大输入电压(REFCLKP/REFCLKN、NIN/PIN)	1.26 V
最小输入电压(REFCLKP/REFCLKN、NIN/PIN)	$V_{EE} - 0.4 V$
最大输入电压(SDA、SCK、I ² C_ADDR)	3.63 V
最小输入电压(SDA、SCK、I ² C_ADDR)	$V_{EE} - 0.4 V$
最高结温	125°C
存储温度范围	-65°C至+150°C
引脚温度(焊接, 10秒)	300°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热特性

热阻

热阻针对最差条件，即利用4层板将器件焊接在电路板上以实现表贴封装，其裸露焊盘焊接到VEE。

表5. 热阻

封装类型	θ_{JA}^1	θ_{JB}^2	θ_{JC}^3	单位
24引脚 LFCSP_VQ	45	5	11	°C/W

¹ 结至环境。

² 结至基板。

³ 结至外壳。

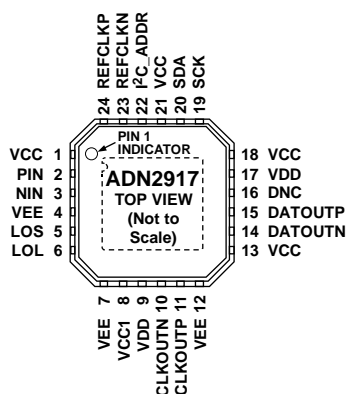
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. DNC = DO NOT CONNECT.
2. THE EXPOSED PAD ON THE BOTTOM OF THE DEVICE PACKAGE MUST BE CONNECTED TO VEE ELECTRICALLY. THE EXPOSED PAD WORKS AS A HEAT SINK.

11778-005

图5. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	类型 ¹	说明
1	VCC	P	限幅放大器的1.2 V电源。
2	PIN	AI	正差分数据输入(CML)。
3	NIN	AI	负差分数据输入(CML)。
4	VEE	P	限幅放大器地。
5	LOS	DO	信号丢失输出(高电平有效)。
6	LOL	DO	失锁输出(高电平有效)。
7	VEE	P	数字控制振荡器(DCO)地。
8	VCC1	P	1.8 V至3.3 V DCO电源。
9	VDD	P	3.3 V高电源。
10	CLKOUTN	DO	负差分恢复时钟输出(CML)。
11	CLKOUTP	DO	正差分恢复时钟输出(CML)。
12	VEE	P	CML输出驱动器地。
13	VCC	P	CML输出驱动器的1.2 V电源。
14	DATOUTN	DO	负差分重定时数据输出(CML)。
15	DATOUTP	DO	正差分重定时数据输出(CML)。
16	DNC	DI	不连接。接地。此引脚悬空。
17	VDD	P	3.3 V高电源。
18	VCC	P	1.2 V内核数字电源。
19	SCK	DI	I ² C时钟。
20	SDA	DIO	I ² C双向数据。
21	VCC	P	1.2 V内核电源。
22	I ² C_ADDR	DI	I ² C地址。I ² C_ADDR = 0时，设置器件I ² C地址 = 0x80；I ² C_ADDR = 1时，器件I ² C地址 = 0x82。
23	REFCLKN	DI	负参考时钟输入(可选)。
24	REFCLKP	DI	正参考时钟输入(可选)。
	EPAD	P	裸露焊盘(VEE)。器件封装底部的裸露焊盘必须电性连接到VEE。 裸露焊盘用作散热器。

¹P表示电源，AI表示模拟输入，DI表示数字输入，DO表示数字输出，DIO表示数字输入/输出。

典型性能参数

除非另有说明, $T_A = 25^\circ\text{C}$, $V_{CC} = 1.2\text{ V}$, $V_{CC1} = 1.8\text{ V}$, $V_{DD} = 3.3\text{ V}$, $V_{EE} = 0\text{ V}$, 输入数据模式: PRBS $2^{15} - 1$, 交流耦合输入和输出。

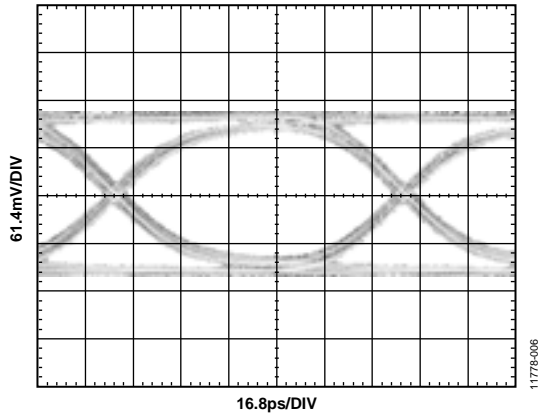


图6. 输出眼图(OC-192)

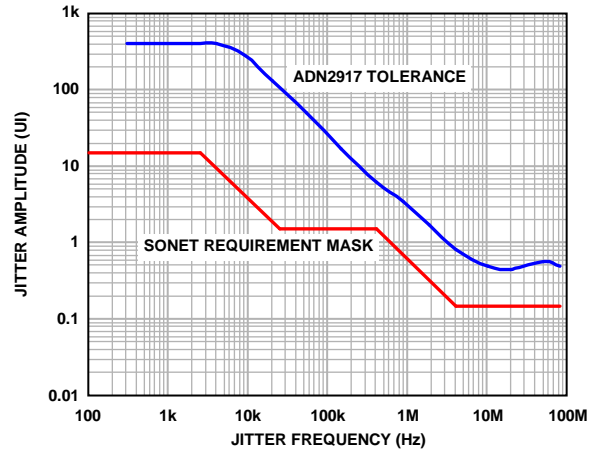


图8. 抖动容差: OC-192

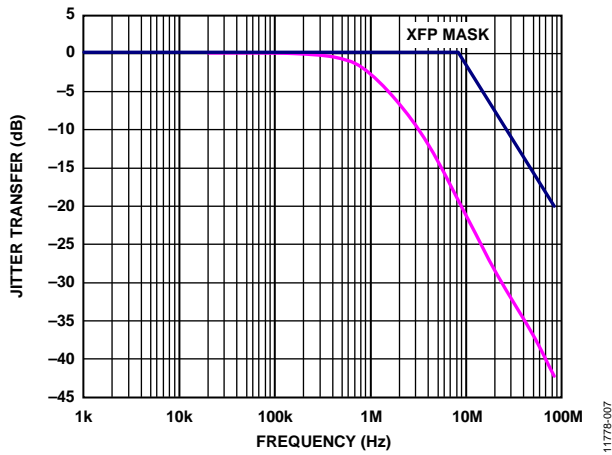


图7. 抖动传递: OC-192, TRANBW[2:0] (寄存器0x10的位[D2:D0])= 3

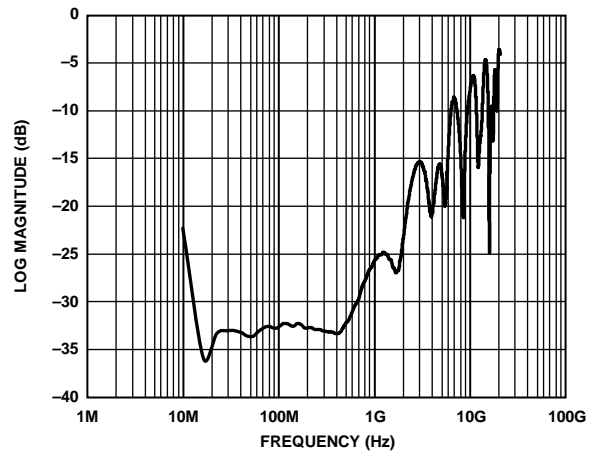


图9. 典型S11频谱性能

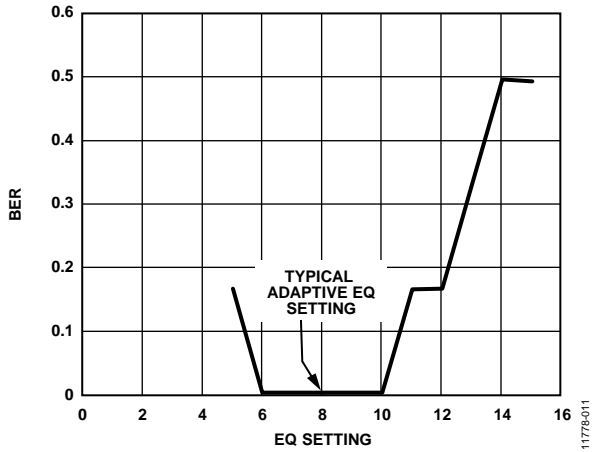


图10. 均衡器模式下的BER与EQ补偿(OC-192)的关系
(用400 mV p-p差分OC-192信号测量,
15英寸FR4走线, 各种EQ补偿, 包括自适应EQ)

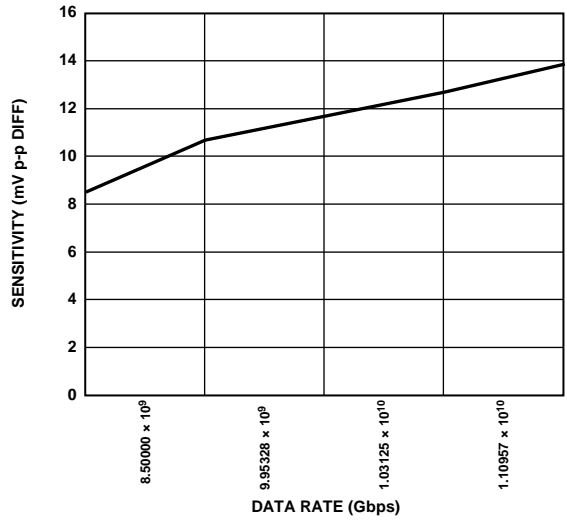


图12. 非SONET/SDH数据速率的灵敏度(BER = 10^{-12})

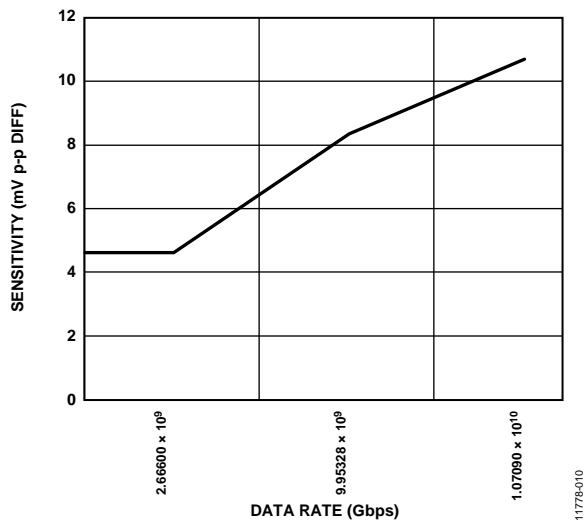


图11. SONET/SDH数据速率的灵敏度(BER = 10^{-10})

I²C接口时序和内部寄存器描述

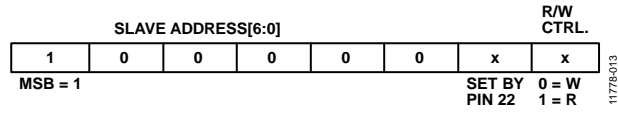


图13. 从机地址配置

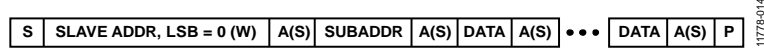


图14. I²C写数据传输



S = START BIT
A(S) = ACKNOWLEDGE BY SLAVE
P = STOP BIT
A(M) = ACKNOWLEDGE BY MASTER
 $\overline{A(M)}$ = NO ACKNOWLEDGE BY MASTER

图15. I²C读数据传输

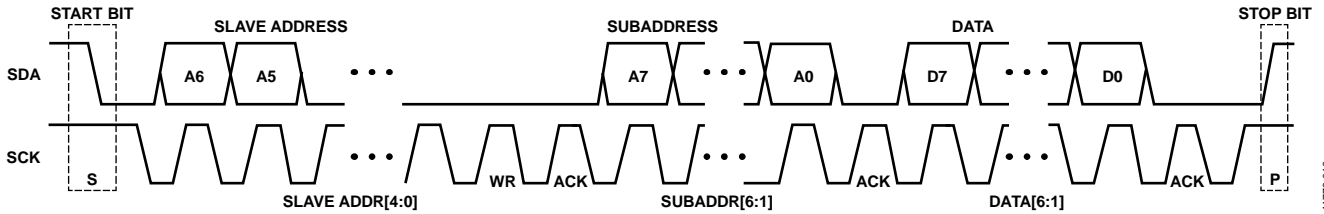


图16. I²C数据传输时序图

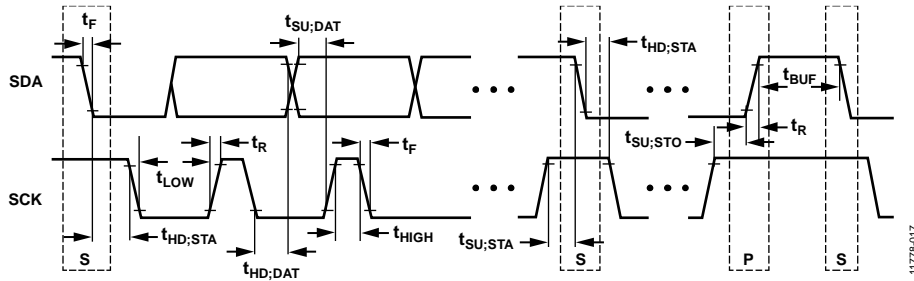


图17. I²C接口时序图

寄存器映射

建议不要写入未清楚标记的寄存器位，否则可能造成非预期的后果。

表7. 内部寄存器映射

寄存器名称	R/W	地址 (十六进制)	默认值 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0	
回读/状态												
FREQMEAS0	R	0x0	不适用	FREQ0[7:0] (RATE_FREQ[7:0])								
FREQMEAS1	R	0x1	不适用	FREQ1[7:0] (RATE_FREQ[15:8])								
FREQMEAS2	R	0x2	不适用	FREQ2[7:0] (RATE_FREQ[23:16])								
FREQ_RB1	R	0x4	不适用	VCOSSEL[7:0]								
FREQ_RB2	R	0x5	不适用		FULLRATE	DIVRATE[3:0]				VCOSSEL[9:8]		
STATUSA	R	0x6	不适用			LOS status	LOL status	LOS done	Static LOL		RATE_MEAS_COMP	
一般控制												
CTRLA	R/W	0x8	0x10	0	CDR_MODE[2:0]			0	Reset static LOL	RATE_MEAS_EN	RATE_MEAS_RESET	
CTRLB	R/W	0x9	0x00	SOFTWARE_RESET	INIT_FREQ_ACQ	0	LOL_CONFIG	LOS PDN	LOS polarity	0	0	
CTRLC	R/W	0xA	0x04	0	0	0	0	0	REFCLK_PDN	0	1	
FLL控制												
LTR_MODE	R/W	0xF	0x00	0		LOLd ata	FREF_RANGE[1:0]	DATA_TO_REF_RATIO[3:0]				
D/PLL控制												
DPLLA	R/W	0x10	0x1C	0		0	0	EDGE_SEL[1:0]	TRANBW[2:0]			
DPLLD	R/W	0x13	0x06	0		0	0	0	0	ADAPTIVE_SLICE_EN	DLL_SLEW[1:0]	
Phase	R/W	0x14	0x00	0		0	0	0	SAMPLE_PHASE[3:0]			
Slice	W	0x15	不适用	Extended slice	Slice[6:0]							
LA_EQ	R/W	0x16	0x08	RX_TERM_FLOAT	INPUT_SEL[1:0]	ADAPTIVE_EQ_EN	EQ_BOOST[3:0]					
Slice Readback	R	0x73	不适用	SLICE_RB[7:0]								
输出控制												
OUTPUTA	R/W	0x1E	0x00	0	0	Data squelch	DATOUT_DISABLE	CLKOUT_DISABLE	0	DATA_POLARITY	CLOCK_POLARITY	
OUTPUTB	R/W	0x1F	0xCC	DATA_SWING[3:0]				CLOCK_SWING[3:0]				
LOS控制												
LOS_DATA	R/W	0x36	0x00	LOS_DATA[7:0]								
LOS_THRESH	R/W	0x38	0x0A	LOS_THRESHOLD[7:0]								
LOS_CTRL	R/W	0x74	0x00	0	0	LOS_WRITE	LOS_ENABLE	LOS_RESET	LOS_ADDRESS[2:0]			
PRBS控制												
PRBS Gen 1	R/W	0x39	0x00	0	0	DATA_CID_BIT	DATA_CID_EN	0	DATA_GEN_EN	DATA_GEN_MODE[1:0]		
PRBS Gen 2	R/W	0x3A	0x00	DATA_CID_LENGTH[7:0]								
PRBS Gen 3	R/W	0x3B	0x00	PROG_DATA[7:0]								
PRBS Gen 4	R/W	0x3C	0x00	PROG_DATA[15:8]								
PRBS Gen 5	R/W	0x3D	0x00	PROG_DATA[23:16]								
PRBS Gen 6	R/W	0x3E	0x00	PROG_DATA[31:24]								
PRBS Rec 1	R/W	0x3F	0x00	0	0	0	DATA_RECEIVER_CLEAR	DATA_RECEIVER_ENABLE	DATA_RECEIVER_MODE[1:0]			
PRBS Rec 2	R	0x40	0x00	PRBS_ERROR_COUNT[7:0]								
PRBS Rec 3	R	0x41	0x00	PRBS_ERROR								

ADN2917

寄存器名称	R/W	地址 (十六进制)	默认值 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
PRBS Rec 4	R	0x42	不适用	DATA_LOADED[7:0]							
PRBS Rec 5	R	0x43	不适用	DATA_LOADED[15:8]							
PRBS Rec 6	R	0x44	不适用	DATA_LOADED[23:16]							
PRBS Rec 7	R	0x45	不适用	DATA_LOADED[31:24]							
ID/版本											
REV	R	0x48	0x54	REV[7:0]							
ID	R	0x49	0x15	ID[7:0]							
HI_CODE	R	0x20	0xFF	保留							
LO_CODE	R	0x21	0xA6	保留							

表8. 状态寄存器STATUSA(地址0x6)

位	位名称	位功能描述
D5	LOS status	0 = 信号未丢失 1 = 信号丢失
D4	LOL status	0 = 已锁定 1 = 频率采集模式
D3	LOS done	0 = LOS操作未完成 1 = LOS操作已完成
D2	Static LOL	0 = 上次复位以来无LOL事件 1 = 上次复位以来有LOL事件，利用静态LOL位CTRLA[D2]清除
D0	RATE_MEAS_COMP	速率测量完成 0 = 频率测量未完成 1 = 频率测量已完成，利用LOL位CTRLA[D0]清除

表9. 控制寄存器CTRLA(地址0x8)

位	位名称	位功能描述
D7	0	保留为0。
D6:D4	CDR_MODE[2:0]	CDR模式。 001 = 锁定数据(LTD)。 011 = 锁定参考(LTR)。 000、010 = 保留。
D3	0	保留为0。
D2	Reset static LOL	置1可清除静态LOL。
D1	RATE_MEAS_EN	精密数据速率测量使能。置1可启动速率测量。
D0	RATE_MEAS_RESET	速率测量复位。置1可清除速率测量。

表10. 控制寄存器CTRLB(地址0x9)

位	位名称	位功能描述
D7	SOFTWARE_RESET	软件复位。先写入1再写入0可复位器件。
D6	INIT_FREQ_ACQ	启动频率采集。 先写入1再写入0可启动频率采集(可选)。
D5	0	保留；CDR始终使能。
D4	LOL_CONFIG	LOL配置。 0 = 正常LOL。 1 = 静态LOL。
D3	LOS_PDN	LOS关断。 0 = 正常LOS。 1 = LOS关断。
D2	LOS_polarity	LOS极性。 0 = LOS引脚高电平有效。 1 = LOS引脚低电平有效。
D1:D0	0	保留为0。

表11. 控制寄存器CTRLC(地址0xA)

位	位名称	位功能描述
D7:D3	0	保留为0。
D2	REFCLK_PDN	参考时钟关断。写入0可使能参考时钟。
D1	0	保留为0。
D0	1	保留为1。

表12. 锁定参考时钟模式编程寄存器LTR_MODE1(地址0xF)

位	位名称	位功能描述
D7	0	保留为0
D6	LOL data	LOL数据 0 = 跟踪期间有效恢复时钟与参考时钟的关系 1 = 跟踪期间有效恢复时钟与数据的关系
D5:D4	FREF_RANGE[1:0]	f_{REF} 范围 00 = 11.05 MHz至22.1 MHz(默认) 01 = 22.1 MHz至44.2 MHz 10 = 44.2 MHz至88.4 MHz 11 = 88.4 MHz至176.8 MHz
D3:D0	DATA_TO_REF_RATIO[3:0]	数据参考比 0000 = 1/2 0001 = 1 0010 = 2 $N = 2^{(n-1)}$ 1010 = 512

¹ $DIV_{f_{REF}}$ 是以11.05 MHz至22.1 MHz频段为基准的分频参考(参见“参考时钟(可选)”部分)。

$$\text{数据速率} / 2^{(LTR_MODE[3:0] - 1)} = \text{REFCLK} / 2^{(LTR_MODE[5:4])}$$

表13. D/PLL控制寄存器DPLLA(地址0x10)

位	位名称	位功能描述
D7:D5	0	保留为0。
D4:D3	EDGE_SEL[1:0]	相位检测的边沿。详情参见“边沿选择”部分。 00 = 上升和下降沿数据。 01 = 上升沿数据。 10 = 下降沿数据。 11 = 上升和下降沿数据。
D2:D0	TRANBW[2:0]	传递带宽。调整传递带宽。默认值为4。详情参见“传递带宽”部分。 $\text{传递带宽} = \text{默认带宽} \times (\text{TRANBW}[2:0]/4)$

表14. D/PLL控制寄存器DPLLD(地址0x13)

位	位名称	位功能描述
D7:D3	0	保留为0。
D2	ADAPTIVE_SLICE_EN	自适应限幅使能。1 = 使能自动限幅调整。
D1:D0	DLL_SLEW[1:0]	DLL压摆。设置DLL的带宽。详情参见“DLL压摆”部分。

表15. 相位控制寄存器Phase(地址0x14)

位	位名称	位功能描述
D7:D4	0	保留为0。
D3:D0	SAMPLE_PHASE[3:0]	对于5.65 Gbps以上的数据速率，以1/32 UI的步进调整采样时刻的相位。 此寄存器为二进制补码格式。详情参见“采样相位调整”部分。

ADN2917

表16. 限幅电平控制寄存器Slice(地址0x15)

位	位名称	位功能描述
D7	Extended slice	扩展限幅使能。 0 = 正常限幅模式。 1 = 扩展限幅模式。
D6:D0	Slice[6:0]	限幅。限幅是一个设置输入阈值的数据字。 详情参见“限幅调整”部分。当Slice[6:0] = 0000000时，限幅功能禁用。

表17. 输入级编程寄存器LA_EQ(地址0x16)

位	位名称	位功能描述
D7	RX_TERM_FLOAT	Rx端接浮空。 0 = 驱动端接共模。 1 = 端接共模浮空。
D6:D5	INPUT_SEL[1:0]	输入级选择。 00: 限幅放大器。 01: 均衡器。 10: 0 dB缓冲器。 11: 未定义。
D4	ADAPTIVE_EQ_EN	使能自适应EQ。 0 = 手动EQ控制。 1 = 自适应EQ使能。
D3:D0	EQ_BOOST[3:0]	均衡器增益。这些位设置EQ增益。详情参见“无源均衡器”部分。

表18. 输出控制寄存器OUTPUTA(地址0x1E)

位	位名称	位功能描述
D7:D6	0	保留为0
D5	Data squelch	静音 0 = 正常数据 1 = 静音数据
D4	DATOUT_DISABLE	数据输出禁用 0 = 数据输出使能 1 = 数据输出禁用
D3	CLKOUT_DISABLE	时钟输出禁用 0 = 时钟输出使能 1 = 时钟输出禁用
D2	0	保留；始终使能双倍数据速率
D1	DATA_POLARITY	数据极性 0 = 正常数据极性 1 = 数据极性反转
D0	CLOCK_POLARITY	时钟极性 0 = 正常时钟极性 1 = 时钟极性反转

表19. 输出摆幅寄存器OUTPUTB(地址0x1F)

位	位名称	位功能描述
D7:D4	DATA_SWING[3:0]	<p>调整数据输出幅度。步长约为50 mV差分。寄存器默认值为0xC。 典型差分数据输出幅度如下：</p> <p>0x1 = 无效。 0x2 = 无效。 0x3 = 无效。 0x4 = 200 mV。 0x5 = 250 mV。 0x6 = 300 mV。 0x7 = 345 mV。 0x8 = 390 mV。 0x9 = 440 mV。 0xA = 485 mV。 0xB = 530 mV。 0xC = 575 mV。 0xD = 610 mV。 0xE = 640 mV。 0xF = 655 mV。</p>
D3:D0	CLOCK_SWING[3:0]	<p>调整时钟输出幅度。步长约为50 mV差分。寄存器默认值为0xC。 典型差分时钟输出幅度如下：</p> <p>0x1 = 无效。 0x2 = 无效。 0x3 = 无效。 0x4 = 200 mV。 0x5 = 250 mV。 0x6 = 300 mV。 0x7 = 345 mV。 0x8 = 390 mV。 0x9 = 440 mV。 0xA = 485 mV。 0xB = 530 mV。 0xC = 575 mV。 0xD = 610 mV。 0xE = 640 mV。 0xF = 655 mV。</p>

工作原理

ADN2917实现了时钟和数据恢复功能，适用于8.5 Gbps到11.3 Gbps的数据速率。前端可配置用来将不归零(NRZ)输入波形放大或均衡到满量程数字电平。

要处理高速输入数据，用户可选择灵敏度优于10 mV的高增益限幅放大器，或选择高通被动均衡器，后者在5 GHz时最高可增强10 dB，且灵敏度为600 mV。

片内LOS检测器配合高灵敏度限幅放大器工作。LOS的默认阈值是器件的灵敏度，最大阈值电平为128 mV p-p。为使鉴相器的眼图开口最佳，限幅放大器限幅阈值可以使用工厂调整设置、通过I²C设置的用户自定义阈值或调整电平。

当输入信号由于FR-4或印刷电路板(PCB)走线的其他缺陷而损坏时，被动均衡器时确保信号完整性的选项之一。均衡器的高频增强可通过I2C寄存器配置以代替工厂默认设置。它还包括一个由用户使能的自适应功能，用于自动调整均衡器以实现最宽的眼图开口。对于8.5 Gbps至11.3 Gbps之间的任意数据速率，可以手动设置均衡器。

当提供一个信号进行时钟和数据恢复(CDR)时，ADN2917用作延迟锁定环和锁相环电路，从NRZ编码数据流恢复时钟并重定时数据。输入数据由高速时钟采样。数字降采样器支持范围涵盖三个数量级的数据速率。降采样数据提供给二进制鉴相器。

输入数据信号的相位由两个独立的反馈环路跟踪。高速延迟锁定环路将一个数字积分器与一个以DCO时钟工作的数字控制移相器级联，从而跟踪抖动的高频成分。另一个相位控制环路由数字积分器和DCO组成，用于跟踪抖动的低

频成分。DCO的初始频率由第三个环路设置，它将DCO频率与输入数据频率相比较。该第三环路还用于设置数字降采样器的抽取比。

延迟锁定环(DLL)和锁相环(PLL)共同跟踪输入数据的相位。例如，当时钟落后于输入数据时，鉴相器将DCO驱动到更高的频率，并通过移相器减小时钟的延迟，这两种操作均用于降低时钟与数据之间的相位误差。由于环路滤波器是一个积分器，因此静态相位误差变为零。

对该电路还可以从另一个角度来看，那就是移相器实现了二阶锁相环频率补偿所需的零点，该零点被置于反馈路径中，因此不出现在闭环传递函数中。由于该电路的闭环传递函数没有零点，因此不存在抖动峰化。

延迟锁定环和锁相环一起同步提供宽带抖动适应和窄带抖动滤波功能。图18所示的简化框图表明Z(s)/X(s)是一个二阶低通滤波器传递函数，它可提供出色的滤波。低频极点由PLL的增益除以DLL的增益形成，在环路的传递带宽，DLL中的升采样和零阶保持具有接近N的增益。注意，与普通二阶锁相环不同，抖动传递没有零点。这意味着，主PLL环路没有抖动峰化。因此，该电路非常适合信号再生器应用，在这种应用中，级联再生器中的抖动峰化可能会导致危险的抖动积累。

在带二进制鉴相器的DLL的压摆率限制以内，误差传递函数e(s)/X(s)具有与普通锁相环相同的高通形式。可以自由地对该传递函数进行优化以实现出色的宽带抖动适应，因为抖动传递函数Z(s)/X(s)会提供窄带抖动滤波。

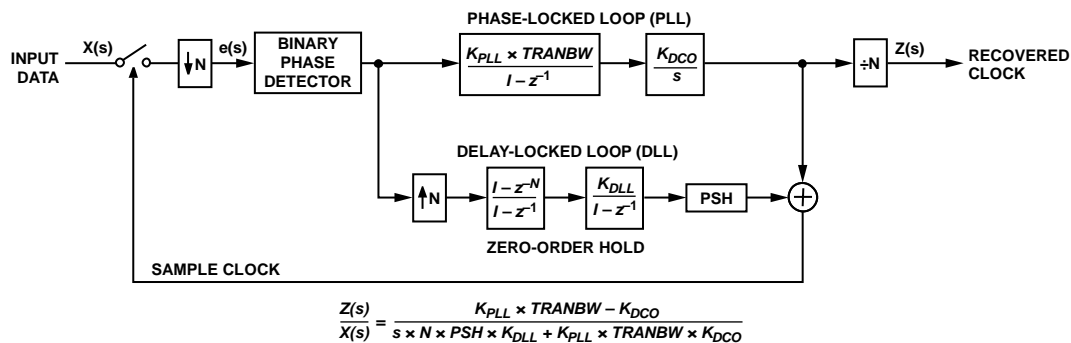


图18. CDR抖动框图

11778-018

延迟锁定环和锁相环对整体抖动适应均有影响。在数据信号的低输入抖动频率，环路滤波器中的积分器提供高增益，以很小的相位误差跟踪大抖动幅度。这种情况下，振荡器发生频率调制，抖动像在普通锁相环中一样进行跟踪。可跟踪的低频抖动量是DCO调谐范围的函数。调谐范围越宽，则支持的低频抖动越大。对于低抖动频率，内部环路控制字保持较小的值，因此移相器依然靠近其范围的中心，对低频抖动适应几乎无影响。

在中间抖动频率，DCO的增益和调谐范围不够大，无法跟踪输入抖动。这种情况下，DCO控制字变得很大，发生饱和。结果，DCO频率驻留在其调谐范围的极端处。因此，DCO调谐范围的大小对抖动适应只有很小的影响。现在，

延迟锁定环控制范围扩大，移相器承担起跟踪输入抖动的责任。时钟上使用无限范围移相器。因此，数据采样器时钟与输出端重定时时钟之间的最小定时失配范围受FIFO深度限制，最大值为32 UI。

获取数据速率的方法有两种。默认模式是频率锁定输入数据，一个有限状态机从数据提取频率测量结果以对DCO和环路分频比编程，使得采样频率与数据速率相匹配(精度为250 ppm)。PLL使能，将该频率差驱动到0 ppm。第二种模式是锁定参考，这种情况下，用户提供11.05 MHz到176.8 MHz之间的参考时钟。必须将分频比写入一个串行端口寄存器。

功能描述

频率采集

ADN2917可从数据中采集频率，支持的数据频率范围是8.5 Gbps到11.3 Gbps。锁定检测器电路将DCO的频率与输入数据的频率相比较。当频率差大于1000 ppm时，LOL置位，新的频率采集周期启动。DCO频率复位至其范围的下限，内部分频比设置为最低值 $N = 1$ ，它是数据速率的最高倍频程。然后，鉴频器将该采样速率频率与数据速率频率相比较，若前者大于后者，则 N 提高2倍；若后者大于前者，则提高DCO频率。起初，DCO频率以较大的步长递增，以便加快采集。当DCO频率接近数据频率时，步长减小，直至DCO频率在数据频率的250 ppm范围内，此时LOL解除置位。

当LOL解除置位时，锁频环关闭。PLL或DLL捕捉DCO频率，直至DCO频率等于数据频率。

限幅放大器

限幅放大器具有差分输入(PIN和NIN)，各输入通过50 Ω 电阻内部端接到片内基准电压源($V_{CM} = 0.95$ V典型值)。这些输入必须交流耦合。输入失调经过工厂调整，灵敏度典型值优于10 mV p-p，温漂极小。限幅放大器可以用差分或单端方式驱动。限幅放大器不能采用直流耦合，因为用户需要提供一个与内部共模电压精密匹配的共模电压，否则内部50 Ω 端接电阻将会吸收共模电压之差。

限幅放大器不能采用直流耦合的另一个原因是工厂调整的输入失调会无效。失调由限幅调整数模转换器(DAC)提供的差分电流调零(见图1)。采用交流耦合时，所有电流都流入ADN2917的50 Ω 端接电阻。而采用直流耦合时，外部驱动电路会分享该电流，因而对失调的校准会丢失。此外，限幅调整要求限幅调整DAC的所有电流都流入这些电阻，否则校准就会丢失(参见“限幅调整”部分)。

限幅调整

为了降低放大自发辐射(ASE)的影响或占空比失真，量化器限幅电平可以1.6 mV步进偏移 ± 100 mV，或以0.24 mV步进偏移 ± 15 mV。量化器限幅调整电平由Slice[6:0](I²C寄存器0x15的位[D6:D0])设置。

为了精确控制限幅阈值，用户需要回读工厂调整的偏移，它以7位数形式存储在I²C限幅回读寄存器(寄存器0x73)中。利用表20解码器件的测量偏移，1 LSB相当于0.24 mV。

表20. 限幅电平编程，正常限幅模式(扩展限幅 = 0)

Slice[6:0]	十进制值	偏移
0000000	0	限幅功能禁用
0000001	1	-15 mV
...
1000000	64	0 mV
...
1111111	127	+14.75 mV

手动限幅调整所需的偏移量等于器件的偏移减去所需的限幅调整电平。利用表20或表21确定要写入I²C限幅寄存器的代码字。

表21所示为扩展限幅值，其每LSB对应的步长更大。设置寄存器0x15的扩展限幅位(位7)为1时，限幅调整的满量程范围放大6倍。

表21. 限幅电平编程，扩展限幅模式(扩展限幅 = 1)

Slice[6:0]	十进制值	偏移
0000000	128	限幅功能禁用
0000001	129	-100 mV
...
1000000	192	0 mV
...
1111111	255	+100 mV

需要手动限幅时，应禁用直流偏移环路，以便将数据的占空比失真驱动到0。设置DPLL寄存器(寄存器0x13)的ADAPTIVE_SLICE_EN = 0可禁用自适应限幅。

边沿选择

一个二进制或亚历山大鉴相器驱动所有分频比的DLL和PLL环路。如果上升和下降数据转换上均测量到相位误差，接收数据的占空比失真将导致鉴相器传递函数中出现死区。该死区会引起未知频谱成分的抖动产生，其峰峰值幅度可能很大。

当直流偏移环路禁用时，建议器件仅在上升数据沿(EDGE_SEL[1:0]，即寄存器0x10的位[D4:D3]等于十进制1)或下降数据沿(EDGE_SEL[1:0]，即寄存器0x10的位[D4:D3]等于十进制2)计算相位误差。

图19上方的两条曲线显示了时钟与上升数据沿(EDGE_SEL[1:0] = 1)对齐的情况。窄1的占空比失真会移动有效采样时刻，数据采样点位于中心的右侧。图19的第一条和第三条曲线显示了时钟与下降数据沿(EDGE_SEL[1:0] = 2)对齐的情况。有效采样时刻移动到中心的左侧。对于5.65 Gbps以上的速率，可利用采样相位调整将有效采样时刻移动到窄1(或窄0)的中心，实现最佳抖动容差。

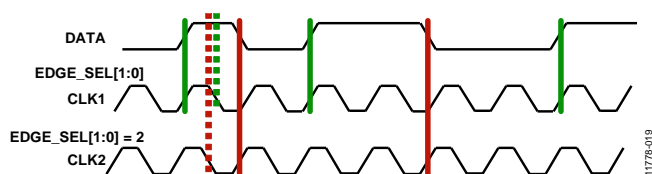


图19. 鉴相器时序

DLL压摆

CDR传递带宽以外的抖动容差由延迟锁定环的压摆率决定，延迟锁定环实现了对相位的 Δ 调制。设置DLL_SLEW[1:0](寄存器0x13的位[D1:D0])= 2(默认值)，配置DLL以SONET/SDH抖动容差眼罩中的最高频率断点跟踪0.75 UI p-p抖动。该频率与速率成比例： $f_{p5} = \text{Rate (Hz)}/2500$ (例如，OC-192是4.0 MHz)。 f_{p4} 时UI的峰峰值跟踪遵循表达式 $(1 + \text{DLL_SLEW})/4$ UI p-p。

某些应用不需要全部SONET/SDH抖动容差。这种情况下，DLL_SLEW[1:0](寄存器0x13的位[D1:D0])可以设为0，以便降低恢复时钟上产生的抖动，并改善高频抖动容差。

采样相位调整

以5.65 Gbps或更高的数据速率工作时，采样时刻的相位可通过I²C调整，方法是写入SAMPLE_PHASE[3:0]位(寄存器0x14的位[D3:D0])。利用该特性，用户可以调整采样时刻

以达到改善BER和抖动容差的目的。虽然CDR选择的默认采样时刻在大多数应用中足够好，但在处理某些劣化的输入信号时，通过手动调整相位可以改善BER和抖动容差性能。

总调整范围为0.5 UI，每个方向0.25 UI，调整增量为1/32 UI。SAMPLE_PHASE[3:0](寄存器0x14的位[D3:D0])是一个二进制补码数，数据与采样时钟的关系如图20所示。

传递带宽

传递带宽可通过I²C写入TRANBW[2:0](寄存器0x10的位[D2:D0])来调整。默认值为4。设为低于4的值时，传递带宽降低；设为高于4的值时，传递带宽提高。所得到的传递带宽可根据下式计算：

$$\text{传递带宽} = (\text{默认传递带宽}) \times \left(\frac{\text{TRANBW}[2:0]}{4} \right)$$

例如，OC-192的默认传递带宽为1.4 GHz。改变TRANBW[2:0]时得到的传递带宽如表22所示。

表22. 传递带宽调整

TRANBW[2:0]值	传递带宽(kHz)
1	350
2	700
3	1050
4	1400(默认)
5	1750
6	2100
7	2450

OTN应用常常需要降低传递带宽。切勿设置TRANBW[2:0] = 0，这将使CDR变为开环。另外还应注意，TRANBW[2:0]设置为高于4的值可能导致抖动产生略有增加，并且可能出现抖动峰化。

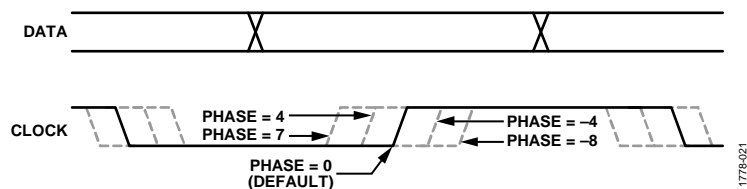


图20. 数据与采样时钟LOS检测器迟滞的关系

信号丢失检测器

接收器前端LOS检测器电路检测输入信号电平是否降至用户可调阈值以下。

LOS检测器通常有6 dB的电性迟滞，以防LOS引脚发生震颤。这意味着，如果输入电平降至编程设置的LOS阈值以下，导致LOS引脚置位，那么要使LOS引脚解除置位，输入电平必须提高到LOS阈值6 dB (2×)以上(参见图21)。

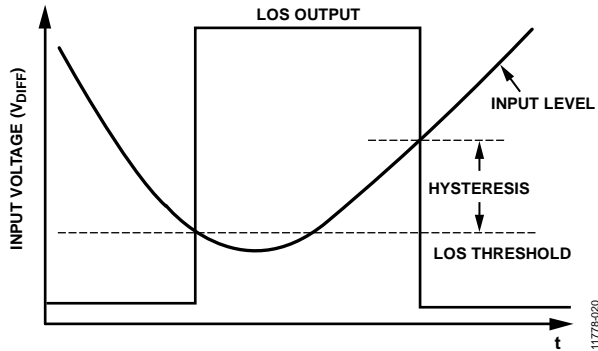


图21. LOS检测器迟滞

ADN2917上的LOS检测器和限幅电平调整可以同时使用。因此，限幅调整位(寄存器0x15的位[D6:D0])增加到输入信号中的任何偏移都不会影响LOS检测器的绝对输入电平测量结果。

LOS关断

LOS默认使能且消耗电源。设置LOS PDN(寄存器0x9的位D3)= 1可将LOS置于低功耗模式。

LOS阈值

LOS阈值范围是0 mV到128 mV，设置方法是将毫伏(mV)数写入LOS_DATA寄存器(寄存器0x36)，然后在LOS_ADDRESS置1的同时切换LOS_ENABLE位(寄存器0x74的位D4)。下面是写入LOS阈值的程序：

1. 向LOS_CTRL(寄存器0x74)写入0x21。
2. 向LOS_DATA(寄存器0x36)写入所需的阈值(单位为毫伏)。
3. 向LOS_CTRL(寄存器0x74)写入0x31。
4. 向LOS_CTRL(寄存器0x74)写入0x21。

LOS阈值可以用1 mV步进设置为0 mV到63 mV的值，以及用2 mV步进设置为64 mV到128 mV的值。在较低范围，所有位都有效，分辨率为1 mV/LSB，其中位D0是LSB。

但是，在较高范围，位D0禁用(即D0 = 0)，位D1成为新的LSB，因而分辨率为2 mV/LSB。

I²C寄存器LOS_CTRL(寄存器0x74)包含用于设置该LOS阈值所需的地址和写入使能位。

信号强度测量

LOS测量接收信号的峰峰值幅度并进行数字化处理。为执行单次测量，应向位于I²C地址0x74的LOS_CTRL(寄存器0x74)写入以下序列的字节：0x7、0x17、0x7。当LOS_ENABLE(寄存器0x74的位D4)变为低电平时，峰峰值幅度(单位为毫伏)载入LOS_DATA(寄存器0x36)。LOS_DATA的内容仅在以下情况下改变：LOS_ENABLE(寄存器0x74的位D4)从低电平切换到高电平再切换到低电平，同时指向LOS_ADDRESS[2:0](寄存器0x74的位[D2:D0])= 7。

被动均衡器

输入端有一个被动均衡器(EQ)，用于均衡因为PCB走线、过孔和连接器而发生失真的大信号。ADN2917的自适应均衡器是工厂设置的默认功能。需要时，可以手动设置EQ。

均衡器可通过LA_EQ寄存器(寄存器0x16)手动设置。还有一个自适应环路，它根据鉴相器接收眼图的特性优化EQ设置。如果事先知道通道，手动设置EQ可获得最佳性能，不过大多数情况下自适应EQ会找到最佳设置。

表23给出了多种走线长度的典型EQ设置。表23中的值以在测试板上利用简单的FR-4走线获得的测量结果为基础。表24列出了多种数据速率下EQ的典型最大跨距(单位为FR-4英寸)。如果实际通道包括易损耗的连接器或过孔，则FR-4跨距长度会更短。对于实际系统，强烈建议用实际通道测

表23. EQ设置与走线长度(FR-4)

走线长度(英寸)	典型EQ设置
6	10
10	12
15	14
20至30	15

表24. 典型EQ跨距(FR-4)与支持的最大数据速率

最大数据速率(Gbps)	典型EQ跨距(FR-4英寸)
4	30
8	20
10	15
11	10

0 dB EQ

0 dB EQ路径将输入信号直接连到ADN2917内部的数字逻辑。这在数据速率较低、信号较大(因而不需要限幅放大器,可禁用限幅放大器以省电)且未受损(因而不需要均衡器)时很有用。内部数字电路的信号摆幅是600 mV p-p差分,这是在0 dB EQ模式下必须作为输入提供的最小信号幅度。

在0 dB EQ模式下,内部50 Ω端接电阻有两种配置方式:浮空或连接到 $V_{CC} = 1.2$ V(见图26和表28)。RX_TERM_FLOAT(寄存器0x16的位D7)置1时,这些50 Ω端接电阻在ADN2917内部浮空(见图26和图29)。RX_TERM_FLOAT置0时,这些50 Ω端接电阻连接到 $V_{CC} = 1.2$ V(见图26和图30)。在这两种端接情况下,用户均要确保输入端存在有效共模电压。

端接浮空时,两个50 Ω电阻是纯差分端接。输入必须符合图32和图33所示的信号范围。

端接到1.2 V V_{CC} 电源(见图30和图31)时,驱动器电路和ADN2917的50 Ω电阻共同产生共模电压。例如,驱动器可以是开漏开关电流(见图30),50 Ω电阻将该电流返回到 V_{CC} 。图30中,共模电压由电流和电阻共同产生。这种情况下,确保电流至少为6 mA,以提供300 mV的单端摆幅或600 mV的差分摆幅, $V_{CM} = 1.05$ V(见图32)。最大电流为10 mA,提供500 mV单端摆幅和1.0 V p-p差分摆幅, $V_{CM} = 0.95$ V(见图33)。

还有一种可能性是让开关电流驱动器后部端接,如图31所示,两个 V_{CC} 电源具有相同的电位。本例中,电流由两个50 Ω并联电阻(或25 Ω)返回到 V_{CC} ,因此最小电流是12 mA,最大电流是20 mA。

锁定检测器工作方式

ADN2917的锁定检测器有三种工作模式:正常模式、LTR模式和静态LOL模式。

正常模式

正常模式下,ADN2917是连续速率CDR,可锁定到8.5 Gbps至11.3 Gbps的任意数据速率,无需利用参考时钟来帮助采集。这种模式下,锁定检测器监控DCO与输入数据频率的频率差,当DCO在数据频率的250 ppm范围内时,就会解除LOL(引脚6)上出现的失锁信号。这将使能数字PLL(D/PLL),它完成DCO频率的最终捕捉并获取相位锁定。锁定时,如果输入频率误差超过1000 ppm(0.1%),失锁信

号就会重新置位,控制权回到频率环路,开始新的频率采集。LOL引脚保持置位,直至DCO以250 ppm范围内的频率误差锁定有效输入数据流。该迟滞如图22所示。

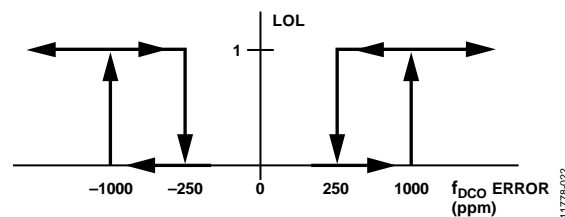


图22. LOL的传递函数

锁定参考(LTR)模式

LTR模式下,参考时钟用作采集辅助工具以便锁定ADN2917 DCO。设置CDR_MODE[2:0](寄存器0x8的位[D6:D4])=3即可使能锁定参考模式。用户还必须写入LTR_MODE寄存器(寄存器0xF)的FREF_RANGE[1:0](寄存器0xF的位[D5:D4])和DATA_TO_REF_RATIO[3:0](寄存器0xF的位[D3:D0]),以设置参考频率范围和数据速率相对于参考频率的分频比。最后,必须通过I²C写入0到REFCLK_PDN位(寄存器0xA的位D2),以解除置位参考时钟缓冲器的关断。为使采集速度最快,CTRLC(寄存器0xA)的位D0应始终置1。

更多信息参见“参考时钟(可选)”部分。这种模式下,锁定检测器监控分频后的DCO与分频后的参考时钟之间的频率差。当DCO在所需频率的250 ppm范围内时,LOL(引脚6)上出现的失锁信号解除置位。这将使能D/PLL,它完成DCO频率相对于输入数据的最终捕捉并获取相位锁定。锁定时,如果频率误差超过1000 ppm(0.1%),失锁信号就会重新置位,控制权回到频率环路,它根据参考时钟重新获取锁定。LOL引脚保持置位,直至DCO频率在所需频率的250 ppm范围内。该迟滞如图22所示。

静态LOL模式

ADN2917实现了静态LOL特性,它能指示失锁状况是否发生,在手动复位静态LOL位(寄存器0x6的位D2)之前会一直保持置位状况,哪怕ADN2917重新获取锁定。只要发生失锁状况,该位就会内部置位逻辑高电平。即使ADN2917重新锁定新的数据速率,静态LOL位也会保持高电平。向复位静态LOL位(寄存器0x8的位D2)先写入1再写入0,可复位该位。复位后,静态LOL位(寄存器0x6的位D2)保持解除置位状态,直至再次发生失锁状况。

ADN2917

向LOL_CONFIG位(寄存器0x9的位D4)写入1就会使LOL引脚(引脚6)变为静态LOL指示器。这种模式下, LOL引脚是静态LOL位(寄存器0x6的位D2)的镜像, 具有上述功能。LOL_CONFIG位(寄存器0x9的位D4)默认值为0。这种模式下, LOL引脚以正常模式工作, 也就是仅当ADN2917处于采集模式时置位, 并在ADN2917获取锁定时解除置位。

输出禁用和静噪

ADN2917有两类输出禁用/静噪。分别将DATOUT_DISABLE(寄存器0x1E的位D4)和CLKOUT_DISABLE(寄存器0x1E的位D3)设为高电平, 可禁用DATOUTP/DATOUTN和CLKOUTP/CLKOUTN输出。输出禁用时, 就会完全关断, 每路输出大约节省30 mW功耗。禁用DATOUTP/DATOUTN也会禁用CLKOUTP/CLKOUTN输出, 总共节省大约60 mW功耗。

如果希望关闭数据输出但让时钟保持开启, 可以将数据静噪位(寄存器0x1E的位D5)设为高电平, 使输出数据静噪。这种模式下, 数据驱动器处于工作状态, 但数据本身始终为0(或1), 取决于DATA_POLARITY位(寄存器0x1E的位D1)的设置。

I²C接口

ADN2917支持2线I²C兼容串行总线驱动多个外设。串行数据(SDA)和串行时钟(SCL)两路输入承载任何连接到总线的器件之间的信息。每个从机都通过一个唯一的地址识别。从机地址由一个8位字的7位MSB组成。7位从机地址的高6位(位[6:1])由工厂编程为100000。从机地址的LSB(位0)由引脚22(I²C_ADDR)设置。该字的LSB设置读或写操作(见图13)。逻辑1对应于读操作, 逻辑0对应于写操作。

要控制总线上的器件, 必须利用下列规则: 首先, 主机通过建立起始条件而启动数据传输; 起始条件要求SDA发生高低转换, 同时SCK保持高电平。这表示随后将出现地址/数据流。所有外设都对起始条件做出响应, 并对接下来的8个位(7位地址加R/W位)移位。这些位以MSB到LSB的方式传输。能够识别所传输地址的外设在第9个时钟脉冲期间将数据线拉低, 从而做出响应。这称为应答位。此时, 所有其它器件从总线退出, 保持空闲状态。空闲状态是指器件监控SDA和SCK线, 等待起始条件和正确的传输地址。R/W位决定数据的方向。如果第一个字节的LSB为逻辑0,

则意味着主机向外设写入信息。如果第一个字节的LSB为逻辑1, 则意味着主机从外设读取信息。

ADN2917用作总线上的标准从器件。SDA引脚上的数据长8位, 支持7位地址加R/W位。ADN2917具有子地址以支持用户访问内部寄存器(见表7)。

因此, 它将第一个字节解释为器件地址, 将第二个字节解释为起始子地址。它支持自动递增模式, 数据可以读出或写入起始子地址及后续各地址, 而无需手动寻址后续子地址。数据传输始终由停止条件终止。用户也可以逐个访问任一子地址寄存器, 而无需更新所有寄存器。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果正常的读写操作导致这些条件置位失序, 器件将立即跳入空闲状态。在SCK高电平期间, 应发送一个起始条件或一个停止条件, 或者先发送单一停止条件, 再发送单一起始条件。如果用户发送的子地址无效, ADN2917不会发送应答, 而是直接返回到空闲状态。以自动递增模式回读时, 若超过最高子地址, 则将继续输出最高子地址寄存器内容, 直至主器件发送不应答。这表示读取结束。不应答条件是指在第9个时钟脉冲期间, SDA线未被拉低。写入和读取数据传输示例分别参见图14和图15, 更详细时序图参见图16。

参考时钟(可选)

通过ADN2917执行时钟和数据恢复时, 无需采用参考时钟。不过, 它支持使用可选的参考时钟。参考时钟可以用差分或单端方式驱动。若不使用参考时钟, REFCLKP和REFCLKN均应浮空。

两个50 Ω串联电阻提供REFCLKP与REFCLKN之间的差分负载。VCC和VEE之间的电阻分压器将共模电压内部设置为0.56 x VCC。配置示例参见图23、图24和图25。

参考时钟输入缓冲器接受任何峰峰值差分幅度大于100 mV的差分信号。参考时钟的相位噪声和占空比不太重要, 100 ppm精度即足够。

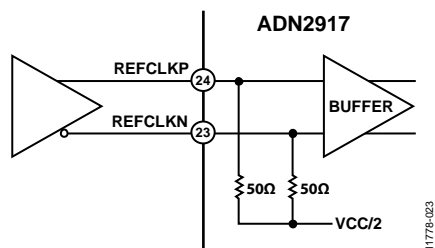


图23. 直流耦合差分REFCLKx配置

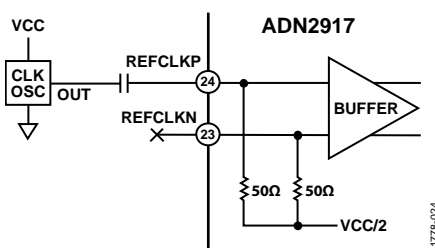


图24. 交流耦合单端REFCLKx配置

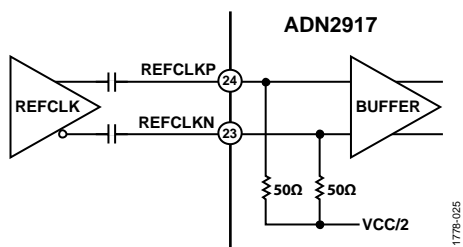


图25. 交流耦合差分REFCLKx配置

参考时钟既可用于采集辅助工具来帮助ADN2917锁定数据，也可用来测量输入数据的频率(精度达0.01%)。这两种模式是互斥的，因为对于第一种用途，用户只能驱使器件锁定已知数据速率，而对于第二种用途，用户可以测量未知数据速率。

向CDR_MODE[2:0](寄存器0x8的位[6:4])写入3即可使能锁定参考模式。片内时钟缓冲器必须上电，即向REFCLK_PDN位(寄存器0xA的位D2)写入0。向RATE_MEAS_EN位(寄存器0x8的位D1)写入1可使能精密数据速率回读模式。不支持同时使能锁定参考和数据速率回读，这会导致器件处于不明状态。

利用参考时钟锁定数据

这种模式下，ADN2917锁定至根据下式从参考时钟衍生而来的频率：

$$\text{数据速率} / 2^{(\text{LTR_MODE}[3:0] - 1)} = \text{REFCLK} / 2^{\text{LTR_MODE}[5:4]}$$

用户必须确切地知道数据速率是多少，并提供一个与该速率有函数关系的参考时钟。在这种配置中，如果用户能够提供提供一个可变频率的参考时钟，则ADN2917仍可用于连续速率器件(参见应用笔记AN-632)。

参考时钟可以是11.05 MHz和176.8 MHz之间的任意值。默认情况下，ADN2917期望11.05 MHz到22.1 MHz的参考时

钟。如果参考时钟位于22.1 MHz与44.2 MHz之间、44.2 MHz与88.4 MHz之间或88.4 MHz与176.8 MHz之间，用户必须设置FREF_RANGE[1:0]位域(寄存器0xF的位[D5:D4])，以配置ADN2917使用正确的参考频率范围。

表25. LTR_MODE(寄存器0xF)设置

LTR_MODE[5:4]	范围(MHz)	LTR_MODE[3:0]	比率
00	11.05至22.1	0000	2^{-1}
01	22.1至44.2	0001	2^0
10	44.2至88.4	n	2^{n-1}
11	88.4至176.8	1010	2^9

利用DATA_TO_REF_RATIO[3:0](寄存器0xF的位[D3:D0])，用户可以指定要锁定的参考时钟的固定整数倍数。设置

$$\text{DATA_TO_REF_RATIO}[3:0] = \text{数据速率} \div \text{DIV}_{f_{\text{REF}}}$$

其中， $\text{DIV}_{f_{\text{REF}}}$ 是以11.05 MHz至22.1 MHz频段为基准的分频参考。

例如，若参考时钟频率为38.88 MHz且输入数据速率为9953.28 Mbps，则FREF_RANGE[1:0](寄存器0xF的位[D5:D4])设置为01将提供19.44 MHz的分频参考时钟。DATA_TO_REF_RATIO[3:0](寄存器0xF的位[D3:D0])设置为1010，也就是10，因为

$$9953.28 \text{ Mbps} / 19.44 \text{ MHz} = 2^{(10-1)}$$

当ADN2917在锁定参考模式下工作时，如果用户改变参考频率，也就是改变 f_{REF} 范围(寄存器0xF的位[D5:D4])或 f_{REF} 比率(寄存器0xF的位[D3:D0])，则随后必须向INIT_FREQ_ACQ(寄存器0x9的位D6)写入0-1-0以启动新的锁定参考命令。

在默认锁定参考模式下，当锁定已实现且ADN2917处于跟踪模式时，DCO的频率会与参考时钟的频率相比较。如果频率误差超过1000 ppm，锁定即丢失，LOL置位，它将重新锁定参考时钟，同时继续输出稳定的时钟。

设置LOL数据位(寄存器0xF的位D6)=1可使能另一种配置。该配置中，当器件处于锁定模式时，DCO的频率与输入数据的频率相比较，而不是与参考时钟的频率相比较。如果频率误差超过1000 ppm，锁定即丢失，LOL置位，它将重新锁定参考时钟，同时继续输出稳定的时钟。

利用参考时钟测量数据频率

用户也可提供参考时钟来测量恢复的数据频率。这种情况下，用户提供参考时钟，ADN2917将输入数据的频率与输入参考时钟的频率相比较，并返回两个频率之比(精度为0.01%，即100 ppm)。参考时钟的精度误差增加到ADN2917数据速率测量的精度上。例如，若使用100 ppm精度的参考时钟，则测量的总精度为200 ppm。

ADN2917

参考时钟的范围是11.05 MHz至176.8 MHz。利用参考时钟回读数据速率之前，必须根据表25，以所用的参考时钟为基准，将FREF_RANGE[1:0](寄存器0xF的位[D5:D4])设置为适当的频率范围。然后按照如下步骤执行精密数据速率回读：

1. 施加参考时钟。
2. 向REFCLK_PDN(寄存器0xA的位D2)写入0以启用参考时钟电路。
3. 写入FREF_RANGE[1:0](寄存器0xF的位[D5:D4])以选择适当的参考时钟频率电路。
4. 向RATE_MEAS_EN(寄存器0x8的位D1)写入1。这会启用ADN2917的精密数据速率测量功能。该位对电平敏感，无需复位即可执行后续频率测量。
5. 向RATE_MEAS_RESET(寄存器0x8的位D0)写入0-1-0。这会启动新的数据速率测量。
6. 回读RATE_MEAS_COMP(寄存器0x6的位D0)。如果等于0，则测量未完成。如果等于1，则测量已完成，可通过RATE_FREQ[23:0](寄存器0x0、寄存器0x1和寄存器0x2的位[D7:D0])和FREQ_RB2(寄存器0x5)回读数据速率(见表7)。数据速率测量的大致时间由公式2给出。

通过下式确定数据速率：

$$f_{\text{DATARATE}} = \frac{(\text{RATE_FREQ}[23:0] \times f_{\text{REFCLK}})}{2^{\text{LTR}[5:4]} \times 2^7 \times 2^{\text{FULLRATE}} \times 2^{\text{DIVRATE}}} \quad (1)$$

f_{DATARATE} 为数据速率(Mbps)。

RATE_FREQ[23:0]来自FREQ2[7:0](最高有效字节)、FREQ1[7:0]和FREQ0[7:0](最低有效字节)。参见表7。

f_{REFCLK} 为参考时钟频率(MHz)。

FULLRATE = FREQ_RB2[6](寄存器0x5的位D6)。

DIVRATE = FREQ_RB2[5:2](寄存器0x5的位[D5:D2])。

MSB

LSB

D23 to D16	D15 to D8	D7 to D0
FREQ2[7:0]	FREQ1[7:0]	FREQ0[7:0]

考虑一个例子：PIN/NIN和REFCLKP/REFCLKN端口分别有9.953 Gbps (OC-192)输入信号和19.44 MHz的参考时钟源。这种情况下，FREF_RANGE[1:0](寄存器0xF的位[D5:D4])=00，参考频率在11.05 MHz到22.1 MHz范围内。执行步骤1至步骤6之后，RATE_FREQ[23:0](寄存器0x0、寄存器0x1和寄存器0x2的位[D7:D0])的回读值是0x00FFFD，即65533。FULLRATE(寄存器0x5的位D6)的回读值是0，DIVRATE[3:0](寄存器0x5的位[D5:D2])的回读值是0。将这些值代入公式1可得：

$$((65533) \times (19.44 \times 10^6)) / (2^0 \times 2^7 \times 2^0 \times 2^0) = 9.95282 \text{ Gbps}$$

如果后续还要进行频率测量，RATE_MEAS_EN(寄存器0x8

的位D1)可保持置1，它不需要复位。向RATE_MEAS_RESET(寄存器0x8的位D0)先写入1再写入0，即可复位测量过程。这会启动新的数据速率测量。执行步骤2至步骤6以回读新的数据速率。注意，数据速率回读仅在LOL引脚为低电平时有效。如果LOL为高电平，则数据速率回读无效。

向RATE_MEAS_RESET(寄存器0x8的位D0)写入0-1-0以启动频率测量时，也会复位RATE_MEAS_COMP位(寄存器0x6的位D0)。完成从RATE_MEAS_RESET写入0-1-0到RATE_MEAS_COMP位返回高电平的频率测量所需的大致时间可通过下式计算：

$$\text{测量时间} = \frac{2^{11} \times 2^{\text{LTR}[5:4]}}{f_{\text{REFCLK}}} \quad (2)$$

LOS配置

LOS检测器输出LOS(引脚5)可配置为高电平有效或低电平有效。如果LOS极性(寄存器0x9的位D2)设为逻辑0(默认)，则检测到信号丢失时，LOS引脚为高电平有效。

通过I²C接口提供的其他特性

粗调数据速率回读

数据速率可通过I²C接口回读，精度约为±5%，无需外部参考时钟，计算公式如下：

$$\text{数据速率} = \frac{f_{\text{DCO}}}{2^{\text{FULLRATE}} \times 2^{\text{DIVRATE}}} \quad (3)$$

其中

f_{DCO} 为DCO的频率，依据表26获得。

FULLRATE来自寄存器0x5的位D6。

DIVRATE来自寄存器0x5的位[D5:D2]。

由VCOSEL[9:8](寄存器0x5的位[D1:D0])定义四个振荡器内核涵盖数据速率的最高倍频程，如表26所示。

表26. DCO中心频率与VCOSEL[9:8](寄存器0x5的位[D1:D0])

内核 = VCOSEL[9:8]	最小频率(MHz) = Min_f(core)	最大频率(MHz) = Max_f(core)
0	5570	7105
1	7000	8685
2	8610	10,330
3	10,265	11,625

f_{DCO} 由VCOSEL[9:0](寄存器0x4的位[D7:D0]和寄存器0x5的位[D1:D0])决定, 计算公式如下:

$$f_{DCO} = \text{Min}_f(\text{core}) + \frac{\text{Max}_f(\text{core}) - \text{Min}_f(\text{core})}{256} \times \text{VCOSEL}[7:0]$$

成功范例

回读FREQ_RB1(寄存器0x4)和FREQ_RB2(寄存器0x5)的内容。例如, 将10.3125 Gbps信号施加于PIN/NIN端口,

VCOSEL[7:0] = 0x11

FREQ_RB2 = 0x03

FULLRATE(寄存器0x5的位D6)= 0

DIVRATE(寄存器0x5的位[D5:D2])= 0

core(寄存器0x5的位[D1:D0])= 3

则

$$f_{DCO} = 10265 \text{ Mbps} + \frac{(11625 - 10265) \text{ Mbps}}{256} \times 17 = 10355.31 \text{ Mbps}$$

以及

$$f_{data} = \frac{10355.31 \text{ Mbps}}{2^0 \cdot 2^0} = 10355.31 \text{ Mbps}$$

启动频率采集

先写入1再写入0到INIT_FREQ_ACQ(寄存器0x9的位D6), 可以启动频率采集。这会启动新的频率采集, 而ADN2917则保持先前通过寄存器0x8 (CTRLA)、寄存器0x9 (CTRLB)和寄存器0xA (CTRLC)设置的工作模式。

PRBS发生器/接收器

ADN2917集成PRBS发生器和检测器, 可用于系统测试。该器件可配置为PRBS检测器或PRBS发生器。

以下步骤配置PRBS检测器:

1. 将DATA_RECEIVER_ENABLE(寄存器0x3F的位D2)设为1, 同时根据所需的PRBS模式(0: PRBS7; 1: PRBS15; 2: PRBS31)设置DATA_RECEIVER_MODE[1:0](寄存器0x3F的位[D1:D0])。DATA_RECEIVER_MODE[1:0]设置为3时, 对恢复的数据进行一次性采样并载入DATA_LOADED[15:0](寄存器0x42和寄存器0x43的位[D7:D0])。
2. DATA_RECEIVER_CLEAR(寄存器0x3F的位D3)先设置为1再设置为0可清除PRBS_ERROR(寄存器0x41的位D0)和PRBS_ERROR_COUNT(寄存器0x40的位[D7:D0])。
3. DATA_RECEIVER_ENABLE(寄存器0x3F的位D2)设置为0可冻结PRBS_ERROR和PRBS_ERROR_COUNT[7:0]的状态。

以下步骤配置PRBS发生器:

1. 将DATA_GEN_EN(寄存器0x39的位D2)设为1以启用PRBS发生器, 同时根据所需的PRBS输出模式(0: PRBS7; 1: PRBS15; 2: PRBS31)设置DATA_GEN_MODE[1:0](寄存器0x39的位[D1:D0])。DATA_GEN_MODE[1:0]设置为3可激活任意32位模式并存储为PROG_DATA[31:0](寄存器0x3B、寄存器0x3C、寄存器0x3D和寄存器0x3E的位[D7:D0])。
2. DATA_CID_EN(寄存器0x39的位D4)设置为1时, 发生器中可引入检测到的DATA_CID_BIT(寄存器0x39的位D5)的连续相同数字串。连续相同数字(CID)的长度为8 x DATA_CID_LENGTH[7:0](寄存器0x3A的位[D7:D0]), 后者通过PRBS Gen 2[7:0]寄存器(寄存器0x3A)设置。

表27. PRBS设置

PRBS 模式	DATA_GEN_MODE[1:0] (寄存器0x39的位[D1:D0])	PRBS 多项式
PRBS7	0x00	$1 + X^6 + X^7$
PRBS15	0x01	$1 + X^{14} + X^{15}$
PRBS31	0x10	$1 + X^{28} + X^{31}$
PROG_DATA [31:0] ¹	0x11	不适用

¹寄存器0x3B、寄存器0x3C、寄存器0x3D和寄存器0x3E的位[D7:D0]。

双倍数据速率模式

恢复的输出时钟是双倍数据速率(DDR)时钟, 输出时钟频率是数据速率的 $\frac{1}{2}$, 这样就可以与上升沿和下降沿均支持定时的FPGA直接接口。

禁用输出缓冲器

ADN2917提供了禁用输出缓冲器以省电的选项。设置CLKOUT_DISABLE(寄存器0x1E的位D3)= 1即可禁用时钟输出缓冲器, 总输出功率降低30mW。设置DATOUT_DISABLE(寄存器0x1E的位D4)= 1可将CLKOUTx和DATOUTx缓冲器全部禁用, 总共节省功耗60 mW, 例如在低功耗待机模式下。

传输线路

为使反射最小, 所有高频输入和输出信号都需要使用50 Ω 传输线: PIN、NIN、CLKOUTP、CLKOUTN、DATOUTP和DATOUTN(若使用高频参考时钟, 如155 MHz, 则还包括REFCLKP和REFCLKN)。PIN和NIN输入走线的长度, 以及CLKOUTP、CLKOUTN、DATOUTP和DATOUTN输出走线的长度, 均应匹配, 以免差分走线产生偏斜。

高速输入(PIN和NIN)各通过50 Ω 电阻内部端接到片内基准电压(见图26)。同任何高速混合信号电路一样, 所有高速数字走线应远离敏感的模拟节点。

ADN2917

高速输出 (DATOUTP、DATOUTN、CLKOUTP和CLKOUTN)通过50 Ω电阻内部端接到VCC。

引脚架构芯片级封装焊接指南

24引脚LFCSP上的引脚焊盘为方形。PCB焊盘比封装焊盘长0.1 mm，宽0.05 mm。为确保焊点最大，引脚焊盘应位于电路板焊盘中央。引脚架构芯片级封装的底部有一个中央裸露的焊盘。PCB上的焊盘至少应与此裸露焊盘一样大。用户必须利用填充通孔将裸露焊盘连接到VEE，防止回流焊期间焊剂从通孔泄漏出去，这样可确保裸露焊盘与VEE的连接牢固。

将裸露焊盘连接到VEE时，强烈建议包含尽可能多的通孔。这样可使芯片与VEE之间的热阻最小，芯片温度最低。建议将通孔连接到VEE层以改善散热(如图27所示)，而不要连接到信号走线。

将一个外部VEE层放在与ADN2917相对的电路板背面上可带来额外的好处，热量将更容易消散到环境中。

输入配置

无论是交流耦合配置还是直流耦合配置，ADN2917的输入级均可配合信号源工作。为了最好地适应所需的应用环境，ADN2917提供以下输入模式以供选择：限幅放大器、均衡器和旁路。通过I²C总线可以轻松设置ADN2917使用所需的任意输入配置。图26给出了输入级电路的框图。

正确的输入信号通路可利用INPUT_SEL[1:0]位(寄存器0x16的位[D6:D5])来配置。表28显示了INPUT_SEL[1:0]位和输入信号配置。

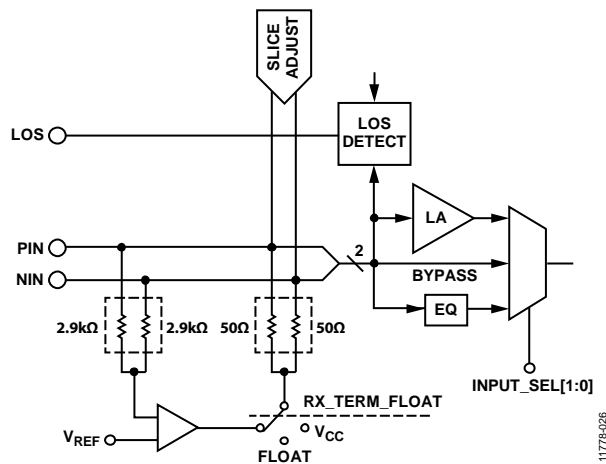


图26. 输入级电路框图

表28. 输入信号配置

所选输入	INPUT_SEL[1:0](寄存器0x16的位[D6:D5])	RX_TERM_FLOAT(寄存器0x16的位D7)= 0	RX_TERM_FLOAT = 1
限幅放大器	00	V _{REF}	未定义
均衡器	01	V _{REF}	未定义
旁路(0 dB缓冲器)	10	V _{CC}	浮空
未定义	11	未定义	未定义

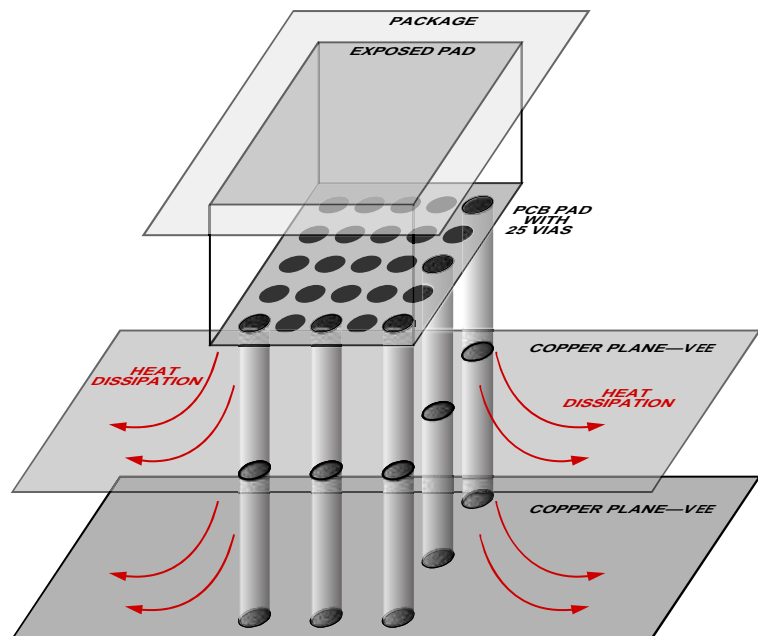


图27. 通孔连接到VEE

选择交流耦合电容

ADN2917的输入端(PIN、NIN)和输出端(DATOUTR、DATOUTN)必须选择合适的交流耦合电容,使器件能在应用的全部数据速率范围内正常工作。选择电容时,必须考虑它与信号路径中的两个50 Ω电阻形成的时间常数。施加大量CID时,电容电压可能会因为基线漂移而下降(见图28),引起模式相关的抖动(PDJ)。

用户必须确定能够容忍多少的降幅,并根据该降幅选择交流耦合电容。然后便可根据电容选择估算PDJ量。实际电容值的选择可能需要权衡降幅与PDJ。

例如,假设可容忍2%的降幅,最大差分降幅为4%。

归一化到V_{p-p},

$$\text{降幅} = \Delta V = 0.04 V = 0.5 V_{p-p} (1 - e^{-t/\tau})$$

$$\tau = 12t$$

其中:

τ 为RC时间常数(C为交流耦合电容, R为C看到的电阻100 Ω)。

t 为总放电时间

$$t = nT$$

其中:

n 为CID数。

T 为位周期。

联立 τ 和 t 的方程式以计算电容值。

$$C = 12nT/R$$

选定电容值后, PDJ可通过下式估算:

$$PDJ_{ps\ p-p} = 0.5t_r(1 - e^{-(nT/RC)})/0.6$$

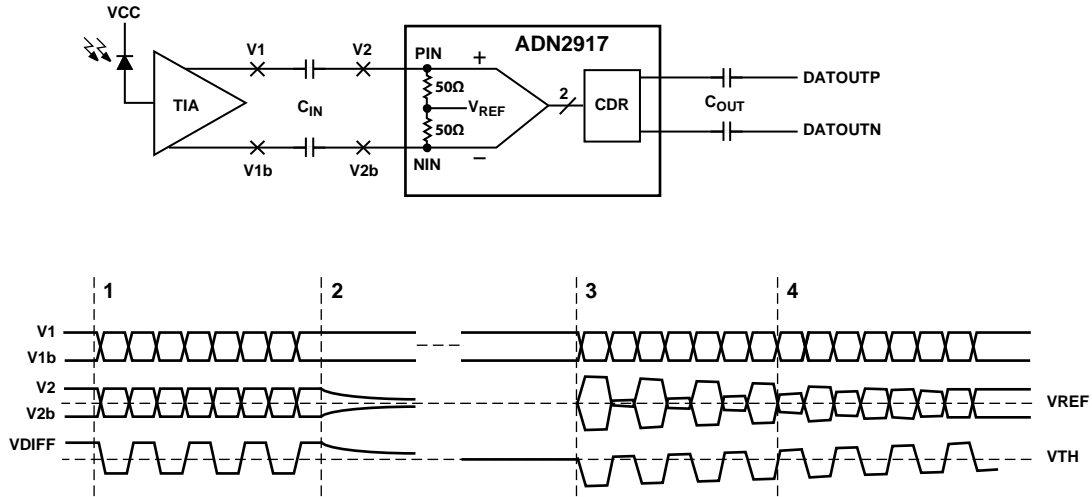
其中:

$PDJ_{ps\ p-p}$ 是允许的模式相关抖动量,典型值小于0.01 UI_{p-p}。

t_r 是上升时间,等于0.22/BW; BW ≈ 0.7(位率)。

注意, t_r 的该表达式仅对输入是精确的。ADN2917的输出上升时间约为30 ps,与数据速率无关。

ADN2917



$$VDIFF = V2 - V2b$$

$$VTH = \text{ADN2917 QUANTIZER THRESHOLD}$$

NOTES

1. DURING THE DATA PATTERNS WITH HIGH TRANSITION DENSITY, DIFFERENTIAL DC VOLTAGE AT V1 AND V2 IS ZERO.
2. WHEN THE TIA OUTPUTS CONSECUTIVE IDENTICAL DIGITS, V1 AND V1b ARE DRIVEN TO DIFFERENT DC LEVELS. V2 AND V2b DISCHARGE TO THE V_{REF} LEVEL, WHICH EFFECTIVELY INTRODUCES A DIFFERENTIAL DC OFFSET ACROSS THE AC COUPLING CAPACITORS.
3. WHEN THE BURST OF DATA STARTS AGAIN, THE DIFFERENTIAL DC OFFSET ACROSS THE AC COUPLING CAPACITORS IS APPLIED TO THE INPUT LEVELS, CAUSING A DC SHIFT IN THE DIFFERENTIAL INPUT. THIS SHIFT IS LARGE ENOUGH SUCH THAT ONE OF THE STATES, EITHER HIGH OR LOW, DEPENDING ON THE LEVELS OF V1 AND V1b WHEN THE TIA BEGAN DETECTING AND OUTPUTTING A CID DATA SYSTEM, IS CANCELLED OUT. THE QUANTIZER DOES NOT RECOGNIZE THIS AS A VALID STATE.
4. THE DC OFFSET SLOWLY DISCHARGES UNTIL THE DIFFERENTIAL INPUT VOLTAGE EXCEEDS THE SENSITIVITY OF THE ADN2917. THE QUANTIZER RECOGNIZES BOTH HIGH AND LOW STATES AT THIS POINT.

图28. 基线漂移示例

11778-028

直流耦合应用

ADN2917的输入也可以采用直流耦合。在CID持续时间很长且不允许基线漂移的突发模式应用中，这样做可能是必要的。如果ADN2917的输入采用直流耦合，必须注意不要违反其输入范围和共模电平要求(见图32或图33)。如果需要直流耦合，并且跨阻放大器(TIA)的输出电平不符合图32或图33所示的电平要求，则TIA输出端与ADN2917输入端之间必须进行电平转换和/或衰减。

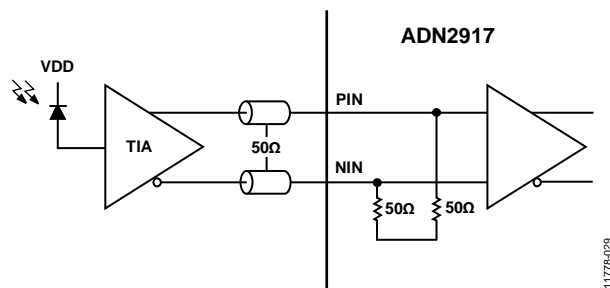


图29. 直流耦合应用, 0 dB EQ输入(接收端接浮空模式)

图30显示了使用0 dB EQ输入时的默认直流耦合情况。两个端接电阻以普通CML方式直接连到VCC，共模电压由驱动芯片的直流信号强度设置。0 dB EQ输入具有高共模范围，支持高达VCC及以下的 V_{CM} 。

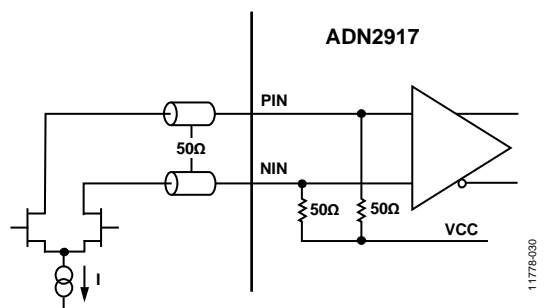


图30. 直流耦合应用, 0 dB EQ输入(正常模式)

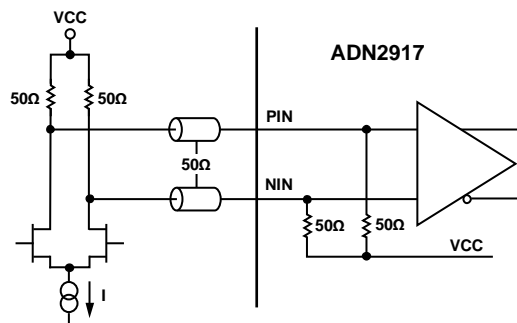


图31. 直流耦合应用, 0 dB EQ输入(后部端接模式)

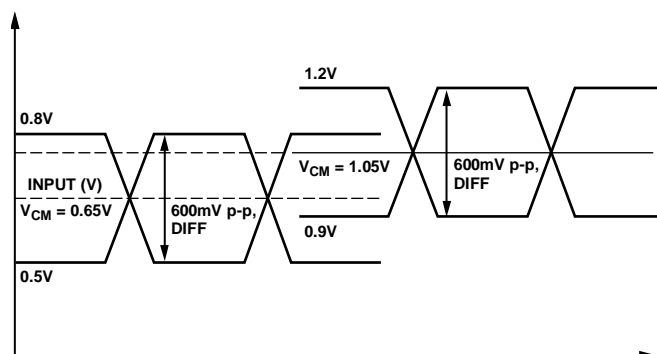


图32. 允许的最小直流耦合输入电平

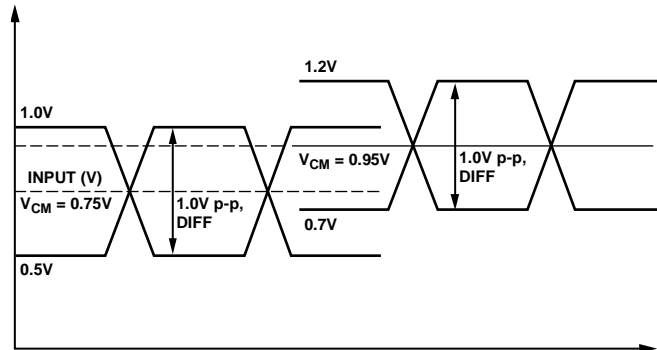
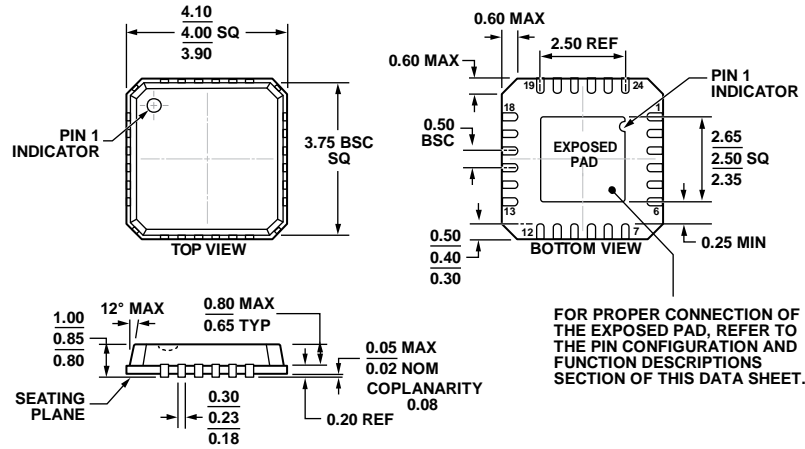


图33. 允许的最大直流耦合输入电平

ADN2917

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-8

图34. 24引脚引线框芯片级封装[LFCSP_VQ]

4 mm x 4 mm, 超薄体

(CP-24-3)

图示尺寸单位: mm

04-11-2012-A

订购指南

型号 ¹	温度范围	温度范围	温度范围	订购数量
ADN2917ACPZ	-40°C至+85°C	24引脚 LFCSP_VQ	CP-24-3	490
ADN2917ACPZ-RL7	-40°C至+85°C	24引脚 LFCSP_VQ	CP-24-3	1500
EVALZ-ADN2917				

¹ Z = 符合RoHS标准的器件。

¹C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。