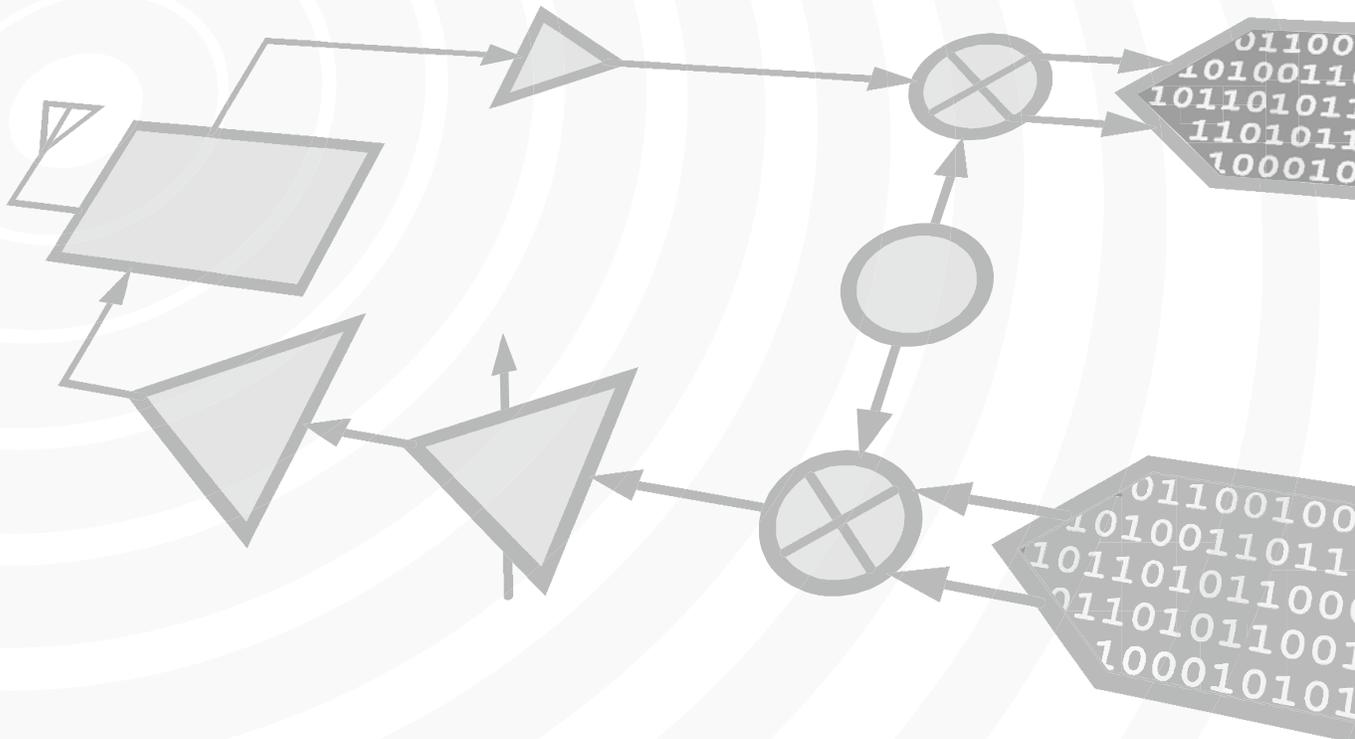


ADI公司欢迎 Hittite Microwave公司

所附文档的内容未做任何更改



本页空白

典型应用

HMC703LP4E是以下应用的理想选择:

- 微波点对点无线电
- 移动无线电通信基站(GSM、PCS、DCS、CDMA、WCDMA)
- 无线LAN、WiMAX
- 通信测试设备
- 有线电视设备
- 汽车传感器
- AESA - 相控阵
- FMCW雷达系统

产品特性

宽带: DC - 8 GHz RF输入

业界最佳的相位噪声和杂散性能: -112 dBc/Hz(8 GHz 小数, 50 kHz偏移)

品质因数

-230 dBc/Hz小数模式

-233 dBc/Hz整数模式

高PFD速率: 100 MHz

抖动: <50 fs RMS

频率和相位调制

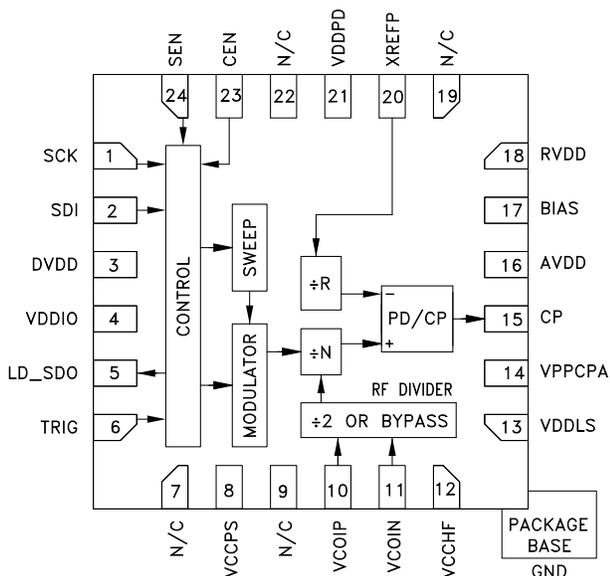
集成扫频功能

触发跳频

外部触发

24引脚4x4 mm SMT封装: 16 mm²

功能框图



概述

HMC703LP4E小数频率合成器基于高性能PLL平台。HMC704LP4E及Hittite最新一代PLL+VCO产品也采用该平台。该平台具有业界最佳的相位噪声和杂散性能, 在实现更高阶调制方案的同时, 最大程度降低了高性能无线电的阻塞效应。

此外, HMC703LP4E还提供扫频和调制、外部触发、双缓冲、精确频率控制、相位调制等特性, 并且与HMC700LP4E PLL引脚兼容。

采用24位小数调制器的精确频率模式能够产生频率误差为0且通道杂散极低的小数频率, 这是数字预失真系统需要的一个重要特性。

串行接口提供回读功能, 并兼容各种协议。

表1. 电气规格

除非另有说明，数据获取条件为：3.3 V和5.0 V(电荷泵上)、100 MHz参考、50 MHz f_{PD} 。最小值和最大值针对-40°C至85°C的环境温度范围。

参数	条件	最小值	典型值	最大值	单位
RF输入特性	[6][7]				
RF输入频率范围	[1]	DC		8000	MHz
预分频器输入频率范围	[1]	DC		4000	MHz
功率	[13]	-15	-10	-3	dBm
回波损耗	[15]	-18	-12	-7	dB
REF输入特性					
频率范围(3.3 V)	[1][8]	DC	50	350	MHz
50 Ω 源提供的功率	[12], 100 Ω 片外端接		6		dBm
回波损耗	[15]	-16		-8	dB
参考分频器范围(14位)		1		16,383	
鉴相器速率	[1]				
整数模式		DC	50	115	MHz
小数模式B		DC	50	100	MHz
小数模式A		DC	50	80	MHz
电荷泵(CP)					
电荷泵输出电流	20 μ A步进, 电荷泵增益=电荷泵电流/ 2π A/rad	0.02		2.5	mA
CP HiK	参见“ 电荷泵增益 ”部分		3.5	6	mA
电源					
RVDD、AVDD、VCCPS、VCCHF、VCCPD、DVDD、VDDIO		2.7	3.3	3.5	V
VDDLs、VPPCP电荷泵	VDDLs、VPPCP必须相等	2.7	5.0	5.2	V
3.3 V - 功耗	[9] 100 kHz PD 50 MHz PD 100 MHz PD		34 54 74	45 70 95	mA mA mA
5 V - 功耗	全部模式 100 kHz PD 50 MHz PD带CP HiK 100 MHz PD带CP HiK		3 7 13	5 12 16	mA mA mA
关断后的电流	[10]			100	μ A
偏置基准电压	引脚12。用10 G Ω 仪表测量	1.880	1.920	1.960	V

表34. 电气规格(续)

参数	条件	最小值	典型值	最大值	单位
相位噪声[14]					
闪烁品质因数(FOM) [2]			-270		dBc/Hz
本底品质因数[11]	整数HiK模式	-236	-233	-231	dBc/Hz
	整数普通模式	-232	-230	-228	dBc/Hz
	小数HiK模式[3]	-232	-230	-227	dBc/Hz
	小数普通模式[3]	-228	-227	-225	dBc/Hz
闪烁噪声(f_{offset})	$PN_{flick} = \text{Flicker FOM} + 20\log(f_{vco}) - 10\log(f_{offset})$				dBc/Hz
相位噪声底(f_{vco} 和 f_{pd})	$PN_{floor} = \text{Floor FOM} + 10\log(f_{pd}) + 20\log(f_{vco}/f_{pd})$				dBc/Hz
折合成VCO的PLL相位噪声贡献与 f_{offset} 、 f_{vco} 、 f_{pd} 的关系	$PN = 10\log(10^{(PN_{flick}/10)} + 10^{(PN_{floor}/10)})$				dBc/Hz
抖动	SSB 100 Hz至100 MHz, 采用HMC508LP5E VCO		50		fs
杂散	[4][5]				
整数边界杂散(~8 GHz)	偏移小于环路带宽, $f_{pd}=50$ MHz		-60	-52	dBc
逻辑输入					
开关阈值(Vsw)	VIH/VIL在Vsw的50 mV范围内	38	47	54	% VDDIO
逻辑输出					
VOH输出高电压			VDDIO		V
VOL输出低电压			0		V
输出阻抗: 上拉	VDDIO=3.3 V	115	150	180	Ohm
输出阻抗: 下拉	VDDIO=3.3 V	130	135	210	Ohm
直流负载				1.5	mA
数字输出驱动器延迟 SCK至数字输出延迟	3 pF负载为1.7 ns		0.5ns+0.2ns/pF 8.2ns+0.2ns/pF		ns ns
RF分频器范围					
>4 GHz整数模式	16位, 仅偶数值	32		131,070	
<4 GHz整数模式	16位, 所有值	16		65,535	
>4 GHz小数模式	16位	40.0		131,065.0	
<4 GHz小数模式	16位	20.0		65,531.0	

[1] 在不同工艺、电压和-40°C至85°C温度范围内保证频率性能。

[2] 采用高电荷泵电流、+12 dBm 100MHz正弦参考

[3] 预分频器输入频率低于2 GHz时, 小数FOM每倍频程下降3 dB

[4] 使用50 MHz参考, VCO调谐到PD频率整数倍的一个环路带宽内。偏移越大, 效果越好。更多信息参见“杂散性能”部分。

[5] 利用HMC703LP4E评估板测量。电路板设计和隔离会影响性能。

[6] 频率大于4 GHz时应使能内部2分频

[7] RF频率较低时, 为了保持性能, 上升和下降时间应小于1 ns

[8] 压摆率大于或等于0.5 V/ns

[9] 功耗取决于工作模式和VCO频率。典型值针对小数模式。

[10] 基准输入断开

[11] 最小值/最大值与温度和电源的关系, 典型参考和RF频率及功率水平下

[12] 建议压摆率>0.5 V/ns, 更多信息参见表7、图5、图6。

[13] 超出此范围时, 可在低频谱性能下工作。

[14] 本部分指定PLL的相位噪声贡献, 给定VCO、环路滤波器和参考时, 解决方案的相位噪声需要利用Hittite PLL设计工具进行闭环计算。

[15] 利用HMC703LP4E评估板测量, 采用100 Ω外部端接。

关于报价、交货和订购, 请联系: Hittite Microwave Corporation, 2 Elizabeth Drive, Chelmsford, MA 01824

978-250-3343 • 978-250-3373 (传真) • 在线订购: www.hittite.com

应用支持: 电话: pll@hittite.com



典型性能参数

除非另有说明，关系图的测量条件为：50 MHz PD速率、VCO接近8 GHz、RF功率 ≈ -10 dBm、Wenzel 100 MHz正弦参考。下列关系图中的工作模式包括整数(int)模式、小数模式A和B以及HiKcp (HiK)。

图1. 本底FOM与模式、温度的关系，2.5 mA电荷泵电流

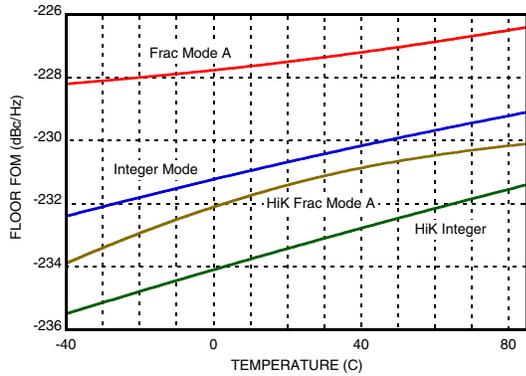


图2. 闪烁FOM与模式、温度的关系，2.5 mA电荷泵电流

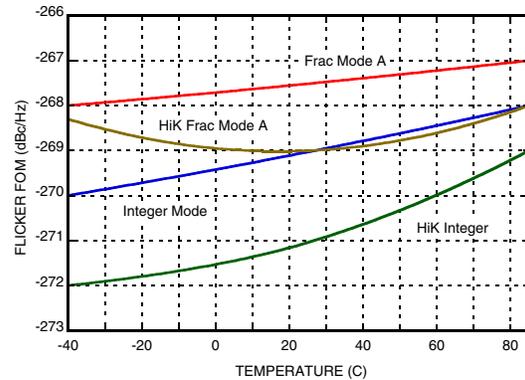


图3. 本底FOM与输出频率、模式的关系，2.5 mA电荷泵电流

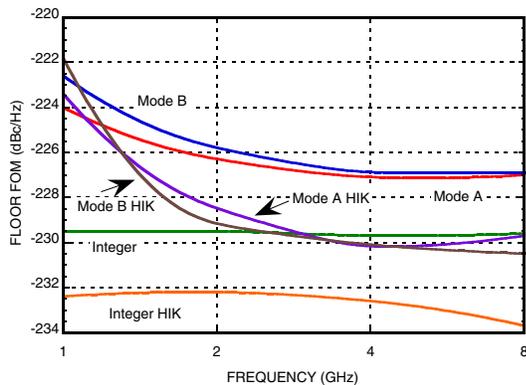


图4. 闪烁FOM与输出频率、模式的关系，2.5 mA电荷泵电流

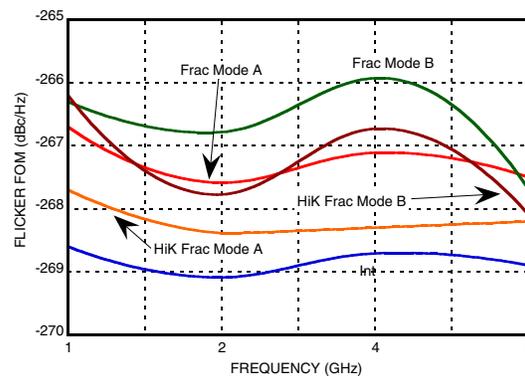


图5. 本底FOM与参考功率、模式的关系，2.5 mA电荷泵电流^[1]

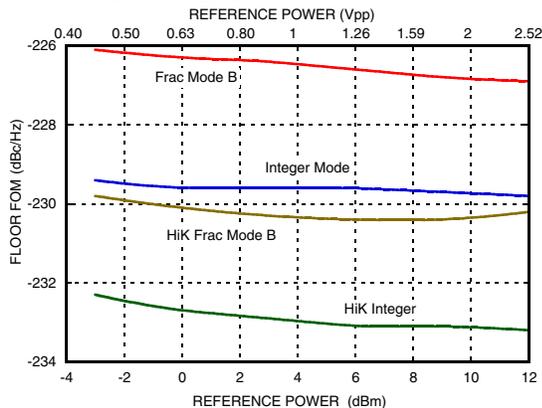
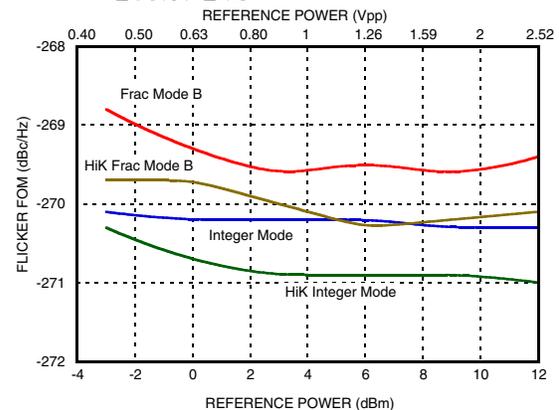


图6. 闪烁FOM与参考功率、模式的关系，2.5 mA电荷泵电流^[1]



[1] 100 MHz正弦Wenzel参考



图7. 闪烁FOM与电荷泵电流的关系, 小数模式B, 2.5 mA电荷泵电流

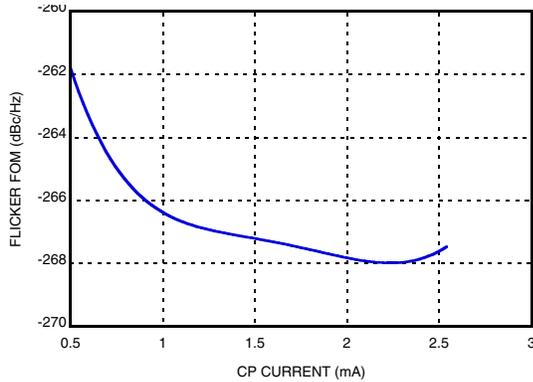


图8. 本底FOM与电荷泵电流的关系, 小数模式B, 2.5 mA电荷泵电流

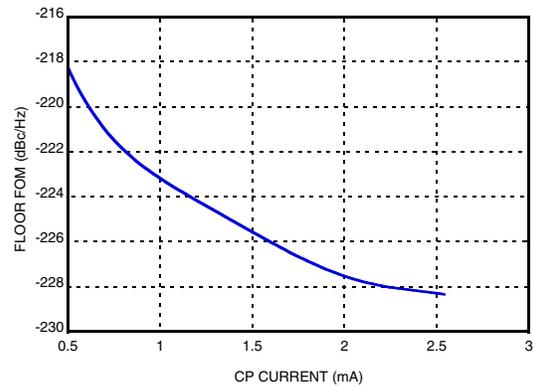


图9. 闪烁FOM与电荷泵电压的关系, 电荷泵电流为2.5 mA^[1]

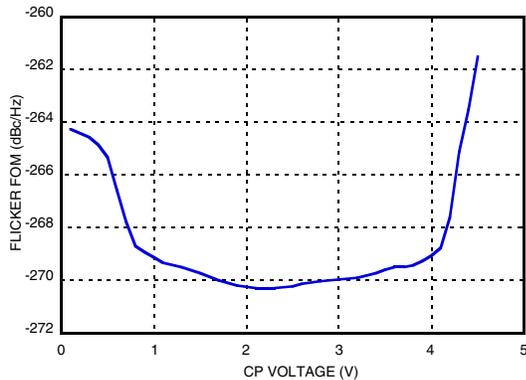


图10. 本底FOM与电荷泵电压的关系, 电荷泵电流为2.5 mA^[1]

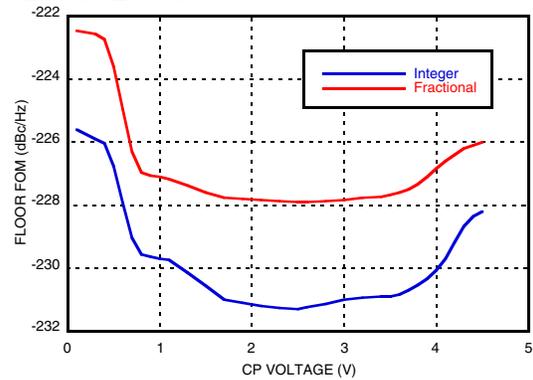


图11. 闪烁FOM与电荷泵电压的关系, HiKcp+电荷泵电流=6 mA^[2]

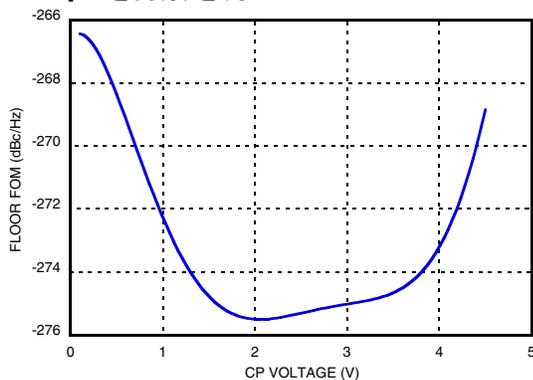
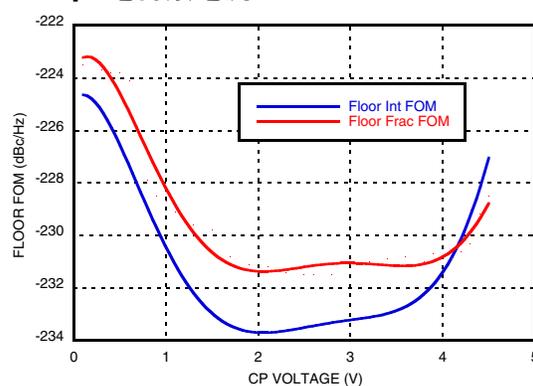


图12. 本底FOM与电荷泵电压的关系, HiKcp+电荷泵电流=6 mA^[2]



[2] 有源环路滤波器, 直流偏置点在所扫描的运算放大器的-ve侧。



图13. 8 GHz+200 kHz时的典型相位噪声和杂散性能^[3]

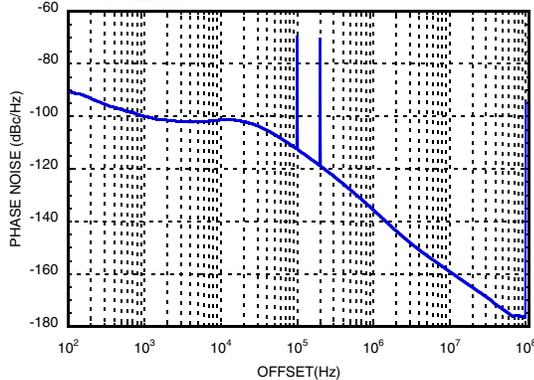


图14. 小数性能(精确频率模式开启, 8013.6 MHz)^[4]

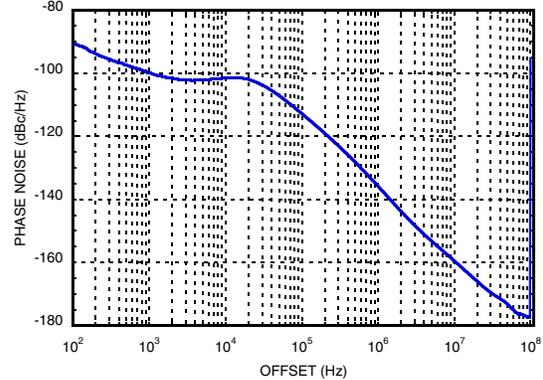


图15. 8 GHz+20 kHz时的整数边界杂散与电荷泵偏移的关系^[5]

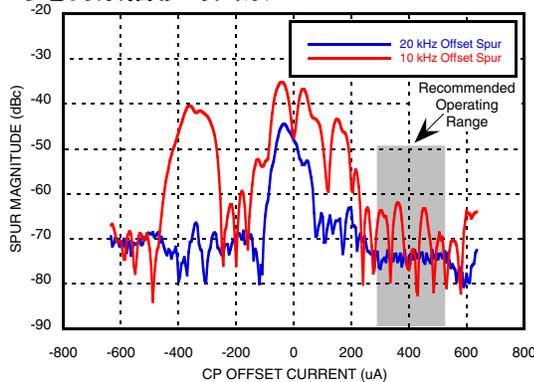


图16. RF输入限值^[6]

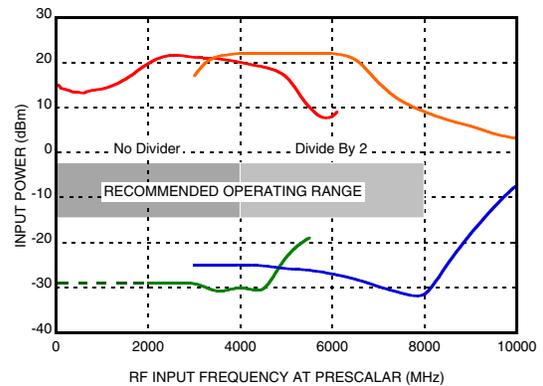


图17. 仿真模型相位噪声与实测相位噪声(整数模式HiK、8 GHz)^[7]

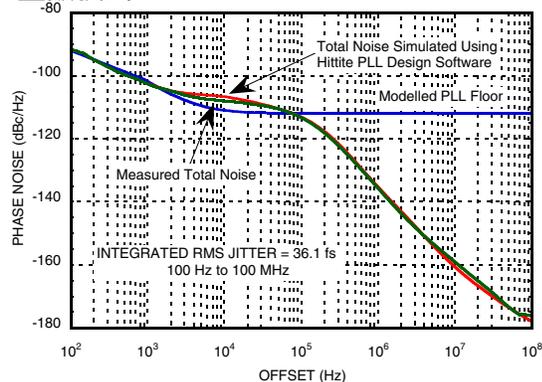
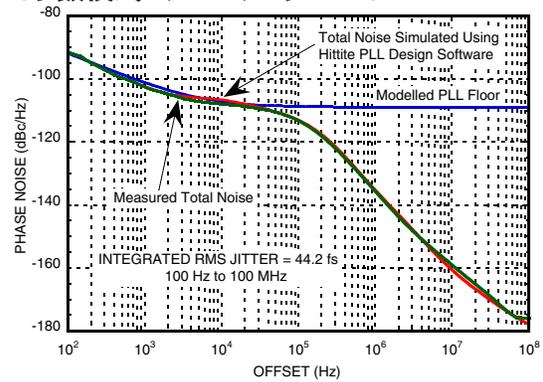


图18. 仿真模型相位噪声与实测相位噪声(小数模式B、HiK、约8 GHz)^[8]



[3] 输出频率=8 GHz + 200 kHz, 使用HMC508LP5E VCO, 参考输入= 100 MHz, PD频率= 100 MHz, CP电流= 2.5 mA, 小数模式B, 20 kHz带宽环路滤波器。8 GHz + 200 kHz的RF信号引起的杂散在200 kHz, 4 GHz+100 kHz预分频器输入引起的杂散在100 kHz。参考馈通杂散在100 MHz偏移。

[4] 精确频率模式通道间隔100 kHz, 小数N分频, Rfout = 8013.6 MHz, 使用HMC508LP5E VCO, 参考输入= 100 MHz, PD频率= 100 MHz, 选择预分频器2分频。20 kHz环路滤波器带宽, 参考馈通杂散在100 MHz偏移。

[5] 调谐至8 GHz + 20 kHz, 预分频器在4 GHz + 10 kHz, 环路带宽 >>20 kHz, 参考频率50 MHz。反相配置时偏移极性应为正, 否则为负。

[6] 低频最小功率水平未测定。低频限制仅与外部交流耦合电容信号压摆率相关。

[7] HiK整数模式, 在8 GHz时测量, 预分频器为4 GHz, 50 MHz参考频率。



图19. 接近8 GHz时的本底FOM与RF输入功率、模式的关系

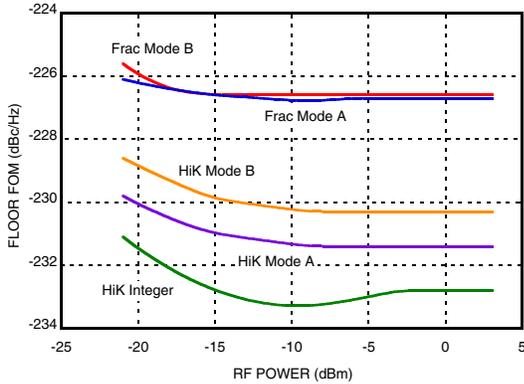


图20. 接近8 GHz时的闪烁FOM与RF输入功率、模式的关系

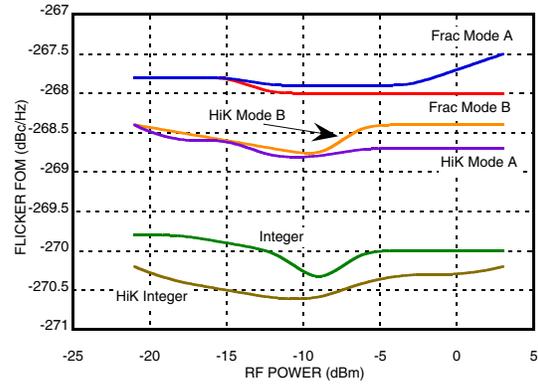


图21. 参考输入灵敏度(方波、50 Ω)^[9]

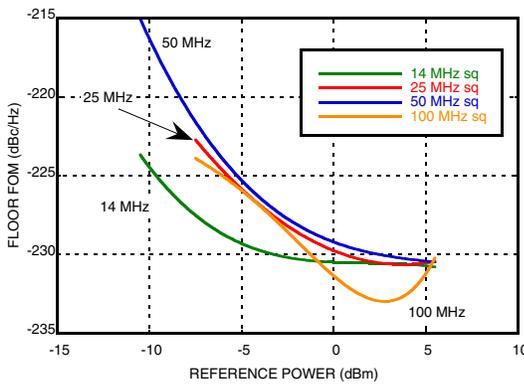


图22. 参考输入灵敏度(正弦波、50 Ω)^[9]

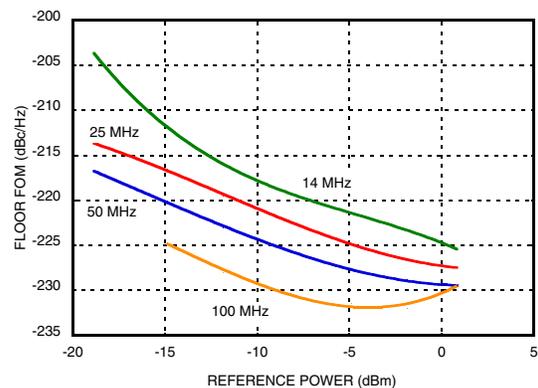


图23. 参考输入回波损耗^[10]

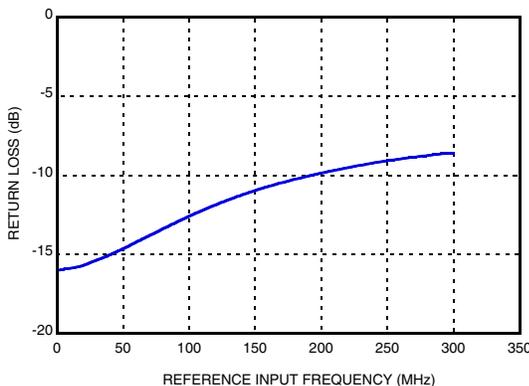
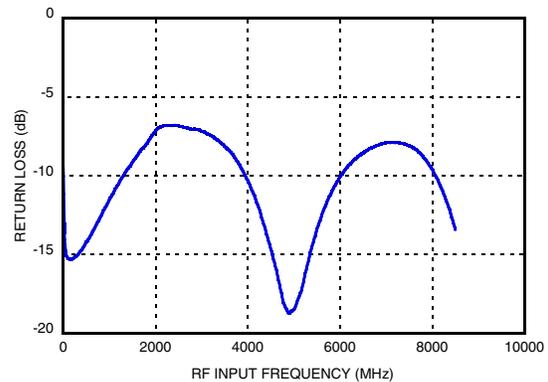


图24. RF输入回波损耗^[11]



[9] 用100 Ω外部电阻端接测量, 导致有效输入阻抗为50 Ω。详细信息参见“参考输入级”。在最大3.3 Vpp输入电压下可实现最高FOM性能。

[10] 用HMC703LP4E评估板上的100 Ω外部端接(交流耦合)测量, 如图35所示。

[11] 用HMC703LP4E评估板上的100 Ω外部端接(交流耦合)测量, 如图37所示。



图25. 双路自动扫描

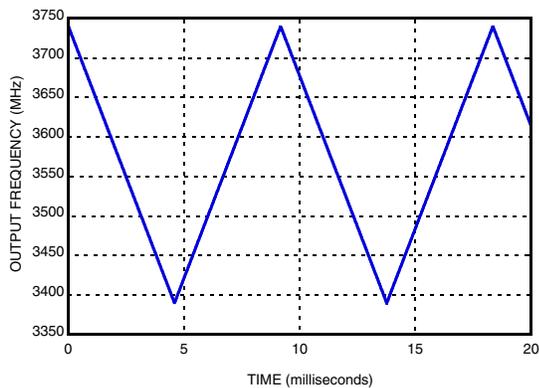


表2. 引脚描述

引脚编号	功能	描述
1	SCK	CMOS输入：串行端口时钟
2	SDI	CMOS输入：串行端口数据
3	DVDD	数字电源 - 标称3.3 V、最大25 mA，取决于 f_{PD}
4	VDDIO	数字IO电源 - 3.3 V、最大8 mA(仅当驱动LD_SDO时)
5	LD_SDO	CMOS输出：通用输出 - 锁定检测、串行数据输出、其它，可选
6	TRIG	CMOS输入：外部触发引脚
7	N/C	不连接
8	VDDPS	RF分频器电源，标称3.3 V、最大35 mA
9	N/C	不连接
10	VCOIP	差分RF输入。一般交流耦合，内部产生2 V直流偏置。对于单端操作，RFN必须交流耦合到接地层，通常为100 pF陶瓷电容。内部产生2.3 V直流偏置。
11	VCOIN	
12	VDDHF	RF缓冲器电源，标称3.3 V、最大6 mA
13	VDDL5	PFDD至CP电平转换器电源，标称5 V、最大5 mA，取决于 f_{PD} 。
14	VDDCPA	电荷泵电源，标称5 V、最大10 mA
15	CP	电荷泵输出
16	AVDD	模拟偏置发生器电源，标称3.3 V、最大2 mA
17	BIAS	精密偏置电路的外部旁路去耦，1.920 V \pm 2 mV。 注意：BIAS基准电压不能驱动外部负载。必须用Agilent 34410A等10 G Ω 仪表测量，普通10 M Ω DVM会出错。
18	RVDD	参考路径电源，标称3.3 V、最大15 mA，取决于参考
19	N/C	不连接
20	XREFP	基准输入。内部产生2 V直流偏置。一般在外部交流耦合。
21	VDDPD	鉴相器电源。标称3.3 V。此电源的去耦非常重要。最大5 mA，取决于 f_{PD} 。
22	N/C	不连接
23	GEN	CMOS输入：硬件芯片使能
24	SEN	CMOS输入：串行端口锁存使能

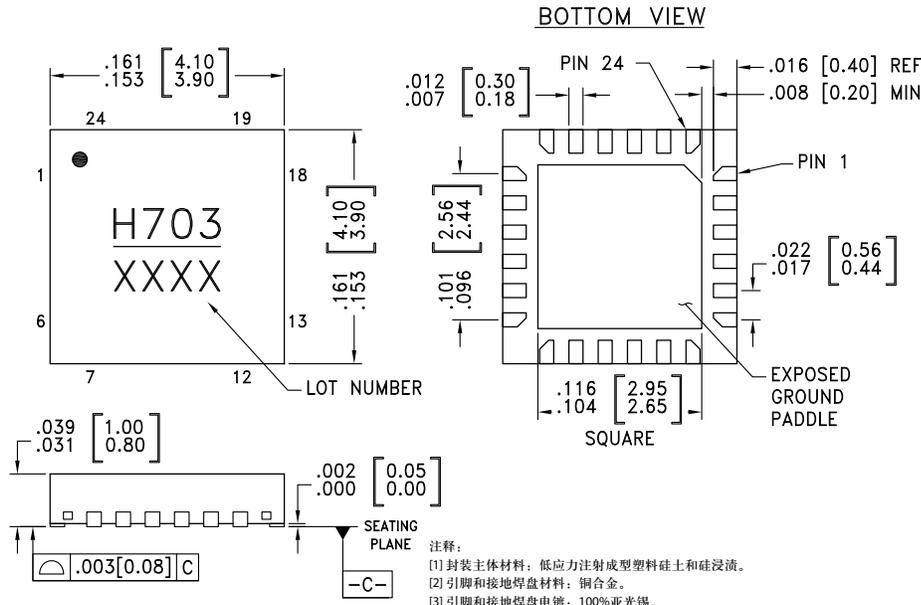
表3. 绝对最大额定值

参数	额定值
电源引脚3、4、8、12、16、18、21至焊盘的最大Vdc	-0.3 V至+3.6 V
VDDLs、VPPCP	-0.3 V至+5.5 V
VCOIN、VCOIP单端DC	VCCHF -0.2 V
VCOIN、VCOIP差分DC	5.2 V
VCOIN、VCOIP单端AC 50Ω	+7 dBm
VCOIN、VCOIP差分AC 50Ω	+13 dBm
数字负载	最小1 kΩ
数字输入1.4 V至1.7 V最小上升时间	20 ns
数字输入电压范围	-0.25至VDDIO+0.5 V
热阻(结至地焊盘)	20°C/W
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+ 125°C
最高结温	+150°C
回流焊	
峰值温度	260°C
峰值温度时间	40 s
ESD灵敏度(HBM)	1B级

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。



外形图



- 注释:
- [1] 封装主体材料: 低应力注射成型塑料硅土和硅浸渍。
 - [2] 引脚和接地焊盘材料: 铜合金。
 - [3] 引脚和接地焊盘电镀: 100%亚光锡。
 - [4] 尺寸单位: Inch [mm]。
 - [5] 引脚间距公差不是累积性的。
 - [6] 刺状物长度最大值应不超过0.15 mm, 刺状物高度最大值应不超过0.05 mm。
 - [7] 封装弯曲应不超过0.05 mm。
 - [8] 所有接地引脚和地焊盘必须焊接到PCB RF地。
 - [9] 关于PCB焊盘图形建议, 请参阅HITTITE应用笔记。

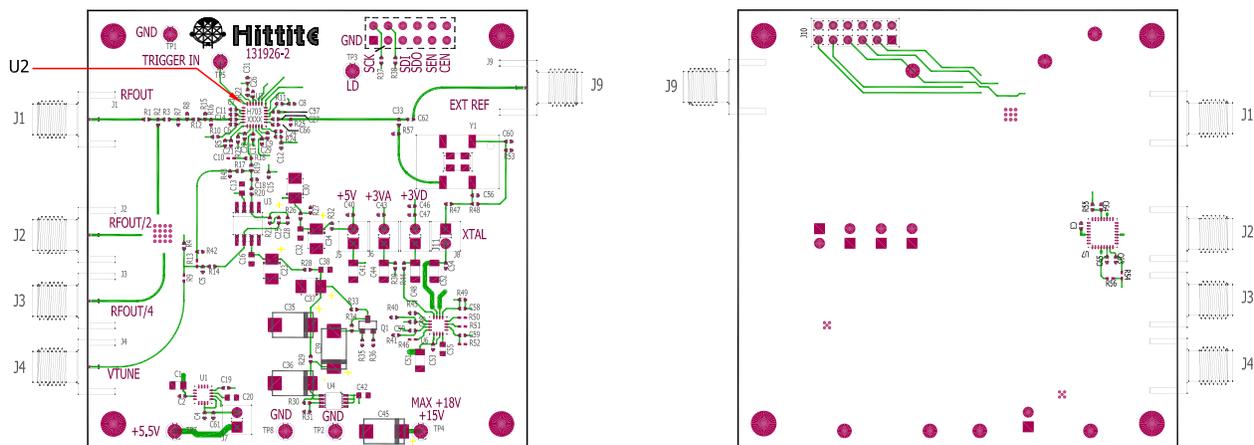
表4. 封装信息

产品型号	封装主体材料	引脚表面处理	MSL额定值	封装标识 ^[1]
HMC703LP4E	符合RoHS标准的低应力注射成型塑料	100%亚光锡	MsL1 ^[2]	H703 XXXX

[1] 4位批次号XXXX
 [2] 最大峰值回流温度为260°C



评估PCB

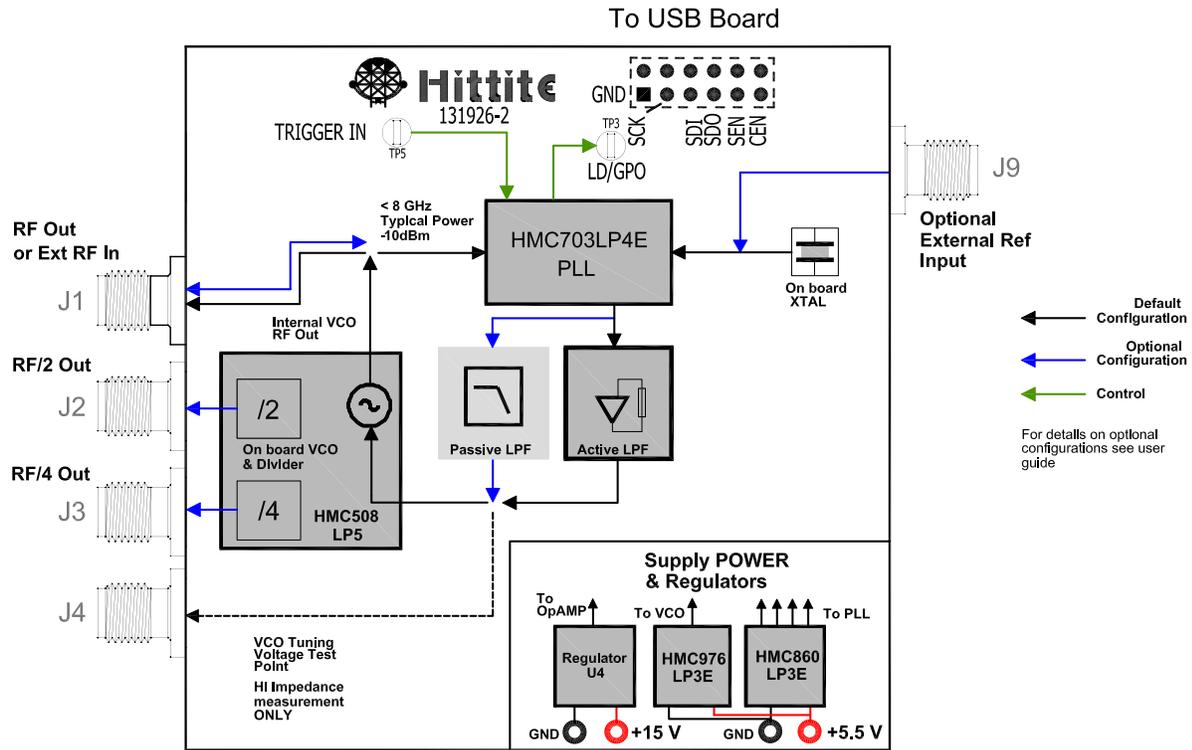


应用所用的电路板应采用RF电路设计技术。信号线应具有50Ω阻抗，而封装接地引脚和裸露焊盘应直接连接到接地层，类似图中所示。应利用足够数量的过孔来连接上下接地层。所示评估电路板可向Hittite申请获得。

表5. 评估套件订购信息

项目	内容	产品型号
Evaluation Kit	HMC703LP4E评估PCB USB接口板 6' USB A插头转USB B插口电缆 光盘(包含用户手册、评估PCB原理图、评估软件、Hittite PLL设计软件)	EKIT01-HMC703LP4E

评估PCB框图



评估PCB原理图

要查看 [评估PCB原理图](#)，请访问 www.hittite.com 并从“按产品型号搜索”下拉菜单中选择HMC703LP4E以查看产品形象页面。

工作原理

PLL基本原理

在其最简单的形式中，频率合成器IC(如HMC703LP4E等)构成控制环路的核心，用以将低频参考源提升到更高频率。鉴相器(PD)和电荷泵(CP)驱动压控振荡器的调谐电压，试图使鉴相器输入端的相位对齐，当相位对齐时，则意味着鉴相器输入(参考和DIV)也必须处于相同频率。由于DIV信号的频率等于 f_{vco} / N ，因此控制环路必须控制VCO输出频率锁定到 $N \times f_{pd}$ 。

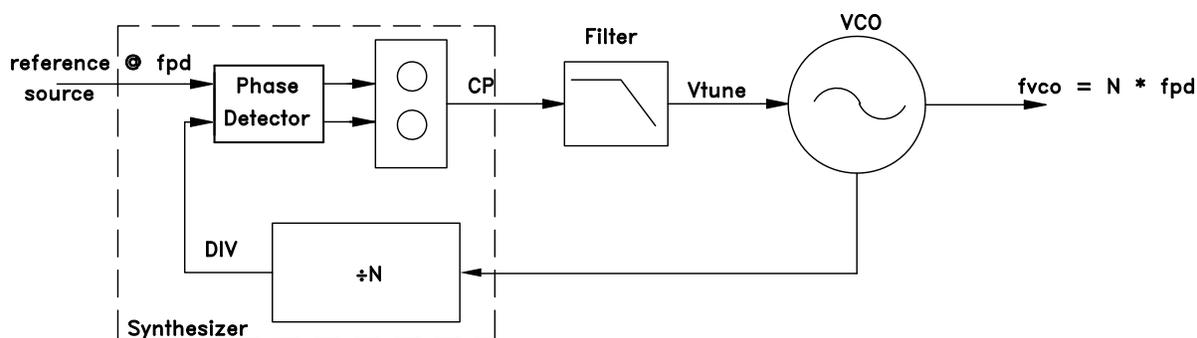


图26. 典型PLL

在整数频率合成器中，N只能取离散的值(如200、201等)。在HMC703LP4E等小数频率合成器中，N也可以取小数值，如 $N=20.4$ 。理论上，对于给定输出频率，小数分频器通常支持较高的鉴相器频率，信号质量(相位噪声)也会改善。遗憾的是，小数频率合成器存在一些整数频率分频器所没有的缺陷。这些问题可能影响相位噪声，但更严重的是，它们往往伴随着很大的杂散。这些杂散是小数频率合成器最大的缺点。

相比于业界其它小数频率合成器，Hittite的小数频率合成器系列(包括HMC703LP4E)拥有巨大的性能优势。

HMC703LP4E频率合成器由如下功能模块组成：

1. 参考路径输入缓冲器和R分频器
2. VCO路径输入缓冲器、RF 2分频和多模数N分频器
3. Δ - Σ 小数调制器
4. 鉴相器
5. 电荷泵
6. 主串行端口
7. 锁定检测和寄存器控制
8. 上电复位电路

高性能低杂散操作

HMC703LP4E设计实现了集成频率合成器所能达到的最佳相位噪声和低杂散成分。合成器在任何工作模式中都可能出现杂散信号，其来源有多个方面。

品质因数、噪声本底和闪烁噪声模型

理想锁相振荡器的相位噪声与多个因素相关：

- a. VCO频率和鉴相器
- b. VCO灵敏度 k_{vco} 、VCO和参考振荡器相位噪声曲线
- c. 电荷泵电流、环路滤波器和环路带宽
- d. 工作模式：整数、小数调制器式

PLL对输出相位噪声的贡献可以用PLL噪声本底和PLL闪烁(1/f)噪声区的品质因数(FOM)来表示，如下所示：

其中：

- Φ_p^2 PLL的相位噪声贡献(rads²/Hz)
- f_o VCO频率(Hz)
- f_{pd} 鉴相器频率(Hz)
- f_m 相对于载波的频率偏移(Hz)
- F_{po} 相位噪声本底的品质因数(FOM)
- F_{pl} 闪烁噪声区的品质因数(FOM)

PLL相位噪声贡献

$$\Phi_p^2(f_o, f_m, f_{pd}) = \frac{F_{po} f_o^2}{f_m} + \frac{F_{pl} f_o^2}{f_{pd}}$$

(公式1)

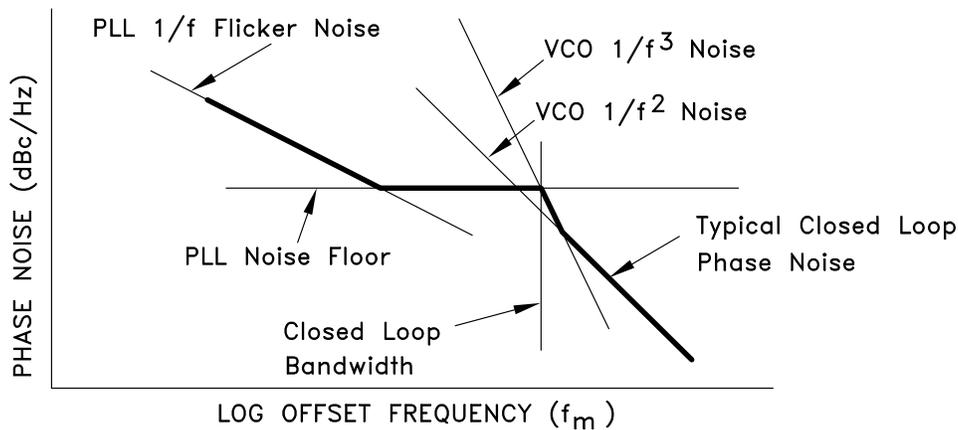


图27. PLL的品质因数噪声模型

若知道VCO的自由振荡相位噪声，则它也可以通过 $1/f^2$ (F_{v2} 区)和 $1/f^3$ (F_{v3} 区)的品质因数表示。

VCO相位噪声贡献

$$\sigma_n^2 \propto f_m \left(\frac{F_{n2} f_0^2}{f_m^2} + \frac{F_{n3} f_0}{f_m^3} \right) \quad \text{(公式2)}$$

对于PLL和VCO，品质因数本质上都是归一化噪声参数，利用它可以快速估计PLL在所需VCO、偏移和鉴相器频率的性能水平。通常，合成器闭环带宽之内以PLL IC噪声为主，环路带宽之外(偏移远离载波时)则以VCO噪声为主。因此，将环路带宽设置为PLL和自由振荡相位噪声相等时的频率，便可快速估计PLL的闭环性能。

品质因数还可用于估算Hittite PLL Design等闭环设计工具中需要输入的噪声参数，由此可以非常精确地估计闭环相位噪声和PLL环路滤波器元件值。

对于某一最佳环路设计，近似闭环性能等于PLL和VCO噪声贡献的最小值。

PLL - VCO噪声

$$\sigma^2 = \min \left(\sigma_p^2, \sigma_n^2 \right) \quad \text{(公式3)}$$

举一个利用FOM值快速估算PLL性能的例子：估算一个8 GHz闭环PLL的相位噪声，其采用100 MHz参考，工作在小数模式B，VCO工作频率为8 GHz，并且VCO 2分频端口以4 GHz驱动PLL。假设HMC509 VCO在 $1/f^2$ 区域、1 MHz偏移时具有-135 dBc/Hz的自由振荡相位噪声，在 $1/f^3$ 区域、1 kHz偏移时具有-60 dBc/Hz的相位噪声。

$F_{v1_dB} =$	-1351	MHz偏移时的自由振荡VCO PN
	+20*log10(1e6)	PNoise归一化到1Hz偏移
	-20*log10(8e9)	Pnoise归一化到1Hz载波
	= -213.1 dBc/Hz(1Hz时)	VCO FOM
$F_{v3_dB} =$	-60	1kHz偏移时的自由振荡VCO PN
	+30*log10(1e3)	PNoise归一化到1Hz偏移
	-20*log10(8e9)	Pnoise归一化到1Hz载波
	= -168 dBc/Hz(1Hz时)	VCO闪烁FOM

从图3和图4可以看出小数模式A下的PLL FOM本底和FOM闪烁参数：

$$F_{po_dB} = -227 \text{ dBc/Hz(1Hz时)}$$

$$F_{p1_dB} = -266 \text{ dBc/Hz(1Hz时)}$$

在对数频率图上，每个品质因数方程都产生一条直线。示例产生如下结果：

$$8 \text{ GHz时的PLL本底} = F_{po_dB} + 20\log_{10}(fvco) - 10\log_{10}(fpd) = -227 + 198 - 80 = -109 \text{ dBc/Hz}$$

$$1 \text{ kHz时的PLL闪烁} = F_{p1_dB} + 20\log_{10}(fvco) - 10\log_{10}(fm) = -266 + 198 - 30 = -98 \text{ dBc/Hz}$$

$$1 \text{ MHz时的VCO} = F_{v1_dB} + 20\log_{10}(fvco) - 20\log_{10}(fm) = -213 + 198 - 120 = -135 \text{ dBc/Hz}$$

$$1 \text{ kHz时的VCO闪烁} = F_{v3_dB} + 20\log_{10}(fvco) - 30\log_{10}(fm) = -168 + 198 - 90 = -60 \text{ dBc/Hz}$$

这四个值有助于我们想象闭环PLL中相位噪声的主要贡献因素。在图27所示的对数频率相位噪声图上，每个值都落在一条直线上。

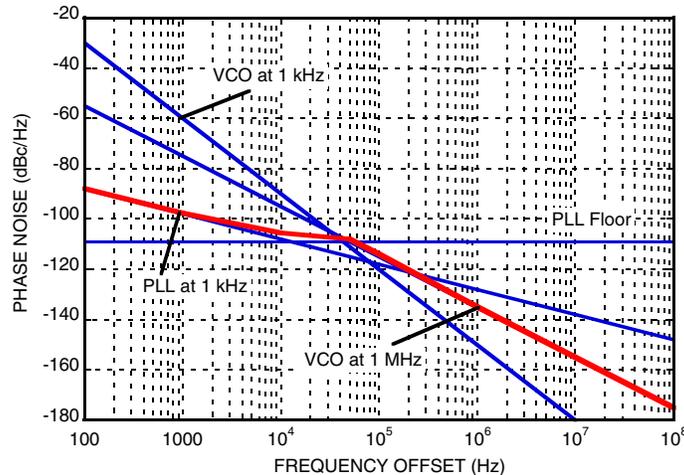


图28. 品质因数示例

应当注意，环路参数会影响环路带宽转折频率附近的实际相位噪声，用户应使用Hittite PLL Design等更全面的设计工具来更好地估计相位噪声性能。Hittite PLL Design中每个元件的噪声模型可从FOM方程导出，或由Hittite应用工程部门提供。

杂散性能

整数操作

在整数频率合成器中，VCO始终以整数倍PD频率工作。一般而言，整数频率合成器产生的杂散信号只能出现在PD频率的整数倍处。常常将这些干扰输出简单地称为参考边带。

与参考频率无关的杂散必定源自外部源。外部杂散源可能通过电源、地或输出端口间接调制VCO，或者因为环路滤波器隔离不佳而旁路滤波器。它还能叠加在频率合成器的输出上。

HMC703LP4E针对超低杂散性能而设计并经过测试。对于妥善设计的电路板布局，参考杂散电平通常低于-100 dBc。建议采用具有低噪声和高电源抑制能力的LDO(如HMC860LP3E)，以便最大程度地抑制外部杂散源。

为使参考杂散电平低于-100 dBc，电路板需要有出色的电源隔离，VCO须与合成器的数字开关相隔离，并且VCO负载须与合成器相隔离。用户可以借鉴针对超低杂散操作的典型电路板布局、调节器设计、演示板和应用信息。使用Hittite推荐的隔离度较低的应用电路板，能达到好的杂散水平。

当然，如果应用环境包含与PD频率无关的其它干扰频率，以及如果应用与电路板布局和调节器的隔离不充分，那么干扰频率会与所需的合成器输出混合，引起更多杂散。这种杂散的电平取决于隔离度和电源抑制能力(PSRR)。

小数操作

与整数频率合成器不同，在小数频率合成器中，因为VCO工作频率与PD频率无关，所以可能出现杂散信号。因此，VCO和PD谐波的交调可能引起杂散边带。当VCO工作频率非常接近PD的整数倍时，杂散幅度最大。当VCO工作频率恰好为PD谐波频率时，则不存在近载波混频产物。

在PD频率 f_{pd} 和VCO频率 f_{vco} 的倍数处总是存在干扰。若使用小数工作模式，则VCO频率与最接近的参考谐波之差 Δ 会引起所谓整数边界杂散。取决于合成器的工作模式，在PD频率整数倍(次谐波)处，即接近 $nf_{pd} + f_{pd}d/m$ 的小数VCO频率处，也可能出现更高阶、更低功率的杂散，其中 n 、 d 和 m 均为整数，并且 $d \leq m$ (数学家称 d/m 为有理数)。我们称 $f_{pd}d/m$ 为整小数。分母 m 为杂散产物的阶数。 m 值越高，则在 $m\Delta$ 偏移处的杂散幅度越小；当 $m > 4$ 时，杂散通常非常小，甚至无法测量。

小数模式下的最差情况是 $d=1$ ，并且VCO频率相对于 nf_{pd} 的偏移小于环路带宽时。这就是所谓“带内小数边界”情况。

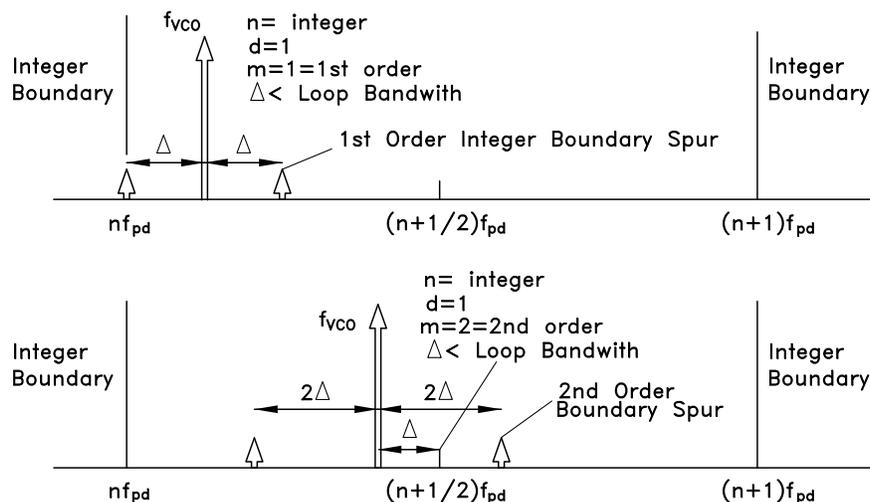


图29. 小数杂散示例

这些产物的电平和阶数的标定与混频器杂散图相似。产物的精确电平取决于合成器各部分的隔离情况。关于采用Hittite PLL和VCO应用板的预期杂散电平，我们可提供指导。建议使用具有高电源抑制比(PSRR)的LDO，尤其是在高噪声应用中。

在小数工作模式下，电荷泵和鉴相器的线性度至关重要。任何非线性都会导致相位噪声和杂散性能下降。当相位误差非常小，并且一会是参考领先，一会是VCO领先时，鉴相器线性度会下降。为了减轻小数模式下的这些非线性效应，必须让鉴相器以某一有限相位偏移工作，使得参考或VCO始终领先。为实现有限相位误差，可使能额外的电流源，以向VDD(VCO始终领先)或地(参考始终领先)提供恒定的直流电流路径。这些电流源称为电荷泵偏移，由[寄存器09h](#)控制。鉴相器的时间偏移应为 $\sim 2.5 \text{ ns} + 4 T_{ps}$ ，其中 T_{ps} 为小数预分频器输入端的RF周期(即可选固定2分频之后，单位为ns)。电荷泵偏移电流的具体电平由此时间偏移、参考频率和电荷泵电流决定，可通过下式计算：

$$\text{所需电荷泵偏移} = (2.5 \cdot 10^{-9} + 4T_{PS}) \cdot (F_{\text{comparison}}) \cdot I_{CP}, \text{ 其中:} \quad \text{(公式4)}$$

T_{PS} 为小数预分频器输入端的RF周期

I_{CP} 为开关电荷泵的满量程电流设置

注意，在计算中，可以采用VCO中心频率可进行计算，当频率偏移的范围小于25%的频点，无需进行调整电荷泵偏移量。另外，使用大得不合理的电荷泵偏移可能引起锁定检测功能错误指示未锁定状况。要纠正，请将偏移降到推荐水平。

影响小数杂散性能的另一个因素是 Δ - Σ 调制器模式的选择。一般建议使用模式B，因为它支持更高的PD频率，并且更容易滤除小数量化噪声。但若预分频器频率较低(<1.5 GHz)，模式A可提供更好的带内杂散性能。DSM模式选择参见[寄存器06h\[0\]](#)。最后，所有小数频率合成器都会产生某种水平的小数杂散。Hittite集成解决方案实现了业界最低水平的小数杂散。

工作模式

HMC703LP4E支持8种工作模式([寄存器06h\[7:5\]](#))和3个“触发”源。工作模式包括：

[“整数模式”](#)

[“小数模式”](#)

[“精确频率模式”](#)

频率调制 [“FM模式”](#)

相位调制 [“PM模式”](#)

[“扫频模式”](#) (3种)

除整数模式外，其它模式都要求使能小数模式。小数模式支持很小的频率步进。精确频率模式则支持零频率误差的精密小数频率步进。FM和PM模式可用于简单的通信链路，数据速率限制由环路滤波器带宽设置。PM模式还支持精密递增相位调整，这在相控阵和其它系统中很重要。扫频模式支持内置单路、双路或用户定义的频率扫描，适合FMCW雷达应用。

对于不同的工作模式，辅助[寄存器0Ah](#)、[寄存器0Ch](#)和[寄存器0Dh](#)可用于设置不同的功能，如[表6](#)所示。

表6. 工作模式

寄存器编号	寄存器名称	PLL工作模式(SD_MODE = 寄存器06h[7:5])					
		0	1	2	3	4	5至7
		小数模式	整数模式	精确频率模式	FM(频率调制)模式	PM(相位调制)模式	斜坡模式
寄存器03h的功能	N整数部分	Nint	N	Nint	频率1: Nint	Nint	起始Nint
寄存器04h的功能	N小数部分	Nfrac		Nfrac	频率1: Nfrac	Nfrac	起始Nfrac
寄存器0Ah的功能	辅助寄存器					相位步进	频率步进/参考时钟
寄存器0Ch的功能	备选整数				频率2: Nint		停止Nint
寄存器0Dh的功能	备选小数			通道/PD频率	频率2: Nfrac		停止Nfrac
其它功能							
双缓冲器		是	否	是	是	是	是
触发时		更新频率, 初始相位(可选)		更新频率, 初始相位(可选)	切换频率(电平敏感)	递增/递减相位	前进到下一斜坡级

具体模式中不使用的寄存器可以是任何值, 会被忽略。

触发

根据具体工作模式, 使用触发事件来更改频率、对频率进行FM调制、调制相位或使频率斜坡曲线前进到下一状态。一般而言, HMC703LP4E可通过三种方法触发。并非所有模式都支持所有触发方法。

1. 外部硬件触发引脚6 (TRIG)
2. SPI写入寄存器0Eh[0]的触发位(TRIG)
3. SPI写入小数寄存器04h(仅跳频触发)。

根据具体工作模式, 器件对上升沿或触发电平敏感。SPI的TRIG位模仿外部TRIG引脚, 因此, 一般必须写入1以进行触发, 然后回到0以准备下一触发周期。要使用外部TRIG引脚, 必须通过EXTTRIG_EN(寄存器06h[9])将其使能。

小数模式或精确频率模式频率更新

在非调制小数模式(寄存器06h[7:5] = 0或2)下, 如果使能外部触发, 则对 N_{INT} 和 N_{frac} (寄存器03h和寄存器04h)的写操作会在内部缓冲, 等待TRIG引脚或SPI TRIG位明确触发, 然后才会生效。如果EXTTRIG_EN = 0, 则对 N_{INT} 的写操作会被双重缓冲, 等待小数写入寄存器04h, 从而在内部对 N_{INT} 和 N_{frac} 一同进行识别。有关计算应用的小数乘数的更多信息, 参见“[小数模式](#)”部分。

初始相位控制

对于HMC703LP4E, 用户可以通过24位SEED寄存器05h控制VCO的初始相位。此初始相位在触发事件后的第一个时钟周期载入, 前提是自动初始相位(寄存器06h[8] = 1)已使能。寄存器05h中的值代表VCO相位。例如, 若并行触发两个频率合成器, 但一个的SEED为0.2 (0.2×2^{24}), 另一个的SEED为0.7 (0.7×2^{24}), 则两个VCO的稳态输出(不考虑任何失配)将错相 180° ($(0.7-0.2) \times 360^\circ$)。用户可利用这一点来控制多个频率合成器的输出相位。

如果不需要相位控制，则将SEED设置为满的二进制数，例如50F1CDh或B29D08h，可实现最佳杂散性能。

注意，在精确步进为 f_{step} 的精确频率模式下，如果自动种子功能关闭，则在触发之后和识别新小数频率之前，可能存在最多 $1/f_{\text{step}}$ 的延迟。

频率调谐

整数模式

在整数模式下，VCO步长固定为PD频率 f_{pd} 的步长。对于给定PD工作频率，整数模式的相位噪声通常低于小数模式，优势约为2到3 dB。然而，整数模式常常要求PD频率较低，以便满足通道步长要求。小数模式的优势在于可以使用较高的PD频率，因而常常能够实现较低的相位噪声。整数模式下应禁用“[电荷泵偏移](#)”。在整数模式下， $\Delta\Sigma$ 调制器关闭，N分频器([寄存器03h](#))可设置为16到 $2^{16}-1$ 范围内的任意整数。要在整数模式下使用HMC703LP4E，应设置[寄存器06h](#)[7:5] = 1，然后设置频率的整数部分(根据[公式5](#))，忽略小数部分。

整数模式下无双重缓冲，即先写入数据，然后触发频率改变。写入 N_{INT} 寄存器([寄存器03h](#))会立即启动RF跳频。这种模式下无外部触发可用。如果需要双重缓冲，请使用小数模式([寄存器06h](#)[7:5] = 0)，并设置 N_{frac} ([寄存器04h](#))= 0，SEED([寄存器05h](#))= 0。

小数模式

设置SD_MODE([寄存器06h](#)[7:5])= 0，HMC703LP4E即处于小数模式。

HMC703LP4E控制的锁定VCO频率 f_{vco} 由下式给出：

$$f_{ps} = \frac{f_{xtal}}{R} (N_{int} + N_{frac}) = f_{int} + f_{frac} \quad (\text{公式5})$$

$$f_{vco} = k f_{ps} \quad (\text{公式6})$$

Where:

f_{ps}	为经过任何潜在RF 2分频之后预分频器输入端的频率
f_{vco}	为HMC703LP4E RF端口的频率
k	RF 2分频旁路时为1，开启时为2(寄存器08h [17])
N_{int}	为整数分频比， 寄存器03h ，介于20和 $2^{16}-1$ 之间的整数
N_{frac}	为小数部分，从0.0到0.99999...， $N_{frac} = \text{寄存器04h}/2^{24}$
R	为参考路径分频比， 寄存器02h
f_{xtal}	为参考振荡器输入频率
f_{pd}	为PD工作频率 f_{xtal}/R

举例来说，我们需要将一个VCO调谐到7910 MHz。输入频率大于4 GHz，因而必须启用RF 2分频，故k=2：

f_{vco}	7,910 MHz
k	2
f_{ps}	3,955 MHz
f_{xtal}	= 50 MHz
R	= 1
f_{pd}	= 50 MHz
N_{int}	= 79
N_{frac}	= 0.1

$$\text{寄存器04h} = \text{round}(0.1 \times 2^{24}) = \text{round}(1677721.6) = 1677722$$

$$f_{ps} = \frac{50e6}{1} \left(79 + \frac{1677722}{2^{24}} \right) = 3955 \text{ MHz} + 1.2 \text{ Hz误差} \quad (\text{公式7})$$

$$f_{vco} = 2 (3955 + 1.2 \text{ Hz}) = 7910 \text{ MHz} + 2.4 \text{ Hz误差} \quad (\text{公式8})$$

本例中，7910 MHz的输出频率是这样实现的：将16位二进制值79d = 4Fh = 0000 0000 0100 1111写入的[寄存器03h](#)的intg_reg，并将24位二进制值1677722d = 19999Ah = 0001 1001 1001 1001 1010写入[寄存器04h](#)的frac_reg。若需要，2.4 Hz量化误差可利用精确频率模式消除。

精确频率模式

小数PLL的绝对频率精度一般受小数调制器的位数限制。例如，24位小数调制器的频率分辨率等于鉴相器(PD)比较速率除以 2^{24} 。PD速率为50 MHz时，它约为2.98 Hz，或0.0596 ppm。

某些应用必须使用精确的频率步进，甚至3 Hz的误差也不能接受。在一些小数频率合成器中，有必要缩短累加器(分母或模数)的长度，以适应步长的精确周期。缩短的累加器常常导致在通道间隔($f_{step} = f_{pd}/\text{模数}$)的倍数处出现非常高的杂散电平。例如，200 kHz通道步进和10 MHz PD速率需要的模数仅为50。Hittite方法利用全部24位模数实现精确频率步长，因而杂散非常低，比较速率很高，并且能保持出色的相位噪声性能。

如果N能用二进制精确表示(如N = 50.0、50.5、50.25、50.75等)，则小数PLL可产生精确频率(频率误差为0)。遗憾的是，某些常见频率无法精确表示。例如， $N_{frac} = 0.1 = 1/10$ 必须近似表示为 $\text{round}((0.1 \times 2^{24}) / 2^{24}) \approx 0.100000024$ 。 $f_{pd} = 50 \text{ MHz}$ 时，这会产生1.2 Hz误差。HMC703LP4E精确频率模式解决了这个问题，通过设置 $N_{channels}$ ([寄存器0Dh](#))=10(对于本例)，可以消除量化误差。更一般地，只要预分频器频率 f_{ps} 可以精确表示在一个步进规划上，其中有整数(Nchannels)个频率步进跨越整数N边界，那么就能使用此特性。假设RF 2分频禁用，因而 $f_{ps} = f_{vco}$ ，这在VCO频率 f_{vco} 满足[公式9](#)时是成立的，如[图30](#)所示。

$$f_{VCO} \bmod f_{gcd} = 0, \text{ where } f_{gcd} = \gcd(f_{VCO}, f_{PD}) \quad (\text{公式9})$$

$$N_{channels} = f_{PD} / f_{gcd}, \text{ and } N_{channels} < 2^{24}$$

其中：

f_{PD} = 鉴相器频率

f_{VCO} 为所需的输出频率

f_N 、 f_{N+1} 为鉴相器频率的整数倍

f_{gcd} 表示最大公约数

例如， $f_{gcd}(4000.200 \text{ MHz}, 50 \text{ MHz}) = 200 \text{ kHz}$

因此， $N_{channels} = 50 \text{ MHz} / 200 \text{ kHz} = 250$

f_{VCO} 为给定此 f_{gcd} 间隔时我们可以精确调谐到的VCO频率

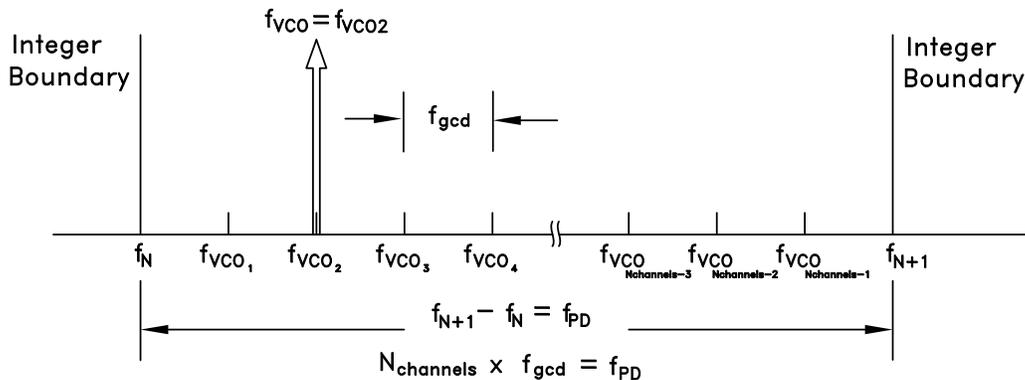


图30. 精确频率调谐

上文假设要实现零误差的单一频率。精确频率模式同样适用于需要许多精确频率的情况，所有这些频率均要适合特定通道间隔。

示例：为以61.44 MHz参考精确实现50 kHz通道步进，计算 f_{gcd} 和 $N_{channels}$ ：

$$f_{PD} = 61.44 \text{ MHz}$$

$$f_{step} = 50 \text{ kHz}$$

$$f_{gcd}(61.44 \text{ MHz}, 50 \text{ kHz})$$

使用欧几里得算法找出最大公分母：

$$61.440 \text{ MHz} = 50 \text{ kHz} \times 1228 + 50 \text{ kHz}$$

$$50 \text{ kHz} = 40 \text{ kHz} \times 1 + 10 \text{ kHz}$$

$$40 \text{ kHz} = 10 \text{ kHz} \times 4 + 0 (\text{余数为} 0, \text{算法结束})$$

$$f_{gcd}(61.44 \text{ MHz}, 50 \text{ kHz}) = 10 \text{ kHz}$$

$$N_{channels} = 61.44 \text{ MHz} / 10 \text{ kHz} = 6144$$

对于给定应用，为了改善频谱性能(降低杂散并使其位于带外远处)，最好让 f_{gcd} 尽可能高($N_{channels}$ 尽可能低)。

使用Hittite精确频率模式

为使用精确频率模式，建议采用如下程序：

1. 计算所需的 f_{gcd} ，即 $\gcd(f_{VCO}, f_{PD})$ 或 $\gcd(f_{PD}, f_{step})$ ，取决于应用
2. 计算每个整数边界的通道数， $N_{channels} = f_{PD} / f_{gcd}$ ，并将其写入 [寄存器0Dh](#)
3. 将调制器模式设置为精确频率模式([寄存器06h](#)[7:5]中的SD_MODE = 2)

然后，对于每个目标频率 f_{VCO} ：

4. 计算所需的N近似值： $N = f_{VCO}/f_{PD} = N_{INT} + N_{frac}$
5. 将 N_{INT} 写入整数寄存器03h
注意：若与之前的设定值无异，则无需再次写入 N_{INT} 。
6. 写入小数寄存器04h = $\text{Ceiling}(N_{frac} * 2^{24})$
其中的Ceiling函数用于求取“向上舍入的最接近整数”。

示例：要将HMC703LP4E配置为精确频率模式，通道间隔为50 kHz，VCO频率 = 2000.200 MHz且 $f_{PD} = 61.44$ MHz：

1. $f_{gcd}(61.44 \text{ MHz}, 50 \text{ kHz}) = 10 \text{ kHz}$ (同上)
2. 计算 $N_{channels} = f_{PD} / f_{gcd} = 6144$ ，写入寄存器0Dh(十进制6144 = 十六进制1800)
3. 将调制器模式设置为精确频率模式(寄存器06h[7:5]中的SD_MODE = 2)
4. 计算 $N = 2000.2 \text{ MHz} / 61.44 \text{ MHz} = 32.55533854 = 32 + 0.55533854$
5. 写入整数因子 N_{INT} (寄存器03h) = $32d = 20h$
6. 写入小数因子寄存器04h = $\text{CEILING}(0.55533854 \times 2^{24}) = 9,317,035 = 8E2AABh$

在上例中，若不采用精确频率模式，量化将会引起-1.2 Hz误差。

FM模式

HMC703LP4E PM模式通过电平敏感触发信号支持简单的FSK调制。FM模式可用于简单的通信链路，数据速率限制由环路滤波器带宽设置。

写入寄存器06h[7:5] = 3时，HMC703LP4E配置为FM工作模式。

利用FM模式，用户可以根据TRIG的电平在两个频率($F_0 = N_1 * f_{PD}$ 和 $F_1 = N_2 * f_{PD}$)之间切换。

为将HMC703LP4E配置为FM模式，建议采用如下流程：

1. 锁定小数模式(寄存器06h[7:5] = 0)至 $F_0 = f_{PD} \times$ (寄存器03h, 寄存器04h)。
2. 设置 F_1 的(Reg 0Ch.Reg 0Dh)。
3. 更改模式为FM(寄存器06h[7:5] = 3)。
4. 选择触发源，寄存器06h[9] = 1时为TRIG(引脚6)，寄存器06h[9] = 0时为SPI位触发，即寄存器0Eh[0]
5. 当触发状态 $0/1 = F_0/F_1$ 时，在 F_0 和 F_1 之间切换。

可以在触发事件之间更改下一频率状态而不影响输出，即在 F_1 时写入 F_0 值，或在 F_0 时写入 F_1 值。

PM模式

HMC703LP4E PM模式通过电平敏感触发信号支持简单的双相调制。PM模式还能通过边沿敏感触发信号支持可编程相位步进。PM模式可用于简单的通信链路，数据速率限制由环路滤波器带宽设置。

写入寄存器06h[7:5] = 4时，HMC703LP4E配置为全PM工作模式。一般而言，任一PM模式下的调制相位步进 $\Delta\theta$ 由下式给出：

$$\square\square = \frac{x \square 360}{2^{24}} \quad (\text{deg})$$

其中 $x =$ 寄存器0Ah。

双相调制

相位步进在[寄存器0Ah](#)中设置，它是 2π 的分数， $2^{24} = 2\pi$ 。例如，若双相调制的相位步进为 180° ，则应写入[寄存器0Ah](#)= $\text{round}((180/360) \times 2^{24} = 8388608d = 800000h)$ 。

相位调制数据通过触发源输入，触发信号与电平相关([寄存器06h](#)[8] = 0)，高电平触发信号会使相位前进，低电平触发信号会使相位后退。

相位步进控制

相位也可以仅在触发信号上升沿前进。相位步进在[寄存器0Ah](#)中设置，它是 360° 的分数， $2^{24} = 2\pi$ 。例如，对于 1° 相位步进，应写入[寄存器0Ah](#)= $\text{round}((1/360) \times 2^{24} = 46603d = B60Bh)$ 。

概言之，为将HMC703LP4E配置为PM模式，建议采用如下流程：

1. 锁定小数模式([寄存器06h](#)[7:5] = 0)至 $F = f_{PD} \times (\text{寄存器03h}, \text{寄存器04h})$ 。
2. 将[寄存器0Ah](#)设置为目标相位步进。
3. 更改模式为PM([寄存器06h](#)[7:5] = 4)。
4. 更改触发选项为边沿或电平([寄存器06h](#)[8])。
5. 选择触发源，[寄存器06h](#)[9] = 1时为TRIG(引脚6)，[寄存器06h](#)[9] = 0时为SPI写入[寄存器0Eh](#)触发。

扫频模式

HMC703LP4E内置扫描模式，支持外部或自动触发的扫描。最大扫描范围仅受VCO动态特性和范围的限制。

扫描模式包括：

- a. 自动双路扫描模式
初始化触发模式、斜坡、斜坡返回、斜坡、斜坡返回...
通过写入[寄存器06h](#)[7:5] = 7来选择
- b. 触发双路扫描模式
初始化触发模式、斜坡、等待触发、斜坡返回、等待触发、斜坡...
通过写入[寄存器06h](#)[7:5] = 6来选择
- c. 触发单路扫描模式
初始化触发模式、斜坡、等待触发、跳回初始频率、等待触发、斜坡...
通过写入[寄存器06h](#)[7:5] = 5来选择

应用包括测试仪器、FMCW传感器、汽车雷达等。

扫描功能的参数如[图31](#)所示。HMC703LP4E通过及时实现微型频率步进来产生扫描。环路滤波器对该阶跃信号滤波后，在VCO输出端产生平滑连续的扫描，如[图31](#)所示。阶跃扫描方法使得HMC703LP4E在整个扫描期间都保持锁定。相比常规方法，这让HMC703LP4E获得了多项优势，包括：

- 能够产生线性扫描。
- 能够让不同斜坡之间的相位相干，因而每次扫描的相位曲线相同。
- 能够产生相位和相位噪声性能相同的扫描。
- 能够在单步斜坡模式下产生用户自定义扫描。

HMC703LP4E扫描功能循环扫描一系列离散频率值，步进方式如下：

- a. 通过自动序列器步进，或者
- b. 在单步模式下通过个别触发信号单步步进。

每次扫描或每一步的触发方式可配置为：

- a. 通过串行端口写入1到[寄存器0Eh](#)[0]来触发(然后其应回到0)
- b. 内部自动产生
- c. 通过TRIG引脚6触发

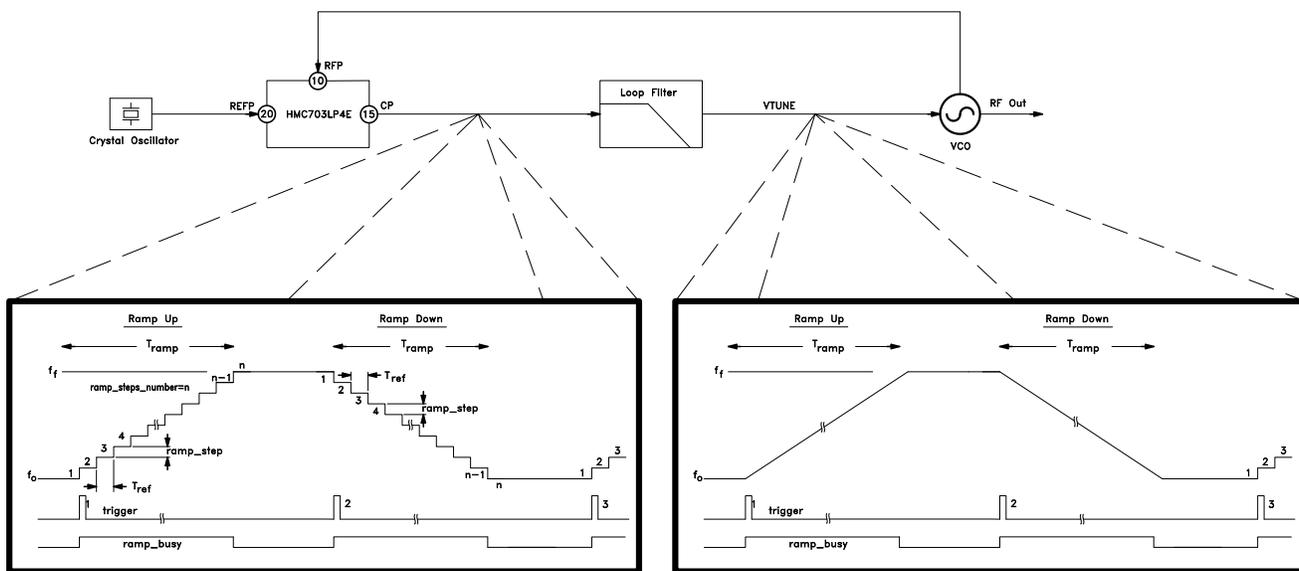


图31. HMC703LP4E扫描功能

双路扫描

设置[寄存器06h](#)[7:5] = 6或7时，HMC703LP4E可配置为双路扫描工作模式。双路扫描如图32所示。扫描开始可通过外部TRIG引脚6触发(若EXTTRIG_EN = 1)，或通过SPI_TRIG([寄存器0Eh](#))触发。在自动双路扫描([寄存器06h](#) [7:5] = 7)模式下，斜坡立即重启，不等待外部触发信号。

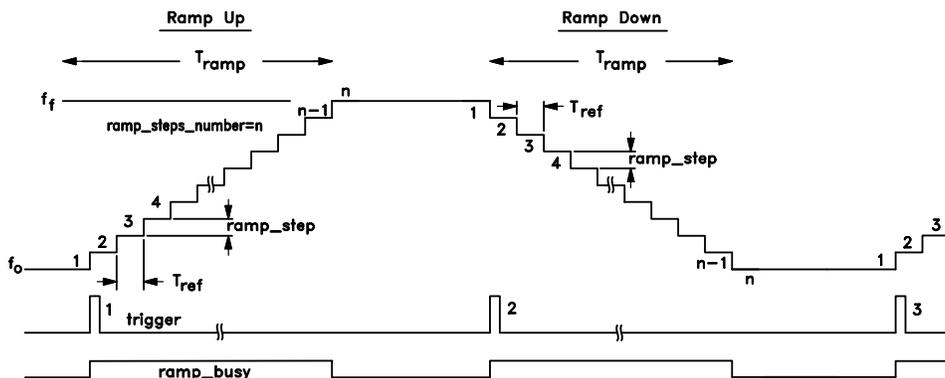


图32. 双路触发扫描

单路扫描

设置寄存器06h[7:5] = 6时，HMC703LP4E可配置为触发式单路扫描工作模式。触发式单路扫描如图33所示。不同于双路扫描，触发式单路扫描在接到下一触发信号时，会迫使VCO跳回起始频率。触发式单路扫描还需要第三个触发信号来启动新的扫描。第三个触发信号的时序应适当，使得VCO在经过大跳频回到起始频率之后能够稳定下来。后续奇数触发信号将启动单路扫描并重复上述过程。单路扫描可通过外部TRIG引脚6触发(若EXTTRIG_EN = 1)，或通过SPI_TRIG(寄存器0Eh)触发。

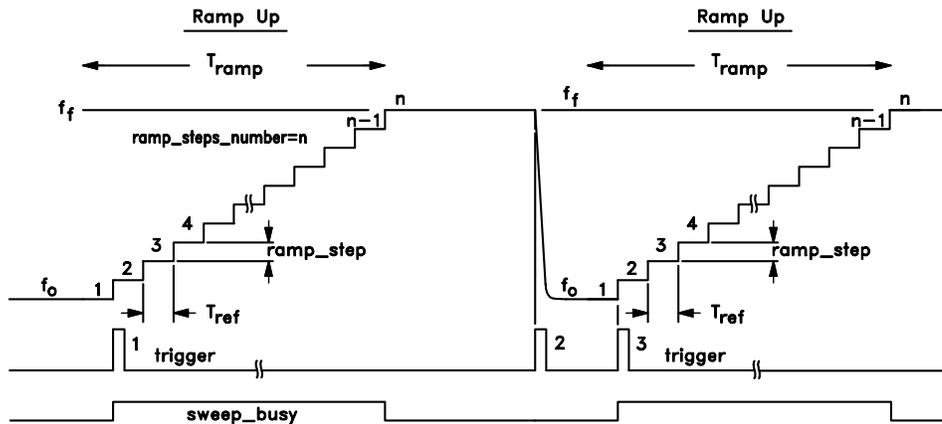


图33. 单路扫描控制

单步斜坡模式

对于任意扫描方案，HMC703LP4E都可以配置为单步工作模式。这种模式下，在频率设定值每次改变之前，都需要等待明确的触发信号。单步单路斜坡如图34所示。这种模式下，斜坡的每一步都需要触发信号。与自动扫描相似，接到第一个触发信号时，ramp_busy标志变为高电平，然后保持高电平，直至第n个触发信号。第n+1个触发信号引起斜坡跳跃到单路斜坡模式的起始频率。第n+2个触发信号重启单路扫描。单步斜坡模式可通过外部TRIG引脚6触发(若EXTTRIG_EN = 1)，或通过SPI_TRIG(寄存器0Eh)触发。

在单步模式下(寄存器06h[23] = 1)，HMC703LP4E能够产生由触发脉冲时序密度定义的任意形状曲线。每发生一个触发事件，频率就会按照寄存器0Ah设置的步进值步进。此外，HMC703LP4E能够在斜坡期间以及步进之间灵活地改变步长(寄存器0Ah)，这就为斜坡方案产生又增加了一个自由度。注意，能够保证工作性能的最大触发速率为 $f_{pd}/5$ 。另外，在触发之后的前两个参考时钟周期中，不应通过SPI更新步进寄存器(寄存器0Ah)。频率更新的离散性质被环路滤波器熨平，只要更新速率大于环路带宽的10倍，就不会有问题。

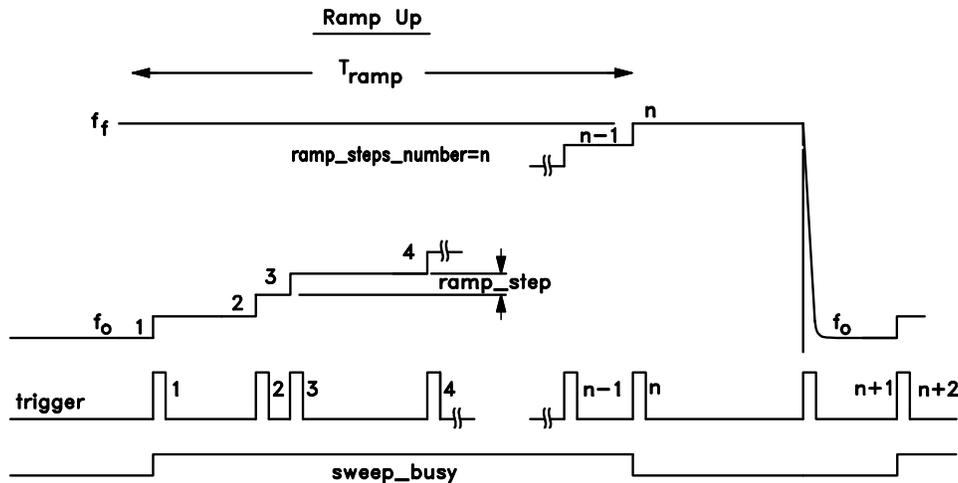


图34. 单步斜坡模式

用户应当知道，合成的斜坡要受锁相环一般动态特性限制。如果所用的环路带宽比步进速率宽得多，则锁定速度会很快，斜坡将呈阶梯形。如果更新速率高于环路带宽（这是通常情况），则环路在收到新频率步进之前不会完全稳定下来。这样，扫描输出会有有一个很小的滞后，并以几乎连续的方式扫描。

详细扫描配置

建议采用如下程序来配置HMC703LP4E的频率扫描：

1. 锁定小数模式(寄存器06h[7:5]=0)至起始频率(f_0)。
2. 设置频率步进寄存器0Ah和停止N(寄存器0Ch,寄存器0Dh)。注意，停止N必须恰好等于起始N加整数个步进(寄存器0Ah)。否则，扫描功能不会正常终止。这一般意味着要将停止N略微向上或向下舍入，以确保它位于步进边界。
3. 根据所需的曲线，将模式更改为寄存器06h[7:5]=5、6或7。

注意，斜坡步进寄存器0Ah为带符号二进制补码数。如果为负，则第一个斜坡的斜率为负，反之亦然。

设置自动种子(寄存器06h[8]=1)，确保不同扫描具有相同的相位曲线。这要求在每个斜坡开始时，将种子(寄存器05h)载入相位累加器。

设置寄存器06h[22]=1，在每个斜坡开始时复位整个 Δ - Σ 调制器，以确保每次扫描具有相同的相位和量化噪声性能。

注意，虽然HMC703LP4E能迫使两个不同频率的扫描相位相干，但若SEED(寄存器05h)中设置的起始相位不同于斜坡结束时PLL所处的相位状态，则会出现相位不连续。通过定制扫描曲线，使斜坡开始时的PLL相位与斜坡结束时的相位相同，可以防止这种不连续性。

示例：配置从 $f_0 = 3000$ MHz到 $f_f = 3105$ MHz的扫描， $T_{ramp} \approx 2$ ms， $f_{PD} = 50$ MHz：

1. 在小数模式下启动(设置寄存器06h[7:5]=0)
1. 计算起始N和停止N，设置起始N(寄存器03h, 寄存器04h)
 - 起始N = $3000.0 \text{ MHz} / 50.0 \text{ MHz} = 60.0$
 - 停止N = $3105.0 \text{ MHz} / 50.0 \text{ MHz} = 62.1$

设置寄存器03h = 60, 寄存器04h = 0

- 计算2 ms内会有多少参考周期。Tref = 1 / f_{pd} = 20ns,
步数 = Tramp/Tref = 2ms/20ns = 100,000
- 根据起始N、停止N和步数, 计算所需的N步长:
N_Step_Size_desired = (62.1 - 60.0) / 100,000 = 21u [N的分数]

4. 将小数N步进量化为24位步长:

设置寄存器0Ah = 21u x 2²⁴ = round(352.32) = 352

- 重新调整停止频率少许, 确保它恰好落在步进边界上。
由于步进量化, 扫描时间或扫描范围会有一些的有限误差。

我们有三种选择:

- 实现精确扫描时间, 牺牲停止频率的分辨率

扫描时间 = 100k周期 = 2 ms

停止N = 起始N + 100,000 x 352/2²⁴(保持100k周期)

停止N = 60.000 + 35,200,000 / 2²⁴ ≈ 62.09808

设置寄存器0Ch = 62, 寄存器0Dh = 35,200,000 MOD 2²⁴ = 1,645,568 ≈ 0.09808

f_r ≈ 3104.904(停止频率比期望值低96 kHz)

- 实现精确停止频率, 牺牲扫描时间精度

给定步长为352/2²⁴, 从60.0到62.1有多少周期

步数 = (62.1 - 60.0) / (352/2²⁴) = 100,091.345

必须舍入到100,091步。

扫描时间 = Tref * 100,091 = 2.00182ms(比期望时间长1.82 us)

停止N = 60.0 + 100,091 x 352/2²⁴ ≈ 62.0999927

设置寄存器0Ch = 62, 寄存器0Dh = 35,232,032 MOD 2²⁴ = 1,677,600 ≈ 0.0999927

f_r = 3104.99964 MHz(停止频率比期望值低362 Hz)

- 情况a和b的综合

6. 根据所需的触发和斜坡/跳频曲线, 设置SD_Mode(寄存器06h[7:5] = 5、6或7)

7. 通过外部引脚或SPI TRIG位触发。

继续发出触发信号使斜坡曲线前进到下一级...

超小步长的扫描配置

若需要更精密的步长分辨率, 可以降低f_{pd}(这会影晌性能), 或者使用单步模式(寄存器06h[23] = 1)并在外部触发引脚上提供较低频率的时钟, 以便降低更新速率。HMC703LP4E可通过如下方式产生较低频率的时钟: 适当设置R分频器, 不将其用于PD(寄存器06h[21] = 1), 而是通过GPO路由到HMC703LP4E之外。然后便可将R分频器输出环回到HMC703LP4E的TRIG引脚, 以用作低速率触发信号。更多信息参见“[参考路径R分频器](#)”部分。

参考输入级

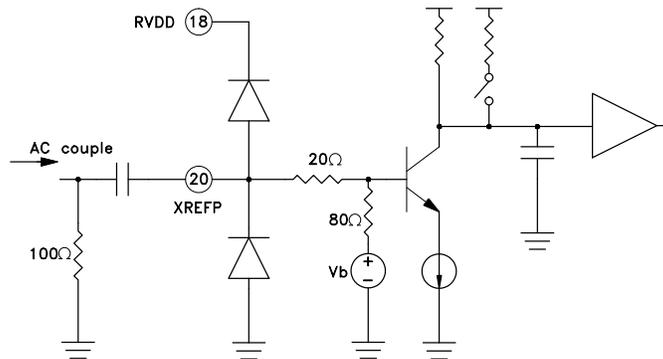


图35. 参考路径输入级

参考缓冲器提供从外部参考源(一般基于晶振)到R分频器, 最终到鉴相器的路径。该缓冲器有两种工作模式: 高增益(建议用于200 MHz以下)和高频率(用于200到350 MHz)。该缓冲器在内部直流偏置, 并且内置100 Ω端接电阻。对于50 Ω匹配, 应增加一个接交流地的外部100 Ω电阻, 后跟一个交流耦合电容(阻抗 <1 Ohm), 然后连接到器件的XREFP引脚。

在低频时, 建议使用相对来说呈方形的参考来使输入压摆率保持较高水平。在较高频率时, 可使用方形或正弦参考。下表给出了不同参考频率的推荐工作区域。如果在这些区域之外工作, 器件一般仍会工作, 但性能会下降。

参考缓冲器输入端的最小脉冲宽度为2.5 ns。当 $R = 1$ 时, 为获得最佳杂散性能, 脉冲宽度应大于 $(2.5 \text{ ns} + 8 \text{ Tps})$, 其中Tps为预分频器输入端的VCO周期。当 $R > 1$ 时, 最小脉冲宽度为2.5 ns。

表7. 参考灵敏度表

频率 (MHz)	方形输入			正弦输入		
	压摆率 > 0.5V/ns	推荐摆幅(Vpp)		推荐	推荐功率范围(dBm)	
	推荐	最小值	最大值		最小值	最大值
< 10	是	0.6	2.5	x	x	x
10	是	0.6	2.5	x	x	x
25	是	0.6	2.5	可	8	15
50	是	0.6	2.5	是	6	15
100	是	0.6	2.5	是	5	15
150	可	0.9	2.5	是	4	12
200	可	1.2	2.5	是	3	8
200至350	x	x	x	是 ¹	5	10

注意: 对于200 MHz以上的频率, 缓冲器应设置为高频模式。寄存器08h[18] = 1

工作在50 MHz且偏移10 kHz时, PLL的折合到输入端相位噪声介于-150和-156 dBc/Hz之间, 具体值取决于工作模式。为避免PLL噪声分布性能变差, 输入参考信号应比此本底好10 dB。应当注意, 只有PLL是主要噪声贡献因素, 并且如此低的水准是系统目标的要求时, 才需要这种性能水平。

参考路径R分频器

参考路径R分频器基于14位计数器，可以对最高350 MHz的输入信号进行1到16,383的分频，分频值由[寄存器02h](#)[13:0]控制。设置[寄存器0Fh](#)[4:0] = 9d，可在测试模式下通过LD_SDO引脚查看参考分频器输出。

如果[寄存器06h](#)[21] = 1，则HMC703LP4E可使用未分频的参考，同时将分频版本输出以在GPO上作辅助之用(如斜坡触发器、FPGA等)。

RF路径

RF路径如[图36](#)所示。此路径包括一个低噪声8 GHz RF输入缓冲器和一个可选旁路的8 GHz RF 2分频电路。如果VCO输入低于4 GHz，则RF 2分频应旁路，以提高小数模式的性能。RF 2分频之后是N分频器，它是一个16位分频器，可在整数或小数模式下工作，最高支持4 GHz输入。N分频器之后就是鉴相器(PD)，它有两路输入，即来自VCO的RF路径(V)和来自晶振的参考路径(R)。PD工作频率在小数模式B(推荐)下最高为100 MHz，在小数模式A下为80 MHz，在整数模式下为115 MHz。

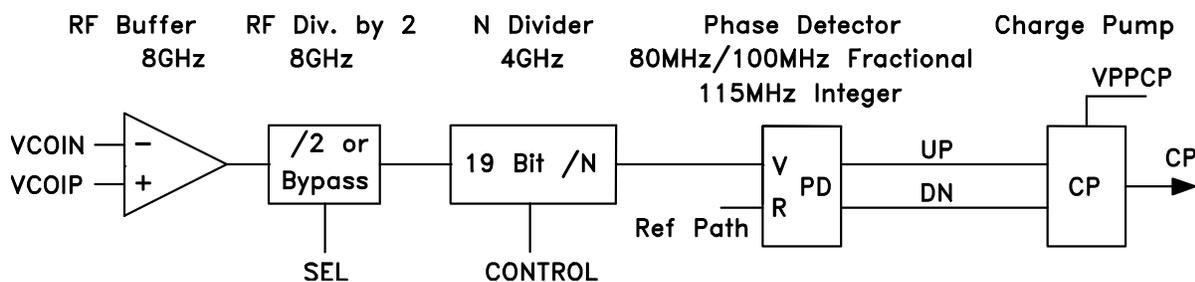


图36. RF路径

RF输入级

RF输入级通过RF或N分频器提供从外部VCO到鉴相器的路径。在所有条件下，RF输入路径的额定工作频率最高可达8 GHz。RF输入级是一个差分共发射极级，内置直流偏置，受ESD二极管保护，如[图37](#)所示。此输入未匹配50 Ω。可使用输入间放置的100 Ω电阻来更好地匹配50 Ω。多数应用中，输入以单端方式使用，接入VCOIP或VCOIN引脚，另一输入通过隔直电容接地。实现最佳频谱性能的首选输入电平为-10 dBm(标称值)。

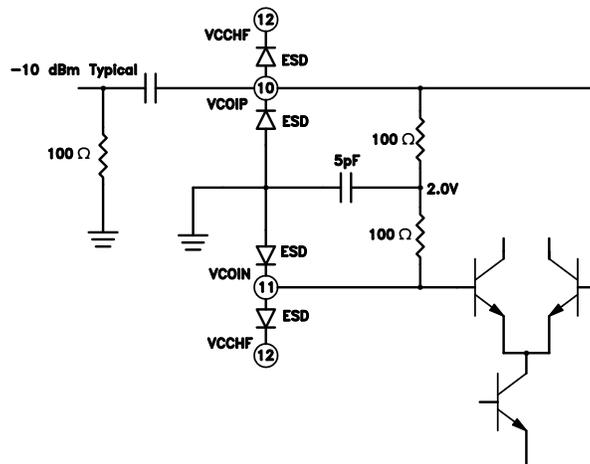


图37. RF输入级 - 所示为配合单端器件使用

RF路径N分频器

主RF路径N分频器支持介于216-1 (524,287)和16之间的任意分频比。例如，此分频器可将4 GHz输入分频为从最大输出限值115 MHz到最低7.6 kHz的任意PD频率。设置寄存器0Fh[4:0] = 10 d，可在测试模式下通过LD_SDO引脚查看N分频器输出。在小数模式下工作时，N分频器可在平均值的+/-4范围内变化。因此，小数模式下的分频比只能在 $2^{16}-5$ (65,531)到20之间选择。

如果VCO输入超过4 GHz，则应使用8 GHz固定RF 2分频，设置寄存器08h[17] = 1。这种情况下，整数分频范围限于 $2 \times (2^{16}-5)$ (131,062)到40之间的偶数。

PLL抖动

若假设锁定VCO在偏移小于环路3 dB带宽时具有恒定的相位噪声，并且在更大的偏移时以每倍频程20 dB滚降，则VCO信号到达时间的标准差或抖动可通过一个简单的近似情形来估算。该简单的锁定VCO相位噪声近似情形如图38左侧所示。

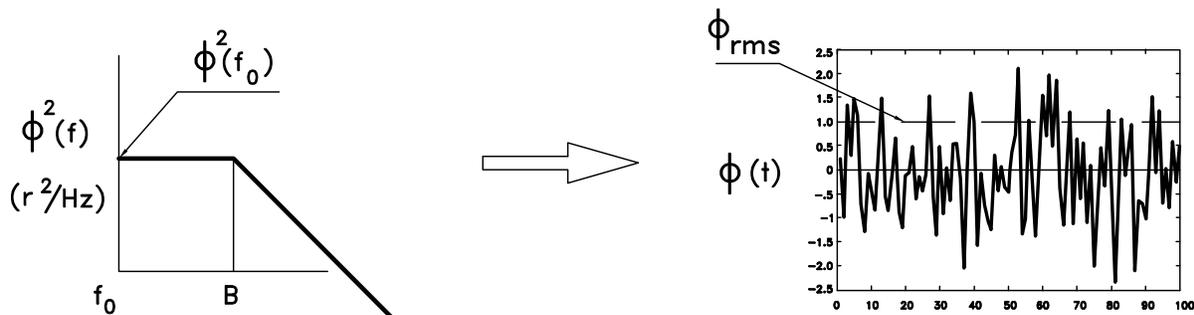


图38. PLL相位噪声和抖动

通过这一简化，总积分VCO相位噪声 Φ_v^2 (单位为 rads^2)由下式给出：

$$\Phi_v^2 = \Phi^2(f_0) B\pi \quad \text{(公式10)}$$

其中

Φ^2 是环路带宽内的单边带相位噪声，单位为 rads^2/Hz

B是闭环PLL的3 dB转折频率

要求鉴相器的积分相位噪声 Φ_{pd}^2 ，只需将其缩小 N^2 倍，即 $\Phi_{pd}^2 = \Phi_v^2/N^2$

VCO的均方根相位抖动(Φ_v ，单位为 rads)等于相位噪声积分的平方根。

公式10的简单积分为常数之积，因此可在对数域中轻松积分。例如，在10 kHz偏移和100 kHz环路带宽时，若环路内的相位噪声为-110 dBc/Hz，且分频比为100，则鉴相器的积分相位噪声(以dB为单位)为：

$$\Phi_{pd}^2 = 10\log(\Phi^2(f_0) B\pi/N^2) = -110 + 5 + 50 - 40 = -95 \text{ dBc/Hz}, \text{ 或为 } \Phi = 10^{95/20} = 18 \mu\text{rads} = 1 \text{ 毫度rms}.$$

分频到参考之后，由于PD参考信号的周期增加，相位噪声会降低 $20\log N$ 倍，但抖动保持不变。

$$\text{相位噪声的均方根抖动为: } T_{jpn} = T_{pd} \Phi_{pd}^2 / 2\pi$$

本例中，若PD参考为50 MHz， $T_{pd} = 20 \text{ ns}$ ，则 $T_{jpn} = 56 \text{ fs}$ 。

电荷泵和鉴相器

鉴相器或PD有两路输入，一路来自参考路径分频器，一路在RF路径分频器。锁定时，这两路输入具有相同的平均频率，并且相互之间的平均相位偏移是恒定的。PD的工作频率称为 f_{pd} 。大多数与步长、 Δ - Σ 调制、定时器等相关的公式都是PD工作频率的函数， f_{pd} 有时也被称为PD的比较频率。

PD将RF路径信号的相位与参考路径信号的相位相比较，并根据这两个信号的相位差，线性控制电荷泵输出电流。输出电流在接近 $\pm 2\pi$ 弧度($\pm 360^\circ$)的输入相位差范围内线性变化。

电荷泵和鉴相器的功能

利用鉴相器[寄存器0Bh](#)，用户可手动控制鉴相器的特殊功能。

[寄存器0Bh](#)[2:0]可微调PD复位路径延迟。利用这种调整可改善极高PD速率时的性能。大多数时候，此寄存器仅设为推荐值。

[寄存器0Bh](#)[5]和[6]分别用于使能PD UP和DN输出。若禁用，则电荷泵无法充电或放电，电荷泵处于三态，而所有其它功能对内部有效。

CP Force UP [寄存器0Bh](#)[7]和CP Force DN [寄存器0Bh](#)[8]分别用于强制电荷泵升高或降低，从而迫使VCO到达调谐范围的端部，这对VCO测试有用。

PD Force Mid [寄存器0Bh](#)[9]用于禁用电荷泵电流源，并将一个约 $V_{PPCP}/2$ 的电压源放在环路滤波器上。若使用无源滤波器，VCO将被设定为中间电压调谐点，这对VCO测试有用。

锁定检测

在每个PD(鉴相器)周期，HMC703LP4E都会测量PD的相位误差。测得的相位误差必须为：

- $< \sim 220$ 度(若 $40 \text{ MHz} \leq f_{pd} \leq 120 \text{ MHz}$)
- $< \sim 14 \text{ ns}$ (若 $f_{pd} < 40 \text{ MHz}$)

这要持续数个连续周期(周期数在[寄存器07h](#)[2:0]中设置)，以便HMC703LP4E声明锁定。只要有一个相位误差不满足这些条件，锁定便不合格，锁定计数器(其最大值为[寄存器07h](#)[2:0])重启。

注意在某些情况下，PLL锁定的相位误差可能超过180度或12 ns(以较小者为准)。如果偏移电流不当地设置为过高值，就会发生这种情况。不建议在这种情况下工作，因为它会导致相位噪声性能下降。这种情况下，即使PLL已锁定，锁定检测电路也不会声明锁定。

HMC703LP4E锁定检测功能相对于参考频率自动校准。通常，锁定检测训练只需在上电时进行一次，或每次改变参考频率或R分频器值([寄存器02h](#))时进行。

要在HMC703LP4E上电时训练锁定检测电路，须进行如下设置：

- 设置[寄存器07h](#) [11] = 1以使能锁定检测计数器
- 设置[寄存器07h](#) [14] = 1以使能锁定检测定时器
- 设置[寄存器07h](#) [20] = 1以训练锁定检测定时器

这些位可以同时写入。

只要改变PD频率(通过外部参考频率或R分频器设置([寄存器02h](#)))，便应重新训练锁定检测电路，方法是先关闭再打开[寄存器07h](#)[20]。

锁定检测指示可通过SPI从[寄存器12h](#)[1]读取，或通过GPO多路复用器([寄存器0Fh](#)[4:0])导出到LD_SDO引脚上。更多信息参见LD_SDO引脚描述。

周跳防止 (CSP)

当改变频率而VCO尚未锁定参考时，PD两路输入的瞬时频率不同，其相位差迅速变化，范围远大于 $\pm 2\pi$ 弧度。由于PD的增益随相位(最高 $\pm 2\pi$)线性变化，因此常规PD的增益将从高值(当相位差接近 2π 的倍数时)变为低值(当相位差略大于0弧度时)并循环。电荷泵的输出电流将从最大值变为最小值并循环，即使VCO尚未达到最终频率。

在该循环的低增益部分，环路滤波器小电容的电荷实际上可能会轻微放电。这会使锁定期间的VCO频率临时反转。这种现象称为周跳。周跳引起锁定期间的捕捉速率周期性变化。周跳会使锁定时间远大于正常小信号拉普拉斯分析所得的预测值。

当相位误差大于 ~ 220 度或 $\sim 14 \text{ ns}$ (以较小者为准，由锁定检测电路测量)时，HMC703LP4E通过提高电荷泵电流来缓解周跳效

PD极性

[寄存器0Bh](#)[4]=0设置PD极性，以便配合无源环路滤波器和调谐斜率为正(提高调谐电压会提高VCO频率)的VCO使用。

[寄存器0Bh](#)[4]=1会使PD极性反转。如果在有源环路滤波器中使用反相运算放大器，并且VCO的调谐斜率为正，常常使用这种设置。

电荷泵三态

[Reg_0Bh](#)[5]=[Reg_0Bh](#)[6]=0会将电荷泵置于三态。这样会有效冻结环路滤波器上的电荷，并允许VCO开路工作(前提是CP偏移也已禁用)。

电荷泵增益

[寄存器09h](#)[6:0]和[寄存器09h](#)[13:7]决定电荷泵的电流增益设置。电荷泵电流设置范围是0 μ A到2.54 mA，步进为20 μ A。电荷泵增益会影响环路带宽。对于具有宽范围 K_{vco} (VCO增益)的VCO，通过调整电荷泵增益(K_{cp})，可使 K_{vco} 与 K_{cp} 的乘积保持不变。这种补偿有助于使环路带宽保持恒定。

除了上述普通CP电流以外，还有一个噪声性能更好的额外输出电流源。Hi K_{cp} 提供一个与环路滤波器电压成比例的输出电流。虽然如此，但Hi K_{cp} 只应当用于有源运放环路滤波器，其定义电荷泵引脚上的电压。电荷泵引脚上的电压为2.5 V时，Hi K_{cp} 电流为3.5 mA。

Hi K_{cp} 特性可以在多种配置中使用。为使噪声最低，可使用Hi K_{cp} 而不使用普通电荷泵电流(电荷泵电流设为0)。这种情况下，环路滤波器设计以3.5 mA为有效电荷泵电流。

另一种可能的配置是同时使用Hi K_{cp} 和普通电荷泵电流源。这种情况下，有效电荷泵电流将是3.5 mA加上所设置的普通电荷泵电流，最大值为6 mA。

若使用无源环路滤波器，电荷泵引脚上的电压会变化，导致Hi K_{cp} 电流变化很大。因此，Hi K_{cp} 不应当用于无源环路滤波器配置。

电荷泵示意图如[图39](#)所示。电荷泵的电流增益(单位为A/rad)等于此寄存器的增益设置除以 2π 。

电荷泵偏移

[寄存器09h](#)[20:14]控制电荷泵电流偏移。[寄存器09h](#)[21]和[寄存器09h](#)[22]分别用于使能升偏移电流和降偏移电流。一般来说，同一时间只能使用其中一个寄存器。如上所述，电荷泵偏移会影响小数模式线性度。偏移极性的选择应使得分频VCO滞后于参考信号。对于同相环路滤波器，这意味着下降。

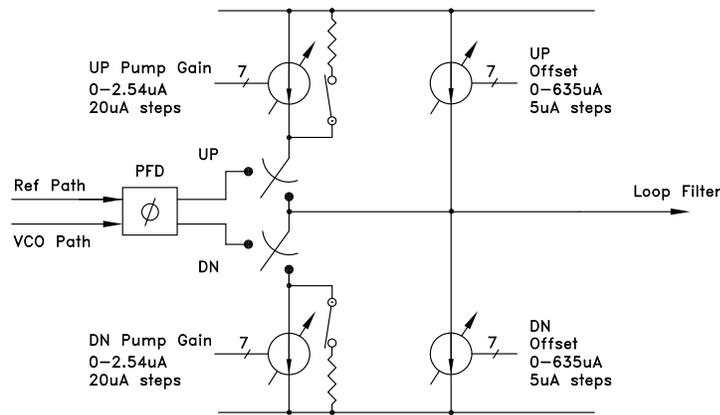


图39. 电荷泵增益和偏移控制 - 寄存器09h

SEED寄存器和自动SEED模式

小数调制器数字相位累加器(DPA)的起始相位可通过[寄存器05h](#)设置为任意值。如果自动SEED[寄存器06h](#)[8]置1, 则每次选择新的小数频率时, PLL会将[寄存器05h](#)[23:0]中的起始相位自动重新载入DPA。如果自动SEED未置1, 则PLL用DPA中留下的上次频率值启动新的小数频率。这种情况下, 起始相位将是随机的。某些零或二进制SEED值可能导致特定频率的杂散能量相关性。相关的杂散仅对极特殊的情况有利, 其中已知杂散位于带外很远处, 并通过环路滤波器加以消除。对于大多数情况, 推荐使用伪随机SEED设置。另外, 自动SEED总是在同一地方启动累加器, 如果使用自动SEED, 性能将具有可重复性。[寄存器05h](#)的默认值通常可实现良好的性能。

上电复位

HMC703LP4E的数字电源DVDD具有硬件上电复位(POR)特性。DVDD上电后大约250 μ s, 芯片所有寄存器都会复位到默认状态。电源完全建立后, 若电源稍后降至0.5 V以下, 数字部分将复位。注意, SPI控制输入在关断时也必须为0, 否则其会通过ESD保护网络让芯片意外上电。

关断模式

硬件关断

芯片使能可通过硬件CEN引脚23控制, 或从串行端口控制。[寄存器01h](#)[0] =1时, 由CEN引脚控制。[寄存器01h](#)[0] =0时, 由串行端口[寄存器01h](#)[1]控制。对于硬件测试或某些特殊应用, 即使芯片已禁用, 也可以强制芯片内部的某些模块保持开启。更多信息参见[寄存器01h](#)描述。

芯片标识

通过读取[寄存器00h](#)的chip_ID内容, 可以获取该频率合成器的版本信息。

通用输出(GPO)引脚

PLL通过LD_SDO(锁定检测/串行数据输出)引脚来执行多种功能。虽然该引脚的最常用功能是通过SPI回读芯片寄存器,但它也能输出各种感兴趣的信号和实时测试波形(包括锁定检测)。它由带~200 Ω Rout的三态CMOS驱动器驱动。它有相关的逻辑,可动态选择是否使能该驱动器,以及决定从芯片输出何种数据。

在默认配置中,上电复位之后,输出驱动器禁用,仅在具有适当地址的SPI读操作期间驱动。这使得它可以与同一总线上的其它器件共享输出。

根据SPI模式,SPI周期的读取部分会以不同方式进行识别。

HMC SPI模式:驱动器在SPI读周期的最后24位期间使能(写周期中不使能)。

开路SPI模式:如果寻址芯片,即在SEN上升沿之前,SPI周期的最后3位为‘000’b,则使能驱动器(注释A)。

为了持续监控任意GPO信号,包括锁定检测,应设置寄存器0Fh[7]=1以使SDO驱动器始终开启。这会阻止LDO驱动器进入三态,意味着SDO线不能与其它器件共用。

在SPI读操作期间,芯片会自然而然地避开GPO数据,并导出SDO(注释B)。为了防止这种自动数据选择,而始终选择GPO信号,应设置“防止SDO自动复用”(寄存器0Fh[6]=1)。此输出的相位噪声性能很差,未予标定。另外,在正常操作期间,GPO输出不应切换。否则,频谱性能可能会下降。

注意还有其它控制措施可用,若与其它器件共享可能很有帮助:

- 要在芯片禁用时也允许驱动器激活(受上述条件限制),请设置寄存器01h[7]=1。
- 要完全禁用驱动器,请设置寄存器08h[5]=0(此设置优先于所有其它设置)。
- 要禁用驱动器的上拉或下拉部分,请设置寄存器0Fh[8]=0或寄存器0Fh[9]=0。

注释A:如果SEN在SCK输入“无效”(非零)芯片地址之前上升,器件将开始驱动总线。

注释B:在OPEN模式下,读操作的活动部分定义为SEN后的第一个SCK上升沿到SEN的下一个上升沿。

示例情形:

- 在读操作期间驱动SDO,其它时候进入三态(以允许总线共享)
 - 无需任何操作。
- 在读操作期间驱动SDO,其它时候进行锁定检测
 - 设置GPO选择寄存器0Fh[4:0]=‘00001’(默认值)
 - 设置“防止GPO驱动器禁用”(寄存器0Fh[7]=1)
- 始终驱动锁定检测
 - 设置“防止SDO自动复用”寄存器0Fh[6]=1
 - 设置GPO选择寄存器0Fh[4:0]=00001(默认值)
 - 设置“防止GPO驱动器禁用”(寄存器0Fh[7]=1)

GPO提供的信号通过改变“GPO选择”寄存器0Fh[4:0]来选择。

VCO调谐

无源滤波器

HMC703LP4E针对外置VCO的高性能应用而设计。频率合成器的电荷泵直接配合VCO使用，电荷泵电源电压+5 V为时，VCO变容二极管调谐端口上的标称调谐范围为1.0至4.0 V。利用+5.2 V电荷泵电源，或者若允许性能略有下降，则可实现更宽一点的调谐范围。Hittite PLL设计软件可用于设计直接从PLL电荷泵驱动的无源环路滤波器。

高压调谐有源滤波器

为了支持需要较高电压调谐范围的VCO，环路滤波器可使用外部运算放大器。环路滤波器设计与应用高度相关，可能对PLL性能有重大影响。应当很好地测定其对PLL性能的影响，并且针对最佳PLL性能进行优化。Hittite PLL设计软件可用于设计外置运算放大器的有源环路滤波器。它支持多种滤波器配置。

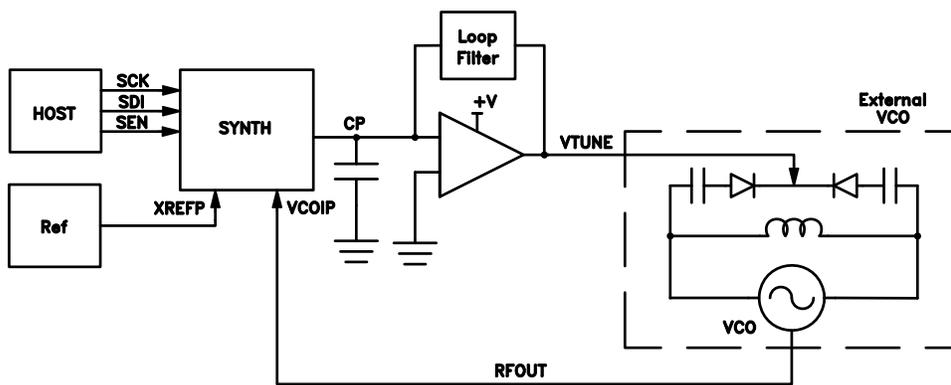


图40. 采用有源环路滤波器和常规外部VCO的频率合成器

主串行端口

串行端口工作模式

HMC PLL-VCO串行端口接口有两种不同工作模式。

- a. HMC模式(HMC传统模式)- 每条HMCSPi总线单个从机。
- b. OPEN模式 - 每条HMCSPi总线8个从机。HMC703LP4E仅使用5位地址空间。

两种协议均支持5位寄存器地址空间。HMC模式最多支持6位寄存器地址，但为了与OPEN模式兼容，所以限制为5位。

寄存器0模式

寄存器0在每种模式下具有专门的功能。OPEN模式能够更广泛地兼容其它制造商的SPi协议。

表8. 寄存器0比较 - 单用户与多用户模式

	单用户HMC模式	单用户或多用户OPEN模式
读操作	芯片ID 24位	芯片ID 24位
写操作	软复位 通用选通	读取地址[4:0] 软复位[5] 通用选通[24:6]

上电复位后的串行端口模式确定

上电时，两种模式均有效并侦听。所有数字IO在上电时都必须为低电平。

串行端口模式(协议)的选择是在SEN或SCK第一次出现时确定，此后串行端口模式便固定，只有关断才能改变。

- a. 若首先检测到SEN上升沿，则选择HMC模式。
- b. 若首先检测到SCK上升沿，则选择OPEN模式。

串行端口HMC模式 - 单PLL

HMC模式(传统模式)串行端口操作只能寻址单个PLL并与之通信，可兼容多数HMC PLL和集成VCO的PLL。

串行端口的HMC模式协议针对固定协议的4线接口而设计，具有：

- a. 1个读/写位
- b. 6个地址位
- c. 24个数据位

串行端口OPEN模式

串行端口OPEN模式 具有如下特性：

- a. 兼容利用移位和选通方法来通信的一般串行端口协议。
- b. 兼容HMC多芯片解决方案，可用于从单一串行端口总线寻址多个不同类型的芯片。

HMCOPEN模式 协议具有如下一般特性：

- a. 3位芯片地址，最多可选址与串行总线相连的8个器件(HMC703LP4E为000)
- b. 广泛兼容多家供应商的多种协议
- c. SP周期中支持同时读/写操作
- d. 5位寄存器地址空间
- e. 3线支持只写功能，4线支持读/写功能。

集成VCO的HMC RF PLL也支持HMCOPEN模式。HMC700、HMC701、HMC702以及有几代集成VCO的微波PLL不支持OPEN模式。

典型HMCOPEN模式 串行端口可采用最高50 MHz的SCK工作。

串行端口HMC模式详解

典型串行端口HMC模式可采用最高50 MHz的SCK工作。

HMC模式 - 串行端口写操作

AVDD = DVDD = 3.3 V +/-10%, AGND = DGND = 0 V

表9. SPI HMC模式 - 写时序特性

参数	条件	最小值	典型值	最大值	单位
t_1	SEN至SCK建立时间	8			nc
t_2	SDI至SCK建立时间	3			nc
t_3	SCK至SDI保持时间	3			nc
t_4	SEN低电平持续时间	20			nc
t_5	SCK至SEN下降	10			nc
	最大SPI时钟频率		50		MHz

典型HMC模式写周期如图41所示。

- 主机通过置位SEN(串行端口使能)并清零SDI来指示写周期，随后是SCK上升沿。
- 从机(频率合成器)在SEN后的SCK第一个上升沿读取SDI。SDI低电平指示写周期(/WR)。
- 主机将6个地址位放在SCK的后续6个下降沿，MSB优先。
- 从机在SCK的后续6个上升沿(2-7)移入地址位。
- 主机将24个数据位放在SCK的后续24个下降沿，MSB优先。
- 从机在SCK的后续24个上升沿(8-31)移入数据位。
- 数据在SCK的第32个上升沿移入芯片。
- 经过最小延迟时间 t_5 后，SEN清零。写周期即告完成。

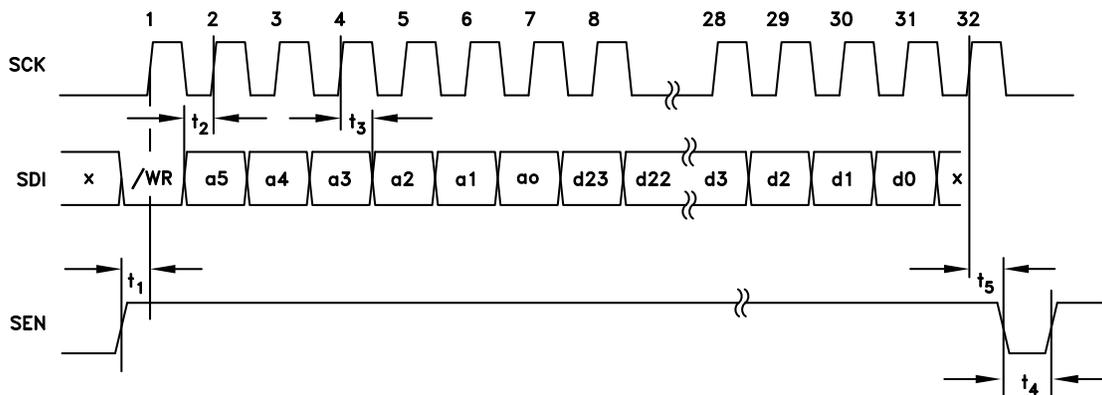


图41. 串行端口时序图 - HMC模式写操作

HMC模式 - 串行端口读操作

典型HMC模式读周期如图42所示。

- 主机置位SEN(串行端口使能)和SDI来指示读周期, 随后是SCK上升沿。注意: 锁定检测(LD)功能通常复用到LD_SDO引脚上。建议仅在SEN为低电平时, 才考虑LD有效。事实上, LD要等到LD_SDO上的第一个有效数据位切换后才切换, 并在串行数据输出LSB的尾沿后立即恢复, 如图42所示。
- 从机(频率合成器)在SEN后的SCK第一个上升沿读取SDI。SDI高电平指示读周期(RD)。
- 主机将6个地址位放在SCK的后续6个下降沿, MSB优先。
- 从机在SCK的后续6个上升沿(2-7)移入地址位。
- 从机从锁定检测状态切换, 并在SCK的后续24个上升沿(8-31)将请求的24个数据位放在SD_LDO上, MSB优先。
- 主机在SCK的后续24个下降沿(8-31)移入数据位。
- 从机在SCK的第32个上升沿恢复锁定检测。
- 经过最小延迟时间 t_6 后, SEN清零。读周期即告完成。

表10. SPI HMC模式 - 读时序特性

参数	条件	最小值	典型值	最大值	单位
t_1	SEN至SCK建立时间	8			ns
t_2	SDI建立至SCK时间	3			ns
t_3	SCK至SDI保持时间	3			ns
t_4	SEN低电平持续时间	20			ns
t_5	SCK至SDO延迟		8.2ns+0.2ns/pF		ns
t_6	SCK至SEN下降	10			ns

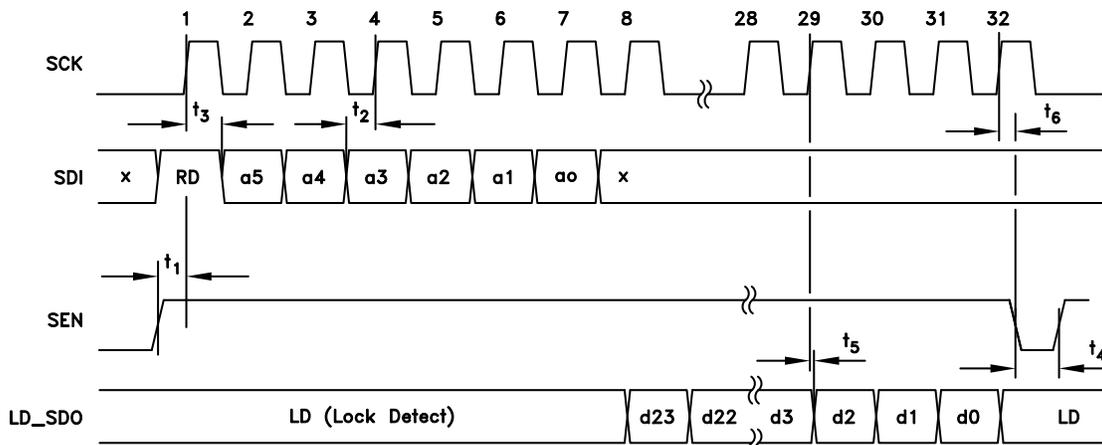


图42. HMC模式串行端口时序图 - 读操作

串行端口OPEN模式 详解

OPEN模式 - 串行端口写操作

表11. SPIOPEN模式 - 写时序特性

参数	条件	最小值	典型值	最大值	最大值
t_1	SDI建立时间	3			ns
t_2	SDI保持时间	3			ns
t_3	SEN低电平持续时间	10			ns
t_4	SEN高电平持续时间	10			ns
t_5	SCK 32上升沿至SEN上升沿	10			ns
	串行端口时钟速度	DC	50		MHz
t_6	SEN至SCK恢复时间	10			ns

典型写周期如图43所示。

- 主机在SCK的前24个下降沿将24位数据d23:d0(MSB优先)放在SDI上。
- 从机(频率合成器)在SCK的前24个上升沿移入SDI上的数据。
- 主机将要写入的5位寄存器地址r4:r0(MSB优先)放在SCK的后续5个下降沿(25-29)。
- 从机在SCK的后续5个上升沿(25-29)移入寄存器位。
- 主机将3位芯片地址a2:a0(MSB优先)放在SCK的后续3个下降沿(30-32)。HMC703LP4E芯片地址固定为000。
- 从机在SCK的后续3个上升沿(30-32)移入芯片地址。
- 主机在SCK的第32个上升沿后置位SEN。
- 从机在SEN的上升沿移入SDI数据。

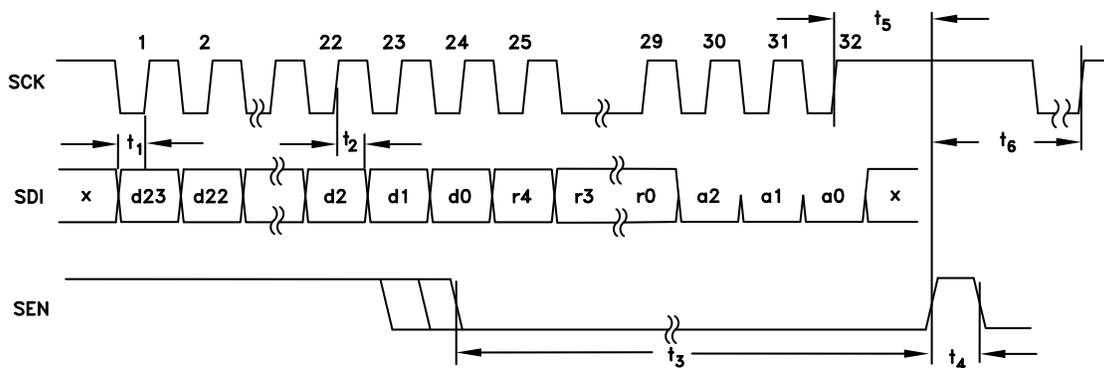


图43. OPEN模式 串行端口时序图 - 写操作

OPEN模式 - 串行端口读操作

典型读周期如图44所示。

一般而言，在OPEN模式下，LD_SDO线在写周期中始终有效。在任何OPEN模式 SPI周期中，LD_SDO都会包含来自[寄存器00h\[4:0\]](#)指向的地址中的数据。如果[寄存器00h\[4:0\]](#)不变，则在OPEN模式周期进行时，LD_SDO上始终存在相同的数据。若需要读取特定地址，则应在第一个SPI周期中将所需地址写入[寄存器00h\[4:0\]](#)，然后在下一个SPI周期中，所需数据便会出现LD_SDO上。

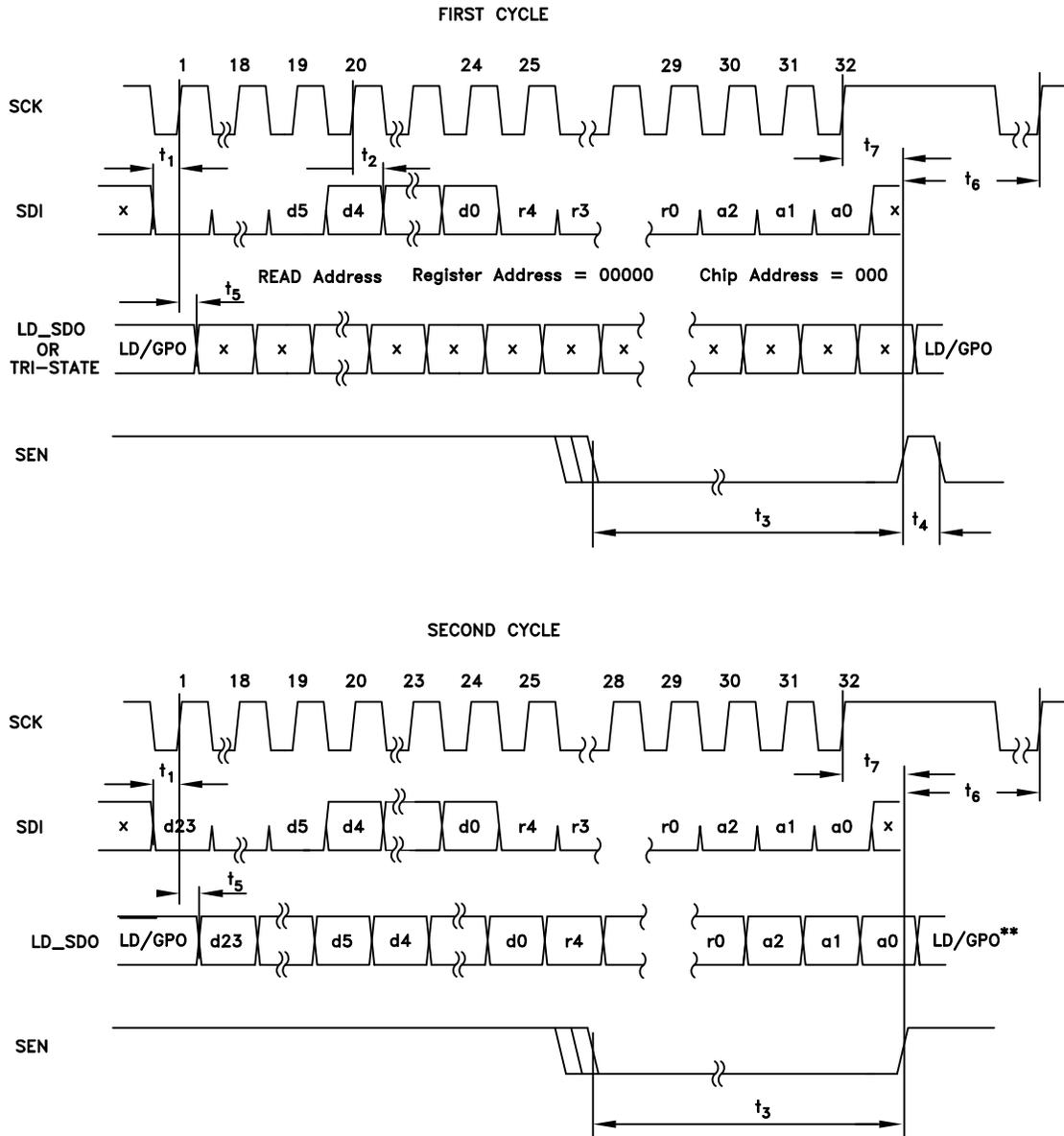
读取任意随机地址的OPEN模式 双周期程序示例如下：

- a. 主机在SCK的前24个下降沿将24位数据d23:d0(MSB优先)放在SDI上，如图44所示。d23:d5应设为0。d4:d0 = 下一周期要读取的寄存器地址。
- b. 从机(频率合成器)在SCK的前24个上升沿移入SDI上的数据。
- c. 主机将5位寄存器地址r4:r0(WRITE ADDRESS寄存器地址，MSB优先)放在SCK的后续5个下降沿(25-29)。r4:r0=00000。
- d. 从机在SCK的后续5个上升沿(25-29)移入寄存器位。
- e. 主机将3位芯片地址a2:a0(MSB优先)放在SCK的后续3个下降沿(30-32)。HMC703LP4E芯片地址固定为000。
- f. 从机在SCK的后续3个上升沿(30-32)移入芯片地址。
- g. 主机在SCK的第32个上升沿后置位SEN。
- h. 从机在SEN的上升沿移入SDI数据。
- i. 主机将SEN清零以完成两部分读周期的地址传输。
- j. 如果不希望与第二周期同时写入数据到芯片，建议在该周期的回读部分将SDI上的相同内容再次写入寄存器0。
- k. 主机将与前一周期相同的SDI数据放在SCK的后续32个下降沿上。
- l. 从机(频率合成器)在SCK的后续32个上升沿移入SDI数据。
- m. 从机在SCK的后续32个上升沿将所需数据(即来自寄存器00h[4:0]所示地址的数据)放在LD_SDO上。锁定检测禁用。
- n. 主机在SCK的第32个上升沿后置位SEN，以完成该周期并回到LD_SDO的锁定检测状态。

注意，若无法识别芯片地址位(a2:a0)，从机将会把LD_SDO输出置于三态，以防止可能的总线竞争问题。

表12. SPI OPEN模式 - 读时序特性

参数	条件	最小值	典型值	最大值	单位
t ₁	SDI建立时间	3			ns
t ₂	SDI保持时间	3			ns
t ₃	SEN低电平持续时间	10			ns
t ₄	SEN高电平持续时间	10			ns
t ₅	SCK上升沿至SDO时间		8.2+0.2ns/pF		ns
t ₆	SEN至SCK恢复时间	10			ns
t ₇	SCK 32上升沿至SEN上升沿	10			ns



****Note:** Read-back on LD_SDO can function without SEN, Hoewer SEN rising edge is required to return the LD_SDO to the GPO state

图44. OPEN模式 串行端口时序图 - 读操作双周期

寄存器映射
表13. 寄存器00h ID寄存器(只读)

位	类型	名称	宽	默认值	说明
[23:0]	RO	chip_ID	24	97370h	PLL ID

表13. 寄存器00hOPEN模式 读地址/RST选通寄存器(只写)(续)

位	类型	名称	宽	默认值	说明
[4:0]	WO	ReadAddr	5	0	将目标读地址写入此寄存器, 用于OPEN模式 寄存器读操作。在下一周期的第一个SPI时钟读取数据, 移出开始。

表13. 寄存器00hOPEN模式 读地址寄存器(只写)(续)

位	类型	名称	宽	默认值	说明
5	WO	SoftRst	1	0	软复位。为1时, 它将寄存器复位到POR状态, 并向模拟部分发出POR命令。

表13. 寄存器00hOPEN模式 读地址寄存器(只写)(续)

位	类型	名称	宽	默认值	说明
0	R/W	EnPinSel	0	0	为1时, 主芯片使能信号来自引脚而非SPI。
1	R/W	EnFromSPI	1	1	主机使能信号来自SPI。写入0将关断芯片。
[9:2]	R/W	EnKeepOns	8	0	芯片禁用时, 用户可向如下适当的位写入1, 使相应的子电路保持活动: [2] Bias、[3] PFD、[4] CHP、[5] RefBuf、[6] VCOBuf、[7] GPO、[8] VCODIVA、[9] VCODIVB
10	R/W	EnSyncChpDis	1	0	若为1, 则在禁用事件之后, 电荷泵在分频参考的下降沿同步禁用, 从而无瞬变地处于三态。

表15. 寄存器02h REF DIV寄存器

位	类型	名称	宽	默认值	说明
[13:0]	R/W	rdiv	14	1	参考分频器R值 使用分频器时, 还要求refBufEn寄存器08[3]=1 最小值为1d 最大值为16383d

表16. 寄存器03h频率寄存器 - 整数部分

位	类型	名称	宽	默认值	说明
[15:0]	R/W	intg	16	25d	预分频器分频比的(基本)整数部分。在所有小数工作模式下, 该值都会经过双重缓冲, 直到发生触发事件才生效。更多信息参见“工作模式”。整数模式下, 此值的范围是16到65535。小数模式下, 应将其限制在20和65531之间。

表17. 寄存器04h频率寄存器 - 小数部分

位	类型	名称	宽	默认值	说明
[23:0]	R/W	frac	24	0	VCO分频器小数部分(24位无符号), 参见“小数频率调谐” $N_{\text{FRAC}} = \text{寄存器04h} / 2^{24}$ 只能用于小数模式 最小值为0d 最大值为 $2^{24}-1 = \text{FFFFFFh} = 16,777,215\text{d}$

表18. 寄存器05h种子

位	类型	名称	宽	默认值	说明
[23:0]	R/W	SEED	24	654321h	小数调制器在“触发”位置的初始起点。此值会影响输出相位, 并可能影响某些类型的杂散成分。扫描期间, 可以选择调制器在每个斜坡开始时重载此值。

表19. 寄存器06h SD CFG寄存器

位	类型	名称	宽	默认值	说明
[0]	R/W	Modulator Type	1	1	调制器类型A (1)或类型B(0) 类型B更容易滤出带外,但在预分频器频率小于1.5GHz时,带内频谱性能可能会降低。
[4:1]	R/W	Reserved 1	4	15	写入15
[7:5]	R/W	SD Mode	3	0	模式信息参见“工作模式”。 0 - 小数 1 - 整数 2 - 精确频率小数(适当设置寄存器0Dh) 3 - FM模式(针对F2设置寄存器0Ch/寄存器0Dh) 4 - PM模式(在寄存器0Ah中设置相位步进) 5 - 扫描 - 单路 - 先斜坡后跳频(触发式) 6 - 扫描 - 双路 - 双向斜坡(触发式) 7 - 扫描 - 双路自动 - 双向斜坡(连续式)
[8]	R/W	autoseed (Frac modes) unidirectional phase (PM)	1	1	非PM模式 1: 调制器相位在发生触发事件时或频率斜坡开始时初始化。 0: 调制器未重新初始化。 PM模式(寄存器06h[7:5]=4) 1: 仅在上升沿触发 0: 双相调制,电平相关
[9]	R/W	External Trigger Enable (EXTTRIG_EN)	1	1	触发事件(跳频、斜坡移动、相位或FM调制)选择使用外部TRIG引脚。此位的功能和触发系统取决于SD模式。更多信息参见“工作模式”。
[12:10]	R/W	Reserved 7	3	7	写入7
[13]	R/W	Force DSM Clock on	1	0	强制调制器时钟开启,哪怕处于整数模式。可用于测试数字到模拟的耦合。
[14]	R/W	BIST Enable	1	0	仅供内部使用 - 写入0
[16:15]	R/W	Number of Bist Cycles	2	0	仅供内部使用
[18:17]	R/W	DSM Clock Source	2	0	0 - SD时钟来自M计数器(推荐大于50MHz) 1 - VDIV PFD时钟 2 - RDIV PFD时钟 - 用于相位相干 3 - XTAL(用于BIST)
[19]	R/W	Invert DSM Clock	1	0	仅供测试BIST
[20]	R/W	Reserved 0	1	0	写入0
[21]	R/W	Force RDIV bypass	1	0	若为1,则可使用R分频器(并通过GPO输出),但PFD仍使用未分频的XTAL。
[22]	R/W	Disable Reset of extra accumulators on ramp	1	0	Autoseed位决定DSM的相位累加器在频率斜坡开始时是否复位。一般来说,其它累加器也会复位,使得各周期具有精确重复性。如果此位置1,则不执行该额外的初始化,这会使得斜坡启动时的瞬变更平缓。
[23]	R/W	Single Step Ramp Mode	1	0	单步斜坡模式。每触发一次,则斜坡前进一步。配合外部触发信号使用时可产生任意扫描曲线。也可用于系统的扫描同步。

表20. 寄存器07h锁定检测寄存器

位	类型	名称	宽	默认值	说明
[2:0]	R/W	LKDCounts	3	5	锁定检测窗口 设置锁定检测窗口内必须有多少连续的分频VCO计数才能声明锁定 0: 5 1: 32 2: 96 3: 256 4: 512 5: 2048 6: 8192 7: 65535
[10:3]	R/W	Reserved	8	12d	写入12d
[11]	R/W	LockDetect Counters Enable	1	1	使能锁定检测计数器(R07[14]也应为1)
[13:12]	R/W	Reserved	2	0	写入0
[14]	R/W	Lock Detect Timer Enable	1	1	对于大于锁定检测定时器的相位误差, 提高电荷泵增益。
[15]	R/W	Cycle Slip Prevention Enable	1	0	对于大于锁定检测定时器的相位误差, 提高电荷泵增益。
[19:16]	R/W	Reserved 0	4	0	保留
[20]	R/W	Train Lock Detect Timer	1	0	PD参考时钟频率改变后(通过外部参考或改变R分频器), 此位必须从0变为1。
[21]	R/W	Reserved	1	0	保留 - 写入1

表21. 寄存器08h模拟EN寄存器

位	类型	名称	宽	默认值	说明
[0]	R/W	EnBias	1	1	偏置
[1]	R/W	EnCP	1	1	电荷泵
[2]	R/W	EnPFD	1	1	PFD
[3]	R/W	EnXtal	1	1	参考缓冲器
[4]	R/W	EnVCO	1	1	VCO缓冲器
[5]	R/W	EnGPO	1	1	GPO输出缓冲器使能(若为0, 则该缓冲器为高阻态; 若为1, 该缓冲器可以是高阻态, 取决于GPOSel和SPI活动)
[6]	R/W	EnMcnt	1	1	M计数器
[7]	R/W	EnPS	1	1	预分频器
[8]	R/W	EnVCOBias	1	1	VCO分频器相关偏置
[9]	R/W	EnOpAmp	1	1	电荷泵放大器
[12:10]	R/W	VCOOutBiasA	3	3	RF分频器偏置A选择
[15:13]	R/W	VCOOutBiasB	3	3	RF分频器偏置B选择
[16]	R/W	VCOWSel	1	1	RF缓冲器偏置选择
[17]	R/W	RFDiv2Sel	1	0	使能RF 2分频
[18]	R/W	XtalLowGain	1	0	降低XTAL缓冲器的增益(并扩展带宽)
[19]	R/W	XtalDisSat	1	0	禁用XTAL缓冲器的饱和保护


表22. 寄存器09h电荷泵寄存器

位	类型	名称	宽	默认值	说明
[6:0]	R/W	CPIdn	7	100	主吸电流(20 uA步进)
[13:7]	R/W	CPUp	7	100	主源电流(20 uA步进)
[20:14]	R/W	CPOffset	7	0	偏移电流(5 uA步进)- 更多信息参见“电荷泵相位偏移”。
[21]	R/W	CPSrcEn	1	0	偏移电流极性(源偏移电流) 建议在整数模式下置0, 在小数模式下设为PFDInv。
[22]	R/W	CPSnkEn	1	1	偏移电流极性(吸偏移电流) 建议在整数模式下置0, 在小数模式下设为NOT PFDInv。
[23]	R/W	CPHiK	1	0	高增益模式(~4mA CP电流增强, 取决于Vcp) - 只能用于有源环路滤波器配置, 控制Vcp以获得更好的相位噪声性能。

表23. 寄存器0Ah调制步进寄存器

位	类型	名称	宽	默认值	说明
[23:0]	R/W	MODSTEP	24	0	斜坡/相位调制模式的小数调制步长(整数模式、普通小数模式、FM或精确频率模式下忽略) 此值为带符号二进制补码数。正值则斜坡上升, 负值则斜坡下降。

表24. 寄存器0Bh PD寄存器

位	类型	名称	宽	默认值	说明
[2:0]	R/W	PFDDly	3	1	避免死区延迟(0~1 ns, 3~3 ns. 不使用大于3的值)
[3]	R/W	PFDSHORT	1	0	根据相位选择将两路PD输入连接到Ref或Div。
[4]	R/W	PFDInv	1	0	交换PD输入以用于反相环路配置。 0 - 用于正调谐斜率VCO和无源环路滤波器(默认) 1 - 用于负调谐斜率, 或用于带正调谐斜率VCO的反相有源环路滤波器
[5]	R/W	PFUpEn	1	1	若为0, 则禁止上升脉冲传播到CP
[6]	R/W	PFDownEn	1	1	若为0, 则禁止下降脉冲传播到CP
[7]	R/W	PFDForceUp	1	0	若为1, 则强制变为上供电轨。
[8]	R/W	PFDForceDn	1	0	若为1, 则强制变为下供电轨。
[9]	R/W	PFDForceMid	1	0	若为1, 则强制变为中间供电轨
[12:10]	R/W	PSBiasSel	3	0	PS偏置电流
[14:13]	R/W	OpAmpBiasSel	2	3	运算放大器偏置电流
[16:15]	R/W	MontClkGateSel	2	3	如果量化分频比保证在某一范围之内, 可使能此特性以稍稍减少切换活动和功耗。(0: 16至31; 1: 16至127; 2: 16至1023; 3: 16至最大值)
[17]	R/W	VDIVExt	1	0	扩展VCO分频器输出脉冲宽度
[18]	R/W	LKDProcTesttoCP	1	0	将锁定检测振荡器复用到CP强制升/降信号以供观测。

表25. 寄存器0Ch ALTINT

位	类型	名称	宽	默认值	说明
[15:0]	R/W	ALTINT	16	25d	斜坡模式的停止频率，FM模式的备选频率。更多信息参见“工作模式”。

表26. 寄存器0Dh ALTFRAC

位	类型	名称	宽	默认值	说明
[23:0]	R/W	ALTFRAC	24	0	斜坡模式的停止频率，FM模式的备选频率，精确频率模式的通道数/边界。更多信息参见“工作模式”。

表27. 寄存器0Eh SPI TRIG

位	类型	名称	宽	默认值	说明
[0]	R/W	SPI TRIG	1	0	此位可代替外部TRIG引脚。 若寄存器06h[9] (EXTTRIG_EN)= 0，则此位用于触发扫描、FM或PM模式。 触发要求初始状态为0，然后写入1。然后必须将寄存器复位到0，以便产生后续触发信号。 如果寄存器06[8] = 0，则在PM模式下，此寄存器对电平敏感并调制相位。 更多信息参见“工作模式”。

表28. 寄存器0Fh GPO寄存器

位	类型	名称	宽	默认值	说明
[4:0]	R/W	GPOSel	5	1	0: 静态测试电压 - 由寄存器0Fh[5]定义 1: 锁定检测 2: 锁定触发 3: 锁定窗口 4: 工艺振荡器测试 5: CSP UP控制 6: CSP DN控制 7: R分频器内核 8: 晶振 9: rdiv_pfd 10: vdiv_pfd 11: mcnt_sd 12: ramp_busy 13: ramp_started 14: ramp_trig_pulse 15: bist_busy 16: dn 17: up 18: bist_clk 19: ramp_clk 20: 整数选通 21: 小数选通 22: SPI选通 23: SPI选择 24: SD重载 25: SD全部重载 29: 锁定训练 30: 输出缓冲器使能
[5]	R/W	GPOTest	1	0	GPOsel=0时, 为输出的静态测试信号
[6]	R/W	GPOAlways	1	0	防止GPO与SDO自动复用。始终保持GPO。
[7]	R/W	GPOOn	1	0	使GPO驱动器保持输出模式(而不是根据ChipAddr选择性驱动), 除非EnGPO=0。
[8]	R/W	GPOPullUpDis	1	0	禁用GPO上拉电阻(适合连线方法或外置上拉/模拟锁定检测方法)
[9]	R/W	GPOPullDnDis	1	0	禁用GPO下拉电阻(适合连线方法或外置下拉/模拟锁定检测方法)

表29. 寄存器10h反向寄存器(只读)

位	类型	名称	宽	默认值	说明
[8:0]	RO	Reserved	9	0	保留

表30. 寄存器11h反向寄存器(只读)

位	类型	名称	宽	默认值	说明
[18:0]	RO	Reserved	19	0	保留



表31. 寄存器12h GPO2寄存器(只读)

位	类型	名称	宽	默认值	说明
[0]	RO	GPO	1	0	GPO
[1]	RO	Lock Detect	1	0	锁定检测
[2]	RO	Ramp Busy	1	0	斜坡繁忙

表32. 寄存器13h BIST状态(只读)

位	类型	名称	宽	默认值	说明
[15:0]	RO	BIST Signature	16		仅供内部使用
[16]	RO	BIST Busy	1		仅供内部使用

表33. 寄存器14h锁定检测定时器状态(只读)

位	类型	名称	宽	默认值	说明
[2:0]	RO	LkdSpeed	3	0	锁定检测定时器训练速度
[3]	RO	LkdTraining	1	0	锁定检测定时器正忙于训练

目录

典型应用	1
功能框图	1
产品特性	1
概述	1
表1. 电气规格	2
典型性能参数	4
图1. 本底FOM与模式、温度的关系, 2.5 mA电荷泵电流	4
图3. 本底FOM与输出频率、模式的关系, 2.5 mA电荷泵电流	4
图5. 本底FOM与参考功率、模式的关系, 2.5 mA电荷泵电流 ^[1]	4
图2. 闪烁FOM与模式、温度的关系, 2.5 mA电荷泵电流	4
图4. 闪烁FOM与输出频率、模式的关系, 2.5 mA电荷泵电流	4
图6. 闪烁FOM与参考功率、模式的关系, 2.5 mA电荷泵电流 ^[1]	4
图7. 闪烁FOM与电荷泵电流的关系, 小数模式B, 2.5 mA电荷泵电流	5
图9. 闪烁FOM与电荷泵电压的关系, 电荷泵电流为2.5 mA ^[1]	5
图11. 闪烁FOM与电荷泵电压的关系, HiKcp + 电荷泵电流 = 6 mA ^[2]	5
图8. 本底FOM与电荷泵电流的关系, 小数模式B, 2.5 mA电荷泵电流	5
图10. 本底FOM与电荷泵电压的关系, 电荷泵电流为2.5 mA ^[1]	5
图12. 本底FOM与电荷泵电压的关系, HiKcp + 电荷泵电流 = 6 mA ^[2]	5
图13. 8 GHz + 200 kHz时的典型相位噪声和杂散性能 ^[3]	6
图15. 8 GHz + 20 kHz时的整数边界杂散与电荷泵偏移的关系 ^[5]	6
图17. 仿真模型相位噪声与实测相位噪声(整数模式HiK、8 GHz) ^[7]	6
图14. 小数性能(精确频率模式开启、8013.6 MHz) ^[4]	6
图16. RF输入限值 ^[6]	6
图18. 仿真模型相位噪声与实测相位噪声(小数模式B、HiK、约8 GHz) ^[8]	6
图19. 接近8 GHz时的本底FOM与RF输入功率、模式的关系	7
图21. 参考输入灵敏度(方波、50 Ω) ^[9]	7
图23. 参考输入回损 ^[10]	7
图20. 接近8 GHz时的闪烁FOM与RF输入功率、模式的关系	7



图22. 参考输入灵敏度(正弦波、50 Ω)^[9]	7
图24. RF输入回损^[11]	7
图25. 双路自动扫描	8
表2. 引脚描述	9
表3. 绝对最大额定值	10
外形图	11
表4. 封装信息	11
评估PCB	12
表5. 评估套件订购信息	12
评估PCB框图	13
评估PCB原理图	13
工作原理	14
PLL基本原理	14
高性能低杂散操作	15
品质因数、噪声本底和闪烁噪声模型	15
杂散性能	17
整数操作	17
小数操作	18
工作模式	19
触发	20
小数模式或精确频率模式频率更新	20
初始相位控制	20
频率调谐	21
整数模式	21
小数模式	21
精确频率模式	22
使用Hittite精确频率模式	23
FM模式	24
PM模式	24
双相调制	25
相位步进控制	25
扫频模式	25
双路扫描	26
单路扫描	27
单步斜坡模式	27
详细扫描配置	28
超小步长的扫描配置	29

参考输入级	30
参考路径R分频器	31
RF路径	31
RF输入级	31
RF路径N分频器	32
PLL抖动	32
电荷泵和鉴相器	33
电荷泵和鉴相器的功能	33
锁定检测	34
周跳防止(CSP)	34
PD极性	35
电荷泵三态	35
电荷泵增益	35
电荷泵偏移	35
种子寄存器和自动种子模式	36
上电复位	36
关断模式	36
硬件关断	36
芯片标识	36
通用输出(GPO)引脚	37
VCO调谐	38
无源滤波器	38
高压调谐有源滤波器	38
主串行端口	38
串行端口工作模式	38
寄存器0模式	38
上电复位后的串行端口模式确定	39
串行端口HMC模式 - 单PLL	39
串行端口OPEN模式	39
串行端口HMC模式详解	40
HMC模式 - 串行端口写操作	40
HMC模式 - 串行端口读操作	41
串行端口OPEN模式 详解	42
OPEN模式 - 串行端口写操作	42
OPEN模式 - 串行端口读操作	42
寄存器映射	45
表13. 寄存器00h ID寄存器(只读)	45
表14. 寄存器01h RST寄存器	45
表15. 寄存器02h REF DIV寄存器	45



表16. 寄存器03h频率寄存器 - 整数部分	46
表17. 寄存器04h频率寄存器 - 小数部分	46
表18. 寄存器05h种子	46
表19. 寄存器06h SD CFG寄存器	47
表20. 寄存器07h锁定检测寄存器	48
表21. 寄存器08h模拟EN寄存器	48
表22. 寄存器09h电荷泵寄存器	49
表23. 寄存器0Ah调制步进寄存器	49
表24. 寄存器0Bh PD寄存器	49
表25. 寄存器0Ch ALTINT	50
表26. 寄存器0Dh ALTFRAC	50
表27. 寄存器0Eh SPI TRIG	50
表28. 寄存器0Fh GPO寄存器	51
表29. 寄存器10h反向寄存器(只读)	51
表30. 寄存器11h反向寄存器(只读)	51
表31. 寄存器12h GPO2寄存器(只读)	52
表32. 寄存器13h BIST状态(只读)	52
表33. 寄存器14h锁定检测定时器状态(只读)	52



MICROWAVE CORPORATION v02.0813



HMC703LP4E

8 GHz小数频率综合器

PLLS - SMT

