

产品特性

集成式小数N分频锁相环(PLL)
 RF输入频率范围：700 MHz至2700 MHz
 内部本振(LO)频率范围：350 MHz至2850 MHz
 输入P1dB：17 dBm
 输出IP3：45 dBm
 单刀四掷(SP4T) RF输入开关
 数字步进衰减器(DSA)范围：0 dB至15 dB
 集成式RF可调谐巴伦，允许单端50 Ω输入
 多核集成式压控振荡器(VCO)
 数字可编程可变增益放大器(DGA)
 -3 dB带宽：>600 MHz
 150 Ω IF输出平衡阻抗
 可通过三线式串行端口接口(SPI)进行编程
 5 V单电源

应用

无线接收器
 数字预失真(DPD)接收器

概述

ADRF6620是一款高度集成的有源混频器和频率合成器，非常适合用于无线接收器子系统中。该器件功能丰富，内置一个高线性度宽带有源混频器、一个集成式小数N分频PLL、低相位噪声多核VCO，以及IF DGA。此外，ADRF6620还集成了4:1 RF开关、一个片内可调谐RF巴伦、可编程RF衰减器和低压差(LDO)稳压器。该高度集成的器件适用于7 mm x 7 mm小尺寸解决方案。

高度隔离的4:1 RF开关和片内可调谐RF巴伦使ADRF6620支持4个单端50 Ω端接RF输入。可编程衰减器确保高线性度混频器内核具有最佳的RF输入驱动电平。集成式DSA提供的衰减范围为0 dB至15 dB，步进为1 dB。

功能框图

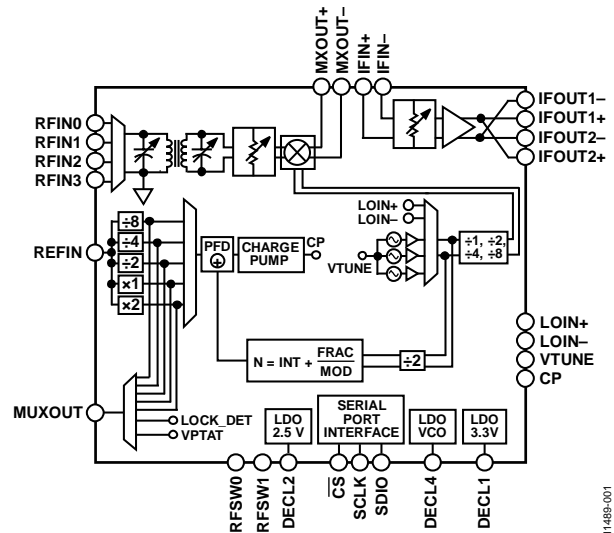


图1.

ADRF6620提供两种备用方式产生差分LO输入信号：从外部通过高频低相位噪声LO信号产生，或从内部通过片内小数N分频PLL频率合成器产生。集成式频率合成器的连续LO覆盖范围为350 MHz至2850 MHz。由于基准频率值在传递至鉴频鉴相器(PFD)之前能够通过除法和乘法模块将其增加或减少至期望值，因此PLL基准电压源输入可支持较宽的频率范围。

集成式高线性度DGA以0.5 dB的步进提供3 dB至15 dB的额外增益范围，驱动模数转换器(ADC)时灵活性极高。

ADRF6620采用先进的硅锗BiCMOS工艺制造，提供48引脚、裸露焊盘、符合RoHS标准的7 mm x 7 mm LFCSP封装。额定温度范围为-40°C至+85°C。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

ADI中文数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	串行端口接口(SPI)	27
应用	1	基本连接	28
功能框图	1	RF输入巴伦插入损耗优化	30
概述	1	IP3和噪声系数优化	31
修订历史	2	中间级滤波要求	35
技术规格	3	IF DGA与负载的关系	38
RF输入至IF DGA输出系统规格	3	ADC接口	39
频率合成器/PLL规格	4	功耗模式	40
RF输入至混频器输出规格	6	布局布线	40
IF DGA规格	7	寄存器映射	41
数字逻辑规格	8	寄存器地址描述	42
绝对最大额定值	9	寄存器0x00; 复位: 0x00000; 名称: SOFT_RESET	42
热阻	9	寄存器0x01; 复位: 0x8B7F; 名称: Enables	42
ESD警告	9	寄存器0x02; 复位: 0x0058; 名称: INT_DIV	43
引脚配置和功能描述	10	寄存器0x03; 复位: 0x0250; 名称: FRAC_DIV	43
典型性能参数	11	寄存器0x04; 复位: 0x0600; 名称: MOD_DIV	43
RF输入至DGA输出系统性能	11	寄存器0x20; 复位: 0x0C26; 名称: CP_CTL	44
锁相环(PLL)	13	寄存器0x21; 复位: 0x0003; 名称: PFD_CTL	45
RF输入至混频器输出性能	17	寄存器0x22; 复位: 0x000A; 名称: FLO_CTL	46
IF DGA	20	寄存器0x23; 复位: 0x0000; 名称: DGA_CTL	47
杂散性能	22	寄存器0x30; 复位: 0x00000; 名称: BALUN_CTL	48
工作原理	24	寄存器0x31; 复位: 0x08EF; 名称: MIXER_CTL	48
RF输入开关	24	寄存器0x40; 复位: 0x0010; 名称: PFD_CTL2	49
可调谐巴伦	25	寄存器0x42; 复位: 0x000E; 名称: DITH_CTL1	50
RF数字步进衰减器(DSA)	25	寄存器0x43; 复位: 0x0001; 名称: DITH_CTL2	50
有源混频器	25	外形尺寸	51
数字可编程可变增益放大器(DGA)	25	订购指南	51
LO生成模块	26		

修订历史

2013年7月—修订版0: 初始版

技术规格

除非另有说明, $V_{CCx} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ 。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
LO输入					
内部LO频率范围	LO_DIV_A = 00	350		2850	MHz
外部LO频率范围		350		3200	MHz
LO输入电平		-6	0	+6	dBm
LO输入阻抗			50		Ω
RF输入					
输入频率		700		2700	MHz
输入回损			12		dB
输入阻抗			50		Ω
RF数字步进衰减器					
衰减范围	Step size = 1 dB	0		15	dB
电源		4.75	5.0	5.25	V
功耗	LO输出缓冲器禁用				
	外部LO + IF DGA使能		1.3		W
	内部LO + IF DGA使能		1.7		W
	仅IF DGA使能		0.6		W
掉电电流			6		mA

RF输入至IF DGA输出系统规格

除非另有说明, $V_{CCx} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, 高端LO抑制, $f_{IF} = 200\text{ MHz}$, 内部LO频率, IF DGA输出负载 = $150\ \Omega$, 带三阶低通滤波器的2 V p-p差分输出。关于实现最高线性度的混频器设置, 参见表16。结果中已消除输入和输出走线及巴伦的所有损耗

表2. RF开关 + 巴伦 + RF衰减器 + 混频器 + IF DGA

参数	测试条件/注释	最小值	典型值	最大值	单位
$f_{RF} = 900\text{ MHz}$ 时的动态性能	$f_{IF} = 200\text{ MHz}$				
电压转换增益			12		dB
输出P1dB			18		dBm
输出IP3	各输出信号音1 V p-p, 信号音间隔1 MHz		43		dBm
输出IP2	各输出信号音1 V p-p, 信号音间隔1 MHz		78		dBm
噪声系数	噪声系数优化		16		dB
$f_{RF} = 1900\text{ MHz}$ 时的动态性能	$f_{IF} = 200\text{ MHz}$				
电压转换增益			11		dB
输出P1dB			18		dBm
输出IP3	各输出信号音1 V p-p, 信号音间隔1 MHz		45		dBm
输出IP2	各输出信号音1 V p-p, 信号音间隔1 MHz		75		dBm
噪声系数	噪声系数优化		18.5		dB
$f_{RF} = 2100\text{ MHz}$ 时的动态性能	$f_{IF} = 200\text{ MHz}$				
电压转换增益			10.5		dBm
输出P1dB			18		dBm
输出IP3	各输出信号音1 V p-p, 信号音间隔1 MHz		45		dBm
输出IP2	各输出信号音1 V p-p, 信号音间隔1 MHz		66		dBm
噪声系数	噪声系数优化		19		dB
$f_{RF} = 2700\text{ MHz}$ 时的动态性能	$f_{IF} = 200\text{ MHz}$				
电压转换增益			9		dB
输出P1dB			18		dBm
输出IP3	各输出信号音1 V p-p, 信号音间隔1 MHz		44		dBm
输出IP2	各输出信号音1 V p-p, 信号音间隔1 MHz		74		dBm
噪声系数	噪声系数优化		21		dB

ADRF6620

频率合成器/PLL规格

除非另有说明, $V_{CCX} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, $f_{REF} = 153.6\text{ MHz}$, f_{REF} 功率 = 4 dBm, $f_{PFD} = 38.4\text{ MHz}$, 环路滤波器带宽 = 120 kHz。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
PLL参考					
PLL参考频率		12		464	MHz
PLL参考电平	PLL锁定条件	-15	+4	+14	dBm
PFD频率		24		58	MHz
内部VCO范围		2800		5700	MHz
开环VCO相位噪声 $f_{VCO2} = 3.4\text{ GHz}$	VTUNE = 2 V, LO_DIV_A = 00 1 kHz偏移 10 kHz偏移 100 kHz偏移 800 kHz偏移 1 MHz偏移 6 MHz偏移 10 MHz偏移 40 MHz偏移 VCO灵敏度(K_V)				
			-39		dBc/Hz
			-81		dBc/Hz
			-103		dBc/Hz
			-123		dBc/Hz
			-125		dBc/Hz
			-143		dBc/Hz
			-147		dBc/Hz
			-155		dBc/Hz
			88		MHz/V
$f_{VCO1} = 4.6\text{ GHz}$	1 kHz偏移 10 kHz偏移 100 kHz偏移 800 kHz偏移 1 MHz偏移 6 MHz偏移 10 MHz偏移 40 MHz偏移 VCO灵敏度(K_V)				
			-39		dBc/Hz
			-74		dBc/Hz
			-101		dBc/Hz
			-123		dBc/Hz
			-125		dBc/Hz
			-143		dBc/Hz
			-147		dBc/Hz
			-156		dBc/Hz
			89		MHz/V
$f_{VCO0} = 5.5\text{ GHz}$	1 kHz偏移 10 kHz偏移 100 kHz偏移 800 kHz偏移 1 MHz偏移 6 MHz偏移 10 MHz偏移 40 MHz偏移 VCO灵敏度(K_V)				
			-39		dBc/Hz
			-69		dBc/Hz
			-99		dBc/Hz
			-121		dBc/Hz
			-124		dBc/Hz
			-142		dBc/Hz
			-146		dBc/Hz
			-155		dBc/Hz
			72		MHz/V
频率合成器规格	在LO输出端测量, LO_DIV_A = 01				
$f_{LO} = 1.710\text{ GHz}$, $f_{VCO2} = 3.420\text{ GHz}$	$f_{REF} = 153.6\text{ MHz}$, $f_{PFD} = 38.4\text{ MHz}$, 120 kHz环路滤波器				
f_{PFD} 杂散	$f_{PFD} \times 1$ $f_{PFD} \times 2$ $f_{PFD} \times 3$ $f_{PFD} \times 4$				
			-83		dBc
			-89		dBc
			-90		dBc
			-93		dBc
闭环相位噪声	1 kHz偏移 10 kHz偏移 100 kHz偏移 800 kHz偏移 1 MHz偏移 6 MHz偏移 10 MHz偏移 40 MHz偏移				
			-97		dBc/Hz
			-110		dBc/Hz
			-107		dBc/Hz
			-128		dBc/Hz
			-132		dBc/Hz
			-144		dBc/Hz
			-152		dBc/Hz
			-158		dBc/Hz
积分相位噪声 品质因数(FOM) ¹	积分带宽10 kHz到40 MHz		0.21		° rms
			-222		dBc/Hz

参数	测试条件/注释	最小值	典型值	最大值	单位
$f_{LO} = 2.305 \text{ GHz}$, $f_{VCO1} = 4.610 \text{ GHz}$ f_{PFD} 杂散 闭环相位噪声 积分相位噪声 品质因数 ¹	$f_{\text{PFD}} \times 1$	-84			dBc
	$f_{\text{PFD}} \times 2$	-87			dBc
	$f_{\text{PFD}} \times 3$	-91			dBc
	$f_{\text{PFD}} \times 4$	-92			dBc
	1 kHz偏移	-93			dBc/Hz
	10 kHz偏移	105			dBc/Hz
	100 kHz偏移	-103			dBc/Hz
	800 kHz偏移	-116			dBc/Hz
	1 MHz偏移	-130			dBc/Hz
	6 MHz偏移	-144			dBc/Hz
	10 MHz偏移	-152			dBc/Hz
	40 MHz偏移	-156			dBc/Hz
	积分带宽10 kHz到40 MHz	0.3			° rms
	-222				dBc/Hz
$f_{LO} = 2.75 \text{ GHz}$, $f_{VCO2} = 5.5 \text{ GHz}$ f_{PFD} 杂散 闭环相位噪声 积分相位噪声 品质因数 ¹	$f_{\text{PFD}} \times 1$	-82			dBc
	$f_{\text{PFD}} \times 2$	-88			dBc
	$f_{\text{PFD}} \times 3$	-93			dBc
	$f_{\text{PFD}} \times 4$	-96			dBc
	1 kHz偏移	-93			dBc/Hz
	10 kHz偏移	-101			dBc/Hz
	100 kHz偏移	-99			dBc/Hz
	800 kHz偏移	-122			dBc/Hz
	1 MHz偏移	-128			dBc/Hz
	6 MHz偏移	-144			dBc/Hz
	10 MHz偏移	-151			dBc/Hz
	40 MHz偏移	-154			dBc/Hz
	积分带宽10 kHz到40 MHz	0.38			° rms
	-222				dBc/Hz

¹ 品质因数(FOM)的计算方法为: 相位噪声(dBc/Hz) - 10 log 10(f_{PFD}) - 20 log 10(f_{LO}/f_{PFD})。FOM在整个LO范围内测量, 条件: $f_{\text{REF}} = 160 \text{ MHz}$, f_{REF} 功率 = 4 dBm(压摆率500 V/μs, 40 MHz f_{PFD})。FOM在50 kHz偏移下计算。

ADRF6620

RF输入至混频器输出规格

除非另有说明， $V_{CCx} = 5\text{ V}$ ， $T_A = 25^\circ\text{C}$ ，高端LO抑制， $f_{RF} = 200\text{ MHz}$ ，外部LO频率，RF衰减 = 0 dB。混频器设置针对最高线性度而配置(参见表16)。结果中已消除输入和输出走线及巴伦的所有损耗。

表4. RF开关 + 巴伦 + RF衰减器 + 混频器

参数	测试条件/注释	最小值	典型值	最大值	单位
电压增益	差分255 Ω 负载		-4		dB
混频器输出阻抗	差分(见图87)		255		Ω
$f_{RF} = 900\text{ MHz}$ 时的动态性能					
电压转换增益			-2		dB
输入P1dB			17		dBm
输入IP3	每个输入信号音-5 dBm，信号音间隔1 MHz		40		dBm
输入IP2	每个输入信号音-5 dBm，信号音间隔1 MHz		65		dBm
噪声系数			15		dB
LO至RF泄露			-70		dBm
RF至LO泄漏			-60		dBc
LO至IF泄漏			-32		dBm
RF至IF泄漏	相对于0 dBm RF输入功率		-45		dBc
隔离 ¹	RFIN0与RFIN3之间的隔离		-52		dBc
$f_{RF} = 1900\text{ MHz}$ 时的动态性能					
电压转换增益			-3		dB
输入P1dB			17		dBm
输入IP3	每个输入信号音-5 dBm，信号音间隔1 MHz		40		dBm
输入IP2	每个输入信号音-5 dBm，信号音间隔1 MHz		62		dBm
噪声系数			17		dB
LO至RF泄露			-60		dBm
RF至LO泄漏			-50		dBc
LO至IF泄漏			-35		dBm
RF至IF泄漏	相对于0 dBm RF输入功率		-43		dBc
隔离 ¹	RFIN0与RFIN3之间的隔离				
$f_{RF} = 2100\text{ MHz}$ 时的动态性能					
电压转换增益			-3.5		dB
输入P1dB			18		dBm
输入IP3	每个输入信号音-5 dBm，信号音间隔1 MHz		40		dBm
输入IP2	每个输入信号音-5 dBm，信号音间隔1 MHz		54.5		dBm
噪声系数			18		dB
LO至RF泄露			-60		dBm
RF至LO泄漏			-40		dBc
LO至IF泄漏			-35		dBm
RF至IF泄漏	相对于0 dBm RF输入功率		-40		dBc
隔离 ¹	RFIN0与RFIN3之间的隔离				
$f_{RF} = 2700\text{ MHz}$ 时的动态性能					
电压转换增益			-4.7		dB
输入P1dB			19		dBm
输入IP3	每个输入信号音-5 dBm，信号音间隔1 MHz		40		dBm
输入IP2	每个输入信号音-5 dBm，信号音间隔1 MHz		56		dBm
噪声系数			21		dB
LO至RF泄露			-60		dBm
RF至LO泄漏			-45		dBc
LO至IF泄漏			-40		dBm
RF至IF泄漏	相对于0 dBm RF输入功率		-42		dBc
隔离 ¹	RFIN0与RFIN3之间的隔离		-41		dBc

¹ RF输入之间的隔离。输入信号施加于RFIN0，RFIN1至RFIN3则用50 Ω 电阻端接。IF信号幅度在混频器输出端测量。然后配置RFIN3的内部开关，馈通用相对于基波的变化来衡量。

IF DGA规格

除非另有说明， $V_{CCx} = 5\text{ V}$ ， $T_A = 25^\circ\text{C}$ ， $R_S = R_L = 150\ \Omega$ 差分， $f_{IF} = 200\text{ MHz}$ ， 2 V p-p 差分输出。结果中已消除输入和输出走线及巴伦的所有损耗。

表5.

参数	测试条件/注释	最小值	典型值	最大值	单位
带宽					
-1 dB带宽	$V_{OUT} = 2\text{ V p-p}$		500		MHz
-3 dB带宽	$V_{OUT} = 2\text{ V p-p}$		700		MHz
压摆率			5.5		V/ns
输入级					
输入P1dB	最小增益		17		dBm
输入阻抗			150		Ω
共模输入电压			1.5		V
共模抑制比(CMRR)			50		dB
增益					
功率/电压增益，步长 = 0.5 dB		3		15	dB
增益平坦度	$50\text{ MHz} < f_c < 200\text{ MHz}$		0.2		dB
增益一致性误差			± 0.1		dB
增益温度灵敏度			0.008		dB/C
增益步进响应			15		ns
输出级					
输出P1dB			18		dBm
输出阻抗	参见图88		150		Ω
200 MHz时的噪声/谐波性能					
输出IP3	各输出信号音1 V p-p，信号音间隔1 MHz		45		dBm
输出IP2	各输出信号音1 V p-p，信号音间隔1 MHz		63		dBm
HD2	$V_{OUT} = 2\text{ V p-p}$		-87		dBc
HD3	$V_{OUT} = 2\text{ V p-p}$		-84		dBc
噪声系数			10		dB

ADRF6620

数字逻辑规格

表6.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
串行端口接口时序						
输入高电压	V_{IH}		1.4			V
输入低电压	V_{IL}			0.70		V
高输出电压	V_{OH}	$I_{OH} = -100 \mu A$	2.3			V
低输出电压	V_{OL}	$I_{OL} = +100 \mu A$	0.2			V
串行时钟周期	t_{SCLK}		38			ns
数据与SCLK上升沿之间的建立时间	t_{DS}		8			ns
数据与SCLK上升沿之间的保持时间	t_{DH}		8			ns
\overline{CS} 下降沿与SCLK之间的建立时间	t_s		10			ns
\overline{CS} 上升沿与SCLK之间的保持时间	t_H		10			ns
可以处于逻辑高电平状态的最短周期SCLK	t_{HIGH}		10			ns
可以处于逻辑低电平状态的最短周期SCLK	t_{LOW}		10			ns
读操作的SCLK下降沿与输出数据有效之间的最大延迟时间	t_{ACCESS}				231	ns
CS停用与SDIO总线返回高阻态之间的最大延迟时间	t_z				5	ns

时序图

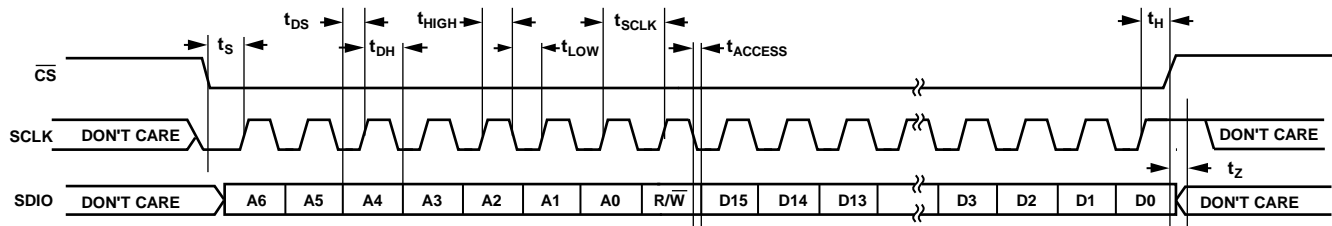


图2. 串行端口接口时序

T1489-002

绝对最大额定值

表7.

参数	额定值
VCCx	-0.5 V至+5.5 V
RFSW0, RFSW1	-0.3 V至+3.6 V
RFIN0, RFIN1, RFIN2, RFIN3	20 dBm
LOIN-, LOIN+	16 dBm
REFIN	-0.3 V至+3.6 V
IFIN-, IFIN+	-1.2 V至+3.6 V
\overline{CS} , SCLK, SDIO	-0.3 V至+3.6 V
VTUNE	-0.3 V至+3.6 V
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
最高结温	150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表8. 热阻

封装类型	θ_{Jc}	单位
48引脚 LFCSP	1.62	°C/W

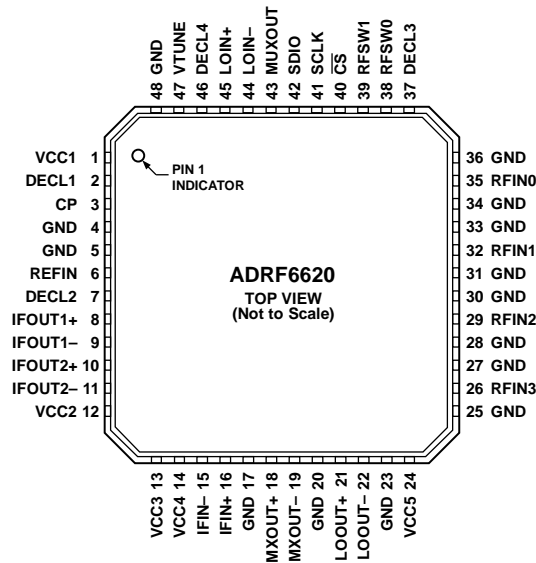
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO A GROUND PLANE WITH LOW THERMAL IMPEDANCE.

11489-003

图3. 引脚配置

表9. 引脚功能描述¹

引脚编号	引脚名称	说明
1, 12, 13, 14, 24	VCC1, VCC2, VCC3, VCC4, VCC5	5 V电源。使用100 pF和0.1 μF电容将所有电源引脚去耦至地。去耦电容靠近这些引脚放置。
2, 7, 37, 46	DECL1, DECL2, DECL3, DECL4	使用100 pF、0.1 μF和10 μF电容将所有DECLx引脚去耦至地。去耦电容靠近这些引脚放置。
3	CP	频率合成器电荷泵输出。通过环路滤波器将此引脚连接到VTUNE引脚。
4, 5, 17, 20, 23, 25, 27, 28, 30, 31, 33, 34, 36, 48	GND	地。
6	REFIN	频率合成器参考频率输入。
8至11	IFOUT1+, IFOUT1-, IFOUT2+, IFOUT2-	IF DGA输出。连接正引脚，使IFOUT1+和IFOUT2+绑在一起。类似地，连接负引脚，使IFOUT1-和IFOUT2-绑在一起。关于使寄生电容最小并优化性能的推荐布局，参见“布局布线”部分。
15, 16	IFIN-, IFIN+	差分IF DGA输入。混频器输出交流耦合到IF DGA输入。
18, 19	MXOUT+, MXOUT-	差分混频器输出。混频器输出交流耦合到IF DGA输入。
21, 22	LOOUT+, LOOUT-	差分LO输出。差分输出阻抗为50 Ω。
26, 29, 32, 35	RFIN3, RFIN2, RFIN1, RFIN0	RF输入。这些单端RF输入具有50 Ω输入阻抗，必须交流耦合。
38, 39	RFSW0, RFSW1	RF输入开关的外部引脚控制。如需逻辑高电平，将这些引脚连接到2.5 V逻辑。
40	\overline{CS}	SPI片选，低电平有效。3.3 V兼容逻辑电平。
41	SCLK	SPI时钟。3.3 V兼容逻辑电平。
42	SDIO	SPI数据输入或输出。3.3 V兼容逻辑电平。
43	MUXOUT	多路复用器输出。该输出引脚提供PLL参考信号或PLL锁定检测信号。
44, 45	LOIN-, LOIN+	差分本振输入。差分输入阻抗为50 Ω。
47	VTUNE	VCO调谐电压。通过环路滤波器将此引脚连接到CP引脚。
49	EPAD	裸露焊盘。裸露焊盘必须与低热阻的接地层相连。

¹ 有关这些引脚的更多连接信息，参见表14。

典型性能参数

RF输入至DGA输出系统性能

除非另有说明， $V_{CCx} = 5\text{ V}$ ， $T_A = 25^\circ\text{C}$ ， $\text{RFDSA_SEL} = 00$ (0 dB)， $\text{RFSW_SEL} = 00$ (RFIN0)， BAL_CIN 和 BAL_COUT 针对最大增益而优化； MIXER_BIAS 、 MIXER_RDAC 和 MIXER_CDAC 针对最高线性度而优化，DGA处于最大增益；混频器输出端与IF DGA输入端之间有三阶低通滤波器；高端LO、内部LO频率、IF频率 = 200 MHz。结果中已消除输入和输出走线及巴伦的所有损耗。

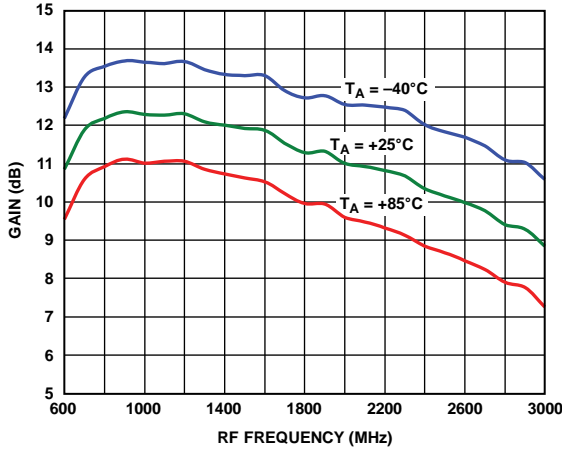


图4. 增益与RF频率的关系；IF频率 = 200 MHz

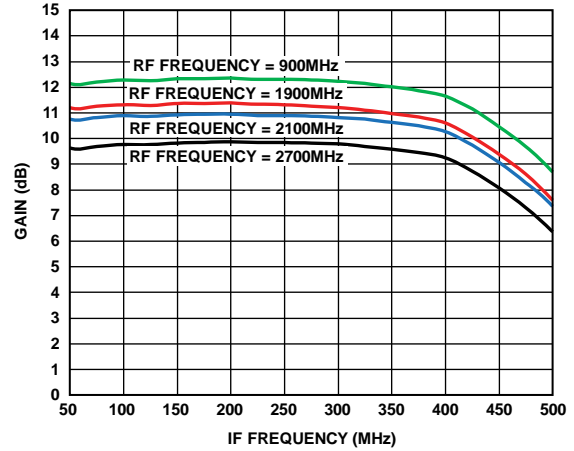


图6. 增益与IF频率的关系；LO扫频、固定RF、IF滚降

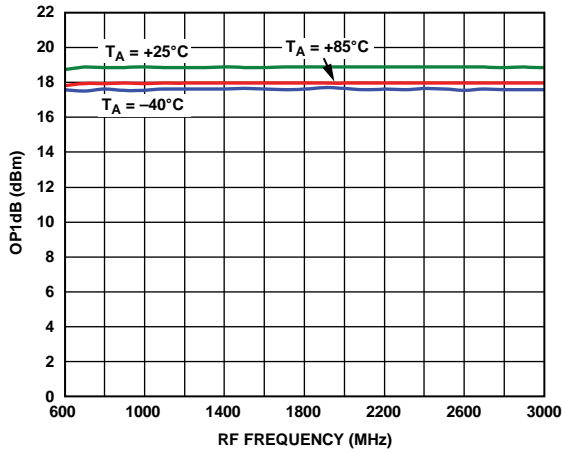


图5. OP1dB与RF频率的关系

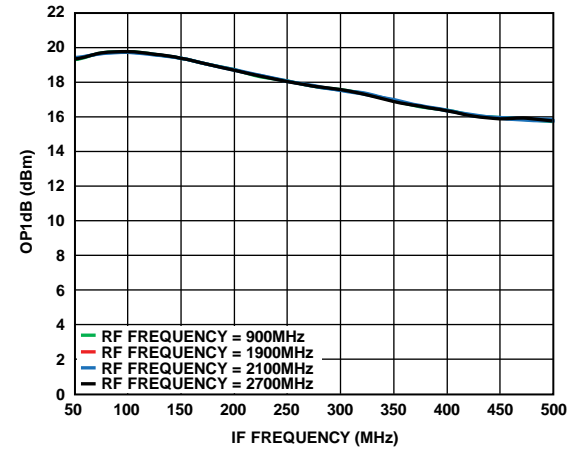


图7. OP1dB与IF频率的关系；LO扫频、固定RF、IF滚降

ADRF6620

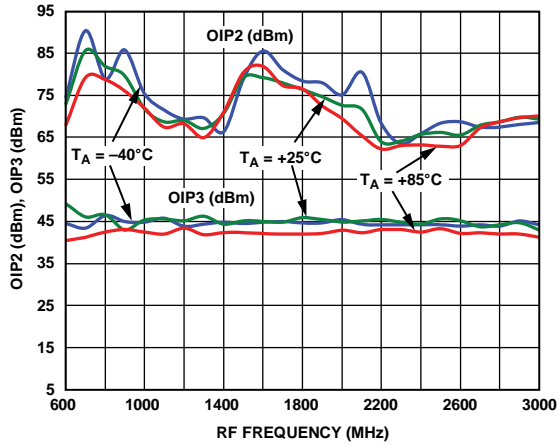


图8. OIP2/OIP3与RF频率的关系；在DGA输出端测量，各信号音1 V p-p

11489-006

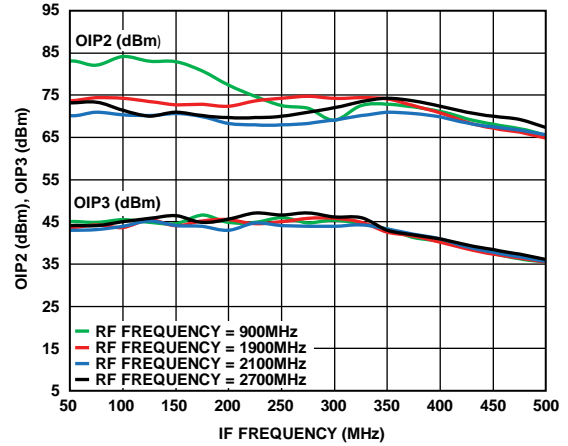


图11. OIP2/OIP3与IF频率的关系；LO扫频、固定RF；IF滚降；在DGA输出端测量，各信号音1 V p-p

11489-009

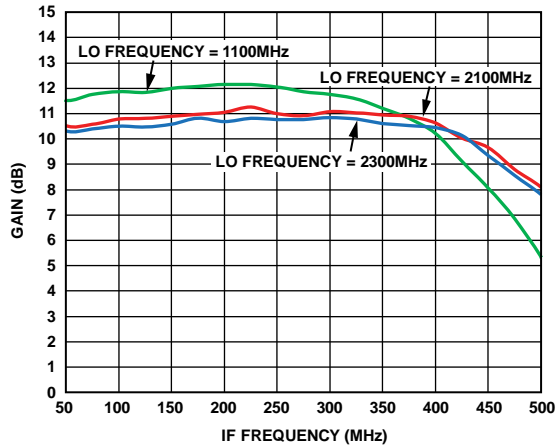


图9. 增益与IF频率的关系；RF扫频、固定LO；IF和RF滚降；在DGA输出端测量，各信号音1 V p-p

11489-110

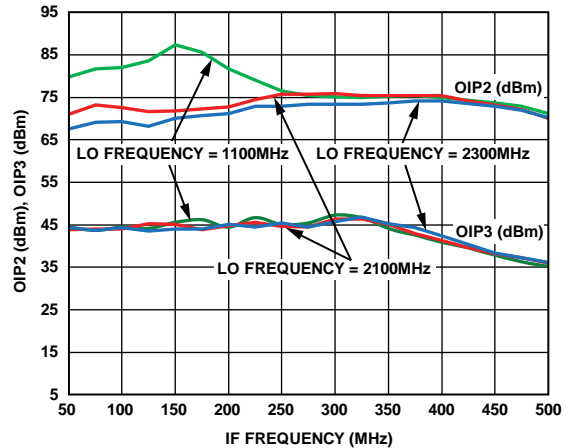


图12. OIP2/OIP3与IF频率的关系；RF扫频、固定LO；IF和RF滚降；在DGA输出端测量，各信号音1 V p-p

11489-112

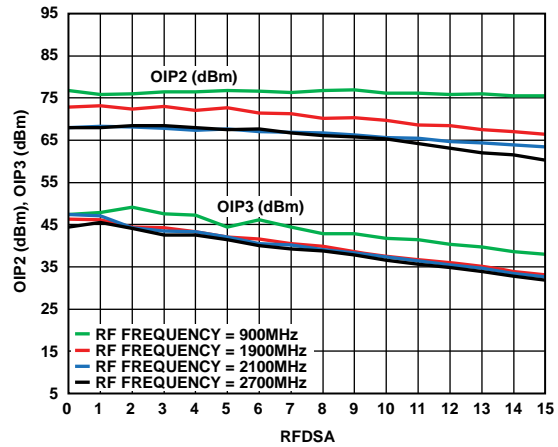


图10. OIP2/OIP3与RFDSA的关系；在DGA输出端测量，各信号音1 V p-p

11489-111

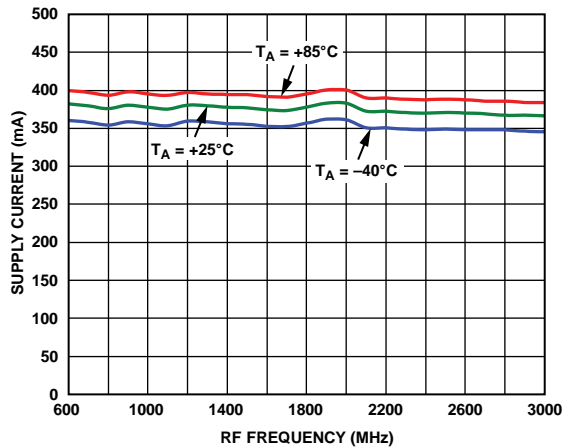


图13. 电源电流与RF频率的关系

11489-113

锁相环(PLL)

除非另有说明, $VCC_x = 5\text{ V}$, $T_A = 25^\circ\text{C}$, 120 kHz环路滤波器, $f_{REF} = 153.6\text{ MHz}$, PLL参考幅度 = 4 dBm, $f_{PFD} = 38.4\text{ MHz}$, 在LO输出端测量。

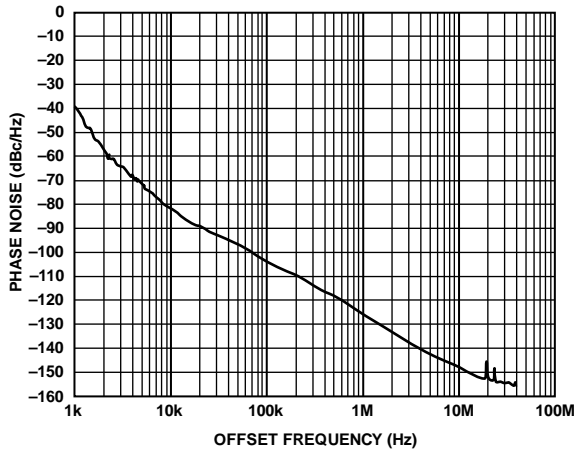


图14. VCO2开环VCO相位噪声与偏移频率的关系;
 $f_{VCO2} = 3.4\text{ GHz}$, $LO_DIV_A = 00$, $VTUNE = 2\text{ V}$

11489-010

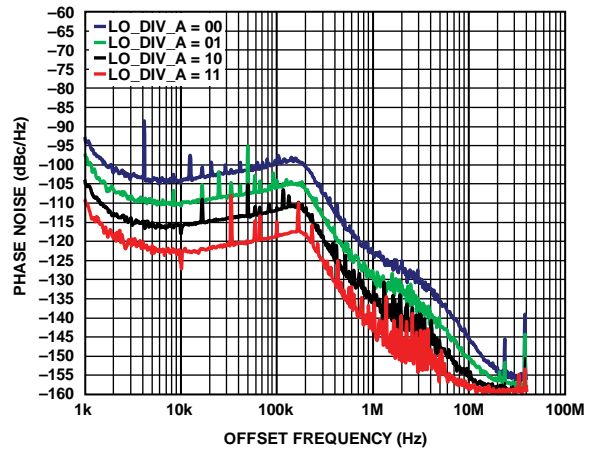


图17. 不同LO_DIV_A分频值下的VCO2闭环相位噪声与偏移频率的关系;
 $f_{VCO2} = 3.4\text{ GHz}$

11489-013

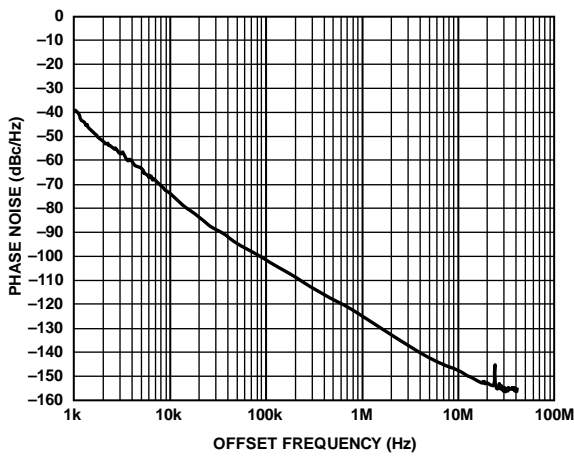


图15. VCO1开环相位噪声与偏移频率的关系;
 $f_{VCO1} = 4.6\text{ GHz}$, $LO_DIV_A = 00$, $VTUNE = 2\text{ V}$

11489-011

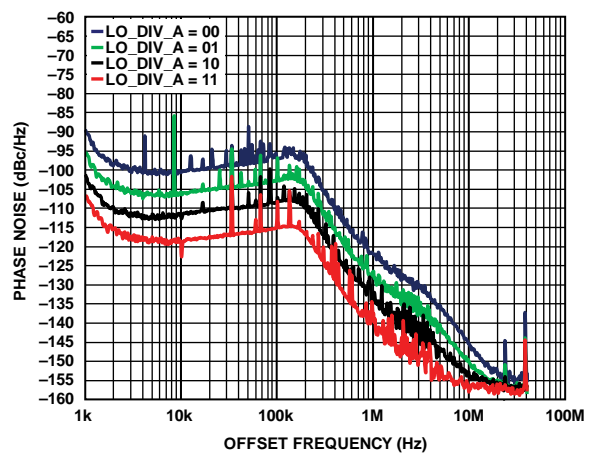


图18. 不同LO_DIV_A分频值下的VCO1闭环相位噪声与偏移频率的关系;
 $f_{VCO1} = 4.6\text{ GHz}$

11489-014

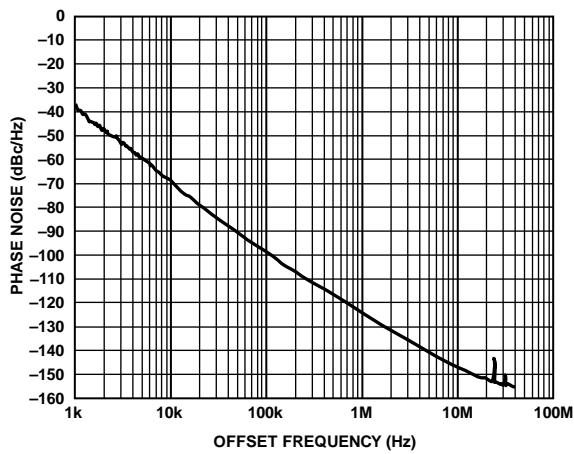


图16. VCO0开环相位噪声与偏移频率的关系;
 $f_{VCO0} = 5.5\text{ GHz}$, $LO_DIV_A = 00$, $VTUNE = 2\text{ V}$

11489-012

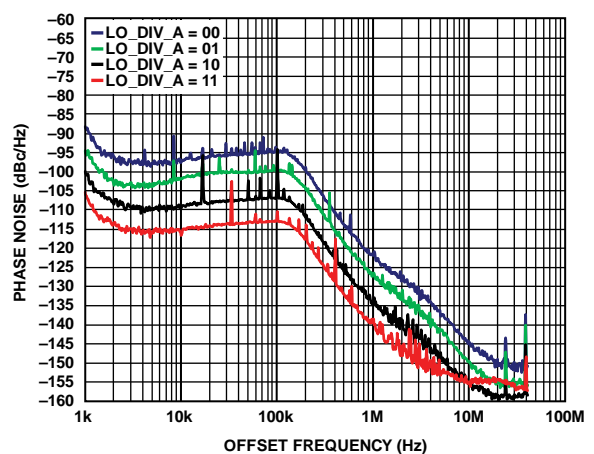


图19. 不同LO_DIV_A分频值下的VCO0闭环相位噪声与偏移频率的关系;
 $f_{VCO0} = 5.532\text{ GHz}$

11489-015

ADRF6620

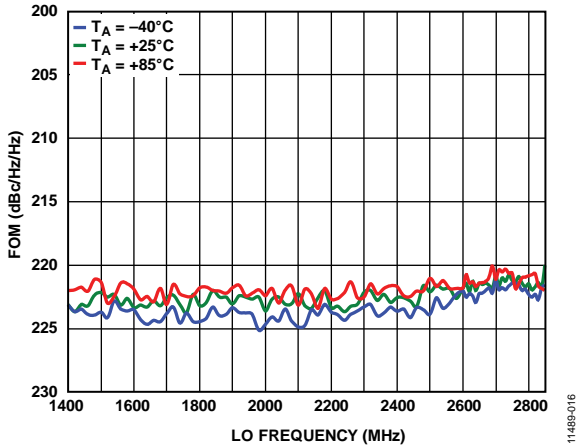


图20. PLL品质因数(FOM)与LO频率的关系

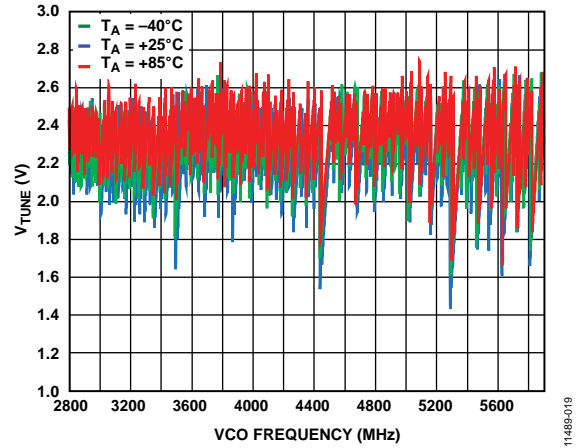


图23. V_{TUNE} 与VCO频率的关系

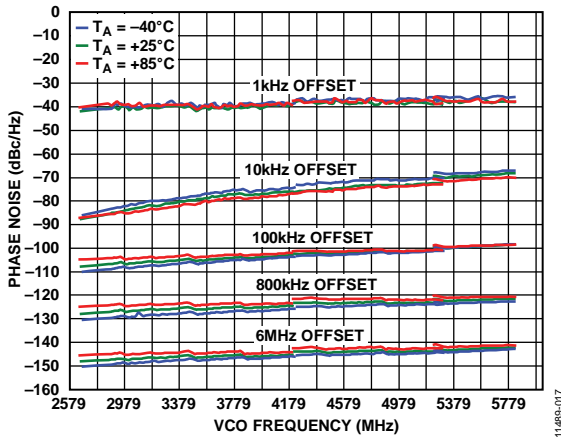


图21. 开环相位噪声与VCO频率的关系; $LO_DIV_A = 00$

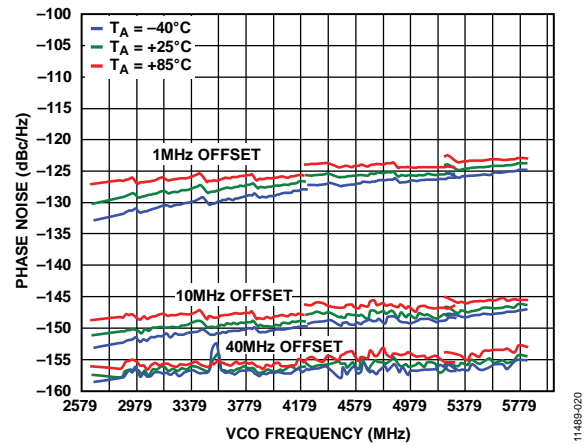


图24. 开环相位噪声与VCO频率的关系; $LO_DIV_A = 00$

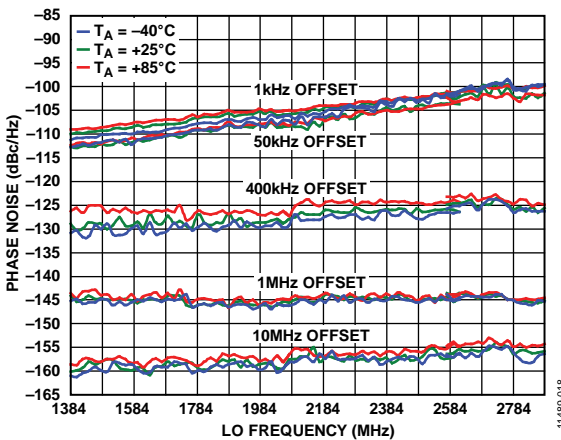


图22. 120 kHz带宽环路相位噪声, $LO_DIV_A = 01$; 偏移 = 1 kHz、50 kHz、400 kHz、1 MHz和10 MHz

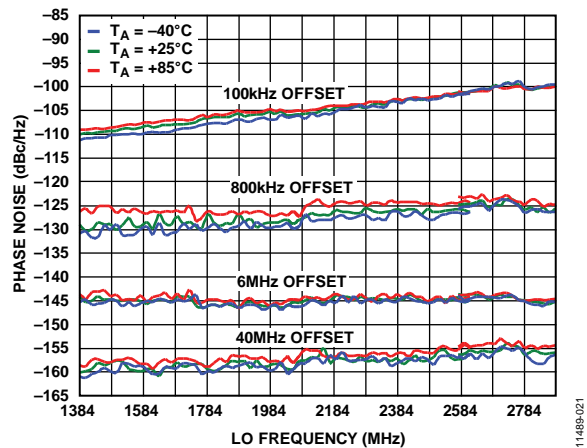


图25. 120 kHz带宽环路相位噪声, $LO_DIV_A = 01$; 偏移 = 100 kHz、800 kHz、6 MHz和40 MHz

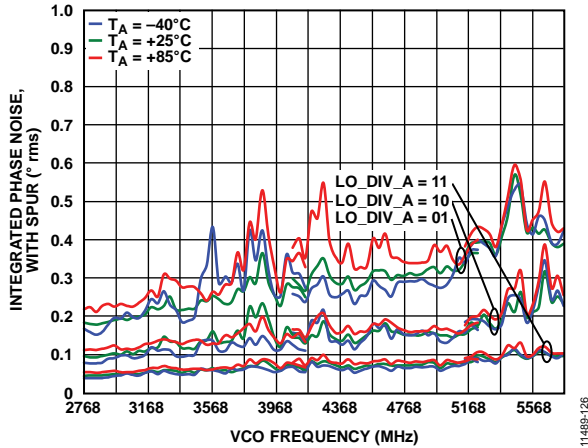


图26. 不同LO分频比下10 kHz至40 MHz积分相位噪声与VCO频率的关系; LO_DIV_A = 01、10和11, 包括杂散

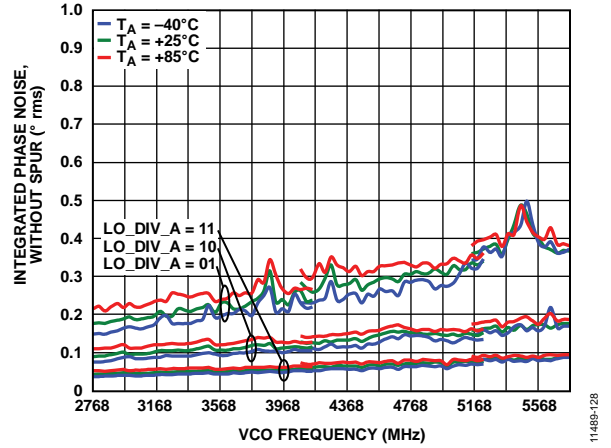


图29. 不同LO分频比下10 kHz至40 MHz积分相位噪声与VCO频率的关系; LO_DIV_A = 01、10和11, 不包括杂散

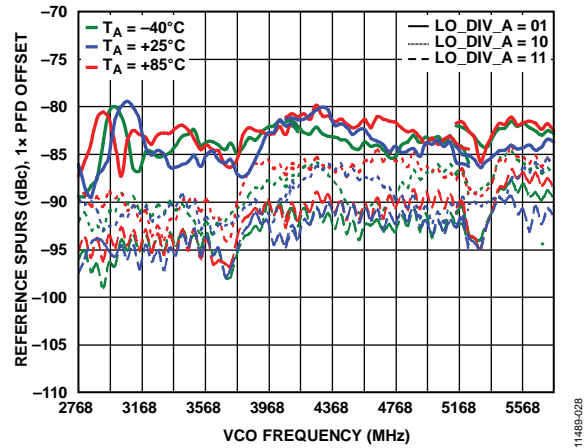


图27. f_{PFD} 杂散与VCO频率的关系; 1x PFD偏移; 在LO输出端测量

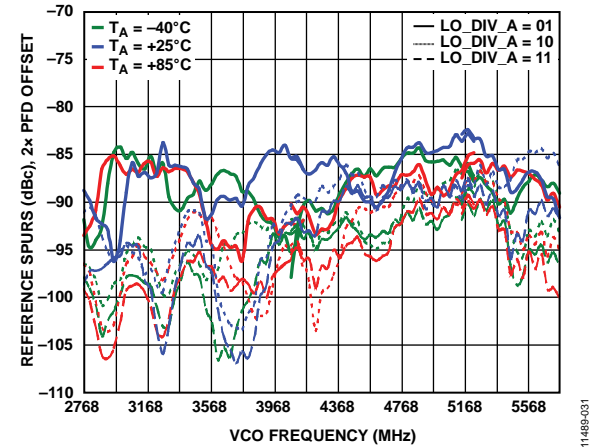


图30. f_{PFD} 杂散与VCO频率的关系; 2x PFD偏移; 在LO输出端测量

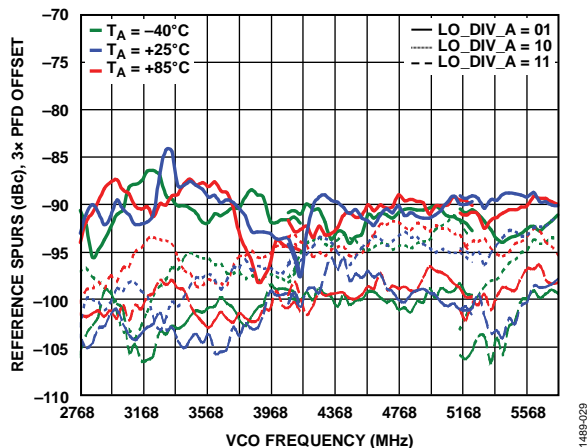


图28. f_{PFD} 杂散与VCO频率的关系; 3x PFD偏移; 在LO输出端测量

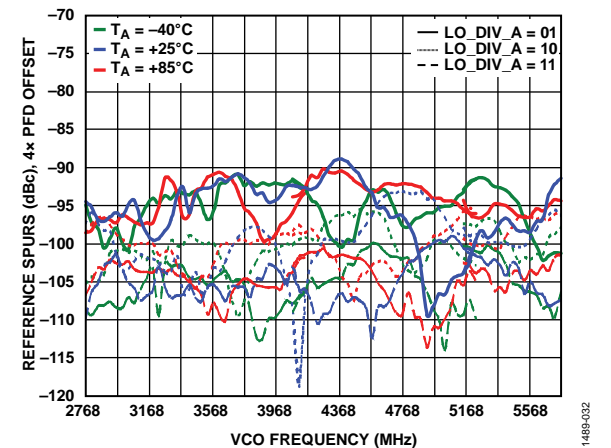


图31. f_{PFD} 杂散与VCO频率的关系; 4x PFD偏移; 在LO输出端测量

ADRF6620

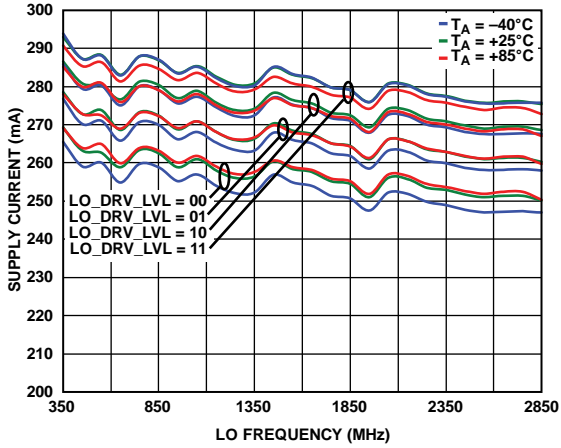


图32. 电源电流与LO频率的关系; LO_Drv_Lvl = 00、01、10和11

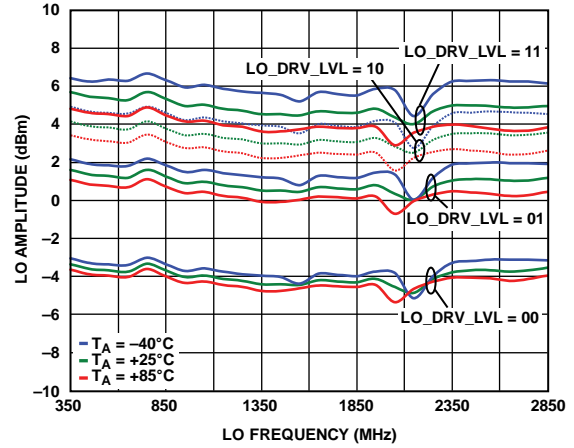


图35. LO幅度与LO频率的关系; LO_Drv_Lvl = 00、01、10和11

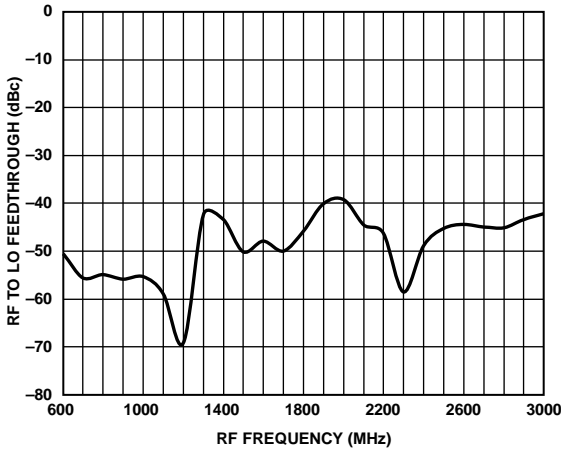


图33. RF至LO输出馈通, LO_Drv_Lvl = 00

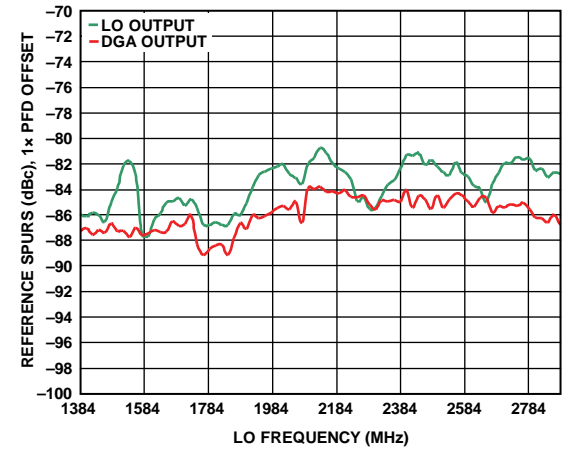


图36. f_{PFD} 杂散, LO_Div_A = 01; 1x PFD偏移; 在LO输出端和DGA输出端测量

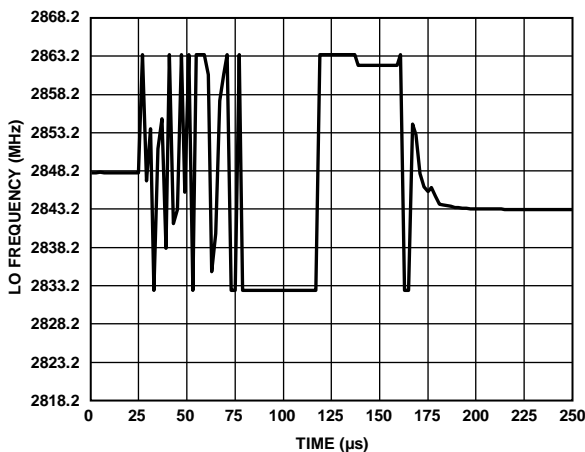


图34. LO频率建立时间, 环路滤波器带宽 = 120 kHz

RF输入至混频器输出性能

除非另有说明， $V_{CCx} = 5\text{ V}$ ， $T_A = 25^\circ\text{C}$ ， $R_L = 250\ \Omega$ ，外部LO， $P_{LO} = 0\text{ dBm}$ ， $RFDSA_SEL = 00\ (0\text{ dB})$ ， $RFSW_SEL = 00\ (RFIN0)$ ，优化BAL_CIN和BAL_COUT，MIXER_BIAS、MIXER_RDAC和MIXER_CDAC针对最高线性度而优化，DGA和LO输出禁用。结果中已消除输入和输出走线及巴伦的所有损耗。

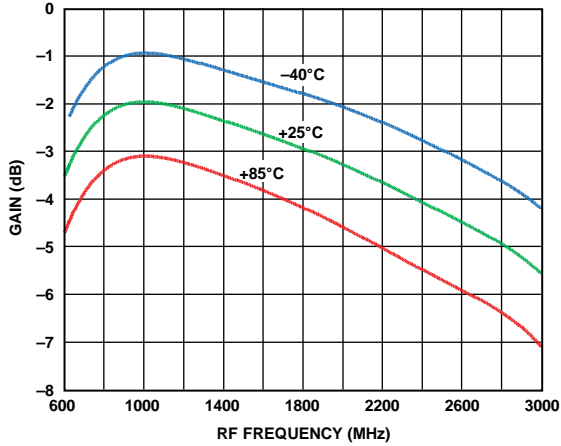


图37. 混频器增益与RF频率的关系

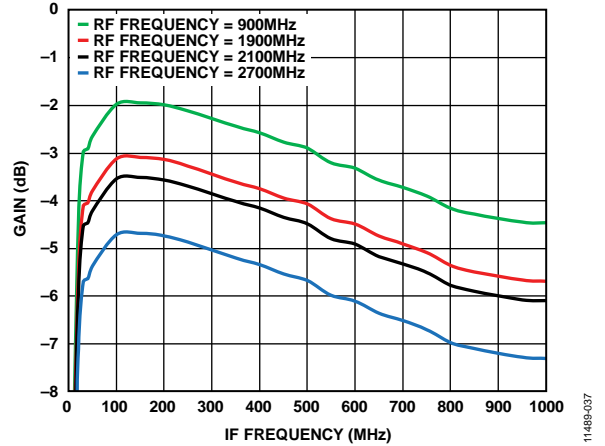


图40. 混频器增益与IF频率的关系；LO扫频、固定RF、IF滚降

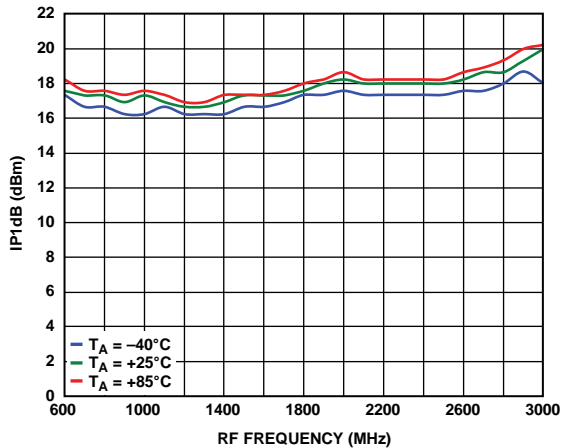


图38. 混频器IP1dB与RF频率的关系

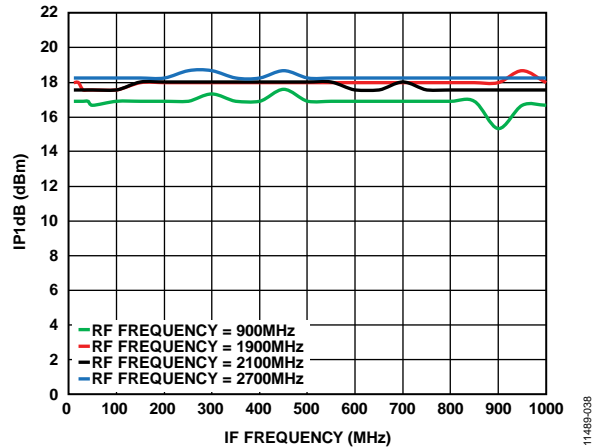


图41. 混频器IP1dB与IF频率的关系；LO扫频、固定RF、IF滚降

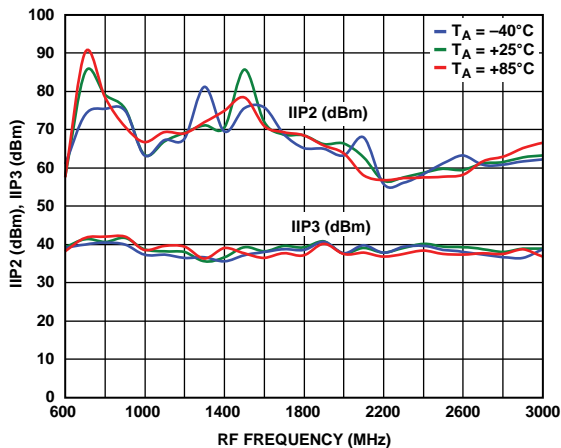


图39. 混频器IIP2/IIP3与RF频率的关系； $P_{IN} = -5\text{ dBm}$ /信号音，1 MHz间隔

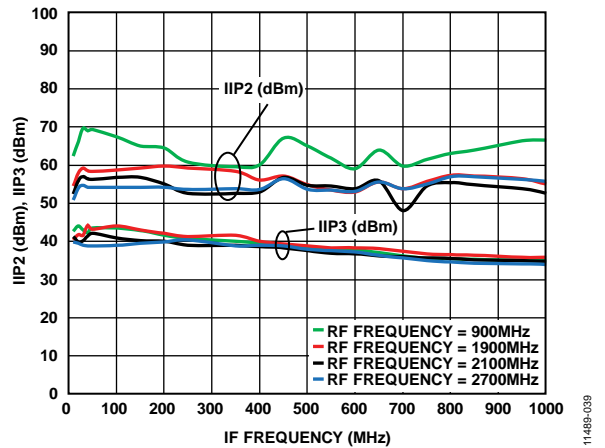


图42. 混频器IIP2/IIP3与IF频率的关系； $P_{IN} = -5\text{ dBm}$ /信号音，1 MHz间隔，LO扫频、固定RF、IF滚降

ADRF6620

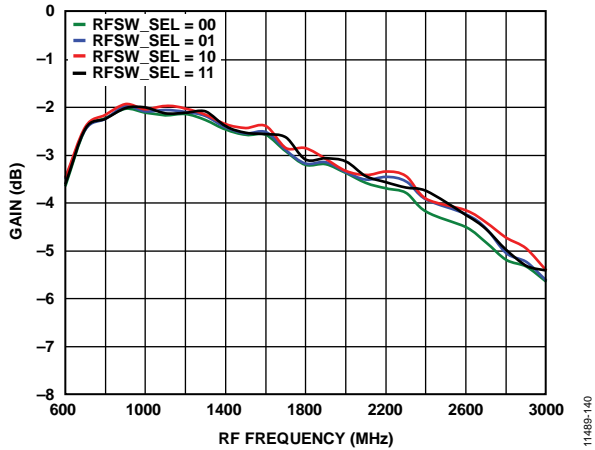


图43. 混频器增益与RF频率的关系; RFSW_SEL = 00、01、10和11

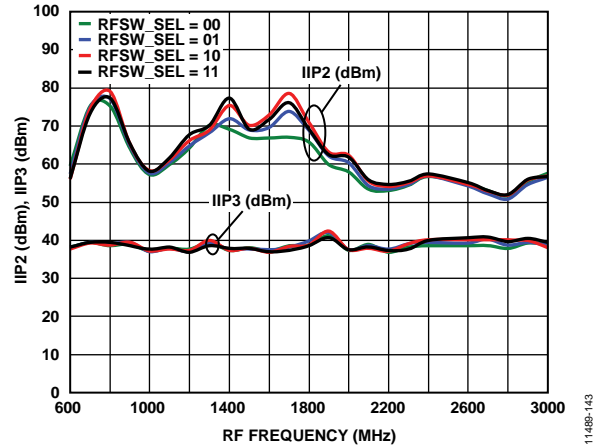


图46. 混频器IIP2/IIP3与RF频率的关系; RFSW_SEL = 00、01、10和11

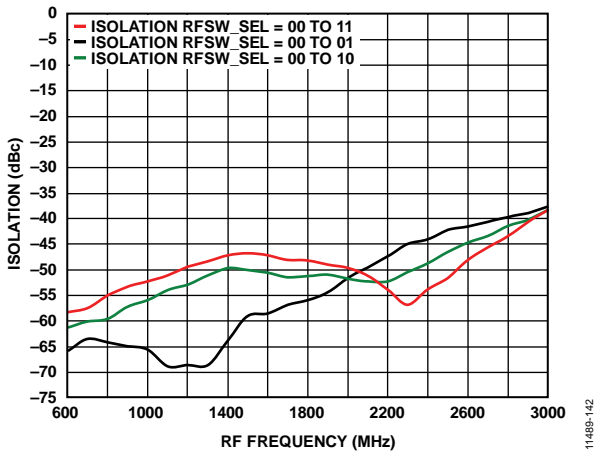


图44. 混频器输入至混频器输出隔离与RF频率的关系; RFSW_SEL = 00受驱动

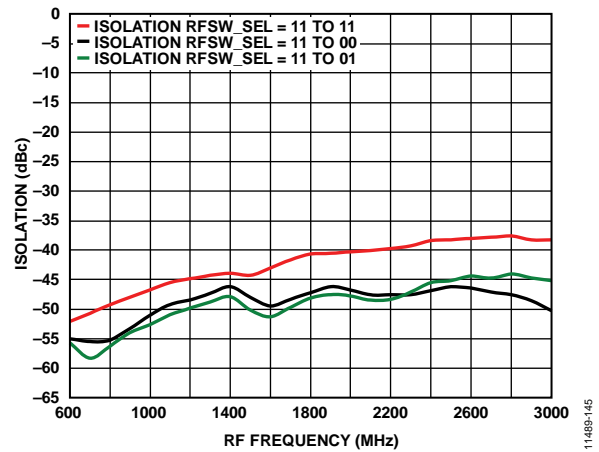


图47. 混频器输入至混频器输出隔离与RF频率的关系; RFSW_SEL = 11受驱动

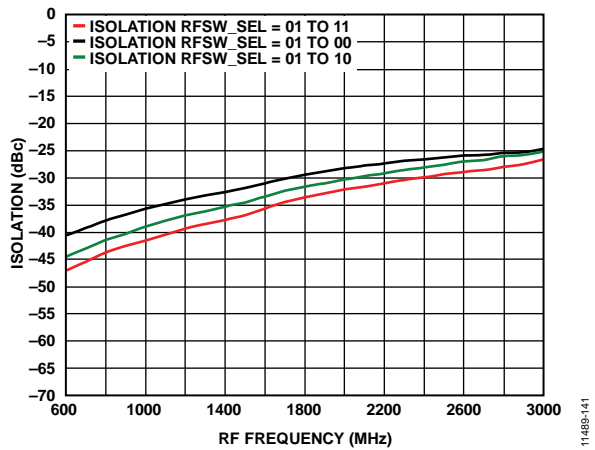


图45. 混频器输入至混频器输出隔离与RF频率的关系; RFSW_SEL = 01受驱动

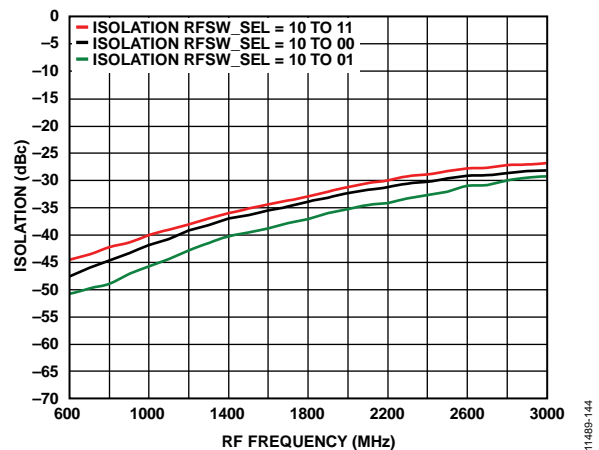


图48. 混频器输入至混频器输出隔离与RF频率的关系; RFSW_SEL = 10受驱动

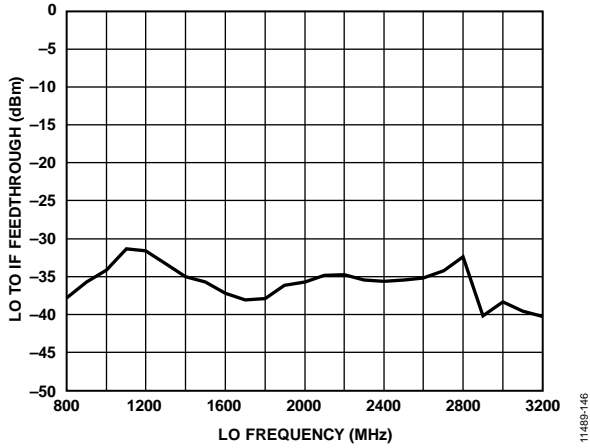


图49. 混频器输出端的LO至IF馈通, 无滤波

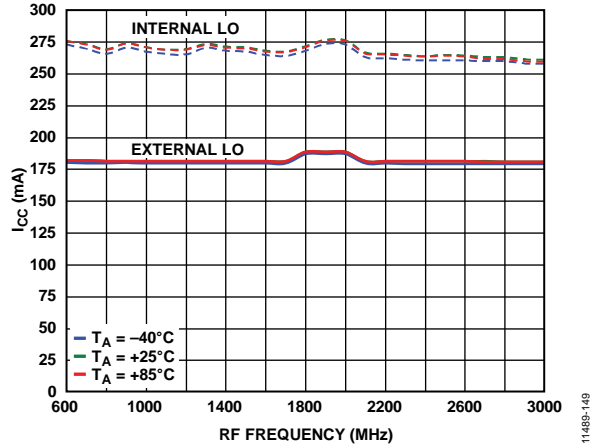


图52. I_{CC} 与RF频率的关系; DGA和LO输出禁用

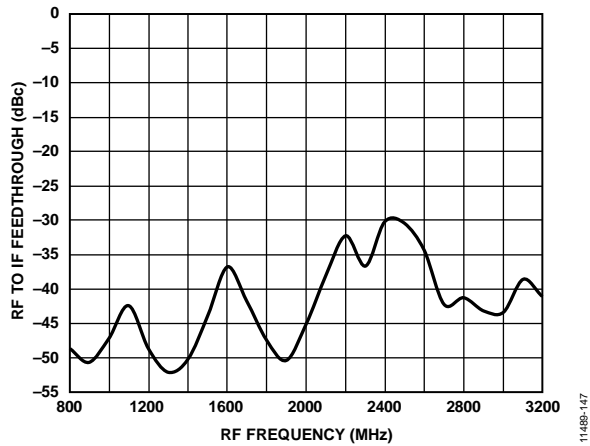


图50. 混频器输出端的RF至IF馈通, 无滤波;
混频器输入功率 = 0 dBm

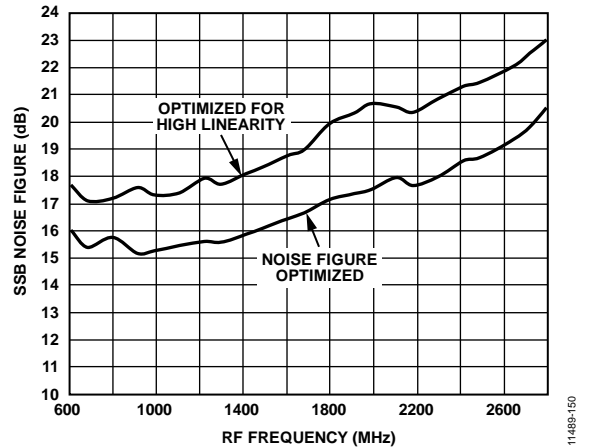


图53. SSB噪声系数与RF频率的关系(参见表16)

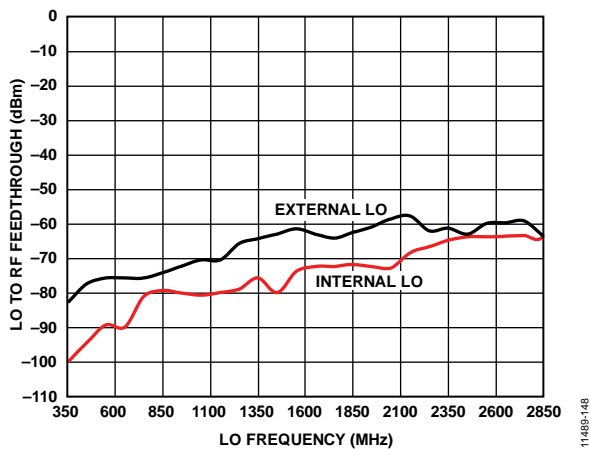


图51. LO至RF馈通; $P_{LO} = 0$ dBm

ADRF6620

IF DGA

除非另有说明， $V_{CCx} = 5\text{ V}$ ， $T_A = 25^\circ\text{C}$ ， $R_S = R_L = 150\ \Omega$ ， $IF = 200\text{ MHz}$ ， 2 V p-p 差分输出。结果中已消除输入和输出走线及巴伦的所有损耗。

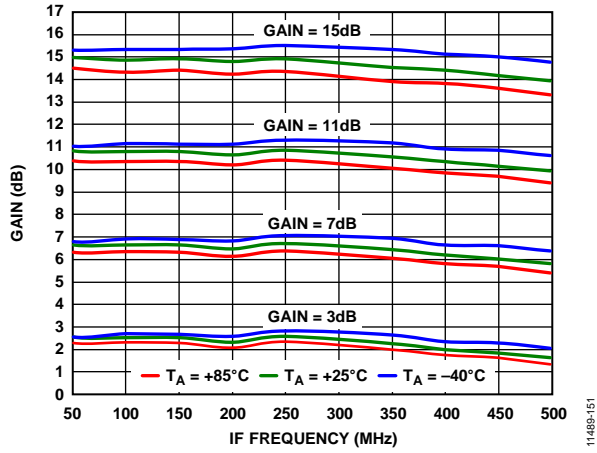


图54. DGA增益与IF频率和温度的关系

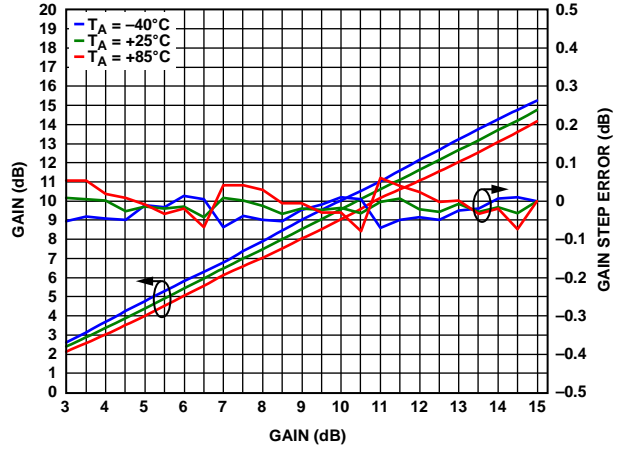


图57. DGA增益和增益步进误差与增益设置和温度的关系

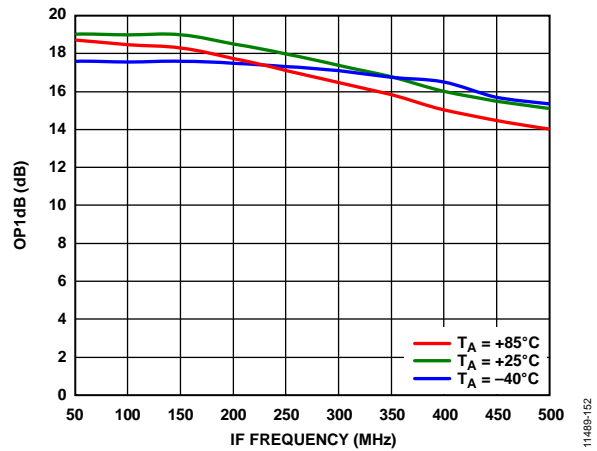


图55. DGA OP1dB与频率和温度的关系；最大增益

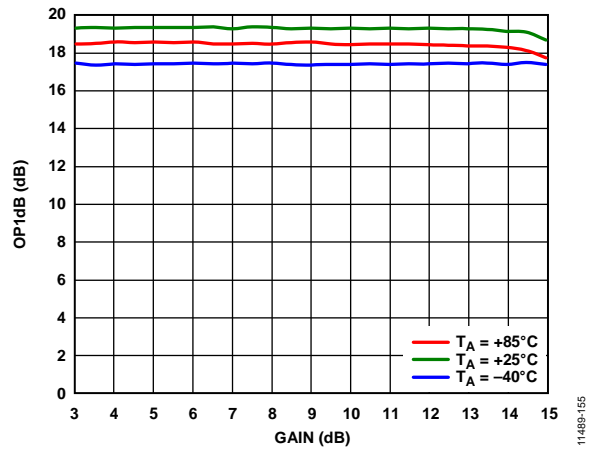


图58. DGA OP1dB与增益设置和温度的关系

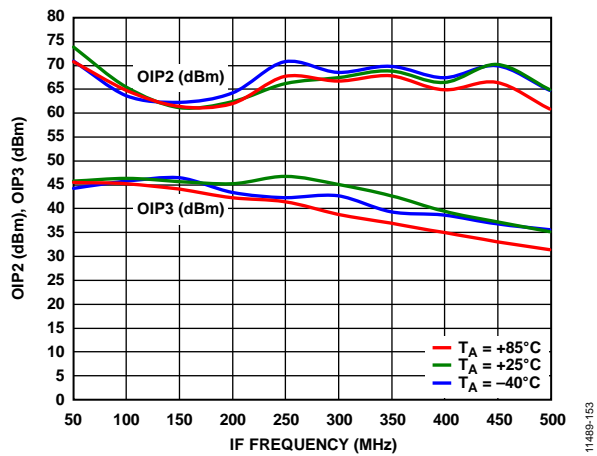


图56. DGA OIP2/OIP3与IF频率和温度的关系；最大增益

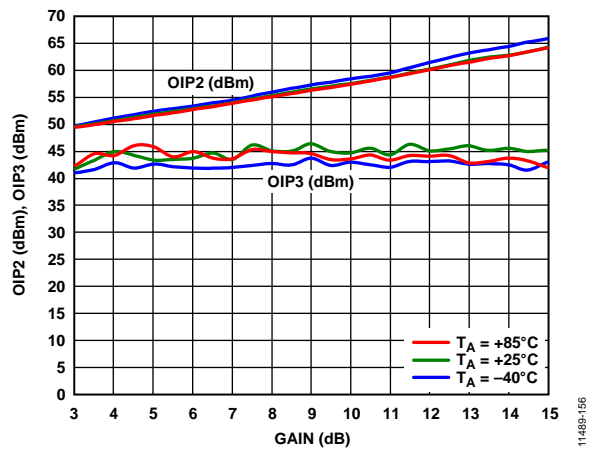


图59. DGA OIP2/OIP3与增益设置和温度的关系

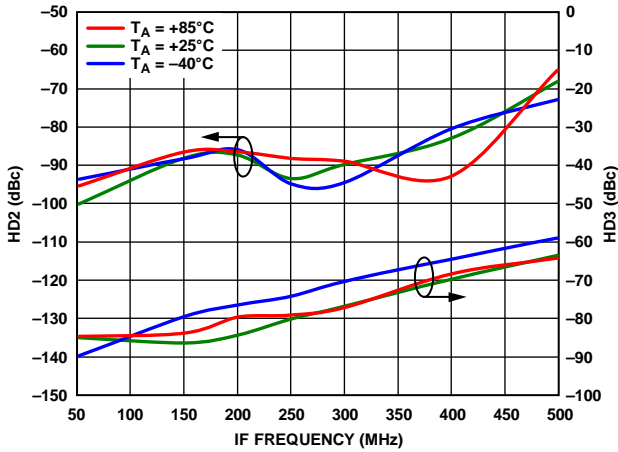


图60. DGA HD2/HD3与IF频率和温度的关系；最大增益

1148B-157

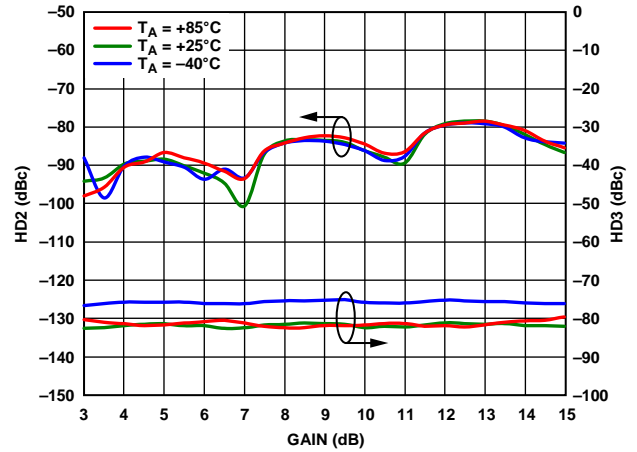


图63. DGA HD2/HD3与增益设置和温度的关系

1148B-160

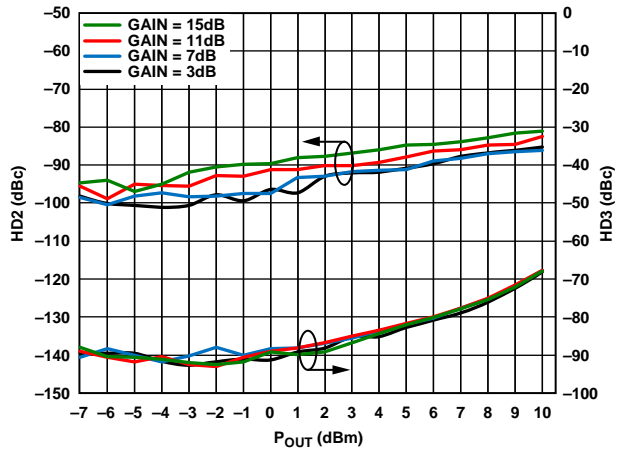


图61. DGA HD2/HD3与输出功率(P_{OUT})和增益设置的关系

1148B-158

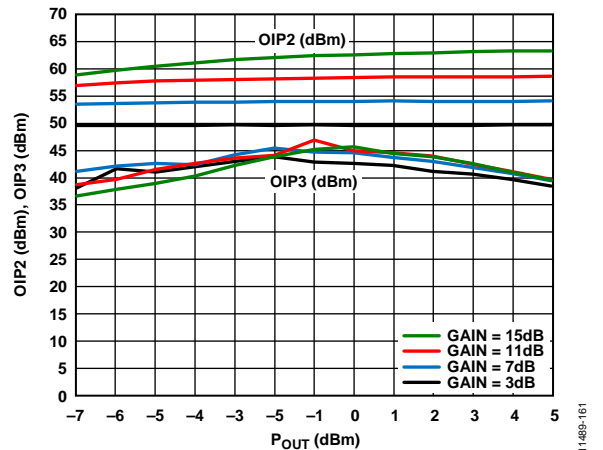


图64. DGA OIP2/OIP3与输出功率(P_{OUT})和增益设置的关系

1148B-161

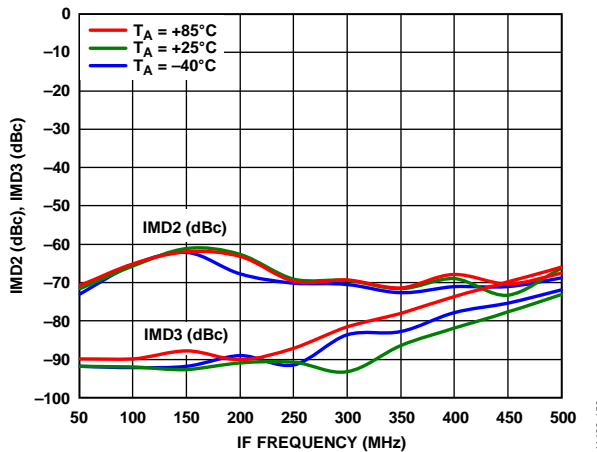


图62. DGA IMD2/IMD3与IF频率和温度的关系；最大增益

1148B-159

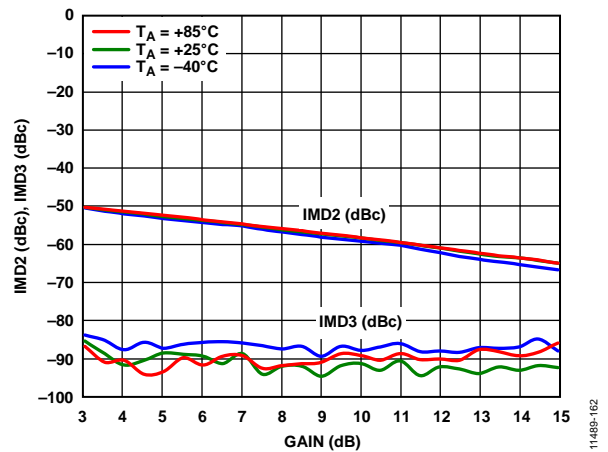


图65. DGA IMD2/IMD3与增益设置的关系

1148B-162

ADRF6620

杂散性能

$(N \times f_{RF}) - (M \times f_{LO})$ 杂散测量使用标准评估板进行。混频器杂散产物通过IF输出功率水平进行测量，用相对于载波的分贝数 (dBc) 表示。所示数据为所有大于 -115 dBc 且频率低于 3 GHz 的杂散成分。

915 MHz性能

VCCx = 5 V, T_A = 25°C, RF功率 = 0 dBm, 内部LO, f_{RF} = 914 MHz, f_{LO} = 1114 MHz

		M						
		0	1	2	3	4	5	6
N	0		-34	-35				
	1	-43	0	-52	-16			
	2	-72	-60	-72	-67	-74		
	3	-102	-73	-103	-78	<-115	-80	
	4		-102	<-115	<-115	<-115	<-115	
	5			<-115	-105	<-115	<-115	<-115
	6				<-115	<-115	<-115	<-115

1910 MHz性能

VCCx = 5 V, T_A = 25°C, RF功率 = 0 dBm, 内部LO, f_{RF} = 1910 MHz, f_{LO} = 2110 MHz。

		M						
		0	1	2	3	4	5	6
N	0		-38.208					
	1	-40.462	-0.001	-50.9				
	2		-59.208	-69.655	-62.35			
	3			-106.741	-74.322	-106.429		
	4				<-115	<-115	<-115	
	5				<-115	<-115	-110.954	
	6						<-115	<-115

2140 MHz性能

VCCx = 5 V, T_A = 25°C, RF功率 = 0 dBm, 内部LO, f_{RF} = 2140 MHz, f_{LO} = 2340 MHz。

		M						
		0	1	2	3	4	5	6
N	0		-40					
	1	-36	0	-45				
	2		-58	-67	-59			
	3			<-115	-74	<-115		
	4				<-115	<-115	<-115	
	5					<-115	<-115	<-115
	6						<-115	<-115

2700 MHz性能

VCCx = 5 V, T_A = 25°C, RF功率 = 0 dBm, 内部LO, f_{RF} = 2700 MHz, f_{LO} = 2500 MHz。

		M						
		0	1	2	3	4	5	6
N	0		-38.613					
	1	-40.126	-0.001	-43.84				
	2		-58.299	-67.06	-62.116			
	3				-73.603	<-115		
	4					<-115	<-115	
	5						<-115	<-115
	6							<-115

ADRF6620

工作原理

ADRF6620集成了数字预失真系统常用的多通道回送接收机的关键元件。ADRF6620的主要特性包括：带可调谐巴伦的单刀四掷(SP4T) RF输入开关、可变衰减、宽带有源混频器和数字可编程可变增益放大器(DGA)。此外，ADRF6620还集成了本振(LO)生成模块，后者由频率合成器和多核压控振荡器(VCO)组成，具有倍频程范围和低相位噪声。频率合成器利用小数N分频锁相环(PLL)来实现350 MHz到2850 MHz的连续LO覆盖。

将ADRF6620的所有构建模块放在一起，器件中的信号路径从RF输入开始，输入多路复用器选择四路单端RF输入中的一路，通过可调谐巴伦将其转换为差分信号。差分RF信号由数字步进衰减器衰减到最佳输入电平，它具有15 dB的衰减范围，步进为1 dB。然后，一个吉尔伯特单元混频器将该RF信号与LO信号混频，降低至IF频率。混频器的255 Ω端接差分输出引出到片外的一对电感，并经过一个IF滤波器。IF滤波器的输出在片外交流耦合，送入片内数字衰减器和IF DGA。然后，IF DGA的输出被送至片外模数转换器(ADC)。

RF输入开关

ADRF6620集成一个SP4T开关，用于选择四路RF输入中的一路。所需RF输入可利用引脚控制或SPI寄存器写操作选择。与串行写操作相比，引脚控制可以更快速地控制开关。使用RFSW0引脚(引脚38)和RFSW1引脚(引脚39)时，RF开关的切换速度最高可达100 ns。使用串行端口控制时，开关时间为100 ns，还要加上SPI编程的延迟。

RFSW_MUX位(寄存器0x23的位11)选择RF输入开关是由外部引脚控制，还是由SPI端口控制。上电时，器件默认配置是串行控制。写入RFSW_SEL位(寄存器0x23的位[10:9])便可选择四路RF输入中的一路。或者，通过将RFSW_MUX位设为高电平，便可利用RFSW0和RFSW1引脚选择RF输入。表10总结了RF输入的不同控制选项。

为保持良好的通道间隔离，应将未使用的RF输入妥善端接。RFINx端口内部端接50 Ω电阻，具有2.5 V的直流偏置电平。为避免中断直流电平，建议使用接GND的隔直电容进行端接。图66显示了仅使用RFIN0时的建议配置，其它RF输入端口得到适当端接。

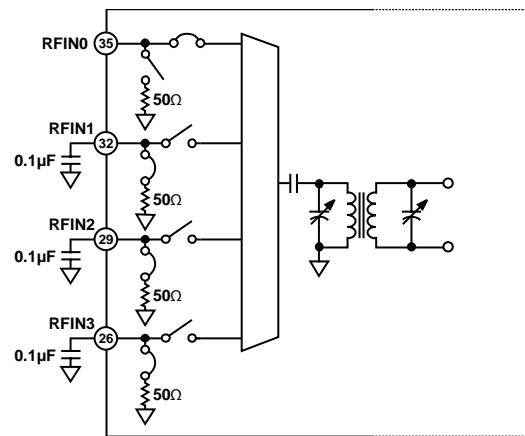


图66. 端接未使用的RF输入端口

表10. RF输入选择表

RFSW_MUX(寄存器地址0x23[11]) 位11	SPI控制, RFSW_SEL (寄存器地址0x23[10:9])		引脚控制		RF输入
	位10	位9	RFSW1, 引脚39	RFSW0, 引脚38	
0	0	0	X ¹	X ¹	RFIN0
0	0	1	X ¹	X ¹	RFIN1
0	1	0	X ¹	X ¹	RFIN2
0	1	1	X ¹	X ¹	RFIN3
1	X ¹	X ¹	0	0	RFIN0
1	X ¹	X ¹	0	1	RFIN1
1	X ¹	X ¹	1	0	RFIN2
1	X ¹	X ¹	1	1	RFIN3

¹ X = 无关位。

可调谐巴伦

ADRF6620 集成了一个可编程巴伦，其工作频率范围是 700 MHz 到 2700 MHz。可调谐巴伦有利于从单端 50 Ω RF 输入驱动，巴伦的单端到差分转换可优化共模抑制。

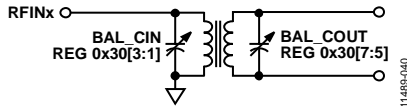


图67. 集成可调谐巴伦

RF 巴伦由原边和副边上的开关并联电容，通过写入寄存器 0x30 来调谐。增加的电容 (与巴伦的感性绕组并联) 将改变感性容性 (LC) 谐振器的谐振频率。因此，选择 BAL_CIN (寄存器 0x30 的位 [3:1]) 和 BAL_COUT (寄存器 0x30 的位 [7:5]) 的适当组合，便可设置所需的频率并使巴伦的插入损耗最小。大多数情况下，可一并对输入和输出进行调谐，不过有时出于匹配方面的考虑，对它们单独进行调谐可能更好。关于 BAL_CIN 和 BAL_COUT 的推荐设置，参见“RF 输入巴伦插入损耗优化”部分。

RF 数字步进衰减器 (DSA)

可调谐巴伦之后是 RF DSA，其衰减范围为 0 dB 至 15 dB，步进为 1 dB。DSA 衰减通过 RFD_SA_SEL 位 (寄存器 0x23 的位 [8:5]) 设置。

有源混频器

双平衡混频器采用高性能 SiGe NPN 晶体管。该混频器基于吉尔伯特单元设计，由四个交叉连接的晶体管组成。

混频器输出具有 255 Ω 差分输出电阻。利用一对以电源为基准的 RF 扼流圈或一个中心抽头连接到正电源的输出变压器来偏置混频器输出。

数字可编程可变增益放大器 (DGA)

ADRF6620 集成一个差分 IF DGA，后者由一个 150 Ω 数字控制式无源衰减器后接反馈式高线性度跨导放大器组成。衰减范围是 12 dB，跨导放大器具有 15 dB 的固定增益。因此，最小衰减时 IF DGA 的增益是 15 dB，最大衰减时增益为 3 dB。衰减由寄存器 0x23 的 IF_ATTEN 位 (位 [4:0]) 控制。衰减步长为 0.5 dB。

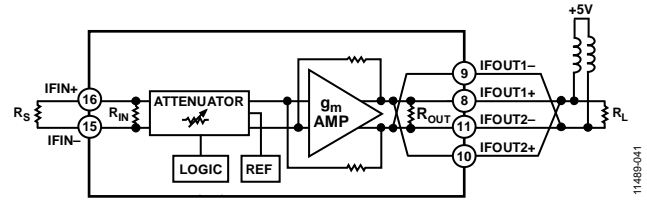


图68. 简化 IF DGA 原理图

放大器输入端的直流电压电平由一个独立的内部基准电压源电路设置为约 1.5 V，该基准电压源无法访问、无法调整。

IF DGA 的 VCC2 引脚 (引脚 12) 消耗 35 mA，两个输出扼流圈电感消耗 75 mA。通过禁用 IF_AMP_EN 位 (寄存器 0x01 的位 11)，可关断 IF DGA。在关断模式下，IF DGA 的功耗降至 6 mA。当 DGA 禁用时，输入端的直流偏置电平保持在大约 1.5 V。

在最小衰减且驱动 150 Ω 负载时，IF DGA 的增益为 15 dB。匹配条件下，该放大器的源和负载电阻设为 150 Ω。若负载或源电阻不等于 150 Ω，则可利用以下公式确定最终增益和输入/输出电阻。

$$\text{电压增益} = A_v = 0.044 \times (1000 \parallel R_L)$$

$$R_{IN} = (1000 + R_L) / (1 + 0.044 \times R_L)$$

$$S21 (\text{Gain}) = 2 \times R_{IN} / (R_{IN} + R_S) \times A_v$$

$$R_{OUT} = (1000 + R_S) / (1 + 0.044 \times R_S)$$

每个放大器输出端的直流电流由两个外部扼流圈电感提供。扼流圈电感和负载电阻与器件的输出电阻并联，为响应增加了低频极点。扼流圈的寄生电容加大了器件的输出电容。该总电容与负载和输出电阻并联，共同设置器件的高频极点。通常，扼流圈的电感越大，其寄生电容也越大。因此，选择扼流圈的数值和种类时需作出权衡。

放大器针对每个极性都有两个输出引脚，它们的位置交叉相对：IFOUT1+ (引脚 8)、IFOUT1- (引脚 9)、IFOUT2+ (引脚 10)、IFOUT2- (引脚 11)。设计电路板时，应将对应的输出端布线在一起，使寄生电容最小。印刷电路板 (PCB) 建议布局参见“布局布线”部分。

ADRF6620

LO生成模块

ADRF6620有两种模式可将LO信号送至混频器。第一种模式使用片内PLL和VCO。这种工作模式提供高质量LO，能够满足大部分应用的性能要求。使用片内频率合成器和VCO可以消除产生和分配高频LO信号的负担。

第二种模式是旁路集成的LO生成模式，以便从外部提供LO。这种模式可将极高质量的信号直接提供给混频器内核。在要求最低相位噪声的苛刻应用中，可能需要从外部提供LO信号。

外部LO模式

外部或内部LO模式可通过VCO_SEL位(寄存器0x22的位[2:0])选择。要配置外部LO模式，应将寄存器0x22的位[2:0]设为011，并将差分LO信号施加于引脚44 (LOIN-)和引脚45 (LOIN+)。外部LO频率范围是350 MHz至3.2 GHz。ADRF6620允许使用更高频率的LO信号，经分频后再驱动混频器。LO分频器由LO_DIV_A位(寄存器0x22的位[4:3])设置，选项包括÷1、÷2、÷4和÷8。

外部LO输入引脚具有宽带50 Ω差分输入阻抗。LOIN+和LOIN-输入引脚必须交流耦合，不用时可断开。

内部LO模式

ADRF6620集成片内VCO和PLL，用于LO频率合成。如图69所示，PLL由参考输入、鉴频鉴相器(PFD)、电荷泵和带预分频器的可编程整数分频器组成。参考路径接收参考时钟，将其1/2/4/8分频或2倍频后送至PFD。PFD将该信号与VCO的分频信号进行比较。根据所选的PFD极性，如果VCO信号比参考频率慢/快，PFD将向电荷泵发送升/降信号。电荷泵发送一个电流脉冲到片外环路滤波器，从而提高或降低调谐电压(VTUNE)。

ADRF6620集成了三个VCO内核，覆盖从2.8 GHz到5.7 GHz的倍频程范围。表11总结了各VCO的频率范围。所需VCO可通过VCO_SEL位(寄存器0x22的位[2:0])选择。

表11. VCO范围

VCO_SEL(寄存器0x22的位[2:0])	频率范围(GHz)
000	5.2至5.7
001	4.1至5.2
010	2.8至4.1
011	外部LO

N分频器将差分VCO信号分频至PFD频率。N分频器可通过设置DIV_MODE位(寄存器0x02的位11)配置为小数模式或整数模式。默认配置是小数模式。

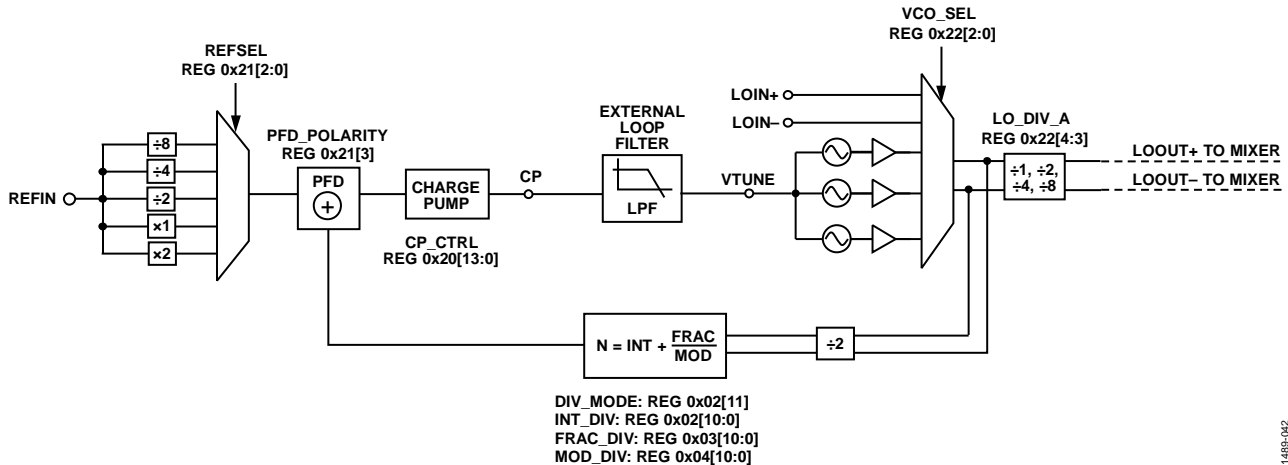


图69. LO生成功能框图

11498-062

N值和PLL频率可利用以下公式来确定：

$$f_{\text{PFD}} = \frac{f_{\text{VCO}}}{2 \times N}$$

$$N = \text{INT} + \frac{\text{FRAC}}{\text{MOD}}$$

$$f_{\text{LO}} = \frac{f_{\text{PFD}} \times 2 \times N}{\text{LO_DIVIDER}}$$

其中：

f_{PFD} 是鉴频鉴相器频率。

f_{VCO} 是压控振荡器频率。

N是小数分频比(INT + FRAC/MOD)。

INT是寄存器0x02编程设置的整数分频比。

FRAC是寄存器0x03编程设置的小数分频比。

MOD是寄存器0x04编程设置的模数分频比。

f_{LO} 是环路锁定时进入混频器内核的LO频率。

LO_DIVIDER表示最终分频器模块，它将VCO频率1/2/4/8分频后送入混频器(参见表12)。控制设置位于LO_DIV_A位(寄存器0x22的位[4:3])。

表12. LO分频器

LO_DIV_A(寄存器0x22的位[4:3])	LO_DIVIDER
00	1
01	2
10	4
11	8

锁定检测信号作为可选输出之一，通过MUXOUT引脚提供，逻辑高电平表示环路已锁定。MUXOUT引脚由REF_MUX_SEL位(寄存器0x21的位[6:4])控制；PLL锁定检测信号是默认配置。

为确保PLL锁定所需的频率，应遵守PLL寄存器的适当写操作顺序。PLL寄存器必须相应地进行配置以实现所需的频率，最后的写操作必须是写入寄存器0x02(INT_DIV)、寄存器0x03(FRAC_DIV)或寄存器0x04(MOD_DIV)。写入其中一个寄存器时，会启动内部VCO校准，这是锁定PLL的最后一步。

写入最后一个寄存器后，锁定所需的时间分为两部分：VCO频段校准和环路建立。

写入最后一个寄存器后，PLL自动执行VCO频段校准以选择正确的VCO频段。此校准需要大约5120个PFD周期。对于40 MHz fPFD，这相当于128 μs。校准完成后，PLL的反馈操作使VCO最终锁定正确的频率。锁定发生的速度取决于非线性周跳行为和环路的小信号建立时间。要准确估计锁定时间，请下载ADIsimPLL工具，它能正确捕捉这些效应。一般而言，高带宽环路的锁定速度快于低带宽环路。

其它LO控制

要通过LOOUT+和LOOUT-引脚(引脚21和引脚22)访问进入混频器的LO信号，应使能LO_DRV_EN位(寄存器0x01的位7)。此设置允许直接监控进入混频器的LO信号以进行调试，或者利用LO信号以菊花链形式同步连接许多器件。一个ADRF6620用作主器件并提供LO信号，后续从器件共享该LO信号。这种灵活性可大幅简化含多个LO的系统的LO要求。

LO输出驱动电平由LO_DRV_LVL位(寄存器0x22的位[8:7])控制。表13列出了可用的驱动电平。

表13. LO驱动电平

LO_DRV_LVL(寄存器0x22的位[8:7])	幅度(dBm)
00	-4
01	0.5
10	3
11	4.5

串行端口接口(SPI)

ADRF6620的SPI端口允许用户利用芯片内部提供的一个结构化寄存器空间来配置器件。通过串行端口接口可访问及读写寄存器。

串行端口接口由三条控制线组成：SCLK、SDIO和 $\overline{\text{CS}}$ 。SCLK(串行时钟)是串行移位时钟，数据在SCLK信号的上升沿传输。SDIO(串行数据输入/输出)是输入或输出，取决于发送的指令和时序帧中的相对位置。 $\overline{\text{CS}}$ (片选引脚信号)是低电平有效控制，用来选通读写周期。 $\overline{\text{CS}}$ 的下降沿与SCLK的上升沿共同决定帧的开始。当 $\overline{\text{CS}}$ 为高电平时，所有SCLK和SDIO活动都被忽略。表6和图2显示了串行时序及其定义。

ADRF6620协议由7个寄存器地址位、读/写(read/write)指示位和16个数据位组成。地址和数据域均是按照MSB到LSB的方式组织。

在一个写周期中，最多可移入16位的串行写数据(MSB到LSB)。如果 $\overline{\text{CS}}$ 上升沿出现在串行数据的LSB锁存之前，则只有已经送入的位会被写入器件。如果移入16个以上的数据位，则只将最近的16位写入器件。ADRF6620写周期的输入逻辑电平支持低至1.8 V的逻辑电平。

在一个读周期中，最多可移出16位的串行读数据(MSB到LSB)。16位后移出的数据未做定义。给定寄存器地址的回读内容不需要与该地址的写入数据一致。读周期的输出逻辑电平是2.5 V。

ADRF6620

基本连接

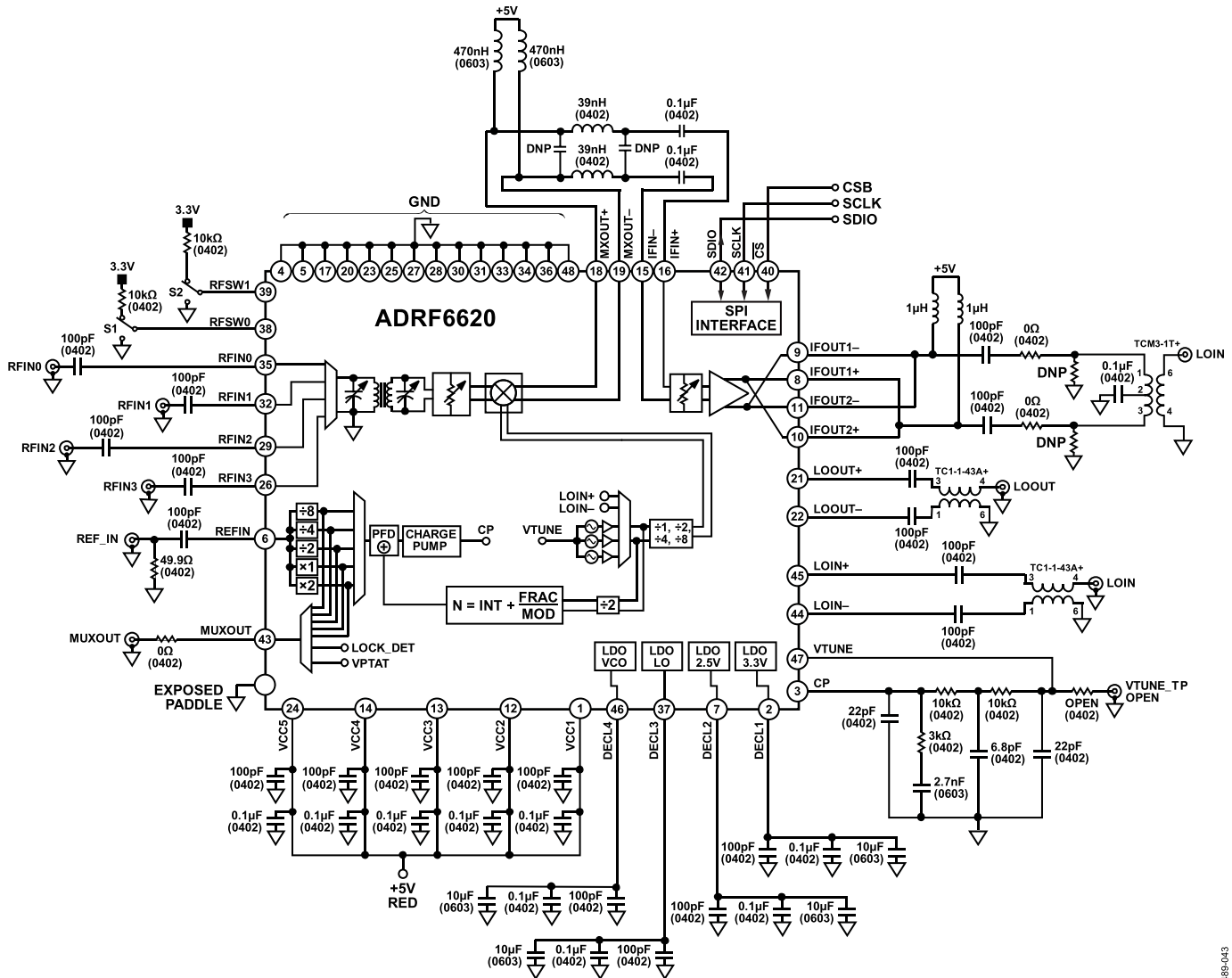


图70. 基本连接图

表14. 基本连接

引脚编号	引脚名称	说明	基本连接
5V电源			
1	VCC1	LO、VCO、混频器电源	使用100 pF和0.1 µF电容将所有电源引脚去耦至地。去耦电容靠近这些引脚放置。
12	VCC2	IF DGA电源	
13	VCC3	工厂校准引脚	
14	VCC4	工厂校准引脚	
24	VCC5	RF前端电源	
PLL/VCO			
3	CP	频率合成器电荷泵输出	通过环路滤波器将此引脚连接到VTUNE引脚。 此引脚的标称输入电平为1V _{p-p} 。输入范围为12 MHz至464 MHz。此引脚内部偏置，必须交流耦合并外部端接50 Ω电阻。引脚与电阻之间应放置一个交流耦合电容。当从50 Ω RF信号发生器驱动时，推荐输入电平为4 dBm。
6	REFIN	频率合成器参考频率输入	
21, 22	LOOUT+, LOOUT-	差分LO输出	这些引脚的差分输出阻抗为50 Ω。这些引脚内部偏置到2.5 V，必须交流耦合。

引脚编号	引脚名称	说明	基本连接
44, 45	LOIN-, LOIN+	差分LO输入	这些引脚的差分输入阻抗为50 Ω。这些引脚内部偏置到2.5 V，必须交流耦合。 该输出引脚提供PLL参考信号或PLL锁定检测信号。 此引脚由环路滤波器的输出驱动，其标称输入电压范围是1.5 V到2.5 V。
43	MUXOUT	PLL多路复用器输出	
47	VTUNE	VCO调谐电压	
RF输入 26, 29, 32, 35	RFIN3, RFIN2 RFIN1, RFIN0	RF输入	单端RF输入具有50 Ω输入阻抗，内部偏置到2.5 V。这些引脚必须交流耦合。用接GND的隔直电容端接未使用的RF输入以改善隔离性能。有关优化通道间隔离的建议PCB布局，参见“布局布线”部分。 RF输入引脚控制的引脚设置参见表10。如需逻辑高电平，将这些引脚连接到2.5 V逻辑。
38, 39	RFSW0, RFSW1	RF输入的引脚控制	
IF DGA 8, 9, 10, 11	IFOUT1+, IFOUT1-, IFOUT2+, IFOUT2-	IF DGA输出	差分IF DGA输出针对每个极性都有两个输出引脚，它们的位置交叉相对：IFOUT1+ (引脚8)、IFOUT1- (引脚9)、IFOUT2+ (引脚10)、IFOUT2- (引脚11)。 连接正引脚，使IFOUT1+和IFOUT2+绑在一起。类似地，连接负引脚，使IFOUT1-和IFOUT2-绑在一起。关于使寄生电容最小并优化性能的建议布局，参见“布局布线”部分。 IF DAG的输出级为开集配置，需要5 V的直流偏置。使用偏置扼流圈电感可实现此配置。所选的偏置扼流圈电感应能处理各侧的最大50 mA电流。在设计上，当信号源和负载均端接150 Ω时，IF DGA针对线性度进行了优化。 混频器输出交流耦合到IF DGA输入。建议滤波器设计参见“中间级滤波要求”部分。
15, 16	IFIN-, IFIN+	IF DGA输入	
混频器输出 18, 19	MXOUT+, MXOUT-	差分混频器输出	混频器的输出级为开集配置，需要5 V的直流偏置。使用偏置扼流圈电感可实现此配置。所选的偏置扼流圈电感应能处理各侧的最大50 mA电流。混频器的差分输出阻抗为255 Ω。
串行端口接口 40 41 42	\overline{CS} SCLK SDIO	SPI片选 SPI时钟 SPI数据输入/输出	低电平有效。3.3 V逻辑电平。 3.3 V兼容逻辑电平。 3.3 V兼容逻辑电平。
LDO去耦 2 7 37 46	DECL1 DECL2 DECL3 DECL4	3.3 V LDO去耦 2.5 V LDO去耦 LO LDO去耦 VCO LDO去耦	使用100 pF、0.1 μF和10 μF电容将所有DECLx引脚去耦至地。去耦电容靠近该引脚放置。
GND 4, 5, 17, 20, 23, 25, 27, 28, 30, 31, 33, 34, 36, 48	GND	地	这些引脚连接到PCB的GND。
49 (EPAD)		裸露焊盘(EPAD)	裸露散热焊盘位于封装的底部。 裸露焊盘必须焊接到地。

ADRF6620

RF输入巴伦插入损耗优化

如图71至图74所示，ADRF6620混频器的增益已针对BAL_CIN和BAL_COUT(寄存器0x30)的每种组合进行测定。可以利用BAL_CIN和BAL_COUT的各种值来优化ADRF6620的增益。优化的值不随温度而变化。选定值后，绝对增益随温度而变化，但BAL_CIN和BAL_COUT值的签名保持不变。

输入频率较低时，需要更大的电容。这可通过将更大的代码写入BAL_CIN和BAL_COUT来实现。高频时需要的电容较小，使用较小的BAL_CIN和BAL_COUT代码是合适的。表16列出了针对常用无线电频率的建议BAL_CIN和BAL_COUT代码。图71至图74和表16只能用作指南，切勿在绝对意义上解读它们，因为具体应用和PCB设计各有不同。为实现最大增益，可能需要再进行微调。

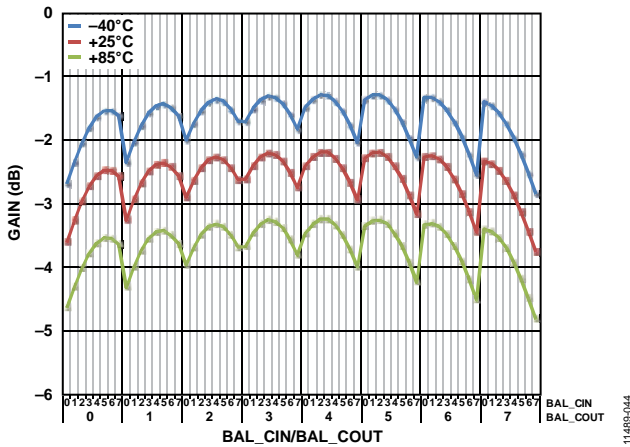


图71. 增益与BAL_CIN和BAL_COUT的关系(RF = 900 MHz)

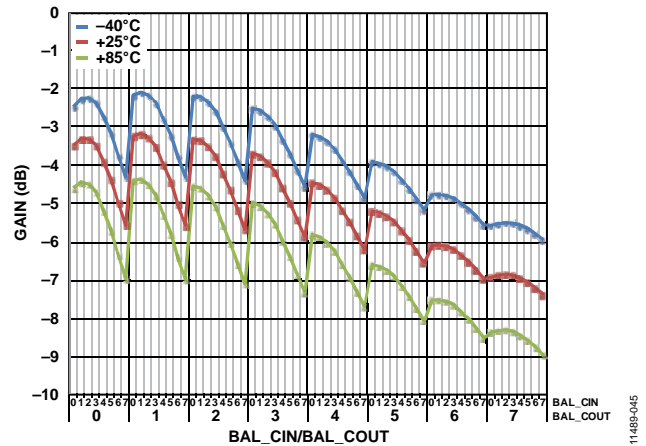


图73. 增益与BAL_CIN和BAL_COUT的关系(RF = 1900 MHz)

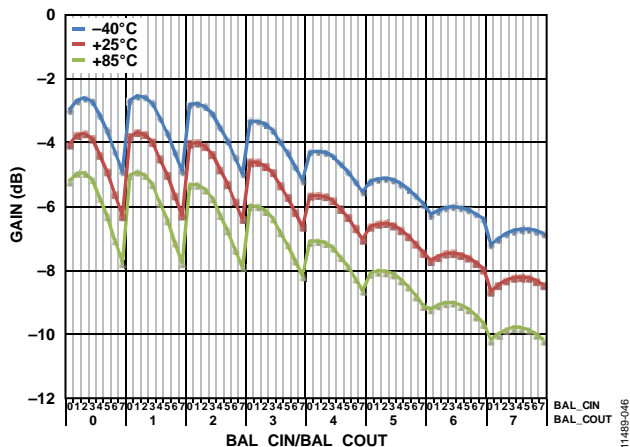


图72. 增益与BAL_CIN和BAL_COUT的关系(RF = 2100 MHz)

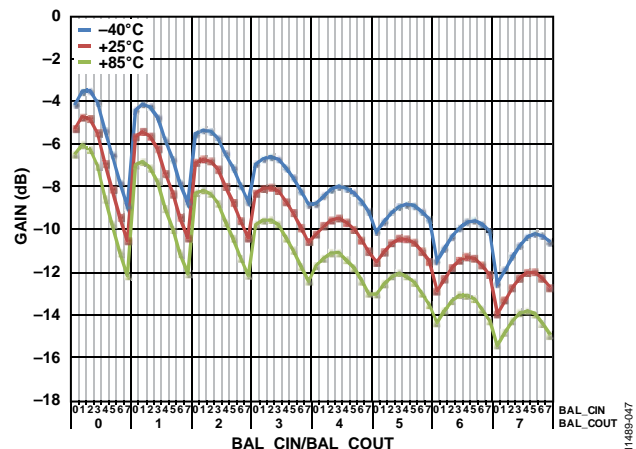


图74. 增益与BAL_CIN和BAL_COUT的关系(RF = 2700 MHz)

IP3和噪声系数优化

ADRF6620可以根据不同的目的进行配置：提高性能抑或降低功耗。在性能至关重要的应用中，ADRF6620提供IP3或噪声系数优化功能。然而，如果功耗是优先考虑因素，则可降低混频器偏置电流以节省整体功耗，不过性能会降低。无论具体应用的需求是什么，ADRF6620都能提供性能与功耗兼顾的配置。

调整混频器偏置设置对性能和功耗的影响最大。因此，混频器偏置应当是第一调整手段。ADRF6620的有源混频器内核是线性化跨导体。偏置电流越大，跨导体线性度越高，因而IP3越高。不过，IP3的改善是以降低噪声系数和提高功耗为代价(参见图75)。混频器偏置(MIXER_BIAS, 寄存器0x31的位[11:9])每改变1位，电流便提高7.71 mA。

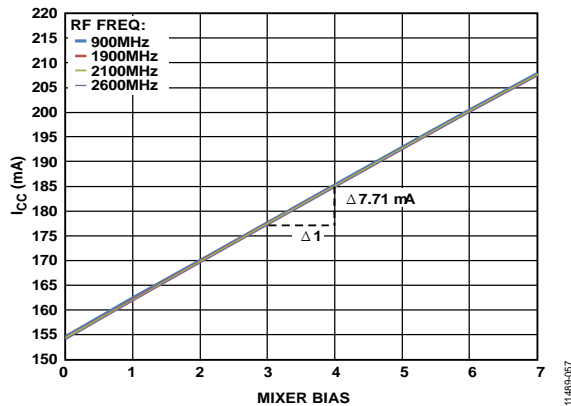


图75. 功耗变化与MIXER_BIAS的关系

毫无疑问，偏置电流的提高有一个限度，一旦超过该限度，线性度提高所的好处便不再大于功耗和噪声提高所带来的坏处。混频器内核会达到一个饱和点，在该点提高偏置电流不会改善性能。达到该点时，最好将偏置电流降至实现所需性能的水平。根据客户的系统要求，可以获得线性度、噪声系数和功耗的平衡。

除了偏置优化以外，ADRF6620还有可配置失真抵消电路。ADRF6620的线性化跨导体输入端由主路径和辅助路径组成。通过调整辅助路径的幅度和相位，可以抵消主路径产生的失真，从而改善IPd3性能。幅度和相位调整位于以下串行接口位：MIXER_RDAC(寄存器0x31的位[8:5])和MIXER_CDAC(寄存器0x31的位[4:0])。

ADRF6620

图76至图83显示了MIXER_RDAC、MIXER_CDAC和MIXER_BIAS所有组合的IIP3和噪声系数扫描图。IIP3与MIXER_RDAC和MIXER_CDAC的关系图在一幅图中同时显示了表面和轮廓曲线。轮廓曲线位于表面曲线下方。读懂该图的最佳方法是找到表面曲线上表示最大IIP3的峰值，然后在轮廓曲线上找到相同的颜色图案，从而确定优化的MIXER_RDAC和MIXER_CDAC值。IIP3曲线的整体形状不随MIXER_BIAS设置而变，因此仅显示MIXER_BIAS = 011的情形。

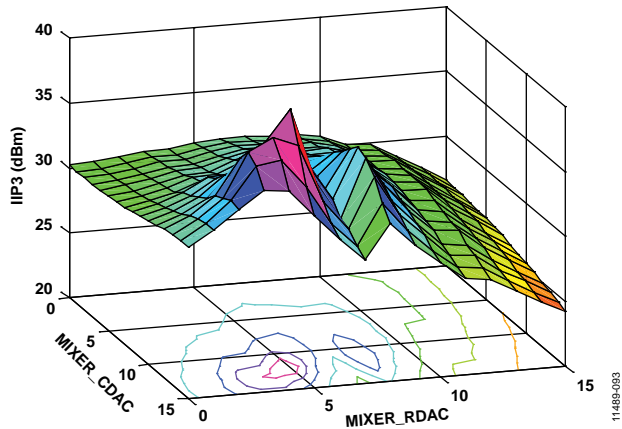


图76. IIP3与MIXER_RDAC、MIXER_CDAC的关系 (MIXER_BIAS = 011, RF频率 = 900 MHz)

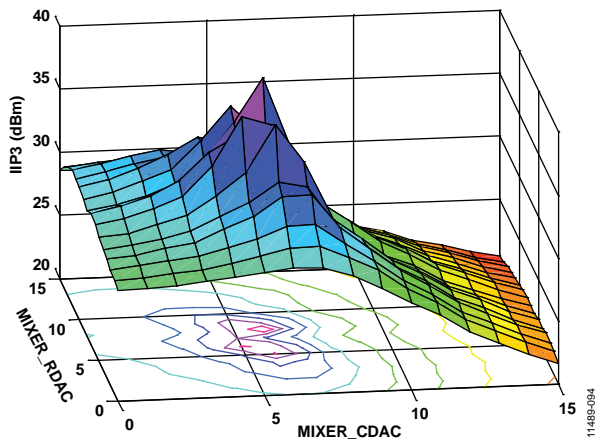


图77. IIP3与MIXER_RDAC、MIXER_CDAC的关系 (MIXER_BIAS = 011, RF频率 = 1900 MHz)

数据显示，MIXER_BIAS对性能的影响最大。如上所述，同时数据也证明，IIP3随着MIXER_BIAS的提高而改善，噪声系数则是偏置设置最低时最佳。更仔细地观察数据可发现，对于不同的MIXER_RDAC和MIXER_CDAC组合，IIP3的变化范围约为5 dB到+10 dB，但噪声系数仅改变约0.5 dB。决定IP3、噪声系数和功耗的取舍时，这些趋势非常重要。ADRF6620的总功耗不随MIXER_RDAC和MIXER_CDAC而变，仅随混频器偏置设置而改变(参见图75)。

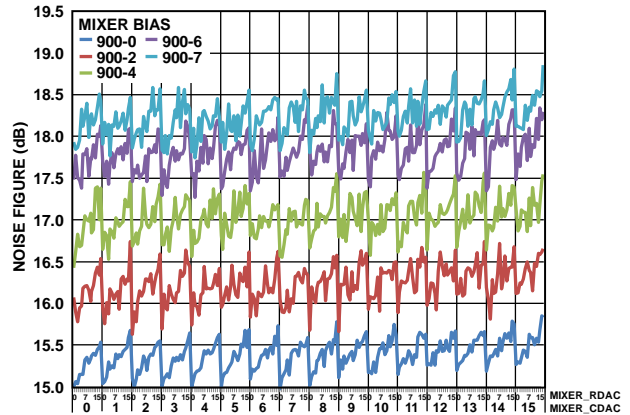


图78. 噪声系数与MIXER_RDAC、MIXER_CDAC和不同MIXER_BIAS值的关系(RF频率 = 900 MHz)

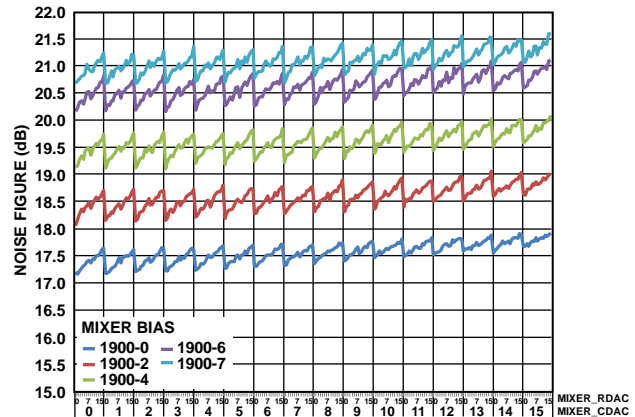


图79. 噪声系数与MIXER_RDAC、MIXER_CDAC和不同MIXER_BIAS值的关系(RF频率 = 1900 MHz)

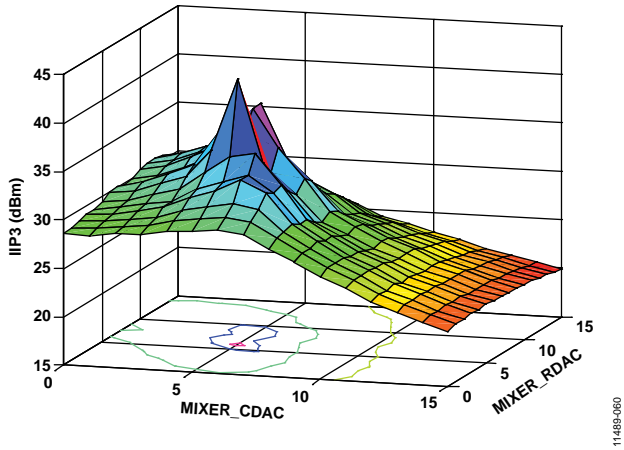


图80. IIP3与MIXER_RDAC、MIXER_CDAC的关系 (MIXER_BIAS = 011, RF频率 = 2100 MHz)

11489-060

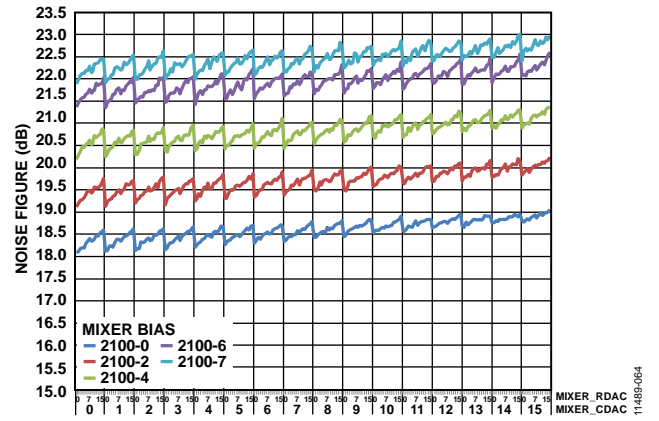


图82. 噪声系数与MIXER_RDAC、MIXER_CDAC和不同MIXER_BIAS值的关系(RF频率 = 2100 MHz)

11489-064

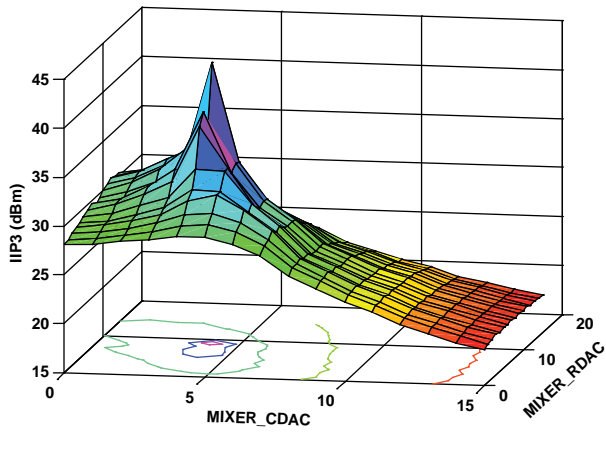


图81. IIP3与MIXER_RDAC、MIXER_CDAC的关系 (MIXER_BIAS = 011, RF频率 = 2700 MHz)

11489-061

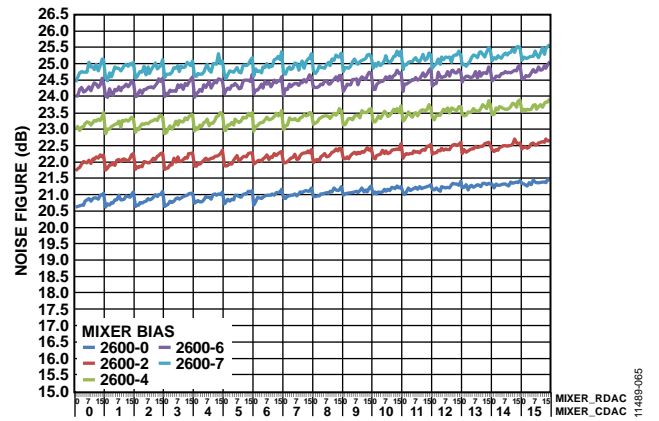


图83. 噪声系数与MIXER_RDAC、MIXER_CDAC和不同MIXER_BIAS值的关系(RF频率 = 2700 MHz)

11489-065

ADRF6620

下面举一个例子，根据三个不同的目标，仔细选择ADRF6620的MIXER_RDAC、MIXER_CDAC和MIXER_BIAS设置，产生三组MIXER_RDAC、MIXER_CDAC和MIXER_BIAS值。第一个目标是优化IIP3。为实现最佳IIP3性能，MIXER_BIAS设置为较高的电流值，MIXER_RDAC和MIXER_CDAC在峰值下进行选择。这种配置可实现最佳IIP3性能。但是，其功耗也最高，噪声系数性能降低。第二个目标是在IIP3、噪声系数和功耗之间实现平衡。第三个目标则是优化噪声系数。这种配置导致功耗最低，但IIP3非最佳。表15总结了测试条件，表16显示了对应的MIXER_RDAC、MIXER_CDAC和MIXER_BIAS值。特定

MIXER_RDAC、MIXER_CDAC和MIXER_BIAS设置对应的IIP3和噪声系数性能如图84所示。

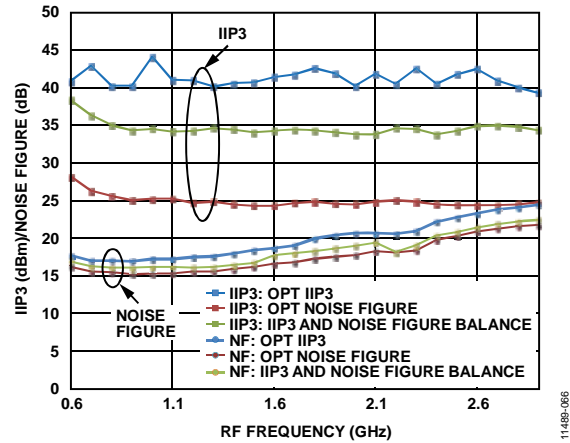


图84. IIP3和噪声系数优化示例

表15. 混频器优化小结

参数	测试条件/注释
优化IIP3	MIXER_RDAC、MIXER_CDAC和MIXER_BIAS针对优化IIP3性能而配置。
噪声系数、IIP3和功耗平衡	MIXER_BIAS限于0、1或2(十进制)以改善噪声系数，允许IIP3降低。MIXER_RDAC和MIXER_CDAC针对优化IIP3而选择，因为MIXER_RDAC和MIXER_CDAC对IIP3的影响比对噪声系数的影响要大。
优化噪声系数	MIXER_BIAS设置为0(十进制)以实现最佳噪声系数。MIXER_RDAC和MIXER_CDAC针对优化IIP3而选择，因为它们对IIP3的影响比对噪声系数的影响要大。

表16. BAL_CIN、BAL_COUT、MIXER_RDAC、MIXER_CDAC和MIXER_BIAS的建议设置(十进制)

RF频率 (MHz)	BAL_CIN	BAL_COUT	优化IIP3			IIP3和噪声系数平衡			优化噪声系数		
			RDAC	CDAC	BIAS	RDAC	CDAC	BIAS	RDAC	CDAC	BIAS
600	7	7	6	10	4	4	15	2	4	15	0
700	7	7	5	14	4	4	15	2	4	15	0
800	5	5	3	13	3	3	14	2	2	15	0
900	3	4	0	15	0	3	13	2	2	14	0
940	3	3	5	12	4	5	11	2	2	13	0
1000	2	3	5	11	4	4	10	2	3	11	0
1100	1	2	5	10	4	3	10	1	2	11	0
1200	1	2	5	9	4	3	9	1	2	10	0
1300	0	2	8	8	4	3	9	1	2	10	0
1400	0	2	6	7	4	4	8	1	2	9	0
1500	0	2	6	7	4	5	7	2	3	8	0
1600	0	2	8	7	4	5	7	2	2	8	0
1700	0	1	6	6	4	5	6	2	4	7	0
1800	0	1	9	6	4	5	6	2	4	7	0
1840	0	1	9	6	5	5	6	2	3	7	0
1900	0	1	9	6	5	6	5	2	3	7	0
2000	0	1	7	5	5	3	6	0	3	6	0
2100	1	1	9	5	5	5	5	1	3	6	0
2140	1	1	9	5	4	5	5	1	3	6	0
2200	2	0	7	4	4	5	5	1	3	6	0
2300	2	0	7	4	4	5	5	1	3	6	0
2400	1	0	7	4	4	5	5	1	3	6	0
2500	1	0	7	4	4	5	5	1	3	6	0
2600	1	0	7	4	4	5	5	1	3	6	0
2700	1	0	7	4	4	5	5	1	3	6	0
2800	1	0	7	4	4	4	15	2	4	15	0
2900	1	0	7	4	4	4	15	2	4	15	0
3000	0	0	7	4	4	3	14	2	2	15	0

中间级滤波要求

为提高线性度，可能需要在混频器输出端滤波。对于频率规划要求低RF频率输入和IF输出的应用，混频器输出端的求和项($f_{RF} + f_{LO}$)可能落在目标频段内。由于不必要的额外信号功率的存在，不需要的求和项可能会导致IF DGA在非线性区域工作。结果，线性度下降，OIP3和OIP2大幅降低。因此，需要一个低通滤波器来衰减不需要的信号，同时保持所需信号在目标频段内的完整性。此外，低通滤波器还能起到抑制LO馈通的作用。由于典型DPD接收应用中沒有阻塞，因此低阶滤波器(如三阶切比雪夫滤波器)通常即足够。

低通滤波器位于混频器输出与IF DGA输入之间，如图85所示。在信号流开始的地方，一对上拉电感(L1和L2)将混频器的差分输出直流偏置到正电源(5 V)。电感值由信号目标带宽的低频截止频率决定。然后，三阶低通滤波器衰减高频求和项。上拉电感与低通滤波器一起形成一个带通滤波器。滤波器的输出通过串联电容交流耦合，并通过IFIN+和IFIN-引脚送至片内IF DGA。

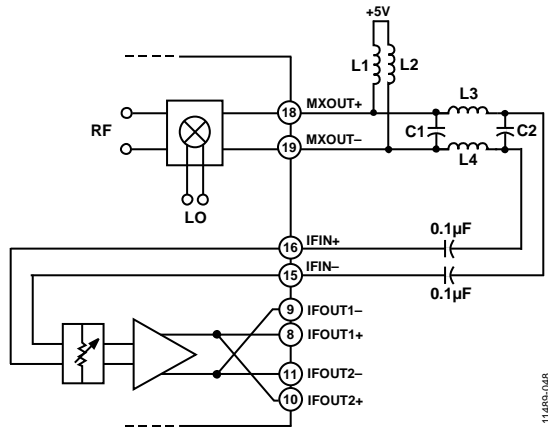


图85. 低通IF滤波器

设计低通滤波器时，必须考虑混频器的输出阻抗和IF DGA的输入阻抗。混频器的输出阻抗包含实部和虚部，等效模型如图86所示。图87显示了混频器输出的阻抗与频率的关系。

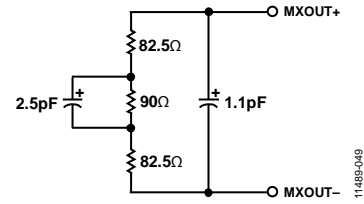


图86. 混频器输出阻抗的等效模型

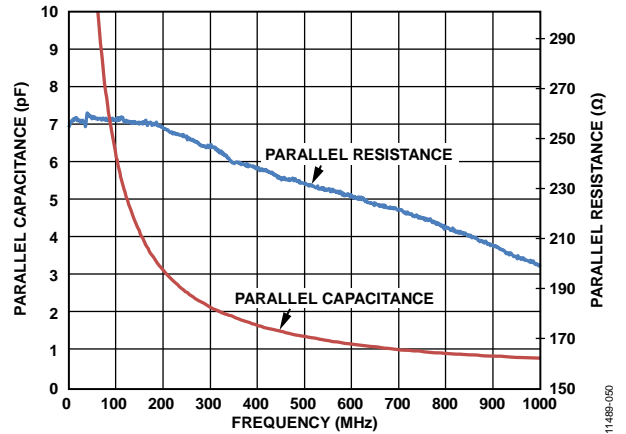


图87. 混频器输出阻抗与频率的关系

图88显示了IF DGA的阻抗与频率的关系。IF DGA和混频器的四端口S参数文件可在analog.com上找到，对设计中间级滤波器很有用，可精确捕捉输入和输出阻抗。作为低频时的一阶近似，混频器输出具有大约255 Ω的固定阻抗，IF DAG的输入阻抗约为150 Ω。因此，所设计的低通滤波器应具有255 Ω的输入阻抗和150 Ω的输出阻抗。

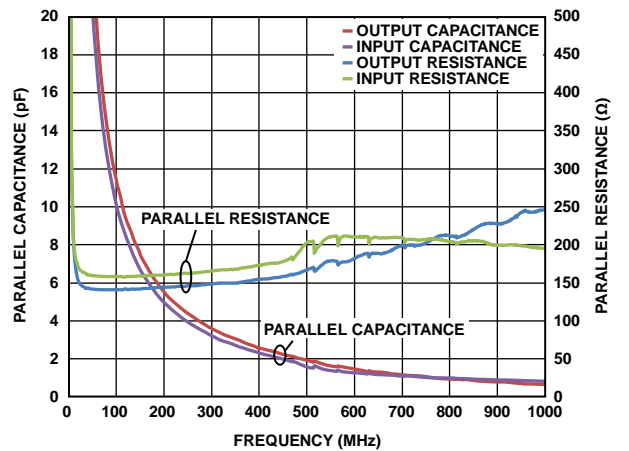


图88. IF DGA输入/输出阻抗与频率的关系

ADRF6620

最重要的是，低通中间级滤波器必须衰减求和项($f_{RF} + f_{LO}$)和LO馈通，防止DGA不必要的过驱。实现最佳OIP3性能所需的衰减水平如图89所示，其中给出了OIP3与($f_{RF} + f_{LO}$)幅度的关系曲线。为保持性能，应将求和项的幅度衰减到至少-16 dBm(见图89)。超过此点，幅度提高多少dB，OIP3就会下降多少dB。

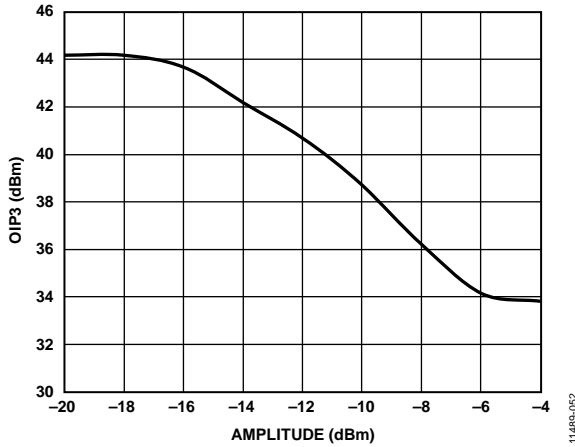


图89. OIP3与($f_{RF} + f_{LO}$)幅度的关系

ADRF6620最适合用于数字预失真(DPD)接收机。图91显示了用于DPD的滤波器设计实例。表17列出了中间级滤波器设计目标。在用于蜂窝传输的大多数DPD系统中，通带位于50 MHz到500 MHz之间。因此，上拉电感的低频截止频率为50 MHz，中间级低通滤波器的通带边缘为500 MHz。这样便能得到具有最大平坦度的50 MHz到500 MHz通带滤波器曲线。1400 MHz时的阻带衰减为20 dB，这一般能够对混频器求和项进行必要的衰减并留有一定的裕量。

表17. 滤波器设计示例

参数	数值
R_S	255 Ω
R_L	150 Ω
通带边缘	500 MHz
通带边缘的衰减	0.5 dB
阻带边缘	1400 MHz
阻带边缘的衰减	20 dB
滤波器类型	三阶切比雪夫

使用教科书中的滤波器公式或滤波器设计软件，可以设计一个满足表17中所有规格的三阶切比雪夫滤波器，如图91所示。1.1 pF的混频器输出电容可以融入滤波器中，因此，C1从2 pF减至0.8 pF。此外，根据PCB板堆叠情况，可以进一步减小或消除C2，因为PCB板的电容可用作滤波器的第三极点。仿真中使用的元件是Coilcraft 0805CS电感和Murata GRM15系列电容。图90显示了满足表17中所有滤波器规格的滤波器曲线。

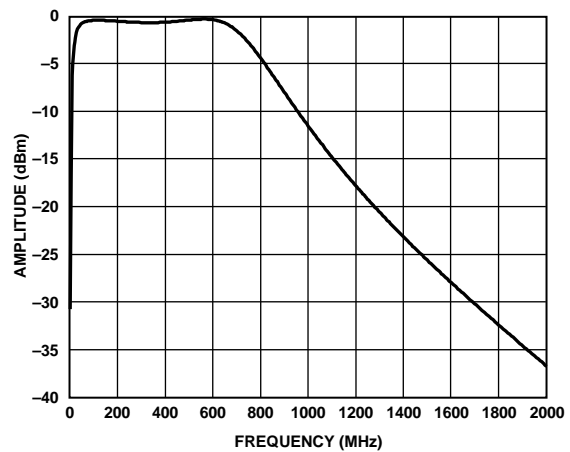


图90. 三阶切比雪夫滤波器曲线

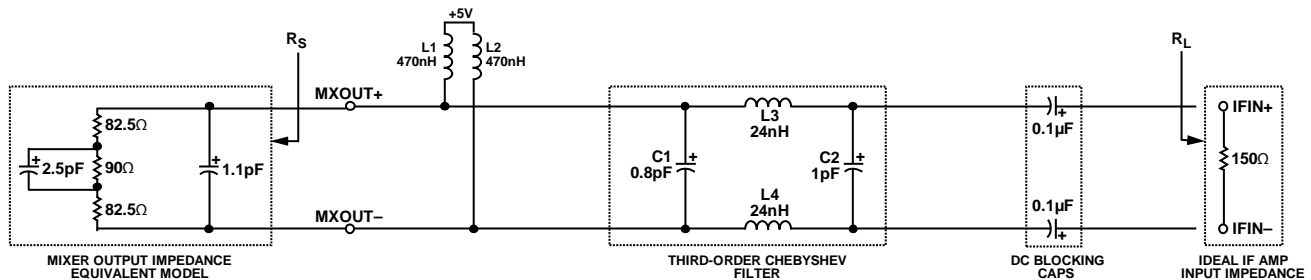


图91. 低通中间级滤波器设计

保持与图91所示相同的三阶切比雪夫滤波器设计，通过调整元件值可以优化性能，不过其它特性会受影响。为实现最平坦的带通响应，需要牺牲一定的信号带宽(参见图92)。L3和L4电感用47 nH电感代替，电容不填充。这种配置可获得最平坦的通带纹波，但信号带宽会在300 MHz时开始滚降。带宽越窄，则对混频器求和项和LO泄漏的衰减越强，如果不需要很宽的信号带宽，那么这将是一个有益的结果。图92所示的结果只能用作指南，中间级滤波器的设计应根据具体PCB板条件进行。图92中的曲线是利用ADRF6620评估板测定。

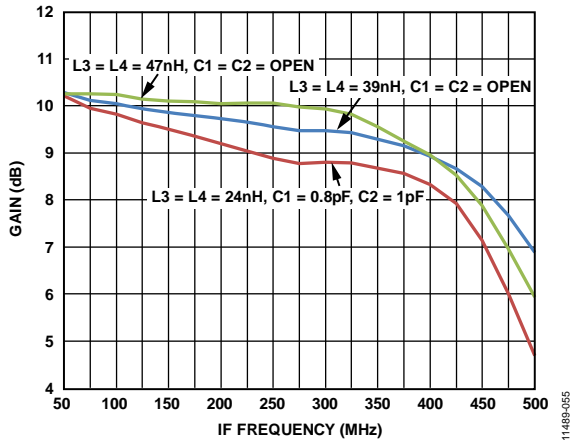


图92. 中间级滤波器设计权衡

由于ADRF6620评估板的电容非常接近C1和C2电容，因此可以将其从设计中移除。不过，对于采用其它堆叠的PCB设计，情况可能不是这样。

图93比较了在混频器输出端进行滤波和不滤波两种情况下，ADRF6620的OIP2和OIP3性能。

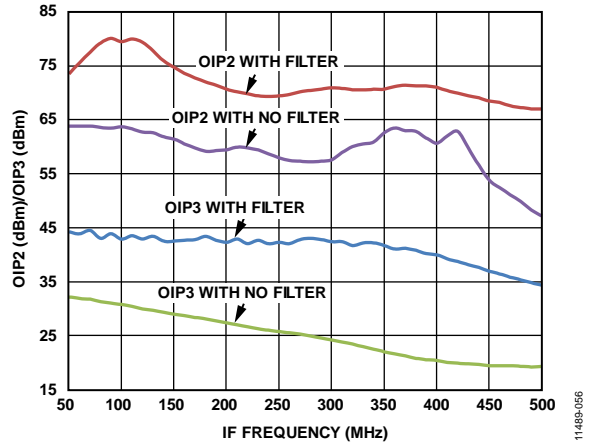


图93. 在DGA输出端进行滤波和不滤波两种情况下的OIP2/OIP3性能；RF频率 = 900 MHz，高端LO抑制，LO扫描

ADRF6620

IF DGA与负载的关系

在设计上，当源电阻和负载电阻均为150 Ω时(此即匹配条件)，IF DGA针对性能进行了优化。若负载或源电阻不等于150 Ω(参见“数字可编程可变增益放大器(DGA)”部分)，则可利用以下公式确定最终增益和输入/输出电阻。

$$\text{电压增益} = A_V = 0.044 \times (1000 \parallel R_L)$$

$$R_{IN} = (1000 + R_L) / (1 + 0.044 \times R_L)$$

$$S21 (\text{Gain}) = 2 \times R_{IN} / (R_{IN} + R_S) \times A_V$$

$$R_{OUT} = (1000 + R_S) / (1 + 0.044 \times R_S)$$

在ADRF6620的混频器输出路由至IF DGA输入的配置中，不再满足匹配条件，因为IF DGA看到的源阻抗是混频器输出端的255 Ω输出阻抗。因此，放大器的增益和输出电阻不再是预期的15 dB(参见图94)。

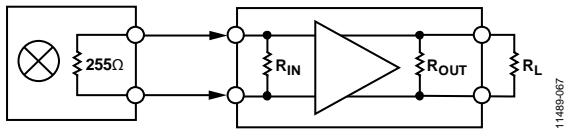


图94. IF DGA的混频器负载

对于匹配条件，理想负载是150 Ω，不过这可能不是最易获得的负载阻抗。因此，必须考虑负载与性能的取舍。在匹配条件下，IF DGA针对线性度而优化，因此，三阶交调产物随负载而降低。表18给出了一些常见输出负载，图95、图96和图97显示了负载对增益、IMD2和IMD3的影响。

如本部分中的公式所示，IF DGA的加载方式影响放大器的输入电阻 R_{IN} 。 R_{IN} 进而决定混频器输出端与IF DGA输入端之间的中间级滤波器的负载电阻。中间级滤波器具有混频器输出端的255 Ω源阻抗和特定 R_L 负载的负载阻抗 R_{IN} (参见表18)。由于阻抗不匹配，电平规划计算中必须考虑中间级滤波器的插入损耗。

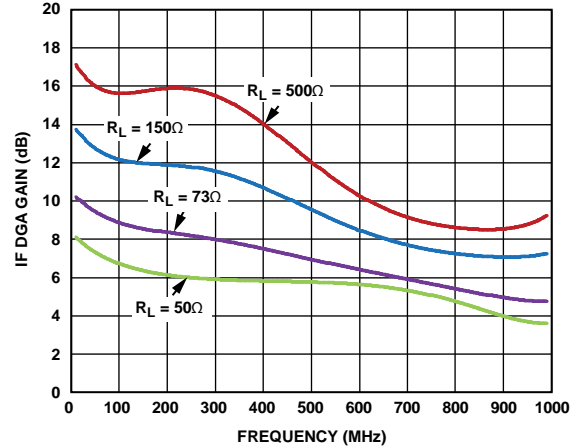


图95. 不同负载下IF DGA增益与频率的关系

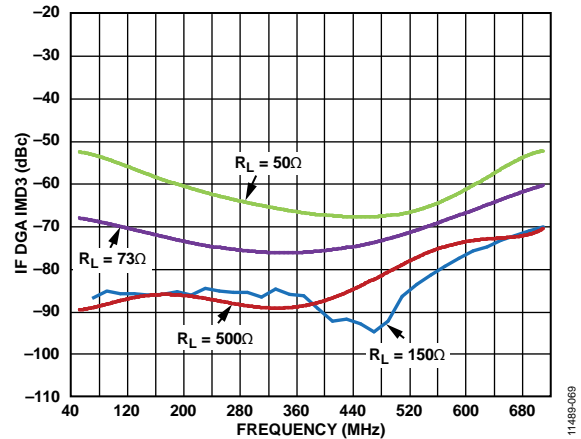


图96. 不同负载下IF DGA IMD3与频率的关系

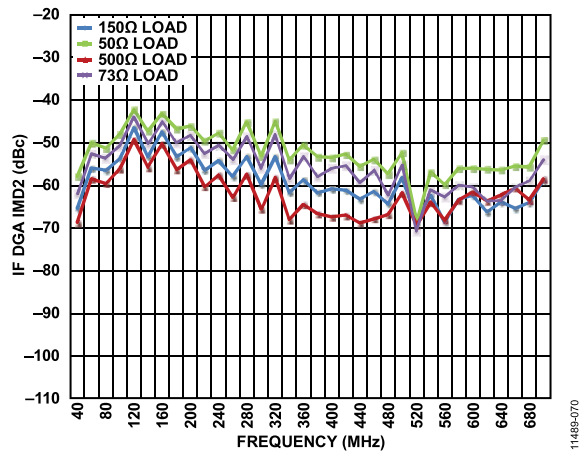


图97. 不同负载下IF DGA IMD2与频率的关系

表18. 常见输出负载

$R_S (\Omega)$	$R_{IN} (\Omega)$	A_V (线性)	A_V (dB)	$S21$ (线性)	$S21$ (dB)	$R_{OUT} (\Omega)$	$R_L (\Omega)$
255	65	14.7	23.3	6	15.5	102.7	500
255	151	5.7	15.2	4.3	12.6	102.7	150
255	255	3	9.5	3	9.5	102.7	73
255	328	2.1	6.4	2.4	7.5	102.7	50

ADC接口

ADRF6620集成的IF DGA可为缓冲式和非缓冲式ADC提供可变且足够的驱动能力。它还能提供ADC采样边沿与混频器内核之间的隔离。因此，与ADC接口时，只需要一个抗混叠滤波器。

ADRF6620最适合用于蜂窝基站数字预失真(DPD)系统。预失真用于提高发射机功率放大器(PA)的线性度。由于DPD路径的输入信号是已知的发射信号，因此硬件要求通常不像主接收路径那样严格。与已知发射信号的自动相关使得ADC的信噪比(SNR)不是最重要的因素。因此，11位到14位分辨率的ADC通常即足够。更重要的考虑因素是转换器的模拟带宽。传统DPD系统要求其发射带宽的3至5倍。若发射带宽为100 MHz，则DPD带宽至少必须是500 MHz，以便进行五阶校正。

在DPD设计中，AD9434可以很好地配合ADRF6620使用。AD9434是一款12位370 MSPS/500 MSPS缓冲式ADC。其全功率模拟带宽为1 GHz，支持五阶校正绰绰有余。AD9434的采样速率不足以满足采样理论要求，但DPD应用常常允许欠采样，因此这是可以接受的。由于DPD路径中的接收信号是已知的发射信号，因此可以明确区分目标信号及其混叠。

抗混叠滤波器位于ADRF6620与AD9434之间。混叠是DPD接收链的常见做法，因此对抗混叠滤波器的要求可以降低。二阶或三阶滤波器即足以降低高频噪声，防止其折返到目标频段中。设计抗混叠滤波器时，必须考虑ADRF6620 IF DGA的输出阻抗和AD9434的输入阻抗。AD9434的差分电阻为1 kΩ，并联电容为1.3 pF。在匹配负载条件下，IF DGA针对增益和线性度而优化，IF DGA的负载为150 Ω。为此，应在ADC输入端并联一个176 Ω电阻。

176 Ω电阻与1 kΩ的ADC输入阻抗并联，产生ADRF6620 IF DGA所看到的等效150 Ω差分输出负载。此外，AD9434的输入电容可用作抗混叠滤波器的第四个极点。最终设计原理图如图99所示。抗混叠滤波器具有最大平坦度，通带带宽为500 MHz。表19给出了用于DPD的抗混叠滤波器设计的元件值。图98显示了仿真抗混叠滤波器设计。

表19. 500 MHz抗混叠滤波器设计的元件值

参数	数值	类型	制造厂商
L1 = L2	470 nH	0805CS	Coilcraft
C1	DNP	GRM15	Murata
L3 = L4	39 nH	0805CS	Coilcraft
C2	DNP	GRM15	Murata
L5 = L6	1 μH	0805LS	Coilcraft
L7 = L8	15 nH	0805CS	Coilcraft
C3	2.7 pF	GRM15	Murata
L9 = L10	27 nH	0805CS	Coilcraft

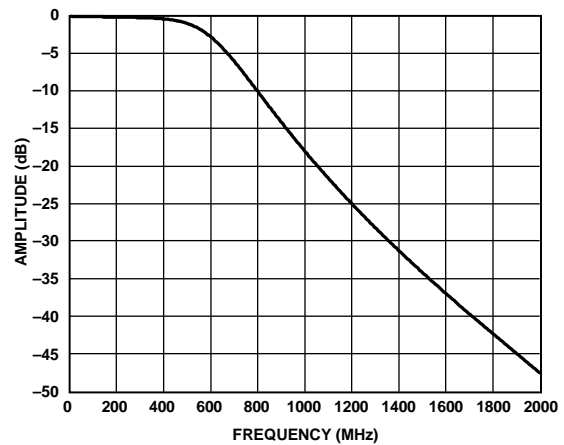


图98. 仿真抗混叠滤波器设计

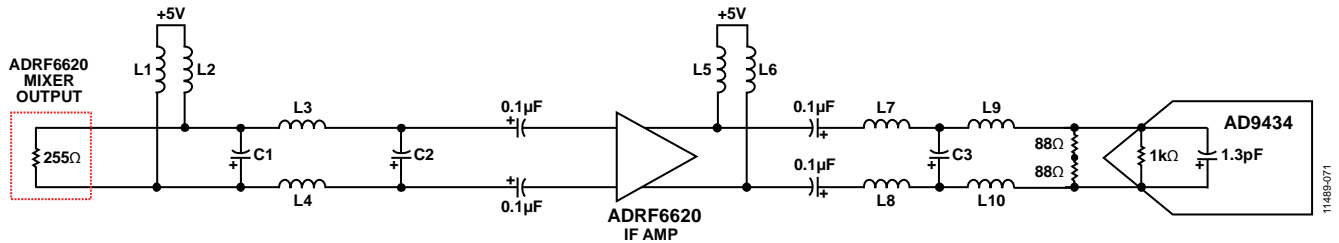


图99. ADRF6620与AD9434的接口

ADRF6620

功耗模式

ADRF6620具有许多模块，通过写入寄存器0x01(参见表23)，可将这些模块独立关断。

外部LO模式

在外部LO模式下，内部PLL和VCO禁用，功耗降低大约100 mA。表20列出了配置外部LO模式所需的寄存器设置。

表20. 外部LO模式的串行端口配置

位名称	状态	寄存器
LDO_3P3_EN	开	0x01 = 0x8B53
VCO_LDO_EN	开	0x01 = 0x8B53
CP_EN	关	0x01 = 0x8B53
DIV_EN	关	0x01 = 0x8B53
VCO_EN	开	0x01 = 0x8B53
REF_BUF_EN	关	0x01 = 0x8B53
LO_DRV_EN	关	0x01 = 0x8B53
LO_PATH_EN	开	0x01 = 0x8B53
MIX_EN	开	0x01 = 0x8B53
IF_AMP_EN	开	0x01 = 0x8B53
LO_LDO_EN	开	0x01 = 0x8B53
VCO_SEL	外部LO	0x22, Bits[2:0] = 011

IF DGA禁用模式

在不使用IF DGA的应用中，可以将其关断。通过禁用IF_AMP_EN位(寄存器0x01的位11 = 0)，可实现关断。通过禁用放大器，ADRF6620的功耗降低大约25 mA，另外放大器输出端的各偏置电感也可节省35 mA至50 mA。IF DGA禁用时，其输入和输出阻抗为高阻态。因此，输入和输出引脚可以断开。如果不希望让这些节点断开，另一种做法是通过1 kΩ电阻将这些引脚接地。

布局布线

为优化性能并降低杂散寄生效应，必须精心设计ADRF6620的布局布线。ADRF6620支持四路RF输入，RF部分的布局布线对于实现各通道之间的隔离至关重要。图100显示了RF输入的推荐布局。各路RF输入(RFIN0至RFIN3)在接地引脚之间隔离，最佳布局方法是让走线短且直。为此，应将这些引脚直接连到ADRF6620裸露焊盘的中央接地焊盘。这种方法可使走线电感最小，并提高通道之间的隔离度。此外，为改善隔离性能，不要将RFIN0至RFIN3走线彼此平行布线，而应在离开引脚后立即将走线分散。这些走线

应尽可能远离(如果可能，应构成一定的角度)，防止交叉耦合。

RF输入端的输入阻抗为50 Ω，通往该引脚的走线也必须具有50 Ω特征阻抗。用接地隔直电容端接未使用的RF输入。

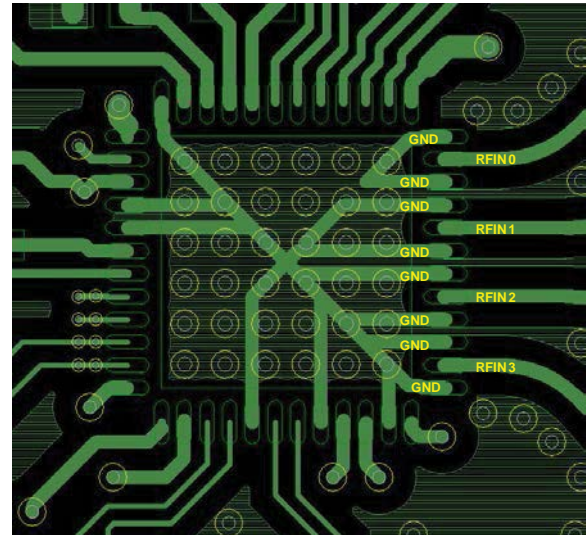


图100. RF输入的推荐布局

ADRF6620的IF DGA输出针对每个极性都有两个输出引脚，它们的位置交叉相对：IFOUT1+ (引脚8)、IFOUT1- (引脚9)、IFOUT2+ (引脚10)、IFOUT2- (引脚11)。设计电路板时，相应的输出由于布线而互相连接，因此应将寄生电容降至最小。降低寄生电容的一个良好实践做法是避免该布线区域和扼流圈的任何接地或与电源层相接。图101所示为推荐布局。相同极性的IF DGA输出引脚在板底部通过蓝色走线和过孔相连。

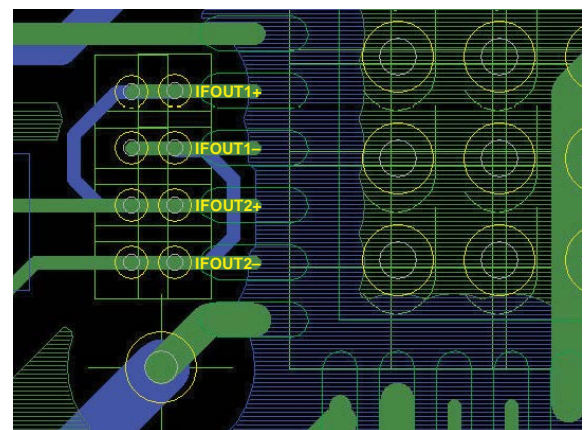


图101. IF DGA输出的推荐布局
(绿色走线在板顶部布线，蓝色走线在板底部布线)

寄存器映射

表21. 寄存器映射汇总表

寄存器	名称	位	位15	位14	位13	位12	位11	位10	位9	位8	复位	RW	
			位7	位6	位5	位4	位3	位2	位1	位0			
0x00	SOFT_RESET	[15:8]	保留									0x00000	W
		[7:0]	保留							SOFT_RESET			
0x01	Enables	[15:8]	LO_LDO_EN	保留	保留	保留	IF_AMP_EN	保留	MIX_EN	LO_PATH_EN	0x8B7F	RW	
		[7:0]	LO_DRV_EN	保留	REF_BUF_EN	VCO_EN	DIV_EN	CP_EN	VCO_LDO_EN	LDO_3P3_EN			
0x02	INT_DIV	[15:8]	保留				DIV_MODE	INT_DIV[10:8]				0x0058	RW
		[7:0]	INT_DIV[7:0]										
0x03	FRAC_DIV	[15:8]	保留					FRAC_DIV[10:8]				0x0250	RW
		[7:0]	FRAC_DIV[7:0]										
0x04	MOD_DIV	[15:8]	保留					MOD_DIV[10:8]				0x0600	RW
		[7:0]	MOD_DIV[7:0]										
0x20	CP_CTL	[15:8]	保留	保留	CSCALE			保留			0x0C26	RW	
		[7:0]	保留		BLEED_DIR	BLEED							
0x21	PFD_CTL	[15:8]	保留									0x0003	RW
		[7:0]	保留	REF_MUX_SEL			PFD_POLARITY	REFSEL					
0x22	FLO_CTL	[15:8]	保留								LO_DRV_LVL[1]	0x000A	RW
		[7:0]	LO_DRV_LVL[0]	保留			LO_DIV_A	VCO_SEL					
0x23	DGA_CTL	[15:8]	保留				RFSW_MUX	RFSW_SEL	RFDSA_SEL[3]		0x0000	RW	
		[7:0]	RFDSA_SEL[2:0]			IF_ATTEN							
0x30	BALUN_CTL	[15:8]	保留									0x00000	RW
		[7:0]	BAL_COUT			保留	BAL_CIN			保留			
0x31	MIXER_CTL	[15:8]	保留				MIXER_BIAS			MIXER_RDAC[3]	0x08EF	RW	
		[7:0]	MIXER_RDAC[2:0]			保留	MIXER_CDAC						
0x40	PFD_CTL2	[15:8]	保留									0x0010	RW
		[7:0]	保留	ABLDLY		CPCTRL			CLKEDGE				
0x42	DITH_CTL1	[15:8]	保留									0x000E	RW
		[7:0]	保留				DITH_EN	DITH_MAG	DITH_VAL				
0x43	DITH_CTL2	[15:8]	DITH_VAL[15:8]									0x0001	RW
		[7:0]	DITH_VAL[7:0]										

ADRF6620

寄存器地址描述

寄存器0x00; 复位: 0x00000; 名称: SOFT_RESET

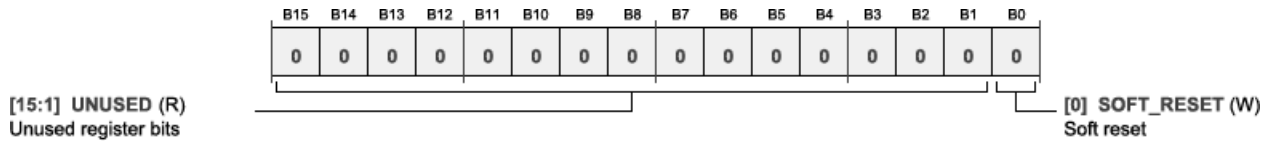


表22. SOFT_RESET的位功能描述

位	位名称	设置	说明	复位	访问类型
0	SOFT_RESET		软复位	0x0000	W

REGISTER 0x01, RESET: 0x8B7F, NAME: ENABLES

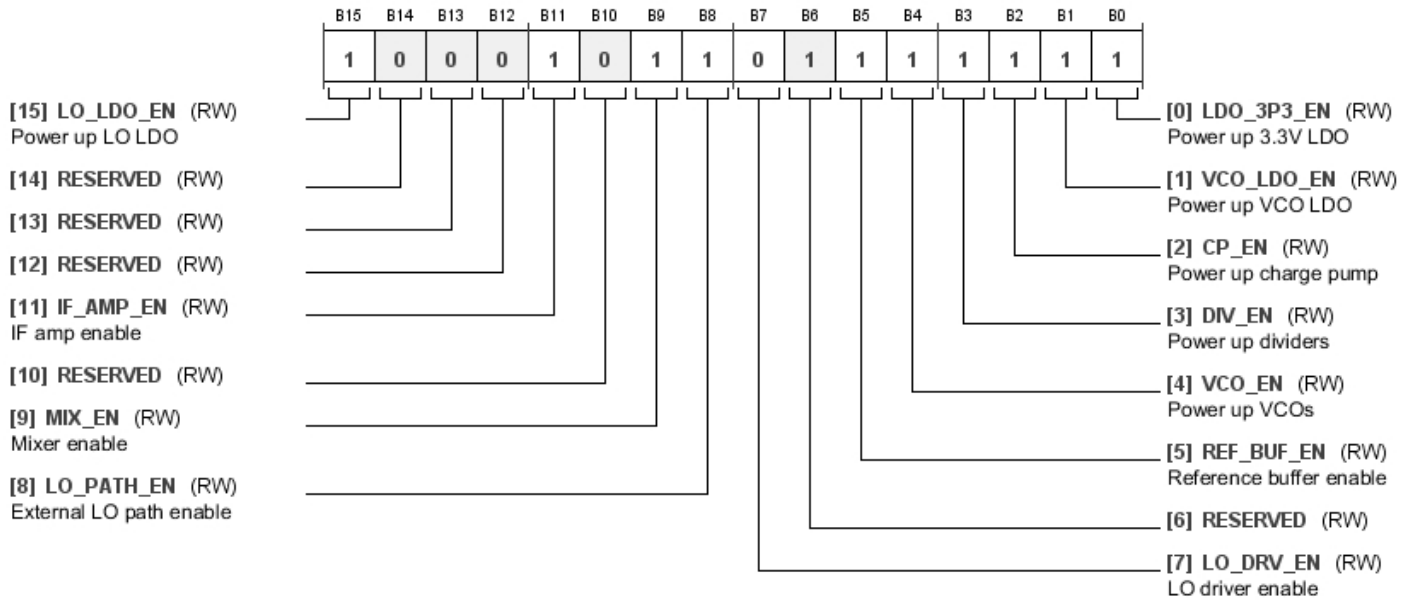


表23. Enables的位功能描述

位	位名称	设置	说明	复位	访问类型
15	LO_LDO_EN		LO LDO上电	0x1	RW
11	IF_AMP_EN		IF DGA使能	0x1	RW
9	MIX_EN		混频器使能	0x1	RW
8	LO_PATH_EN		外部LO路径使能	0x1	RW
7	LO_DRV_EN		LO驱动器使能	0x0	RW
5	REF_BUF_EN		参考缓冲器使能	0x1	RW
4	VCO_EN		VCO上电	0x1	RW
3	DIV_EN		分频器上电	0x1	RW
2	CP_EN		电荷泵上电	0x1	RW
1	VCO_LDO_EN		VCO LDO上电	0x1	RW
0	LDO_3P3_EN		3.3V LDO上电	0x1	RW

寄存器0x02; 复位: 0x0058; 名称: INT_DIV

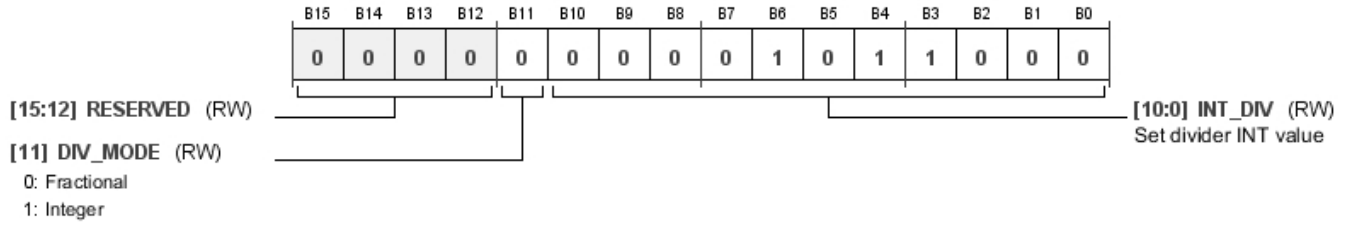


表24. INT_DIV的位功能描述

位	位名称	设置	说明	复位	访问类型
11	DIV_MODE	0 1	小数 整数	0x0	RW
[10:0]	INT_DIV		设置分频器INT值	0x58	RW

寄存器0x03; 复位: 0x0250; 名称: FRAC_DIV

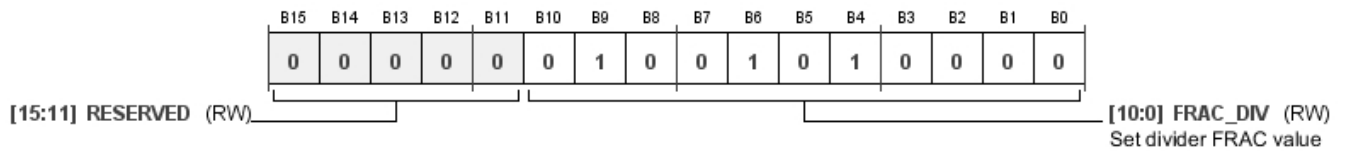


表25. FRAC_DIV的位功能描述

位	位名称	设置	说明	复位	访问类型
[10:0]	FRAC_DIV		设置分频器FRAC值	0x250	RW

寄存器0x04; 复位: 0x0600; 名称: MOD_DIV

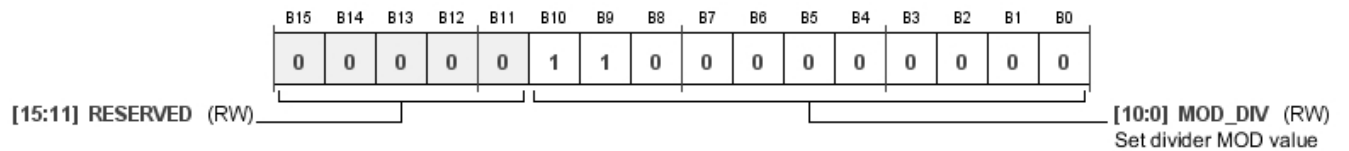


表26. MOD_DIV的位功能描述

位	位名称	设置	说明	复位	访问类型
[10:0]	MOD_DIV		设置分频器MOD值	0x600	RW

ADRF6620

寄存器0x20; 复位: 0x0C26; 名称: CP_CTL

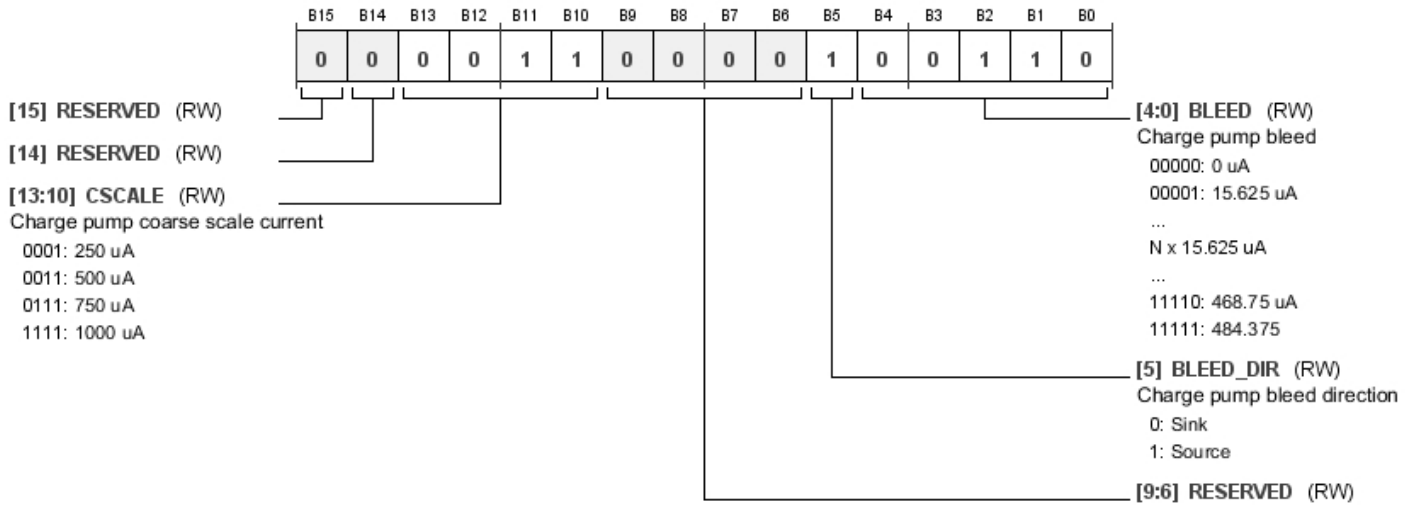


表27. CP_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[13:10]	CSCALE	0001 0011 0111 1111	电荷泵电流 250 μ A 500 μ A 750 μ A 1000 μ A	0x3	RW
5	BLEED_DIR	0 1	电荷泵渗漏方向 吸电流 源电流	0x1	RW
[4:0]	BLEED	00000 00001 11110 11111	电荷泵渗漏 0 μ A 15.625 μ A ... N \times 15.625 μ A ... 468.75 μ A 484.375 μ A	0x06	RW

寄存器0x21；复位：0x0003；名称：PFD_CTL

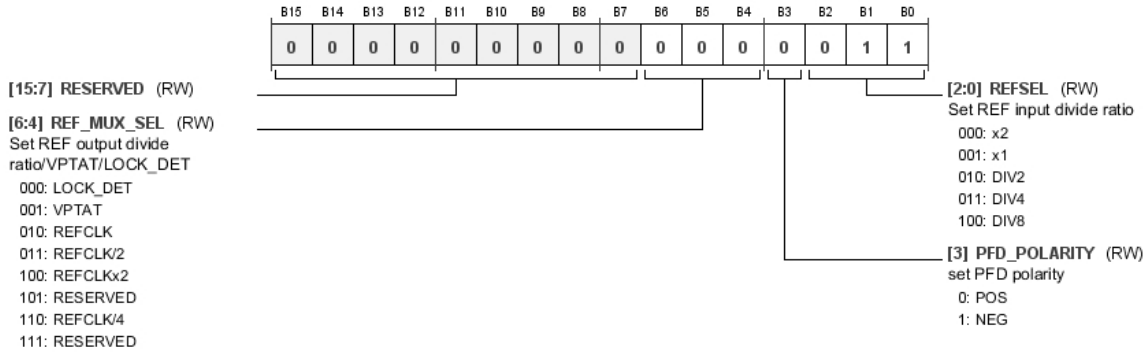


表28. PFD_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[6:4]	REF_MUX_SEL	000 001 010 011 100 101 110 111	设置REF输出分频比/VPTAT/LOCK_DET LOCK_DET VPTAT REFCLK REFCLK/2 REFCLK × 2 保留 REFCLK/4 保留	0x0	RW
3	PFD_POLARITY	0 1	设置PFD极性 正 K_v VCO 负 K_v VCO	0x0	RW
[2:0]	REFSEL	000 001 010 011 100	设置REF输入分频比 ×2 ×1 DIV2 DIV4 DIV8	0x3	RW

ADRF6620

寄存器0x22; 复位: 0x000A; 名称: FLO_CTL

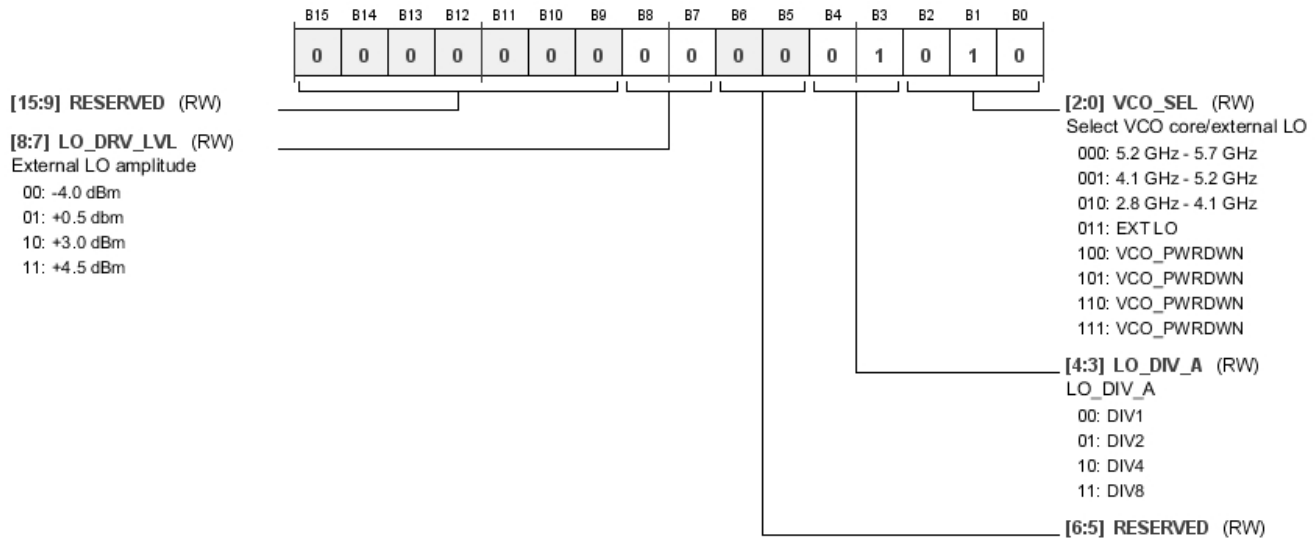


表29. FLO_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[8:7]	LO_DRV_LVL	00 01 10 11	LO幅度 -4 dBm 0.5 dBm +3 dBm +4.5 dBm	0x0	RW
[4:3]	LO_DIV_A	00 01 10 11	LO_DIV_A DIV1 DIV2 DIV4 DIV8	0x1	RW
[2:0]	VCO_SEL	000 001 010 011 100 101 110 111	选择VCO内核/外部LO 5.2 GHz至5.7 GHz 4.1 GHz至5.2 GHz 2.8 GHz至4.1 GHz EXT LO VCO_PWRDWN VCO_PWRDWN VCO_PWRDWN VCO_PWRDWN	0x2	RW

寄存器0x23; 复位: 0x0000; 名称: DGA_CTL

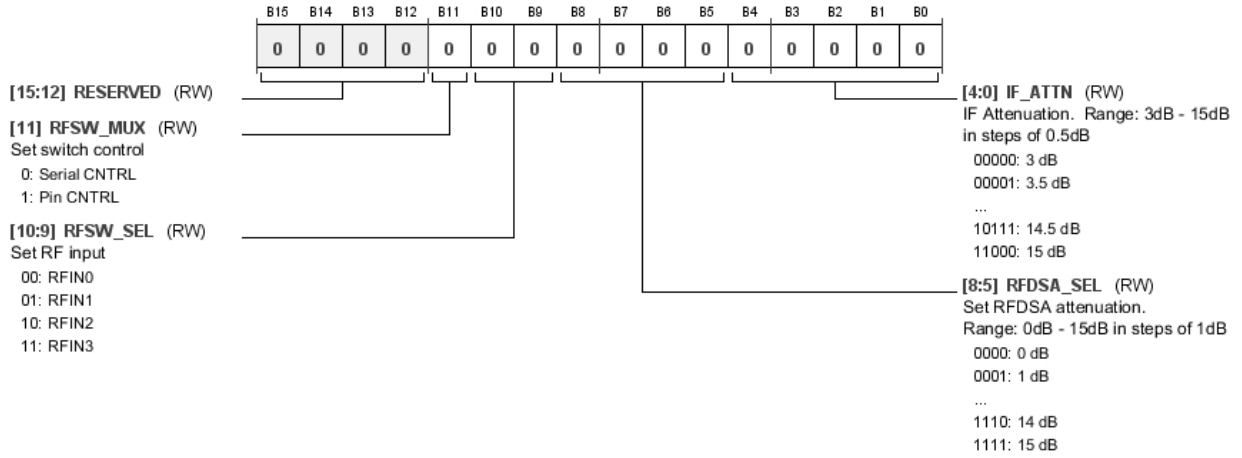


表30. DGA_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
11	RFSW_MUX	0 1	设置开关控制。 串行控制 引脚控制	0x0	RW
[10:9]	RFSW_SEL	00 01 10 11	设置RF输入。 RFIN0 RFIN1 RFIN2 RFIN3	0x0	RW
[8:5]	RFDSA_SEL	0000 0001 ... 1110 1111	设置RFDSA衰减。范围：0 dB至15 dB，步长1 dB。 0 dB 1 dB ... 14 dB 15 dB	0x0	RW
[4:0]	IF_ATTN	00000 00001 ... 10111 11000	IF衰减。范围：3 dB至15 dB，步长0.5 dB。 3 dB 3.5 dB ... 14.5 dB 15 dB	0x0	RW

ADRF6620

寄存器0x30; 复位: 0x00000; 名称: BALUN_CTL

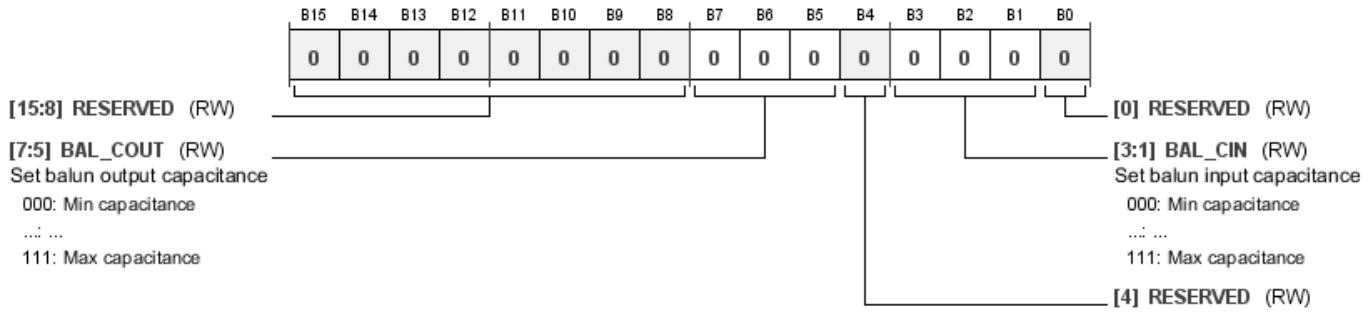


表31. BALUN_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[7:5]	BAL_COUT	000 ... 111	设置巴伦输出电容 最小电容 ... 最大电容	0x0	RW
[3:1]	BAL_CIN	000 ... 111	设置巴伦输入电容 最小电容 ... 最大电容	0x0	RW

寄存器0x31; 复位: 0x08EF; 名称: MIXER_CTL

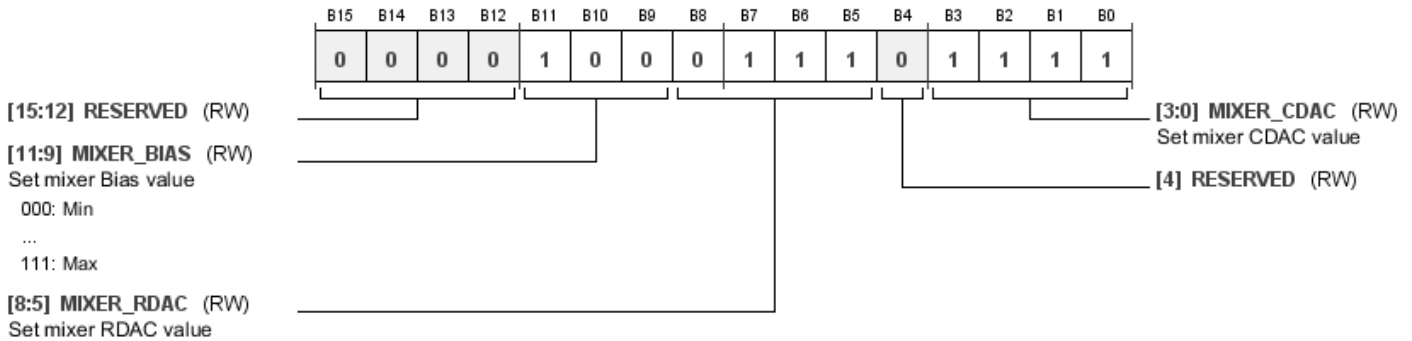


表32. MIXER_CTL的位功能描述

位	位名称	设置	说明	复位	访问类型
[11:9]	MIXER_BIAS	000 ... 111	设置混频器偏置值 最小值 ... 最大值	0x4	RW
[8:5]	MIXER_RDAC		设置混频器RDAC值	0x7	RW
[3:0]	MIXER_CDAC		设置混频器CDAC值	0xF	RW

寄存器0x40; 复位: 0x0010; 名称: PFD_CTL2

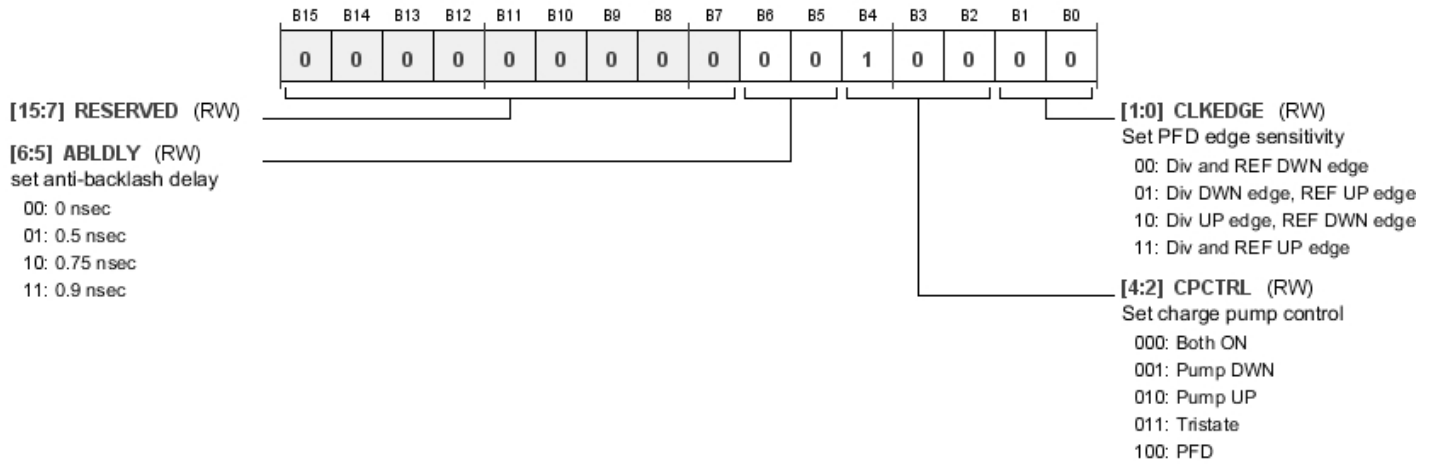


表33. PFD_CTL2的位功能描述

位	位名称	设置	说明	复位	访问类型
[6:5]	ABLDLY	00 01 10 11	设置反冲防回差延迟 0 ns 0.5 ns 0.75 ns 0.9 ns	0x0	RW
[4:2]	CPCTRL	000 001 010 011 100	设置电荷泵控制。 均使能 放电 充电 三态 PFD	0x4	RW
[1:0]	CLKEDGE	00 01 10 11	设置PFD边沿敏感性 Div和REF下降沿 Div下降沿, REF上升沿 Div上升沿, REF下降沿 Div和REF上升沿	0x0	RW

ADRF6620

寄存器0x42；复位：0x000E；名称：DITH_CTL1

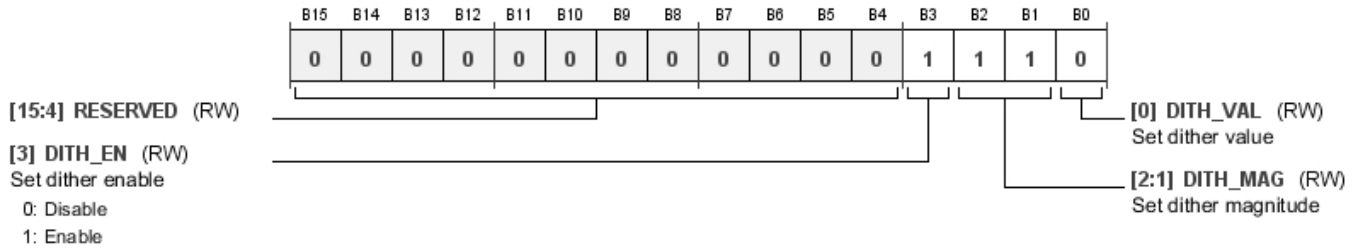


表34. DITH_CTL1的位功能描述

位	位名称	设置	说明	复位	访问类型
3	DITH_EN	0 1	设置扰动使能 禁用 使能	0x1	RW
[2:1]	DITH_MAG		设置扰动幅度	0x3	RW
0	DITH_VAL		设置扰动值	0x0	RW

寄存器0x43；复位：0x0001；名称：DITH_CTL2

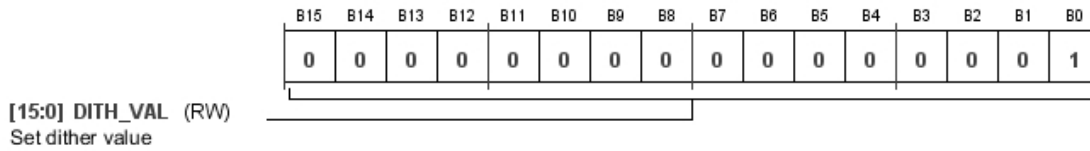
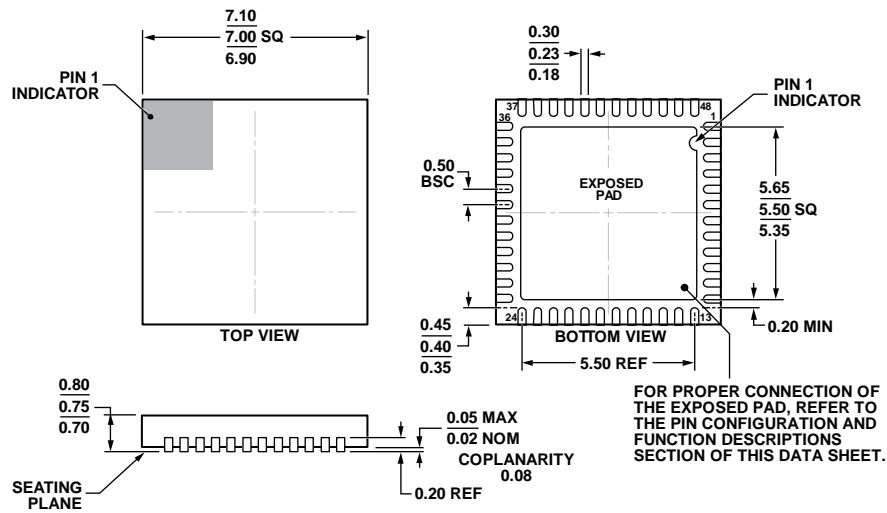


表35. DITH_CTL2的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:0]	DITH_VAL		设置扰动值	0x1	RW

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WKKD.

图102. 48引脚引线框芯片级封装[LFCSP_WQ]
7 mm x 7 mm超薄体
(CP-48-9)
图示尺寸单位: mm

06-06-2012-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADRF6620ACPZ-R7 ADRF6620-EVALZ	-40°C至+85°C	48引脚引线框芯片级封装[LFCSP_WQ] 评估板	CP-48-9

¹ Z = 符合RoHS标准的器件。

注释