

产品特性

输入频率范围: 500 MHz至8000 MHz
 小数N分频频率合成器和整数N分频频率合成器
 高达125 MHz的鉴频鉴相器(PFD)
 高分辨率38位模数
 独立的电荷泵电源(V_p)可在5 V系统中提供扩展的调谐电压
 可编程1/2/4/8/16/32/64分频输出
 差分和单端参考输入
 电源: $3.3\text{ V} \pm 5\%$
 逻辑兼容性: 1.8 V
 可编程双模预分频器(P): 4/5或8/9
 可编程的输出功率
 三线式串行接口
 模拟和数字锁定检测

应用

无线基础设施(W-CDMA、TD-SCDMA、WiMAX、GSM、PCS、DCS、DECT)
 点到点/点到多点微波链路
 测试设备
 无线局域网(LAN)、有线电视设备
 时钟产生

概述

ADF4155结合外部环路滤波器、外部压控振荡器(VCO)和外部参考频率使用时,可实现小数N分频或整数N分频锁相环(PLL)频率合成器。

ADF4155能够与外部VCO器件配合使用,工作频率高达8 GHz。高分辨率可编程模数允许精确频率合成,误差为0 Hz。VCO频率可进行1、2、4、8、16、32或64分频,因此用户可以产生低至7.8125 MHz的RF输出频率。

所有片内寄存器均通过简单的三线式接口进行控制。该器件采用 $3.3\text{ V} \pm 5\%$ 标称电源供电,不用时支持关断功能。

ADF4155采用24引脚4 mm x 4 mm LFCSP封装。

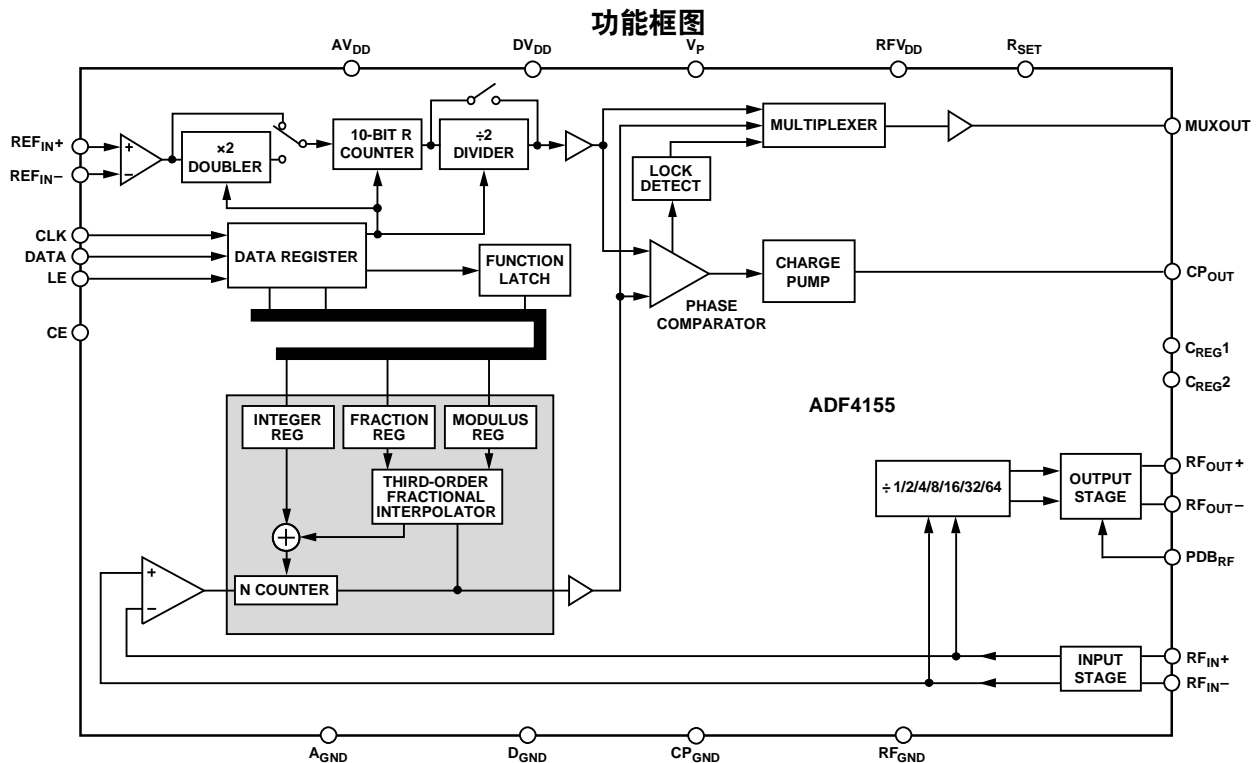


图1.

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

目录

产品特性	1	寄存器映射	15
应用	1	寄存器0	17
概述	1	寄存器1	18
功能框图	1	寄存器2	19
修订历史	2	寄存器3	19
技术规格	3	寄存器4	20
时序特性	5	寄存器5	22
绝对最大额定值	6	寄存器6	23
晶体管数量	6	寄存器7	24
ESD警告	6	寄存器8	25
引脚配置和功能描述	7	寄存器初始化序列	26
典型性能参数	9	RF频率合成器：一个成功范例	26
电路描述	12	参考倍频器和参考分频器	27
参考输入部分	12	减少周跳以缩短锁定时间	27
RF N分频器	12	杂散优化	27
鉴频鉴相器和电荷泵	13	杂散机制	27
MUXOUT和Lock检测	13	应用信息	28
输入移位寄存器	13	带RF缓冲器的本振	28
编程模式	13	外形尺寸	29
输出级	14	订购指南	29

修订历史

2014年4月—修订版0：初始版

技术规格

除非另有说明, $AV_{DD} = DV_{DD} = RFV_{DD} = 3.3 V \pm 5\%$, $AV_{DD} \leq V_P \leq 5.5 V$, $A_{GND} = D_{GND} = RF_{GND} = CP_{GND} = 0 V$, $T_A = T_{MIN}$ 至 T_{MAX} 。
工作温度范围为 $-40^\circ C$ 至 $+85^\circ C$ 。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
REF _{IN+} \REF _{IN-} 特性					
输入频率					如果 $f < 10$ MHz, 确保压摆率大于 $21 V/\mu s$
单端模式	10		250	MHz	
差模	10		600	MHz	
输入灵敏度					
单端模式	0.7		AV_{DD}	V p-p	REF _{IN+} 偏置 $AV_{DD}/2$; 交流耦合确保 $AV_{DD}/2$ 偏置
差模	0.4		1.8	V p-p	LVDS和LVPECL兼容, REF _{IN+} \REF _{IN-} 偏置 $2.1 V$; 交流耦合确保 $2.1 V$ 偏置
输入电容					
单端模式		6.9		pF	
差模		1.4		pF	
输入电流			± 60	μA	
鉴相器					
鉴相器频率			125	MHz	负泄漏开启
			100	MHz	脉冲泄漏开启
			125	MHz	负泄漏关闭、脉冲泄漏关闭
			75	MHz	CSR使能
RF _{IN+} \RF _{IN-} 特性					
RF输入频率	0.5		6.0	GHz	对于较低的频率, 确保压摆率大于 $400 V/\mu s$
			8.0	GHz	-10 dBm最小值/0 dBm最大值
预分频器输出频率			1.5	GHz	-5 dBm最小值/0 dBm最大值
电荷泵(CP)					
I _{CP} 吸/源电流					$R_{SET} = 4.7 k\Omega$
高值		5		mA	
低值		0.31		mA	
R _{SET} 范围	2.7	4.7	10	k Ω	
吸电流与源电流匹配		3		%	$0.5 V \leq V_{CP} \leq V_P - 0.5 V$
I _{CP} 与V _{CP}		3		%	$0.5 V \leq V_{CP} \leq V_P - 0.5 V$
I _{CP} 与温度		1.5		%	$V_{CP} = 2.5 V$
逻辑输入					
输入高电压V _{INH}	1.5			V	兼容1.8 V和3 V逻辑
输入低电压V _{INL}			0.6	V	
输入电流I _{INH} /I _{INL}			± 1	μA	
输入电容C _{IN}		3.0		pF	
逻辑输出					
输出高电压V _{OH}	$DV_{DD} - 0.4$			V	选择CMOS输出
输出高电流I _{OH}			500	μA	
输出低电压V _{OL}			0.4	V	I _{OL} = 500 μA
电源					
AV _{DD}	3.135		3.465	V	
DV _{DD}		AV _{DD}		V	电压必须等于AV _{DD}
RFV _{DD}		AV _{DD}		V	电压必须等于AV _{DD}
V _P	AV _{DD}		5.5	V	
I _P		4.1		mA	
输出分频器		6至36		mA	每个输出2分频消耗6 mA; 功耗与输出功率和分频器的关系详情参见表6

ADF4155

参数	最小值	典型值	最大值	单位	测试条件/注释
总 I_{DD} ($D I_{DD} + A I_{DD} + R F I_{DD}$)		38	47	mA	RF输出(寄存器6的位DB6)禁用, VCO输出3.6 GHz
低功耗休眠模式		105	131	mA	$R F_{OUT+}/R F_{OUT-} = 1800$ MHz, 2分频使能, 5 dBm
		10	22	μ A	利用CE关断硬件
		500	530	μ A	软件关断, 串行外设接口(SPI)上电后处于低功耗休眠模式
$R F_{OUT+}/R F_{OUT-}$ 特性					
最大输出频率			4000	MHz	
使用分频器时最小输出频率	7.8125			MHz	500 MHz基波输出, 选择64分频
谐波成分(二次)		-16		dBc	$R F_{OUT+}/R F_{OUT-} = 2.9$ GHz, 基频模式
		-26		dBc	$R F_{OUT+}/R F_{OUT-} = 2.9$ GHz, 2分频使能
谐波成分(三次)		-22		dBc	$R F_{OUT+}/R F_{OUT-} = 2.9$ GHz, 基频模式
		-7		dBc	$R F_{OUT+}/R F_{OUT-} = 2.9$ GHz, 2分频使能
最小RF输出功率 ¹		-4		dBm	可以3 dB步进编程
最大RF输出功率 ¹		5		dBm	
噪声特性					负泄漏使能
归一化相位噪底, PNSYNTH ²					PLL带宽 = 500 kHz
整数N分频模式		-223		dBc/Hz	FRAC = 0
小数N分频模式		-218		dBc/Hz	
归一化1/f噪声, $P N_{1/f}$ ³		-116		dBc/Hz	PLL带宽 = 500 kHz
带内相位噪声 ⁴		-98		dBc/Hz	10 kHz偏移、5.8 GHz载波
PFD引起的杂散信号		-110		dBc/Hz	5.8 GHz VCO输出, $f_{PFD} = 61.44$ MHz
频率		-112		dBc/Hz	5.8 GHz VCO输出, $f_{PFD} = 30.72$ MHz
使能RF静音时的信号电平		-40		dBm	

¹ 使用外部18 nH上拉电感将 $R F_{DD}$ 驱动到50 Ω 负载。

² 频率合成器相位噪底的估算方法如下: 测量VCO输出端的带内相位噪声, 然后减去 $20 \log N$ (其中N为N分频器的值)和 $10 \log f_{PFD}$ 。 $P N_{SYNTH} = P N_{TOT} - 10 \log f_{PFD} - 20 \log N$ 。

³ PLL相位噪声由1/f(闪烁)噪声加归一化PLL噪底组成。RF频率为 f_{RF} , 频率偏移为 f 时, 计算1/f噪声贡献的公式如下: $P N = P_{1/f} + 10 \log(10 \text{kHz}/f) + 20 \log(f_{RF}/1 \text{GHz})$ 。归一化相位噪底和闪烁噪声均在ADIsimPLL设计工具中进行了模拟。

⁴ $f_{REFIN} = 122.88$ MHz, $f_{PFD} = 61.44$ MHz, 频率偏移 = 10 kHz, VCO频率 = 5.8 GHz, $R F_{OUT} = 5.8$ GHz, $N = 94.40104167$, 环路带宽 = 60 kHz, $I_{CP} = 0.938$ mA, $I_{BLEED} = 60$ μ A。

时序特性

除非另有说明, $AV_{DD} = DV_{DD} = RFV_{DD} = 3.3\text{ V} \pm 5\%$, $AV_{DD} \leq V_P \leq 5.5\text{ V}$, $A_{GND} = D_{GND} = RF_{GND} = CP_{GND} = 0\text{ V}$, 采用1.8 V和3 V逻辑电平, $T_A = T_{MIN}$ 至 T_{MAX} 。

表2.

参数	限值	单位	说明
t_1	20	ns(最小值)	LE建立时间
t_2	10	ns(最小值)	DATA到CLK建立时间
t_3	10	ns(最小值)	DATA到CLK保持时间
t_4	25	ns(最小值)	CLK高电平持续时间
t_5	25	ns(最小值)	CLK低电平持续时间
t_6	10	ns(最小值)	CLK到LE建立时间
t_7	20	ns(最小值)	LE脉冲宽度

时序图

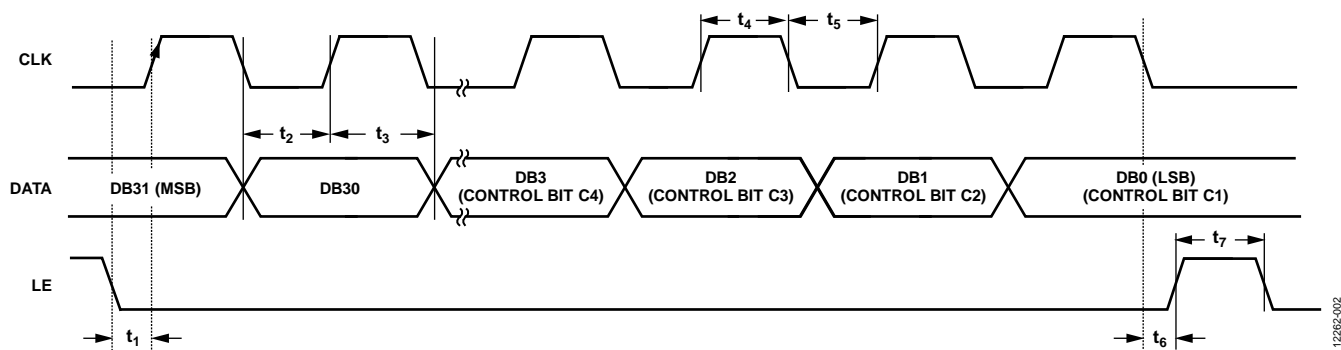


图2. 时序图

12262-002

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
AV_{DD} 至 GND^1	-0.3 V 至 +3.6 V
AV_{DD} 至 DV_{DD}	-0.3 V 至 +0.3 V
RFV_{DD} 至 AV_{DD}	-0.3 V 至 +0.3 V
RFV_{DD} 至 DV_{DD}	-0.3 V 至 +0.3 V
V_p 至 GND^1	-0.3 V 至 +5.8 V
V_p 至 AV_{DD}	-0.3 V 至 +2.5 V
数字I/O电压至 GND^1	-0.3 V 至 $DV_{DD} + 0.3\text{ V}$
模拟I/O电压至 GND^1	-0.3 V 至 $AV_{DD} + 0.3\text{ V}$
REF_{IN+} 、 REF_{IN-} 至 GND^1	-0.3 V 至 $V_{DD} + 0.3\text{ V}$
REF_{IN+} 至 REF_{IN-}	$\pm 2.1\text{ V}$
RF_{IN+} 至 RF_{IN-}	$\pm 700\text{ mV}$
工作温度范围	-40°C 至 $+85^\circ\text{C}$
存储温度范围	-65°C 至 $+125^\circ\text{C}$
最高结温	150°C
LFCSP θ_{JA} , 热阻(焊盘焊接到GND)	47.3°C/W
回流焊	
峰值温度	260°C
峰值温度时间	40秒
ESD	
充电器件模型	1250 V
人体模型	4000 V

¹ $GND = A_{GND} = D_{GND} = RF_{GND} = CP_{GND} = 0\text{ V}$ 。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

晶体管数量

ADF4155的晶体管数量为31,190 (CMOS)和1652(双极性)。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

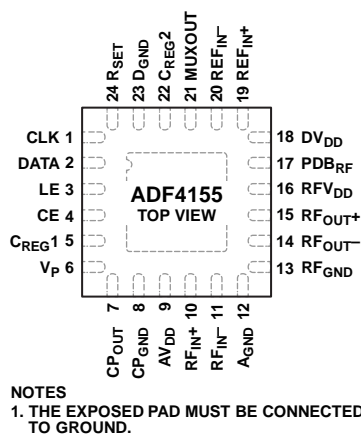


图3. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	说明
1	CLK	串行时钟输入。数据在CLK上升沿时逐个输入32位移位寄存器。此输入为高阻抗CMOS输入。
2	DATA	串行数据输入。串行数据以MSB优先方式加载，四个LSB用作控制位。此输入为高阻抗CMOS输入。
3	LE	加载使能输入。当LE变为高电平时，存储在移位寄存器中的数据载入四个LSB所选择的寄存器。此输入为高阻抗CMOS输入。
4	CE	芯片使能。此引脚的逻辑低电平将关断器件，并使电荷泵进入三态模式。根据关断位的状态不同，此引脚的逻辑高电平将使器件上电。
5	CREG1	内部低压差(LDO)稳压器的输出。数字电路的电源电压。标称电压为1.8V。要求通过100 nF电容去耦至地。
6	V _p	电荷泵电源。V _p 的值必须等于或大于最高5.5V的AV _{DD} 。将去耦电容连接到模拟接地层并尽可能靠近此引脚。
7	CP _{OUT}	电荷泵输出。使能时，此输出向外部环路滤波器提供±I _{CP} 。环路滤波器的输出连接到外部VCO的V _{TUNE} 引脚。
8	CP _{GND}	电荷泵地。此输出是CP _{OUT} 引脚的接地回路引脚。
9	AV _{DD}	模拟电源。此引脚的电压范围为3.135 V至3.465 V。将去耦电容连接到模拟接地层并尽可能靠近此引脚。AV _{DD} 的值必须与DV _{DD} 和RFV _{DD} 相同。
10	RF _{IN+}	RF输入。此小信号输入必须交流耦合到外部VCO。
11	RF _{IN-}	互补RF输入。通过小旁路电容(通常为100 pF)将此引脚去耦至接地层。若以差分方式驱动，应像RF _{IN+} 那样连接此输入。
12	AGND	模拟地。模拟电路的接地回路引脚。
13	RF _{GND}	RF地。此输出是RFV _{DD} 引脚的接地回路引脚。
14	RF _{OUT-}	互补RF输出。输出电平可编程。提供VCO基频输出或分频输出。
15	RF _{OUT+}	RF输出。输出电平可编程。提供VCO基频输出或分频输出。
16	RFV _{DD}	RF输出的模拟电源。此引脚的电压范围为3.135 V至3.465 V。将去耦电容连接到模拟接地层并尽可能靠近此引脚。RFV _{DD} 的值必须与AV _{DD} 和DV _{DD} 相同。
17	PDB _{RF}	RF关断。此引脚为逻辑低电平时，RF输出静音。此功能也是软件可控制的。
18	DV _{DD}	数字电源。此引脚的电压必须与AV _{DD} 和RFV _{DD} 相同。将去耦电容连接到接地层并尽可能靠近此引脚。
19	REF _{IN+}	参考输入。
20	REF _{IN-}	互补参考输入。
21	MUXOUT	多路复用器输出。此多路复用器输出允许从外部访问锁定检测、经过缩放的RF或参考频率。

ADF4155

引脚编号	引脚名称	说明
22	C _{REG2}	内部LDO的输出。数字电路的电源电压。标称电压为1.8 V。要求通过100 nF电容去耦至地。
23	D _{GND}	数字地。数字电路的接地回路引脚。
24	R _{SET}	在此引脚与地之间连一个电阻可设置电荷泵输出电流。R _{SET} 引脚的标称电压偏置为0.55 V。I _{CP_MAX} 和R _{SET} 的关系为： $I_{CP_MAX} = 23.5/R_{SET}$ 其中： R _{SET} = 4.7 kΩ。 I _{CP} = 5 mA。
	EPAD	裸露焊盘。裸露焊盘必须接地。

典型性能参数

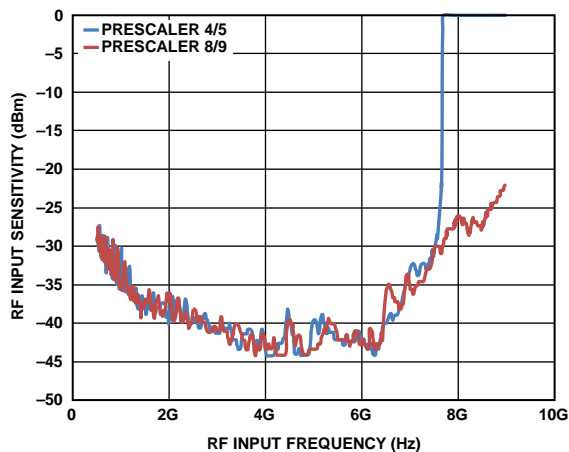


图4. RF输入灵敏度与RF输入频率的关系，RF输出禁用

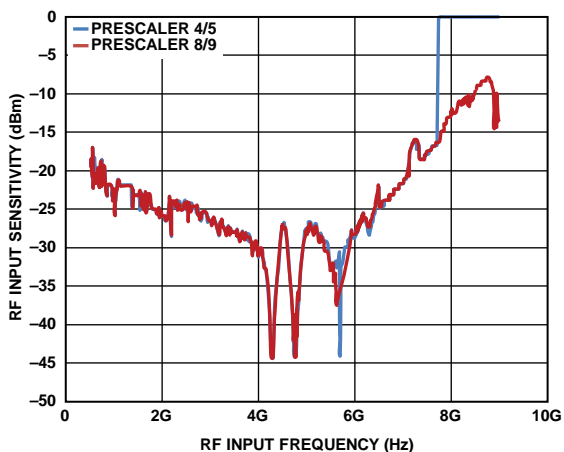


图5. RF输入灵敏度与RF输入频率的关系，RF输出使能，选择RF 2分频

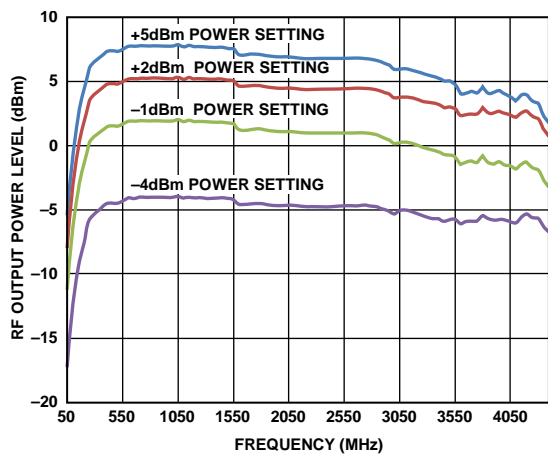


图6. 单端RF输出功率水平与频率和功率设置的关系，RF输出引脚通过18 nH电感上拉至3.3 V

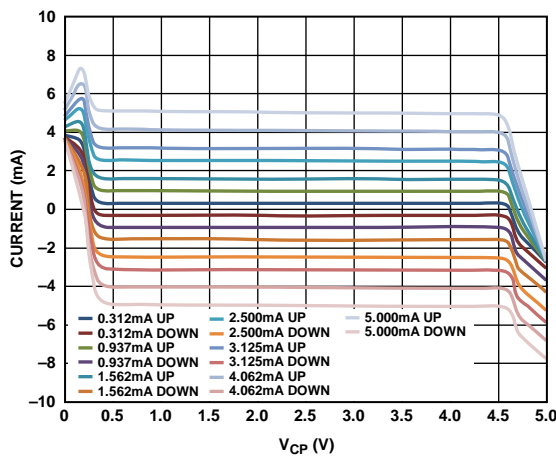


图7. 电荷泵输出特性， $V_p = 5 V$ ，选择的 I_{CP} 值介于0.312 mA(最小值)和5.000 mA(最大值)之间， $R_{SET} = 4.7 k\Omega$

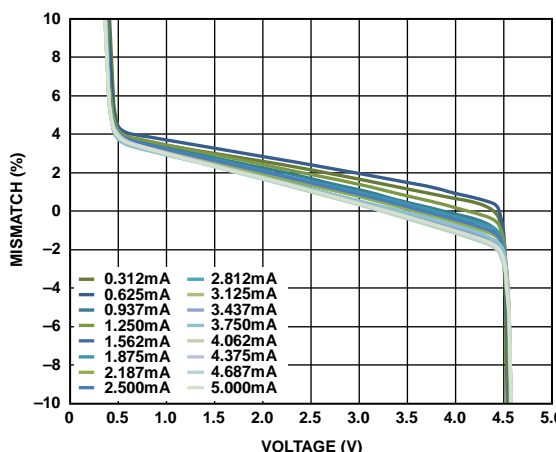


图8. 电荷泵输出失配与 V_{CP} 的关系，选择的 I_{CP} 值介于0.312 mA(最小值)和5.000 mA(最大值)之间， $R_{SET} = 4.7 k\Omega$

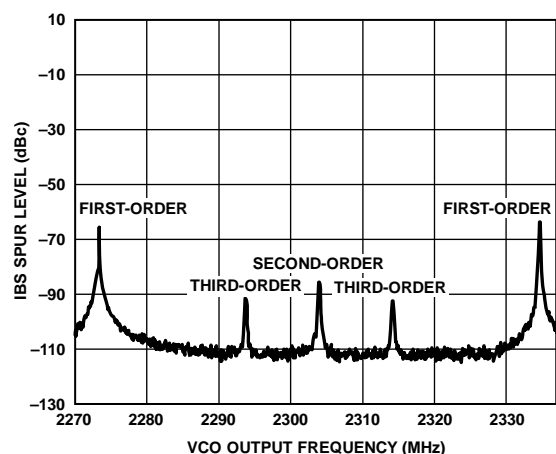


图9. 整数边界杂散(IBS)杂散水平与VCO输出频率的关系， $f_{PFD} = 61.44 MHz$ ，扫描分辨率 = 80 kHz

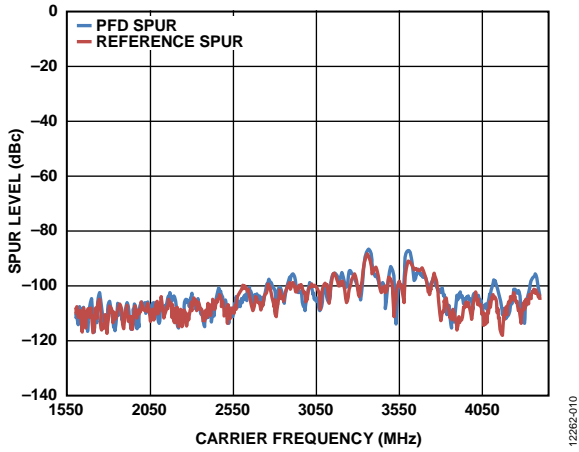


图10. PFD和参考杂散水平与载波频率的关系, 在VCO输出端测量,
 $f_{PFD} = 61.44 \text{ MHz}$, $REF_{IN+}/REF_{IN-} = 122.88 \text{ MHz}$

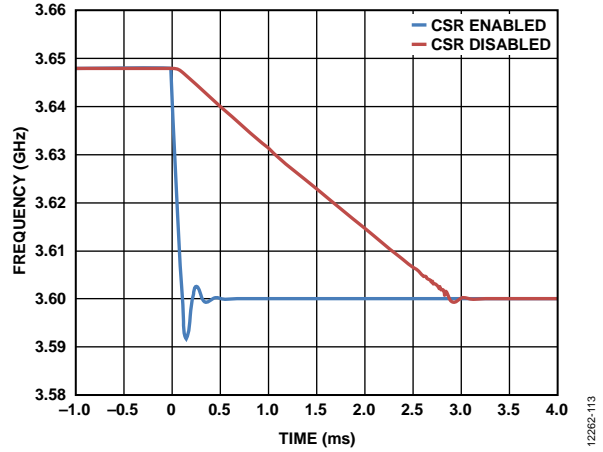


图13. 减少周跳(CSR)开/关情况下的PLL锁定时间, 在50 MHz范围内锁定
 (从3.648 GHz跳至3.6 GHz), $f_{PFD} = 61.44 \text{ MHz}$,
 环路带宽 = 15 kHz, $I_{CP} = 0.31 \text{ mA}$

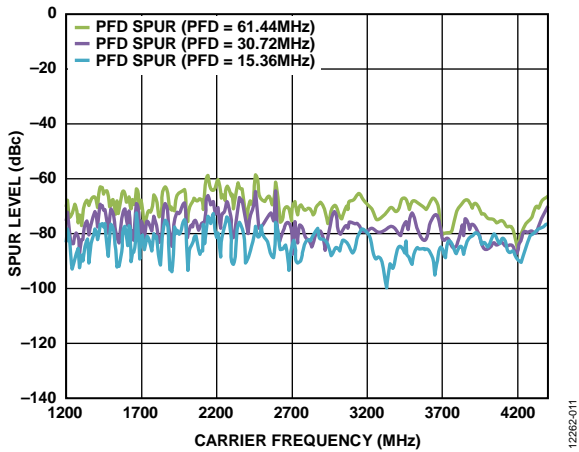


图11. PFD杂散水平与载波频率的关系, 在RF输出端测量,
 $REF_{IN+}/REF_{IN-} = 122.88 \text{ MHz}$ (注意PFD频率较低时PFD杂散的改善)

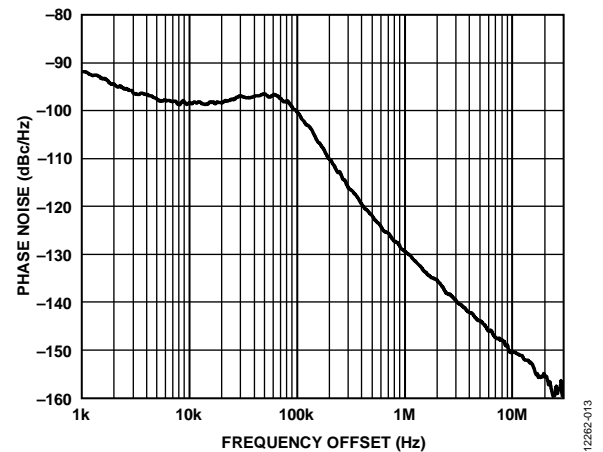


图14. 整数N分频相位噪声和杂散性能, $VCO_{OUT} = 5775.36 \text{ MHz}$,
 $REF_{IN+}/REF_{IN-} = 122.88 \text{ MHz}$, $f_{PFD} = 61.44 \text{ MHz}$, 环路滤波器带宽= 60 kHz

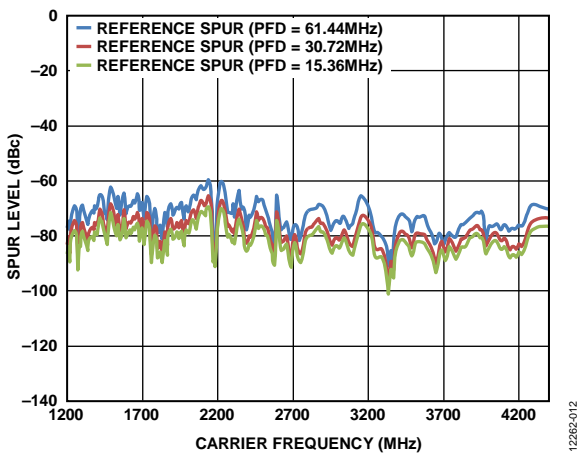


图12. 参考杂散水平与载波频率的关系, 在RF输出端测量,
 $REF_{IN+}/REF_{IN-} = 122.88 \text{ MHz}$ (注意PFD频率较低时PFD杂散的改善)

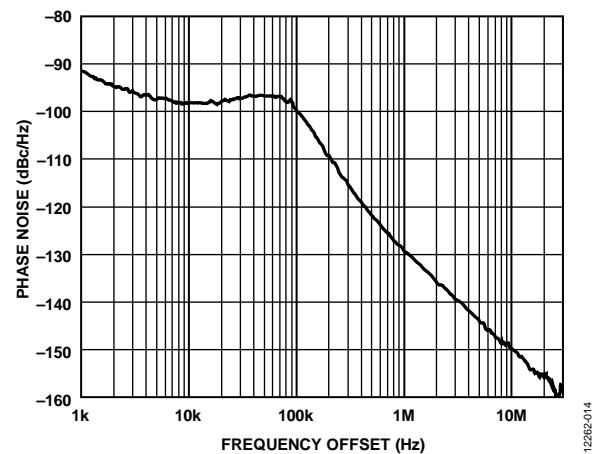


图15. 小数N分频相位噪声和杂散性能, $VCO_{OUT} = 5800 \text{ MHz}$,
 $REF_{IN+}/REF_{IN-} = 122.88 \text{ MHz}$, $f_{PFD} = 61.44 \text{ MHz}$, 环路滤波器带宽= 60 kHz

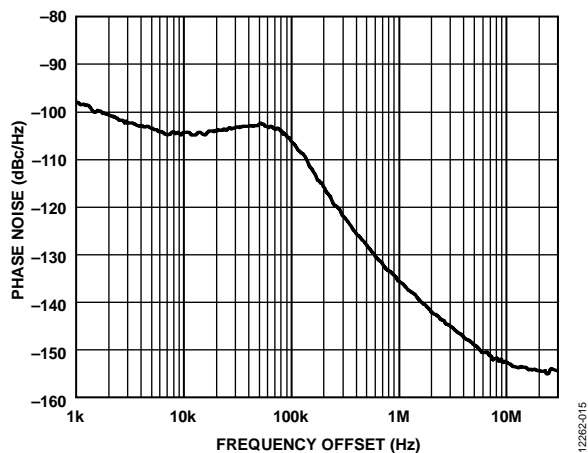


图16. RF输出相位噪声, RF分频器 = 2使能, 小数N分频,
 $RF_{OUT+} = 2900$ MHz, $REF_{IN+}/REF_{IN-} = 122.88$ MHz,
 $f_{PFD} = 61.44$ MHz, 环路滤波器带宽 = 60 kHz

12282-015

电路描述

参考输入部分

参考输入级如图17所示。参考输入支持单端和差分信号，具体选择由参考输入模式位(寄存器6的位DB30)决定。要将差分信号用于参考输入，此位必须置1。这种情况下，开关SW1和SW2断开，开关SW3和SW4闭合，驱动晶体管差分对的电流源开启。差分信号经缓冲后馈入CMOS转换器的发射极耦合逻辑(ECL)。参考使用单端信号时，寄存器6的位DB30必须置0。这种情况下，开关SW1和SW2闭合，开关SW3和SW4断开，驱动晶体管差分对的电流源关闭。

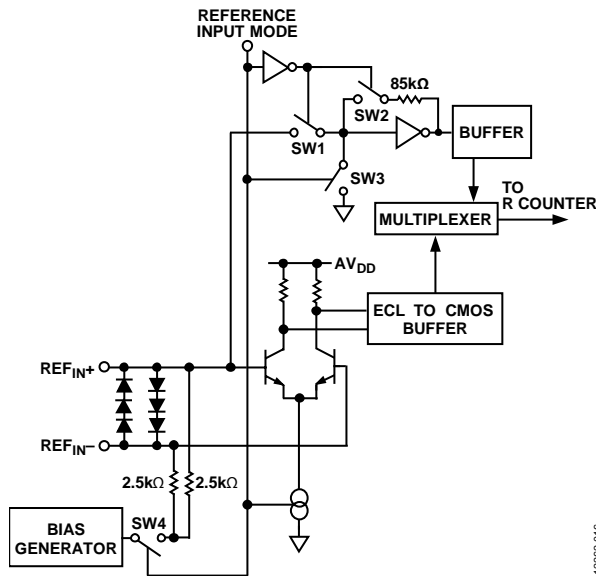


图17. 参考输入级

RF N分频器

RF N分频器可以在PLL反馈路径中提供一个分频比。分频比由构成此分频器的INT、FRAC1、MOD1、FRAC2和MOD2的值决定(见图18)。注意，MOD1是一个不可编程的固定值，等于 2^{24} 。

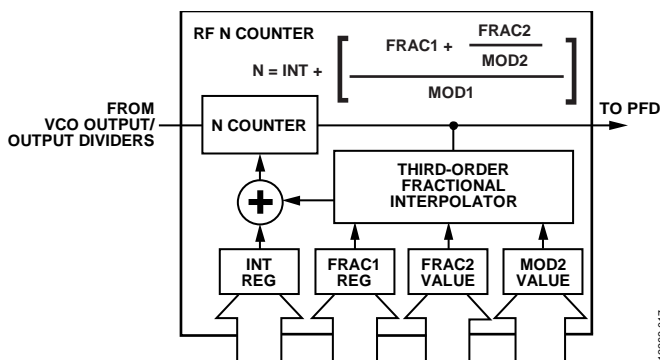


图18. RF N分频器

INT、FRAC、MOD与R分频器的关系

利用INT、FRAC1、FRAC2、MOD1和MOD2的值以及R分频器，可以产生间隔为PFD频率(f_{PFD})的分数输出频率。详情见“RF频率合成器：一个成功范例”部分。

RF VCO频率(RF_{OUT})计算如下：

$$RF_{OUT} = f_{PFD} \times N \quad (1)$$

其中：

RF_{OUT} 是外部电压控制振荡器(VCO)的输出频率(不使用输出分频器)。

f_{PFD} 是鉴频鉴相器频率。

N 是所需的反馈分频器 N 的值。

f_{PFD} 的计算公式如下：

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

其中：

REF_{IN} 是参考输入频率。

D 是 REF_{IN} 倍频器位；

R 是二进制10位可编程参考分频器的预设分频比(1至1023)。

T 是 REF_{IN} 二分频位(0或1)。

N 包括：

$$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \quad (3)$$

其中：

INT 是16位整数位(4/5预分频器为23至32,767，8/9预分频器为75至65,535)。

$FRAC1$ 是主要模数的分子(1至16,777,215)。

$FRAC2$ 是14位辅助模数的分子(1至16,383)。

$MOD2$ 是可编程的14位辅助小数模数(2至16,383)。

$MOD1$ 是24位主要模数，具有固定值224 (16,777,216)。

因此，频率分辨率非常精密，无残余频率误差。要应用此公式，请执行以下步骤：

1. 将 RF_{OUT} 除以 f_{PFD} 以计算 N 。
2. 该数值的整数部分即为 INT 。
3. 从完整的 N 值中减去此值。
4. 余数乘以 2^{24} 。
5. 该数值的整数部分即为 $FRAC1$ 。
6. 根据通道间隔(f_{CHSP})计算 $MOD2$ ：

$$MOD2 = f_{PFD} / GCD(f_{PFD}, f_{CHSP}) \quad (4)$$

其中：

f_{CHSP} 是所需通道间隔频率。

$GCD(f_{PFD}, f_{CHSP})$ 是PFD频率和通道间隔频率的最大公约数。

7. $FRAC2$ 的计算公式如下：

$$FRAC2 = [(N - INT) \times 2^{24} - FRAC1] \times MOD2 \quad (5)$$

整数N分频模式

如果FRAC1和FRAC2均等于0，则频率合成器以整数N分频模式工作。

R分频器

利用10位R分频器，可以细分输入参考频率(REF_{IN})以产生PFD的参考时钟。分频比可以为1至1023。

鉴频鉴相器和电荷泵

鉴频鉴相器(PFD)接受R分频器和N分频器的输入，产生与二者的相位和频率差成比例的输出。图19是该鉴频鉴相器的原理示意图。PFD内置一个固定延迟元件，用来设置防反冲脉冲宽度(ABP)，其典型值为2.6 ns。此脉冲可确保PFD传递函数中无死区，从而提供一致的参考杂散水平。

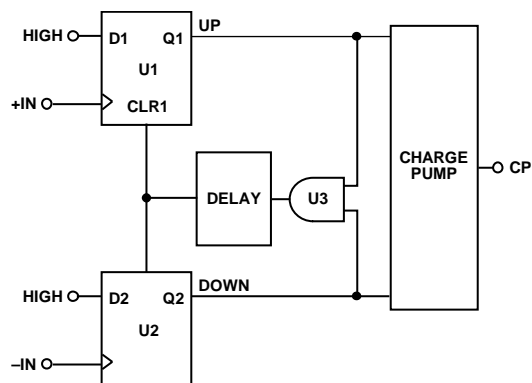


图19. PFD简化原理图

MUXOUT和LOCK检测

ADF4155的输出多路复用器允许用户访问芯片的各种内部点。MUXOUT状态由寄存器4中的M3、M2和M1位控制(详情见图28)。图20以框图形式显示了MUXOUT部分。

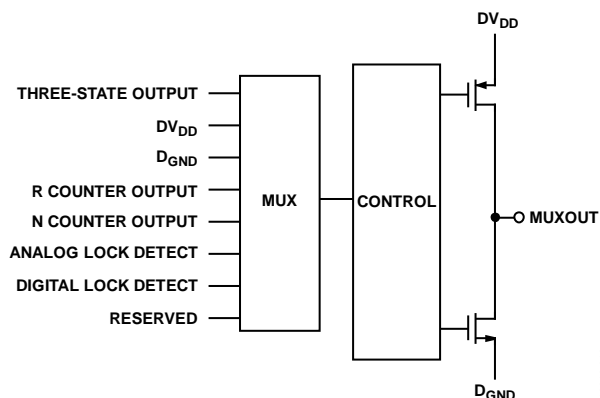


图20. MUXOUT原理图

输入移位寄存器

数据在CLK的每个上升沿时逐个输入32位移位寄存器。数据输入方式是MSB优先。在LE上升沿时，数据从移位寄存器传输至9个锁存器之一。

目标锁存器由移位寄存器中的4个控制位(C4、C3、C2和C1)的状态决定。这些控制位是4个LSB：DB3、DB2、DB1和DB0，如图2所示。表5为这些位的真值表。图22和图23总结了这些锁存器的编程方式。

表5. C4、C3、C2和C1控制位的真值表

控制位				寄存器
C4	C3	C2	C1	
0	0	0	0	寄存器0 (R0)
0	0	0	1	寄存器1 (R1)
0	0	1	0	寄存器2 (R2)
0	0	1	1	寄存器3 (R3)
0	1	0	0	寄存器4 (R4)
0	1	0	1	寄存器5 (R5)
0	1	1	0	寄存器6 (R6)
0	1	1	1	寄存器7 (R7)
1	0	0	0	寄存器8 (R8)

编程模式

表5和图24至图32显示了如何设置ADF4155的编程模式。

ADF4155的下列设置采用双缓冲：小数值(FRAC1/FRAC2)、模数值(MOD2)、参考倍频器、参考2分频(RDIV2)、R分频器值、电荷泵电流设置和R分频器选择。这意味着，该器件要使用任何双缓冲设置的新值之前，必须发生两个事件。首先，通过写入适当的寄存器，将新值锁存至器件中。其次，必须对R0执行一次新的写操作。

例如，更新模数值时，必须写入寄存器0 (R0)，以确保模数值正确加载。

ADF4155

输出级

为使杂散性能最佳，建议使用VCO输出，禁用RF输出(寄存器6的位DB6)级。

RF输出级用于需要低频工作的情况，其中一个输出分频器使能。

ADF4155的RF_{OUT+}和RF_{OUT-}引脚连接到由RF分频器模块的输出信号驱动的李NPN差分对的集电极，如图21所示。

为了优化输出功率要求，用户可以通过寄存器6 (R6)中的位[DB5:DB4]设置该差分对的尾电流。可以设置四种电流水平。它们分别提供-4 dBm、-1 dBm、+2 dBm和+5 dBm的输出功率水平。

功耗与输出功率和RF分频器的关系参见表6。

输出级通过内部50 Ω电阻连接RFV_{DD}。交流耦合到50 Ω负载之前，需要将一个外部上拉电感连接到RFV_{DD}。此外，也可以将输出合并在一个1 + 1:1变压器或180°微带耦合器中。如果各路输出分别使用，未使用的互补输出必须用与已使用输出相似的电路端接。

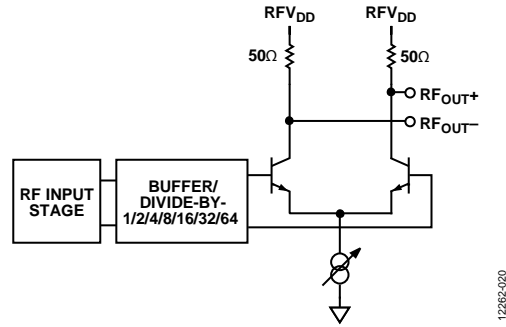


图21. 输出级

ADF4155的另一个特性是可以切断RF输出级的电源电流，直到数字锁定检测电路检测到器件实现锁定为止。该关断特性可通过寄存器6 (R6)中的“静音至检测到锁定”(MTLD)位(DB11)使能。

表6. 总I_{DD} (DI_{DD} + AI_{DD} + RFI_{DD})

分频比	RFout 关闭	RF _{OUT} = -4 dBm	RF _{OUT} = -1 dBm	RF _{OUT} = +2 dBm	RF _{OUT} = +5 dBm
1	37.4	55.3	67.5	83.9	96.0
2	46.5	64.4	76.6	93.0	105.1
4	53.1	70.9	83.2	99.6	111.7
8	61.3	79.1	91.4	107.8	119.8
16	66.3	84.2	96.4	112.8	124.9
32	70.4	88.2	100.5	116.9	129.0
64	72.9	90.8	103.0	119.4	131.5

寄存器映射

REGISTER 0

RESERVED											PRESCALER	16-BIT INTEGER VALUE (INT)														CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	PR1	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	C4(0)	C3(0)	C2(0)	C1(0)

REGISTER 1

RESERVED				24-BIT MAIN FRACTIONAL VALUE (FRAC1)																DBR ¹				CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(0)	C1(1)

REGISTER 2

RESERVED											14-BIT AUXILIARY MODULUS VALUE (MOD2)														DBR ¹				CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	M14	M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C4(0)	C3(0)	C2(1)	C1(0)	

REGISTER 3

RESERVED											14-BIT AUXILIARY FRACTIONAL WORD (FRAC2)														DBR ¹				CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	1	0	0	0	0	0	0	0	0	0	0	0	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C4(0)	C3(0)	C2(1)	C1(1)	

REGISTER 4

RESERVED	DITHER 2	MUXOUT			REFERENCE DOUBLER DBR ¹	RDIV2	10-BIT R COUNTER										DBR ¹	DOUBLE BUFFER	CHARGE PUMP CURRENT SETTING	DBR ¹	RESERVED	MUXOUT LEVEL SELECT	PHASE DETECTOR POLARITY	PD	CHARGE PUMP THREE-STATE	COUNTER RESET	CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	L2	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	0	LVS	U4	U3	U2	U1	C4(0)	C3(1)	C2(0)	C1(0)

REGISTER 5

RESERVED				PULSE BLEED DELAY	PB	RESERVED	ABP SELECT	RESERVED			CSR	RESERVED														CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	PB2	PB1	PB	0	ABP	0	0	0	CSR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(0)	C3(1)	C2(0)	C1(1)

¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图22. 寄存器汇总(寄存器0至寄存器5)

12282-021

ADF4155

REGISTER 6

RESERVED	REF _{IN} MODE	RESERVED						DBB ¹ RF DIVIDER SELECT				BLEED CURRENT SETTINGS								NEG BLEED	MTLD	RESERVED				RF OUTPUT ENABLE		OUTPUT POWER		CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
1	RM1	1	0	0	1	1	1	D12	D11	D10	BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	BLE	D8	0	0	0	0	D3	D2	D1	C4(0)	C3(1)	C2(1)	C1(0)		

REGISTER 7

RESERVED																								LOCK DETECT CYCLE COUNT	LOL MODE	RESERVED	LD MODE	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LD5	LD4	LOL	1	1	LD1	C4(0)	C3(1)	C2(1)	C1(1)

REGISTER 8

RESERVED			DITHER 1	PHASE WORD																								CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	L1	1	1	1	0	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	C4(1)	C3(0)	C2(0)	C1(0)

¹ DBB = DOUBLE BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0 IF, AND ONLY IF, DB14 OF REGISTER 4 IS HIGH.

图23. 寄存器汇总(寄存器6至寄存器8)

12285-002

寄存器0

寄存器0控制位

当位[C4:C1]设置为0000时，可对寄存器0进行编程。图24显示对此寄存器进行编程的输入数据格式。

16位整数值(INT)

这16位[DB19:DB4]设置INT值，它决定反馈分频系数的整数部分，用于公式3(参见“INT、FRAC、MOD与R分频器的关系”部分)。对于4/5预分频器，可以设置从23到32,767的所有整数值。对于8/9预分频器，最小整数值为75，最大整数值为65,535。

预分频器(P)值

双模预分频器(P/P + 1)与INT、FRAC1、MOD1、FRAC2、MOD2值一起，决定从VCO输出到PFD输入的整体分频比。

预分频器工作在CML电平，从VCO输出获得时钟，并针对分频器进行分频。它基于同步4/5内核。当预分频器设置为4/5时，容许的最大RF频率为6 GHz。因此，当ADF4155的工作频率超过6 GHz时，预分频器应设置为8/9。预分频器限制INT的值，如下所示：

- P = 4/5, $INT_{MIN} = 23$, $INT_{MAX} = 32,767$
- P = 8/9, $INT_{MIN} = 75$, $INT_{MAX} = 65,535$

在ADF4155中，寄存器0中的PR1位(DB20)设置预分频器值。

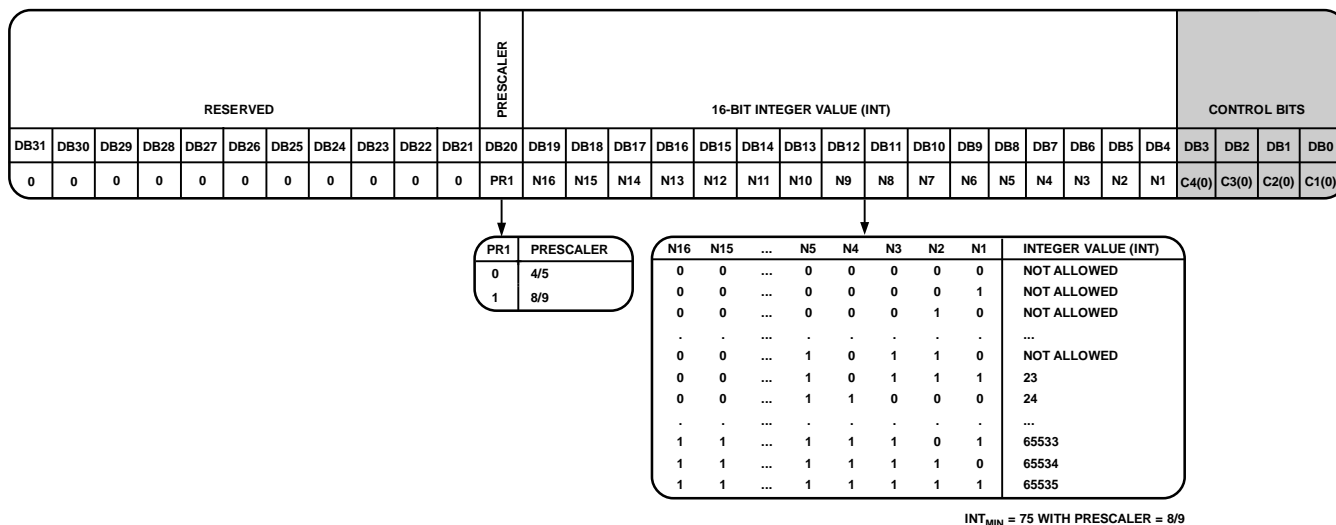


图24. 寄存器0 (R0)

12282-023

ADF4155

寄存器1

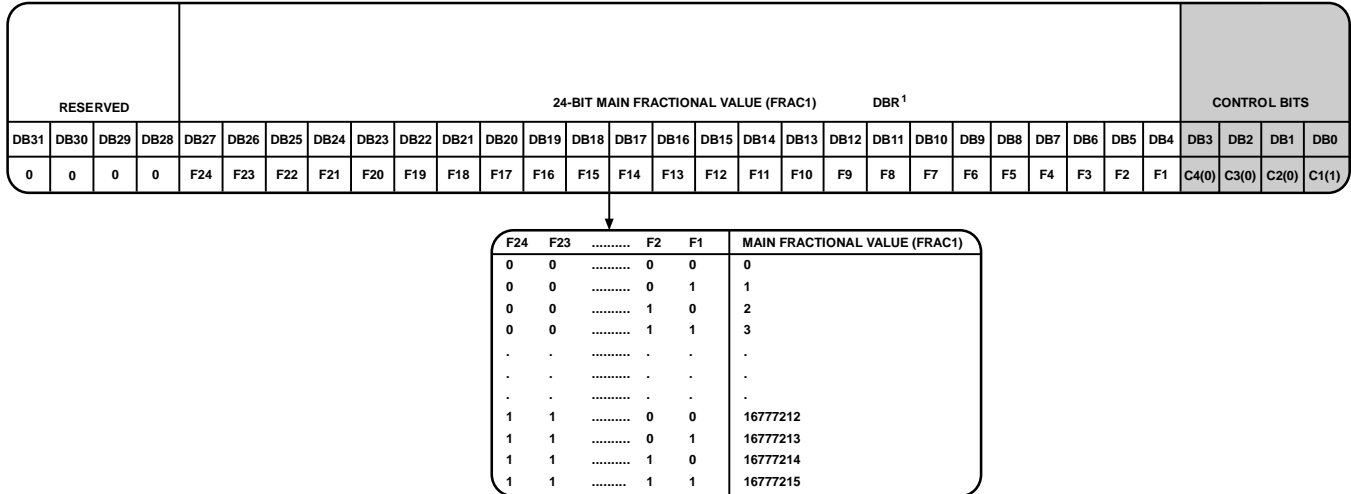
寄存器1控制位

当位[C4:C1]设置为0001时，可对寄存器1进行编程。图25显示对此寄存器进行编程的输入数据格式。

24位主要小数值(FRAC1)

24位FRAC1([DB27:DB4])与FRAC2和MOD2一起设置Σ-Δ调制器小数输入的分子。它与INT值一起指定频率合成器所锁定的新频率通道，参见“RF频率合成器：一个成功范例”部分。FRAC1值的范围是从0到(2²⁴ - 1)，所涵盖的通道频率范围与PFD参考频率相同。

制器小数输入的分子。它与INT值一起指定频率合成器所锁定的新频率通道，参见“RF频率合成器：一个成功范例”部分。FRAC1值的范围是从0到(2²⁴ - 1)，所涵盖的通道频率范围与PFD参考频率相同。



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图25. 寄存器1 (R1)

12282-024

寄存器2

寄存器2控制位

当位[C4:C1]设置为0010时，可对寄存器2进行编程。图26显示对此寄存器进行编程的输入数据格式。

14位辅助模数值(MOD2)

14位MOD2([DB17:DB4])设置辅助小数模数，它用于校正主要小数模数引起的残余误差。详情见“RF频率合成器：一个成功范例”部分。

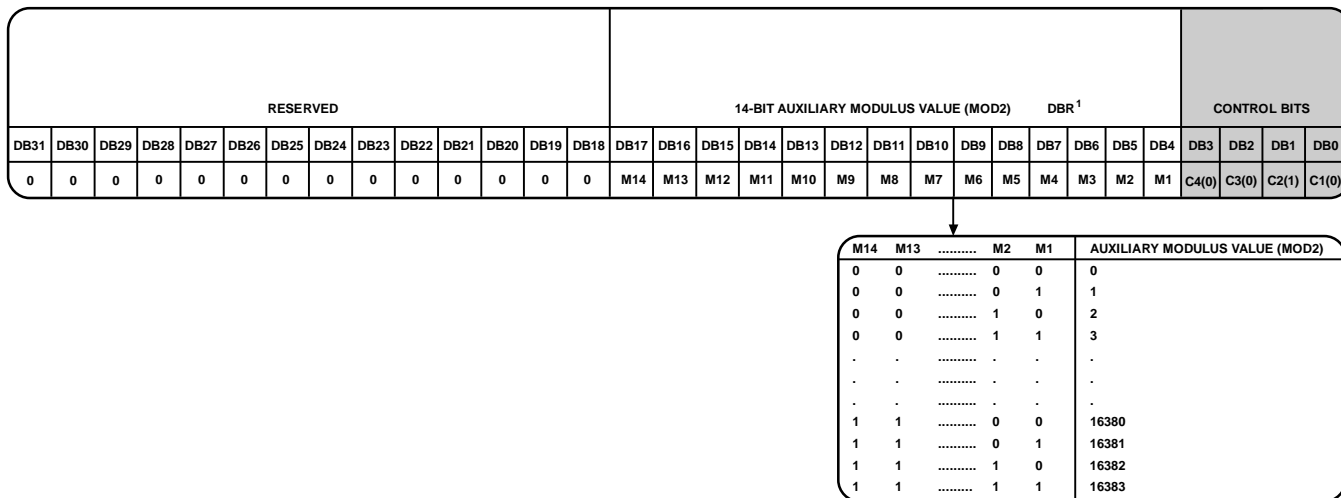
寄存器3

寄存器3控制位

当位[C4:C1]设置为0011时，可对寄存器3进行编程。图27显示对此寄存器进行编程的输入数据格式。

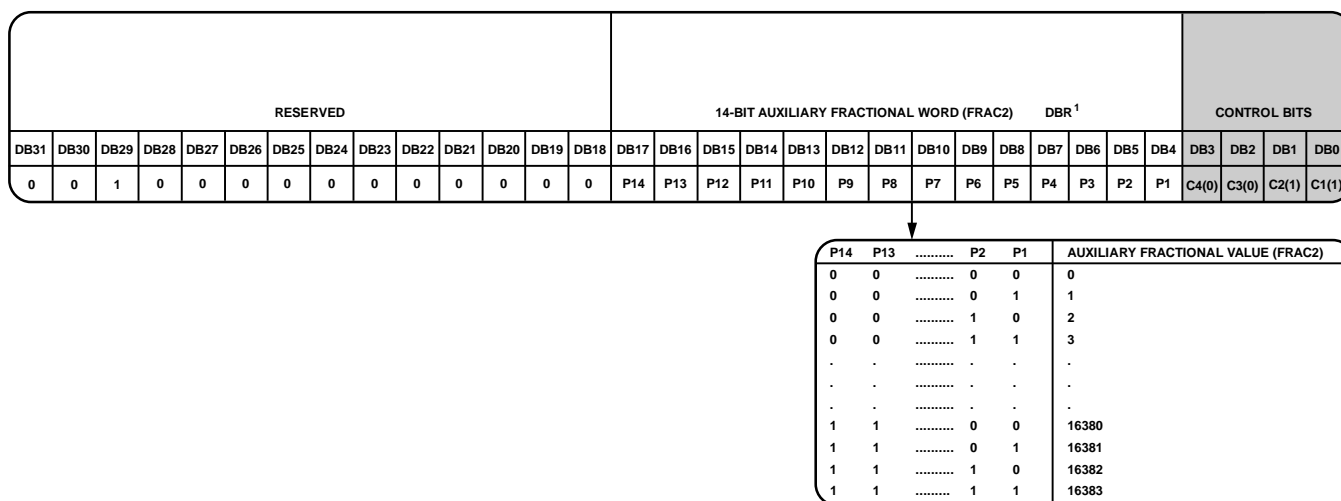
14位辅助小数值(FRAC2)

辅助小数数值位[DB17:DB4]控制辅助小数字。该字必须小于寄存器2中设置的MOD2值。



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图26. 寄存器2 (R2)



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图27. 寄存器3 (R3)

ADF4155

寄存器4

寄存器4控制位

当位[C4:C1]设置为0100时，可对寄存器4进行编程。图28显示对此寄存器进行编程的输入数据格式。

扰动2

通过将寄存器4(见图28)的位DB30设置为1，可以激活对ADF4155主要 Σ - Δ 调制器的第二级的扰动。利用该特性，用户可以优化设计以改善杂散性能。

扰动会将使小数量化噪声随机化，使其类似于白色噪声，而不是杂散噪声。因此，器件的杂散性能便得以改善。对于PLL闭环带宽较宽的快速锁定应用，一般使用这种工作模式。

MUXOUT

片内多路复用器由位[DB29:DB27]控制(见图28)。

参考倍频器

当DB26设置为0时，倍频器禁用，参考频率输入(REF_{IN})信号直接馈入10位R分频器。当此位设置为1时， REF_{IN} 加倍，然后馈入10位R分频器。倍频器禁用时， REF_{IN} 下降沿是小数频率合成器的PFD输入端的有效沿。倍频器使能时， REF_{IN} 的上升沿和下降沿均是PFD输入端的有效沿。

当使能倍频器和扰动时，带内相位噪声性能对 REF_{IN} 占空比敏感。对于45%至55%范围之外的 REF_{IN} 占空比，相位噪声性能下降可能多达5 dB。扰动关闭且倍频器禁用时，相位噪声性能对 REF_{IN} 占空比不敏感。

参考倍频器使能时，最大容许 REF_{IN} 频率为80 MHz。

RDIV2

当DB25位设置为1时，R分频器与PFD之间将插入一个二分频触发器，以扩大 REF_{IN} 最大输入速率。此功能使得PFD输入端信号占空比为50%，这对于减少周跳是必要的。

10位R分频器

利用10位R分频器，可以细分输入参考频率(REF_{IN})以产生PFD的参考时钟。分频比可以为1至1023。

双缓冲器

DB14位使能或禁用对寄存器6中的位[DB23:DB21]的双缓冲。编程模式部分说明了双缓冲的工作原理。

电荷泵电流设置

位[DB13:DB10]用于设置电荷泵的电流。应将电荷泵电流设置为环路滤波器的设计电流(见图28)。

MUXOUT电平选择

DB8位设置MUXOUT输出所用的电平。此位置0时，MUXOUT使用1.8 V的值作为高电平。此位置1时，MUXOUT输出的高电平等于 DV_{DD} ($3.3 V \pm 5\%$)。

鉴相器极性

DB7位设置鉴相器极性。如果使用无源环路滤波器或同相有源环路滤波器，应将此位设置为1。如果使用反相有源滤波器，应将其设置为0。

关断(PD)模式

DB6提供可编程关断模式。当此位设置为1时，执行关断程序。当此位设置为0时，频率合成器恢复正常工作。在软件关断模式下，器件会保留寄存器中的所有信息。只有当切断电源时，寄存器内容才会丢失。

注意：软件关断存在问题，在解决之前，应利用以下写操作序列作为临时解决方案。

要执行关断，请执行以下步骤：

1. 写入寄存器0 (R0)，设置 $INT = 65535$ (0xFFFF)且预分频器 = 1。
2. 写入寄存器4 (R4)的 $DB6 = 1$ 。

要退出关断，请执行以下步骤：

1. 写入寄存器0 (R0)，设置正确的INT值和预分频器值。
2. 写入寄存器4 (R4)的 $DB6 = 0$ 。

激活关断时，将发生下列事件：

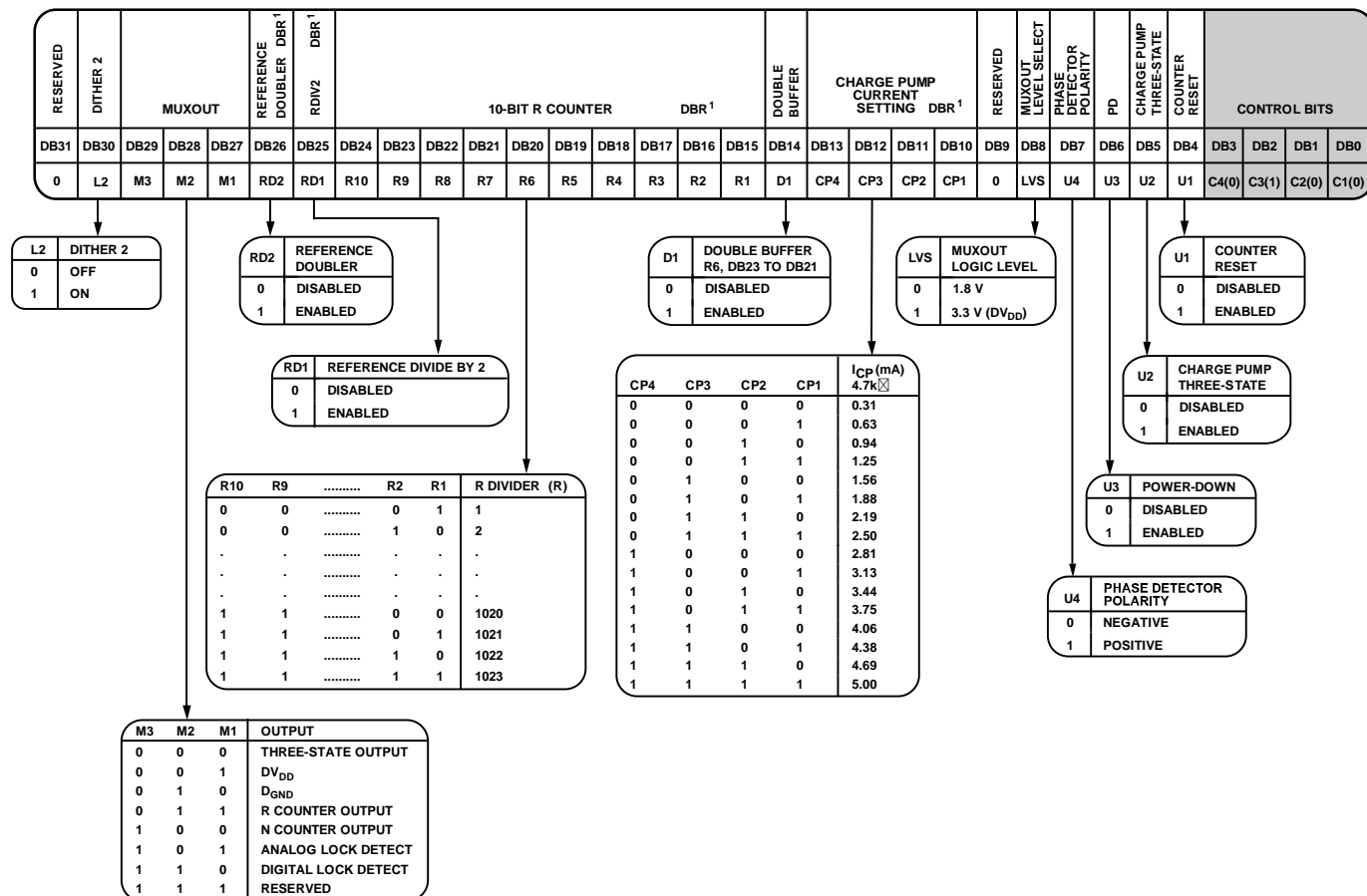
- 强制频率合成器的分频器进入加载状态。
- 强制电荷泵进入三态模式。
- 数字锁定检测电路复位。
- 禁用RF输出缓冲器。
- 输入寄存器保持活动状态，能够加载并锁存数据。

电荷泵(CP)三态

DB5位设置为1时，电荷泵进入三态模式。正常工作时，此位设为0。

分频器复位

DB4位是ADF4155的R分频器和N分频器的复位位。当此位设为1时，RF频率合成器N分频器和R分频器处于复位状态。正常工作时，此位应设置为0。



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

图28. 寄存器4 (R4)

ADF4155

寄存器5

寄存器5控制位

当位[C4:C1]设置为0101时，可对寄存器5进行编程。图29显示对此寄存器进行编程的输入数据格式。

脉冲泄漏延迟

某些情况下，相比于恒定负泄漏，脉冲泄漏(DB25)可改善杂散性能。若使能脉冲泄漏，应禁用恒定负泄漏位(寄存器6的位DB12)。脉冲泄漏会向电荷泵下降脉冲增加一个可编程延迟，从而在环路中引入一个相位偏移，提高电荷泵的线性度。它相对于恒定负泄漏的优势是，在一个PFD周期内，可编程延迟仅开启很短的时间，而恒定负泄漏则持续开启。该脉冲泄漏可改善杂散性能。与恒定负泄漏相比，脉冲泄漏的缺点是泄漏量设置的分辨率较低。

脉冲泄漏延迟通过位[DB27:DB26]编程。

建议选择这样的脉冲泄漏延迟，使得相位偏移小于90度。

$$PHASE_OFFSET_{DEGREES} = (PULSED_BLEED_DELAY \times f_{PFD}) \times 360$$

将位DB25设置为1，可以激活ADF4155的脉冲泄漏特性(见图29)。

防反冲脉冲(ABP)选择

DB23设置为0即可选择脉冲泄漏延迟，位[DB27:DB26]设置防反冲脉冲宽度。推荐默认设置是脉冲泄漏延迟(2.6 ns)。无论使能脉冲泄漏与否，脉冲泄漏延迟位(DB27:DB26)总是代表防反冲脉冲宽度。

DB23设置为1时，使用1.6 ns的窄防反冲脉冲宽度。对于80 MHz以上的PFD频率，建议使用1.6 ns脉冲宽度。

周跳减少(CSR)

DB19设置为1将使能周跳减少功能。使用周跳减少功能时，PFD的信号必须有50%的占空比。电荷泵电流设置也必须设置为最小值。更多信息参见“减少周跳以缩短锁定时间”部分。

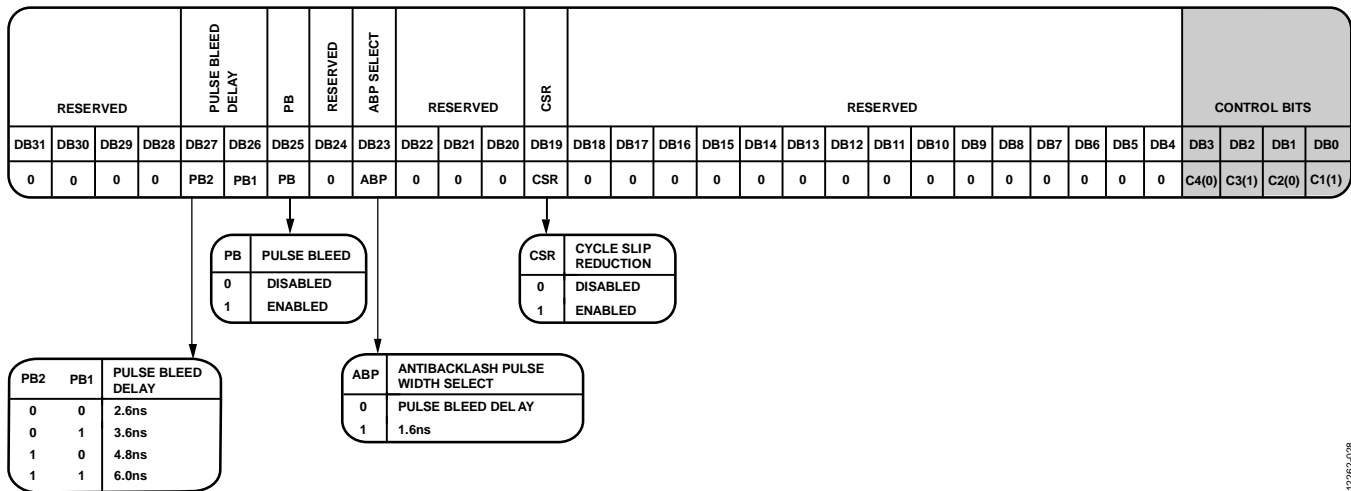


图29. 寄存器5 (R5)

12262-02B

寄存器6

寄存器6控制位

当位[C4:C1]设置为0110时，可对寄存器6进行编程。图30显示对此寄存器进行编程的输入数据格式。

参考输入(REF_{IN})模式

DB30设置为1时，参考输入使用差分模式。此位设置为0时，参考输入使用单端模式。

RF分频器选择

位[DB23:DB21]选择RF输出分频器的值(见图30)。

泄漏电流设置

使能恒定负泄漏(DB12)是推荐的默认模式，可以优化PLL带内相位噪声和杂散性能。恒定负泄漏的工作方式是向电荷泵增加恒定偏移，从而改善其线性度。

位[DB20:DB13]和DB12用于控制恒定负泄漏电流。

位[DB20:DB13]以3.75 μA的分辨率设置此泄漏电流的值。泄漏电流的合适值(I_{BLEED})取决于设置的电荷泵电流(I_{CP})和N分频器值，必须通过下式计算：

$$I_{BLEED} = 6 \times I_{CP}/N$$

必须通过泄漏电流设置位选择最接近的较高值。

恒定负泄漏电流

位DB12设置为1时，使能恒定负泄漏电流。设置为0时，禁用恒定负泄漏电流。

静音至检测到锁定(MTLD)

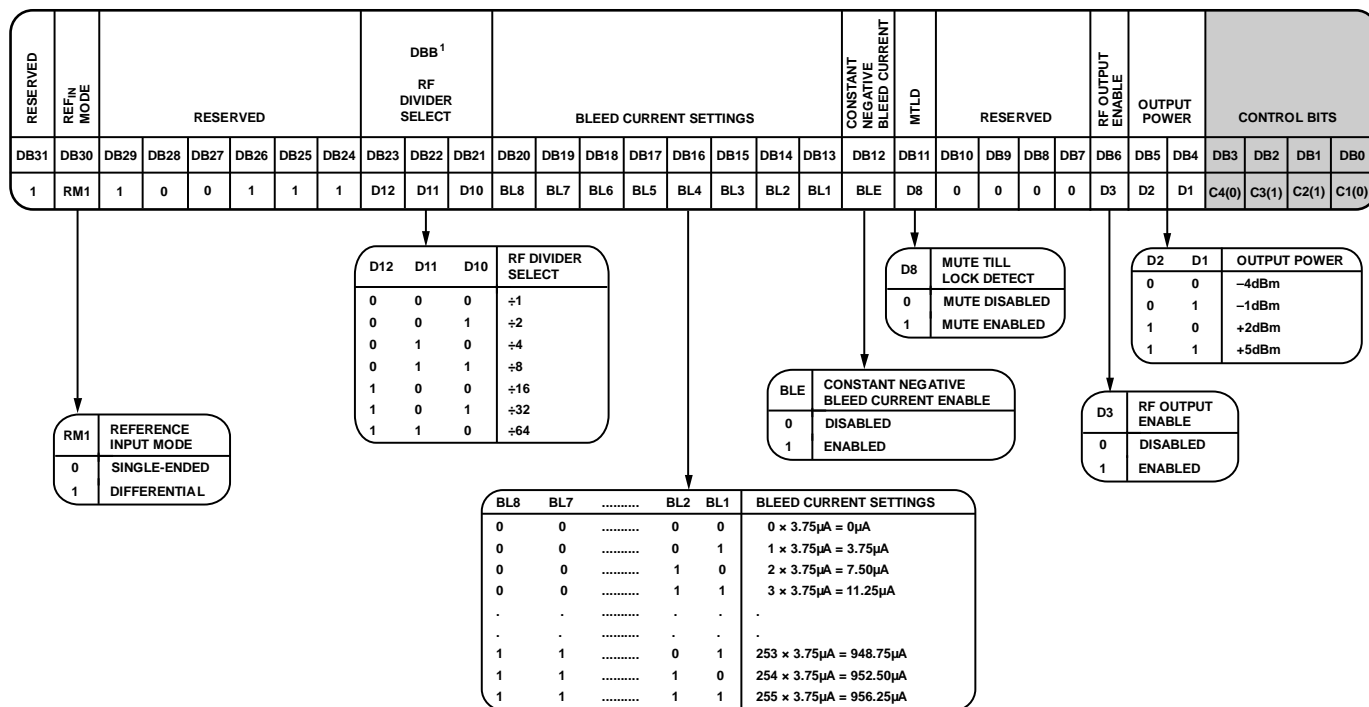
如果DB11设置为1，则切断RF输出级的电源电流，直到数字锁定检测电路检测到器件实现锁定为止。

RF输出使能

DB6位使能或禁用RF输出。DB6设置为0时，RF输出禁用。DB6设置为1时，RF输出使能。

输出功率

位[DB5:DB4]设置RF输出功率水平的值(参见图30)。



¹DBB = DOUBLE BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0 IF, AND ONLY IF, DB14 OF REGISTER 4 IS HIGH.

图30. 寄存器6 (R6)

ADF4155

寄存器7

寄存器7控制位

当位[C4:C1]设置为0111时，可对寄存器7进行编程。图31显示对此寄存器进行编程的输入数据格式。

锁定检测周期计数

位[DB9:DB8]设置锁定检测电路连续计数多少周期后才将锁定检测置位高电平。更多信息参见图31。

失锁(LOL)模式

对于参考(REF_{IN+}/REF_{IN-})可能被去掉的固定频率应用，例如定时应用，应使用此功能。标准锁定检测电路假设参考始终存在。此功能通过将DB7设置为1来使能。

锁定检测(LD)模式

DB4设置为0时，各参考周期为5 ns长，这适合小数N分频模式。DB4设置为1时，各参考周期为2.4 ns长，这更适合整数N分频模式。出现适当数量的参考周期(由锁定检测计数位[DB9:DB8]设置)后，锁定检测信号变为高电平。

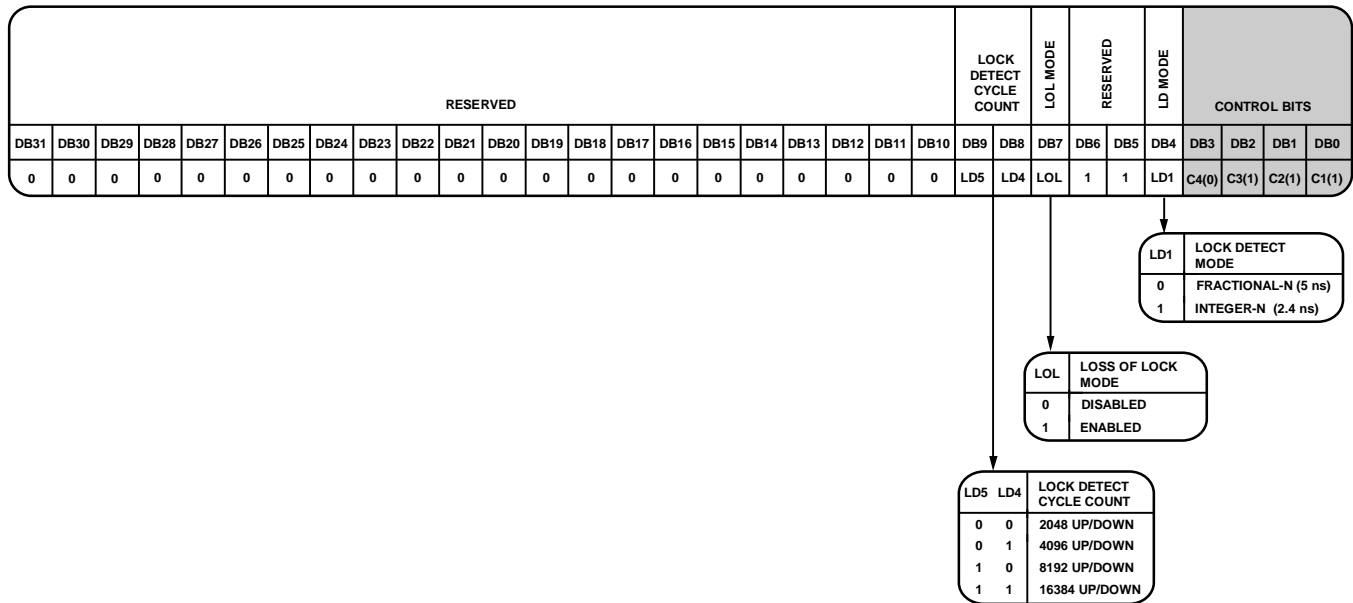


图31. 寄存器7 (R7)

12262-030

寄存器8

寄存器8控制位

当位[C4:C1]设置为1000时，可对寄存器8进行编程。图32显示对此寄存器进行编程的输入数据格式。

扰动1

将寄存器8的DB28置1，即可激活对ADF4155固定累加器(FRAC1/MOD1)的扰动。这是用以优化杂散性能默认设置。

相位字

位[DB27:DB4]设置相位字，它也是 Σ - Δ 调制器的种子字。为使杂散性能最佳，建议将此值设为非零质数。推荐的默认值是0x01EA5FE18。

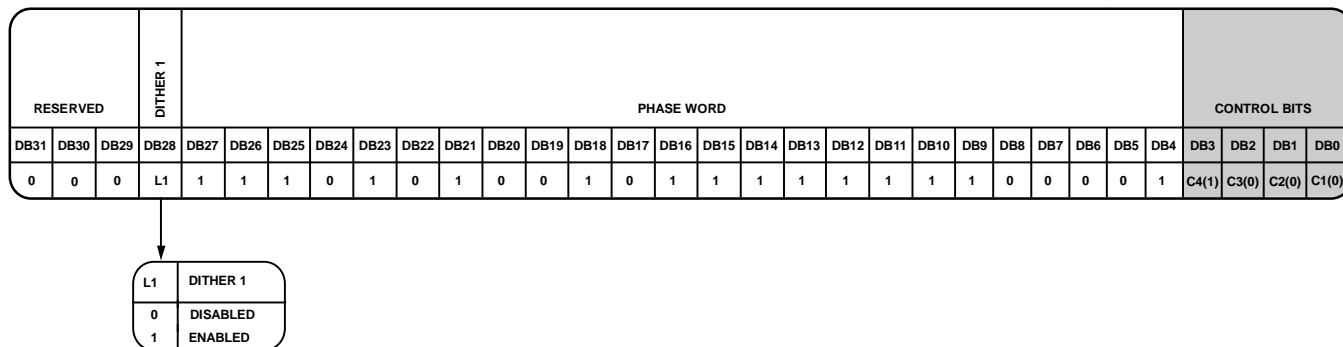


图32. 寄存器8 (R8)

12262-031

ADF4155

寄存器初始化序列

初始上电时，对电源引脚施加正确的电压后，ADF4155寄存器应按以下顺序启动：

1. 寄存器8
2. 寄存器7
3. 寄存器6
4. 寄存器5
5. 寄存器4
6. 寄存器3
7. 寄存器2
8. 寄存器1
9. 寄存器0

RF频率合成器：一个成功范例

下面的公式用于对ADF4155频率合成器进行编程：

$$RF_{OUT} = \left(INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \right) \times \frac{f_{PFD}}{RF\ Divider} \quad (6)$$

其中：

RF_{OUT} 是RF频率输出。

INT 是整数分频系数。

$FRAC1$ 是24位主要小数位。

$FRAC2$ 是14位辅助小数位。

$MOD2$ 是14位辅助模数值。

$MOD1$ 是24位固定模数值。

$RF\ Divider$ 是细分VCO频率的输出分频器。

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (7)$$

其中：

REF_{IN} 是参考频率输入。

D 是参考倍频器位。

R 是参考分频系数。

T 是参考2分频位(0或1)。

例如，一个UMTS系统要求2114.6 MHz RF频率输出(RF_{OUT})，参考频率输入(REF_{IN})为122.88 MHz，因此，可以使用RF二分频来改善RF输出的相位噪声(VCO频率 = 4229.2 MHz， $RF_{OUT} = VCO\ 频率 / RF\ 分频器 = 4229.2\ MHz / 2 = 2114.6\ MHz$)。

ADF4155仅允许闭合输出分频器之前的环路(见图33)。

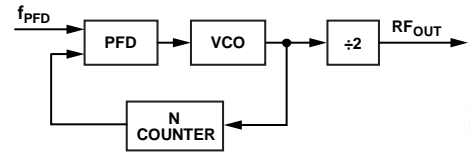


图33. 环路在输出分频器之前闭合

$REF_{IN} = 122.88\ MHz$ 时，选择 $f_{PFD} = 61.44\ MHz$ 。

公式6使用以下值：

- N分频器 = VCO频率/ f_{PFD}
- $INT = VCO\ 频率 / f_{PFD}$ 的整数部分； $INT = 68$
- $FRAC = VCO\ 频率 / f_{PFD}$ 的余数部分 = 0.834635
- $MOD1 = 2^{24} = 16,777,216$
- $FRAC1 = MOD1 \times FRAC$ 的整数部分 = 14,002,858
- 余数 = 0.6672 = $FRAC2 / MOD2$

通道间隔为200 kHz， $MOD2$ 和 $FRAC2$ 等于：

- $MOD2 = 61440\ kHz / GCD(61440\ kHz, 200\ kHz)$ 。GCD(f_{PFD} , f_{CHSP})是PFD频率和通道间隔频率的最大公约数。因此， $MOD2 = 1536$ 。
- $FRAC2 = MOD2 \times 0.6672$ 的整数部分 = 1024

依据公式7可得：

$$f_{PFD} = [122.88\ MHz \times (1 + 0)/2] = 61.44\ MHz$$

$$2112.6\ MHz = [61.44\ MHz \times [(INT + (FRAC1 + FRAC2/MOD2)/2^{24})/2]]$$

其中：

$INT = 68$ 。

$FRAC1 = 14,002,858$ 。

$FRAC2 = 1024$ 。

$MOD2 = 1536$ 。

$RF\ 分频器 = 2$ 。

参考倍频器和参考分频器

片内参考倍频器可以使输入参考信号频率加倍，此特性可用于提高PFD比较频率。提高PFD频率可改善系统的噪声性能。PFD频率加倍一般可使噪声性能改善3 dB。注意，由于N分频器的 Σ - Δ 电路存在速度限制，PFD的工作频率不能高于125 MHz。

参考2分频将参考信号除以2，得到50%占空比的PFD频率。

减少周跳以缩短锁定时间

为了很好地衰减不需要的杂散，建议使用窄环路带宽。但是，快速锁定应用一般要求宽环路带宽，因此滤波器不能大幅衰减杂散。如果启用周跳减少特性，则可以针对杂散衰减保持窄环路带宽，同时仍能实现较快的锁定时间。

周跳

当环路带宽比PFD频率窄时，小数N分频/整数N分频频率合成器就会发生周跳。PFD输入端的相位误差积累过快，PLL来不及校正，电荷泵暂时沿错误方向吸入电荷，使锁定时间急剧延长。ADF4155包含周跳减少特性，可扩展PFD的线性范围，从而加快锁定，而无需更改环路滤波器电路。

当电路检测到将要发生周跳时，就会启动额外的电荷泵电流单元。它将向环路滤波器输出恒定的电流，或者从环路滤波器移除恒定的电流(取决于是要提高还是降低VCO调谐电压，以便得到新的频率)。其结果是，PFD的线性范围得以扩展。环路仍然保持稳定，因为该电流恒定且不是脉冲电流。

如果相位误差再次增大到可能又要发生周跳，ADF4155将再启动一个电荷泵单元。这一周跳和增加电荷泵单元的过程将持续下去，直至ADF4155检测到VCO频率已超过所需的频率。额外的电荷泵单元逐个关闭，直至所有额外电荷泵单元都已禁用，并且频率在初始环路滤波器带宽下达到稳定。

最多可以启动7个额外电荷泵单元。大多数应用中，这足以彻底消除周跳，从而大幅缩短锁定时间。

将寄存器5中的DB19位设置为1可使周跳减少。请注意，为使周跳减少(CSR)正常工作，PFD要求45%至55%的占空比。

杂散优化

窄环路带宽可以滤除不需要的杂散信号，但锁定时间一般较长。较宽的环路带宽可以实现较快的锁定时间，但环路带宽内的杂散信号可能会增加。

杂散机制

本部分说明小数N分频频率合成器的不同杂散机制，以及如何降低ADF4155的杂散。

整数边界杂散

小数杂散的产生机制之一是RF VCO频率与参考频率的交互作用。当这些频率不是整数关系时(小数N分频频率合成器的意义所在)，杂散边带将以一定的偏移频率出现在VCO输出频谱上，该偏移频率与整数倍数的参考频率和VCO频率之间的拍频或差频相对应。这些杂散由环路滤波器予以衰减，在靠近参考频率整数倍数的通道上表现得更为明显；对于这些通道，差频率可能位于环路带宽以内，整数边界杂散的名称正是由此而来。

参考杂散

在小数N分频频率合成器中，参考杂散一般不是问题，因为参考偏移远远超出了环路带宽。不过，旁路环路的任何参考馈通机制可能会引起问题。经由 RF_{IN+}/RF_{IN-} 引脚回到VCO的低电平片内参考切换噪声的馈通，可能会产生高达-90 dBc的参考杂散。印刷电路板(PCB)布局必须确保VCO走线与输入参考之间充分隔离，避免电路板上可能出现馈通路径。

小数杂散

高固定模数MOD1和可编程模数MOD2的结合，实现了38位的超高有效分辨率，并将 Σ - Δ 量化能量扩展到很小的次赫兹离散仓中，它表现为宽带噪声而非离散杂散。使用推荐的负泄漏设置(参见寄存器6和图30)和较宽的ABP (2.6 ns)，可使从 Σ - Δ 输出到VCO输出的传递函数线性化，并最大程度地减少杂散再增长。对于FRAC2和MOD2的某些组合，离散杂散可能会重新出现。这种情况下，FRAC2或MOD2改变1 LSB常常可以消除这些杂散。

为使杂散性能最佳，PLL输出应从外部VCO获得，而不要从内部RF缓冲器获得。

应用信息

带RF缓冲器的本振

图34显示ADF4155配合VCO和RF缓冲器使用，构成一个5.8 GHz的本振(LO)。

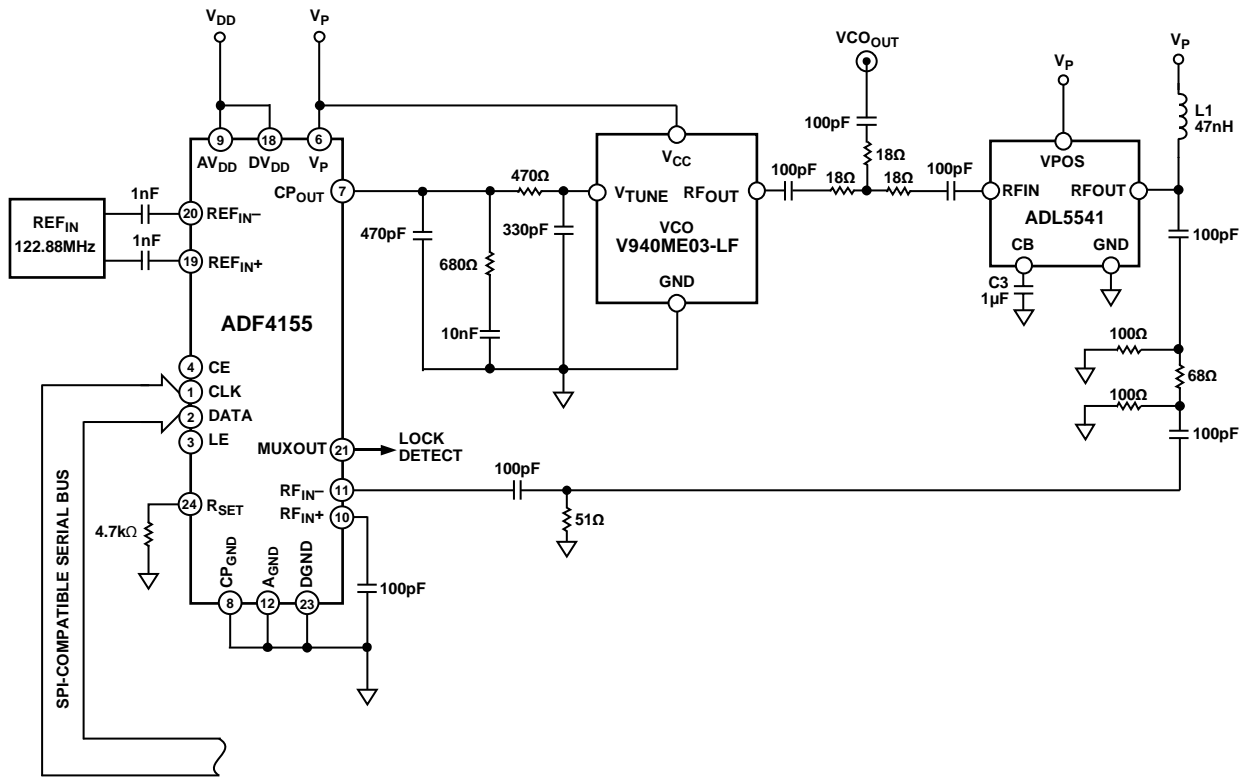
差分参考输入信号施加于电路的 REF_{IN+} 和 REF_{IN-} 。采用122.88 MHz参考，经过2分频后用作61.44 MHz PFD频率。

ADF4155的电荷泵输出($I_{CP} = 0.938 \text{ mA}$)驱动环路滤波器。利用ADIsimPLL设计工具计算环路滤波器元件。设计的环路带宽为80 kHz，相位裕量为 45° 。

环路滤波器输出驱动VCO，其输出通过RF缓冲器反馈到PLL频率合成器的RF输入。它还驱动RF输出端(VCO_{OUT})。一个T型电路配置在ADL5541 RF缓冲器的 VCO_{OUT} 、 RF_{OUT} 和 RF_{IN} 引脚之间提供50 Ω 匹配。

RF缓冲器是插在VCO与PLL RF_{IN+}/RF_{IN-} 引脚之间的反馈路径中的可选缓冲器，用于改善杂散性能。Pie衰减器用于将RF缓冲输出降低到PLL RF_{IN+}/RF_{IN-} 引脚要求的范围之内。

在PLL系统中，知道环路何时锁定十分重要。利用频率合成器的MUXOUT信号可实现锁定。可设置MUXOUT引脚来监控频率合成器中的各种内部信号。其中之一是锁定检测信号。

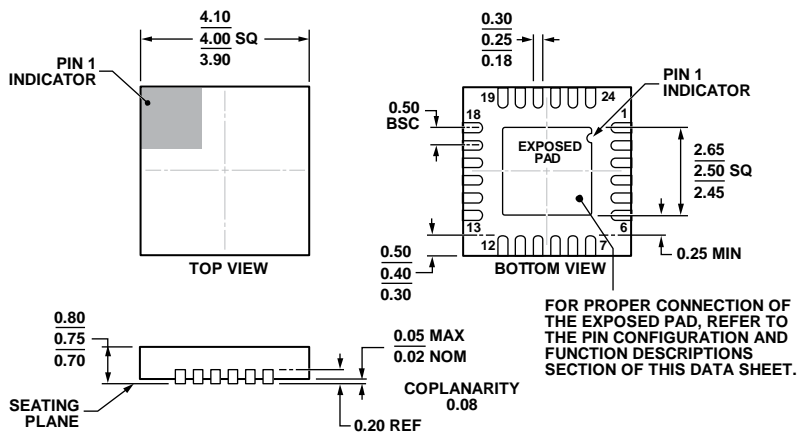


NOTES
THIS IS A SIMPLIFIED SCHEMATIC, DECOUPLING CAPACITORS AND SPI CONNECTION DETAILS HAVE BEEN OMITTED FOR CLARITY.

图34. 典型应用图

1228F-033

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

图35. 24引脚引脚架构芯片级封装[LFCSP_WQ]
4 mm x 4 mm, 超薄体
(CP-24-7)
尺寸单位: mm

04-12-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADF4155BCPZ	-40°C至+85°C	24引脚引线框芯片级封装[LFCSP_WQ]	CP-24-7
ADF4155BCPZ-RL7	-40°C至+85°C	24引脚引线框芯片级封装[LFCSP_WQ]	CP-24-7
EV-ADF4155EB1Z		评估板	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释