

### 特性

**IQ正交解调器**

**集成小数N分频PLL和VCO**

**增益控制范围: 60 dB**

**输入频率范围: 100 MHz至1,000 MHz**

**输入P1dB: +12 dBm(0 dB增益时)**

**输入IP3: +22.5 dBm(0 dB增益时)**

**噪声系数: 11 dB(>39 dB增益时), 49 dB(0 dB增益时)**

**基带1 dB带宽: 250 MHz(宽带模式),**

**50 MHz(窄带模式)**

**SPI/I<sup>2</sup>C串行接口**

**电源: +3.3 V/350 mA**

### 应用

宽带通信

蜂窝通信

卫星通信

### 概述

ADRF6850是一款高度集成的宽带正交解调器、频率合成器和可变增益放大器(VGA)。该器件工作在100 MHz至1000 MHz的频率范围,适用于窄带和宽带通信应用,能够执行从中频(IF)直接到基带频率的正交解调。

ADRF6850解调器包括一个集成VCO的高模数小数N分频频率合成器,其频率分辨率优于1 Hz,前端VGA提供60 dB的增益控制范围。

所有片内寄存器均通过用户可选的SPI或I<sup>2</sup>C接口进行控制。该器件采用3.15 V至3.45 V单电源供电。

功能框图

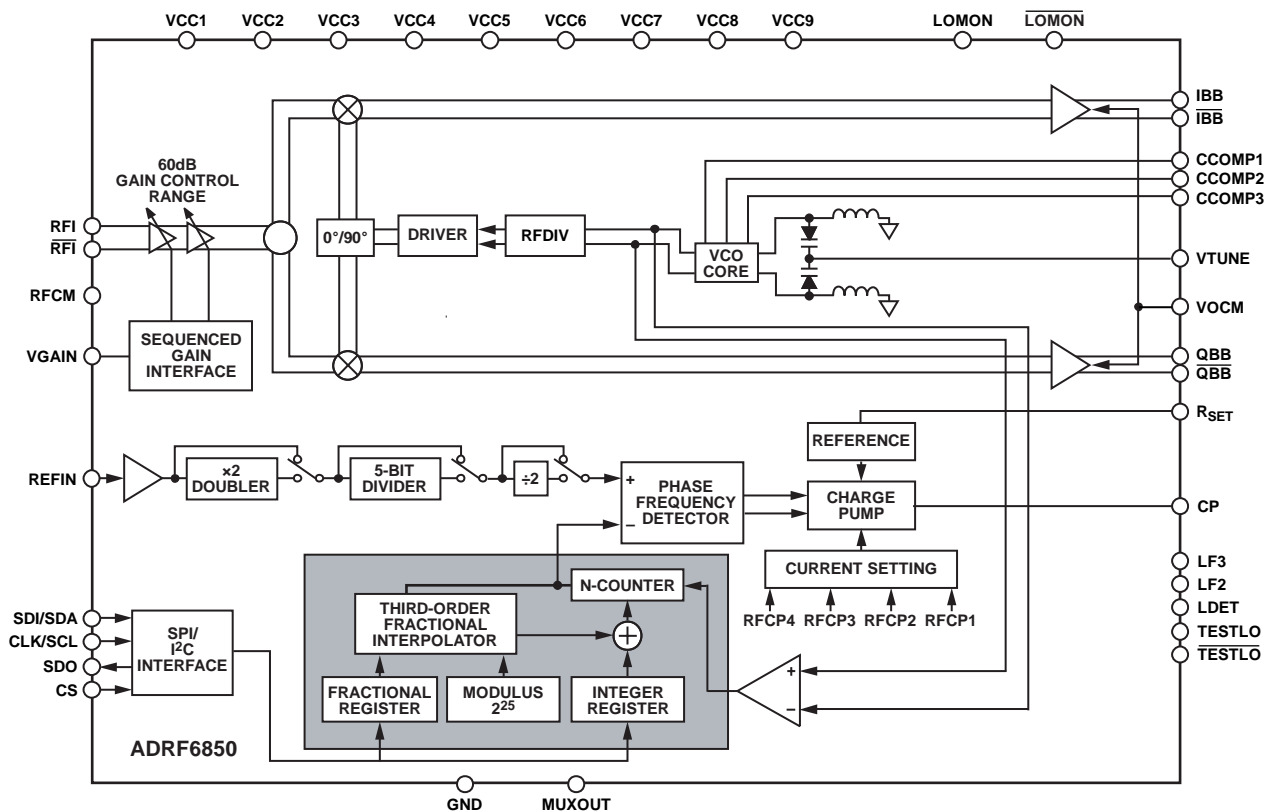


图1.

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

[www.analog.com](http://www.analog.com)

Fax: 781.461.3113

©2010 Analog Devices, Inc. All rights reserved.

# ADRF6850

## 目录

特性.....	1	I <sup>2</sup> C接口.....	20
应用.....	1	SPI接口.....	22
概述.....	1	编程模式.....	24
功能框图.....	1	寄存器映射.....	26
修订历史.....	2	寄存器映射汇总.....	26
技术规格.....	3	寄存器位功能描述.....	27
时序特性.....	5	建议上电序列.....	30
绝对最大额定值.....	7	初始寄存器写序列.....	30
ESD警告.....	7	评估板.....	31
引脚配置和功能描述.....	8	概述.....	31
典型性能参数.....	10	硬件说明.....	31
工作原理.....	18	PCB原理图.....	33
概览.....	18	PCB布局图.....	34
PLL频率合成器和VCO.....	18	物料清单.....	35
正交解调器.....	20	外形尺寸.....	36
可变增益放大器(VGA).....	20	订购指南.....	36

## 修订历史

2010年10月—修订版0：初始版

## 技术规格

除非另有说明， $V_{CC} = 3.3\text{ V}$ ，环境温度( $T_A$ ) =  $25^\circ\text{C}$ ， $Z_S = 50\ \Omega$ ， $Z_L = 100\ \Omega$ 差分，PLL环路带宽 =  $50\text{ kHz}$ ，REFIN =  $13.5\text{ MHz}$ ，PFD =  $27\text{ MHz}$ ，基带频率 =  $20\text{ MHz}$ ，窄带模式。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
RF输入	RFI, RFI, VGAIN引脚				
工作频率范围		100		1000	MHz
输入P1dB	0 dB增益		+12		dBm
	60 dB增益		-48		dBm
输入IP3	0 dB增益		+22.5		dBm
	60 dB增益		-38		dBm
输入IP2	0 dB增益, 单端输入		+40		dBm
	60 dB增益, 单端输入		-20		dBm
噪声系数(NF)	0 dB增益		49		dB
	<39 dB增益NF的上升与增益的下降(dB)为1:1关系				
	>39 dB增益		11		dB
最大增益	$Z_S = 50\ \Omega$ 单端, $Z_L = 100\ \Omega$ 差分		60		dB
最小增益	$Z_S = 50\ \Omega$ 单端, $Z_L = 100\ \Omega$ 差分		0		dB
增益一致性误差 <sup>1</sup>	$V_{GAIN}$ 从200 mV到1.3 V		0.5		dB
增益斜率			25		mV/dB
VGAIN输入阻抗			20		k $\Omega$
回损	相对于 $Z_S = 50\ \Omega$ , 100 MHz至1 GHz		15		dB
参考特性	REFIN引脚				
输入频率	R2分频分频器使能	10		300	MHz
	R2分频分频器禁用	10		165	MHz
REFIN输入灵敏度		0.4		$V_{CC}$	V p-p
REFIN输入电容				10	pF
REFIN输入电流				$\pm 100$	$\mu\text{A}$
电荷泵	CP和RSET引脚				
$I_{CP}$ 吸/源电流	可编程				
高值	$R_{SET} = 4.7\text{ k}\Omega$		5		mA
低值			312.5		$\mu\text{A}$
绝对精度	$R_{SET} = 4.7\text{ k}\Omega$		2.5		%
VCO					
增益	$K_{VCO}$		15		MHz/V
频率合成器规格	环路带宽 = $50\text{ kHz}$				
频率增量			1		Hz
鉴频鉴相器		10		30	MHz
杂散	整数边界 < 环路带宽		-55		dBc
	相对于载波的偏移大于10 MHz		-70		dBc
相位噪声	LO频率 = 1000 MHz				
	@ 10 Hz偏移		-75		dBc/Hz
	@ 100 Hz偏移		-80		dBc/Hz
	@ 1 kHz偏移		-90		dBc/Hz
	@ 10 kHz偏移		-98		dBc/Hz
	@ 100 kHz偏移		-110		dBc/Hz
	@ 1 MHz偏移		-136		dBc/Hz
	>10 MHz偏移		-149		dBc/Hz
积分相位噪声	积分带宽1 kHz到8 MHz		0.26		$^\circ\text{rms}$

# ADRF6850

参数	测试条件/注释	最小值	典型值	最大值	单位
频率建立 无自动校准情况下的最大频率步进	任意步长, 最大频率误差 = 1 kHz 无自动校准程序情况下的频率步进; 寄存器 CR24, Bit 0 = 1		260	100	$\mu$ s kHz
基带输出	IBB, IBB, QBB, QBB, VOCM引脚				
最大摆幅	驱动 $Z_L = 100 \Omega$ 差分	1.2	2.5	1.6	V p-p
共模范围					V
输出阻抗	差分		28		$\Omega$
输出直流失调	RFI端接于 $Z_s = 50 \Omega$		$\pm 20$		mV
1 dB带宽					
宽带模式			250		MHz
窄带模式			50		MHz
IQ平衡					
幅度					
宽带模式	基带频率 $\leq 250$ MHz		$\pm 0.1$		dB
窄带模式	基带频率 $\leq 33.2$ MHz		$\pm 0.1$		dB
相位					
宽带模式	基带频率 $\leq 250$ MHz		$\pm 0.5$		度
窄带模式	基带频率 $\leq 33.2$ MHz		$\pm 0.25$		度
IQ输出阻抗不匹配	基带频率 = 10 MHz		$\pm 0.3$		%
群延迟偏差					
宽带模式	基带频率 $\leq 210$ MHz		0.25		ns
窄带模式	基带频率 $\leq 250$ MHz		0.35		ns
窄带模式	基带频率 $\leq 33.2$ MHz		0.2		ns
LO至IQ泄漏	1		-40		dBm
	2		-60		dBm
	4		-60		dBm
RF至IQ泄漏	相对于IQ输出水平		-40		dBc
监控输出	LOMON和LOMON引脚				
标称输出功率			-24		dBm
逻辑输入	SDI/SDA, CLK/SCL, CS引脚				
输入高电压 $V_{INH}$	CS	1.4			V
输入低电压 $V_{INL}$	CS			0.6	V
输入高电压 $V_{INH}$	SDI/SDA	2.1			V
输入低电压 $V_{INL}$	SDI/SD			1.1	V
输入电流 $I_{INH}/I_{INL}$	CS, SDI/SDA,			$\pm 1$	$\mu$ A
输入电容 $C_{IN}$	CS, SDI/SDA,			10	pF
逻辑输出					
输出高电压 $V_{OH}$	SDO、LDET引脚; $I_{OH} = 500 \mu$ A	2.8			V
输出低电压 $V_{OL}$	SDO、LDET引脚; $I_{OL} = 500 \mu$ A			0.4	V
	SDA (SDI/SDA)引脚; $I_{OL} = 3$ mA			0.4	V
电源	VCC1, VCC2, VCC3, VCC4, VCC5, VCC6, VCC7, VCC8, 和 VCC9引脚				
电压范围		3.15	3.3	3.45	V
电源电流			350	440	mA
工作温度		-40		+85	$^{\circ}$ C

<sup>1</sup>通道增益与通道增益的线性拟合之间的差异。

## 时序特性 I<sup>2</sup>C接口时序

表2.

参数 <sup>1</sup>	符号	限值	单位
SCL时钟频率	$f_{SCL}$	400	kHz(最大值)
SCL高电平脉冲宽度	$t_{HIGH}$	600	ns(最小值)
SCL低电平脉冲宽度	$t_{LOW}$	1300	ns(最小值)
起始条件保持时间	$t_{HD,STA}$	600	ns(最小值)
起始条件建立时间	$t_{SU,STA}$	600	ns(最小值)
数据建立时间	$t_{SU,DAT}$	100	ns(最小值)
数据保持时间	$t_{HD,DAT}$	300	ns(最小值)
停止条件建立时间	$t_{SU,STO}$	600	ns(最小值)
数据有效时间	$t_{VD,DAT}$	900	ns(最大值)
数据有效应答时间	$t_{VD,ACK}$	900	ns(最大值)
总线空闲时间	$t_{BUF}$	1300	ns(最小值)

<sup>1</sup> 参见图2。

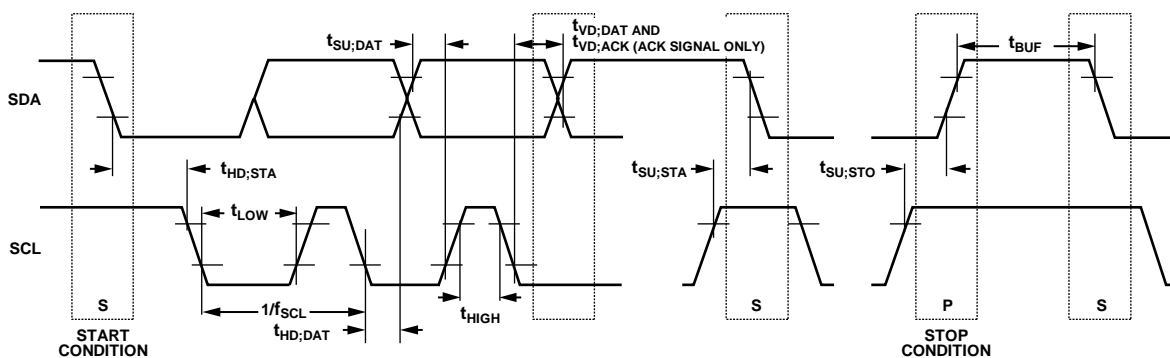


图2. I<sup>2</sup>C端口时序图

08316-002

# ADRF6850

## SPI接口时序

表3.

参数 <sup>1</sup>	符号	限值	单位
CLK频率	$f_{CLK}$	20	MHz(最大值)
CLK高电平脉冲宽度	$t_1$	15	ns(最小值)
CLK低电平脉冲宽度	$t_2$	15	ns(最小值)
起始条件保持时间	$t_3$	5	ns(最小值)
数据建立时间	$t_4$	10	ns(最小值)
数据保持时间	$t_5$	5	ns(最小值)
停止条件建立时间	$t_6$	5	ns(最小值)
SDO访问时间	$t_7$	15	ns(最小值)
CS至SDO高阻态	$t_8$	25	ns(最大值)

<sup>1</sup> 参见图3。

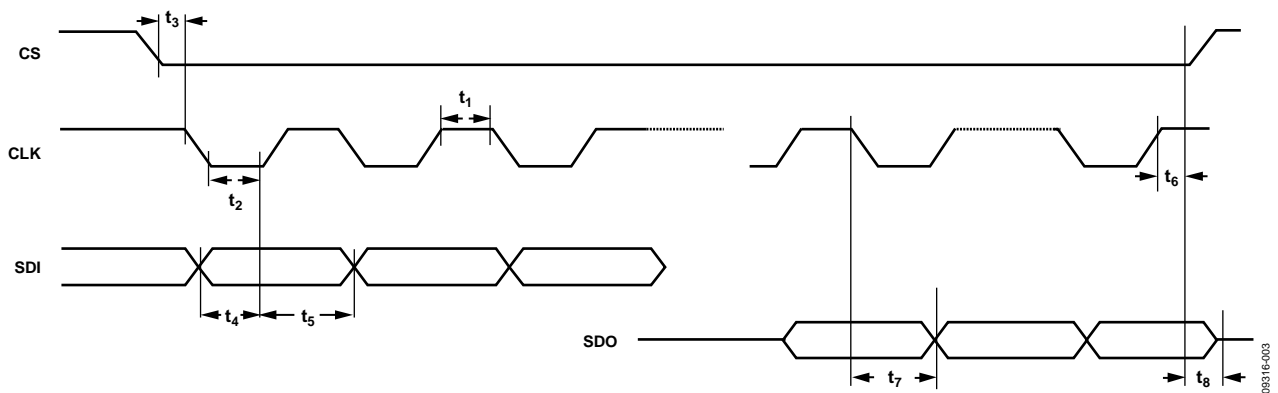


图3. SPI端口时序图

08316-003

## 绝对最大额定值

表4. 绝对最大额定值

参数	额定值
电源电压引脚(VCC1、VCC2、VCC3、VCC4、VCC5、VCC6、VCC7、VCC8和VCC9)	-0.3 V至+4.0 V
模拟输入/输出	-0.3 V至+4.0 V
数字输入/输出	-0.3 V至+4.0 V
RFI、RFI、RFCM	0V to 3.0V
$\theta_{JA}$ (裸露焊盘焊接到下方)	26°C/W
最高结温	125°C
存储温度范围	-65°C to +150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告

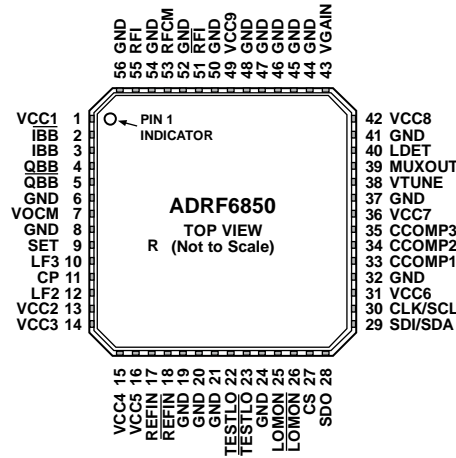


#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# ADRF6850

## 引脚配置和功能描述



NOTES  
1. CONNECT EXPOSED PAD TO GROUND PLANE VIA A LOW IMPEDANCE PATH.

0931E-004

图4. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1, 13, 14, 15, 16, 31, 36, 42, 49	VCC1至VCC9	正电源。将3.3 V电源施加于所有VCCx引脚。用电源去耦电容给各引脚去耦。
6, 8, 19, 20, 21, 24, 32, 37, 41, 44, 45, 46, 47, 48, 50, 52, 54, 56	GND	模拟地。连接至低阻抗接地层。
2, 3, 4, 5	$\overline{\text{IBB}}$ , IBB, QBB, $\overline{\text{QBB}}$	差分同相和正交基带输出。这些低阻抗输出可将2.5 V p-p驱动到100 $\Omega$ 差分负载。
7	VOICM	基带共模电压输入。交流耦合基带输出引脚时, VOICM应接地。也可以施加外部电压, 直流耦合基带输出引脚时可能有用。注意, 必须相应地设置寄存器CR29的Bit 6。
33	CCOMP1	内部补偿节点。此引脚必须用一个100 nF电容去耦至地。
34	CCOMP2	内部补偿节点。此引脚必须用一个100 nF电容去耦至地。
35	CCOMP3	内部补偿节点。此引脚必须用一个100 nF电容去耦至地。
38	VTUNE	VCO的控制输入。此电压决定输出频率, 从对CP输出电压的滤波而获得。
9	RSET	电荷泵电流设置。在此引脚与地之间连一个电阻可设置最大电荷泵输出电流。 $I_{CP}$ 与 $R_{SET}$ 的关系为: $I_{CPmax} = \frac{23.5}{R_{SET}}$ 其中, $R_{SET} = 4.7 \text{ k}\Omega$ , $I_{CPmax} = 5 \text{ mA}$ 。
11	CP	电荷泵输出。使能时, 此引脚提供 $\pm I_{CP}$ 到外部环路滤波器, 后者又驱动内部VCO。
27	CS	片选。CMOS输入。当CS为高电平时, 存储在移位寄存器内的数据将载入31个寄存器中的一个。在I2C模式下, 当CS为高电平时, 器件的从机地址为0x78; 当CS为低电平时, 从机地址为0x58。
29	SDI/SDA	SPI端口的串行数据输入, I <sup>2</sup> C端口的串行数据输入/输出。在SPI模式下, 此输入为高阻抗CMOS数据输入, 数据以8位字载入。在I2C模式下, 此引脚为双向端口。
30	CLK/SCL	SPI/I <sup>2</sup> C端口的串行时钟输入。此串行时钟用来将串行数据逐个输入寄存器。此输入为高阻抗CMOS输入。
28	SDO	SPI端口的串行数据输出。寄存器状态可以通过SDO数据输出线以8位字回读。
17	REFIN	参考输入。交流耦合此高阻抗CMOS输入。
18	REFIN	参考输入信号。此引脚应接地。



引脚编号	引脚名称	描述
51, 55	$\overline{\text{RFI}}$ , RFI	RF输入。50 $\Omega$ 内部偏置RF输入。对于单端操作， $\overline{\text{RFI}}$ 必须交流耦合到信号源，RFI必须交流耦合到接地层。
53	RFCM	RF输入共模。在单端模式下驱动输入时，应连接到 $\overline{\text{RFI}}$ 。使用巴伦以差分方式驱动输入时，应将此引脚连接到巴伦输出线圈的公共端。RFCM去耦到接地层。
25, 26	$\overline{\text{LOMON}}$ , LOMON	差分监控输出。这些引脚以四种不同的功率水平提供内部本振频率(1 $\times$ LO)的副本：-6 dBm、-12 dBm、-18 dBm、-24 dBm。这些开集输出必须利用外部电阻端接到VCCx。这些输出可以通过串行端口编程禁用，不用时应连接到VCCx。
10, 12	LF3/LF2	用于快速锁定的额外环路滤波器引脚。使用这些引脚可缩短锁定时间。
40	LDET	锁定检测。当PLL频率锁定时，此引脚提供一个高电平有效输出。锁定检测时序由寄存器CR14(位7)和寄存器CR23(位3)控制。
39	MUXOUT	多路复用输出。此输出为测试输出，仅用于诊断。此引脚应保持开路。
22, 23	TESTLO, $\overline{\text{TESTLO}}$	差分测试输入。仅供内部使用。这些引脚应接地。
43	VGAIN	VGA增益输入。用0 V至1.5 V的电压驱动此引脚。此电压控制VGA的增益。如果VGA增益模式极性位(CR30的位2)置0，则0 V输入设置0 dB的VGA增益，1.5 V输入设置+60 dB的VGA增益。如果VGA增益模式极性位设为1，则0 V输入设置+60 dB的VGA增益，1.5 V输入设置0 dB的VGA增益。
	EP	裸露焊盘。应通过低阻抗路径将裸露焊盘连接到接地层。

# ADRF6850

## 典型性能参数

标称条件为：25°C、3.30 V和最差频率。最差条件为：最差温度、电源电压和频率。

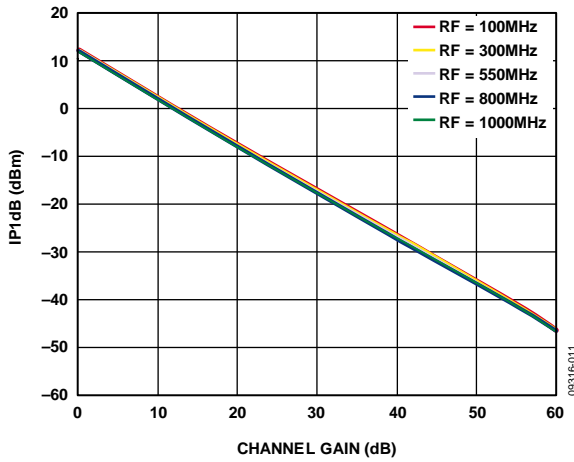


图5. 输入1dB压缩点(IP1dB)与通道增益和RF输入频率的关系, 标称条件, 窄带模式

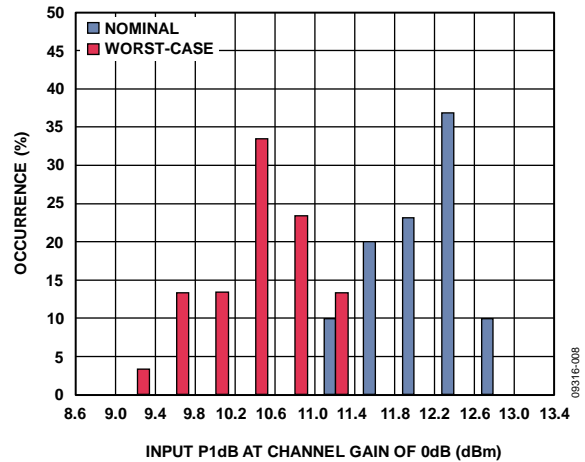


图8. 输入1dB压缩点(IP1dB)分布, 通道增益为0 dB, 标称条件和最差条件

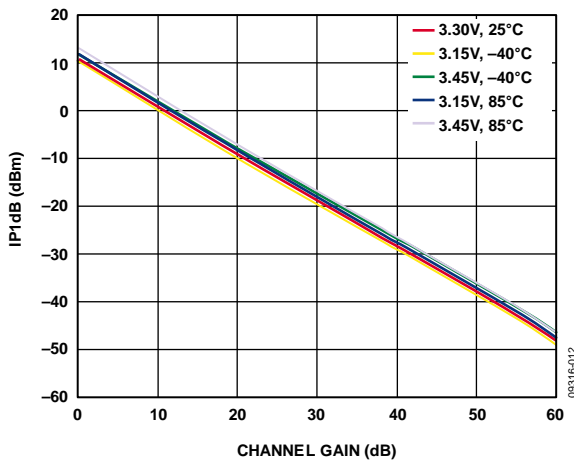


图6. 输入1dB压缩点(IP1dB)与通道增益、电源和温度的关系, RF输入频率 = 100 MHz, 窄带模式

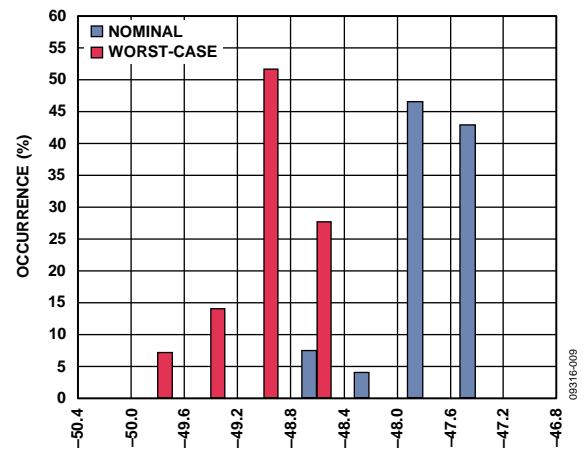


图9. 输入1dB压缩点(IP1dB)分布, 通道增益为60 dB, 标称条件和最差条件

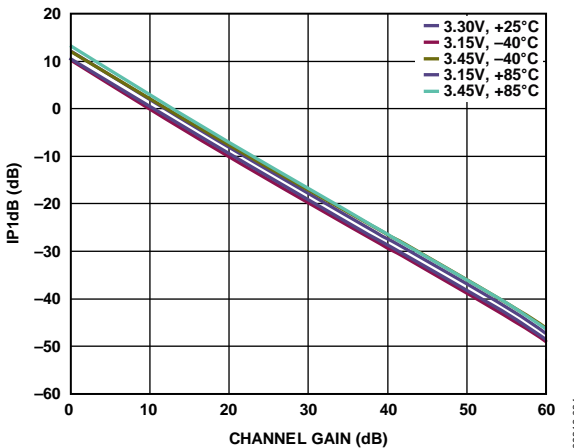


图7. 输入1dB压缩点(IP1dB)与通道增益、电源和温度的关系, RF输入频率 = 1,000 MHz, 窄带模式

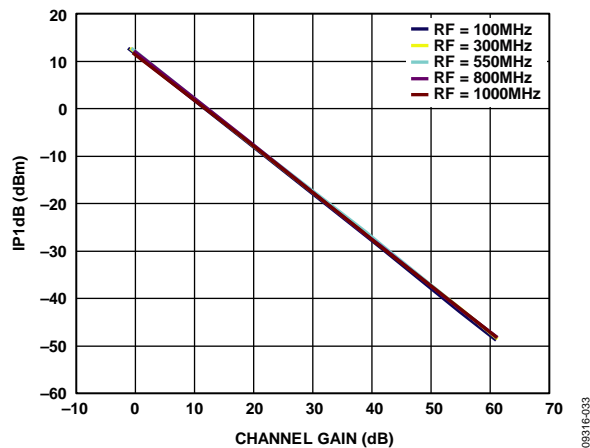


图10. 输入1dB压缩点(IP1dB)与通道增益和RF输入频率的关系, V\_OCM = 1.2 V, 标称条件, 窄带模式

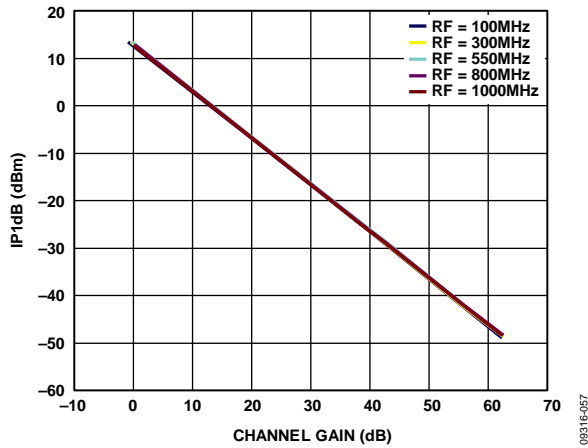


图11. 输入1dB压缩点(IP1dB)与通道增益和RF输入频率的关系,  $V_{OCM} = 1.6V$ , 标称条件, 窄带模式

09316-057

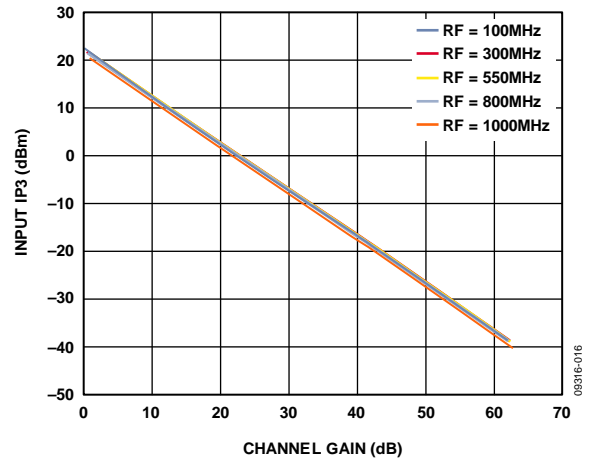


图14. 输入IP3与通道增益和RF输入频率的关系, 最差条件

09316-016

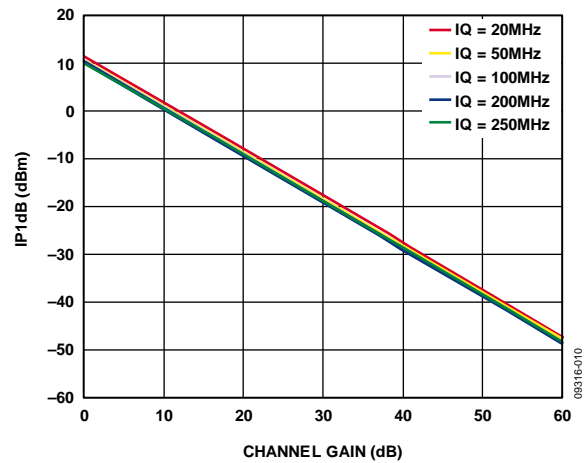


图12. 输入1dB压缩点(IP1dB)与通道增益和IQ输出频率的关系,  $LO = 1000MHz$ , 标称条件, 宽带模式

09316-010

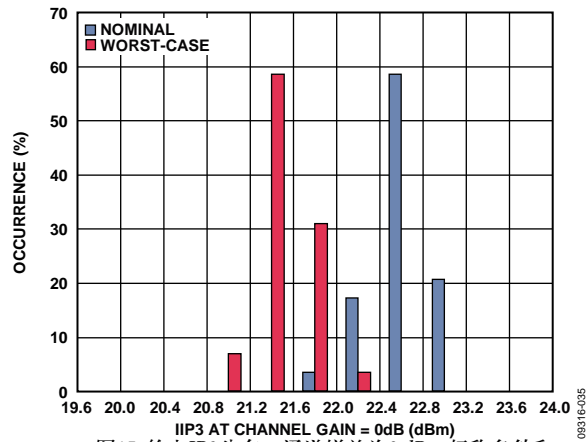


图15. 输入IP3分布, 通道增益为0 dB, 标称条件和最差条件

09316-005

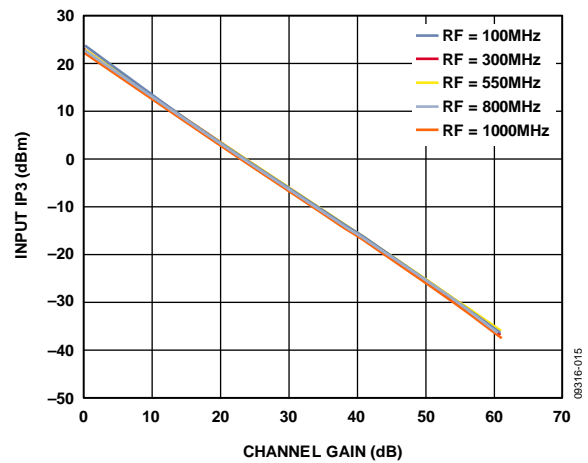


图13. 输入IP3与通道增益和RF输入频率的关系, 标称条件

09316-015

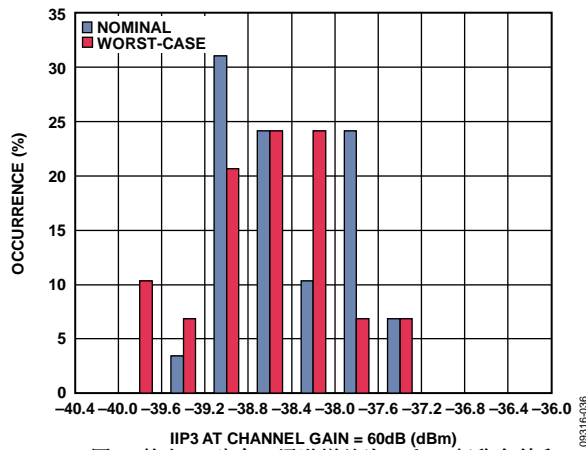


图16. 输入IP3分布, 通道增益为60 dB, 标称条件和最差条件

09316-038

# ADRF6850

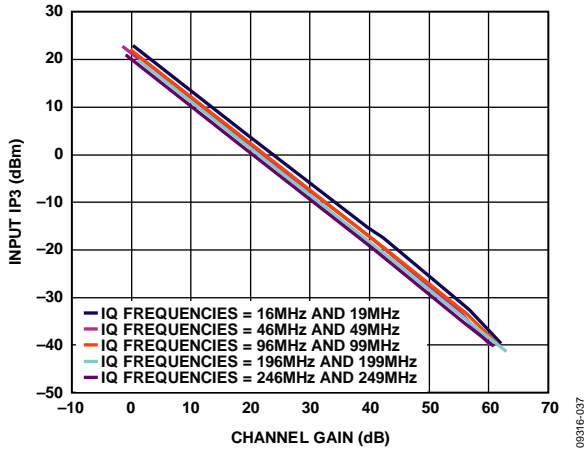


图17. 输入IP3与通道增益和IQ输出频率的关系, 宽带模式, 标称条件

09316-037

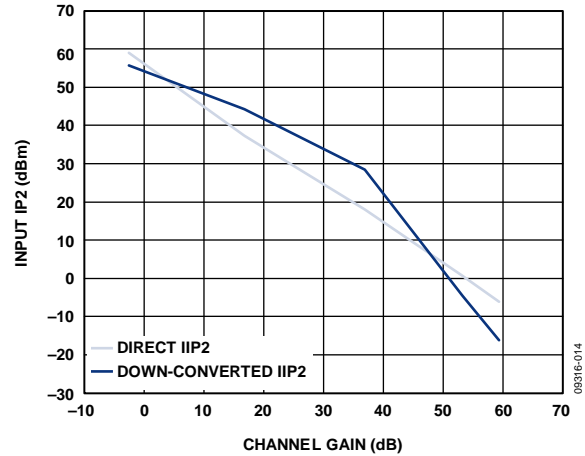


图20. 输入IP2与通道增益的关系, 宽带模式, 最差条件

09316-014

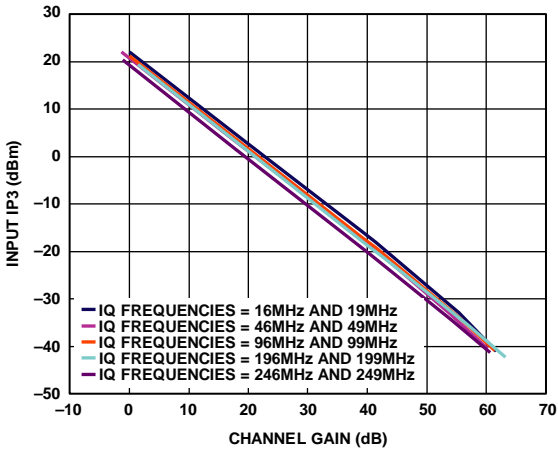


图18. 输入IP3与通道增益和IQ输出频率的关系, 宽带模式, 最差条件

09316-038

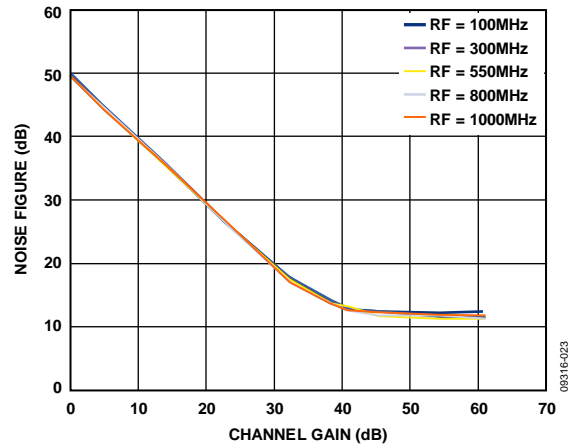


图21. 噪声系数与通道增益和RF输入频率的关系, 窄带模式, 标称条件

09316-023

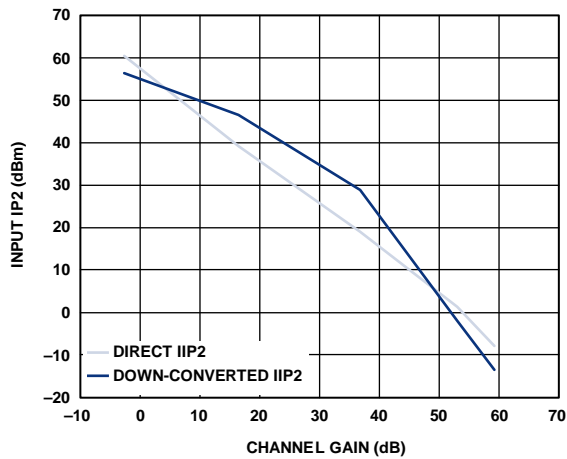


图19. 输入IP2与通道增益的关系, 宽带模式, 标称条件

09316-013

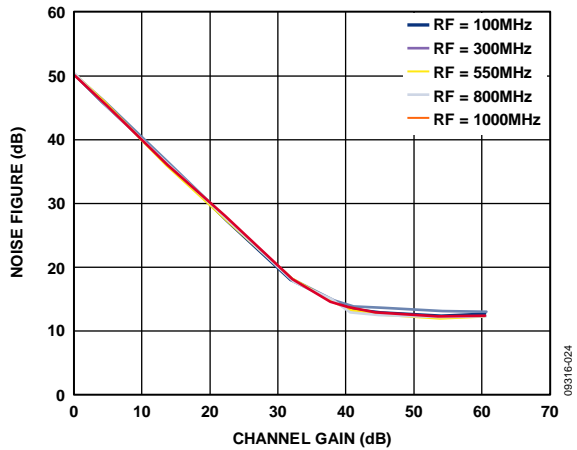


图22. 噪声系数与通道增益和RF输入频率的关系, 窄带模式, 最差条件

09316-024

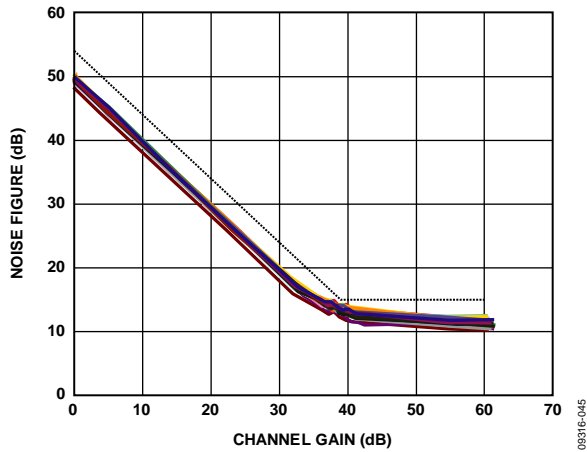


图23. 噪声系数分布与通道增益的关系，窄带模式，标称条件

09316-045

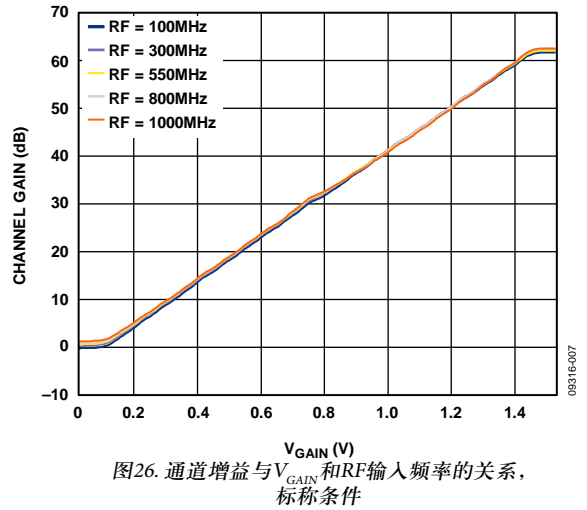


图26. 通道增益与 $V_{GAIN}$ 和RF输入频率的关系，标称条件

09316-007

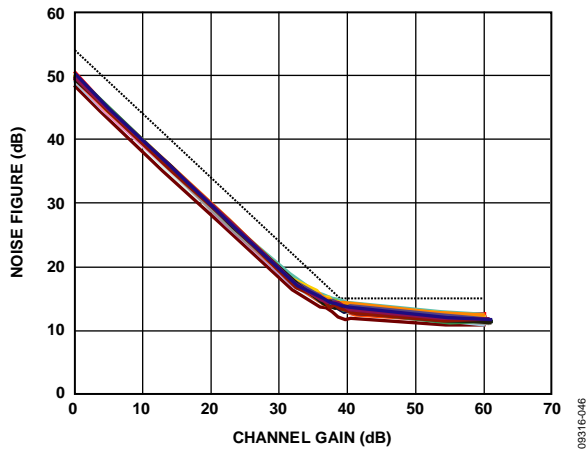


图24. 噪声系数分布与通道增益的关系，窄带模式，最差条件

09316-046

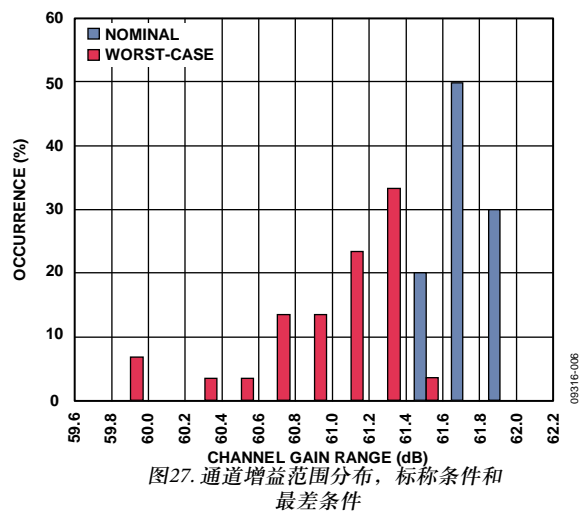


图27. 通道增益范围分布，标称条件和最差条件

09316-008

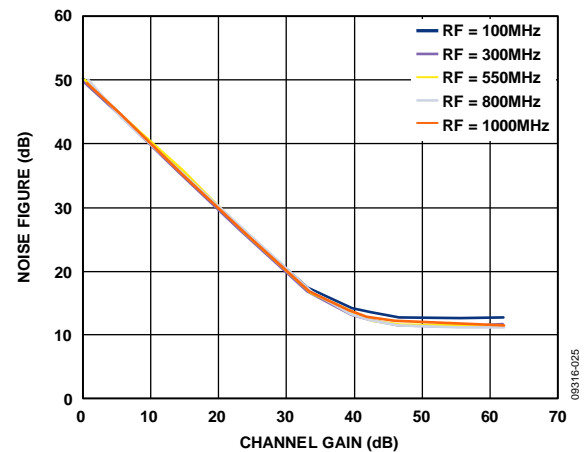


图25. 噪声系数与通道增益和RF输入频率的关系，宽带模式，标称条件

09316-025

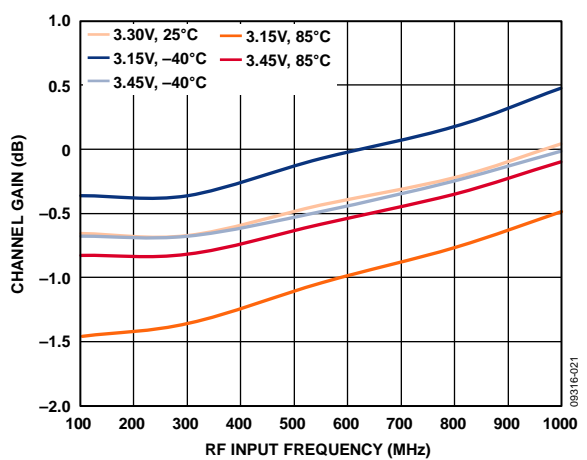


图28. 最小通道增益与RF输入频率、电源和温度的关系

09316-021

# ADRF6850

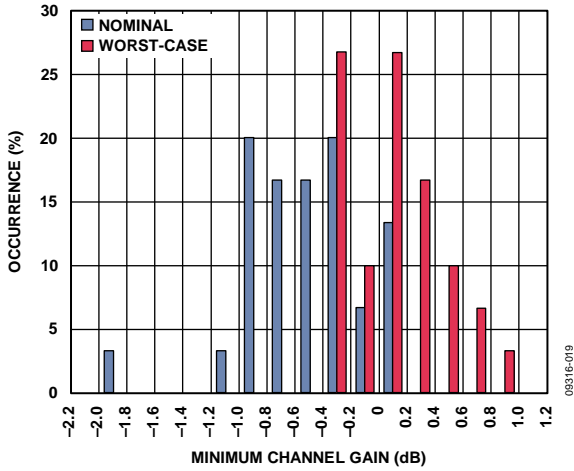


图29. 最小通道增益分布, 标称条件和最差条件

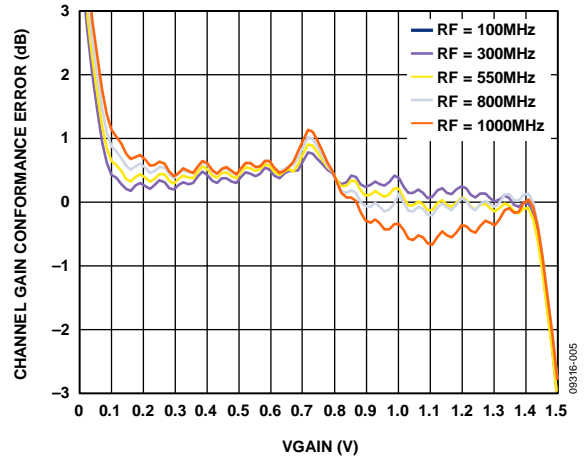


图32. 通道增益一致性误差与 $V_{GAIN}$ 和RF输入频率的关系, 标称条件

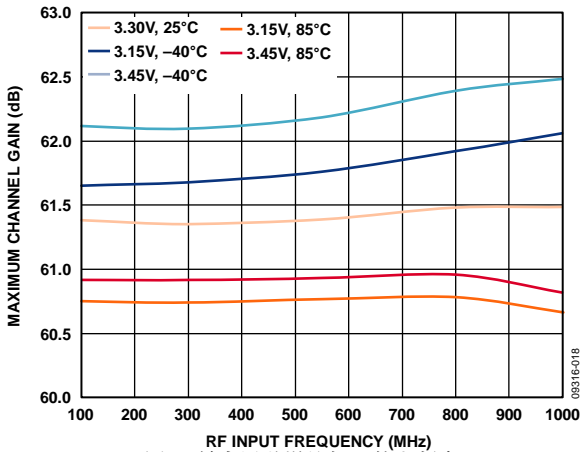


图30. 最大通道增益与RF输入频率, 电源和温度的关系

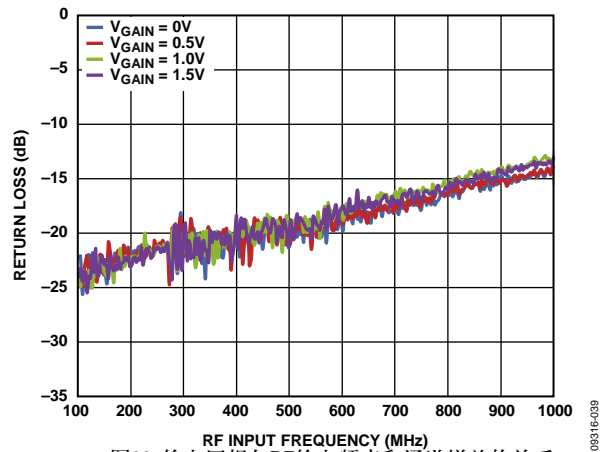


图33. 输入回损与RF输入频率和通道增益的关系, 标称条件

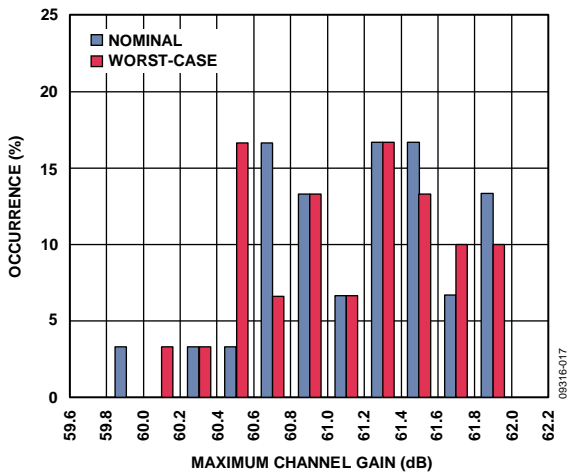


图31. 最大通道增益分布, 标称条件和最差条件

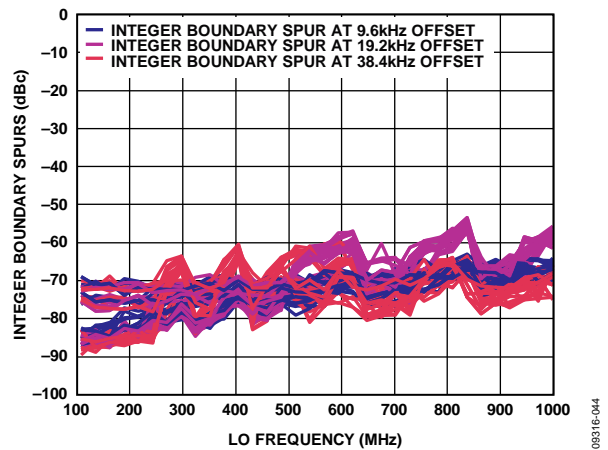


图34. 整数边界杂散与LO频率、通道增益、电源和温度的关系

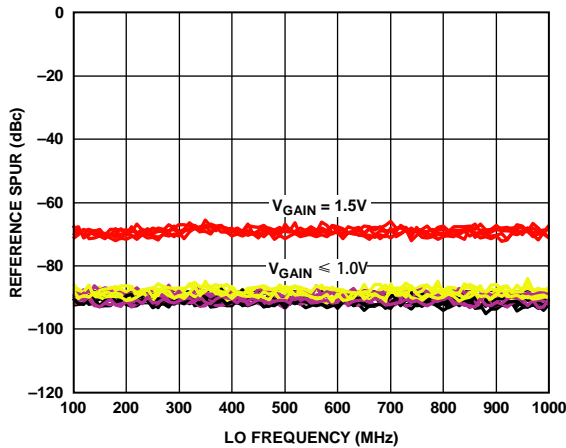


图35. 偏移载波13.5 MHz时的参考杂散与LO频率、通道增益、电源和温度的关系

09316-049

TABLE OF DISTRIBUTION DATA:

OFFSET FREQUENCY (Hz):	10	100	1k	10k	100k	1M	10M
TYPICAL RANGE (dBc/Hz):	-75/-85	-78/-89	-84/-95	-97/-100	-110/-113	-136/-138	-149/-153
WORST-CASE RANGE (dBc/Hz):	-72/-82	-74/-89	-89/-96	-97/-100	-110/-112	-136/-138	-149/-152

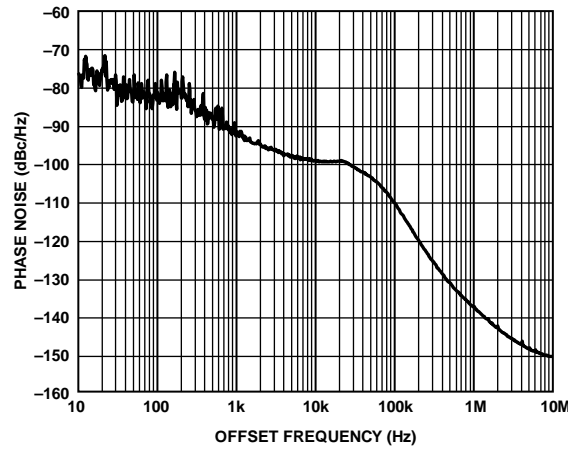


图38. 相位噪声性能, 包括LO频率 = 1,000 MHz时的分布表, 标称条件和最差条件

09316-051

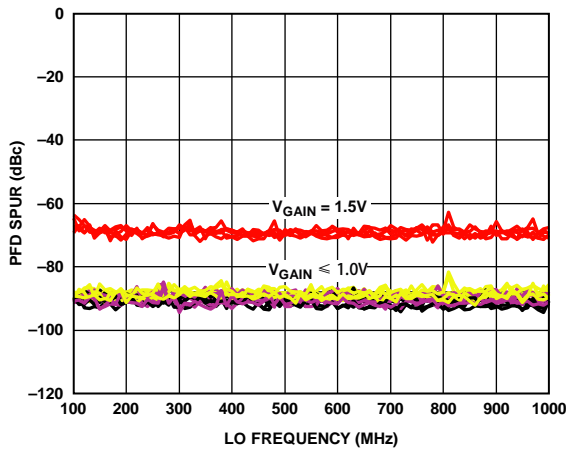


图36. 偏移载波27 MHz时的PFD杂散与LO频率、通道增益、电源和温度的关系

09316-048

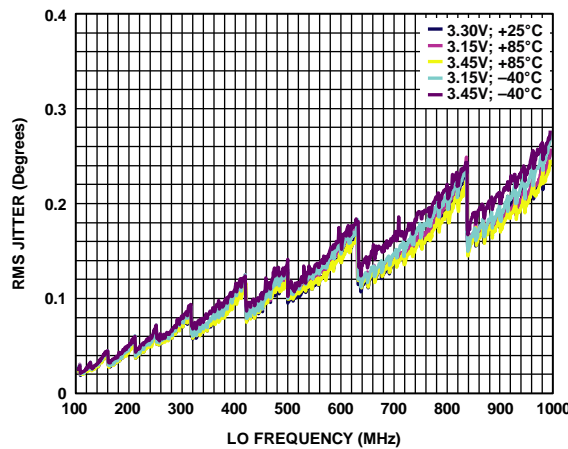


图39. 积分相位噪声与LO频率、电源和温度的关系

09316-041

TABLE OF DISTRIBUTION DATA:

OFFSET FREQUENCY (Hz):	10	100	1k	10k	100k	1M	10M
TYPICAL RANGE (dBc/Hz):	-91/-100	-99/-111	-107/-115	-118/-121	-129/-132	-150/-154	-151/-153
WORST-CASE RANGE (dBc/Hz):	-90/-105	-95/-108	-105/-116	-118/-121	-128/-131	-151/-154	-151/-153

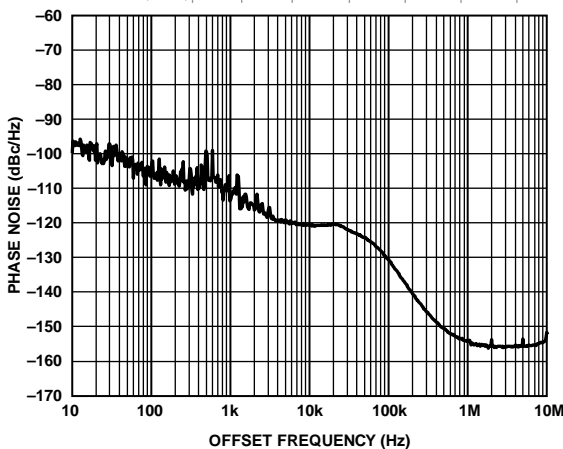


图37. 相位噪声性能, 包括LO频率 = 100 MHz时的分布表, 标称条件和最差条件

09316-052

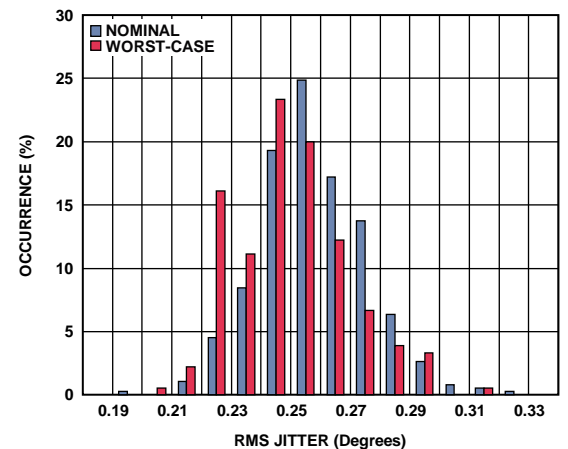


图40. 积分相位噪声分布, LO频率 = 1,000 MHz, 标称条件和最差条件

09316-040

# ADRF6850

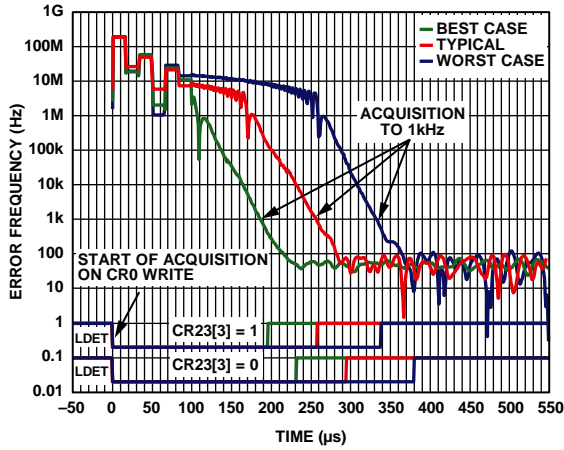


图41. 典型、最佳与最差跳频下的PLL频率建立时间，锁定检测如图所示，标称条件

08316-055

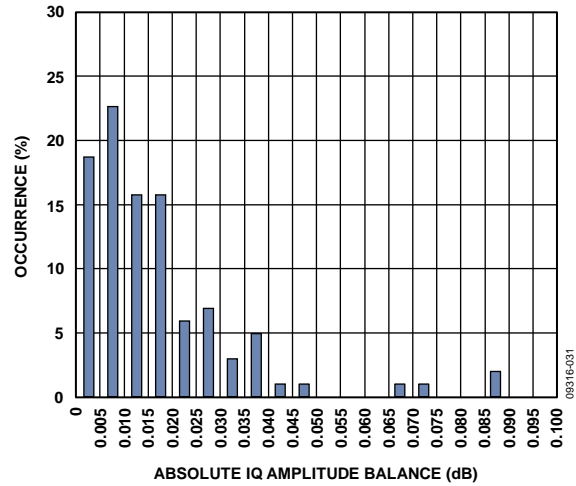


图44. 绝对IQ幅度平衡，窄带模式，标称条件

08316-031

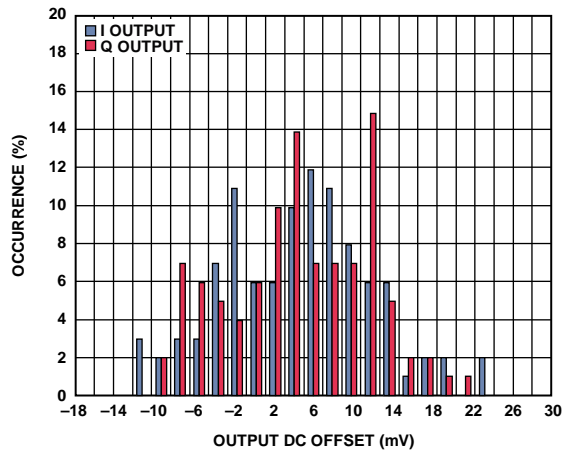


图42. I和Q输出的输出直流失调分布，标称条件

08316-050

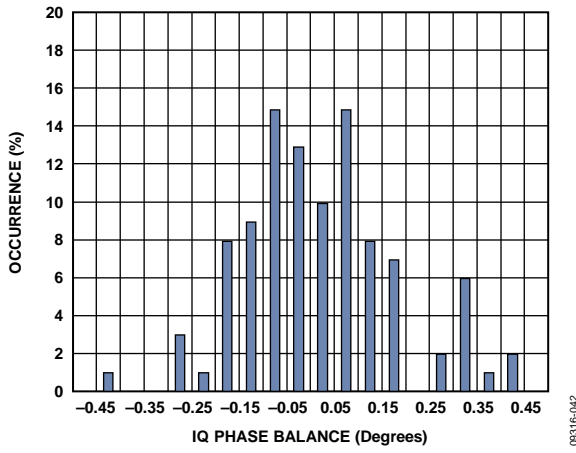


图45. IQ相位平衡，窄带模式，标称条件

08316-042

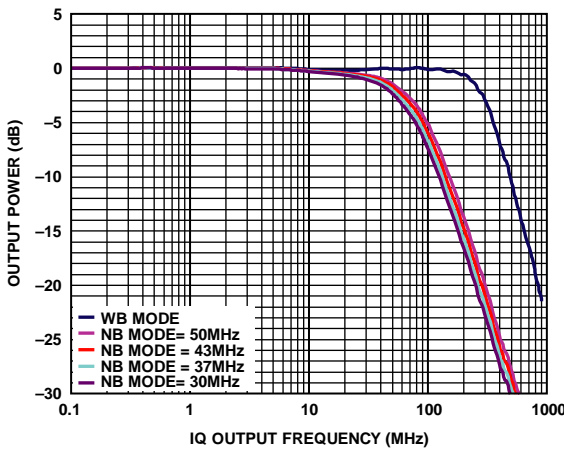


图43. 归一化IQ输出带宽，窄带和宽带模式，标称条件

08316-047

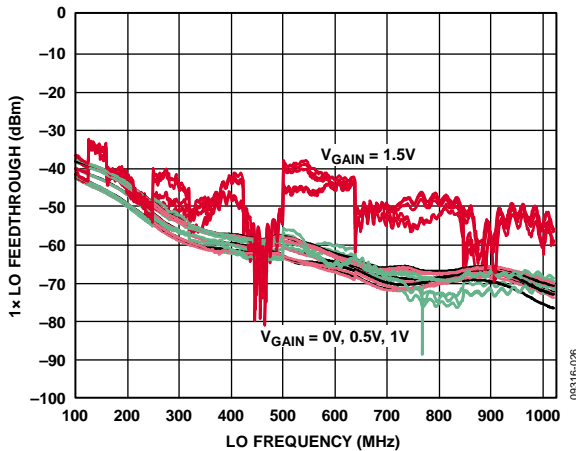


图46. 1x LO馈通与LO频率、 $V_{GAIN}$ 、电源和温度的关系，窄带模式

08316-026



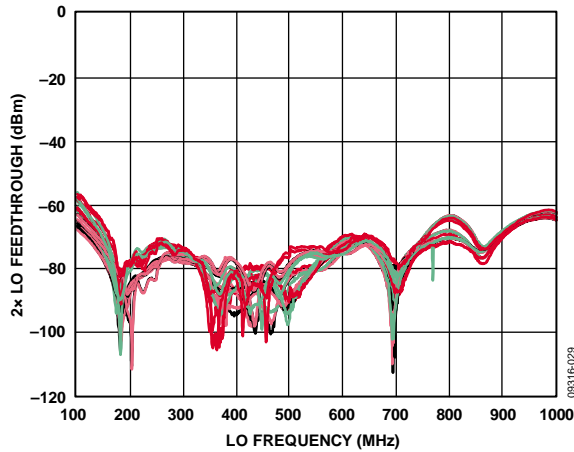


图47. 2× LO馈通与LO频率、 $V_{GAIN}$ 、电源和温度的关系，窄带模式

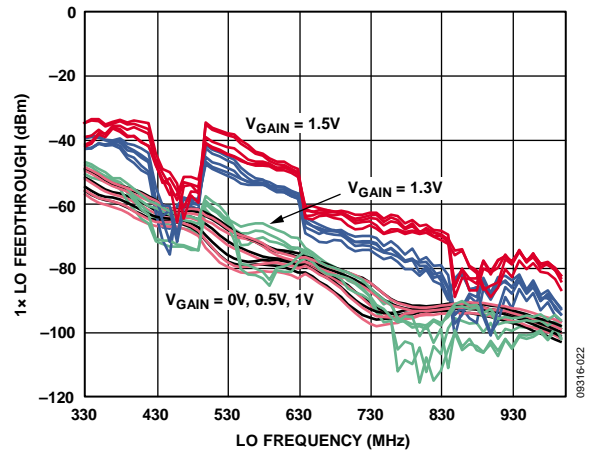


图50. 1× LO馈通与LO频率、 $V_{GAIN}$ 、电源和温度的关系，应用300 MHz的四阶滤波器，宽带模式

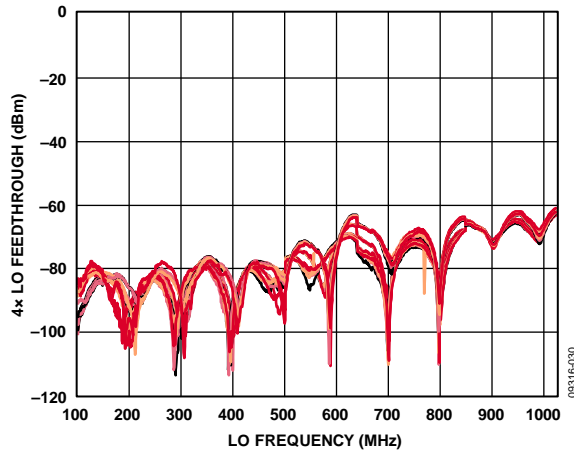


图48. 4× LO馈通与LO频率、 $V_{GAIN}$ 、电源和温度的关系，窄带模式

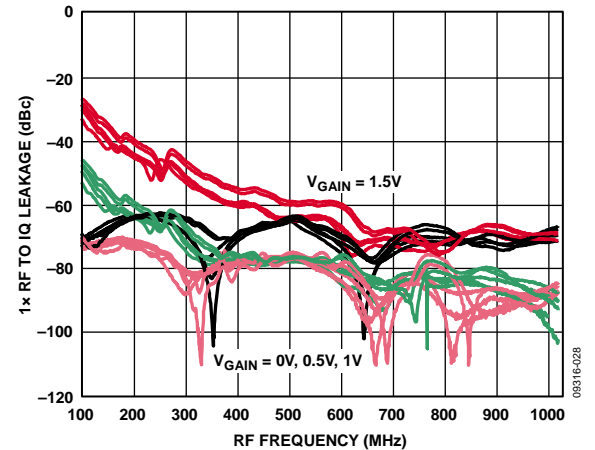


图51. 1× RF馈通与RF输入频率、 $V_{GAIN}$ 、电源和温度的关系，窄带模式

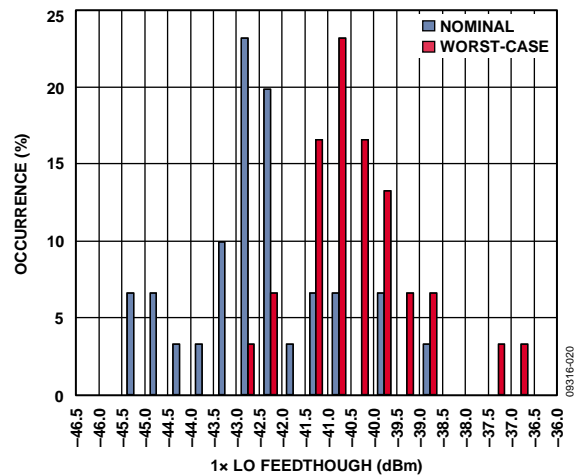


图49. 1× LO馈通分布，标称和最差条件，LO频率 > 300 MHz，窄带模式

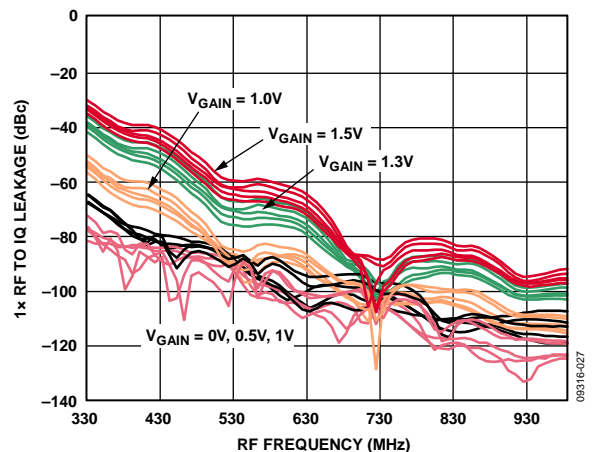


图52. 1× RF馈通与RF输入频率、 $V_{GAIN}$ 、电源和温度的关系，应用300 MHz的四阶滤波器，宽带模式

# ADRF6850

## 工作原理

### 概览

ADRF6850器件可以分为以下几个基本构建模块：

- PLL频率合成器和VCO
- 正交解调器
- 可变增益放大器(VGA)
- I<sup>2</sup>C/SPI接口

以下部分将详细介绍各个模块。

### PLL频率合成器和VCO

#### 概览

锁相环(PLL)包括一个25位固定模数的小数N分频频率合成器，整个频率范围内的频率分辨率小于1 Hz。它还有一个集成电压控制振荡器(VCO)，其基波输出频率范围为2,000 MHz至4,000 MHz。一个RF分频器(由寄存器CR28的位[2:0]控制)将频率范围的下限扩展到400 MHz以下。然后，此400 MHz至4000 MHz频率输出被施加于一个4分频正交电路，以便向正交解调器提供100 MHz至1000 MHz的本振(LO)。

#### 参考输入部分

参考输入级如图53所示。SW1和SW2为常闭开关。SW3常开。启动关断程序后，SW3闭合，SW1和SW2断开，确保关断期间REFIN引脚无负载。

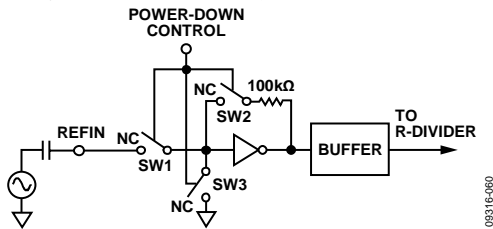


图53. 参考输入级

#### 参考输入路径

片内参考倍频器可以使输入参考信号频率加倍，这可用于提高PFD比较频率。提高PFD频率可改善系统的噪声性能。PFD频率加倍一般可使带内相位噪声性能改善3 dBc/Hz。

利用5位R分频器，可以细分输入参考频率( $f_{REFIN}$ )以产生PFD的参考时钟。分频比可以为1至32。

参考输入路径还有一个额外的2分频( $\div 2$ )功能，可进一步细分频率。

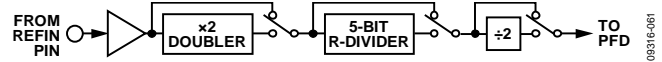


图54. 参考输入路径

PFD频率公式如下

$$f_{PFD} = f_{REFIN} \times [(1 + D)/(R \times (1 + T))] \quad (1)$$

其中：

$f_{REFIN}$ 为参考输入频率；

$D$ 为倍频器位；

$R$ 为二进制5位可编程参考分频器的编程分频比(1至32)；

$T$ 为 $\div 2$ 位(0或1)。

#### RF小数N分频器

RF小数N分频器可以在PLL反馈路径中提供一个23至4095的分频比。小数N分频器与LO频率的关系参见以下部分所述。

#### INT与FRAC的关系

利用整数(INT)和小数(FRAC)值，可以产生间隔为鉴频鉴相器(PFD)频率的分数的输出频率。更多信息参见“设置正确的LO频率”部分。

LO频率公式如下

$$LO = f_{PFD} \times (INT + (FRAC/2^{25}))/2 \times 2^{RFDIV} \quad (2)$$

其中：

$LO$ 为本振频率；

$f_{PFD}$ 为PFD频率；

INT为所需分频系数的整数部分，由CR6和CR7寄存器控制；

FRAC为所需分频系数的小数部分，由CR0至CR3寄存器控制；

RFDIV为寄存器CR28位[2:0]的设置，控制位于PLL输出端的分频器的设置。

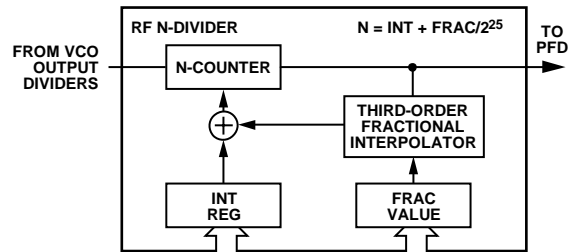


图55. RF小数N分频器

#### 鉴频鉴相器(PFD)和电荷泵

PFD接受R分频器和N计数器的输入，产生与二者的相位和频率差成比例的输出(简化原理图见图56)。PFD内置一个固定延迟元件，用来设置反冲防回差脉冲宽度，确保PFD传递函数无死区。

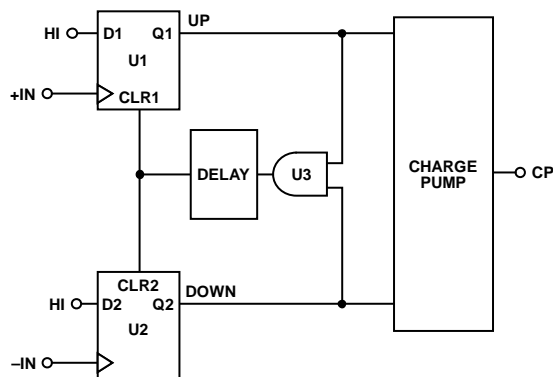


图56. PFD简化原理图

## 锁定检测(LDET)

LDET(引脚40)指示PLL是否实现了误差频率小于1 kHz的锁定。写入寄存器CR0时，新的PLL采集周期开始，LDET信号变为低电平。实现锁定时，此信号变为高电平。

## 电压控制振荡器(VCO)

ADRF6850中的VCO内核由三个独立的VCO组成，各VCO具有16个重叠频段，这种48频段配置使得VCO频率范围达到2000 MHz至4000 MHz。三个VCO由一个可编程分频器(RFDIV，受寄存器CR28的位[2:0]控制)外部分频。此分频器提供1、2、4或8的分频比，从而提供250 MHz (2000 MHz/8)至4000 MHz (4000 MHz/1)的频率范围。需要仅400 MHz的下限。4分频正交电路提供100 MHz至1000 MHz的完整LO频率范围。图57所示为 $V_{TUNE}$ 与LO频率的扫描关系图，显示了100 MHz至1000 MHz的LO频率范围时三个VCO的重叠和各VCO内的多个重叠频段。注意，此图包括利用RFDIV分频器对VCO基频进一步分频的情况；因此，在完整LO频率范围内，各VCO用于四种不同的情况。三个16频段VCO和一个RFDIV分频器可以覆盖很宽的频率范围，VCO灵敏度( $K_{VCO}$ )无需非常高，相位噪声和杂散性能也不会变差。

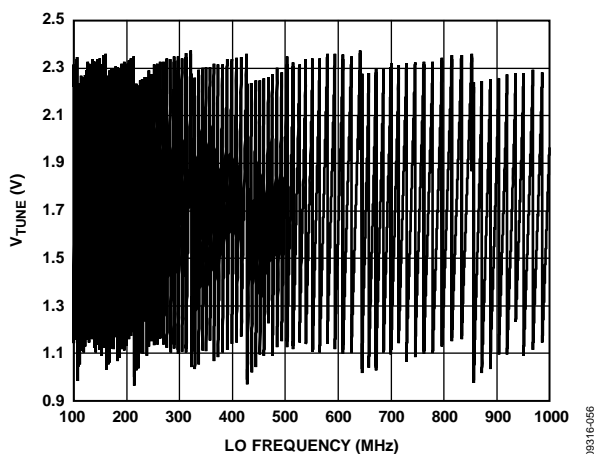


图57.  $V_{TUNE}$ 与LO频率的关系

寄存器CR0更新时，VCO和频段选择电路会自动选择正确的VCO和频段，这称为自动校准。自动校准时间由寄存器CR25设置。

$$\text{自动校准时间} = (BSCDIV \times 24) / PFD \quad (3)$$

其中：

$BSCDIV$  = 寄存器CR25的位[7:0]；

$PFD$  = PFD频率。

当PFD频率为27 MHz且BSCDIV为112时，自动校准时间为100  $\mu$ s。

注意，PFD频率改变时，必须重新计算BSCDIV。建议自动校准时间为100  $\mu$ s。在此时间内，VCO  $V_{TUNE}$ 与环路滤波器的输出断开，连接到内部基准电压。图58所示为典型的频率采集曲线。

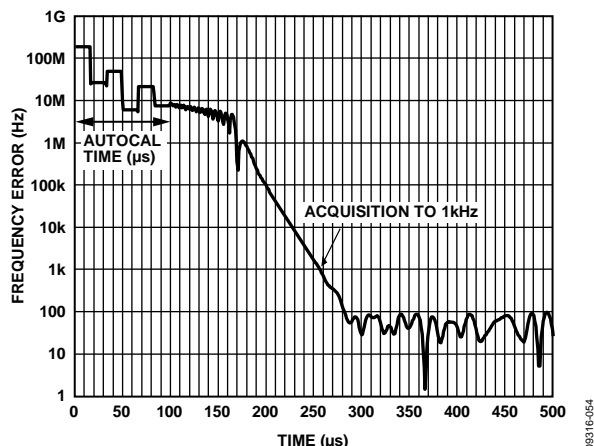


图58. PLL采集

自动校准后，恢复正常PLL操作，一般在260  $\mu$ s内采集到频率误差在1 kHz内的正确频率。对于最大100 kHz的累积步进，可以通过寄存器CR24的位0关闭自动校准。这样就可以在无自动校准的情况下进行100 kHz或以下的累积PLL采集，显著缩短采集时间(参见图59)。

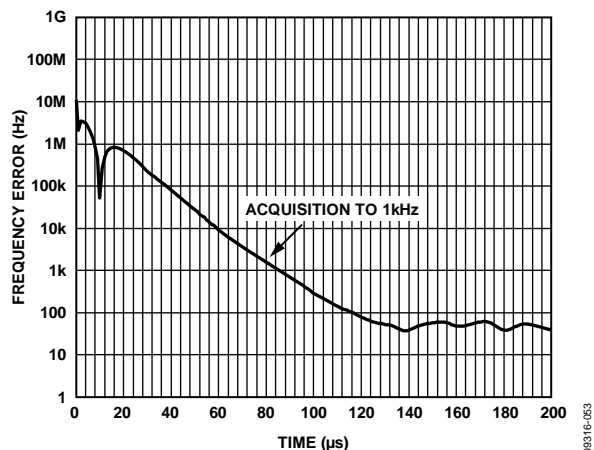


图59. 无自动校准的PLL采集(100 kHz步进)

# ADRF6850

$V_{TUNE}$  在频段内和频段间变化时, VCO的 $K_v$ 随之变化。图60显示了 $K_{VCO}$ 在500 MHz至1000 MHz的LO基频范围内的变化。注意,  $K_{VCO}$ 对应的是LO频率, 而非VCO频率。利用ADISimPLL™计算环路滤波器带宽和个别环路滤波器元件时, 可以使用图60。ADISimPLL是ADI公司开发的一种仿真器, 用来辅助PLL设计, 特别是环路滤波器的设计。根据一组特定的输入条件, 它能算出相位噪声、积分相位噪声、采集时间等参数。ADISimPLL可以从[www.analog.com](http://www.analog.com)下载。

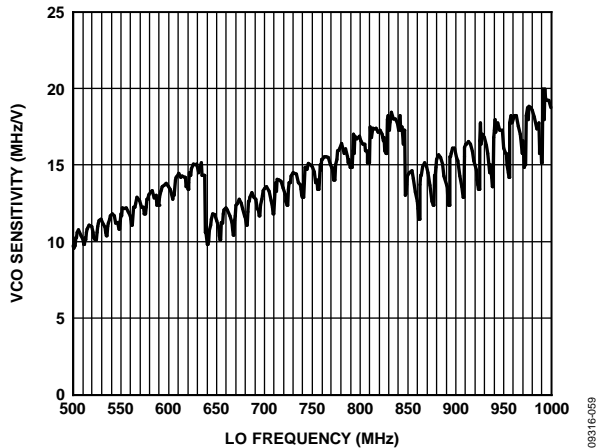


图60.  $K_{VCO}$  与LO频率的关系

## 设置正确的LO频率

设置正确的LO频率包括两个步骤。用户可以根据所需的LO频率和PFD频率, 计算PLL所需的N分频比和RFDIV值。

- 根据下面的查找表(表6)计算用来设置寄存器CR28位[2:0]的RFDIV值。另请参见表24。

表6. RFDIV查找表

LO频率(MHz)	RFDIV = 寄存器CR28[2:0]
500至1000	000 = 1分频
250至500	001 = 2分频
125至250	010 = 4分频
100至125	011 = 8分频

- 利用下式计算N分频器的值:

$$N = (2^{RFDIV} \times 2 \times LO) / (f_{PFD}) \quad (4)$$

其中:

$N$ 为N分频值;

$RFDIV$ 为寄存器CR28位[2:0]的设置;

$LO$ 为本振频率;

$f_{PFD}$ 为PFD频率;

此公式是公式2的不同表达形式。

## 设置正确的LO频率示例

假设PFD频率为27 MHz, 所需的LO频率为330 MHz。

步骤1. 从表6得知,  $2^{RFDIV} = 2$ 。

步骤2.  $N = (2 \times 2 \times 330E+6) / (27E+6) = 48.88888889$ 。

N分频值由整数(INT)部分和小数(FRAC)部分组成, 如下式所示:

$$N = INT + FRAC / 2^{25} \quad (5)$$

INT = 48, FRAC = 29,826,162。

然后必须根据寄存器映射设置相应的寄存器, 确保寄存器CR0是最后编程的寄存器, 因为此写操作将启动一个新的PLL采集周期。

## 正交解调器

正交解调器可以通过寄存器CR29的位0使能。它有一个可工作在窄带或宽带模式的输出滤波器, 工作模式通过寄存器CR29的位3选择。宽带模式的1 dB滤波器截止频率为250 MHz。窄带模式具有30 MHz至50 MHz可选的滤波器截止频率, 该截止频率通过寄存器CR29的位[5:4]设置。将寄存器CR29的位6设为1, 可以设置1.4 V ( $V_{OCM}$ )的内部直流偏置电压。若要选择外部直流偏置电压, 应将寄存器CR29的位6设为0, 并且用所需的外部偏置电压驱动引脚7 V<sub>OCM</sub>。

## 可变增益放大器(VGA)

解调器输入端的可变增益放大器(VGA)既可单端驱动, 也可差分驱动。

若要单端驱动, 应将引脚53 RFCM连接到引脚51 RFI, 并且用10 nF电容将这两个引脚去耦至地。通过引脚55 RFI驱动输入信号。

若要差分驱动, 应使用巴伦, 通过巴伦的平衡输出驱动RFI和RFI引脚, 并且将RFCM引脚连接到巴伦公共输出端。应将RFCM去耦至地。

VGA增益范围约为60 dB, 通过改变VGAIN电压(0 V至1.5 V)来实现。典型性能参数部分给出了有关VGA增益性能的更多信息。如果VGA增益模式极性位(CR30的位2)置0, 则VGAIN的0 V输入设置0 dB的VGA增益, 1.5 V输入设置+60 dB的VGA增益。如果VGA增益模式极性位设为1, 则VGAIN的0 V输入电压设置+60 dB的VGA增益, 1.5 V输入设置0 dB的VGA增益。

将寄存器CR30的位0设为0, 可以关断VGA; 将该位设为1, 可以使VGA上电。

## I<sup>2</sup>C接口

ADRF6850支持双线I<sup>2</sup>C兼容型串行总线驱动多个外设。该器件上电进入I<sup>2</sup>C模式, 但未锁定此模式。要保持I<sup>2</sup>C模式, 建议用户将CS线连接到3.3 V或GND, 从而禁用SPI模式。

串行数据(SDA)和串行时钟(SCL)输入承载任何连接到总线的器件之间的信息。每个从机都通过一个唯一的地址识别。对于读操作和写操作(0x78和0x58), ADRF6850均有两个可能的7位从机地址。7位从机地址的MSB设为1。从机地址的位5由CS引脚(引脚27)设置。从机地址的Bits[4:0]设为11000。从机地址由一个8位字的7位MSB组成。该字的LSB设置读或写操作(见图61)。逻辑1对应于读操作, 逻辑0对应于写操作。

要控制总线上的器件, 必须遵循下列规则:

1. 主机通过建立起始条件而启动数据传输; 起始条件要求SDA发生高低转换, 同时SCL保持高电平。这表示随后将出现地址/数据流。
2. 所有外设都对起始条件做出响应, 并对接下来的8个位(7位地址加R/W位)移位。这些位以MSB到LSB的方式传输。
3. 在第9个时钟脉冲期间, 能够识别所发送地址的外设通过将数据线拉低来做出响应。这就是所谓应答位。
4. 所有其它器件从总线退出, 保持空闲状态。在空闲条件下, 器件监控SDA和SCL线, 等待起始条件和正确的传输地址。

5. R/W位决定数据的方向。如果第一个字节的LSB为逻辑0, 则表示主机将信息写入外设, 如果为逻辑1, 则表示主机将从外设读取信息。

ADRF6850在总线上用作标准从机器件。SDA引脚上的数据为8位, 支持7位地址加R/W位。ADRF6850具有34个子地址以支持用户访问内部寄存器; 因此, 它将第一个字节解释器件地址, 将第二个字节解释为起始子地址。

它支持自动递增模式, 数据可以读出或写入起始子地址及后续各地址, 而无需手动寻址后续子地址。数据传输总是由停止条件终止。用户也可以逐个访问任一子地址寄存器, 而无需更新所有寄存器。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序, 则将造成器件立即跳出到空闲状态。如果用户发送的子地址无效, ADRF6850不会发送应答, 而是直接返回到空闲状态。不应答条件是指在第9个时钟脉冲期间, SDA线未被拉低。写入和读取数据传输示例参见图62和图63, 时序方案参见图64, 更详细时序图参见图2。

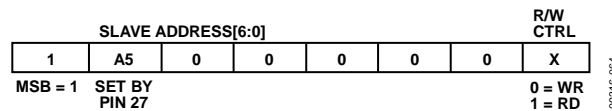


图61. 从机地址配置

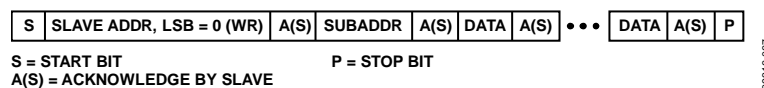


图62. I<sup>2</sup>C写数据传输

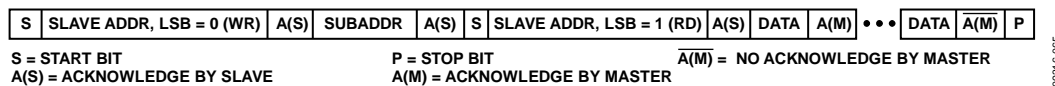


图63. I<sup>2</sup>C读数据传输

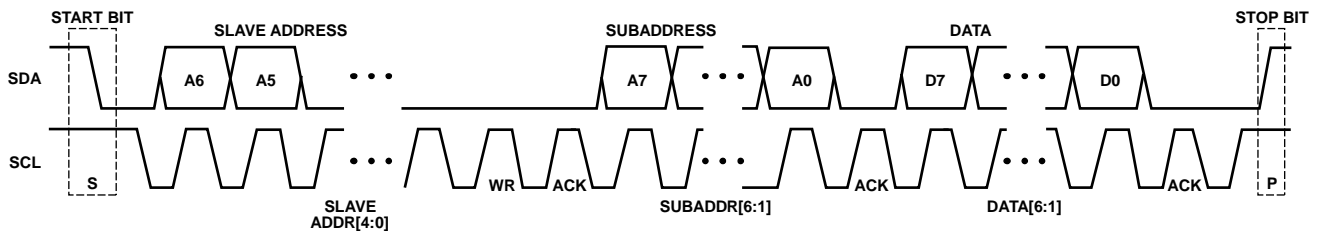


图64. I<sup>2</sup>C数据传输时序

# ADRF6850

## SPI接口

ADRF6850支持SPI协议，但器件上电进入I<sup>2</sup>C模式。要选择并锁定SPI模式，必须向CS引脚发送3个脉冲，如图65所示。锁定SPI模式后，在器件保持上电期间无法解除锁定。要复位串行接口，必须关断器件然后再次上电。

## 串行接口选择

CS引脚控制I<sup>2</sup>C或SPI接口的选择。图65显示了锁定SPI模式所需的选择过程。要利用SPI协议与器件通信，必须向CS引脚发送3个脉冲。在第三个上升沿，器件选择并锁定SPI协议。与大部分SPI标准相同，CS引脚在与器件进行SPI通信期间必须保持低电平，在所有其它时间保持高电平。

## SPI串行接口功能

ADRF6850的SPI串行接口由CS、SDI(SDI/SDA)、CLK(CLK/SCL)和SDO引脚组成。当串行时钟和数据线连接有多个器件时，CS用于选择其中一个器件。CLK用于将数据输入和输出器件。SDI线用于写入寄存器。SDO引

脚是读取模式的专用输出。该器件采用从机模式工作，并需要在CLK引脚施加外部串行时钟。利用该串行接口，器件可以与所提供串行时钟与串行数据同步的系统进行接口。

图66显示了对ADRF6850执行写操作的示例。利用一个24位写入命令，数据在CLK的上升沿输入寄存器。前8位表示写入命令(0xD4)，其后8位是寄存器地址，最后8位是要写入特定寄存器的数据。图67显示了读操作的一个例子。此例中，首先使用一个缩短的16位写入命令来选择要执行读操作的寄存器，前8位表示写入命令(0xD4)，后8位表示特定寄存器。然后，CS线第二次变为低电平，以便利用一个16位读取命令从选定的寄存器检索数据，前8位表示读取命令(0xD5)，后8位表示要读取的寄存器的内容。图3给出了SPI读操作和写操作的时序。

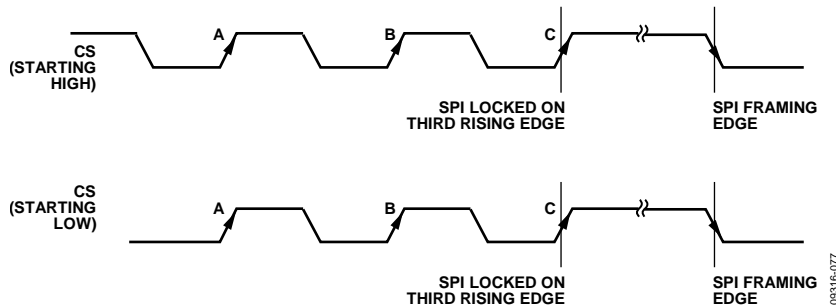


图65. 选择SPI协议

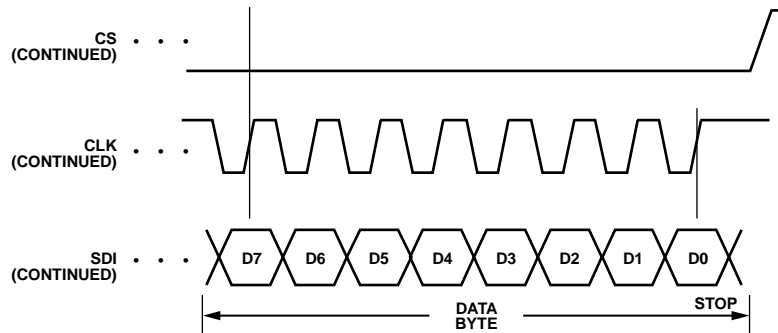
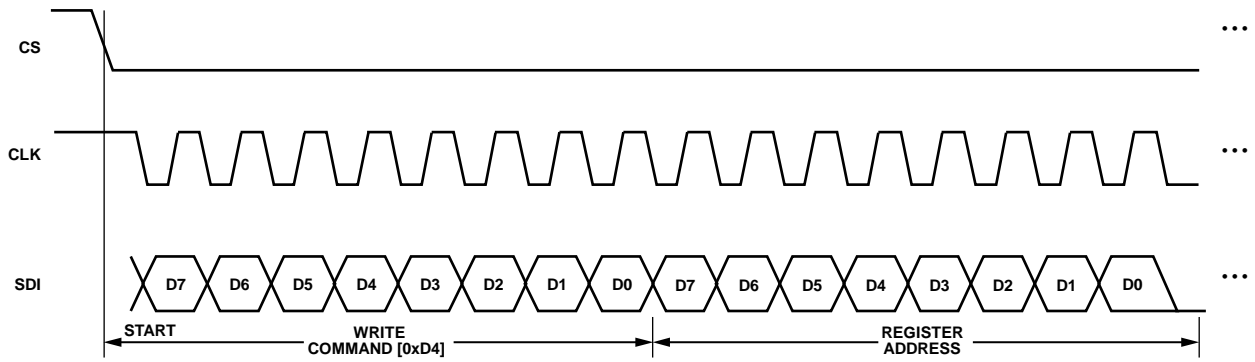


图66. SPI字节写入示例

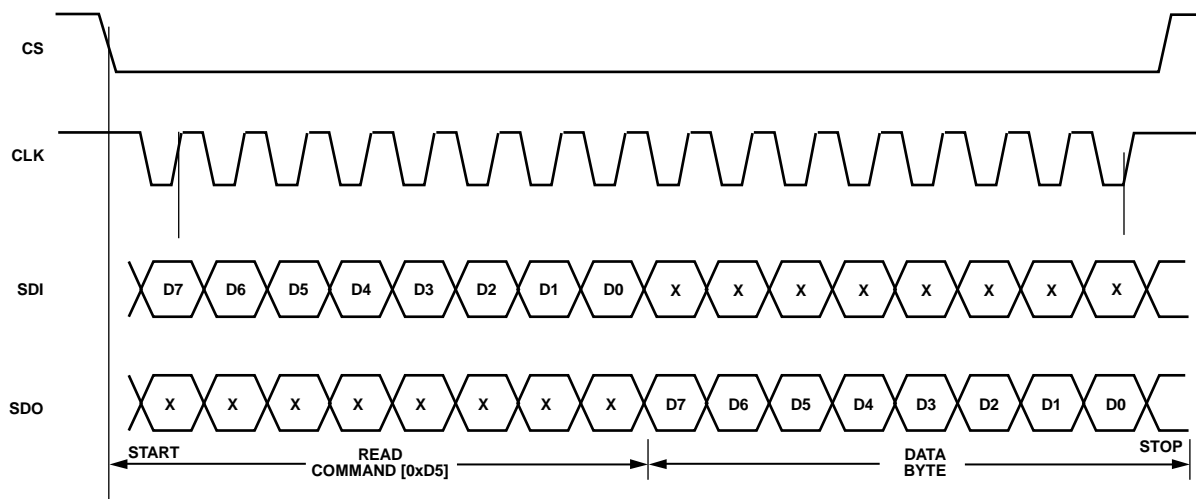
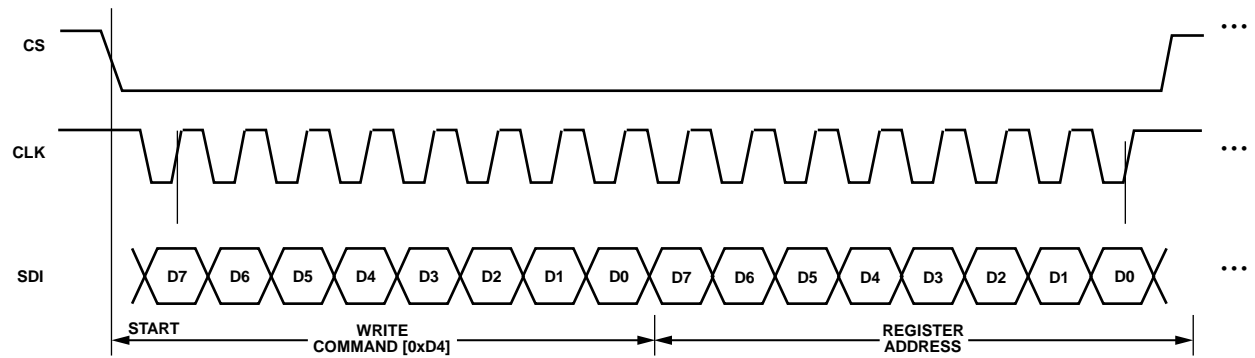


图67. SPI字节读取示例

# ADRF6850

## 编程模式

ADRF6850具有34个8位寄存器，允许对许多功能进行编程控制。其中只有31个寄存器是可写的。SPI和I2C接口均可用来对寄存器编程。接口和时序的详细信息参见图61至图67。寄存器说明见表8至表27。

ADRF6850有多个设置采用双缓冲，包括FRAC值、INT值、RFDIV值、5位R分频器值、参考倍频器、R÷2分频器和电荷泵电流设置。这意味着，该器件要使用任何双缓冲设置的新值，必须发生两个事件。首先，通过写入适当的寄存器，将新值锁存至器件中。然后，必须对寄存器CR0执行一次新的写操作。写入寄存器CR0后，就会发生新的PLL采集。

例如，更新小数值涉及到写入寄存器CR3、CR2、CR1和CR0。首先应写入寄存器CR3，然后写入寄存器CR2和寄存器CR1，最后写入寄存器CR0。新采集开始于写入寄存器CR0之后。双缓冲确保了写入的位不会在写入寄存器CR0前生效。

## 12位整数值

寄存器CR7和CR6设置反馈分频系数(N)的整数值(INT)，详情参见公式5。INT值是一个12位数，MSB通过寄存器CR7的位[3:0]设置，LSB通过寄存器CR6的位[7:0]设置。LO频率设置如公式2所示。公式4是此公式的另一种情形，说明了如何设置N分频器值。注意，这些寄存器是双缓冲型。

## 25位小数值

寄存器CR3至CR0设置反馈分频系数(N)的小数值(FRAC)，详情参见公式5。FRAC值是一个25位数，MSB通过寄存器CR3的位0设置，LSB通过寄存器CR0的位0设置。LO频率设置如公式2所示。同样，公式4是此公式的另一种情形，说明了如何设置N分频器值。注意，这些寄存器是双缓冲型。

## RFDIV值

RFDIV值取决于LO频率的值。RFDIV值可以从表6选择。将所选的RFDIV值以及LO频率、PFD频率代入公式4，计算正确的N分频器值。

## 参考输入路径

参考输入路径由参考倍频器、5位分频器和2分频功能组成(参见图54)。倍频器通过寄存器CR10的位5设置。5位分频器通过寄存器CR5的位4使能，分频比通过寄存器CR10的位[4:0]设置。R÷2分频器通过寄存器CR10的位6设置。注意，这些寄存器是双缓冲型。

## 电荷泵电流

寄存器CR9的位[7:4]用于设置电荷泵的电流。当RSET值为4.7 kΩ时，最大电荷泵电流为5 mA。计算公式如下：

$$I_{CP\ max} = 23.5/R_{SET} \quad (6)$$

电荷泵电流具有从325 μA到5 mA的16种设置。

## 关断/上电控制位

4个可编程上电和关断控制位如下：

- 寄存器CR12的位2，PLL(包括VCO)的主电源控制位。此位一般设置为默认值0，以允许PLL上电。
- 寄存器CR27的位2，控制LO监控输出LOMON和LOMON。默认值为0，监控输出关断。将此位设为1时，监控输出上电至-6 dBm、-12 dBm、-18 dBm或-24 dBm，具体由寄存器CR27的位[1:0]控制。
- 寄存器CR29的位0，控制正交解调器的电源。默认值为0，解调器关断。写入1可以使解调器上电。
- 寄存器CR30的位0。此位控制VGA电源，必须设为1才能使VGA上电。

## 锁定检测(LDET)

锁定检测是通过设置寄存器CR23的位4为1来使能。寄存器CR23的位3和寄存器CR14的位7共同设置PFD需要产生多少升/降脉冲后，LDET引脚才能宣布锁定检测成功(变为高电平)。选项有2048、3072和4096个脉冲。

默认设置为3072个脉冲，此时寄存器CR23的位3等于0，寄存器CR14的位7等于0。将寄存器CR23的位3设为1，并将寄存器CR14的位7设为0时，选择更激进的设置——2048个脉冲，此时锁定检测时间缩短50 μs(对于27 MHz的PFD频率)。但应注意，这不会影响1 kHz误差频率的采集时间。当寄存器CR14的位7设为1时，选择4096个脉冲的设置。为实现最佳操作，应将寄存器CR23的位2设为0，此位将PFD升/降脉冲设置为较低的精度。

## 基带VOCM基准电压

寄存器CR29的位6决定基带输出使用内部还是外部共模基准电压。当基带输出交流耦合时，必须选择内部基准电压，也就是将寄存器CR29的位6设为1，并将引脚7VOCM接地。



当基带输出直流耦合时，很可能需要外部偏置，除非所提供的内部直流偏置在合适的范围内，与后续器件的性能规格相匹配。若要选择外部偏置，应将寄存器CR29的位6设为0，并且用所需的外部偏置电压驱动引脚7 VO<sub>CM</sub>。

#### 窄带和宽带滤波器模式

默认情况下，选择基带输出信号路径的输出缓冲器中的二阶低通滤波器，基带输出处于窄带模式。通过设置寄存器CR29的位[5:4]，可以将此滤波器的截止频率设为50 MHz、43 MHz、37 MHz或30 MHz。将寄存器CR29的位3设为1时，旁路此滤波器并选择宽带模式。

**表7. 基带滤波器设置**

CR29[5:4]	滤波器截止频率(MHz)
00	50
01	43
10	37
11	30

#### VGA增益模式极性

VGA增益的极性由寄存器CR30的位2设置。将寄存器CR30的位2设为0时，选择正增益斜率， $V_{GAIN} = 0$  V设置0 dB的VGA增益， $V_{GAIN} = 1.5$  V设置60 dB的VGA增益。将寄存器CR30的位2设为1时，选择负增益斜率。

# ADRF6850

## 寄存器映射

表8. 寄存器映射汇总

寄存器地址(十六进制)	寄存器名称	类型	描述
0x00	CR0	读/写	小数字4
0x01	CR1	读/写	小数字3
0x02	CR2	读/写	小数字2
0x03	CR3	读/写	小数字1
0x04	CR4	读/写	保留
0x05	CR5	读/写	参考5位R分频器使能
0x06	CR6	读/写	整数数字2
0x07	CR7	读/写	整数数字1
0x08	CR8	读/写	保留
0x09	CR9	读/写	电荷泵电流设置
0x0A	CR10	读/写	参考频率控制
0x0B	CR11	读/写	保留
0x0C	CR12	读/写	PLL上电
0x0D	CR13	读/写	保留
0x0E	CR14	读/写	锁定检测控制2
0x0F	CR15	读/写	保留
0x10	CR16	读/写	保留
0x11	CR17	读/写	保留
0x12	CR18	读/写	保留
0x13	CR19	读/写	保留
0x14	CR20	读/写	保留
0x15	CR21	读/写	保留
0x16	CR22	读/写	保留
0x17	CR23	读/写	锁定检测控制1
0x18	CR24	读/写	自动校准
0x19	CR25	读/写	自动校准定时器
0x1A	CR26	读/写	保留
0x1B	CR27	读/写	LO监控输出
0x1C	CR28	读/写	LO选择
0x1D	CR29	读/写	解调器电源和滤波器选择
0x1E	CR30	读/写	VGA
0x1F	CR31	只读	保留
0x20	CR32	只读	保留
0x21	CR33	只读	版本代码

## 寄存器位功能描述

**表9. 寄存器CR0(地址0x00)小数字4**

Bit	描述
7	小数字F7 <sup>1</sup>
6	小数字F6 <sup>1</sup>
5	小数字F5 <sup>1</sup>
4	小数字F4 <sup>1</sup>
3	小数字F3 <sup>1</sup>
2	小数字F2 <sup>1</sup>
1	小数字F1 <sup>1</sup>
0	小数字F0 (LSB) <sup>1</sup>

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

**表10. 寄存器CR1(地址0x01)小数字3**

Bit	描述
7	小数字F15 <sup>1</sup>
6	小数字F14 <sup>1</sup>
5	小数字F13 <sup>1</sup>
4	小数字F12 <sup>1</sup>
3	小数字F11 <sup>1</sup>
2	小数字F10 <sup>1</sup>
1	小数字F9 <sup>1</sup>
0	小数字F8 <sup>1</sup>

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

**表11. 寄存器CR2(地址0x02)小数字2**

Bit	描述
7	小数字F23 <sup>1</sup>
6	小数字F22 <sup>1</sup>
5	小数字F21 <sup>1</sup>
4	小数字F20 <sup>1</sup>
3	小数字F19 <sup>1</sup>
2	小数字F18 <sup>1</sup>
1	小数字F17 <sup>1</sup>
0	小数字F16 <sup>1</sup>

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

**表12. 寄存器CR3(地址0x03)小数字1**

Bit	描述
7	保留
6	保留
5	保留
4	保留
3	保留
2	保留
1	保留
0	小数字F24 (MSB) <sup>1</sup>

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

**表13. 寄存器CR5(地址0x05)参考5位R分频器使能**

Bit	描述
7	保留
6	保留
5	保留
4	5位R分频器使能 <sup>1</sup> 0 = 禁用5位R分频器(默认) 1 = 使能5位R分频器
3	保留
2	保留
1	保留
0	保留

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

**表14. 寄存器CR6(地址0x06)整数数字2**

Bit	描述
7	整数数字N7 <sup>1</sup>
6	整数数字N6 <sup>1</sup>
5	整数数字N5 <sup>1</sup>
4	整数数字N4 <sup>1</sup>
3	整数数字N3 <sup>1</sup>
2	整数数字N2 <sup>1</sup>
1	整数数字N1 <sup>1</sup>
0	整数数字N0 <sup>1</sup>

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

**表15. 寄存器CR7(地址0x07)整数数字1**

Bit	描述
[7:4]	MUXOUT控制 0000 = 三态 0001 = 逻辑高电平 0010 = 逻辑低电平 1101 = RCLK/2 1110 = NCLK/2
3	整数数字N11 <sup>1</sup>
2	整数数字N10 <sup>1</sup>
1	整数数字N9 <sup>1</sup>
0	整数数字8 <sup>1</sup>

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

# ADRF6850

**表16. 寄存器CR9(地址0x09), 电荷泵电流设置**

Bit	描述
[7:4]	电荷泵电流 <sup>1</sup> 0000 = 0.31 mA (默认) 0001 = 0.63 mA 0010 = 0.94 mA 0011 = 1.25 mA 0100 = 1.57 mA 0101 = 1.88 mA 0110 = 2.19 mA 0111 = 2.50 mA 1000 = 2.81 mA 1001 = 3.13 mA 1010 = 3.44 mA 1011 = 3.75 mA 1100 = 4.06 mA 1101 = 4.38 mA 1110 = 4.69 mA 1111 = 5.00 mA
3	保留
2	保留
1	保留
0	保留

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

**表17. 寄存器CR10(地址0x0A), 参考频率控制**

Bit	描述
7	保留 <sup>1</sup>
6	R 2分频分频器使能 <sup>1</sup> 0 = 旁路R 2分频分频器 1 = 使能R 2分频分频器
5	R倍频器使能 <sup>1</sup> 0 = 禁用倍频器(默认) 1 = 使能倍频器
[4:0]	5位R分频器设置 <sup>1</sup> 00000 = 32分频(默认) 00001 = 1分频 00010 = 2分频 ... 11110 = 30分频 11111 = 31分频

<sup>1</sup> 双缓冲。写入寄存器CR0时加载。

**表18. 寄存器CR12(地址0x0C), PLL上电**

Bit	描述
7	保留
6	保留
5	保留
4	保留
3	保留
2	PLL关断 0 = PLL上电(默认) 1 = PLL关断
1	保留
0	保留

**表19. 寄存器CR14(地址0x0E), 锁定检测控制2**

Bit	描述
7	锁定检测升/降计数 <sup>2</sup> 0 = 2048/3072升/降脉冲 1 = 4096升/降脉冲
6	保留
5	保留
4	保留
3	保留
2	保留
1	保留
0	保留

**表20. 寄存器CR23(地址0x17), 锁定检测控制1**

Bit	描述
7	保留
6	保留
5	保留
4	锁定检测使能 0 = 锁定检测禁用(默认) 1 = 锁定检测使能
3	锁定检测升/降计数 寄存器CR14[7] = 0: 0 = 3072升/降脉冲 1 = 2048升/降脉冲
2	锁定检测精度 0 = 低、粗(16 ns) 1 = 高、精(6 ns)
1	保留
0	保留

**表21. 寄存器CR24(地址0x18), 自动校准**

Bit	描述
7	保留
6	保留
5	保留
4	保留
3	保留
2	保留
1	保留
0	禁用自动校准 0 = 使能自动校准(默认) 1 = 禁用自动校准

**表22. 寄存器CR25(地址0x19), 自动校准定时器**

Bit	描述
[7:0]	自动校准定时器

**表23. 寄存器CR27(地址0x1B), LO监控输出**

Bit	描述
7	保留
6	保留
5	保留
4	保留
3	保留
2	监控输出上电 0 = 关断(默认) 1 = 上电
[1:0]	驱动50 Ω的监控输出电源 00 = -24 dBm(默认) 01 = -18 dBm 10 = -12 dBm 11 = -6 dBm

**表24. 寄存器CR28(地址0x1C), LO选择**

Bit	描述
7	保留
6	保留
5	保留
4	保留
3	保留, 置1
[2:0]	RFDIV 000 = 1分频; LO = 500 MHz至1000 MHz 001 = 2分频; LO = 250 MHz至500 MHz 010 = 4分频; LO = 125 MHz至250 MHz 011 = 8分频; LO = 100 MHz至125 MHz

**表25. 寄存器CR29(地址0x1D), 解调器电源和滤波器选择**

Bit	描述
7	保留
6	内部基带(V <sub>OCM</sub> )选择 0 = 选择外部基带(V <sub>OCM</sub> )基准电压 1 = 选择内部基带(V <sub>OCM</sub> )基准电压
[5:4]	窄带滤波器截止频率 00 = 50 MHz 01 = 43 MHz 10 = 37 MHz 11 = 30 MHz
3	基带宽带/窄带模式 0 = 窄带模式 1 = 宽带模式
2	保留, 置0
1	保留, 置0
0	解调器上电 0 = 关断(默认) 1 = 上电

**表26. 寄存器CR30(地址0x1E), VGA**

Bit	描述
7	保留
6	保留
5	保留
4	保留
3	保留
2	VGA增益模式极性 0 = 正增益斜率 1 = 负增益斜率
1	保留
0	VGA上电 0 = 关断 1 = 上电

**表27. 寄存器CR33(地址0x21), 版本代码<sup>1</sup>**

Bit	描述
7	版本代码
6	版本代码
5	版本代码
4	版本代码
3	版本代码
2	版本代码
1	版本代码
0	版本代码

<sup>1</sup> 只读寄存器。

## 建议上电序列

### 初始寄存器写序列

器件通电后，应遵守以下的写序列，特别是对于保留的寄存器设置。注意，寄存器CR33、CR32和CR31为只读寄存器。还应注意，所有可写寄存器都应在上电时写入。有关所有寄存器的详细信息，参见“寄存器映射”部分。

1. 将0x00写入寄存器CR30。将VGA电源设为关断，将VGA增益斜率设为正。
2. 将0x41写入寄存器CR29。解调器上电。选择基带窄带模式，并将截止频率设为50 MHz。选择内部基带VOCM基准电压。
3. 将0x0X写入寄存器CR28。RFDIV取决于要使用的LO频率值，应根据表6设置。注意，寄存器CR28的位3设为1。
4. 将0x00写入寄存器CR27。LO监控进入关断状态。
5. 将0x00写入寄存器CR26。保留寄存器。
6. 将0x70写入寄存器CR25。对于27 MHz的PFD频率，将自动校准时间设为100  $\mu$ s。如果PFD频率不同，应根据公式3设置CR25。
7. 将0x38写入寄存器CR24。使能自动校准。
8. 将0x70写入寄存器CR23。使能锁定检测，并将锁定检测计数器设为3072个升/降脉冲。
9. 将0x00写入寄存器CR22。保留寄存器。
10. 将0x00写入寄存器CR21。保留寄存器。
11. 将0x00写入寄存器CR20。保留寄存器。
12. 将0x00写入寄存器CR19。保留寄存器。
13. 将0x60写入寄存器CR18。保留寄存器。
14. 将0x00写入寄存器CR17。保留寄存器。
15. 将0x00写入寄存器CR16。保留寄存器。
16. 将0x00写入寄存器CR15。保留寄存器。
17. 将0x00写入寄存器CR14。锁定检测控制2。
18. 将0x08写入寄存器CR13。保留寄存器。
19. 将0x18写入寄存器CR12。PLL上电。
20. 将0x00写入寄存器CR11。保留寄存器。
21. 将0x21写入寄存器CR10。使能参考路径倍频器，旁路5位分频器和R 2分频分频器。
22. 将0x70写入寄存器CR9。对于推荐的环路滤波器元件值、RSET = 4.7 k $\Omega$ 和50 kHz的环路带宽，电荷泵电流设为2.5 mA。
23. 将0x00写入寄存器CR8。保留寄存器。
24. 将0x0X写入寄存器CR7。根据“工作原理”部分的公式4和公式5设置。
25. 将0xXX写入寄存器CR6。根据“工作原理”部分的公式4和公式5设置。
26. 将0x00写入寄存器CR5。禁用5位参考分频器。
27. 将0x01写入寄存器CR4。保留寄存器。
28. 将0x0X写入寄存器CR3。根据“工作原理”部分的公式4和公式5设置。
29. 将0xXX写入寄存器CR2。根据“工作原理”部分的公式4和公式5设置。
30. 将0xXX写入寄存器CR1。根据“工作原理”部分的公式4和公式5设置。
31. 将0xXX写入寄存器CR0。根据“工作原理”部分的公式4和公式5设置。为使所有双缓冲位写操作生效，寄存器CR0必须是最后写入的寄存器。
32. 监控LDET输出或等待260  $\mu$ s，确保PLL锁定。
33. 将0x01写入寄存器CR30。将VGA设置为上电。

## 评估板

### 概述

评估板设计用于帮助用户评估ADRF6850的性能。它包含以下部分：

- ADRF6850 DUT。这是一个集成小数N分频PLL和VCO的I/Q解调器。
- SPI和I<sup>2</sup>C接口连接器。
- 基带输出连接器
- 四阶低通环路滤波器电路
- 13.5 MHz参考时钟，以及驱动板外部参考输入的功能。
- 支持TESTLO差分信号输入的电路，包括直流偏置电路。
- 监控LOMON输出的电路。
- 用于电源、VGAIN输入和单端RF输入的SMA连接器。

评估板附带相关的软件，以使用户能够对ADRF6850轻松编程。

### 硬件说明

欲了解更多信息，参见图69的电路图。

### 电源

外部+3.3 V电源(DUT + 3.3 V)为ADRF6850上的9个VCCx电源和13.5 MHz时钟参考供电。

### 建议电源去耦

外部+3.3 V电源由一个10 μF电容初步去耦，然后由100 nF

和56 pF电容的并联组合进一步去耦，后两个电容应尽可能靠近DUT放置，以便实现良好的本地去耦。所有这些电容的阻抗应很低，并且在较宽频率范围内保持稳定。表贴多层陶瓷芯片(MLCC) II类电容提供非常低的ESL和ESR，有助于高效去耦电源噪声。此类电容还具有良好的温度稳定性和老化特性。电容随施加的偏置电压而变化。外壳尺寸较大的电容，其容值随所施加偏置电压的变化较小，ESR也较低，但ESL较高。0402尺寸的56 pF电容与0603尺寸的100 nF电容的组合可以实现很好的平衡，56 pF电容可以位于PCB顶端，尽可能靠近电源引脚放置；100 nF电容可以位于PCB底端，并且非常靠近电源引脚。X5R和X7R电容就是此类电容的例子，建议用于去耦。

### SPI和I<sup>2</sup>C接口

SPI接口连接器是一个9路D型连接器，可以连接到PC的打印机端口。图68所示为必须与所提供软件一起使用的PC线缆图。

还可以通过利用I<sup>2</sup>C插座连接器来使用I<sup>2</sup>C接口，这是一个标准I<sup>2</sup>C连接器。I<sup>2</sup>C总线主机提供+3.3 V的电源。信号线需要上拉电阻。CS引脚可用于设置ADRF6850的从机地址。CS为高电平时，从机地址为0x78；CS为低电平时，从机地址为0x58。

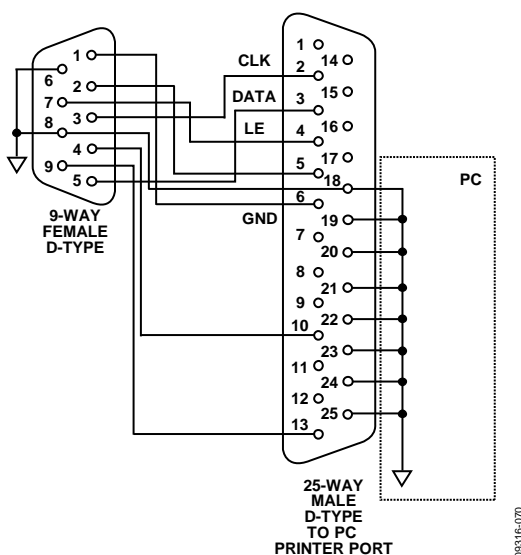


图68. SPI PC线缆图

# ADRF6850

## 基带输出和VOCM

I和Q基带输出对通过SMA连接器连接到评估板，二者交流耦合到输出连接器。VOCM（用于设置共模输出电压）接地，内部基带( $V_{OCM}$ )基准电压通过寄存器CR29的位6选择。如果将此位设为0而选择外部基带( $V_{OCM}$ )基准电压，则需要通过I6施加一个电压，并且删除R20。

## 环路滤波器

电荷泵输出端有一个四阶环路滤波器；为了充分滤除N分频器所用 $\Sigma$ - $\Delta$ 调制器的噪声，必须使用该滤波器。电荷泵电流设置为中间刻度值2.5 mA且使用片内VCO时，环路带宽约为50 kHz，相位裕量为55°。环路滤波器中建议使用C0G电容，因为它们的电介质吸收很低，而这是实现快速精确的建立时间所必需的。使用非C0G电容可能导致PLL建立时间瞬变中出现长尾现象。

## 参考输入

参考输入可以通过13.5 MHz Jauch时钟发生器提供，或通过连接器J7所连的外部时钟提供。参考输入的频率范围为10 MHz至300 MHz，PFD频率最大值为30 MHz。利用片内参考频率倍频器将13.5 MHz时钟提高到27 MHz，可以优化相位噪声性能。

## TESTLO输入

这些引脚是差分测试输入，提供多种调试选项。此评估板允许利用外部4x LO信号驱动这些引脚，然后将该信号施加于Anaren巴伦以提供差分输入信号。

驱动TESTLO引脚时，可以旁路PLL，解调器可以直接通过此外部LO信号驱动。LO信号的频率必须是工作频率的4倍。这些输入还需要一个直流偏置。3.3 V直

流偏置是评估板使用的默认选项。

## LOMON输出

这些引脚是差分LO监控输出，提供内部LO频率的副本( $1\times LO$ )。50  $\Omega$ 负载的单端功率可以设置为-24 dBm、-18 dBm、-12 dBm或-6 dBm。这些开集输出必须端接到3.3 V。由于两路输出都必须端接50  $\Omega$ ，因此提供了两个选项来端接到3.3 V：利用板上50  $\Omega$ 电阻和通过串联电感（或铁氧体磁珠）；对于后一选项，50  $\Omega$ 端接电阻通过测量仪器确定。

## CCOMPx引脚

CCOMPx是内部补偿节点，必须用一个100 nF电容去耦至地。

## MUXOUT

MUXOUT是测试输出，可以监控不同的内部节点。它是一个CMOS输出级，无需端接。

## 锁定检测(LDET)

锁定检测是CMOS输出，表示PLL的状态。高电平表示已锁定，低电平表示失去锁定。

## RF输入 (RFI、RFCM和 $\overline{RFI}$ )

RFI和 $\overline{RFI}$ 是50  $\Omega$ 内部偏置RF输入。对于评估板所演示的单端操作， $\overline{RFI}$ 必须交流耦合到信号源，RFI必须交流耦合到接地层。RFCM是RF输入共模引脚，在单端模式下驱动输入时，应将其连接到RFI。使用巴伦以差分方式驱动输入时，应将此引脚连接到巴伦输出线圈的公共端。

## VGAIN

VGAIN引脚设置VGA的增益。 $V_{GAIN}$ 电压范围为0 V至1.5 V，相应的VGA增益范围为0 dB至+60 dB。



## PCB原理图

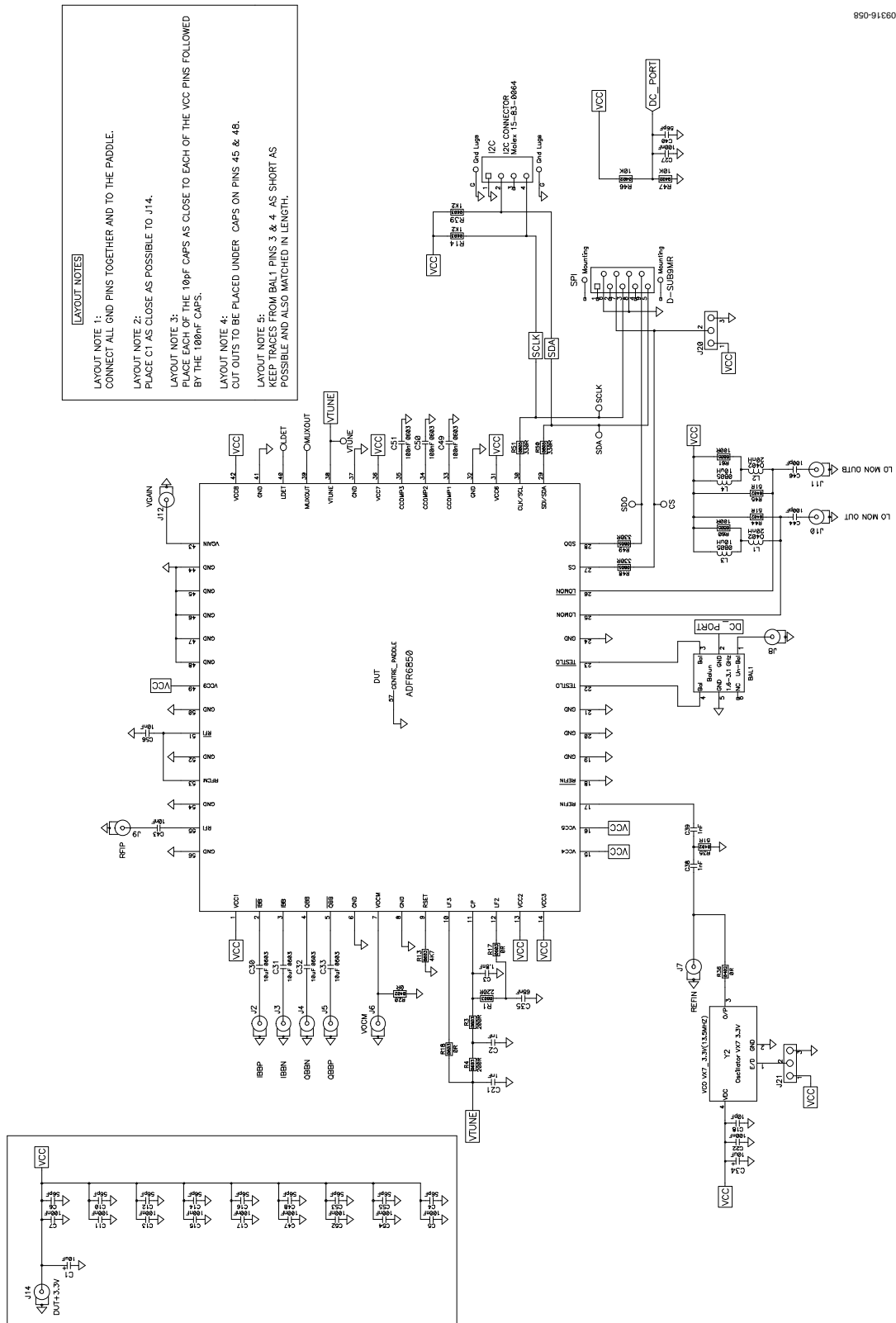
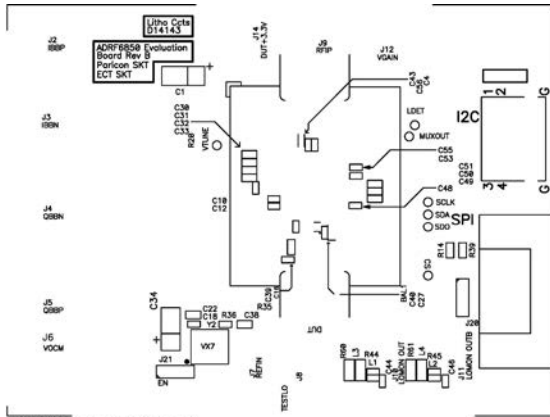


图69. 应用电路

# ADRF6850

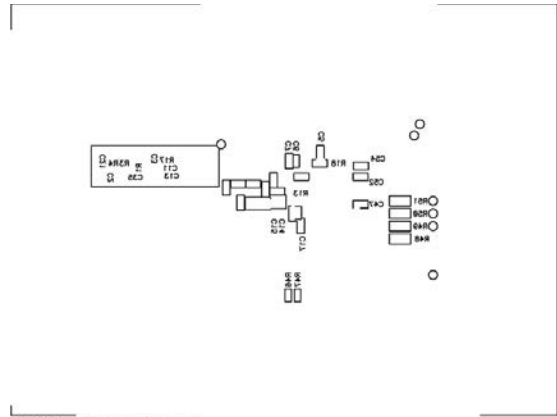
## PCB布局图 贴片



D14143(Pcad 2001) Litho Circuits Ltd.  
Top Side Silkscreen

09316-071

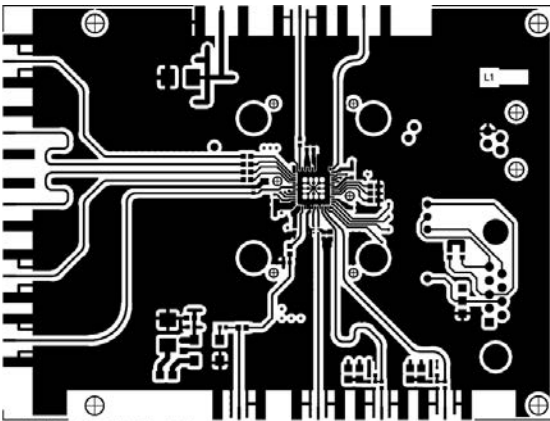
图70. 评估板, 顶端器件



D14143(Pcad 2001) Litho Circuits Ltd.  
Bottom Side Silkscreen

09316-072

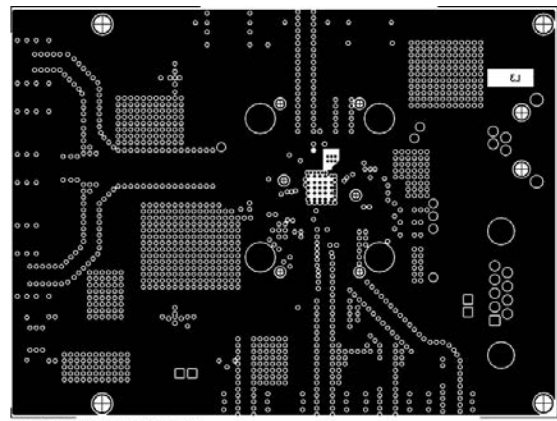
图73. 评估板, 底端贴片



D14143(Pcad 2001) Litho Circuits Ltd.  
L1 - Top Side

09316-073

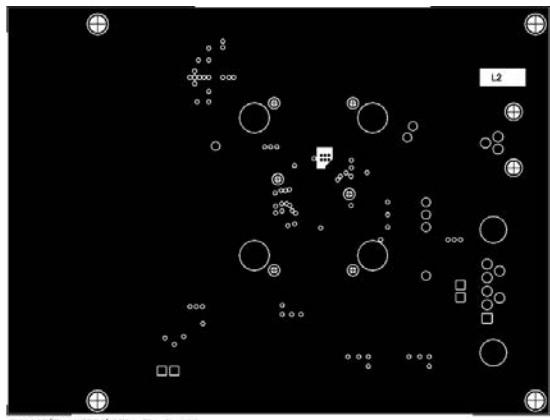
图71. 评估板, 顶端—第一层



D14143(Pcad 2001) Litho Circuits Ltd.  
03V - Power - 3rd

09316-076

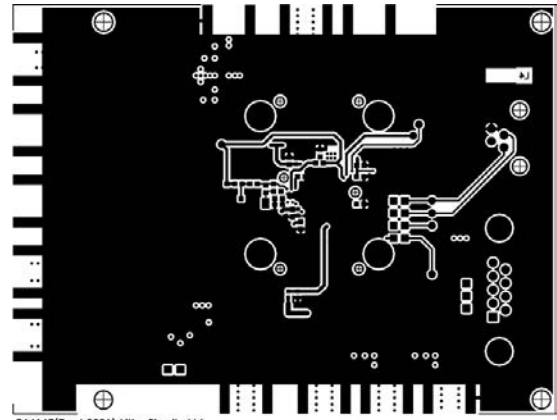
图74. 评估板, 电源—第三层



D14143(Pcad 2001) Litho Circuits Ltd.  
L2 - Ground

09316-075

图72. 评估板, 接地—第二层



D14143(Pcad 2001) Litho Circuits Ltd.  
Bottom Side - 4th

09316-074

图75. 评估板, 底端—第四层

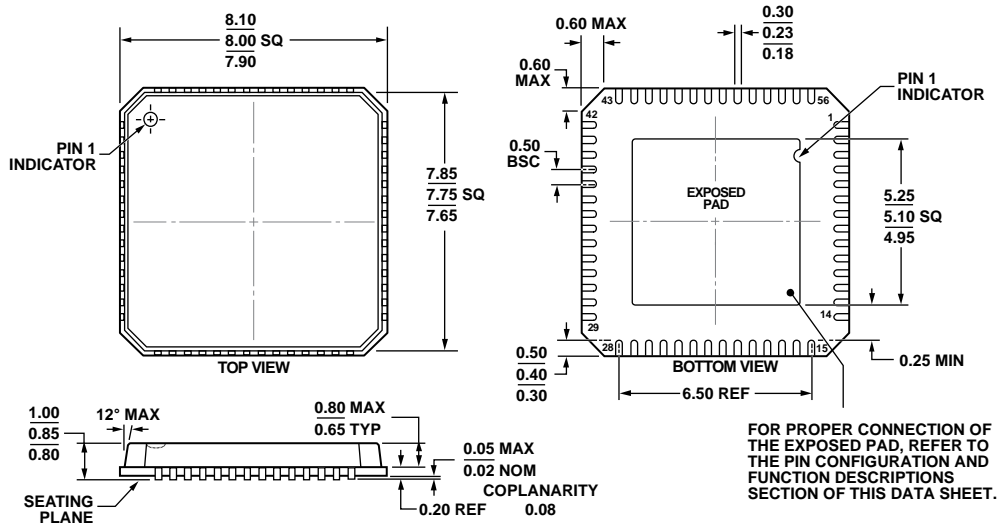
## 物料清单

表28. 材料清单

数量	索引标识符	描述	制造厂商	产品型号
1	DUT	ADRF6850 LFCSP, 56引脚8 mm × 8 mm	Analog Devices	ADRF6850BCPZ
1	Y2	VCO, 13.5 MHz	Jauch	0 13.50-VX7-G-3.3-1-T1-LF
1	SPI	连接器, 9引脚, D-sub插头, D-SUB9MR	ITW McMurdo	FEC 1071806
1	I <sup>2</sup> C	连接器, I <sup>2</sup> C, SEMCONN插座	Digikey	5-1761185-1-ND
2	C1, C34	电容, 10 μF, 25 V, 钽, TAJ-C	AVX	FEC 197518
10	C4, C6, C10, C12, C14, C16, C40, C48, C53, C55	电容, 56 pF, 50 V, 陶瓷, C0G, 0402	AVX	FEC 1658861
14	C5, C7, C11, C13, C15, C17, C22, C27, C47, C49 to C52, C54	电容, 100 nF, 25 V, X7R, 陶瓷, 0603	AVX	FEC 317287
1	C3	电容, 1.8 nF, 50 V, C0G, 陶瓷, 0603	Murata	FEC 1402814
1	C35	电容, 68 nF, 50 V, NPO, 陶瓷, 1206	Kemet	FEC 1535582
4	C2, C21, C38, C39	电容, 1 nF, 50 V, C0G, 陶瓷, 0603	Murata	FEC 8819920
2	C44, C46	电容, 100 pF, 50 V, C0G, 陶瓷, 0402	Murata	FEC 8819572
2	C43, C56	电容, 10 nF, 50 V, X7R, 陶瓷, 0402	Murata	FEC 1414575
1	C18	电容, 10 pF, 50 V, C0G, 陶瓷, 0402	Murata	FEC 8819564
4	C30 to C33	电容, 10 μF, 6.3 V, X5R, 陶瓷, 0603	Phycomp	FEC 1458902
12	J2 to J12, J14	SMA末端装接连接器	Johnson/Emerson	142-0701-851
2	J20, J21	跳线, 3引脚加分流	Harwin	FEC 148533 + FEC 150411
2	L1, L2	电感, 20 nH, 0402, LQW系列	Murata	LQW15AN20N
2	L3, L4	电感, 10 μH, 0805, LQM系列	Murata	LQM21FN1N100M
2	R20, R36	电阻, 0 Ω, 1/16 W, 1%, 0402	Vishay Draloric	FEC 1158241
1	R13	电阻, 4.7 kΩ, 1/10 W, 1%, 0603	Multicomp	FEC 1576293
2	R14, R39	电阻, 1.2 kΩ, 1/10 W, 5%, 0603	Phycomp	FEC 9233393
1	R1	电阻, 220 Ω, 1/16 W, 1%, 0603	Multicomp	FEC 9330801
2	R3, R4	电阻, 200 Ω, 1/16 W, 5%, 0402	Vishay Dale	FEC 1514682
2	R17, R18	电阻, 0603, 间隔 (不安装)		
3	R35, R44, R45	电阻, 51 Ω, 1/16 W, 1%, 0402	Multicomp	FEC 1358008
4	R48 to R51	电阻, 330 Ω, 1/10 W, 5%, 0805	Vishay Draloric	FEC 1739223
2	R60, R61	电阻, 100 Ω, 1/10 W, 5%, 0805	Bourns	Digi Key RR12P100DTR-ND
2	R46, R47	电阻, 10 kΩ, 1/16 W, 1%, 0402	Phycomp	FEC 9239359
7	CS, LDET, MUXOUT, VTUNE, SCLK, SDA, SDO	测试点, 1引脚, 0.035英寸直径	Not inserted	
1	BAL1	巴伦, 0805, 50 Ω至100 Ω平衡 (1.3 GHz至3.1 GHz)	Anaren	BD1631J50100A00

# ADRF6850

## 外形尺寸



## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADRF6850BCPZ	-40°C 至 +85 °C	56引脚 脚架构芯片级封装[LFCSP_VQ], 卷盘	CP-56-5
ADRF6850BCPZ-R7	-40°C 至 +85 °C	56引脚 脚架构芯片级封装[LFCSP_VQ], 7" 卷带和卷盘	CP-56-5
EVAL-ADRF6850EB1Z		56引脚 脚架构芯片级封装[LFCSP_VQ], 7" 卷带和卷盘	

<sup>1</sup> Z = RoHS兼容器件。

I<sup>2</sup>C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。