

### 特性

单芯片、多频段3G收发器

兼容3GPP 25.104第6版WCDMA/HSPA标准

覆盖UMTS频段

局域级BS的频段1至6和8至10

直接变频发射机和接收机

只需极少的外部器件

集成多频段多模式监控

无Tx SAW或Rx级间SAW滤波器

集成电源管理(3.1 V至3.6 V电源)

集成频率合成器, 包括PLL环路滤波器

集成PA偏置控制DAC/GPO

WCDMA和GSM接收基带滤波器选项

易于使用, 校准工作量极小

自动Rx直流失调控制

简便的增益、频率和模式编程

低电源电流

Rx电流: 50 mA(典型值)

Tx电流: 50 mA至100 mA(随输出功率变化)

6 mm × 6 mm、40引脚LFCSP封装

### 应用

3G家用基站(毫微微蜂窝)

3G中继器

### 功能框图

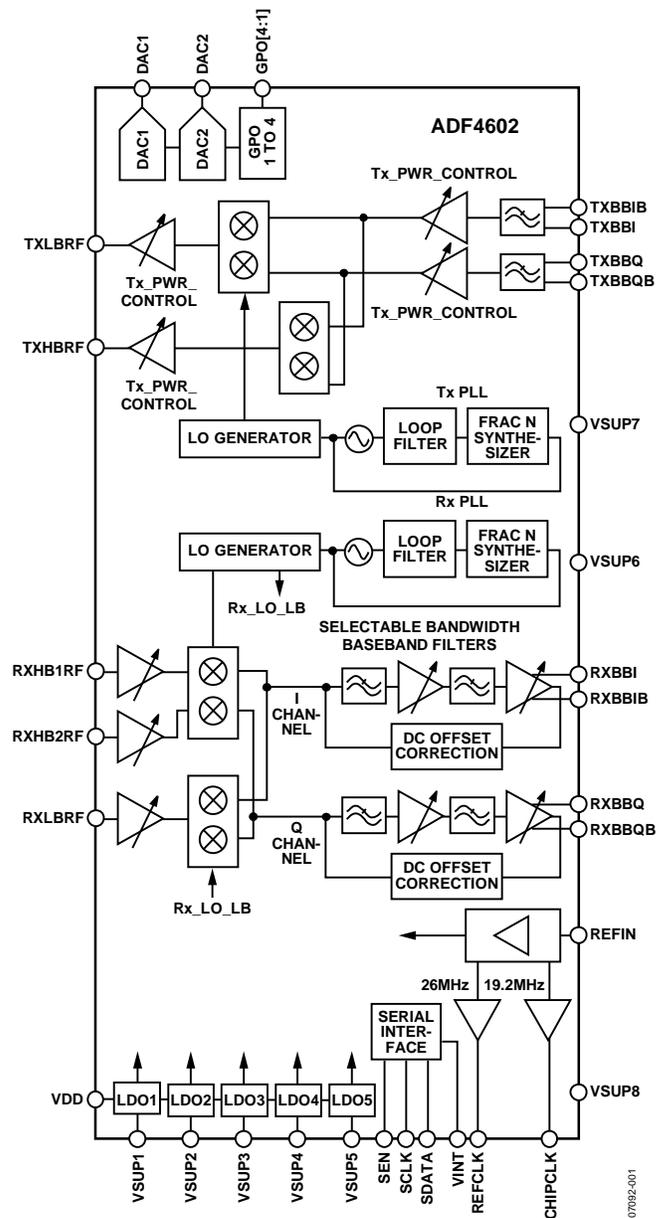


图1.

### Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2009 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

## 目录

特性.....	1	接收机描述.....	18
应用.....	1	电源管理.....	21
功能框图.....	1	频率合成.....	22
修订历史.....	2	串行端口接口(SPI).....	23
概述.....	3	操作与时序.....	23
技术规格.....	4	寄存器.....	24
时序特性.....	8	寄存器图.....	24
绝对最大额定值.....	9	寄存器描述.....	25
ESD警告.....	9	软件初始化程序.....	29
引脚配置和功能描述.....	10	初始化序列.....	29
典型工作特性.....	12	应用信息.....	31
工作原理.....	17	ADF4602与AD9863接口.....	31
发射机描述.....	17	外形尺寸.....	33
DAC.....	18	订购指南.....	33
通用输出.....	18		

## 修订历史

2009年10月—修订版0：初始版

## 概述

ADF4602是一款3G收发器集成电路(IC)，具有无与伦比的集成度和特性组合，非常适合提供蜂窝固定移动融合(FMC)服务的高性能3G毫微微蜂窝。只需少数几个外部器件，便能实现完整的多频段收发器。

单个器件支持UMTS频段1至6和8至10。

接收机基于直接变频架构，这种架构是高度集成的宽带CDMA (WCDMA)接收机的理想选择，可通过完全集成所有级间滤波来减少物料用量。前端含有三个高性能单端低噪声放大器(LNA)，使该器件能支持三频段应用。单端输入结构可简化接口，并减少小尺寸单端双工器所需的匹配器件。该器件可结合各种各样的SAW和陶瓷滤波器双工器使用，其出色的线性度可实现良好的性能。

集成式接收基带滤波器提供可选带宽，使该器件能接收WCDMA和GSM-EDGE无线电信号。可选带宽滤波器配合多频段LNA输入结构，使得GSM-EDGE信号可以作为UMTS家用基站的一部分受到监控。

发射机使用创新的直接变频调制器，可实现高调制精度和极低的噪声，而不需要外部发射SAW滤波器。

完全集成的锁相环(PLL)可同时针对接收和发射提供高性能、低功耗的小数N分频频率合成。同时采取特殊防范措施，实现频分双工(FDD)系统所要求的隔离。所有VCO和环路滤波器器件均完全集成。

ADF4602还内置片内低压差稳压器(LDO)，向片内功能提供稳压电源电压，输入电压范围为3.1 V至3.6 V。

该IC通过标准三线式串行接口进行控制，接口具有先进的内部功能，允许进行简单的软件编程。全面的省电模式可将正常使用情况下的功耗降至最低。

## 技术规格

除非另有说明,  $V_{DD} = 3.1\text{ V}$ 至 $3.6\text{ V}$ ,  $GND = 0\text{ V}$ ,  $T_A = T_{MIN}$ 至 $T_{MAX}$ 。典型规格的条件:  $V_{DD} = 3.3\text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $26\text{ MHz}$   
参考输入电平 =  $0.7\text{ V}$ 峰峰值。

表1

参数	最小值	典型值	最大值	单位	测试条件
<b>参考部分</b>					
参考输入					
参考输入频率		26		MHz	
参考输入幅值	0.1	0.7	2.0	V p-p	单端工作, 直流耦合 <sup>1</sup>
REFCLK输出(26 MHz)					
输出负载电容		10	40	pF	
输出摆幅		1.5		V p-p	10 pF负载
输出压摆率		200		V/ $\mu\text{s}$	10 pF负载
输出占空比变化		2		%	输入占空比 = 50%
CHIPCLK输出(19.2 MHz)					
输出负载电容		10	40	pF	
倍频系数	48/65		48/65	N/A	
输出摆幅		1.5		V p-p	10 pF负载
输出占空比变化		2		%	输入占空比 = 50%
输出抖动		36		ps rms	
锁定时间		50		$\mu\text{s}$	
<b>发射部分</b>					
I/Q输入					
输入电阻		100		k $\Omega$	单端
输入电容		2		pF	单端
差分峰值输入电压		500	550	mV pd	
输入共模电压	1.05	1.2	1.4	V	
基带滤波器3 dB带宽		4.0		MHz	
TX增益控制					
最大增益		5		dB	1 V峰峰值差分基带输入
增益控制范围		60		dB	
增益控制分辨率		1/32		dB	LSB步长平均值
增益控制精度		1.0		dB	任意1 dB步长
		10		dB	任意10 dB步长
增益建立时间		1		$\mu\text{s}$	$P_{OUT}$ 在最终值的0.1 dB范围内
RF规格(高频段)					
载波频率	1710		2170	MHz	
输出阻抗		50		$\Omega$	
输出功率(POUT)		-8		dBm	TM1信号64 DPCH
输出噪声频谱密度		-155		dBc/Hz	40 MHz偏移
		-161		dBc/Hz	80 MHz偏移
		-161		dBc/Hz	95 MHz偏移
		-163		dBc/Hz	190 MHz偏移
载波泄漏		-35		dBc	$P_{OUT} = -8\text{ dBm}$
FDD EVM		5		%	$P_{OUT} = -8\text{ dBm}$
FDD ACLR		55		dB	$\pm 5\text{ MHz}$ , $P_{OUT} = -8\text{ dBm}$
		70		dB	$\pm 10\text{ MHz}$ , $P_{OUT} = -8\text{ dBm}$

参数	最小值	典型值	最大值	单位	测试条件
RF规格(低频段)					
载波频率	824		960	MHz	
输出阻抗		50		$\Omega$	
输出功率( $P_{OUT}$ )		-6		dBm	TM1信号64 DPCH
输出噪声频谱密度		-158		dBc/Hz	45 MHz偏移
载波泄漏		-35		dBc	$P_{OUT} = -6$ dBm
FDD EVM		5		%	$P_{OUT} = -6$ dBm
FDD ACLR		55		dB	$\pm 5$ MHz, $P_{OUT} = -6$ dBm
		70		dB	$\pm 10$ MHz, $P_{OUT} = -6$ dBm
接收部分					
基带I/Q输出					
输出共模电压	1.15	1.2	1.35	V	模式1
	1.35	1.4	1.55	V	模式2
差分输出范围		4		V p-p d	
输出直流失调		$\pm 5$		mV	WCDMA HPF模式
		$\pm 100$		mV	GSM伺服环路模式
正交增益误差		0.3	0.7	dB	
正交相位误差		1		$^{\circ}$ rms	
带内增益纹波		0.2		dB	
低通滤波器抑制					
WCDMA(七阶)		30		dB	@2.7 MHz
		45		dB	@3.5 MHz
		84		dB	@5.9 MHz
		110		dB	@10 MHz
WCDMA(五阶)		14		dB	@2.7 MHz
		31		dB	@3.5 MHz
		55		dB	@5.9 MHz
		80		dB	@10 MHz
GSM		12		dB	@200 kHz
		47		dB	@400 kHz
		90		dB	@800 kHz
差分群延迟					
WCDMA		250		ns	1.92 MHz频段
GSM		200		ns	100 kHz频段
接收机增益控制					
最大电压增益		102		dB	WCDMA模式
增益控制范围		90		dB	
增益控制分辨率		1		dB	
增益控制步长误差		$\pm 1$		dB	1 dB步长
		$\pm 2$		dB	10 dB步长
RF规格(高频段)					
输入频率	1710		2170	MHz	
输入阻抗		50		$\Omega$	
输入回波损耗		-20		dB	
噪声系数		4.0		dB	
最大输入功率 <sup>3</sup>			-20	dBm	TX功率为-8 dBm,
			-2	dBm	无杂散测量 <sup>2</sup>
				dBm	最大LNA增益
				dBm	最小LNA增益
输入IP3		-7		dBm	$\pm 10$ MHz和 $\pm 20$ MHz偏移, 59 dB增益
		0		dBm	85 MHz和190 MHz偏移, 59 dB增益
输入IP2		53		dBm	80 MHz偏移
		65		dBm	190 MHz偏移
EVM		8		%	-60 dBm输入

# ADF4602

参数	最小值	典型值	最大值	单位	测试条件
RF规格(低频段)					
输入频率	824		960	MHz	
输入阻抗		50		$\Omega$	
输入回波损耗		-20		dB	
噪声系数		4.0		dB	80 dB增益, TX功率为-8 dBm
最大输入功率 <sup>3</sup>			-20	dBm	最大LNA增益
			-2	dBm	最小LNA增益
输入IP3		2		dBm	$\pm 10$ MHz和 $\pm 20$ MHz偏移, 59 dB增益
		5		dBm	45 MHz和90 MHz偏移, 59 dB增益
输入IP2		40		dBm	45 MHz偏移
EVM		7		%	-60 dBm输入
频率合成器部分					
信道分辨率		50		kHz	
锁定时间 <sup>3</sup>			200	$\mu$ s	
DAC/GPO控制					
DAC1					
分辨率		5		位	
输出范围	2.3		3.15	V	$V_{DD} > 3.15$ V
绝对精度		$\pm 50$		mV	任意码, $V_{DD} > 3.2$ V
输出LSB步长		25		mV	
输出容性负载			1	nF	
输出电流	-10		+10	mA	
输出阻抗		1		$\Omega$	
DAC2					
分辨率		6		位	
输出范围	0		2.85	V	
DNL		$\pm 0.5$		LSB	无负载
INL		$\pm 1.0$		LSB	无负载
输出容性负载			1	nF	
输出电流	-5		+5	mA	
输出阻抗		5		$\Omega$	
GPO1至GPO4					
输出电流			2	mA	GPO1, GPO2, GPO3
			10	mA	GPO4
输出高电压	2.6			V	最大输出电流
输出低电压			0.2	V	最大输出电流
开关时间		1		$\mu$ s	5 pF负载
逻辑输入					
输入高电平 $V_{INH}$	1.2		2.1	V	1.8 V回读模式 <sup>4</sup>
输入高电平 $V_{INH}$	1.2		3.3	V	2.8 V回读模式 <sup>4</sup>
输入低电平 $V_{INL}$			0.6	V	
输入电流 $I_{INH}/I_{INL}$			$\pm 1$	$\mu$ A	
输入电容 $C_{IN}$			10	pF	
逻辑输出(SDATA)					
输出高电平 $V_{OH}$	$V_x - 0.45$			V	$V_x = V_{INT}$ 或 $V_{SUP8}$ , $I_{OH} = 500 \mu$ A
输出低电平 $V_{OL}$			0.45	V	$I_{OL} = 500 \mu$ A
CLK <sub>OUT</sub> 上升/下降			5	ns	
CLK <sub>OUT</sub> 负载			10	pF	
温度范围( $T_A$ )	0		85	$^{\circ}$ C	

参数	最小值	典型值	最大值	单位	测试条件
电源					
电源电压					
VDD	3.1	3.3	3.6	V	主电源输入
VSUP1		2.6		V	从内部LDO1输出, 10 mA额定值, 供给RX VCO
VSUP2		2.8		V	从内部LDO2输出, 30 mA额定值, 供给RX基带和RX下变频器
VSUP3		1.9		V	从内部LDO3输出, 10 mA额定值, 供给RX LNA
VSUP4		2.6		V	从内部LDO4输出, 10 mA额定值, 供给TX VCO
VSUP5		2.8		V	从内部LDO5输出, 100 mA额定值, 供给TX调制器、TX基带、PA控制DAC
VSUP6		1.9		V	RX频率合成器的电源输入, 连接到VSUP3
VSUP7		1.9		V	TX频率合成器的电源输入, 连接到VSUP3
VSUP8		2.8		V	基准部分的电源输入, 连接到VSUP2
VINT	1.6	1.8	2.0	V	串行接口控制逻辑的电源输入
功耗					
发射功耗					
-8 dBm输出水平		100		mA	$V_{DD} = 3.6\text{ V}$ , 输出匹配成 $50\ \Omega$
-28 dBm输出水平		50		mA	$F_{RF} = 2170\text{ MHz}$
接收功耗		50		mA	$F_{RF} = 2170\text{ MHz}$

<sup>1</sup> 参考频率应直流耦合到REFIN引脚。它在内部交流耦合。

<sup>2</sup> 噪声系数测量结果不包括26 MHz参考频率的谐波所引起的杂散。杂散出现在参考频率的整数倍处(每隔26 MHz), 使接收灵敏度下降约6 dB。

<sup>3</sup> 通过设计保证, 但未经生产测试。

<sup>4</sup> 寄存器2的sif\_vsups8位控制1.8 V回读模式或2.8 V回读模式的选择。更多信息参见串行端口接口(SPI)部分。

## 时序特性

除非另有说明,  $V_{DD} = 3.1\text{ V}$ 至 $3.6\text{ V}$ ,  $V_{GND} = 0\text{ V}$ ,  $T_A = 25^\circ\text{C}$ 。通过设计保证, 但未经生产测试。

表2

参数	在 $T_{MIN}$ 至 $T_{MAX}$ 时的限值	单位	单位
$t_1$	62	ns(最小值)	SEN高电平至写入时间
$t_2$	10	ns(最小值)	SEN至SCLK建立时间
$t_3$	10	ns(最小值)	SDATA至SCLK建立时间
$t_4$	10	ns(最小值)	SDATA至SCLK保持时间
$t_5$	31	ns(最小值)	SCLK高电平持续时间
$t_6$	31	ns(最小值)	SCLK低电平持续时间
$t_7$	10	ns(最小值)	SEN至SCLK保持时间
$t_8$	20	ns(最大值)	SEN至SDATA有效延迟时间
$t_9$	20	ns(最大值)	SCLK至SDATA有效延迟时间
$t_{10}$	20	ns(最大值)	SEN至SDATA禁用延迟时间

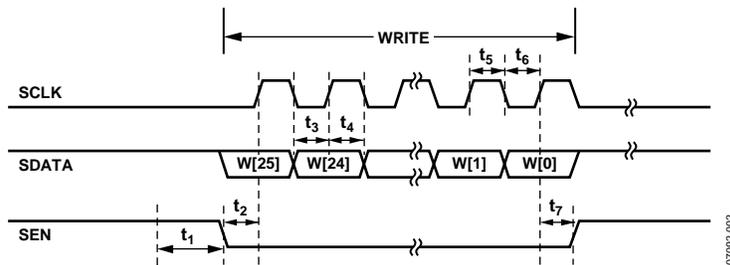


图2. 串行接口写入时序图

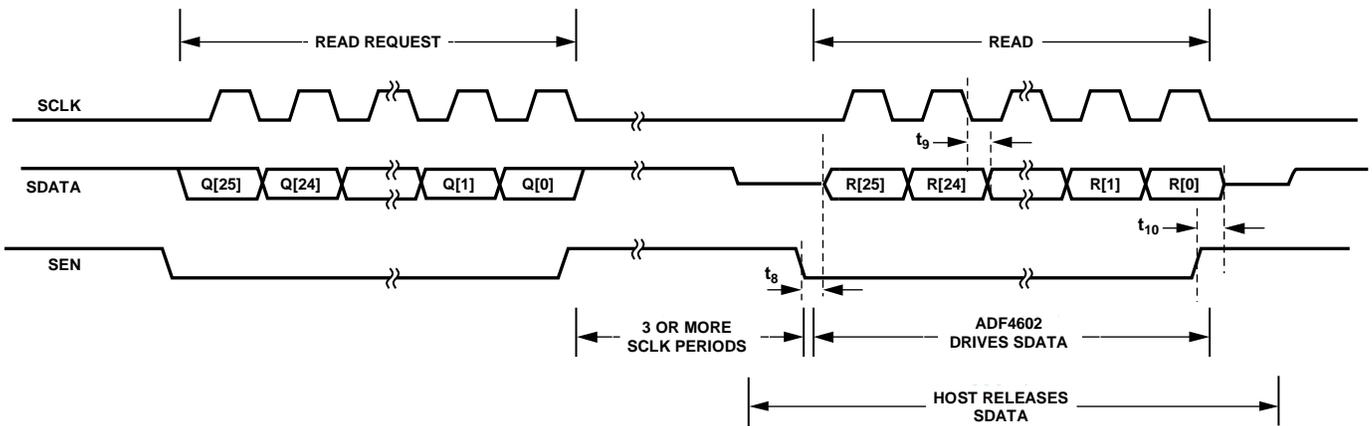


图3. 串行接口读取/写入时序图

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

Table 3.

参数	额定值
VDD至GND	-0.3 V至+4 V
VSUP1、VSUP2至GND	-0.3 V至+3.6 V
VSUP4、VSUP5、VSUP6、 VSUP7、VSUP8、VSUP9至GND	-0.3 V至+3.6 V
VSUP3至GND	-0.3 V至+2.0 V
VINT至GND	-0.3 V至+2.0 V
模拟I/O电压至GND	-0.3 V至VDD + 0.3 V
数字I/O电压至GND	-0.3 V至VDD + 0.3 V
工作温度范围	
商用(B级)	0°C至+85°C
存储温度范围	-65°C至+125°C
最高结温	150°C
LFCSP $\theta_{JA}$ 热阻	32°C/W
回流焊	
峰值温度	240°C
峰值温度时间	40秒

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

本器件为高性能RF集成电路，ESD额定值小于2kV，对ESD(静电放电)敏感。搬运和装配时应采取适当的防范措施。

### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

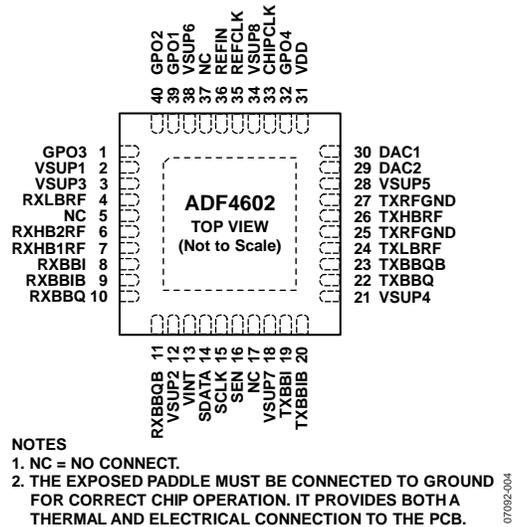


图4. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	功能
1	GPO3	通用输出3。数字输出。此引脚用于外部开关或PA控制。
2	VSUP1 <sup>1</sup>	LDO 1的输出。接收VCO的电源。标称值2.6 V。要求通过100 nF电容去耦至地。
3	VSUP3 <sup>1</sup>	LDO 3的输出。接收LNA的电源。标称值1.9 V。要求通过100 nF电容去耦至地。
4	RXLBRF	接收低频段LNA输入。
5	NC	不连接。请勿连接此引脚。
6	RXHB2RF	接收第二高频段LNA输入。应当用于频段2。
7	RXHB1RF	接收第一高频段LNA输入。应当用于频段1。
8	RXBBI	接收基带I输出。
9	RXBBIB	互补接收基带I输出。
10	RXBBQ	接收基带Q输出。
11	RXBBQB	互补接收基带Q输出。
12	VSUP2 <sup>1</sup>	LDO 2的输出。接收下变频器和基带的电源。标称值2.8 V。要求通过100 nF电容去耦至地。
13	VINT	串行端口电源输入。对此引脚应施加1.8 V电压。
14	SDATA	串行端口数据引脚。可以是输入或输出。
15	SCLK	串行时钟输入。
16	SEN	串行端口使能输入。
17	NC	不连接。请勿连接此引脚。
18	VSUP7 <sup>1</sup>	发射频率合成器电源输入。连接到VSUP3，通过100 nF电容去耦至地。
19	TXBBI	发射基带I输入。
20	TXBBIB	互补发射基带I输入。
21	VSUP4 <sup>1</sup>	LDO 4的输出。发射VCO的电源。标称值2.8 V。要求通过100 nF电容去耦至地。
22	TXBBQ	发射基带Q输入。
23	TXBBQB	互补发射基带Q输入。
24	TXLBRF	低频段发射RF输出。输出范围824 MHz至960 MHz。
25	TXRFGND	发射RF地。连接此引脚到地。
26	TXHBRF	高频段发射RF输出。输出范围1710 MHz至2170 MHz。
27	TXRFGND	发射RF地。连接此引脚到地。
28	VSUP5 <sup>1</sup>	LDO 5的输出。发射调制器、基带、功率检波器和DAC的电源。标称值2.8 V。要求通过100 nF电容去耦至地。
29	DAC2	DAC2的输出。
30	DAC1	DAC1的输出。

引脚编号	引脚名称	功能
31	VDD	主电源输入。
32	GPO4	数字输出。此引脚用于开关或PA控制。
33	CHIPCLK	芯片时钟输出。
34	VSUP8 <sup>1</sup>	参考时钟电源输入。连接到VSUP2，通过100 nF电容去耦至地。
35	REFCLK	参考时钟输出。
36	REFIN	参考时钟输入。该参考时钟在内部交流耦合。
37	NC	不连接。请勿连接此引脚。
38	VSUP6 <sup>1</sup>	接收频率合成器电源输入。连接到VSUP3，通过100 nF电容去耦至地。
39	GPO1	数字输出。此引脚用于开关或PA控制。
40	GPO2	数字输出。此引脚用于开关或PA控制。
	EPAD	芯片下的裸露焊盘。为使芯片正常工作，该焊盘必须接地。它提供到PCB的散热和电气连接。

<sup>1</sup> Y5V电容不宜用于这些引脚。应当使用X7R、X5R、C0G或类似型号的电容器。

## 典型工作特性

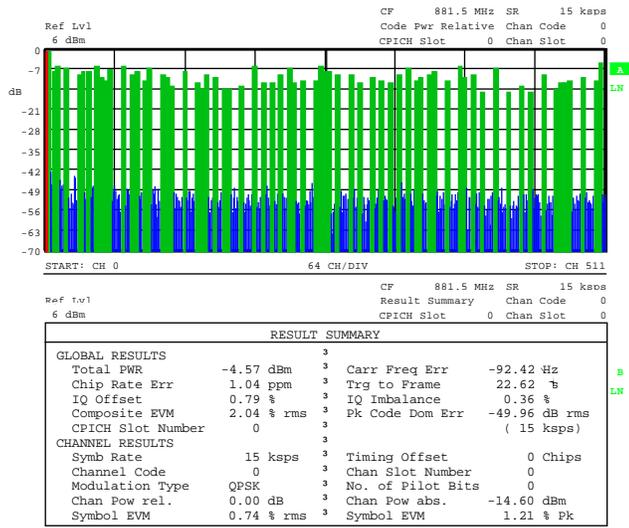


图5. UMTS频段5发射EVM, 测试模型1, 64 DPCH, 2% EVM

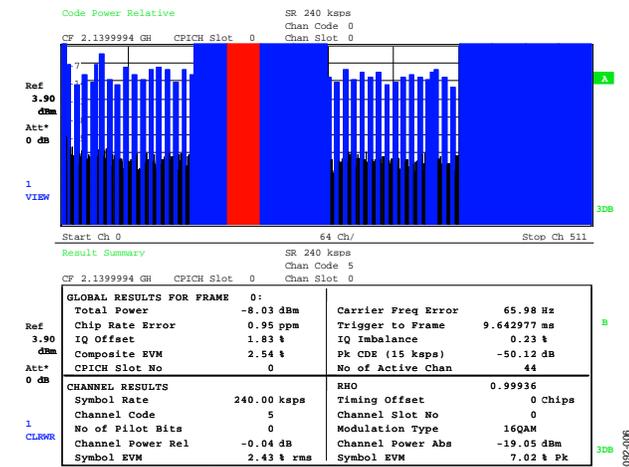


图6. UMTS频段1发射EVM, 测试模型5, 2.5% EVM

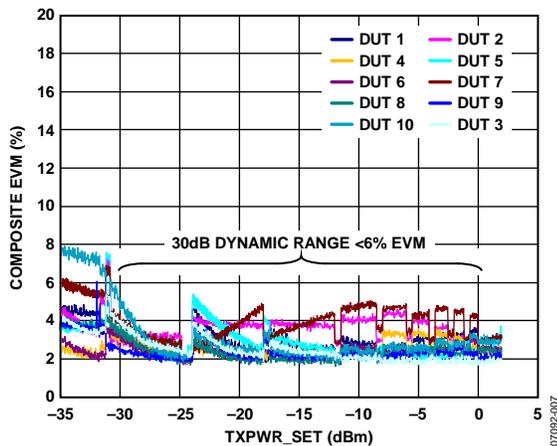


图7.发射EVM与TXPWR\_SET (dBm)的关系, 测量10个DUT, 应用四个校准点

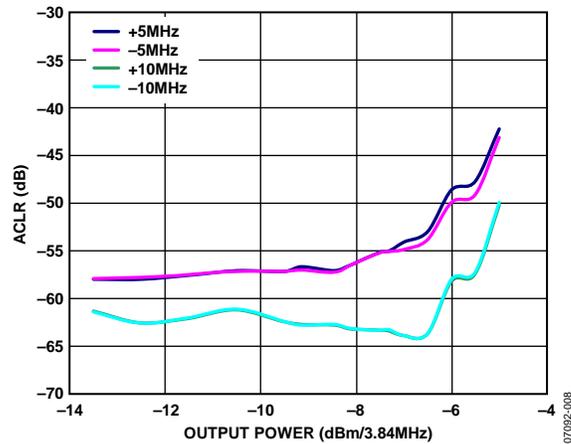


图8. TXHBRF发射ACLR与输出功率的关系, 测试模型1信号, 10.54 dB PAR, 217 MHz

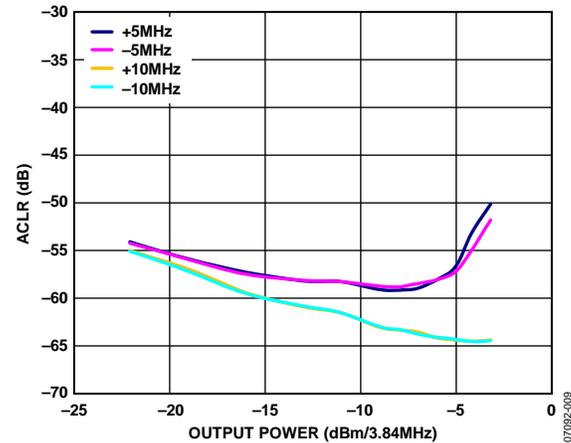


图9. TXLBRF发射ACLR与输出功率的关系, 测试模型1信号, 10.54 dB PAR, 881 MHz

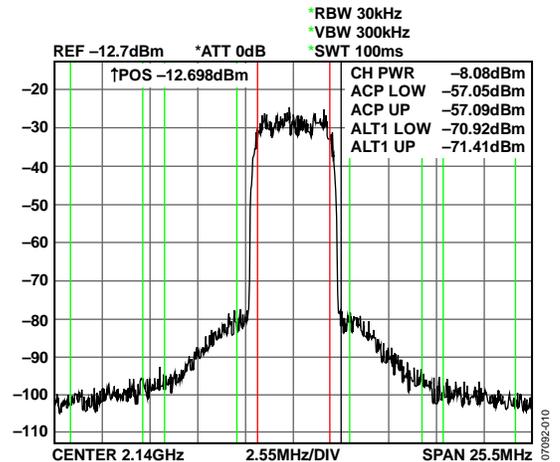


图10. TXHBR发射ACLR, 2140 MHz

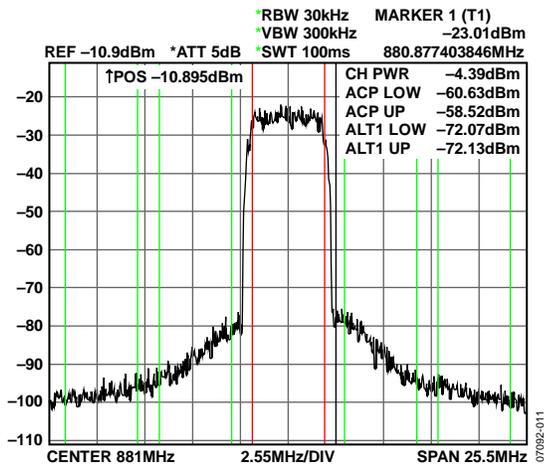


图11. TXLBRF发射ACLR, 881 MHz

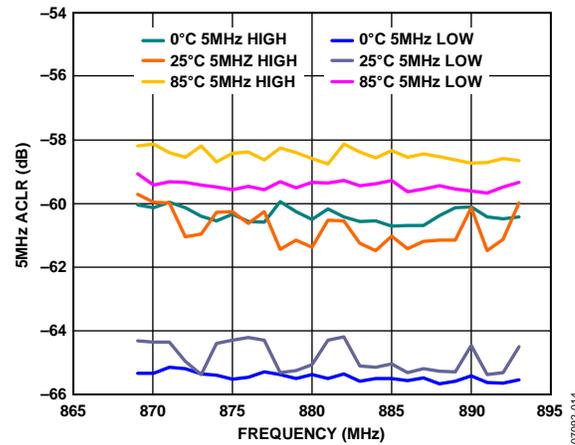


图14. 发射ACLR与频率和温度的关系(频段5), 发射输出功率 = -7 dBm

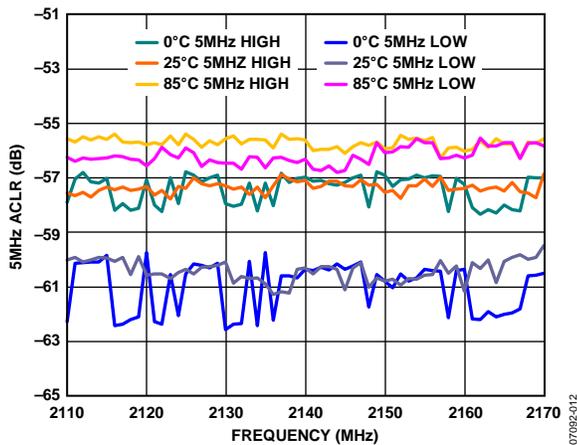


图12. 发射ACLR与频率和温度的关系(频段1), 发射输出功率 = -8 dBm

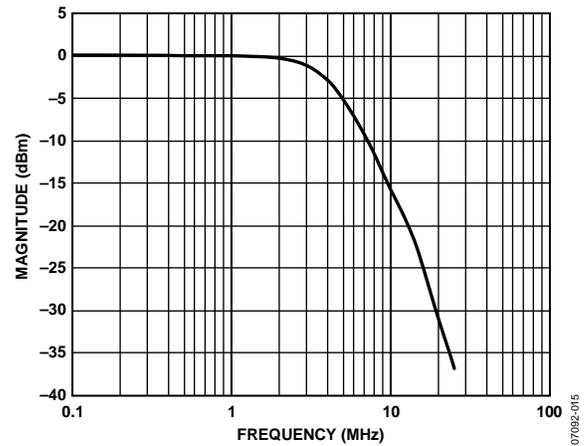


图15. 发射基带滤波器响应

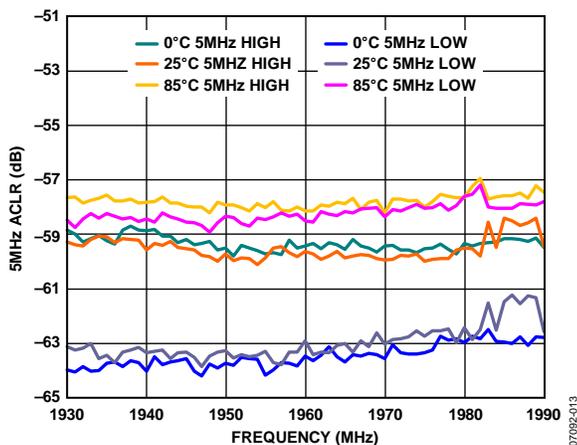


图13. 发射ACLR与频率和温度的关系(频段2), 发射输出功率 = -8 dBm

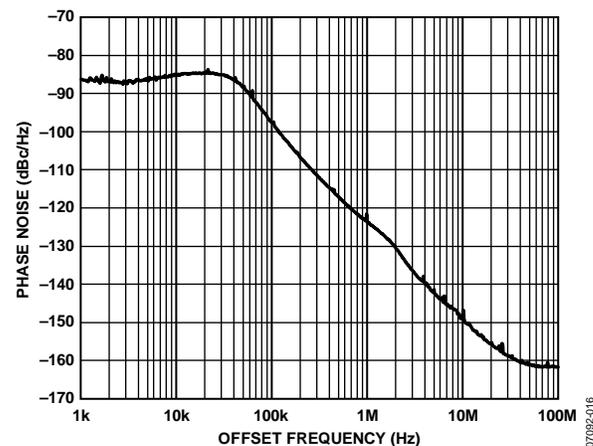


图16. 发射频率合成器相位噪声

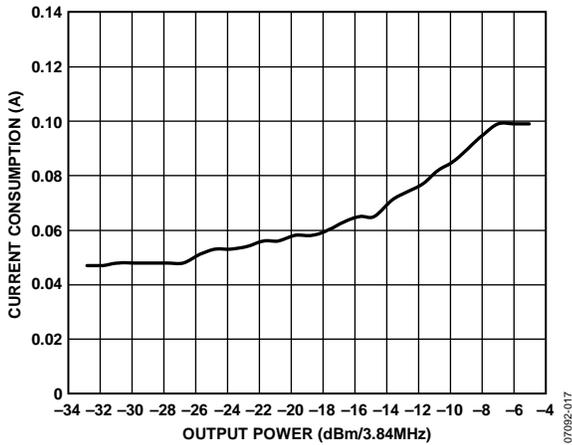


图17. 功耗与发射输出功率的关系，频率 = 2170 MHz， $V_{DD} = 3.3 V$ ，测试模型5信号，接收机禁用

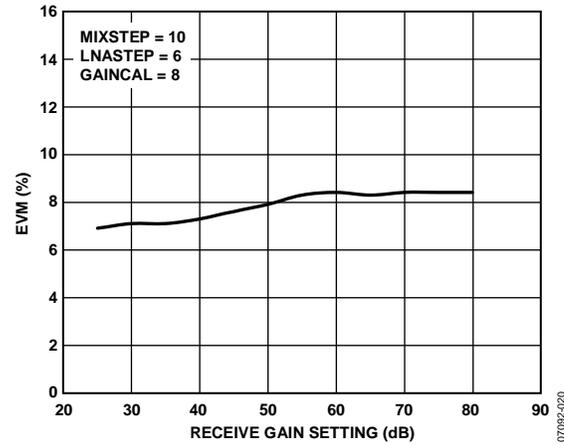


图20. 接收EVM与增益的关系，2.84 MHz QPSK调制输入信号，WCDMA接收基带滤波器

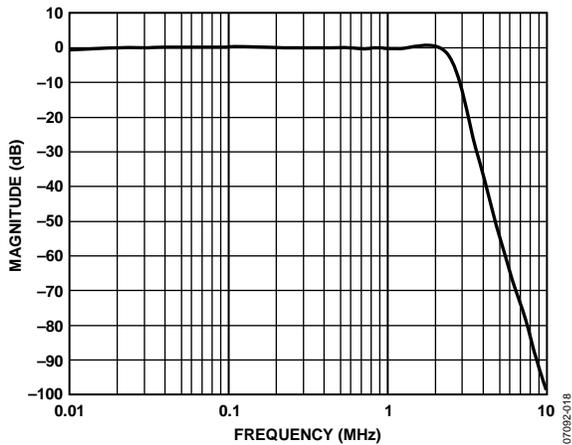


图18. 接收WCDMA基带滤波器响应

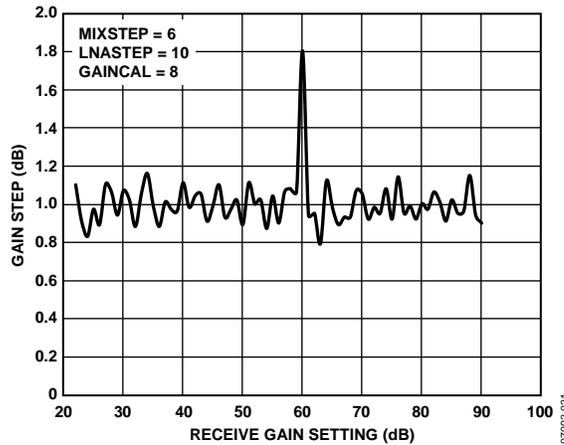


图21. 接收增益步长误差与增益设置的关系，1 dB步长，测量方法：注入已知的信号电平，测量整个器件的增益。然后使增益以1 dB步长遍历所有设置，测量每种情况下的增益步长变化。

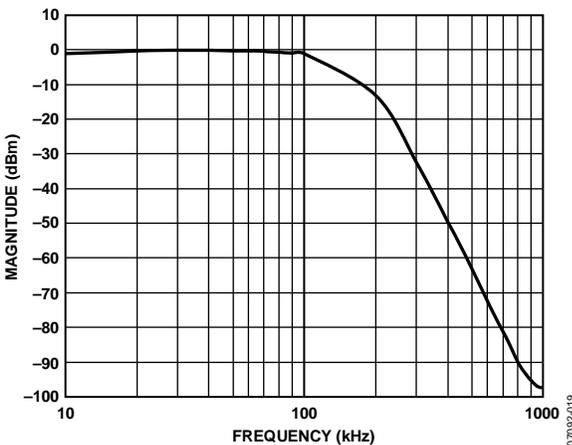


图19. 接收GSM基带滤波器响应

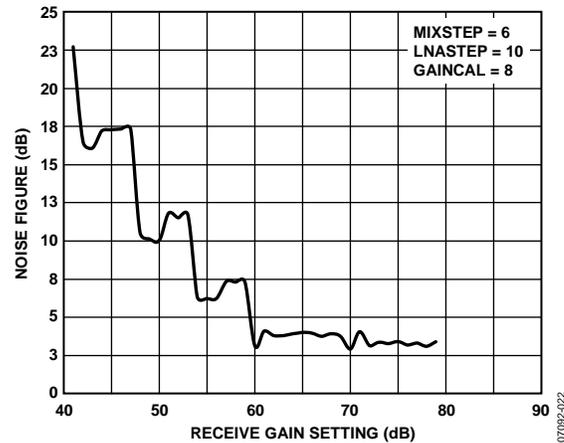


图22. 接收机噪声系数与增益的关系，Rx频率 = 1955 MHz

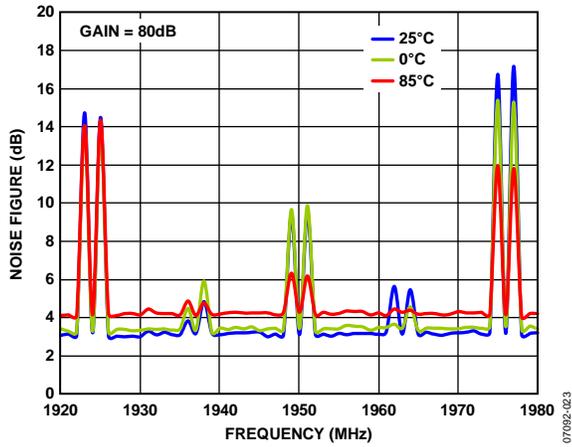


图23. HB1接收噪声系数与频率的关系

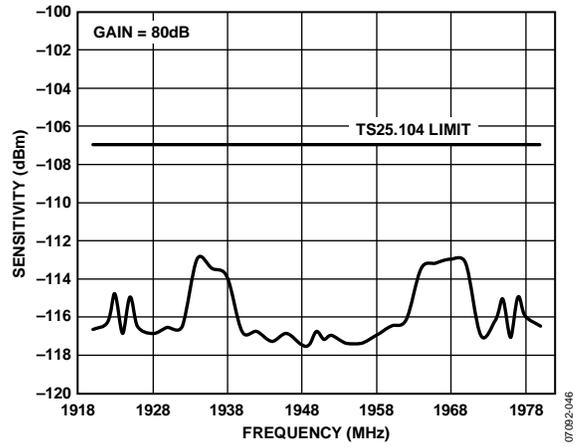


图27. HB1接收IP3(10 MHz + 19.8 MHz)与增益设置的关系

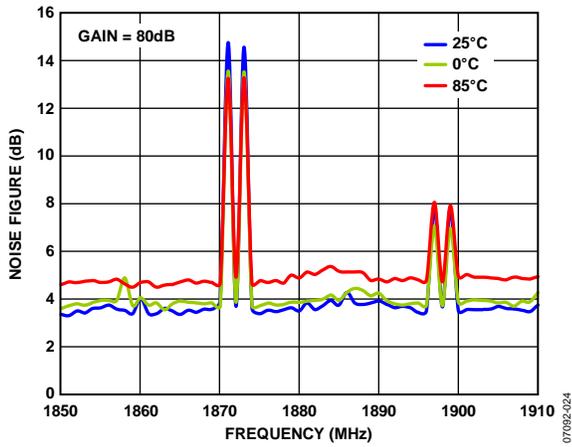


图24. HB2接收噪声系数与频率的关系

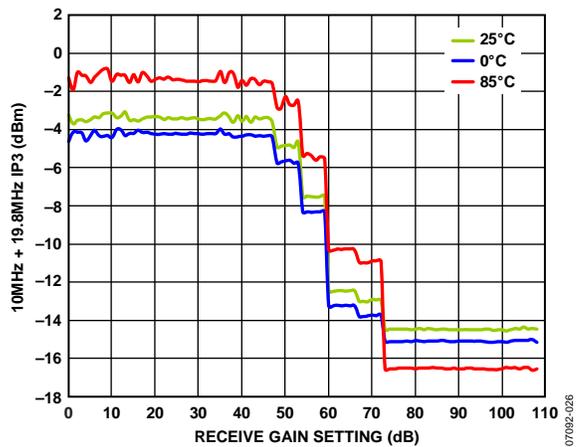


图27. HB1接收IP3(10 MHz + 19.8 MHz)与增益设置的关系

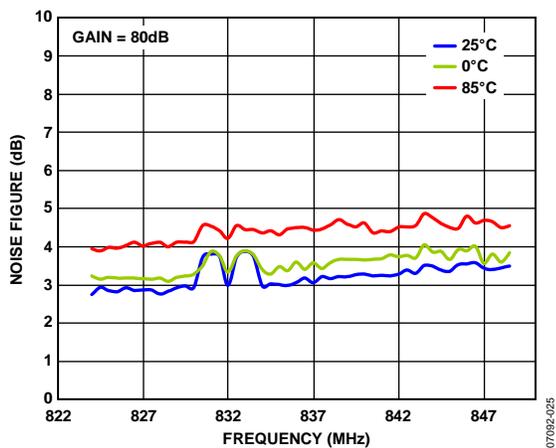


图25. LB接收噪声系数与频率的关系

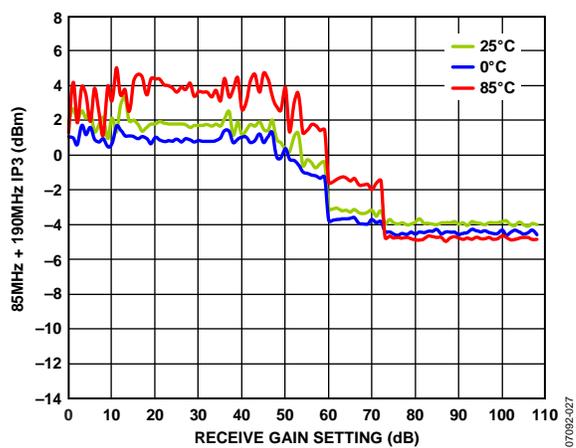


图28. HB1接收IP3(85 MHz + 190 MHz)与增益设置的关系

# ADF4602

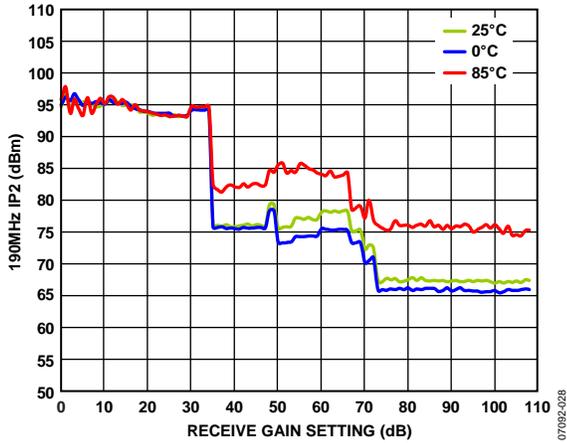


图29. HB1接收IP2 (190 MHz) 与增益设置的关系

07092-028

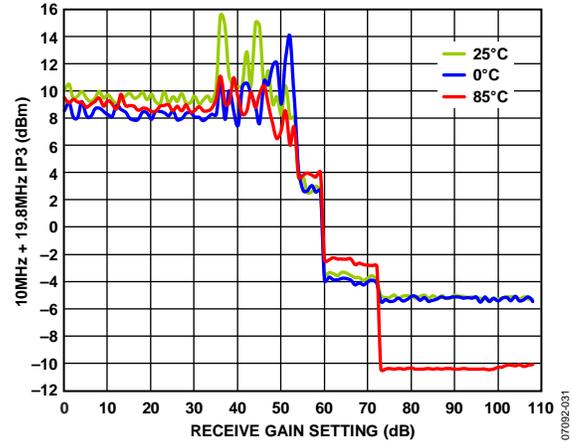


图32. LB接收IP3 (10 MHz + 19.8 MHz) 与增益设置的关系

07092-031

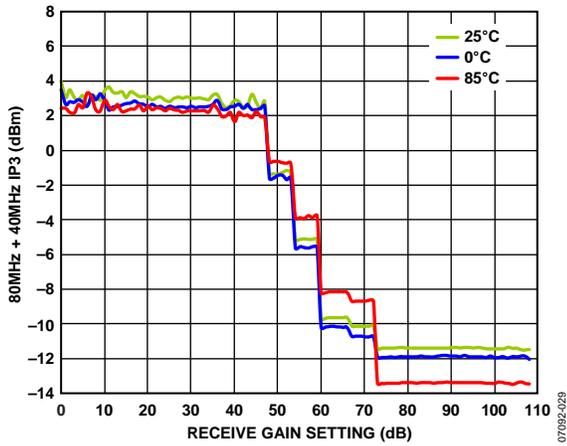


图30. HB2接收IP3 (80 MHz + 40 MHz) 与增益设置的关系

07092-029

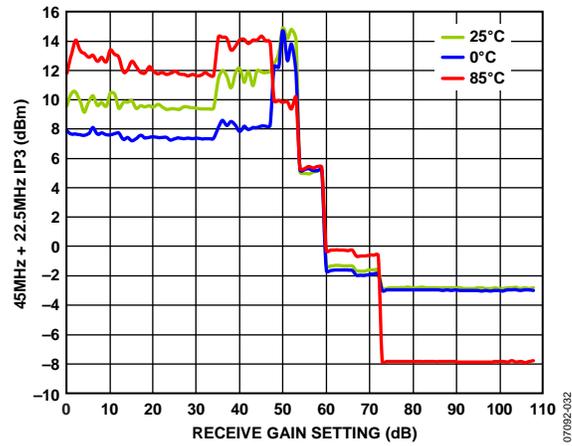


图33. LB接收IP3 (45 MHz + 22.5 MHz) 与增益设置的关系

07092-032

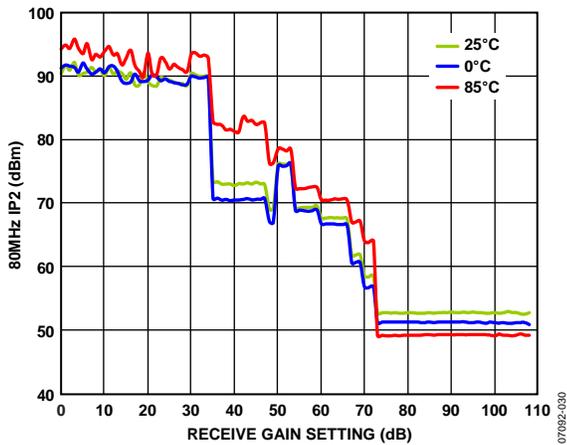


图31. HB2接收IP2 (80 MHz) 与增益设置的关系

07092-030

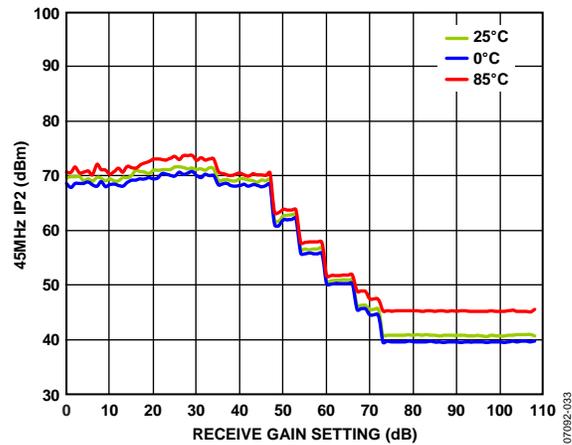


图34. LB接收IP2 (45 MHz) 与增益设置的关系

07092-033

## 工作原理

### 发射机描述

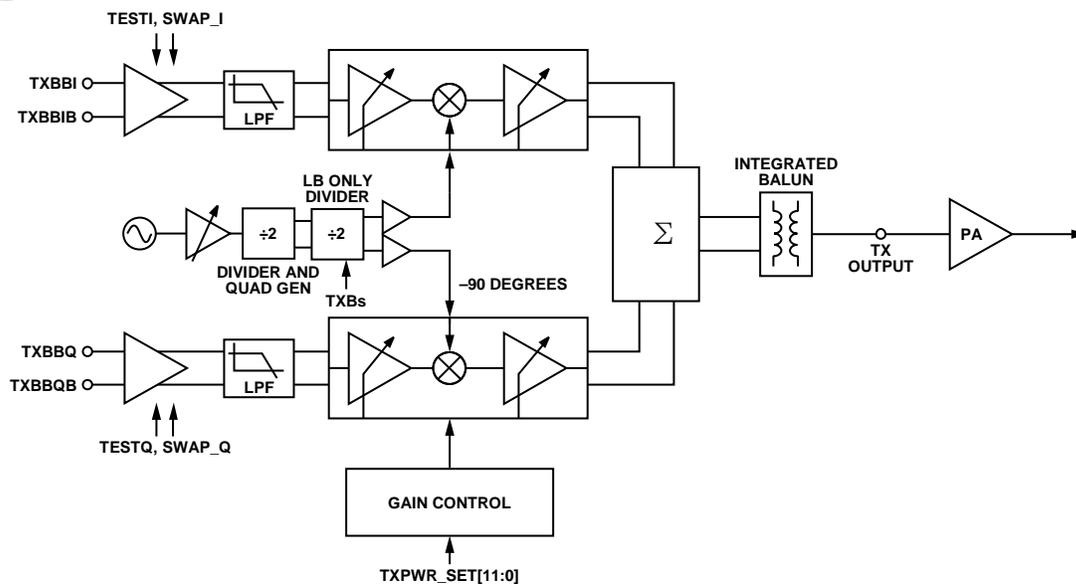


图35. 发射机功能框图

ADF4602采用高度创新的低噪声可变增益直接变频发射机架构，无需外部发射SAW滤波器。直接变频架构的频率规划较为简单，因而所有频段的发射谐波风险得以大幅降低。图35给出了功能框图。

### I/Q基带

I和Q通道的基带接口为差分、直流耦合输入，支持广泛的输入共模电压( $V_{CM}$ )。容许的输入共模范围为1.05V至1.4V。容许的最大信号摆幅为550mV峰值差分，相当于I或Q通道上的1.1V峰峰值差分。图36显示了峰值差分电压和 $V_{CM}$ 的图形定义。

基带输入信号在进入正交调制器之前，先通过一个二阶巴特沃兹滤波器，其截止频率为4MHz，可以在一定程度上抑制DAC镜像。该滤波器还有助于抑制耦合到PCB上基带引脚的任何杂散信号。

为了简化ADF4602与发射DAC之间的PCB布局布线，可以在内部交换I与Q差分输入。为了用户测试目的，I和Q输入也可以在内部短接在一起，并施加直流偏置。这将在RF输出端产生一个较大载波，可用于信号路径完整性测试。

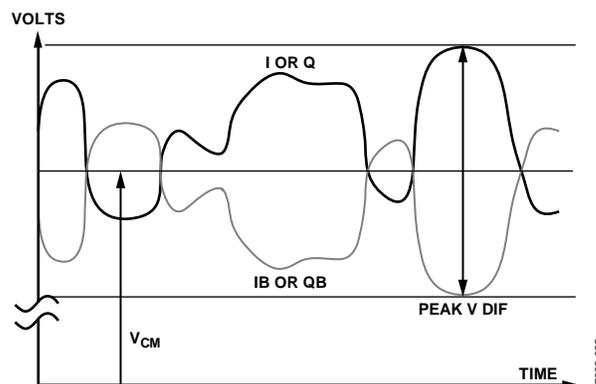


图36. 发射基带输入信号

## I/Q调制器

I/Q调制器将发射基带输入信号转换为RF。各种频率和环境条件下的精确IQ平衡和相位通过校准技术来保持，从而确保在所有条件下都能满足3GPP载波泄漏、EVM和ACLR要求并具有充分的裕量。片内校准在指定的发射PLL锁定时间内执行，独立自足，无需用户提供额外的输入。

调制器具有80 dB的增益控制范围，能够以1/32的dB步长进行编程。寄存器28中的12位字txpwr\_set[11:0]控制发射输出功率。该设置参考施加于发射基带输入的满量程（500 mV峰值差分）正弦波信号。当施加一个具有某一峰均比的WCDMA调制信号时，输出功率应通过方程式1计算。

$$\text{输出功率(dBm/3.84 MHz)} = \text{txpwr(dBm)} - \text{PAR(dB)} \quad (1)$$

其中txpwr(dBm)表示转换为dBm的txpwr\_set[11:0]值，PAR表示WCDMA信号的峰均比。例如，对于一个峰均比为10 dB的WCDMA信号，如果要求输出功率为-8 dBm，则：

$$\text{txpwr(dBm)} = -8 \text{ dBm} + 10 \text{ dB} = +2 \text{ dBm}$$

调制器的功耗与输出功率成正比。当发射功率低于最大值时，收发器的功耗也会降低。

## VCO输出

发射VCO输出首先被送至调谐缓冲器级，然后被送至正交发生电路。调谐缓冲器确保VCO传输只产生极低的电流和LO相关噪声。该操作对用户是透明的。正交发生器产生驱动调制器所需的高度精确的相位信号，同时用作一个二分频器。在低频段，VCO传输路径中还会使用一个附加二分频器，在高频率则会将其旁路。这是为了以最小的VCO调谐范围覆盖所有频段。

信号的相位精度对于确保良好的调制质量和精确的输出功率十分重要。片内校准可确保相位信号具有精确的90°错相。每次频率改变或者写入txpwr\_set[11:0]字时，都会执行该校准。如果器件的温度改变，应更新该校准。要执行该校准，用户只需在温度每改变5度时写入txpwr\_set[11:0]字，或者在WCDMA帧或时隙之间定期更新该值（每隔数秒）。这样可确保器件随着温度改变而保持良好的EVM和精确的输出功率。

## 发射输出巴伦

为了保持较高的信号完整度和抗扰度，基带输入、调制器和所有相关电路均为全差分式。然而，差分输出对于用户而言并不是最佳的，因为大多数功率放大器(PA)都是单端式。这种情况下，一般还需要额外的外部匹配元件或者差

分转单端SAW滤波器结构。但是，ADF4602不需要SAW滤波器，而且完全集成了低损耗巴伦，可将内部差分信号转换为单端50 Ω输出，从而实现与PA轻松接口。

TXHBRF引脚提供高频段输出，TXLBRF引脚提供低频段输出。必要时，这些输出直接与50 Ω负载相连，不需要交流耦合。

## DAC

ADF4602集成了2个DAC，用于与外部PA接口，以控制PA内部的参考或偏置节点。如果不需要此功能，可将DAC用于任何其他目的，或者不需要时可以关断。

DAC1是一个5位电压输出DAC。输出范围从2.3 V到3.15 V（对于 $V_{DD} > 3.15 \text{ V}$ ）。DAC1输出级直接采用VDD供电，在 $V_{DD}$ 的50 mV范围内能够提供10 mA的电流。为了实现高精度，DAC基准电压由LDO5提供，它在内部调整至25 mV精度。DAC1输出由PADAC1[4:0]字设置。

DAC2是一个6位电压输出DAC，输出范围从0 V到2.8 V。LDO5提供DAC2的基准电压和满量程输出电压。输出电压由padac2\_ow[5:0]字设置。如果需要控制DAC2，则dacgpo\_owen位也必须设置为高电平。

通过将代码0x0写入相应的控制寄存器，可以关断各DAC。

## 通用输出

ADF4602提供了4个通用输出(GPO)，用于控制PA偏置模式，或者更常用于控制发射/接收路径中的外部RF前端开关。GPO是简单的3 V数字输出驱动器。GPO1至GPO3能够提供最大2 mA的电流，GPO4能够提供最大10 mA的电流。

为使GPO工作，位dacgpo\_owen必须置1，然后通过gpo\_ow[3:0]字控制GPO。

## 接收机描述

ADF4602包括一个完全集成的直接变频接收机，旨在用于多频段WCDMA毫微微蜂窝应用。设计的主要特点是高性能、低功耗和所需的外部器件极少。图37给出了接收机的功能框图，包括3个用于多频段工作的LNA模块、高线性度I/Q混频器、高级基带通道滤波和直流失调补偿电路。

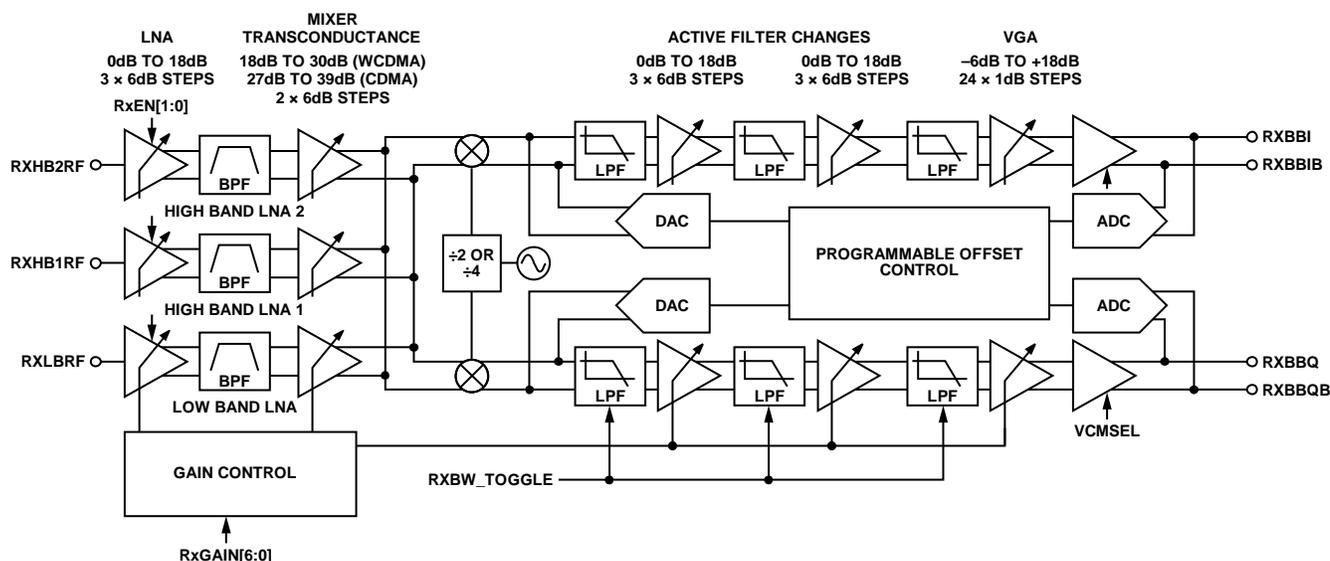


图37. 接收机功能框图

## LNA

ADF4602内置3个可调谐的RF前端，适合所有主要的3GPP频段。其中两个适合1700 MHz至2170 MHz范围内的高频段工作，一个适合824 MHz至960 MHz范围内的低频段工作。因此，设计人员可以利用这三个集成的LNA构建多频段和地区特定的版本，而不需要外加元件。

LNA功率控制和内部频段切换完全由串行接口控制。

ADF4602 LNA针对50 Ω单端输入而设计，从而能够进一步简化前端设计，并以极少的元件轻松实现匹配。通常需要一个二元件匹配：一个串联和一个并联电感。信号在LNA内部被转换到一个差分路径，以便在接收信号链的后续模块中进行信号处理。

级间RF滤波完全集成于其中，确保在混频器级之前对外部带外阻塞进行适当的衰减。LNA特性的设计目的是在发射机频率偏移处提供额外的滤波。

通过对寄存器1中的位rxbs[1:0]进行编程，可以使能LNA。LNA输入HB1应当用于UMTS频段1操作，HB2应当用于UMTS频段2操作。

## 混频器

该器件使用高线性度正交混频器电路来将RF信号转换为基带同相和正交分量。虽然图37中未显示，但实际上存在两个混频器部分：一个针对高频段LNA输出而优化，另一个针对低频段LNA输出而优化。高频段和低频段混频器输出先行合并，然后被直接驱动到基带低通滤波器的第一级(该滤波器还能用来降低最大阻塞信号的电平)，之后进行基带放大。

VCO传输系统通过接收机频率合成器部分向混频器提供正交驱动，它包括一个可编程分频器，因此高频段和低频段所用的VCO相同。通过对混频器和VCO传输电路进行精心设计和布局，实现了出色的90°正交相位和幅度匹配。

## 基带部分

ADF4602基带部分实现了分布式增益和滤波功能，提供最大54 dB的增益和60 dB的增益控制范围。通过精心设计，通带纹波、群延迟、信号损耗和功耗得以保持最小。滤波器校准已在制造过程中完成，因此精度很高且易于使用。

ADF4602提供3个基带滤波器，如表5所示。位rxbw\_toggle [2:0]用于选择工作模式。七阶WCDMA滤波器具有1.92 MHz的截止频率，能够确保对邻道进行良好的衰减，以满足毫微微蜂窝应用的阻塞/邻道选择要求。GSM滤波器具有100 kHz的截止频率，旨在用作家用基站的监控接收机。五阶WCDMA滤波器对邻道的衰减较少，因此不应用于毫微微蜂窝应用。

I和Q通道可以内部互换，因此无线电与模拟基带之间可以实现最佳的PCB布局布线。互换通过swapi和swapq位实现。

表5. 接收基带滤波器模式

模式	滤波器截止频率( $f_c$ )
七阶WCDMA	1.92 MHz
五阶WCDMA	1.92 MHz
GSM	100 kHz

# ADF4602

接收基带输出具有1.2 V或1.4 V的可编程共模电压，该共模电压通过寄存器15中的vcmsel位进行选择。

## 增益控制

增益控制功能分布于整个接收信号链，如图39所示。RF前端包含30 dB的控制范围：18 dB位于LNA中，12 dB位于混频器跨导级。两个基带有源滤波器级各提供6 dB步长的18 dB增益控制范围。如果有源滤波器级具有相同的增益，滤波器特性(纹波和群延迟)将能保持最佳。这样，滤波器级总共具有 $4 \times 12$  dB步长的36 dB增益控制范围。可变增益放大器(VGA)实现了以1 dB步长进行控制的24 dB增益。混频器的基本增益为18 dB，VGA的基本增益为-6 dB。因此，总增益为102 dB，增益控制范围为90 dB。

混频器的基本增益在WCDMA模式下为18 dB，在GSM模式下为27 dB。

表6. WCDMA模式下的接收增益控制

级	增益控制	控制步长
低噪声放大器	0 dB 至 +18 dB	$3 \times 6$ dB 步长
混频器	+18 dB 至 +30 dB (WCDMA) +27 dB 至 +39 dB (GSM)	$2 \times 6$ dB 步长
滤波器	0 dB 至 +36 dB	$3 \times 12$ dB 步长
可变增益放大器	-6 dB 至 +18 dB	$24 \times 1$ dB 步长

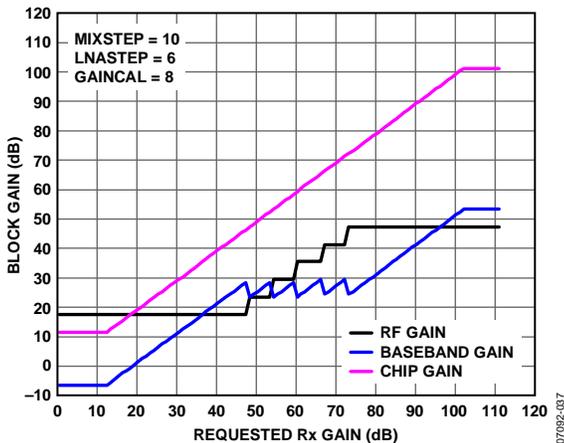


图38. 默认设置下RF与基带模块之间的增益分配

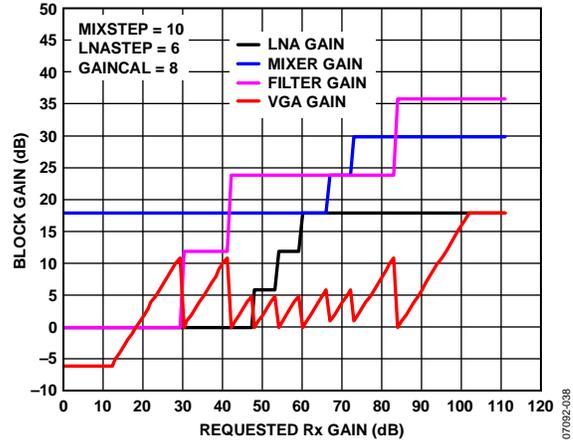


图39. 更详细的增益分配曲线

此外，寄存器15中的增益校准设置(gaincal[4:0])用于处理RF前端的损耗。

ADF4602的总增益通过下式计算：

$$ReceiveGain = rxgain[6:0] - gaincal[4:0] + X \quad (2)$$

其中，在WCDMA滤波器模式下， $X = 8$ ；在GSM滤波器模式下， $X = 17$ 。Rxgain[6:0]是写入寄存器11中的接收增益。Gaincal[4:0]是寄存器15中的增益校准设置，通过下式计算：

$$gaincal[4:0] = 8 - front\_end\_losses \quad (3)$$

其中，front\_end\_losses是双工器/开关引起的接收路径损耗。它可以用于计算天线的等效增益以及处理路径中的任何损耗。

例如，如果接收前端总损耗为2 dB，则用户应将gaincal[4:0]设置为6 dB。如果用户要求80 dB的增益并将rxgain[6:0]设置为80 dB，则ADF4602通过方程式4算得：

$$ReceiveGain = 80 - 6 + 8 = 82 \text{ dB} \quad (4)$$

即ADF4602内部使用82 dB的接收增益。

## 直流失调补偿

由于系统总增益中有非常大的一部分被分配给模拟基带功能，因此直流失调补偿是任何直接变频解决方案不可或缺的一部分。直流失调按其特征可以分为两类：静态或慢速变化的失调和随时间变化的失调。

ADF4602的架构设计可以降低随时间变化的直流失调量。它还包括一个直流失调控制系统。该控制系统包括基带输出端的ADC，用来对直流失调进行数字化处理：一个数字信号处理模块，可以对其中的环路特征进行编程，以便定制环路传递函数；以及调整DAC，用来将误差项重新引入信号路径。可以对失调控制传递函数进行编程，使之充当一个由增益变化自动触发的伺服环路，或者充当一个具有自动快速建立模式的高通滤波器(HPF)，它同样由增益变化触发。伺服环路、高通滤波器和快速建立模式的参数由ADF4602的初始编程设置。工作时，直流失调控制系统完全自动运行，无需任何外部编程。直流失调补偿环路的推荐默认编程条件参见寄存器描述部分。

## 电源管理

ADF4602集成了电源管理功能，它需要两个外部电源：3.3 V VDD和1.8 V VINT。图40显示了其功能框图。

VDD为5个集成式低压差调节器(LDO) VSUP1至VSUP5供电，这些LDO用于为绝大部分内部电路供电。VSUP6、VSUP7和VSUP8分别为接收PLL、发射PLL和参考模块供电。这些节点需要外部连接来确保良好的电源隔离，以及确保PLL/参考模块与收发器其余部分之间的干扰最小。VSUP6和VSUP7应连接到VSUP3，VSUP8则应连接到VSUP2。

VSUP1至VSUP8的每个节点都应通过一个外部0.1 μF电容去耦至地。此处不宜使用Y5V型电容，而应使用X7R、X5R、C0G或类似型号的电容。

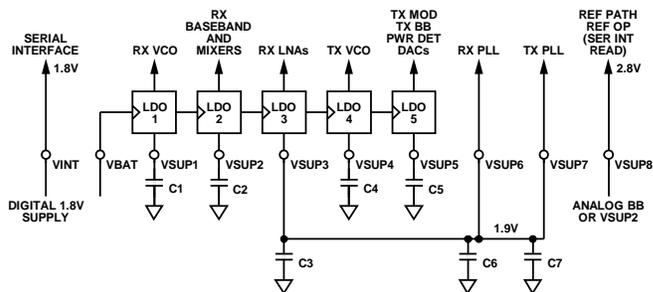


图40. 电源管理模块

VINT为串行接口供电，以便在掉电期间用最低的功耗保存寄存器数据。VINT应通过外部1.8 V电源供电。

5个LDO的上电和掉电分别由寄存器1中的位ldoen[4:0]控制。表7是电源策略汇总表。

请注意，参考路径(VSUP8)电源由外部电源或内部VSUP2供电。外部电源选项可能很方便，因为只需关闭一个电源，就能关断整个参考路径。

也可以将VSUP8设置成提供串行接口回读所用的电压。更多信息参见串行端口接口(SPI)部分。

表7. 电源管理策略

引脚	连接	用途	伏特
VINT	外部	串行接口控制逻辑	1.8 V
VDD	外部	器件主电源、DAC1	3.3 V
VSUP1	内部LDO1	接收VCO	2.6 V
VSUP2	内部LDO2	接收基带和下变频器	2.8 V
VSUP3	内部LDO3	接收LNA	1.9 V
VSUP4	内部LDO4	发射VCO	2.6 V
VSUP5	内部LDO5	发射基带、调制器、DAC2和GPO	2.8 V
VSUP6	连接到VSUP3	接收频率合成器	1.9 V
VSUP7	连接到VSUP3	发射频率合成器	1.9 V
VSUP8	VSUP2或外部	参考路径、参考缓冲输出；可选：串行接口回读	2.8 V

## 频率合成

ADF4602内置2个完全集成的可编程频率合成器，用于产生发射和接收本振(LO)信号。设计采用小数N分频架构，以提供低噪声和快速锁定时间特性。小数N分频功能利用三阶Σ-Δ调制器实现。图41显示了频率合成器架构的框图。

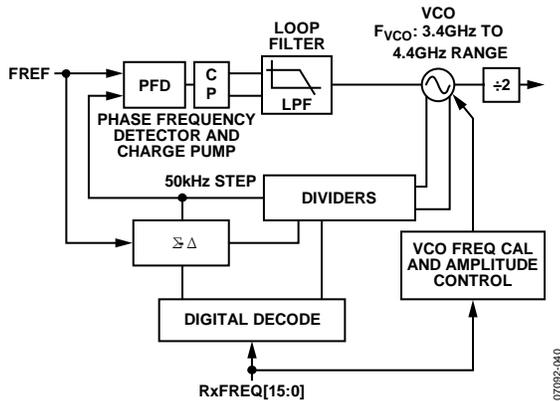


图41. 频率合成器功能框图

发射和接收频率合成器均完全集成了所有必需的元件，包括环路滤波器、VCO和谐振元件。VCO以2倍的高频段频率和4倍的低频段频率运行。分频器位于频率合成器环路的外部，以便尽可能降低目标频率下的VCO泄漏功率和VCO的调谐范围要求。VCO使用多频段结构以覆盖所需的宽频率范围。

设计集成了频率和幅度校准功能，以确保振荡器始终以最佳性能工作。校准发生在200 μs PLL锁定时间内，完全自足，无需任何用户输入。

电荷泵和环路滤波器经过内部调整，以消除制造和频率相关的偏差。该过程完全自动执行。

为了简化编程，ADF4602含有一个用于频率合成器的频率解码表，程序员无需关心计数器和小数N分频系统的内部运作。发射和接收频率合成器均可以使用50 kHz的频率步长。编程字rxfreq[15:0]和txfreq[15:0]以50 kHz步长设置0 MHz到3276.75 MHz的频率。注意频率合成器并未覆盖整个范围。各频率合成器在高低频段下的频率范围参见技术规格部分。

当使能高频段时，编程频率等于LO频率。对于低频段工作，编程频率应为所需LO频率的2倍。

发射和接收频率合成器分别通过将寄存器1中的位txsynthen和位rxsynthen置1而使能。

## 参考路径

ADF4602需要一个26 MHz参考频率输入。VCTCXO用于提供此频率。参考输入在内部交流耦合，因此无需外部交流耦合。

26 MHz参考输入经过内部缓冲后分配给相应的模块，例如频率合成器PFD输入等。图42显示了其功能框图。

ADF4602提供两路缓冲输出：引脚REFCLK上的26 MHz参考频率的缓冲版本和引脚CHIPCLK上的19.2 MHz WCDMA芯片时钟。19.2 MHz芯片时钟是WCDMA所用的3.84 MHz芯片速率的倍数。因此，它可以用于提供系统其它地方的ADC/DAC时钟。芯片时钟由集成PLL产生，不含用户设置。

两路输出均为限摆率输出，并产生低摆幅数字输出。缓冲器含有自用的1.5 V调节器电路，以便改善隔离性能并尽可能降低电源干扰。26 MHz和19.2 MHz缓冲输出分别通过设置寄存器1中的refclken位和chipclken位而使能或禁用。

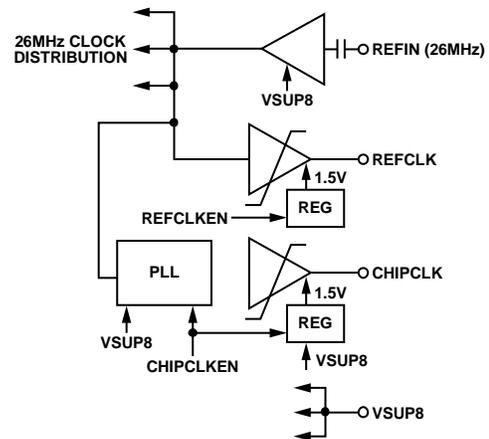


图42. 参考路径功能框图

所有参考部分都由VSUP8供电，可以将其从隔离芯片中安全地移除，以进入低功耗掉电模式。校准数据不会丢失，但参考频率不复存在。一旦重新施加VSUP8，振荡就会开始。这可以从缓冲器输出得知，不过先前必须使能输出。

## 串行端口接口(SPI)

ADF4602具有用于配置器件的内部寄存器。通过三线式串行端口接口可以读写内部寄存器。写入、读取请求和读取操作使用26位传输方式。所有字的MSB首先传输。

### 格式

图43给出了寄存器写入的格式。它由5位地址和16位数据字组成。例外是寄存器A1 = 00000，其低位数据字节用作8位子地址。总共有31个16位寄存器和256个8位寄存器。在本手册中，31个16位寄存器用诸如“寄存器31”之类的名称来指代，256个8位子寄存器则用诸如“寄存器0.144”之类的名称来指代。

OP是一个2位代码，指定所执行的操作类型(更多信息见表8)。片选代码CS是一个3位域，表示正在对总线上的哪一个器件进行编程。对于ADF4602，CS应设为001(D2、D1、D0)。

表8. SPI操作代码

OP[1]	OP[0]	操作	描述
0	0	写	一般寄存器写入。
0	1	置1	对应于数据字中的1的寄存器位置1。其它位不变。
1	0	清0	对应于数据字中的1的寄存器位置清0。其它位不变。
1	1	读	寄存器读取请求。

读取请求格式与写入格式的地址结构相同，但不包含数据域。通过填充来保持26位字长。

回读格式与写操作期间的字格式相同。同样通过填充来保持26位字长。

表9. SPI片选代码

CS[2]	CS[1]	CS[0]	器件
0	0	1	ADF4602
所有其它排列			保留

### 操作与时序

SCLK、SDATA和SEN用来传输ADF4602寄存器中的数据。数据在每个SCLK的上升沿以MSB优先方式逐个输入寄存器。数据在SEN的上升沿传输至选定的寄存器地址。时序信息参见图2和图3。

### 读

图3显示了一个读操作。首先，主机向ADF4602写入一个读取请求。在读取请求操作与随后的读操作之间，SEN必须保持高电平至少三个SCLK周期。在此期间，主机必须释放SDATA线路。ADF4602获取对SDATA的控制，当主机将SEN拉低时，读操作开始。

回读期间，SDATA输出电压设为1.8 V或2.8 V。寄存器2中的位sif\_vsup8控制该设置。如果此位为0，器件将使用1.8 V VINT电源；如果为1，则使用2.8 V VSUP8电源。上电或软复位之后，ADF4602默认设置为2.8 V回读模式。

OPERATION	BIT POSITION																									
	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WRITE REGISTER 1 TO 31 W[25:0]	DATA D[15:0]															ADDRESS A1[4:0]					OP [1:0]		CS [2:0]			
WRITE REGISTER 0 W[25:0]	DATA D[7:0]							SUBADDRESS A2[7:0]								ADDRESS A1 = 00000					OP [1:0]		CS [2:0]			
READ REQUEST REGISTER 1 TO 31 Q[25:0]	RANDOM PADDING P[15:0]															ADDRESS A1[4:0]					OP [1:0]		CS [2:0]			
READ REQUEST REGISTER 0 Q[25:0]	RANDOM PADDING P[7:0]							SUBADDRESS A2[7:0]								ADDRESS A1[4:0]					OP [1:0]		CS [2:0]			
READ REGISTER 1 TO 31 Q[25:0]	DATA D[15:0]															ADDRESS A1[4:0]					OP = 11		CS [2:0]			
READ REGISTER 0 Q[25:0]	DATA D[7:0]							SUBADDRESS A2[7:0]								ADDRESS A1 = 00000					OP = 11		CS [2:0]			

07052-042

图43. SPI寄存器写入格式

## 寄存器 寄存器图

### GENERAL USER REGISTERS

A1	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	DEFAULT <sup>1</sup>	R/W
1			rxen	refclk en	chipclk en	ldoen[4:0]				txen	txbs	txsynth en	rxbs[1:0]	rxsynth en	0x2FFD	W		
2														sif_vsup8	reset_soft	0x0002	W	

### RECEIVER USER REGISTERS

A1	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	DEFAULT <sup>1</sup>	R/W
10	rxfreq[15:0]															0x9858	W	
11	rxgain[6:0]															0x0000	W	
12	rfskip[3:0]			sdmen[3:0]			mixstep[3:0]			lnastep[3:0]			0x0FA6			W		
13	osadc2x[3:0]			nper2[3:0]			nper1[3:0]			nper0[3:0]			0x103E			W		
14	nint3[3:0]			nint2[3:0]			nint1[3:0]			nint0[3:0]			0xEE53			W		
15				vcmssel	swapq	swapi	rxbw[2:0]			gaincal[4:0]			sdmosr	0x0890		W		

### TRANSMITTER USER REGISTERS

A1	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	DEFAULT <sup>1</sup>	R/W
21				test_l/swap_l	test_Q/swap_Q	gain_blanksel [1:0]	cmmod	vcm_sat_thres[5:0]					0x001F		W			
22	dacgpo_owen	gpo_ow[3:0]			padac2_ow[5:0]			padac1[4:0]			0x8000		W					
26	txfreq[15:0]															0x0000	W	
28	txpwr_set[11:0]															cntrl_mode	0x0001	W
31												nvmlid				0x0000	W	

### SUB-ADDRESS REGISTERS

A1	A2	D7	D6	D5	D4	D3	D2	D1	D0	DEFAULT <sup>1</sup>	R/W	
0	144						reserved[1:0]			0x06	W	
0	151	vsup2[7:0]									0x6F	W
0	153	reserved[7:0]									0x85	W
0	155	reserved[7:0]									0x78	W
0	165	reserved[7:0]									0x20	W
0	170	en_mix[3:0]									0xF0	W
0	171						buffstate			0x04 <sup>2</sup>	W	
0	174	buff_value[7:0]									0x5F <sup>3</sup>	W
0	175	reserved[7:0]									0x14	W

#### NOTES

<sup>1</sup>THESE ARE RECOMMENDED DEFAULT SETTINGS THAT SHOULD BE PROGRAMMED INTO THE REGISTERS.

<sup>2</sup>DEFAULT SHOWN IS FOR BAND 1 OPERATION. SET TO 0x00 IF TRANSMIT FREQUENCY < 21100MHz.

<sup>3</sup>DEFAULT SHOWN IS FOR BAND 1 OPERATION. SET TO 0x50 IF TRANSMIT FREQUENCY < 21100MHz.

图44. 寄存器图

## 寄存器描述

表10. 通用用户寄存器

寄存器	位	位名称	描述	
1, A1	13	rxen	此位设置为高电平可启用接收机，设置为低电平则禁用接收机。	
	12	refclken	此位设置为高电平可启用26 MHz参考输出缓冲器。	
	11	chipclken	此位设置为高电平可启用19.2 MHz芯片时钟输出缓冲器。	
	[10:6]	ldoen	可以单独关断各片内LDO。正常工作时，应启用所有LDO（位[10:6]=[11111]）。	
			<b>ldoen[10:6]<sup>1</sup></b>	<b>模式</b>
			XXXX1	VSUP1 2.6 V使能
			XXX1X	VSUP2 2.8 V使能
			XX1XX	VSUP3 1.8 V使能
			X1XXX	VSUP4 2.6 V使能
			1XXXX	VSUP5 2.8 V使能
5	txen		此位设置为高电平可启用发射机。	
4	txbs		此位控制使用哪一个发射输出。0 = 低频段(TXLBRF)，1 = 高频段(TXHBRF)。	
3	txsynthen		此位设置为高电平可启用发射频率合成器。	
[2:1]	rxbs		这些位控制接收机频段的选择。	
			<b>rxbs[2:1]</b>	<b>操作</b>
			00	保留
			01	低频段使能(RXLB)
			10	高频段1使能(RXHB1) (默认)
			11	高频段2使能(RXHB2)
0	rxsynthen		此位设置为高电平可启用接收频率合成器。	
2, A1	1	sif_vsup8	通过此位可将串行端口回读(SDATA)输出电压从1.8 V变为2.8 V。0 = 使用1.8 V VINT电源，1 = 使用2.8 V VSUP8电源。上电或软复位之后，ADF4602默认设置为2.8 V回读模式。	
	0	reset_soft	此位的上升沿可启动针对整个芯片的50 μs复位脉冲。此位自动清0。上电之后建议执行软复位。	

<sup>1</sup>X = 无关

# ADF4602

表11. 接收机用户寄存器

寄存器	位	位名称	描述		
10, A1	[15:0]	rxfreq	这些位设置接收频率合成器的频率：步长50 kHz，范围从0 MHz到3276.75 MHz。 对于高频段，它等于通道频率；对于低频段，它是通道频率的2倍。例如：		
			<b>位15至位0(十六进制)</b>	<b>HB1、HB2频率合成器频率</b>	<b>LB频率合成器频率</b>
			0x9470 0x9858	1900 MHz 1950 MHz	950 MHz 975 MHz
11, A1	[6:0]	rxgain	<p>这些位与寄存器15中的gaincal[4:0]设置一起设置接收机增益。LSB = 1 dB。 0x00 = 0dB, 0x7F = 127 dB。 <math>Gain = rxgain - gaincal + X</math></p> <p>其中，在WCDMA模式下，X = 8；在GSM模式下，X = 17。模式由寄存器15中的rxbw位选择。 当mixstep = 6且lnastep = 10时，rxgain的有效范围是从12 dB到102 dB。 超出此范围的设置将被箝位在12 dB和102 dB。示例参见图38。</p>		
12, A1	[15:12]	rfskip	当状态3至状态0未发生RF增益步进时，跳过失调控制状态。默认值 = 0x0 = 0。		
	[11:8]	sdmen	针对状态3至状态0使能Σ-Δ调制器。默认值 = 0xF = 15。		
	[7:4]	mixstep	混频器增益降低步长的增益解码阈值。LSB = 4 dB步长。默认值 = 0xA = 10。		
	[3:0]	lnastep	LNA增益降低步长的增益解码阈值。LSB = 4 dB步长。默认值 = 0x6 = 6。		
13, A1	[15:12]	osadc2x	状态3至状态0的失调测量ADC范围。默认值 = 0x1 = 1。		
	[11:8]	nper2	状态2的持续时间。默认值 = 0x0 = 0。		
	[7:4]	nper1	状态1的持续时间。默认值 = 0x3 = 3。		
	[3:0]	nper0	状态0的持续时间。默认值 = 0xE = 14。		
14, A1	[15:12]	nint3	状态3的积分器时间常数。默认值 = 0xE = 14。		
	[11:8]	nint2	状态2的积分器时间常数。默认值 = 0xE = 14。		
	[7:4]	nint1	状态1的积分器时间常数。默认值 = 0x5 = 5。		
	[3:0]	nint0	状态0的积分器时间常数。默认值 = 0x3 = 3。		
15, A1	11	vcmsel	此位设置接收基带输出共模电压。0 = 1.2 V, 1 = 1.4 V。		
	10	swapq	此位设置为高电平可交换差分Q输出：RXBBQ和RXBBQB。		
	9	swapi	此位设置为高电平可交换差分I输出：RXBBI和RXBBIB。		
	[8:6]	rxbw	此位控制接收基带滤波器带宽。		
			<b>rxbw [8:6]</b>	<b>滤波器模式</b>	
			000	五阶WCDMA滤波器(不宜用于毫微微蜂窝)	
			010	七阶WCDMA滤波器(推荐用于毫微微蜂窝的WCDMA滤波器)	
111	GSM滤波器				
Else	保留				
[5:1]	gaincal	这些位用于前端损耗的校准。LSB = 1 dB, 0x00 = 0 dB, 0x1F = 31 dB。它用于计算接收增益。 参见寄存器11中的rxgain。如果不用于校准，此参数应设置为8(WCDMA模式下)或17(GSM模式下)。			
0	sdmosr	失调环路Σ-Δ调制器过采样比。1 = 4×, 0 = 2×(默认值)。			

表12. 发射机用户寄存器

寄存器	位	位名称	描述		
21, A1	[12:11]	test_l/swap_l	这些位用于设置I输入的各种选项，详见下表：		
			<b>位</b>	<b>功能</b>	
			00	正常工作	
			01	交换I差分输入，以简化PCB到DAC的布线	
			10	I输入上的0输入	
11	对I输入施加直流失调；产生大RF载波				
	[10:9]	test_Q/swap_Q	这些位用于设置Q输入的各种选项，详见下表：		
			<b>位</b>	<b>功能</b>	
			00	正常工作	
			01	交换Q差分输入，以简化PCB到DAC的布线	
			10	Q输入上的0输入	
11	对Q输入施加直流失调；产生大RF载波				
	[8:7]	gain_blanksel	在发射增益改变期间，发射机输出端可能发生频谱散射。这些位可使低通滤波器输入端的输入基带信号消隐一段较短的时间，以减少增益改变期间观察到的频谱散射。		
			<b>gain_blanksel[8:7]</b>	<b>操作</b>	
			00	默认设置，无消隐	
			01	消隐230 ns	
			10	消隐540 ns	
11	消隐850 ns				
6		cmmod	此位用于调整内部调制器的共模设置。应将其设为0。此位置1可降低功耗，但发射线性度下降。		
	[5:0]	vcm_sat_thres	正常工作时，应将此位设置为0x1F。		
22, A1	15: [14:11]	dacgpo_owen gpo_ow	此位设置为高电平时，用户可手动控制DAC2和GPO1至GPO4。		
			这些位允许对GPO 1至GPO 4进行手动控制。为支持这种工作模式，位dacgpo_owen必须置1。每位控制一个GPO，详见下表。支持所有可能的GPO输出组合排列。		
			<b>gpo_ow[14:11]<sup>1</sup></b>	<b>模式</b>	
			XXX1	GPO1高电平	
			XX1X	GPO2高电平	
X1XX	GPO3高电平				
1XXX	GPO4高电平				
[10:5]	[4:0]	padac2_ow	这些位允许对DAC2进行手动控制。为支持这种工作模式，位dacgpo_owen必须置1。		
		padac1	这些位控制DAC1。		
26, A1 写入	[15:0]	txfreq	这些位设置发射频率合成器的频率；步长50 kHz，范围从0 MHz到3276.75 MHz。对于高频段，它等于通道频率；对于低频段，它是通道频率的2倍。例如：		
			<b>位15至位0(十六进制)</b>	<b>HB频率合成器频率</b>	<b>LB频率合成器频率</b>
			0xA730	2140 MHz	1070 MHz
			0xA988	2170 MHz	1085 MHz

# ADF4602

寄存器	位	位名称	描述
28, A1 写入	[15:4]  0	txpwr_set	要求天线发射功率。LSB = 1/32 dBm, 0x000 = -80 dBm, 0xFF = 47.96875 dBm。输出功率参考施加于发射基带输入端的满量程正弦波。对于WCDMA调制信号, 信号的峰均比会降低3.84 MHz带宽内测得的输出功率。详情见I/Q调制器部分。发射输出功率设置的有效范围是从-80 dBm到+10 dBm。取决于所施加信号的峰均比(PAR), 输出削波可能发生得更早。  txpwr_set寄存器应定期更新或温度每改变5°C时更新, 以确保输出功率的精确性。详情见VCO输出部分。  此位置1可控制txpwr_set位设置的输出功率
31, A1 写入	4	nvmlid	此位置1将触发手动加载非易失性存储器内容。详情见软件初始化程序部分。

<sup>1</sup>X = 无关。

**表13. 子地址寄存器**

寄存器	位	位名称	描述
0.144, A2 写入	[2:1]	reserved[1:0]	正常工作时, 这些位应设置为11。
0.151, A2 写入	[7:0]	vsup2[7:0]	这些位控制VSUP2调节器电压, 正常工作时应设置为0x6F。在初始化序列中, VSUP2电压临时设置为3.1 V。详情见软件初始化程序部分。
0.153, A2 写入	[7:0]	reserved[7:0]	正常工作时, 这些位应设置为0x85。
0.155, A2 写入	[7:0]	reserved[7:0]	正常工作时, 这些位应设置为0x78。
0.165, A2 写入	[7:0]	reserved[7:0]	正常工作时, 这些位应设置为0x20。
0.170, A2 写入	[7:4]	en_mix[3:0]	这些位分别使能调制器的I、IB、Q和QB通道。正常工作时, 应将这些位全部置1以使能调制器。
0.171, A2 写入	2	buffstate	此位控制发射VCO缓冲器状态。 如果发射频率合成器的频率高于2100 MHz(频段1), 缓冲器状态应设置为1, R0.174中的对应VCO缓冲器值应设置为0x5F。这样可确保在频率高于2100 MHz时器件能正常工作。 如果频率低于2100 MHz(频段2), 缓冲器状态应设置为0, R0.174中的对应VCO缓冲器值应设置为0x50。这样可确保在频率低于2100 MHz时器件能正常工作。
0.174, A2 写入	[7:0]	buff_value[7:0]	当发射频率高于2100 MHz时, 这些位应设置为0x5F; 当发射频率低于2100 MHz时, 这些位应设置为0x50。更多信息参见寄存器0.171的描述。
0.175, A2 写入	[7:0]	reserved[7:0]	正常工作时, 这些位应设置为0x14。

## 软件初始化程序

### 初始化序列

表14显示了上电后应使用的初始化序列。请注意，编程开始前必须对REFIN引脚施加26MHz参考时钟。注释部分中说明了默认设置，一些设置(例如输出频率、增益和GPO设置等)可能随用户的最终应用要求而不同。这种情况下，用户可以使用自己的设置代替。

表14. 初始化序列

步骤	寄存器 <sup>1</sup>	数据	注释
1	02	0x0003	对ADF4602执行软复位。复位需要50 μs，在此期间不应写入任何寄存器。 50 μs后，编程可以正常继续。此位自动清0。 如果使用1.8 V逻辑电平，此寄存器应设置为0x0001而非0x0003。
2	0.151	0xE0	将VSUP2设置为3.1 V。更多信息见非易失性存储器(NVM)初始化部分。
3	31	0x0010	将非易失性存储器(NVM)内容传输至寄存器。等待200 μs之后才能开始下一编程步骤。
4	31	0x0000	对上一编程步骤设置的位取反。
5	0.151	0x6F	将VSUP2重新设置为2.8 V。
6	01	0x2FDD	使能接收机和禁用发射输出。选择TXHBRF引脚为发射输出，RXHB1引脚为接收输入。 使能所有片内调节器。 使能19.2 MHz输出时钟，禁用26 MHz输出时钟。 如果希望禁用19.2 MHz输出时钟，应将此寄存器设置为0x27DD。
7	12	0x0FA6	混频器和LNA增益降低步长的默认设置。
8	13	0x103E	默认设置。
9	14	0xEE53	默认设置。
10	15	0x0890	设置接收到的增益校准(WCDMA滤波器模式)，并设置输出共模电压为1.4 V。
11	21	0x001F	默认设置。
12	22	0x8000	使能DAC和GPO手动控制。
13	0.144	0x06	默认设置。
14	0.155	0x78	默认设置。
15	0.153	0x85	默认设置。
16	0.165	0x20	默认设置。
17	0.170	0xF0	默认设置。
18	0.171	0x04 0x00	如果发射频率合成器频率高于2100 MHz 如果发射频率合成器频率低于2100 MHz
19	0.174	0x5F 0x50	如果发射频率合成器频率高于2100 MHz 如果发射频率合成器频率低于2100 MHz
20	0.175	0x14	默认设置。
21	11	0x0050	接收机增益设置为80 dB。
22	10	0x9858	接收机频率合成器频率设置为1950 MHz。PLL锁定时间为200 μs。在此期间不应写入寄存器。
23	26	0xA730	发射机频率合成器频率设置为2140 MHz。PLL锁定时间为200 μs。在此期间不应写入寄存器。
24	01	0x2FFD	使能发射输出。
25	28	0xA001	使能输出功率控制并将txpwr_set域设置为0 dBm。输出功率通过txpwr_set位进行控制。

<sup>1</sup> 寄存器号0.xxx是8位寄存器，详见ADF4602-x数据手册的SPI接口部分所述。

## 非易失性存储器(NVM)初始化

ADF4602具有片内非易失性存储器(NVM)，其中包含芯片出厂校准系数。对器件执行软复位可以将NVM的内容传输至内部寄存器，不过已经发现，如果温度低于0°C，这一操作不能可靠地执行。表14的步骤2到步骤5所述的软件解决办法可确保NVM数据在所有工作条件下都能可靠地传输。它涉及到将VSUP2片内调节器设置为3.1 V，再将寄存器31中的nvml位置1以手动传输数据，然后将VSUP2调节器重新设置为2.8 V。完成这些步骤后，器件编程可以正常继续。

## 设置发射和接收频率

初始化之后，可能需要改变发射/接收频率合成器的频率。若要更改发射频率，请将新频率字写入寄存器26。编程设置新发射频率时，发射输出功率自动关闭，以免在PLL锁定期间发生不需要的传输。用户应等待200μs(PLL锁定时间)，然后通过写入寄存器28将输出功率设置为所需的值。

如果用户禁用发射频率合成器，则在重新使能发射频率合成器之前，必须关闭发射输出功率。这可以通过两种途径实现：将寄存器1中的位D5置1，或者将寄存器28中的输出功率设置为最小值。

重新使能频率合成器之后，编程设置寄存器26中的频率字，以将频率合成器锁定在某一频率，然后用户就可以重新使能输出功率。

若要更改接收频率，只需在寄存器10中编程设置新的频率，等待200μs之后就可以将器件用作收发器。接收增益可以随时设置(200 μs PLL锁定期间除外)。

## 应用信息

### ADF4602与AD9863接口

AD9863混合信号前端处理器建议与ADF4602配合使用。AD9863内置2个12位ADC和2个12位DAC，用于对ADF4602接收信号进行采样，并向ADF4602提供发射基带信号。本部分讨论器件之间所需的连接。

### 发射接口

AD9863 TxDAC内核依据12位数据生成2路差分电流输出。满量程输出电流 $I_{OUTFSMAX}$ 由外部电阻 $R_{SET}$ 设置。 $I_{OUTFSMAX}$ 与 $R_{SET}$ 的关系如下：

$$I_{OUTFSMAX} = 67 \times \left( \frac{1.23V}{R_{SET}} \right)$$

将 $R_{SET}$ 设置为3.9 k $\Omega$ 可以使TxDAC获得最佳动态设置，此时满量程输出电流为20 mA。

ADF4602发射基带输入接受具有1 V峰峰值差分摆幅的1.2 V共模输入信号。图45所示的配置用来从AD9863 TxDAC提供此信号。

电阻 $R_{DC}$ 设置直流共模电压，负载电阻 $R_L$ 设置差分摆幅。差分摆幅 $V_{DIFF}$ 是负载电阻 $R_L$ 和DAC满量程电流 $I_{OUTFSMAX}$ 的函数，其间的关系如下：

$$V_{DIFF} = \frac{2 \times I_{OUTFSMAX} \times R_{DC} \times R_L}{2 \times R_{DC} + R_L} = f(I_{OUTFSMAX}) = g(R_L)$$

共模电压 $V_{CM}$ 通过下式进行设置：

$$V_{CM} = \frac{I_{OUTFSMAX}}{2} \times R_{DC}$$

通过这些公式可知，RDC设置为120  $\Omega$ 时可提供1.2 V共模电压，RL设置为63  $\Omega$ 时可提供1 V峰峰值差分输入摆幅。

AD9863发射可编程增益放大器(TxPGA)为2个DAC各提供20 dB的同步增益范围，并通过SPI端口进行控制。增益范围为10%至100%  $I_{OUTFSMAX}$ 。针对各DAC输出还能进行粗调增益控制。建议对TxPGA增益和粗调增益控制(全增益)采用最大设置(255)。这是因为DAC输出共模电压 $V_{CM}$ 是针对特定 $I_{OUTFSMAX}$ 而设计。改变DAC增益将导致不同的 $I_{OUTFSMAX}$ ，因而 $V_{CM}$ 也不同，这对于ADF4602并非最佳设置。当DAC增益设置始终处于最大值时，发射输出功率通过ADF4602发射功率设置进行控制。

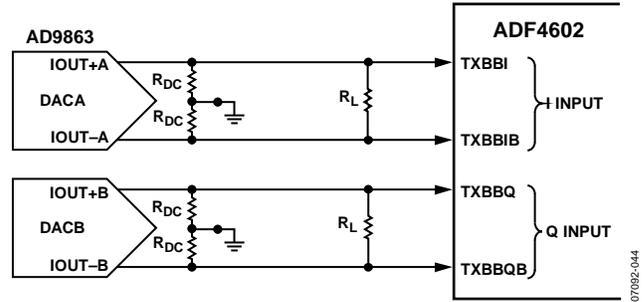


图45. AD9863 TxDAC与ADF4602基带输入的接口

### 接收接口

AD9863 ADC输入端由一个2 k $\Omega$ 的差分输入电阻和一个2 V峰峰值差分满量程输入电平的开关电容电路组成。输入自偏置到中间电源电压，也可通过编程来接受外部直流偏置。ADF4602接收基带输出可以提供此外部直流偏置(1.4 V)，这是这两个器件之间的首选接口。寄存器15中的vcmsel位位置1，以从ADF4602提供1.4 V共模电压；AD9863输入偏置应禁用。然后，ADF4602接收基带输出与AD9863 ADC输入之间可以直接连接。

ADC采样保持电容的采样操作可能会在输入信号上引起反冲效应，导致接收信号中出现频率为ADC采样频率整数倍的杂散。这些杂散可能会导致接收机相关通道的灵敏度下降。为了减少杂散并提高灵敏度，应在各接收基带输出端放置100 pF的接地滤波电容。图46显示了这两个器件之间的接口。

### 接收灵敏度

图26显示了ADF4602接收灵敏度与频率的关系。30.72 MHz ADC采样频率的63次和64次谐波所引起的灵敏度下降效应可以在1935 MHz和1966 MHz附近观察到。对于这幅图，ADC输入端使用了100 pF接地滤波电容。还应注意26 MHz参考频率谐波引起的灵敏度下降效应，这可以在1924 MHz、1950 MHz和1976 MHz处观察到。对于这些谐波，灵敏度下降幅度小于3 dB。总体而言，在整个频率范围内，该解决方案比3GPP灵敏度技术规范超出了6 dB。

# ADF4602

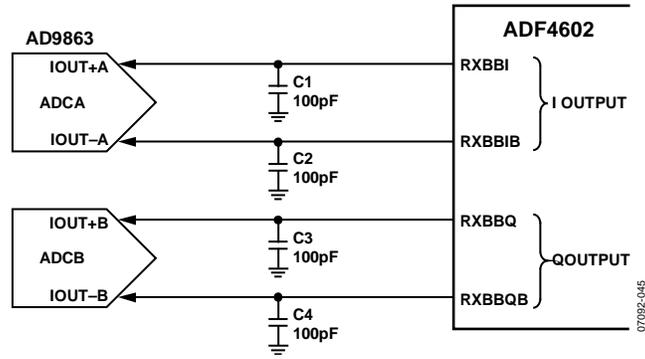
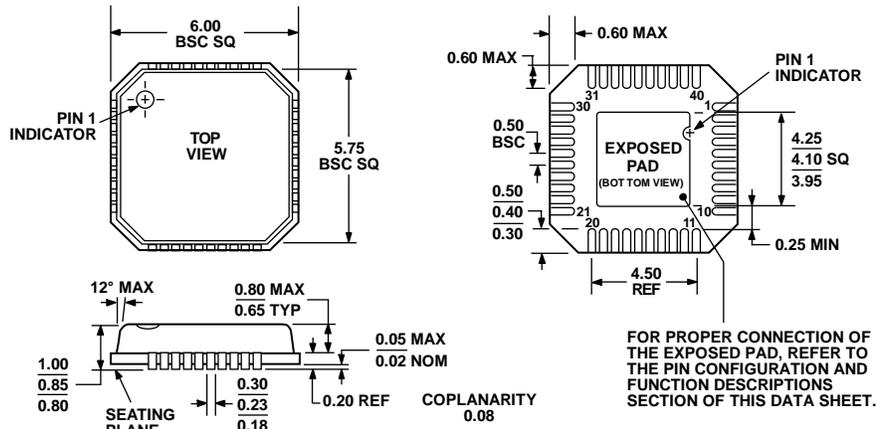


图46. ADF4602接收基带输出与AD9863 ADC的接口

# 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-2

图47. 40引脚 LFCSP\_VQ封装  
6 mm x 6 mm, 超薄体  
(CP-40-1)  
图示尺寸单位: mm

072108-A

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADF4602BCPZ	0°C至+85°C	40引脚LFCSP_VQ	CP-40-1
ADF4602BCPZ-RL	0°C至+85°C	40引脚LFCSP_VQ	CP-40-1

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**

注释

**注释**