

产品特性

宽输入电压范围：2.85 V至15 V

产生调节良好的独立电阻可编程 V_{POS} 和 V_{NEG} 输出

升压调节器产生 V_{POS} 输出

可调正输出至39 V

集成1.0 A主开关

可选单端初级电感转换器(SEPIC)配置用于自动升压/降压

反相稳压器产生 V_{NEG} 输出

可调负输出至 $V_{IN} - 39 V$

集成0.6 A主开关

正输出和负输出均能真正关断

1.2 MHz/2.4 MHz开关频率，可选外部频率同步范围为1.0 MHz至2.6 MHz

电阻可编程软启动定时器

具有开关斜率控制功能以降低系统噪声

各自独立的精确使能和灵活的启动序列控制支持对称启动、

V_{POS} 优先或 V_{NEG} 优先

错相工作

UVLO、OCP、OVP和TSD保护

4 mm x 4 mm、20引脚LFCSP封装

结温范围：-40°C至+125°C

ADIsimPower工具集支持

应用

双极性放大器、ADC、DAC和多路复用器

电荷耦合器件(CCD)偏置电源

光模块供电

RF功率放大器(PA)偏置电源

概述

ADP5070是一款双通道高性能DC-DC稳压器，可产生独立调节的正供电电轨和负供电电轨。

2.85 V至15 V的输入电压范围支持各种应用。两个稳压器中的集成主开关可产生高达+39 V的可调正输出电压，以及低至输入电压以下-39 V的负输出电压。

ADP5070以引脚选择的1.2 MHz/2.4 MHz开关频率工作。

ADP5070可与外部振荡器在1.0 MHz至2.6 MHz范围内同步，从而轻松滤除敏感应用中的噪声。两个稳压器针对MOSFET驱动级实现可编程开关斜率控制电路，从而减少电磁干扰(EMI)。

灵活的启动时序控制提供手动使能、同步模式、正电源优

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

典型应用电路

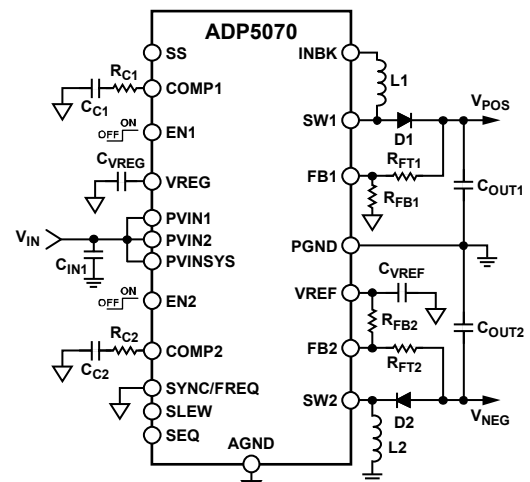


图1.

先和负电源优先选项。

ADP5070内置固定的或电阻可编程的软启动定时器，可防止上电时产生浪涌电流。关断期间，两个稳压器完全断开输入电源与负载，实现真正的关断。

ADP5070的其它重要安全特性包括过流保护(OCP)、过压保护(OVP)、热关断(TSD)和输入欠压闭锁(UVLO)。

ADP5070采用20引脚LFCSP封装，额定结温范围为-40°C至+125°C。

表1. 该系列产品型号

型号	升压开关(A)	逆变器开关(A)
ADP5070	1.0	0.6
ADP5071	2.0	1.2

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2015 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	软启动	14
应用	1	开关斜率控制	14
典型应用电路	1	限流保护	14
概述	1	过压保护	14
修订历史	2	热关断	14
技术规格	3	启动时序	14
绝对最大额定值	5	应用信息	16
热阻	5	ADIsimPower设计工具	16
ESD警告	5	器件选择	16
引脚配置和功能描述	6	环路补偿	19
典型性能参数	7	常见应用	21
工作原理	13	利用可选LDO实现超低噪声	23
PWM模式	13	SEPIC升压/降压操作	24
PSM模式	13	布局考量	25
欠压闭锁(UVLO)	13	外形尺寸	26
振荡器和同步	13	订购指南	26
内部稳压器	13		
精确使能	14		

修订历史

2015年1月—修订版0：初始版

技术规格

除非另有说明, $PVIN1 = PVIN2 = PVINSYS = 2.85\text{ V}$ 至 15 V , $V_{POS} = 15\text{ V}$, $V_{NEG} = -15\text{ V}$, $f_{SW} = 1200\text{ kHz}$, 最大值/最小值规格对应 $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, 典型值规格对应 $T_A = 25^\circ\text{C}$ 。

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
输入电源电压范围	V_{IN}	2.85		15	V	PVIN1, PVIN2, PVINSYS
静态电流						
工作静态电流 PVIN1、PVIN2、PVINSYS(总和)	I_Q		3.5	4.0	mA	开关不切换, EN1 = EN2 = 高电平, PVIN1 = PVIN2 = PVINSYS = 5 V
关断电流	I_{SHDN}		5	10	μA	开关不切换, EN1 = EN2 = 低电平, PVIN1 = PVIN2 = PVINSYS = 5 V
UVLO						PVINSYS
系统UVLO阈值						
上升	V_{UVLO_RISING}		2.8	2.85	V	
下降	$V_{UVLO_FALLING}$	2.5	2.55		V	
迟滞	V_{HYS_1}		0.25		V	
振荡器电路						
开关频率	f_{SW}	1.130 2.240	1.200 2.400	1.270 2.560	MHz MHz	SYNC/FREQ = 低电平 SYNC/FREQ = 高电平 (连接到VREG)
SYNC/FREQ输入						
输入时钟范围	f_{SYNC}	1.000		2.600	MHz	
输入时钟最小开启脉冲宽度	$t_{SYNC_MIN_ON}$	100			ns	
输入时钟最小关闭脉冲宽度	$t_{SYNC_MIN_OFF}$	100			ns	
输入时钟逻辑高电平	$V_{H(SYNC)}$			1.3	V	
输入时钟逻辑低电平	$V_{L(SYNC)}$	0.4			V	
精确使能(EN1、EN2)						
高电平阈值	V_{TH_H}	1.125	1.15	1.175	V	
低电平阈值	V_{TH_L}	1.025	1.05	1.075	V	
关断模式	V_{TH_S}	0.4			V	内部电路禁用以实现 I_{SHDN}
下拉电阻	R_{EN}		1.48		$\text{M}\Omega$	
内部稳压器						
VREG输出电压	V_{REG}		4.25		V	
升压调节器						
反馈电压	V_{FB1}		0.8		V	
反馈电压精度		-0.5 -1.5		+0.5 +1.5	% %	$T_J = 25^\circ\text{C}$ $T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$
反馈偏置电流	I_{FB1}			0.1	μA	
过压保护阈值	V_{OV1}		0.86		V	FB1引脚
负载调整率	$\Delta V_{FB1}/I_{LOAD1}$		0.0003		%/mA	$I_{LOAD1}^1 = 5\text{ mA}$ 至 150 mA
电压调整率	$\Delta V_{FB1}/V_{PVIN1}$		0.002		%/V	$V_{PVIN1} = 2.85\text{ V}$ 至 14.5 V , $I_{LOAD1}^1 = 15\text{ mA}$
误差放大器(EA)跨导	g_{M1}	270	300	330	$\mu\text{A}/\text{V}$	
功率FET导通电阻	$R_{DS(ON) BOOST}$		175		$\text{m}\Omega$	
功率FET最大漏极源极电压	$V_{DS(MAX) BOOST}$		39		V	
输入断开开关导通电阻	$R_{DS(ON) INBK}$		210		$\text{m}\Omega$	
限流阈值	$I_{LIM(BOOST)}$	1.00	1.10	1.20	A	
最短导通时间			50		ns	
最短关断时间			25		ns	

ADP5070

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
反相稳压器						
基准电压	V_{REF}		1.60		V	
基准电压精度		-0.5		+0.5	%	$T_J = 25^\circ\text{C}$
		-1.5		+1.5	%	$T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$
反馈电压	$V_{REF} - V_{FB2}$		0.8		V	
反馈电压精度		-0.5		+0.5	%	$T_J = 25^\circ\text{C}$
		-1.5		+1.5	%	$T_J = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$
反馈偏置电流	I_{FB2}			0.1	μA	
过压保护阈值	V_{OV2}		0.74		V	FB2引脚, 软启动完成后
负载调整率	$\Delta(V_{REF} - V_{FB2})/I_{LOAD2}$		0.0004		%/mA	$I_{LOAD2}^1 = 5\text{ mA}$ 至 75 mA
电压调整率	$\Delta(V_{REF} - V_{FB2})/V_{PVIN2}$		0.003		%/V	$V_{PVIN2} = 2.85\text{ V}$ 至 14.5 V , $I_{LOAD2}^1 = 15\text{ mA}$
EA跨导	g_{M2}	270	300	330	$\mu\text{A}/\text{V}$	
功率FET导通电阻	$R_{DS(ON)INVERTER}$		350		$\text{m}\Omega$	
功率FET最大漏极源极电压	$V_{DS(MAX)INVERTER}$		39		V	
限流阈值	$I_{LIM(INVERTER)}$	600	660	720	mA	
最短导通时间			60		ns	
最短关断时间			50		ns	
软启动						
升压和反相稳压器的软启动定时器	t_{SS}		4		ms	SS = 开路
			32		ms	SS电阻 = $50\text{ k}\Omega$ 接GND
打嗝时间	t_{HICCUP}		$8 \times t_{SS}$		ms	
热关断						
阈值	T_{SHDN}		150		$^\circ\text{C}$	
迟滞	T_{HYS}		15		$^\circ\text{C}$	

¹ I_{LOADx} 是输出电容上连接的阻性负载中的电流(对于升压调节器负载, x为1; 对于反相稳压器负载, x为2)。

绝对最大额定值

表3.

参数	额定值
PVIN1, PVIN2, PVINSYS	-0.3 V至+18 V
INBK	-0.3 V至PVIN1 + 0.3 V
SW1	-0.3 V至+40 V
SW2	PVIN2 - 40 V至PVIN2 + 0.3 V
PGND, AGND	-0.3 V至+0.3 V
VREG	-0.3 V至PVINSYS + 0.3 V或+6 V(取较低值)
EN1, EN2, FB1, FB2, SYNC/FREQ	-0.3 V至+6 V
COMP1, COMP2, SLEW, SS, SEQ, VREF	-0.3 V至VREG + 0.3 V

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

θ_{JA} 和 Ψ_{JT} 基于4层印刷电路板(PCB)(2个信号层和2个电源层)，并按照“布局考量”部分的建议，通过9个热过孔将裸露焊盘连接到接地层。 θ_{JC} 是在封装顶部测量，与PCB无关。 Ψ_{JT} 值更适合用来计算应用中的结至壳温度。

表4. 热阻

封装类型	θ_{JA}	θ_{JC}	Ψ_{JT}	单位
20引脚 LFCSP	60.2	0.63	36.5	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

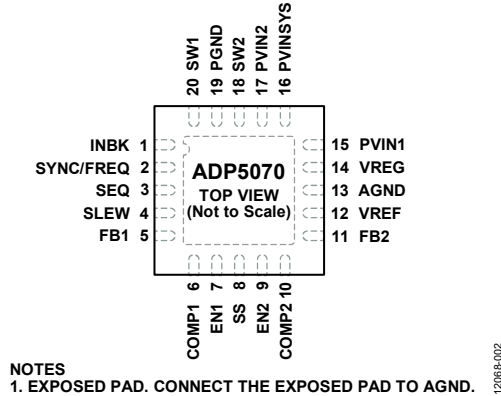


图2. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1	INBK	升压调节器的输入断开开关输出。
2	SYNC/FREQ	频率设置和同步输入。要将开关频率设置为2.4 MHz，应拉高SYNC/FREQ引脚。要将开关频率设置为1.2 MHz，应拉低SYNC/FREQ引脚。若要同步开关频率，需将SYNC/FREQ引脚连接到外部时钟。
3	SEQ	启动序列控制。对于使用独立精确使能引脚的手动 V_{POS}/V_{NEG} 启动，SEQ引脚应保持开路。为使 V_{POS}/V_{NEG} 在EN2引脚上升时同时启动，应将SEQ引脚连接到VREG(需要时，可利用EN1引脚先行使能内部基准源)。若要实现顺序启动，需拉低SEQ引脚。EN1或EN2均可使用，对应电源为序列中的第一个电源；另一个使能引脚保持低电平。
4	SLEW	驱动级开关斜率控制。SLEW引脚设置SW1和SW2驱动器的开关斜率。若需要最快开关斜率(最佳效率)，SLEW引脚应保持开路。若需要正常开关斜率，应将SLEW引脚连接到VREG。若需要最低开关斜率(最佳噪声性能)，应将SLEW引脚连接到AGND。
5	FB1	升压调节器的反馈输入。 在升压调节器输出电容的正端与AGND之间连接一个电阻分压器以设置输出电压。
6	COMP1	升压调节器的误差放大器输出。 将补偿网络连接在此引脚和AGND之间。
7	EN1	升压调节器精确使能。 EN1引脚与内部精确基准源相比较以使能升压调节器输出。
8	SS	软启动编程。SS引脚保持开路可获得最快的软启动时间。 要设置较慢的软启动时间，需在SS引脚和AGND之间连接一个电阻。
9	EN2	反相稳压器精确使能。 EN2引脚与内部精确基准源相比较以使能反相稳压器输出。
10	COMP2	反相稳压器的误差放大器输出。 将补偿网络连接在此引脚和AGND之间。
11	FB2	反相稳压器的反馈输入。 在反相稳压器输出电容的负端与VREF之间连接一个电阻分压器以设置输出电压。
12	VREF	反相稳压器基准输出。在VREF引脚和AGND之间连接一个1.0 μ F陶瓷滤波器电容。
13	AGND	模拟地
14	VREG	内部稳压器输出。在VREG引脚和AGND之间连接一个1.0 μ F陶瓷滤波器电容。
15	PVIN1	升压调节器的电源输入。
16	PVINSYS	ADP5070的系统电源。
17	PVIN2	反相稳压器的电源输入。
18	SW2	反相稳压器的开关节点。
19	PGND	升压和反相稳压器的电源地。
20	SW1	升压调节器的开关节点。
	EPAD	裸露焊盘。裸露焊盘应连接至AGND。

典型性能参数

典型性能参数是利用表9、表10和表11所列各种输入/输出组合的标准物料清单所产生。

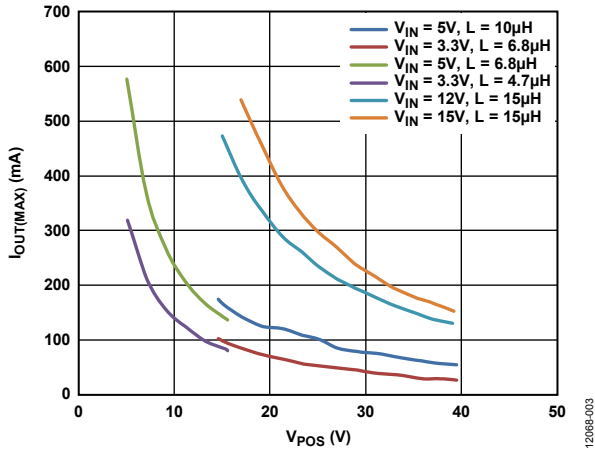


图3. 升压调节器最大输出电流, $f_{SW} = 1.2 \text{ MHz}$, $T_A = 25^\circ\text{C}$, 基于70% $I_{LIM(BOOST)}$ 的目标

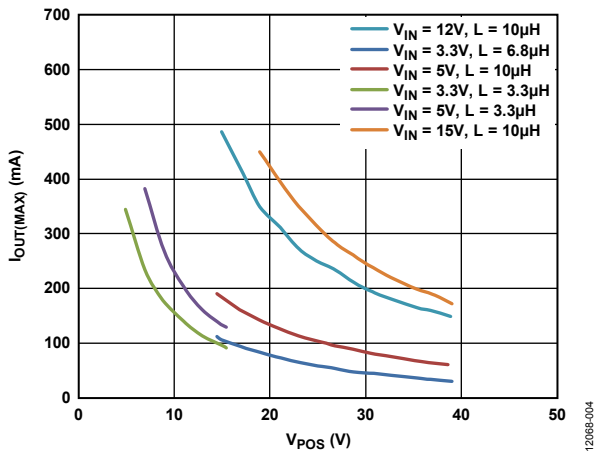


图4. 升压调节器最大输出电流, $f_{SW} = 2.4 \text{ MHz}$, $T_A = 25^\circ\text{C}$, 基于70% $I_{LIM(BOOST)}$ 的目标

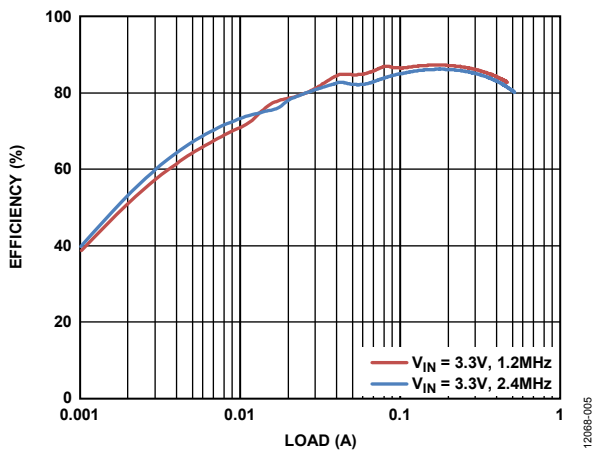


图5. 升压调节器效率与电流负载的关系, $V_{IN} = 3.3 \text{ V}$, $V_{POS} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$

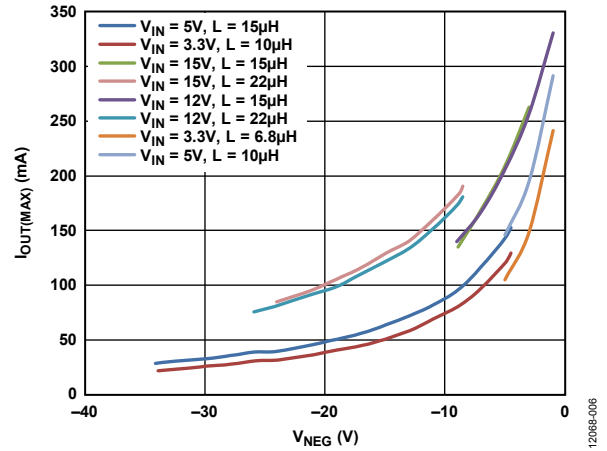


图6. 反相稳压器最大输出电流, $f_{SW} = 1.2 \text{ MHz}$, $T_A = 25^\circ\text{C}$, 基于70% $I_{LIM(INVERTER)}$ 的目标

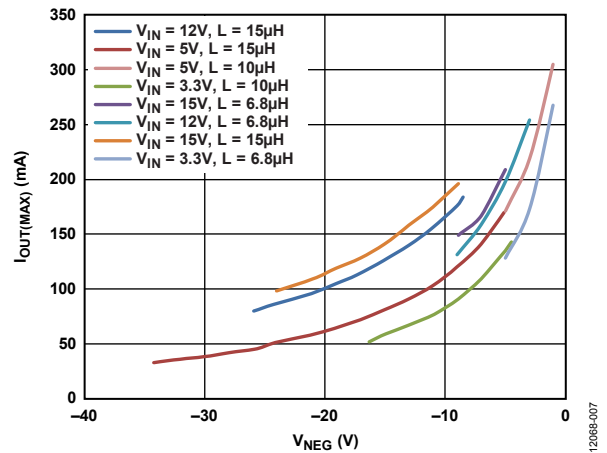


图7. 反相稳压器最大输出电流, $f_{SW} = 2.4 \text{ MHz}$, $T_A = 25^\circ\text{C}$, 基于70% $I_{LIM(INVERTER)}$ 的目标

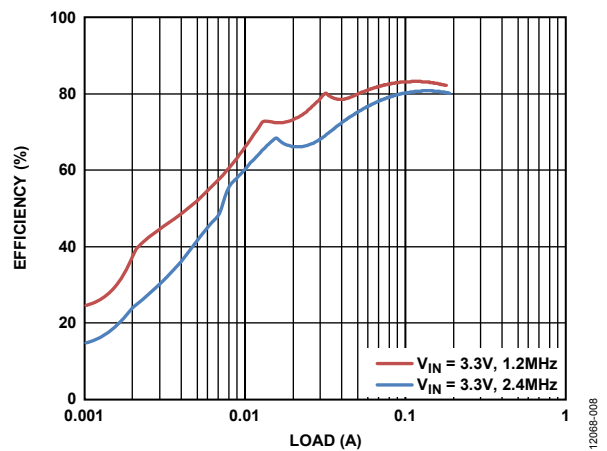


图8. 反相稳压器效率与电流负载的关系, $V_{IN} = 3.3 \text{ V}$, $V_{NEG} = -5 \text{ V}$, $T_A = 25^\circ\text{C}$

ADP5070

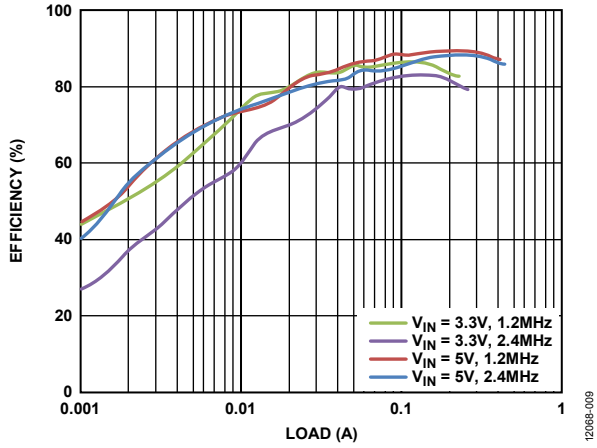


图9. 升压调节器效率与电流负载的关系,
 $V_{POS} = 9V$, $T_A = 25^\circ C$

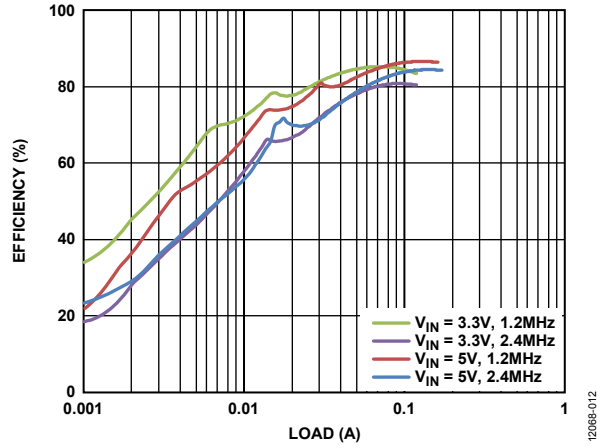


图12. 反相稳压器效率与电流负载的关系,
 $V_{NEG} = -9V$, $T_A = 25^\circ C$

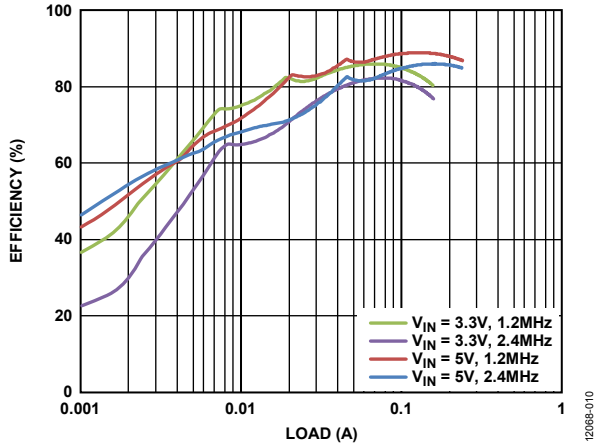


图10. 升压调节器效率与电流负载的关系,
 $V_{POS} = 15V$, $T_A = 25^\circ C$

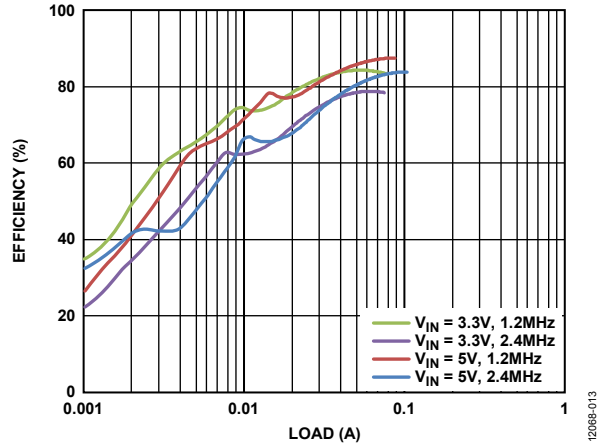


图13. 反相稳压器效率与电流负载的关系,
 $V_{NEG} = -15V$, $T_A = 25^\circ C$

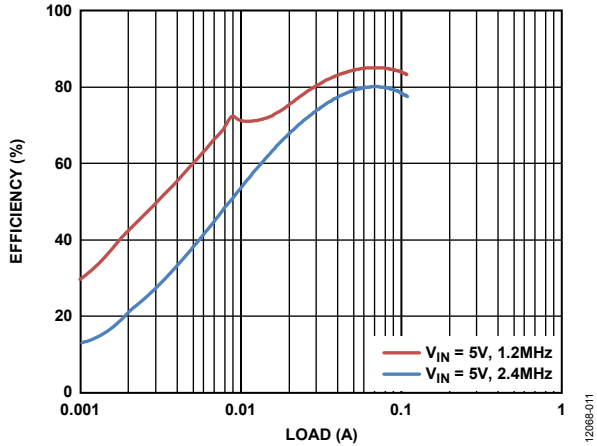


图11. 升压调节器效率与电流负载的关系,
 $V_{POS} = 34V$, $T_A = 25^\circ C$

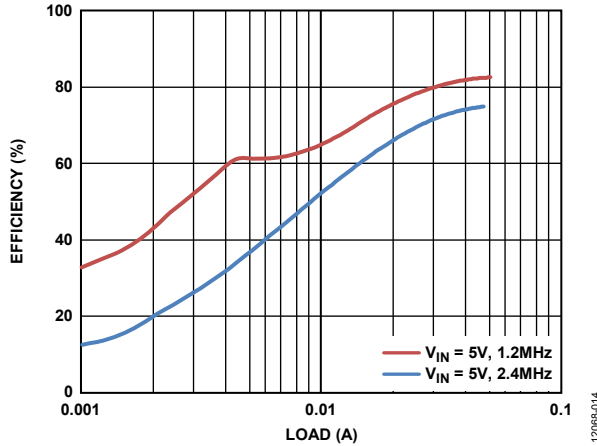


图14. 反相稳压器效率与电流负载的关系,
 $V_{NEG} = -34V$, $T_A = 25^\circ C$

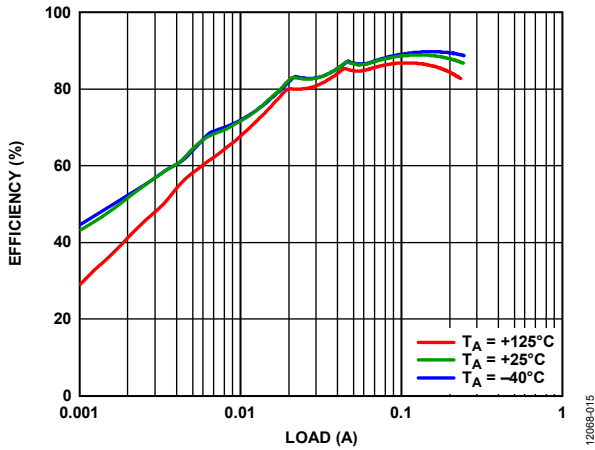


图15. 不同温度下的升压调节器效率,
 $V_{IN} = 5\text{ V}$, $V_{POS} = 15\text{ V}$, $f_{SW} = 1.2\text{ MHz}$

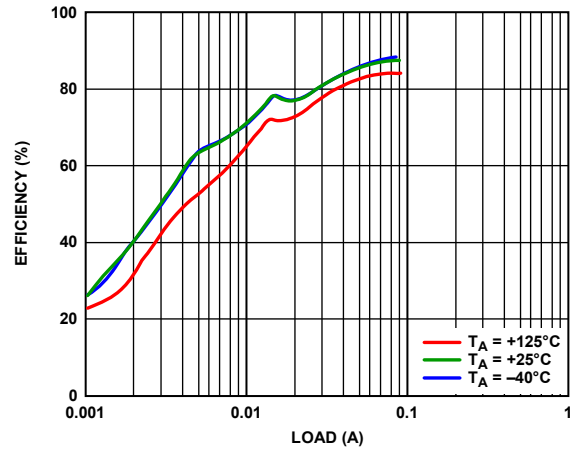


图18. 不同温度下的反相稳压器效率,
 $V_{IN} = 5\text{ V}$, $V_{NEG} = -15\text{ V}$, $f_{SW} = 1.2\text{ MHz}$

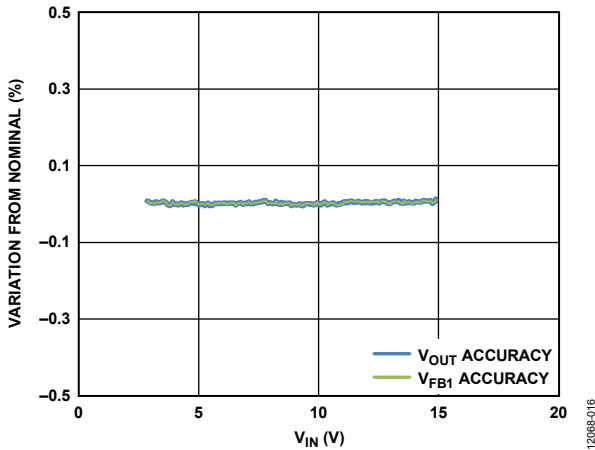


图16. 升压调节器电压调整率,
 $V_{POS} = 15\text{ V}$, $f_{SW} = 1.2\text{ MHz}$, 15 mA 负载, $T_A = 25^\circ\text{C}$

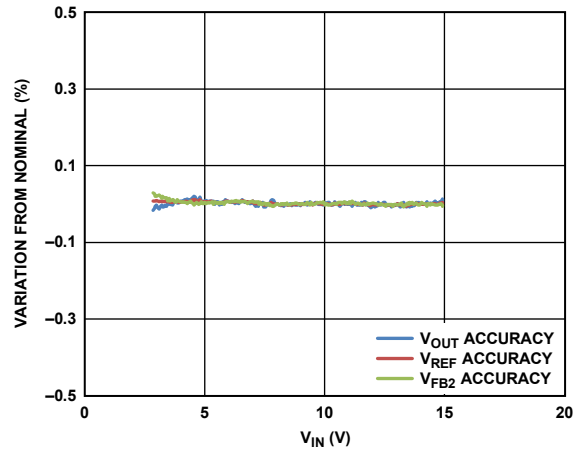


图19. 反相稳压器电压调整率,
 $V_{NEG} = -15\text{ V}$, $f_{SW} = 1.2\text{ MHz}$, 15 mA 负载, $T_A = 25^\circ\text{C}$

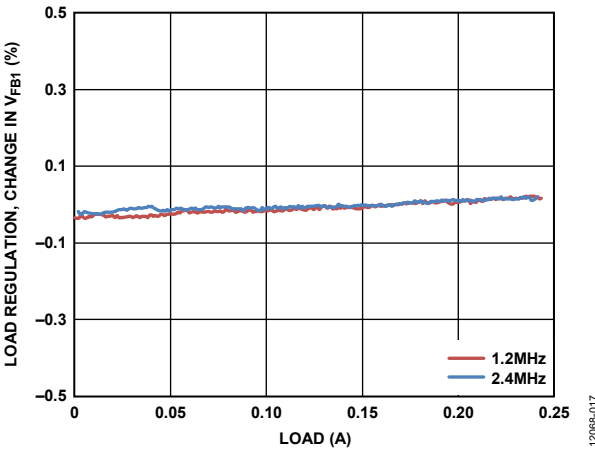


图17. 升压调节器负载调整率, $V_{IN} = 5\text{ V}$, $V_{POS} = 15\text{ V}$

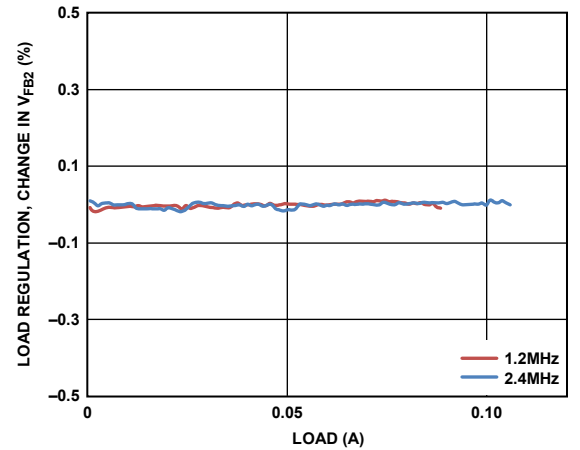
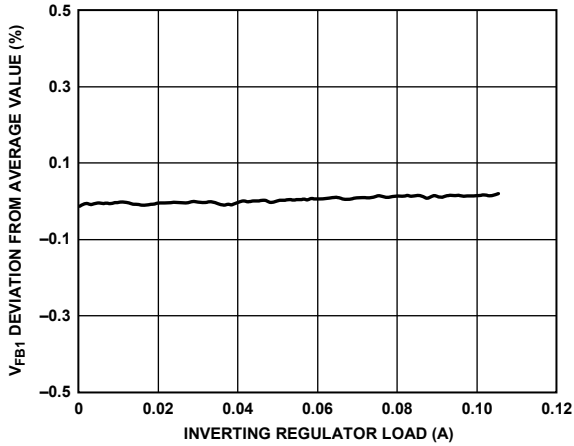


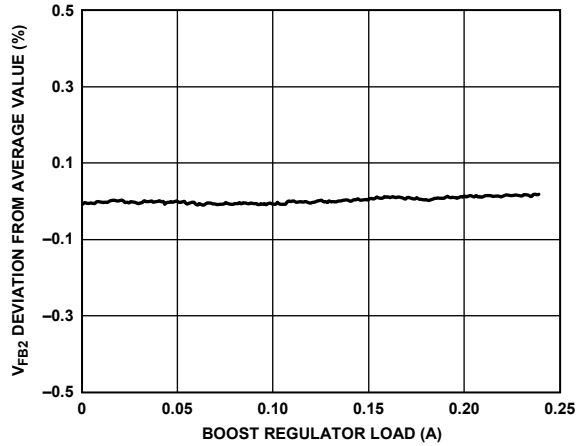
图20. 反相稳压器负载调整率, $V_{IN} = 5\text{ V}$, $V_{NEG} = -15\text{ V}$

ADP5070



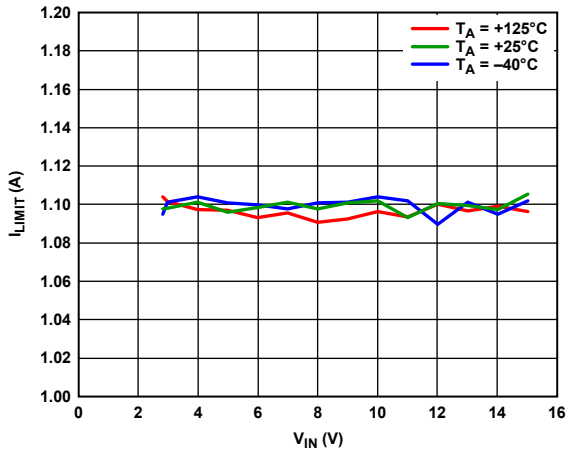
12068-021

图21. 交叉调节, 升压调节器 V_{FB1} 调整率与反相稳压器电流负载的关系, $V_{IN} = 5\text{ V}$, $V_{POS} = 15\text{ V}$, $V_{NEG} = -15\text{ V}$, $f_{SW} = 2.4\text{ MHz}$, $T_A = 25^\circ\text{C}$, 升压调节器以连续导通模式工作, 使用固定负载进行测试



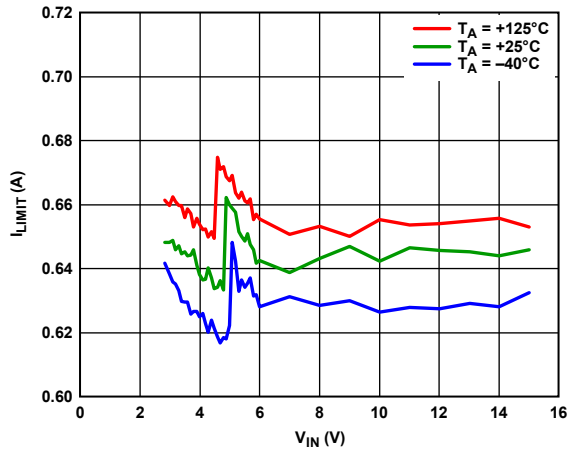
12068-024

图24. 交叉调节, 反相稳压器 V_{FB2} 调整率与升压调节器电流负载的关系, $V_{IN} = 5\text{ V}$, $V_{POS} = 15\text{ V}$, $V_{NEG} = -15\text{ V}$, $f_{SW} = 2.4\text{ MHz}$, $T_A = 25^\circ\text{C}$, 反相稳压器以连续导通模式工作, 使用固定负载进行测试



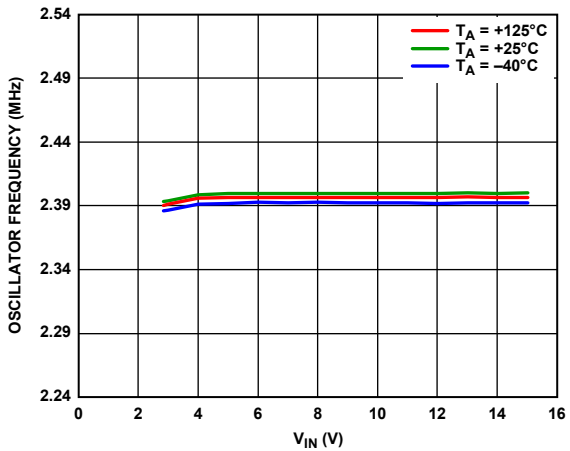
12068-022

图22. 不同温度下降压调节器限流值(I_{LIMIT})与输入电压(V_{IN})的关系



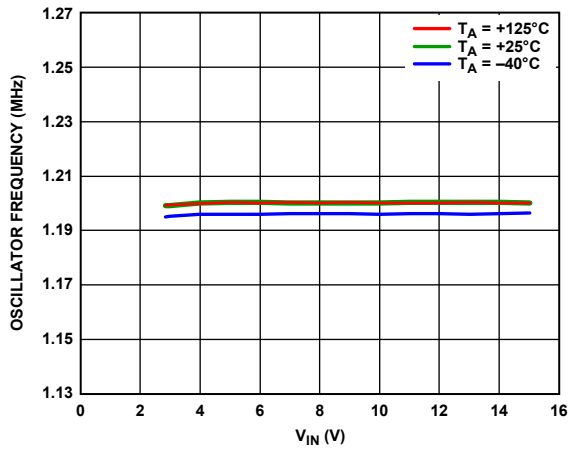
12068-025

图25. 不同温度下反相稳压器限流值(I_{LIMIT})与输入电压(V_{IN})的关系



12068-023

图23. 不同温度下振荡器频率与输入电压(V_{IN})的关系, SYNC/FREQ引脚 = 高电平



12068-026

图26. 不同温度下振荡器频率与输入电压(V_{IN})的关系, SYNC/FREQ引脚 = 低电平

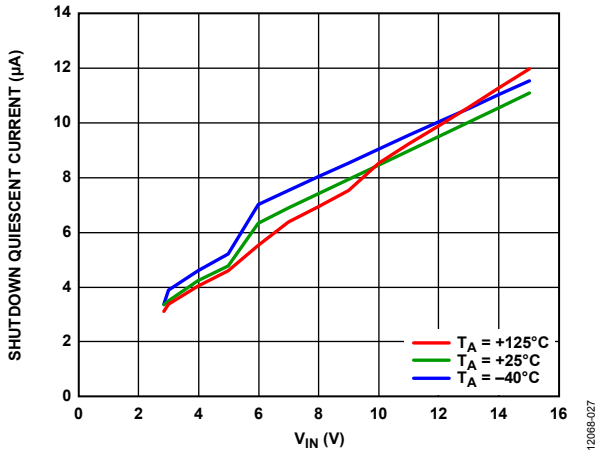


图27. 不同温度下关断静态电流与输入电压(V_{IN})的关系, 两个ENx引脚均低于关断阈值

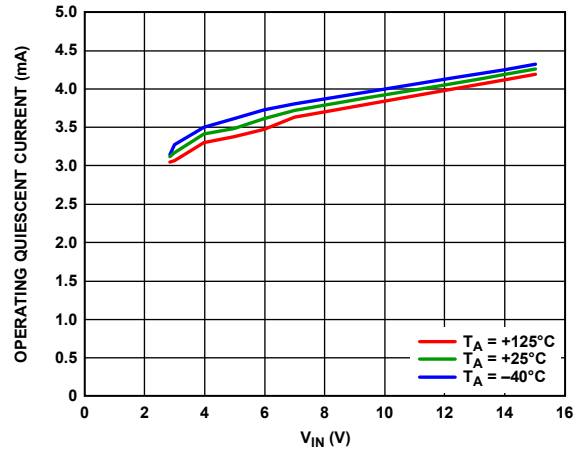


图30. 不同温度下工作静态电流与输入电压(V_{IN})的关系, 两个ENx引脚均开启

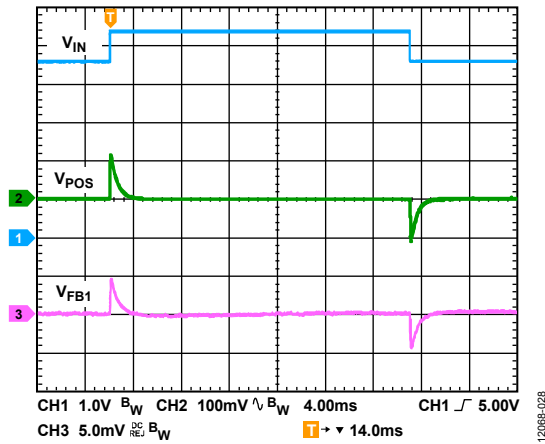


图28. 升压调节器输入电压瞬变, $V_{IN} = 4.5\text{ V}$ 至 5.5 V 步进, $V_{POS} = 15\text{ V}$, $R_{LOAD} = 300\ \Omega$, $f_{SW} = 2.4\text{ MHz}$, $T_A = 25^\circ\text{C}$

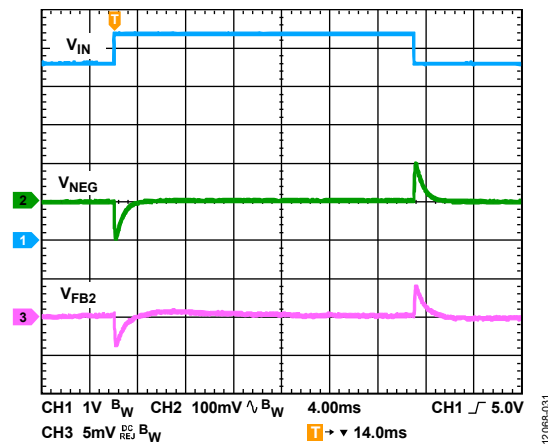


图31. 反相稳压器输入电压瞬变, $V_{IN} = 4.5\text{ V}$ 至 5.5 V 步进, $V_{NEG} = -15\text{ V}$, $R_{LOAD} = 300\ \Omega$, $f_{SW} = 2.4\text{ MHz}$, $T_A = 25^\circ\text{C}$

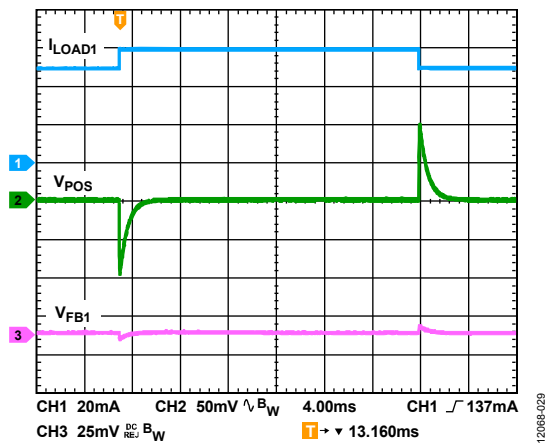


图29. 升压调节器负载瞬变, $V_{IN} = 5\text{ V}$ 步进, $V_{POS} = 15\text{ V}$, $I_{LOAD1} = 120\text{ mA}$ 至 150 mA 步进, $f_{SW} = 2.4\text{ MHz}$, $T_A = 25^\circ\text{C}$

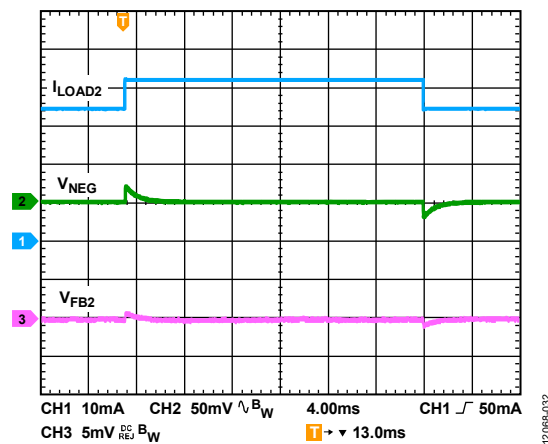


图32. 反相稳压器负载瞬变, $V_{IN} = 5\text{ V}$ 步进, $V_{NEG} = -15\text{ V}$, $I_{LOAD2} = 35\text{ mA}$ 至 45 mA 步进, $f_{SW} = 2.4\text{ MHz}$, $T_A = 25^\circ\text{C}$

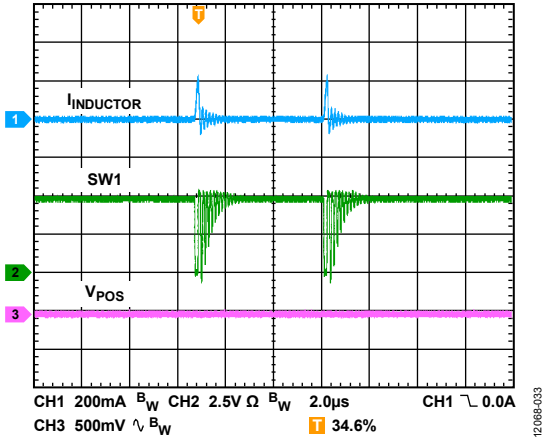


图33. 升压调节器跳脉冲工作模式，显示电感电流($I_{INDUCTOR}$)、开关节点电压和输出纹波， $V_{IN} = 5V$ ， $V_{POS} = 15V$ ， $I_{LOAD1} = 4mA$ ， $f_{SW} = 2.4MHz$ ， $T_A = 25^\circ C$

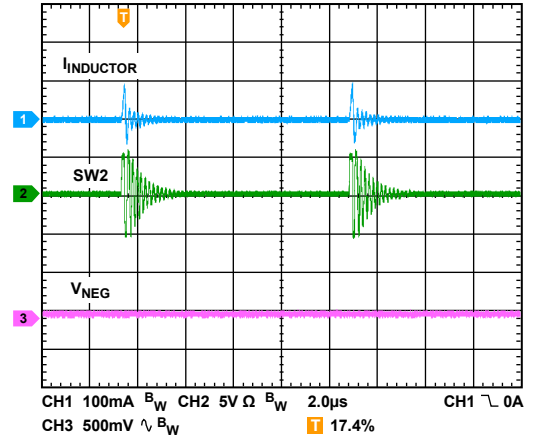


图36. 反相稳压器跳脉冲工作模式，显示电感电流($I_{INDUCTOR}$)、开关节点电压和输出纹波， $V_{IN} = 5V$ ， $V_{NEG} = -15V$ ， $I_{LOAD2} = 1mA$ ， $f_{SW} = 2.4MHz$ ， $T_A = 25^\circ C$

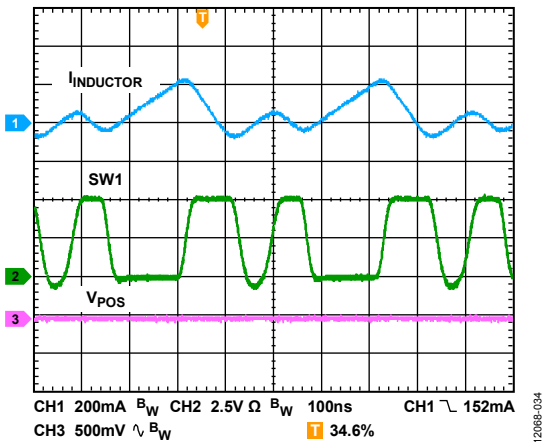


图34. 升压调节器断续导通工作模式，显示电感电流($I_{INDUCTOR}$)、开关节点电压和输出纹波， $V_{IN} = 5V$ ， $V_{POS} = 15V$ ， $I_{LOAD1} = 35mA$ ， $f_{SW} = 2.4MHz$ ， $T_A = 25^\circ C$

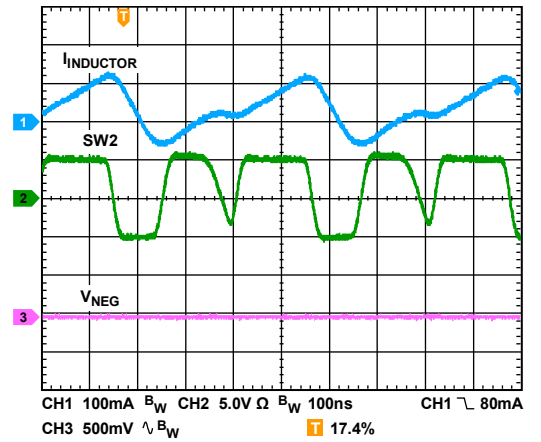


图37. 反相稳压器断续导通工作模式，显示电感电流($I_{INDUCTOR}$)、开关节点电压和输出纹波， $V_{IN} = 5V$ ， $V_{NEG} = -15V$ ， $I_{LOAD2} = 6mA$ ， $f_{SW} = 2.4MHz$ ， $T_A = 25^\circ C$

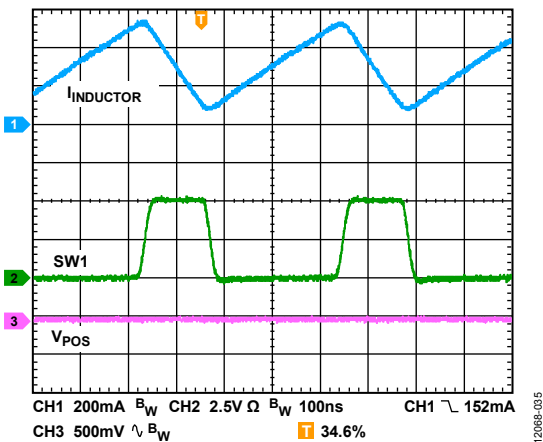


图35. 升压调节器连续导通工作模式，显示电感电流($I_{INDUCTOR}$)、开关节点电压和输出纹波， $V_{IN} = 5V$ ， $V_{POS} = 15V$ ， $I_{LOAD1} = 90mA$ ， $f_{SW} = 2.4MHz$ ， $T_A = 25^\circ C$

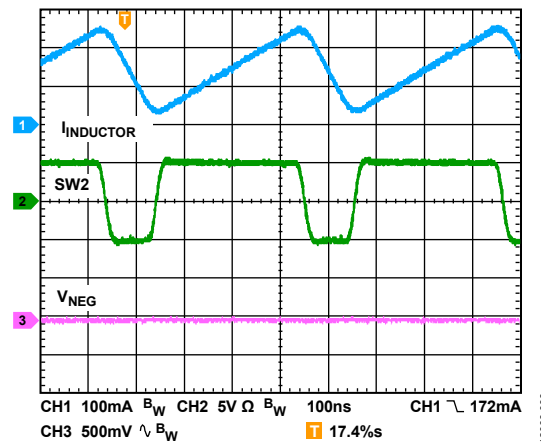


图38. 反相稳压器连续导通工作模式，显示电感电流($I_{INDUCTOR}$)、开关节点电压和输出纹波， $V_{IN} = 5V$ ， $V_{NEG} = -15V$ ， $I_{LOAD2} = 35mA$ ， $f_{SW} = 2.4MHz$ ， $T_A = 25^\circ C$

工作原理

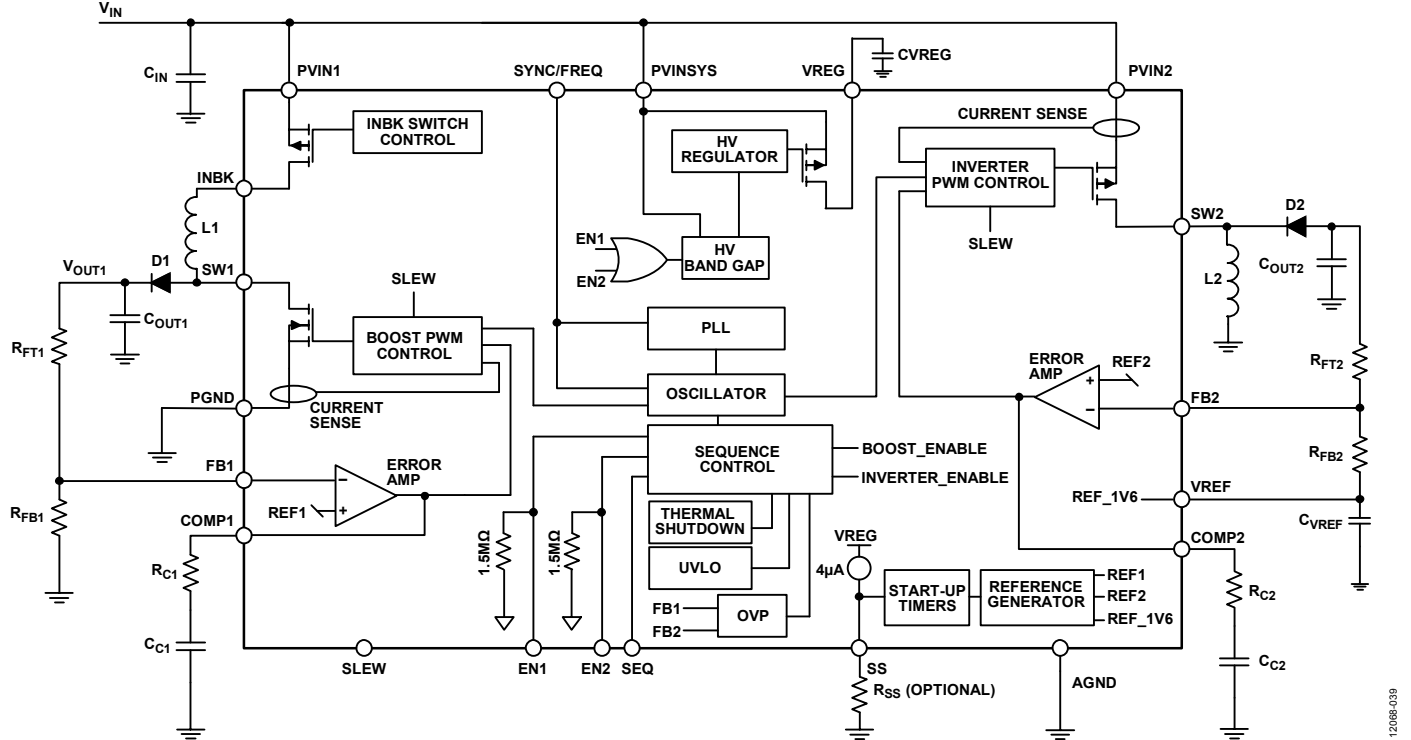


图39. 功能框图

PWM模式

ADP5070中的升压和反相稳压器以内部振荡器设定的固定频率工作。在每个振荡器周期的起始，MOSFET开关导通，给电感两端提供正电压。电感电流($I_{INDUCTOR}$)增加，直至电流检测信号超过可关断MOSFET开关的峰值电感电流阈值。此阈值由误差放大器的输出设定。在MOSFET关断期间，电感电流流经外部二极管并下降，直到下个振荡时钟脉冲开始另一个新的周期。它通过调整峰值电感电流阈值来调节输出电压。

PSM模式

在轻负载工作期间，稳压器可以跳脉冲以维持输出电压调整率。跳脉冲可提高器件效率。

欠压闭锁(UVLO)

欠压闭锁电路监控PVINSYS引脚电平。如果输入电压降至 $V_{UVLO_FALLING}$ 阈值以下，两个稳压器均会关闭。PVINSYS引脚电压升至 V_{UVLO_RISING} 阈值以上后，软启动周期启动，稳压器重新使能。

振荡器和同步

为了降低峰值电流消耗和噪声，ADP5070驱动升压调节器SW1引脚和反相稳压器SW2引脚至180°错相。

基于锁相环(PLL)的振荡器产生内部时钟，并提供两个内部产生频率选项以供选择，或提供外部时钟同步。开关频率利用表6所示的SYNC/FREQ引脚选项进行配置。

如需外部同步，应将SYNC/FREQ引脚连接到合适的时钟源。PLL锁定输入时钟，其范围由 f_{SYNC} 指定。

表6. SYNC/FREQ引脚选项

SYNC/FREQ引脚	开关频率
高	2.4 MHz
低	1.2 MHz
外部时钟	1 × 时钟频率

内部稳压器

ADP5070的内部VREG稳压器为内部电路提供稳定的电源。VREG电源为器件配置引脚提供高电平信号，但不得用于为外部电路供电。

VREF稳压器为反相稳压器反馈网络提供基准电压，确保FB2引脚具有正反馈电压。

两个稳压器均有限流电路来保护其免受意外负载影响。

ADP5070

精确使能

ADP5070的升压和反相稳压器各有使能引脚：EN1和EN2。使能引脚具有一个带精确基准电压的精确使能电路。此基准电压使得ADP5070能够轻松地从一个电源进行时序控制。利用电阻分压器，它也可以用作可编程UVLO输入。

使能引脚内置下拉电阻，当引脚浮空时，各稳压器默认关闭。

当使能引脚电压大于 V_{TH} 基准电平时，稳压器使能。

软启动

ADP5070的各稳压器内置软启动电路，启动时输出电压以可控方式缓升，从而限制浪涌电流。SS引脚开路时，软启动时间在内部设定为最快速率。

在SS和地之间连接一个电阻可以调整软启动延迟。两个稳压器使用同一延迟长度。

开关斜率控制

ADP5070采用可编程输出驱动器开关斜率控制电路。此电路可降低开关节点的开关斜率(如图40所示)，从而降低开关节点的振荡和EMI。要设置开关斜率，SLEW引脚连接到VREG引脚即为正常模式，连接到AGND引脚即为慢速模式，保持开路即为快速模式。此配置允许使用噪声敏感器件的开漏输出来将开关斜率从快速变为慢速，例如在模数转换器(ADC)采样期间。

注意：开关斜率控制取决于效率与EMI之间的权衡。

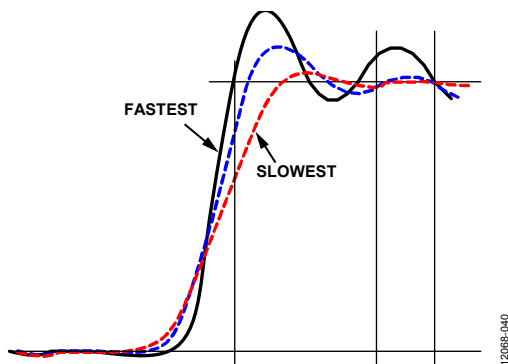


图40. 不同开关斜率设置下的开关节点

限流保护

ADP5070的升压和反相稳压器内置限流保护电路，可限制流过MOSFET开关的正向电流。

在过载或短路状况下，当峰值电感电流超过过流限制阈值并持续一定数量的时钟周期时，稳压器进入打嗝模式。随后稳压器开关停止切换，经过 t_{HICCUP} 之后，重新软启动，如此循环往复，直至过流状况消除。

过压保护

对于升压和反相稳压器，FB1和FB2引脚上存在过压保护机制。

对于升压调节器，当FB1引脚上的电压超过 V_{OV1} 阈值时，SW1上的切换停止，直至该电压再次降至阈值以下。该功能对此稳压器始终有效。

对于反相稳压器，当FB2引脚上的电压降至 V_{OV2} 阈值以下时，切换停止，直至该电压升至阈值以上。此功能在软启动周期完成后使能。

热关断

当ADP5070结温高于TSHDN时，热关断电路将关断IC。极端的结温可能由工作电流长期较高、电路板设计欠佳和/或环境温度高等原因引起。热关断有一定的迟滞，因此发生热关断时，只有等到片内温度低于 $T_{SHDN} - T_{HYS}$ ，ADP5070才会恢复工作。从热关断恢复时，各使能通道要执行软启动过程。

启动时序

ADP5070通过灵活的启动时序来满足不同应用的要求。利用SEQ引脚可实现三种不同的使能模式，如表7所示。

表7. SEQ引脚设置

SEQ引脚	描述
开路	手动使能模式
VREG	同步使能模式
低	顺序使能模式

若要配置手动使能模式，需让SEQ引脚保持开路。升压调节器和反相稳压器由各自的精确使能引脚独立控制。

若要配置同步使能模式，需将SEQ引脚连接到VREG引脚。当EN2引脚变为高电平时，两个稳压器同时上电。需要时，可以在使能输出之前，利用EN1引脚使能内部基准源。同步使能模式的时序如图41所示。

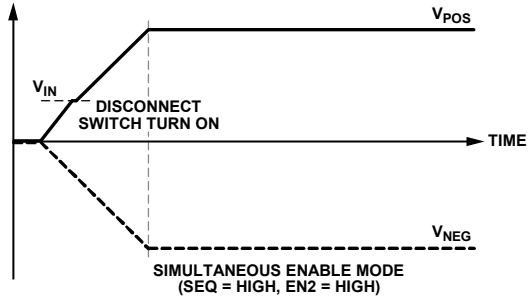


图41. 同步使能模式

若要配置顺序使能模式，需拉低SEQ引脚。这种模式下，利用相应的引脚(EN1或EN2)，可以优先使能 V_{POS} 或 V_{NEG} 。另一个引脚保持低电平。当第一电源完成软启动且其反馈电压达到目标值的85%左右时，第二电源使能。顺序使能模式的时序如图42所示。

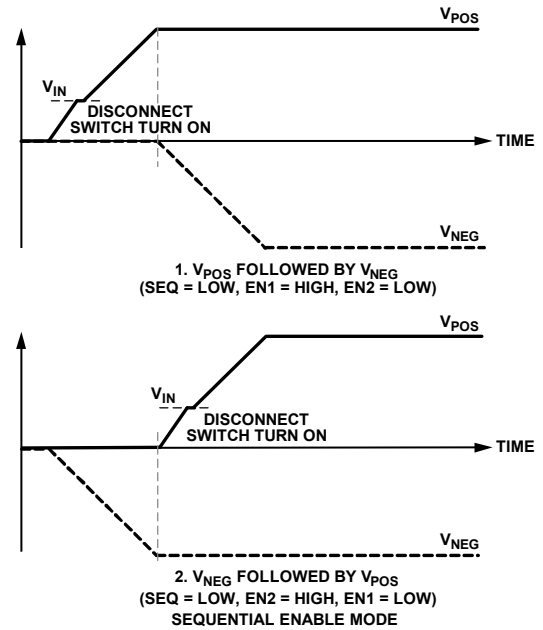


图42. 顺序使能模式

应用信息

ADIsimPOWER设计工具

ADIsimPower设计工具集支持ADP5070。ADIsimPower是一个工具集合，可以根据特定设计目标产生完整的电源设计。利用这些工具，用户只需几分钟就能生成完整原理图和物料清单并计算性能。ADIsimPower可以考虑IC和所有真实外部元件的工作条件与限制，并针对成本、面积、效率和器件数量优化设计。ADIsimPower工具可通过www.analog.com/adisimpower网站获得，用户可以通过该工具申请未填充的电路板。

器件选择

反馈电阻

ADP5070的升压和反相稳压器均提供可调输出电压。外部电阻分压器设置输出电压，分压器输出必须等于相应的反馈基准电压 V_{FB1} 或 V_{FB2} 。为限制反馈偏置电流引起的输出电压精度下降，应确保流经分压器的电流至少为 I_{FB1} 或 I_{FB2} 的10倍。

升压调节器的正输出设置如下：

$$V_{POS} = V_{FB1} \times \left(1 + \frac{R_{FT1}}{R_{FB1}} \right)$$

其中：

V_{POS} 为正输出电压。

V_{FB1} 为FB1基准电压。

R_{FT1} 为 V_{POS} 和FB1之间的反馈电阻。

R_{FB1} 为FB1和AGND之间的反馈电阻。

反相稳压器的负输出设置如下：

$$V_{NEG} = V_{FB2} - \frac{R_{FT2}}{R_{FB2}} (V_{REF} - V_{FB2})$$

其中：

V_{NEG} 为负输出电压。

V_{FB2} 为FB2基准电压。

R_{FT2} 为 V_{NEG} 和FB2之间的反馈电阻。

R_{FB2} 为FB2和VREF之间的反馈电阻。

V_{REF} 为VREF引脚基准电压。

表8. 推荐反馈电阻值

所需输出电压(V)	升压/SEPIC稳压器			反相稳压器		
	R_{FT1} (M Ω)	R_{FB1} (k Ω)	计算输出电压(V)	R_{FT2} (M Ω)	R_{FB2} (k Ω)	计算输出电压(V)
±1.8	0.143	115	1.795	0.332	102	-1.804
±3	0.316	115	2.998	0.475	100	-3.000
±3.3	0.357	115	3.283	0.523	102	-3.302
±4.2	0.432	102	4.188	0.715	115	-4.174
±5	0.604	115	5.002	1.15	158	-5.023
±9	1.24	121	8.998	1.62	133	-8.944
±12	1.4	100	12.000	1.15	71.5	-12.067
±13	2.1	137	13.063	2.8	162	-13.027
±15	2.43	137	14.990	2.32	118	-14.929
±18	2.15	100	18.000	2.67	113	-18.103
±20	2.55	107	19.865	2.94	113	-20.014
±24	3.09	107	23.903	3.16	102	-23.984
±30	3.65	100	30.000	4.12	107	-30.004
±35	5.9	137	35.253	5.11	115	-34.748

输出电容

较高的输出电容值减少输出电压纹波并改善负载瞬态响应。选择此值时，考虑由输出电压直流偏置所引起的电容值降低也非常重要。

陶瓷电容由各种电介质制成，温度和所施加的电压不同，其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。建议使用电压额定值为25 V或50 V(取决于输出)的X5R或X7R电介质，以实现最佳性能。建议不要将Y5V和Z5U电介质与任何DC/DC转换器一起使用，因为这类电介质的温度和直流偏置性能较差。

考虑电容随温度变化、元件容差和电压时，最差条件电容可通过以下公式计算：

$$C_{EFFECTIVE} = C_{NOMINAL} \times (1 - TEMPCO) \times (1 - DCBIASCO) \times (1 - Tolerance)$$

其中：

$C_{EFFECTIVE}$ 为工作电压下的有效电容值。

$C_{NOMINAL}$ 为数据手册标称电容值。

$TEMPCO$ 为最差的电容温度系数。

$DCBIASCO$ 为输出电压下的直流偏置减额系数。

$Tolerance$ 为最差的元件容差。

为了保证器件的性能，必须针对每一种应用来评估直流偏置、温度和容差对电容性能的影响。

最好使用等效串联电阻(ESR)和等效串联电感(ESL)较低的电容，以使输出电压纹波最小。

输入电容

数值较高的输入电容有助于降低输入电压纹波，并改善瞬态响应。

为使电源噪声最小，输入电容应尽可能靠近PVINSYS引脚、PVIN1引脚和PVIN2引脚。建议使用低ESR电容。

稳定工作所需的有效电容最小值为10 μ F。如果电源引脚分别去耦，建议对PVIN1和PVIN2引脚使用有效最小值为5.6 μ F的电容，对PVINSYS引脚使用3.3 μ F电容。指定的最小值不包括直流偏置、温度和容差造成的影响，这些影响与应用相关，必须予以考虑。

VREG电容

VREG引脚和AGND之间需要一个1.0 μ F陶瓷电容(C_{VREG})。

VREF电容

VREF引脚和AGND之间需要一个1.0 μ F陶瓷电容(C_{VREF})。

软启动电阻

SS引脚与AGND引脚之间可以连接一个电阻，以便增加软启动时间。软启动时间的设置范围是4 ms(引脚保持开路)至32 ms(50 k Ω 电阻接AGND)。图43显示了该操作的特性。软启动时间计算公式如下：

$$t_{SS} = 38.4 \times 10^{-3} - 1.28 \times 10^{-7} \times R_{SS} (\Omega)$$

其中， $R_{SS} \leq 268$ k Ω 。

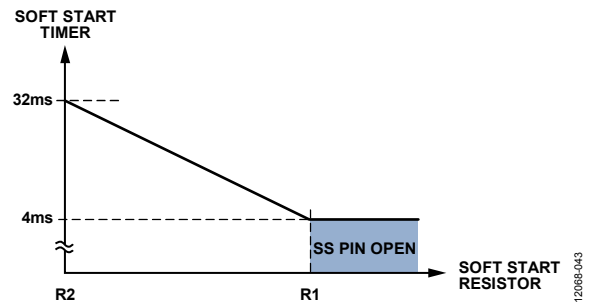


图43. 软启动特性

二极管

D1和D2建议使用低结电容的肖特基二极管。当输出电压较高时，尤其是当开关频率较高时，结电容是影响效率的重要因素。

升压调节器的电感选择

电感在电源开关导通期间存储电能，在关断期间通过输出整流器将电能传输至输出端。为了在低电感电流纹波与高效率之间取得平衡，建议使用1 μ H至22 μ H范围内的电感。一般而言，物理尺寸相同时，低值电感的饱和电流较高，串联电阻较低。然而，较低的电感会导致较高的峰值电流，进而降低效率并增加输入和/或输出纹波与噪声。当峰峰值电感纹波电流接近应用的最大直流输入电流的30%时，性能平衡通常最佳。

对于连续导通工作模式(CCM)下的电感纹波电流，输入(V_{IN})和输出(V_{POS})电压决定开关的占空比($DUTY_I$)，如下式所示：

$$DUTY_I = \left(\frac{V_{POS} - V_{IN} + V_{DIODE1}}{V_{POS} + V_{DIODE1}} \right)$$

其中， V_{DIODE1} 为肖特基二极管(D1)的正向压降。

CCM模式下的直流输入电流(I_{IN})可通过下式确定：

$$I_{IN} = \frac{I_{OUT1}}{(1 - DUTY_I)}$$

ADP5070

利用占空比(DUTY₁)和开关频率(f_{SW}), 可通过下式确定开启时间(t_{ON1}):

$$t_{ON1} = \frac{DUTY_1}{f_{SW}}$$

稳态下的电感纹波电流(ΔI_{L1})计算如下:

$$\Delta I_{L1} = \frac{V_{IN} \times t_{ON1}}{LI}$$

由下式求解电感值(L1):

$$LI = \frac{V_{IN} \times t_{ON1}}{\Delta I_{L1}}$$

假设电感纹波电流为最大直流输入电流的30%, 则

$$LI = \frac{V_{IN} \times t_{ON1} \times (1 - DUTY_1)}{0.3 \times I_{OUT1}}$$

确保峰值电感电流(最大输入电流加上电感纹波电流的一半)低于电感的额定饱和电流。同样, 应确保电感的最大额定均方根电流大于稳压器的最大直流输入电流。

当ADP5070升压调节器以CCM模式工作且占空比大于50%时, 需要进行斜率补偿以使电流模式环路稳定。此斜率补偿已内置于ADP5070。为实现稳定电流模式操作, 应确保所选电感值等于或大于计算的最小电感值L_{MIN1}, 如下式所示:

$$LI > L_{MIN1} = V_{IN} \times \left(\frac{0.27}{(1 - DUTY_1)} - 0.33 \right) (\mu\text{H})$$

表10给出了建议配合ADP5070升压调节器使用的系列电感。

反相稳压器的电感选择

电感在电源开关导通期间存储电能, 在关断期间通过输出整流器将电能传输至输出端。为了在低电感电流纹波与高效率之间取得平衡, 建议使用1 μH至22 μH范围内的电感。一般而言, 物理尺寸相同时, 低值电感的饱和电流较高, 串联电阻较低。然而, 较低的电感会导致较高的峰值电流, 进而降低效率并增加输入和/或输出纹波与噪声。当峰峰值电感纹波电流接近电感最大直流电流的30%时, 性能平衡通常最佳。

对于连续导通工作模式(CCM)下的电感纹波电流, 输入(V_{IN})和输出(V_{NEG})电压决定开关的占空比(DUTY₂), 如下式所示:

$$DUTY_2 = \left(\frac{|V_{NEG}| + V_{DIODE2}}{V_{IN} + |V_{NEG}| + V_{DIODE2}} \right)$$

其中, V_{DIODE2}为肖特基二极管(D2)的正向压降。

CCM模式下的电感直流电流(I_{L2})可通过下式确定:

$$I_{L2} = \frac{I_{OUT2}}{(1 - DUTY_2)}$$

利用占空比(D₂)和开关频率(f_{SW}), 可通过下式确定开启时间(t_{ON2}):

$$t_{ON2} = \frac{DUTY_2}{f_{SW}}$$

稳态下的电感纹波电流(ΔI_{L2})计算如下:

$$\Delta I_{L2} = \frac{V_{IN} \times t_{ON2}}{L2}$$

由下式求解电感值(L2):

$$L2 = \frac{V_{IN} \times t_{ON2}}{\Delta I_{L2}}$$

假设电感纹波电流为电感最大直流电流的30%, 则

$$L2 = \frac{V_{IN} \times t_{ON2} \times (1 - DUTY_2)}{0.3 \times I_{OUT2}}$$

确保峰值电感电流(最大输入电流加上电感纹波电流的一半)低于电感的额定饱和电流。同样, 应确保电感的最大额定均方根电流大于稳压器的最大直流输入电流。

当ADP5070反相稳压器以CCM模式工作且占空比大于50%时, 需要进行斜率补偿以使电流模式环路稳定。为实现稳定电流模式操作, 应确保所选电感值等于或大于计算的最小电感值L_{MIN2}, 如下式所示:

$$L2 > L_{MIN2} = V_{IN} \times \left(\frac{0.27}{(1 - DUTY_2)} - 0.33 \right) (\mu\text{H})$$

表11给出了建议配合ADP5070反相稳压器使用的系列电感。

环路补偿

ADP5070利用外部元件补偿稳压器环路，支持针对具体应用优化环路的动态特性。建议利用ADIsimPower工具计算补偿元件值。

升压调节器

升压转换器会在调节反馈环路中产生并不希望得到的右半平面零点。此反馈环路需要补偿稳压器，使得交越频率远低于右半平面零点的频率。右半平面零点由下式确定：

$$f_{z1}(RHP) = \frac{R_{LOAD1}(1-DUTY1)^2}{2\pi \times L1}$$

其中：

$f_{z1}(RHP)$ 为右半平面零点频率。

R_{LOAD1} 为等效负载电阻，即输出电压除以负载电流。

$$DUTY1 = \left(\frac{V_{POS} - V_{IN} + V_{DIODE1}}{V_{POS} + V_{DIODE1}} \right)$$

其中， V_{DIODE1} 为肖特基二极管(D1)的正向压降。

为使稳压器保持稳定，应确保稳压器的交越频率低于或等于右半平面零点频率的十分之一。

升压调节器环路增益为

$$A_{VLI} = \frac{V_{FBI}}{V_{POS}} \times \frac{V_{IN}}{V_{POS}} \times G_{M1} \times |R_{OUT1} || Z_{COMP1}| \times G_{CSI} \times |Z_{OUT1}|$$

其中：

A_{VLI} 为环路增益。

V_{FBI} 为反馈调节电压。

V_{POS} 为调节后的正输出电压。

V_{IN} 为输入电压。

G_{M1} 为误差放大器跨导增益。

R_{OUT1} 为误差放大器的输出阻抗33 MΩ。

Z_{COMP1} 为从COMP1到AGND的串联RC网络的阻抗。

G_{CSI} 为电流检测跨导增益(电感电流除以COMP1电压)，由ADP5070内部设置，等于6.25 A/V。

Z_{OUT1} 为输出电容并联的负载阻抗。

为确定交越频率(f_{CI})，必须注意：在交越频率时，补偿阻抗(Z_{COMP1})以电阻(R_{C1})为主，输出阻抗(Z_{OUT1})以输出电容(C_{OUT1})的阻抗为主。

因此，求解交越频率时，公式(根据交越频率的定义)可简化为：

$$\frac{|A_{VLI}|}{2\pi \times f_{CI} \times C_{OUT1}} = 1$$

其中， f_{CI} 为交越频率。

要求出 R_{C1} ，利用以下公式：

$$R_{C1} = \frac{2\pi \times f_{CI} \times C_{OUT1} \times (V_{POS})^2}{V_{FBI} \times V_{IN} \times G_{M1} \times G_{CSI}}$$

其中， $G_{CSI} = 6.25 \text{ A/V}$ 。

使用 V_{FBI} 和 G_{M1} 的典型值得到：

$$R_{C1} = \frac{4188 \times f_{CI} \times C_{OUT1} \times (V_{POS})^2}{V_{IN}}$$

为提高精度，建议使用其工作时的直流偏置条件(用于计算 R_{C1})下预期的输出电容值 C_{OUT1} 。

补偿电阻已知后，将补偿电容和电阻形成的零点设置为交越频率的四分之一，或者

$$C_{C1} = \frac{2}{\pi \times f_{CI} \times R_{C1}}$$

其中， C_{C1} 为补偿电容值。

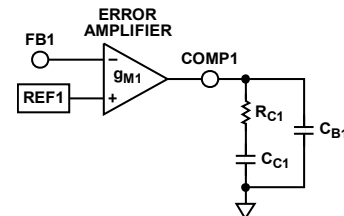


图44. 补偿元件

电容 C_{B1} 用来消除输出电容ESR所引入的零点。 C_{B1} 求解如下：

$$C_{B1} = \frac{ESR \times C_{OUT1}}{R_{C1}}$$

对于低ESR的输出电容，例如陶瓷电容， C_{B1} 是可选元件。为实现最佳瞬态性能，可能需要根据ADP5070的负载瞬态响应特性调整 R_{C1} 和 C_{C1} 。对于大多数应用， R_{C1} 必须在1 kΩ至200 kΩ范围内， C_{C1} 必须在1 nF至68 nF范围内。

反相稳压器

像升压转换器一样，反相转换器会在调节反馈环路中产生并不希望得到的右半平面零点。此反馈环路需要补偿稳压器，使得交越频率远低于右半平面零点的频率。右半平面零点频率由下式确定：

$$f_{Z2}(RHP) = \frac{R_{LOAD2}(1 - DUTY_2)^2}{2\pi \times L2 \times DUTY_2}$$

其中：

$f_{Z2}(RHP)$ 为右半平面零点频率。

R_{LOAD2} 为等效负载电阻，即输出电压除以负载电流。

$$DUTY_2 = \left(\frac{|V_{NEG}| + V_{DIODE2}}{V_{IN} + |V_{NEG}| + V_{DIODE2}} \right)$$

其中， V_{DIODE2} 为肖特基二极管(D2)的正向压降。

为使稳压器保持稳定，应确保稳压器的交越频率低于或等于右半平面零点频率的十分之一。

稳压器环路增益为

$$A_{VL2} = \frac{V_{FB2}}{|V_{NEG}|} \times \frac{V_{IN}}{(V_{IN} + 2 \times |V_{NEG}|)} \times G_{M2} \times$$

$$|R_{OUT2} || Z_{COMP2}| \times G_{CS2} \times |Z_{OUT2}|$$

其中：

A_{VL2} 为环路增益。

V_{FB2} 为反馈调节电压。

V_{NEG} 为调节后的负输出电压。

V_{IN} 为输入电压。

G_{M2} 为误差放大器跨导增益。

R_{OUT2} 为误差放大器的输出阻抗33 MΩ。

Z_{COMP2} 为从COMP2到AGND的串联RC网络的阻抗。

G_{CS2} 为电流检测跨导增益(电感电流除以COMP2电压)，由ADP5070内部设置，等于6.25 A/V。

Z_{OUT2} 为输出电容并联的负载阻抗。

为确定交越频率，必须注意：在交越频率时，补偿阻抗(Z_{COMP2})以电阻 R_{C2} 为主，输出阻抗(Z_{OUT2})以输出电容 C_{OUT2}

的阻抗为主。因此，求解交越频率时，公式(根据交越频率的定义)可简化为：

$$|A_{VL2}| = \frac{V_{FB2}}{|V_{NEG}|} \times \frac{V_{IN}}{(V_{IN} + 2 \times |V_{NEG}|)} \times G_{M2} \times R_{C2} \times G_{CS2} \times \frac{1}{2\pi \times f_{C2} \times C_{OUT2}} = 1$$

其中， f_{C2} 为交越频率。

要求出 R_{C2} ，利用以下公式：

$$R_{C2} = \frac{2\pi \times f_{C2} \times C_{OUT2} \times |V_{NEG}| \times (V_{IN} + (2 \times |V_{NEG}|))}{V_{FB2} \times V_{IN} \times G_{M2} \times G_{CS2}}$$

其中， $G_{CS2} = 6.25 \text{ A/V}$ 。

使用 V_{FB2} 和 G_{M2} 的典型值得到：

$$R_{C2} = \frac{4188 \times f_{C2} \times C_{OUT2} \times |V_{NEG}| \times (V_{IN} + (2 \times |V_{NEG}|))}{V_{IN}}$$

为提高精度，建议使用其工作时的直流偏置条件(用于计算 R_{C2})下预期的输出电容值 C_{OUT2} 。

补偿电阻已知后，将 C_{C2} 和 R_{C2} 形成的零点设置为交越频率的四分之一，或者

$$C_{C2} = \frac{2}{\pi \times f_{C2} \times R_{C2}}$$

其中， C_{C2} 为补偿电容。

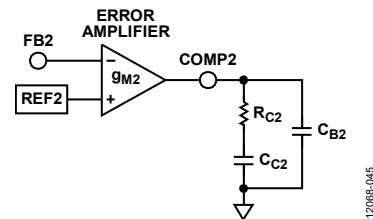


图45. 补偿元件

电容 C_{B2} 用来消除输出电容ESR所引入的零点。

C_{B2} 求解如下：

$$C_{B2} = \frac{ESR \times C_{OUT2}}{R_{C2}}$$

对于低ESR的输出电容，例如陶瓷电容， C_{B2} 是可选元件。为实现最佳瞬态性能，可能需要根据ADP5070的负载瞬态响应特性调整 R_{C2} 和 C_{C2} 。对于大多数应用， R_{C2} 必须在1 kΩ至200 kΩ范围内， C_{C2} 必须在1 nF至68 nF范围内。

常见应用

表9至表11列出了典型 V_{IN} 和 V_{OUT} 条件下的多种常见元件选择。这些选择已通过基准测试，提供现成的解决方案。注意：为使升压调节器和反相稳压器的物料清单配对，应选择相同的VIN和开关频率。针对应用优化元件时，建议使用ADIsimPower工具集。

图46显示了表9至表11所参考的原理图，并给出了从+5 V电源产生 ± 15 V电压应用的示例元件值。表9所示为所有 V_{IN} 和 V_{OUT} 条件通用的元件。

表9. 推荐通用元件选择

符号	数值	产品型号	制造厂商
C_{IN1}	10 μ F	TMK316B7106KL-TD	Taiyo Yuden
C_{VREG}	1 μ F	GRM188R71A105KA61D	Murata
C_{VREF}	1 μ F	GRM188R71A105KA61D	Murata

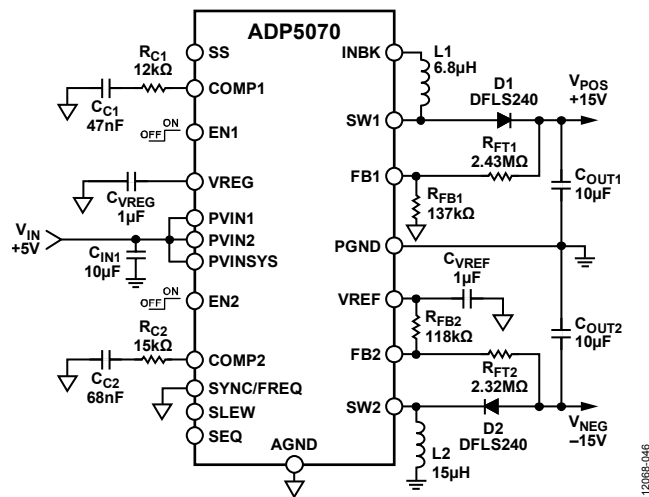


图46. 典型+5 V至 ± 15 V应用

ADP5070

表10. 推荐升压调节器元件

V _{IN} (V)	V _{POS} (V)	频率 (MHz)	L1 (μH)	L1, Coilcraft®器件	C _{OUT1} (μF)	C _{OUT1} , Murata器件	D1, Diodes, Inc.器件	R _{FT1} (MΩ)	R _{FB1} (kΩ)	C _{C1} (nF)	R _{C1} (kΩ)
3.3	5	1.2	3.3	XAL4030-332ME_	10	GRM32ER71H106KA12L	DFLS240L	0.604	115	47	4.7
3.3	5	2.4	2.2	XAL4020-222ME_	10	GRM32ER71H106KA12L	DFLS240L	0.604	115	47	4.7
3.3	9	1.2	4.7	XAL4030-472ME_	10	GRM32ER71H106KA12L	DFLS240	1.24	121	47	6.8
3.3	9	2.4	2.2	XAL4020-222ME_	10	GRM32ER71H106KA12L	DFLS240	1.24	121	47	6.8
3.3	15	1.2	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	2.43	137	47	22
3.3	15	2.4	4.7	XAL4030-472ME_	10	GRM32ER71H106KA12L	DFLS240	2.43	137	47	25
3.3	24	1.2	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	3.09	107	47	33
3.3	24	2.4	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	3.09	107	47	33
3.3	34	1.2	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	4.22	102	47	27
3.3	34	2.4	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	4.22	102	47	27
5	9	1.2	4.7	XAL4030-472ME_	10	GRM32ER71H106KA12L	DFLS240	1.24	121	47	3.3
5	9	2.4	3.3	XAL4030-332ME_	10	GRM32ER71H106KA12L	DFLS240	1.24	121	47	3.9
5	15	1.2	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	2.43	137	47	12
5	15	2.4	3.3	XAL4030-332ME_	10	GRM32ER71H106KA12L	DFLS240	2.43	137	47	15
5	24	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	3.09	107	47	18
5	24	2.4	4.7	XAL4030-472ME_	10	GRM32ER71H106KA12L	DFLS240	3.09	107	47	18
5	34	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	4.22	102	47	18
5	34	2.4	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	4.22	102	47	18
12	24	1.2	15	XAL4040-153ME_	10	GRM32ER71H106KA12L	DFLS240	3.09	107	47	12
12	24	2.4	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	3.09	107	47	12

表11. 推荐反相稳压器元件

V _{IN} (V)	V _{NEG} (V)	频率 (MHz)	L2 (μH)	L2, Coilcraft器件	C _{OUT2} (μF)	C _{OUT2} , Murata器件	D2, Diodes, Inc.器件	R _{FT2} (MΩ)	R _{FB2} (kΩ)	C _{C2} (nF)	R _{C2} (kΩ)
3.3	-5	1.2	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240L	1.15	158	47	4.7
3.3	-5	2.4	4.7	XAL4030-472ME_	10	GRM32ER71H106KA12L	DFLS240L	1.15	158	47	6.8
3.3	-9	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	1.62	133	47	8.2
3.3	-9	2.4	4.7	XAL4030-472ME_	10	GRM32ER71H106KA12L	DFLS240	1.62	133	47	8.2
3.3	-15	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	2.32	118	47	12
3.3	-15	2.4	4.7	XAL4030-472ME_	10	GRM32ER71H106KA12L	DFLS240	2.32	118	47	18
3.3	-24	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	3.16	102	47	22
3.3	-24	2.4	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	3.16	102	47	33
3.3	-34	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	4.99	115	47	47
3.3	-34	2.4	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	4.99	115	47	47
5	-9	1.2	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	1.62	133	47	8.2
5	-9	2.4	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	1.62	133	47	8.2
5	-15	1.2	15	XAL4040-153ME_	10	GRM32ER71H106KA12L	DFLS240	2.32	118	68	15
5	-15	2.4	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	2.32	118	47	22
5	-24	1.2	15	XAL4040-153ME_	10	GRM32ER71H106KA12L	DFLS240	3.16	102	47	22
5	-24	2.4	6.8	XAL4030-682ME_	10	GRM32ER71H106KA12L	DFLS240	3.16	102	47	22
5	-34	1.2	15	XAL4040-153ME_	10	GRM32ER71H106KA12L	DFLS240	4.99	115	47	39
5	-34	2.4	10	XAL4040-103ME_	10	GRM32ER71H106KA12L	DFLS240	4.99	115	47	39
12	-24	1.2	22	XAL5050-223ME_	10	GRM32ER71H106KA12L	DFLS240	3.16	102	47	10
12	-24	2.4	15	XAL4040-153ME_	10	GRM32ER71H106KA12L	DFLS240	3.16	102	47	10

利用可选LDO实现超低噪声

ADP5070输出端可以增加低压差稳压器(LDO)，以便为高性能ADC、数模转换器(DAC)和其他精密应用提供超低噪声

声电源。表12给出了推荐配套器件，图47显示了从+5 V电源产生±15 V电压的典型应用原理图。

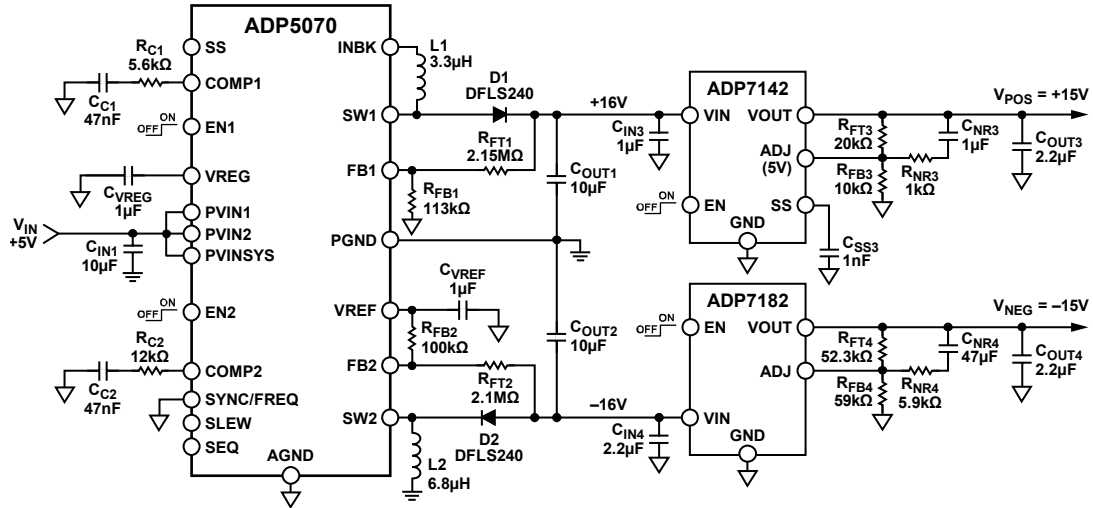


图47. 利用ADP7142(+40 V、+200 mA低噪声LDO)和ADP7182(-28 V、-200 mA低噪声LDO)后置调节产生超低噪声±15 V电压

表12. 建议用于超低噪声工作条件的LDO

参数	ADP7102	ADP7104	ADP7105	ADP7118	ADP7142	ADP7182
V_{IN} 范围	3.3 V至20 V	3.3 V至20 V	3.3 V至20 V	2.7 V至20 V	2.7 V至40 V	-2.7 V至-28 V
固定 V_{OUT}	1.5 V至9 V	1.5 V至9 V	1.8 V、3.3 V、5 V	1.2 V至5 V	1.2 V至5 V	-1.8 V至-5 V
可调 V_{OUT}	1.22 V至19 V	1.22 V至19 V	1.22 V至19 V	1.2 V至19 V	1.2 V至39 V	-1.22 V至-27 V
I_{OUT}	300 mA	500 mA	500 mA	200 mA	200 mA	-200 mA
I_Q (空载时)	400 μ A	400 μ A	400 μ A	50 μ A	50 μ A	-33 μ A
I_{SHDN} (典型值)	40 μ A	40 μ A	40 μ A	2 μ A	2 μ A	-2 μ A
软启动	否	否	是	是	是	否
PGOOD	Yes	是	是	否	否	否
噪声(固定), 10 Hz至100 kHz	15 μ V rms	15 μ V rms	15 μ V rms	11 μ V rms	11 μ V rms	18 μ V rms
PSRR (100 kHz)	60 dB	60 dB	60 dB	68 dB	68 dB	45 dB
PSRR (1 MHz)	40 dB	40 dB	40 dB	50 dB	50 dB	45 dB
封装	8引脚 LFCSP、8引脚 SOIC	8引脚 LFCSP、8引脚 SOIC	8引脚 LFCSP、8引脚 SOIC	6引脚 LFCSP、8引脚 SOIC、5引脚 TSOT	6引脚 LFCSP、8引脚 SOIC、5引脚 TSOT	6引脚 LFCSP、8引脚 LFCSP、8引脚 SOIC、5引脚 TSOT

ADP5070

SEPIC升压/降压操作

SEPIC操作允许正输出通道产生高于或低于 V_{IN} 的电压。对于这种应用，独立电感和耦合电感均受支持。[ADIsimPower](#)工具集支持SEPIC设计。

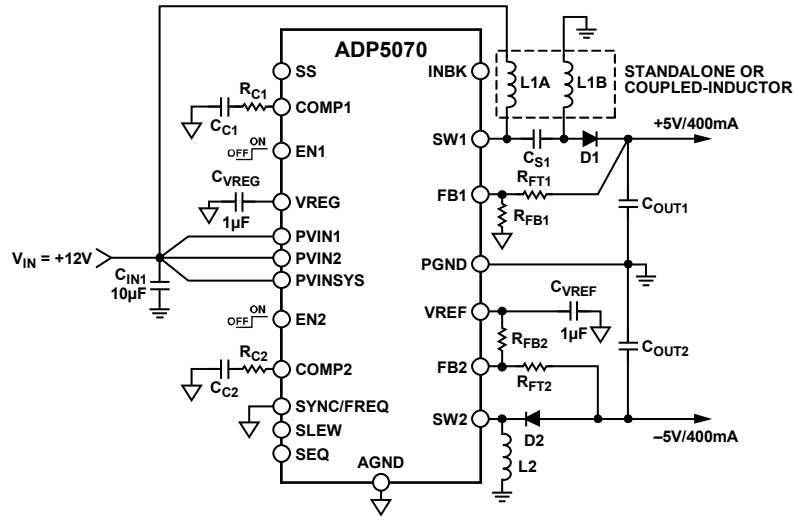


图48. +12 V输入、±5 V输出的SEPIC应用

12068-04E

布局考量

布局布线对所有开关稳压器都很重要，对高开关频率的稳压器尤其重要。为了实现较高的效率、良好的调节性能、出色的稳定性和低噪声，PCB布局设计必须合理。设计PCB时应遵守以下原则：

- 让输入旁路电容 C_{IN1} 靠近PVIN1引脚、PVIN2引脚和PVINSYS引脚。将以上各引脚分别连线至此电容的焊盘，使电源输入之间的噪声耦合最小，而不要连接器件上的这三个引脚。可以在PVINSYS引脚上单独使用一个电容，以实现最佳噪声性能。
- 高电流路径应尽可能短。这些路径包括 C_{IN1} 、L1、L2、D1、D2、COUT1、COUT2和PGND之间的连接以及其与ADP5070的连接。
- 电路板顶层上的AGND和PGND应分开。这种分离可避免AGND受开关噪声污染。请勿将PGND连接到布局顶层上的EPAD。AGND和PGND均应利用过孔连接到电路板接地层。PGND在接地层上的连接点最好位于输入电容和输出电容之间。利用过孔将EPAD连接到此接地层，AGND尽可能靠近并连接到CVREF和CVREG电容之间的引脚。

- 高电流走线应尽量短和宽，使寄生串联电感(会引起峰化和电磁干扰EMI)最小。
- 避免高阻抗走线靠近连接到SW1和SW2引脚的任何节点，或靠近电感L1和L2，以防止辐射开关噪声注入。
- 反馈电阻尽可能靠近FB1和FB2引脚，防止高频开关噪声注入。
- 上反馈电阻RFT1和RFT2的顶端应尽可能靠近COUT1和COUT2的顶端，或者在其间布线，以便优化输出电压检测。
- 补偿器件应尽量靠近COMP1和COMP2。请勿与反馈电阻共用连接到接地层的过孔，以免将高频噪声耦合到敏感的COMP1和COMP2引脚。
- CVREF和CVREG电容应尽可能靠近VREG和VREF引脚。确保VREF和RFB2之间使用短走线。

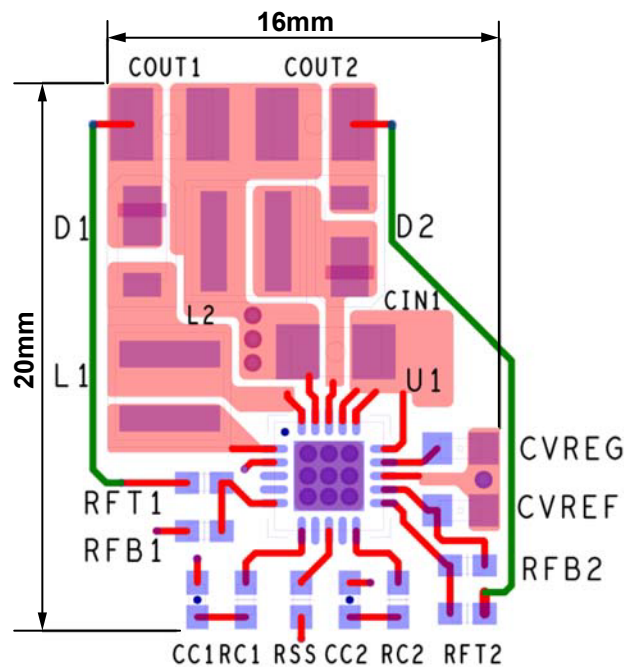
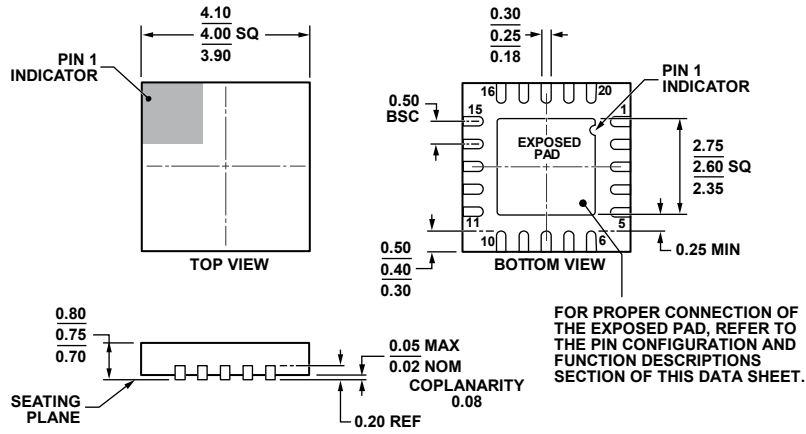


图49. 建议布局；过孔连接到PCB接地层

ADP5070

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

图50. 20引脚引线框芯片级封装[LFCSP_WQ]

4 mm x 4 mm超薄体

(CP-20-8)

图示尺寸单位: mm

020509-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADP5070ACPZ	-40°C至+125°C	20引脚引线框芯片级封装[LFCSP_WQ]	CP-20-8
ADP5070ACPZ-R7	-40°C至+125°C	20引脚引线框芯片级封装[LFCSP_WQ]	CP-20-8
ADP5070CP-EVALZ		评估板	

¹ Z = 符合RoHS标准的器件。