

产品特性

针对光纤光电二极管接口进行了优化
8级整10倍范围
法则一致性：0.1 dB，1 nA至1 mA
单电源供电：3.0 V至5.5 V
全面温度稳定性
精密激光调整
对数斜率：10 mV/dB(VLOG引脚)
基本对数截点：100 pA
可轻松调整斜率和截点
输出带宽：10 MHz，压摆率：15 V/ μ s
小型16引脚LFCSP封装
低功耗：静态电流约为4.5 mA(使能状态下)

应用

高精度光功率测量
 宽范围基带对数压缩
 针对APC环路的多功能检波器

概述

ADL5303是一款单芯片对数检波器，针对光纤系统中的低频信号功率测量进行了优化，并提供多样、易用的极宽动态范围。利用专有设计和精密激光调整，该器件还可实现宽测量范围和高精度特性。它采用 V_{PS} 5 V正电源供电。使用低电源电压时，可以更改对数斜率，以适应可用范围。低静态电流和芯片禁用特性则有利于电池供电应用。

输入电流 I_{PD} 流经比例优化NPN晶体管的集电极，于低失调JFET放大器附近连入反馈路径。电流求和输入节点可在独立于电流的恒定电压下工作，默认电压值为0.5V，并且可在宽范围内对该电压进行调节。提供自适应偏置方案，能够在极低的光输入水平下降低光电二极管的暗电流。 $I_{PD}=100$ pA时，VPDB引脚对光电二极管施加约0.1 V的反向偏置电压；当 $I_{PD}=10$ mA时，反向偏置线性上升到2.0 V，

简化功能框图

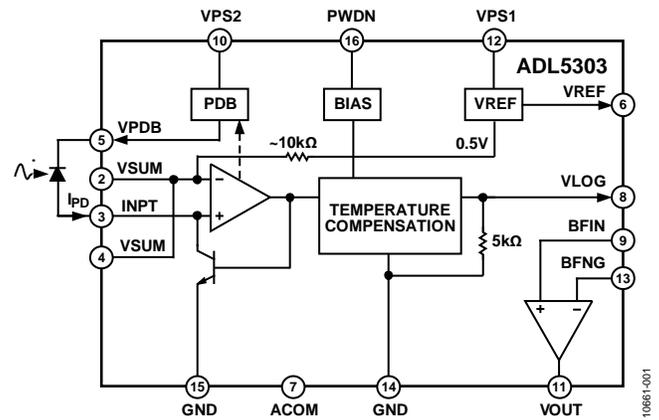


图1.

以便改善高功率水平下的响应时间。VSUM保护引脚位于INPT输入引脚的侧面，在求和节点处跟踪电压变化。将器件的裸露焊盘连接至VSUM引脚可提供一个持续的保护，最大程度减少进入INPT引脚的漏电流。

VLOG输出端对数斜率的默认值可通过内部5 k Ω 电阻设置。外部分流电阻可降低对数斜率；缓冲器和一对外部反馈电阻可升高对数斜率。VLOG引脚端的额外电容可用作简易的低通滤波器。中间电压 V_{LOG} 通过输出级缓冲，其摆幅可以达到接地和正电源 V_{PS} 的大约100 mV以内，并提供 ± 20 mA的峰值电流驱动能力。同时提供板载2 V基准电压源，以便对截点进行重新定位。跨导线性对数放大器的增量带宽由于输入电流变小而降低。 $I_{PD}=1$ nA时，ADL5303的带宽约为2kHz，它随着 I_{PD} 增大而提高，最大值为10 MHz。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

目录

产品特性	1	带宽和噪声考虑	10
应用	1	芯片使能	11
简化功能框图	1	使用ADL5303	12
概述	1	斜率和截点调整	12
修订历史	2	低电源斜率和截点调整	15
技术规格	3	改变求和节点的电压	15
绝对最大额定值	4	使用自适应偏置	16
ESD警告	4	应用信息	17
引脚配置和功能描述	5	重新调整	17
典型工作特性	6	斜率反转	17
工作原理	10	评估板	18
基本概念	10	屏蔽和防护	18
光学测量	10	外形尺寸	21
分贝比例	10	订购指南	21

修订历史

2013年1月—修订版0：初始版

技术规格

除非另有说明, $V_{PS} = 5\text{ V}$, GND 、 $ACOM = 0\text{ V}$, $T_A = 25^\circ\text{C}$ 。

表1.

参数	测试条件/注释	最小值 ¹	典型值	最大值 ¹	单位
输入接口	引脚3, INPT; 引脚2和引脚4, VSUM				
额定电流范围	流向引脚3	100		10	pA mA
输入节点电压	内部预设; 可以更改	0.46	0.5	0.54	V
温度漂移	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		0.04		mV/°C
输入守护失调电压	$V_{OFS} = V_{IN} - V_{SUM}$	-20		+20	mV
光电二极管偏置 ²	建立在VPDB与INPT之间				
最小值	$I_{PD} = 100\text{ pA}$	70	100		mV
跨阻			200		mV/mA
对数输出	引脚8, VLOG				
斜率	25°C激光调整	195	200	205	mV/dec
	$0^\circ\text{C} < T_A < 70^\circ\text{C}$	193		207	mV/dec
截点	25°C激光调整	60	100	140	pA
	$0^\circ\text{C} < T_A < 70^\circ\text{C}$	35		175	pA
法则一致性误差	$10\text{ nA} < I_{PD} < 1\text{ mA}$, 峰值误差		0.05	0.25	dB
	$1\text{ nA} < I_{PD} < 1\text{ mA}$, 峰值误差		0.1	0.7	dB
最大输出电压			1.6		V
最小输出电压			0.1		V
输出电阻	25°C激光调整	4.95	5	5.05	kΩ
基准输出	引脚6, VREF				
电压WRT地	25°C激光调整	1.98	2	2.02	V
	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$	1.92		2.08	V
输出电阻			2		Ω
输出缓冲	引脚9, BFIN; 引脚13, BFNG; 引脚11, VOUT				
输入失调电压		-20		+20	mV
输入偏置电流	从引脚9或引脚13流出		0.4		μA
增量输入电阻			35		MΩ
输出范围	$R_L = 1\text{ k}\Omega$ 接地		$V_{PS} - 0.1$		V
输出电阻			0.5		Ω
宽带噪声 ³	$I_{PD} > 1\text{ }\mu\text{A}$ (参见典型工作特性部分)		1		μV/√Hz
小信号带宽 ³	$I_{PD} > 1\text{ }\mu\text{A}$ (参见典型工作特性部分)		10		MHz
压摆率	0.2 V至4.8 V输出摆幅		15		V/μs
掉电输入	引脚16, PWDN				
逻辑高电平状态	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $2.7\text{ V} < V_{PS} < 5.5\text{ V}$	2			V
逻辑低电平状态	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $2.7\text{ V} < V_{PS} < 5.5\text{ V}$			1	V
电源	引脚10和引脚12, VPS2和VPS1; 引脚14和15, GND				
电源电压		3.0	5	5.5	V
静态电流			4.5	5.6	mA
禁用状态下			60		μA

¹ 参数的最小和最大额定限值为 6σ 值, 保证有效但未经测试。

² 此偏置由内部安排以跟踪INPT的输入电压, 它不是相对于地指定。

³ 输出噪声和增量带宽是输入电流的函数, 参见典型工作特性部分。

绝对最大额定值

表2.

参数	额定值
V_{PS}	6 V
输入电流至INPT	20 mA
热数据, 2层JEDEC板, 无气流(裸露焊盘焊接至PCB)	
θ_{JA}	61.6°C/W
θ_{JC}	1.2°C/W
最大功耗(裸露焊盘焊接至PCB)	0.6 W
最高结温	125°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
引脚温度(焊接60秒)	300°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

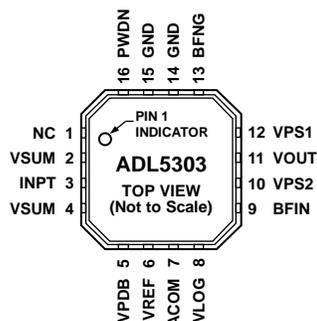
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. PINS LABELED NC CAN BE ALLOWED TO FLOAT, BUT IT IS BETTER TO CONNECT THESE PINS TO GROUND. AVOID ROUTING HIGH SPEED SIGNALS THROUGH THESE PINS BECAUSE NOISE COUPLING MAY RESULT.
2. EXPOSED PAD. CONNECT THE EXPOSED PAD TO THE VSUM PINS TO PROVIDE LOW LEAKAGE GUARD.

10861-002

图2. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	说明
1	NC	带有NC标识的引脚可浮空，但最好将这些引脚接地。避免通过这些引脚路由高速信号，因为可能产生噪声耦合。
2, 4	VSUM	防护引脚。VSUM用于屏蔽INPT电流线路。
3	INPT	光电二极管电流输入。此引脚连接到光电二极管阳极(光电流流向INPT)。
5	VPDB	光电二极管偏执器输出。使用自适应偏置控制时，此引脚连接到光电二极管阴极；其它情况下，此引脚悬空。
6	VREF	2V基准电压输出。
7	ACOM	模拟基准地。
8	VLOG	对数前端处理器的输出。 $R_{OUT} = 5\text{ k}\Omega$ 接地。
9	BFIN	缓冲放大器同相输入端(高阻抗)。
10	VPS2	正电源 V_{PS} (3.0V至5.5V)。
11	VOUT	缓冲输出；低阻抗。
12	VPS1	正电源 V_{PS} (3.0V至5.5V)。
13	BFNG	缓冲放大器反相输入端。
14, 15	GND	电源地连接。
16	PWDN	掉电控制输入。PWDN为低电平时，器件有效。
17	EPAD	裸露焊盘。应将裸露焊盘连接到VSUM引脚以确保低漏电流。

典型工作特性

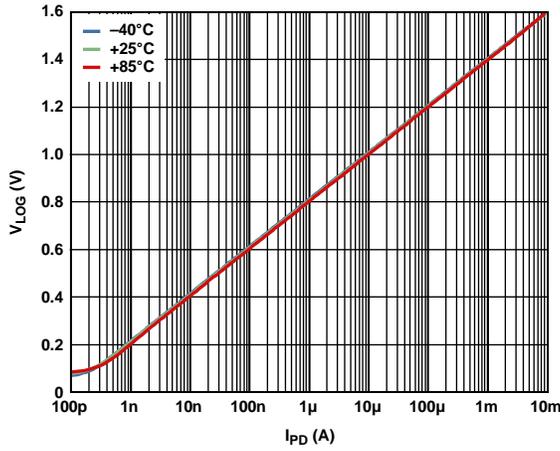


图3. V_{LOG} 与 I_{PD} 的关系

10861-003

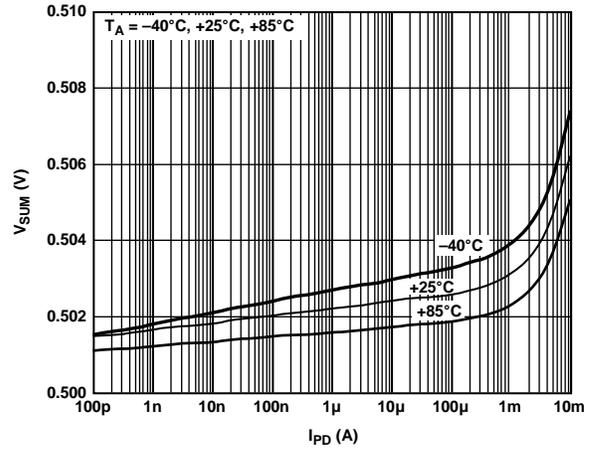


图6. V_{SUM} 与 I_{PD} 的关系

10861-006

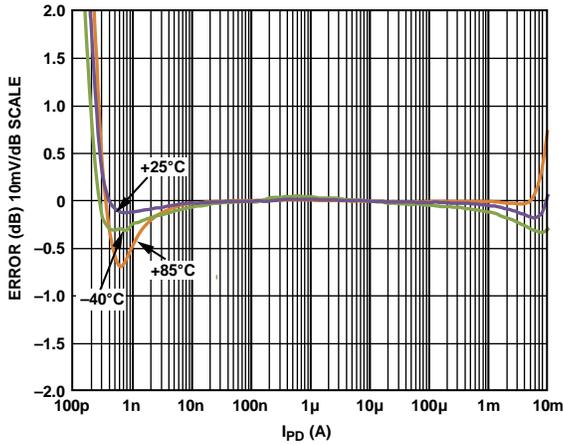


图4. V_{LOG} 的对数一致性(线性度)

10861-004

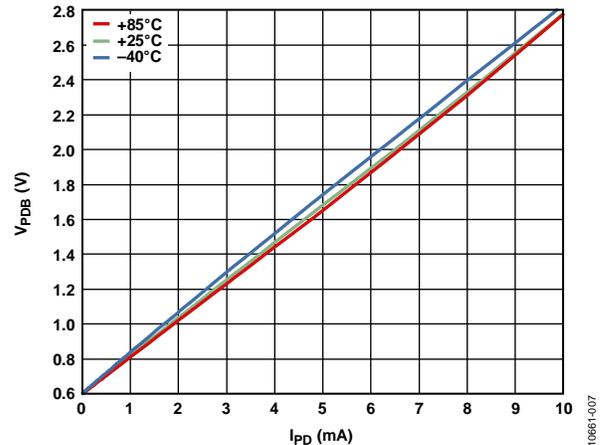


图7. V_{PDB} 与 I_{PD} 的关系

10861-007

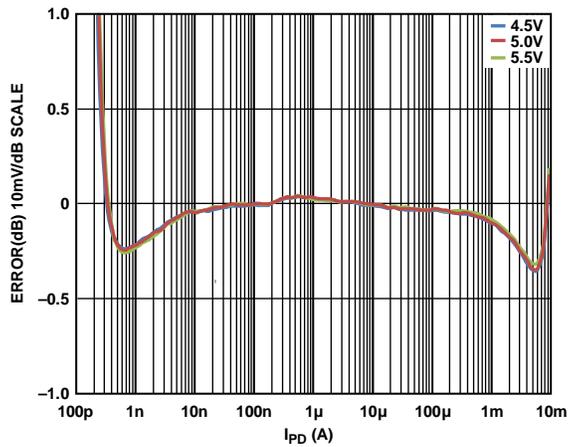


图5. 多种电源电压下相对于 V_{LOG} 标称额定值的绝对偏差(25°C)

10861-005

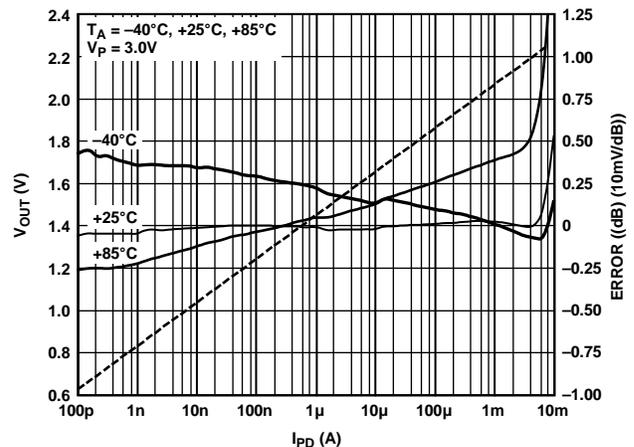


图8. 3 V单电源的对数一致性(线性度)

10861-008

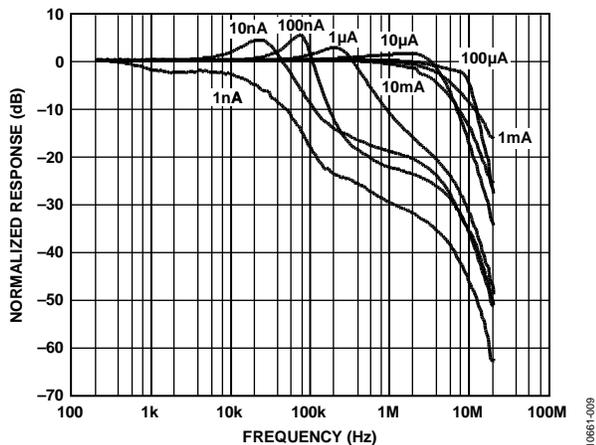


图9. 小信号交流响应, I_{PD} 对 V_{LOG} (频率范围内IPD的5%正弦调制)

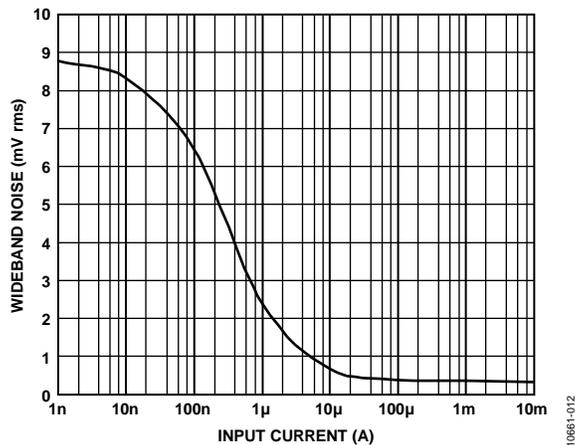


图12. V_{LOG} 下的总宽带噪声电压与IPD的关系

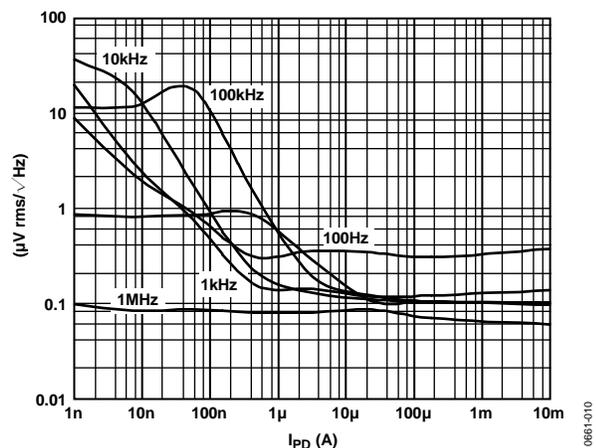


图10. V_{LOG} 下的散粒噪声频谱密度与 I_{PD} 的关系

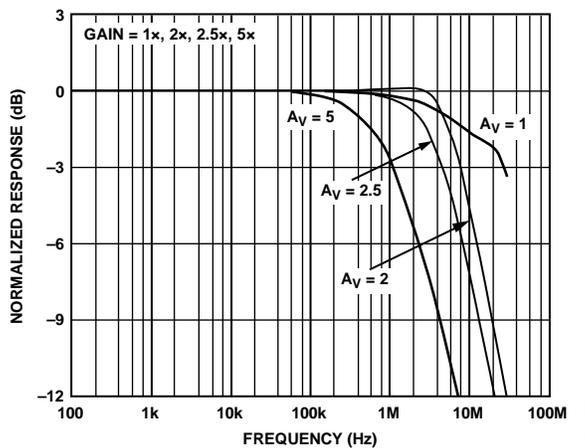


图13. 缓冲器的小信号响应

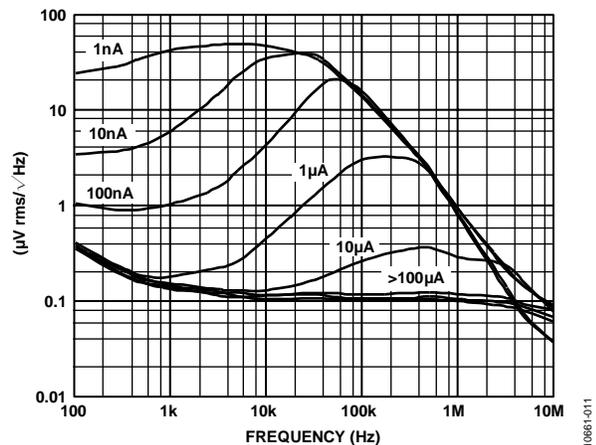


图11. V_{LOG} 下的散粒噪声频谱密度与频率的关系

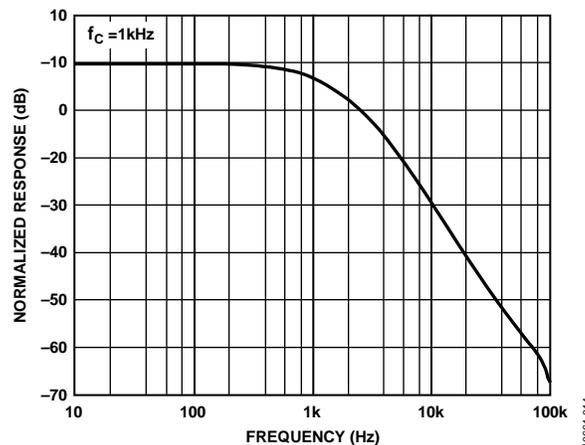


图14. 用作双极点滤波器的缓冲器的小信号响应

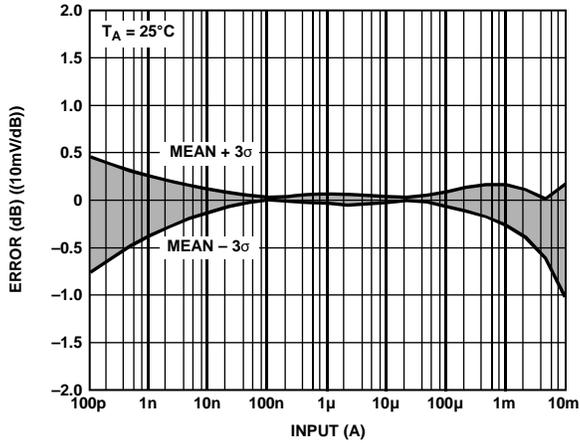


图15. 对数一致性误差分布(均值任一側 3σ)

10661-015

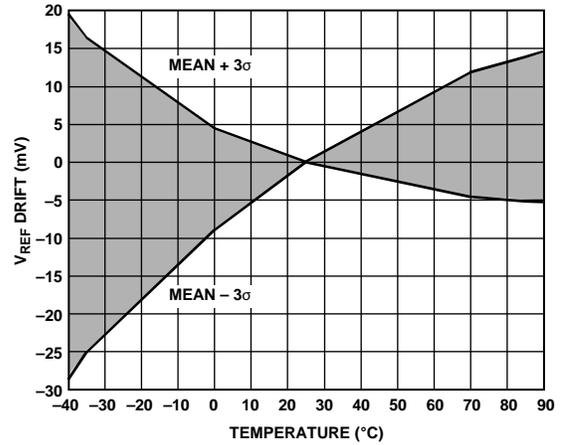


图18. V_{REF} 漂移与温度的关系(均值任一側 3σ)

10661-018

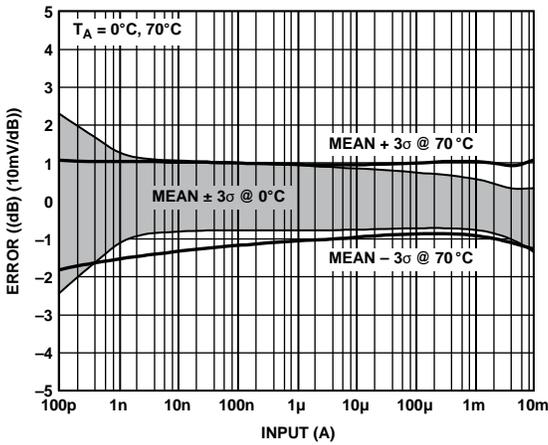


图16. 对数一致性误差分布(均值任一側 3σ)

10661-016

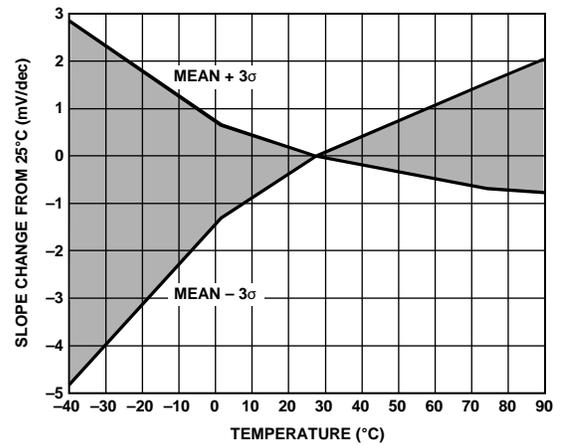


图19. 斜率漂移与温度的关系(均值任一側 3σ)

10661-019

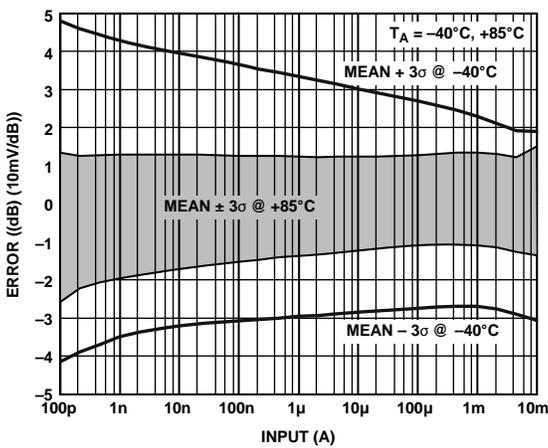


图17. 对数一致性误差分布(均值任一側 3σ)

10661-017

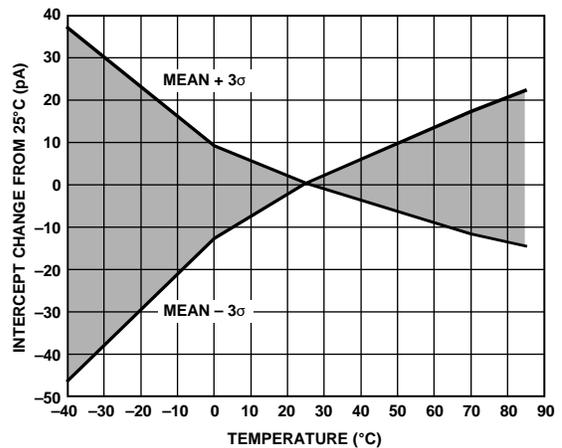


图20. 截点漂移与温度的关系(均值任一側 3σ)

10661-020

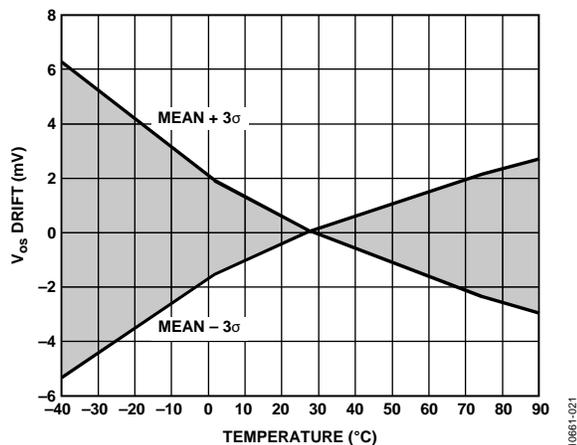


图21. 输出缓冲器失调电压与温度的关系(均值任一侧 3σ)

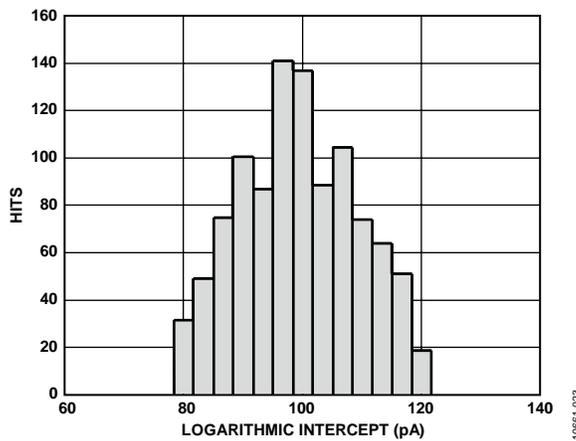


图23. 对数截点的分布

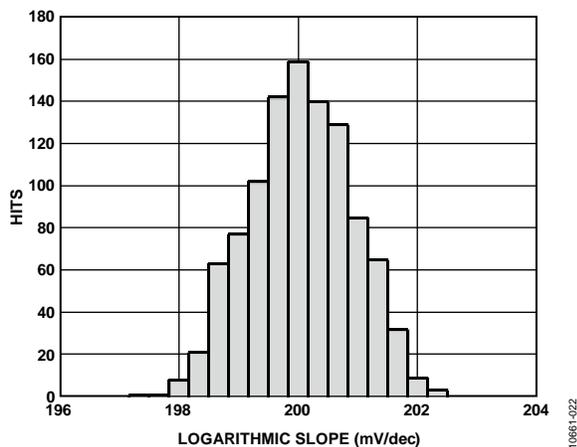


图22. 对数斜率的分布

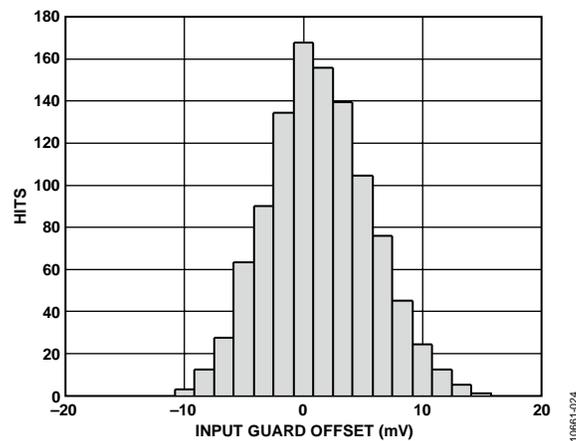


图24. 输入防护失调电压 V_{OFS} 的分布($V_{INPT} - V_{SUM}$)

工作原理

基本概念

ADL5303采用先进的电路实现方案，利用了双极性晶体管的基极-射极电压(V_{BE})与集电极电流(I_C)之间的对数关系。

借助这些原理，施加于INPT引脚的输入电流 I_{PD} 与出现在中间输出引脚VLOG的电压之间的关系如下：

$$V_{LOG} = V_Y \log_{10}(I_{PD}/I_Z) \quad (1)$$

其中：

V_Y 为电压斜率(对于以10为底的对数，它也等于每10倍的电压V值)。

I_Z 是对数公式中的固定电流，称为截点。

在下例中，选择的比例将 V_Y 调整到200 mV/10倍(10 mV/dB)。截点定位于100 pA；当 I_{PD} 为此值时，输出电压 V_{LOG} 过零。然而，实际的 V_{LOG} 必须始终略高于地。利用公式2计算任意IPD值对应的输出。因此，当输入电流为25 nA时，

$$V_{LOG} = 0.2 \text{ V} \log_{10}(25 \text{ nA}/100 \text{ pA}) = 0.4796 \text{ V} \quad (2)$$

实际应用中，斜率和截点均可更改为较高或较低的值，校准精度不会有明显损失，方法是利用一个或两个外部电阻，常常还要结合VREF上经过调整的2 V基准电压。

光学测量

解读光电检测器的 I_{PD} 电流与入射光功率的关系时，需要清楚反向偏置光电二极管的转换(光功率转电流)特性。这种转换的单位表示为A/W，称为光电二极管的响应度 ρ 。典型InGaAs PIN光电二极管的响应度约为0.9 A/W。

必须注意，在纯电性电路中，电流和功率之间并不是这种比例关系。电流作用于阻性负载时，会产生与电流的平方成比例的功率： $P = I^2R$ 。光电二极管之所以具有不同的比例关系，是因为反向偏置二极管中流动的 I_{PD} 主要取决于PN结的固定内在电压，对外部偏置电压相对不敏感。在检测器二极管中，功耗与 I_{PD} 电流成正比， I_{PD} 与光功率 P_{OPT} 的关系得以保留。

$$I_{PD} = \rho P_{OPT} \quad (3)$$

截点电流 I_Z 与等效截点功率 P_Z 之间存在同样的关系：

$$I_{PZ} = \rho P_Z \quad (4)$$

因此，公式1可改写为：

$$V_{LOG} = V_Y \log_{10}(P_{OPT}/P_Z) \quad (5)$$

对于以默认配置工作的ADL5303，如果二极管的响应度为0.9 A/W，那么100 pA的 I_Z 对应于110 pW的 P_Z 。因此，3 mW的光功率产生

$$V_{LOG} = 0.2 \text{ V} \log_{10}(3 \text{ mW}/110 \text{ pW}) = 1487 \text{ V} \quad (6)$$

注意，在光学应用中使用ADL5303时，VLOG输出被解读为等效光功率，此输出的对数斜率仍然是10 mV/dB。这可能会令人困惑，因为光学dB变化的意义不同于与电学dB变化的意义。无论何种情况，对数斜率总是可以表示为mV/10倍，这有助于消除混淆。

分贝比例

当功率水平用相对于某一参考水平的分贝值表示时(单位dBm，即参考1 mW功率)，其实就已经执行了对数转换，上述表达式中的对数比变为简单的差值。指定变量名称时应小心，因为P常被用来表示实际的功率以及相同功率的分贝值，但二者是完全不同的量。

带宽和噪声考虑

跨导线性对数放大器的响应时间和宽带噪声与信号电流 I_{PD} 有关。 I_{PD} 降低时，带宽逐渐降低，主要原因是跨导线性器件的结电容效应。

图9显示了ADL5303在1 nA到10 mA的8个代表性电流下的交流响应， $R_1 = 750 \Omega$ ， $C_1 = 1000 \text{ pF}$ 。 R_1 和 C_1 的值确保电路在全部160 dB动态范围内保持稳定。对于较小的子范围，可以使用更优的值。为指定应用选择最佳输入网络元件值时，可能需要进行一定量的试错实验。

I_{PD} 与Q₁的 V_{BE} 相关的电压噪声频谱密度 S_{NSD} 之间存在如下关系：

其中：

$$S_{NSD} = \frac{14.7}{\sqrt{I_{PD}}} \quad (7)$$

S_{NSD} 的单位为nV/Hz。

I_{PD} 的单位为 μA 。

$T_A = 25^\circ\text{C}$ 。

输入为1 nA时， S_{NSD} 计算结果约为 $0.5 \mu\text{V}/\sqrt{\text{Hz}}$ ；假设此电流时的带宽为20 kHz，则积分噪声电压为 $70 \mu\text{V rms}$ 。但是，该计算并不完整。 V_{BE} 的基本比例为 $3\text{mV}/\text{dB}$ ，转换到 $10\text{mV}/\text{dB}$ ，公式7预测的噪声必须乘以大约3.33。此外还必须包括参考晶体管Q2和温度补偿电路相关的加性噪声效应。VLOG引脚上的最终电压噪声频谱密度与 I_{PD} 成反比，但不是简单的平方

根关系。图10显示了VLOG输出端的实测噪声频谱密度与频率的关系，同样使用 I_{PD} 的9级10倍间隔值。

芯片使能

PWDN引脚变为逻辑高电平时，ADL5303掉电。禁用模式下的残余电源电流典型值为 $60 \mu\text{A}$ 。

使用ADL5303

在默认配置中(见图25),围绕缓冲器的反馈路径中有一个2.5:1衰减器,它将VLOG引脚处的10mV/dB斜率提高到VOUT处的25 mV/dB。对于160 dB的全部动态范围(80 dB光学),输出摆幅为4.0 V。使用建议的5V电源时,轨到轨输出级可以支持该摆幅。

VLOG与地之间的电容形成一个可选的单极点低通滤波器。此引脚的电阻调整到5kΩ,因此可以实现精确的时间常数。例如, $C_{FLT} = 10 \text{ nF}$ 时, -3 dB转折频率为3.2 kHz。这种滤波可用于将输出噪声降至最低,尤其是当 I_{PD} 很小时。多极点滤波器的降噪效果更好。VSUM与地之间的电容对降低此节点的噪声至关重要。当不需要VPDB或VREF处的偏置电压时,这些引脚应保持断开状态。

斜率和截点调整

斜率和截点的选择取决于应用。凭借ADL5303的多功能性,可以在两种常见情况下做出最佳选择。第一,它允许小于完整160 dB的输入电流范围使用输出端可用的电压范围。第二,它允许该输出电压范围实现最佳定位,以适应后续ADC的输入能力。在特殊应用中,可以实现非常高的斜率,如1 V/10倍等,从而以高灵敏度测量较小范围的 I_{PD} 。

在VLOG与地之间添加一个分流电阻 R_S ,可以无限制地降低斜率。此引脚的电阻调整到5kΩ,因此更改后的斜率精度取决于外部电阻。其计算公式为:

$$V_Y = \frac{V_Y R_S}{R_S + 5 \text{ k}\Omega} \quad (8)$$

例如,使用 $R_S = 3 \text{ k}\Omega$ 时,斜率降至75 mV/10倍或3.75 mV/dB。表4列出了合适的 R_S 值选择及对应的斜率。

表4. 降低斜率示例

R_S (kΩ)	VY (mV/10倍)
3	75
5	100
15	150

除了用于滤波器和比较器功能以外,缓冲滤波器还能用于调整斜率和截点,不过这需要数量极少的外部元件。BFIN的高输入阻抗和该放大器的低输入失调电压、大输出摆幅、宽带宽特性,允许通过标准运放电路做法来实现对基本 V_{LOG} 信号的各种转换。例如,为了提高缓冲器的增益,从而提高斜率,VLOG与反相输入引脚BFNG之间应插入反馈电阻 R_A 和 R_B ,如图25所示。

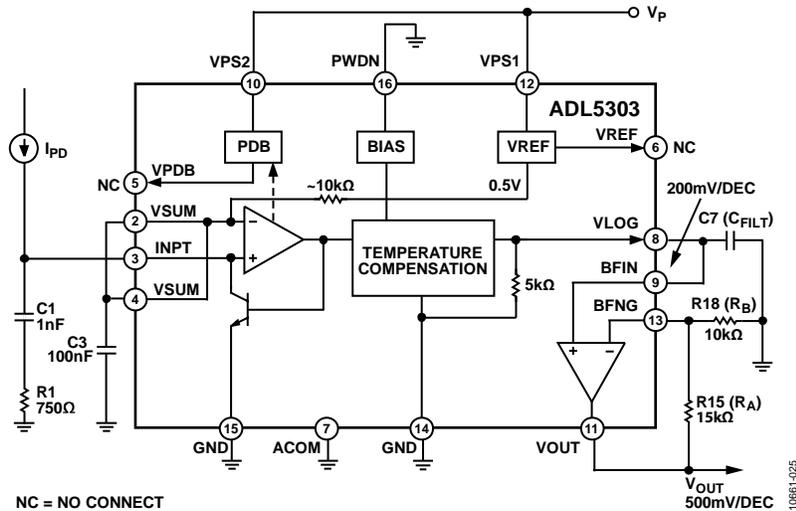


图25. 基本连接(R15、R18、C7为可选元件;R1和C1为默认值)

可以使用范围广泛的增益，电阻幅度不重要，其并联总和与同相输入端的净源电阻大致相等。使用高增益时，输出动态范围降低；对于4.8V的最大摆幅，它相当于4.8 V/VY级10倍。因此，使用3倍比率以设置30 mV/dB (600 mV/10倍)的斜率时，可以处理8级10倍，而使用5倍比率以设置50mV/dB(1V/10倍)的斜率时，动态范围为4.8级10倍或96 dB。使用较低电源电压时，计算方法相同，记住首先减去0.2 V以为输出摆幅提供0.1 V的上裕量和下裕量。

对数截点的更改稍微复杂一点。首先应注意，很少需要将截点降至100 pA以下，因为这只会使所有输出电压进一步高于地。然而，确有需要时，第一步应提高电压 V_{LOG} ，方法是在VLOG与VREF(2V)之间连接一个电阻 R_Z ，如图26所示。

其效果是提升小输入的 V_{LOG} ，同时在一定程度上降低斜率，因为 R_Z 对5k Ω 输出电阻有分流效应。必要时，可以像之前一

样使用缓冲器周围的反馈衰减器来提高斜率。表5给出了结合不同斜率来降低截点的一些例子。

表5. 降低截点示例

V_Y (mV/10倍)	I_Z (pA)	R_A (k Ω)	R_B (k Ω)	R_Z (k Ω)
200	1	20.0	100	25
200	10	10.0	100	50
200	50	3.01	100	165
300	1	10.0	12.4	25
300	10	8.06	12.4	50
300	50	6.65	12.4	165
400	1	11.5	8.2	25
400	10	9.76	8.2	50
400	50	8.66	8.2	165
500	1	16.5	8.2	25
500	10	14.3	8.2	50
500	50	13.0	8.2	165

对表5使用以下公式：

$$V_{OUT} = G \left[V_Y \times \frac{R_Z}{R_Z + R_{LOG}} \times \log_{10} \left(\frac{I_{PD}}{I_Z} \right) + V_{REF} \times \frac{R_{LOG}}{R_{LOG} + R_Z} \right] \quad (9)$$

其中， $G = 1 + R_A/R_B$ ， $R_{LOG} = 5 \text{ k}\Omega$ 。

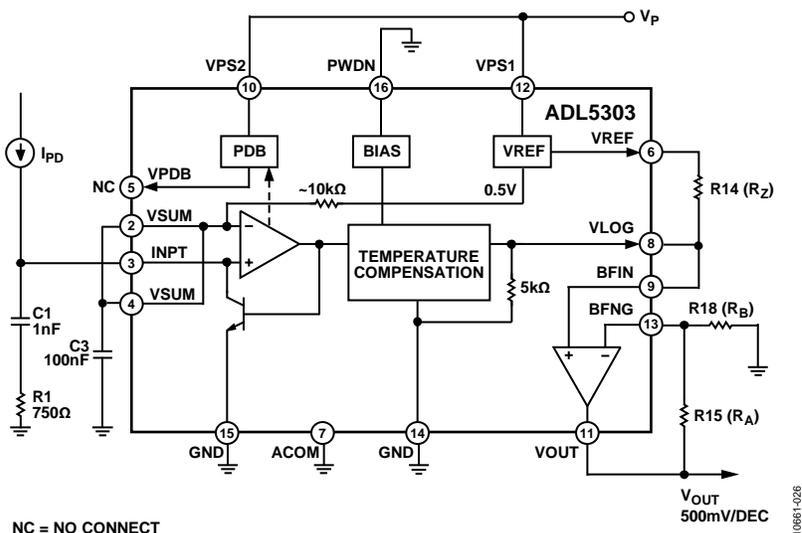


图26. 降低截点的方法

ADL5303

一般而言，提高截点是有用的。注意，这将会把图26中的 V_{LOG} 线向右移动，降低所有输出值。图27说明了如何提高截点。缓冲器周围的反馈电阻 R_A 和 R_B 之外再增加一个电阻 R_Z ，置于BFNG与VREF引脚之间。添加第三个电阻可提高BFNG的零信号电压，从而降低 V_{OUT} 。注意，添加 R_Z 电阻也会更改反馈比。然而，反馈比的变化可通过网络设计轻松补偿。表6列出了代表性截点的电阻值。

表6. 提高截点示例

V_Y (mV/10倍)	I_Z (nA)	R_A (k Ω)	R_B (k Ω)	R_C (k Ω)
300	10	7.5	37.4	24.9
300	100	8.25	130	18.2
400	10	10	16.5	25.5
400	100	9.76	25.5	16.2
400	500	9.76	36.5	13.3
500	10	12.4	12.4	24.9
500	100	12.4	16.5	16.5
500	500	11.5	20.0	12.4

对表6使用以下公式：

$$V_{OUT} = G \left[V_Y \times \log_{10} \left(\frac{I_{PD}}{I_Z} \right) = V_{REF} \times \frac{R_A \parallel R_B}{R_A \parallel R_B + R_C} \right] \quad (10)$$

where $G = 1 + \frac{R_A}{R_B \parallel R_C}$ and $R_A \parallel R_B = \frac{R_A \times R_B}{R_A + R_B}$.

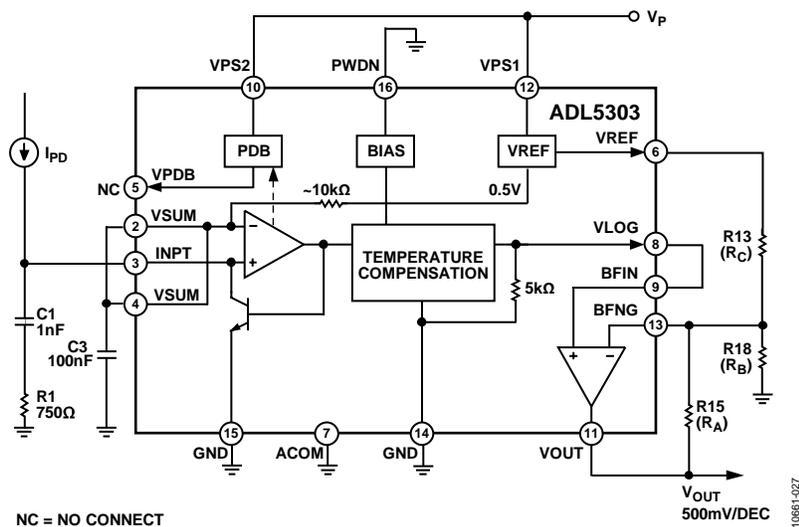


图27. 提高截点的方法

低电源斜率和截点调整

当器件的电源电压低于4V时，有必要降低VLOG引脚处的斜率和截点，以使器件在整个160 dB工作范围内都具有良好的对数一致性。VLOG引脚的电压由内部电流源产生，其输出电流为 $40\ \mu\text{A}/10$ 倍，作用于内部激光调整的 $5\ \text{k}\Omega$ 输出电阻。当VLOG引脚的电压超过 $V_p - 2.3\ \text{V}$ 时，电流源停止对电流的对数增加做出线性响应。为了避免裕量问题，应降低VLOG引脚处的对数斜率和截点，并在VLOG引脚与地之间连接一个外部电阻 R_S ，它与截点降低电阻 R_Z 一起使用。图28所示的值为3.0 V正电源提供了一个很好的解决方案。在VLOG测得的相应对数斜率为 $62.5\ \text{mV}/10$ 倍，新截点为 $57\ \text{fA}$ 。原对数斜率 $200\ \text{mV}/10$ 倍可以利用内部缓冲放大器上的电压增益恢复。

改变求和节点的电压

VSUM的默认值通过使用VREF (2 V)的四分之一来确定。这可以通过如下方式改变：将一个独立电压源施加于VSUM，或者在VREF与VSUM之间增加一个外部阻性分压器。此网络与内部分压器($40\ \text{k}\Omega$ 和 $13.3\ \text{k}\Omega$)并行工作，选择外部电阻时应考虑这一点。实际应用中，增加电阻串的总电阻可能低至 $10\ \text{k}\Omega$ (从VREF消耗 $400\ \mu\text{A}$)。预期 I_{PD} 值较大时，建议不要使用很小的VSUM值(因而VCE也很小)。

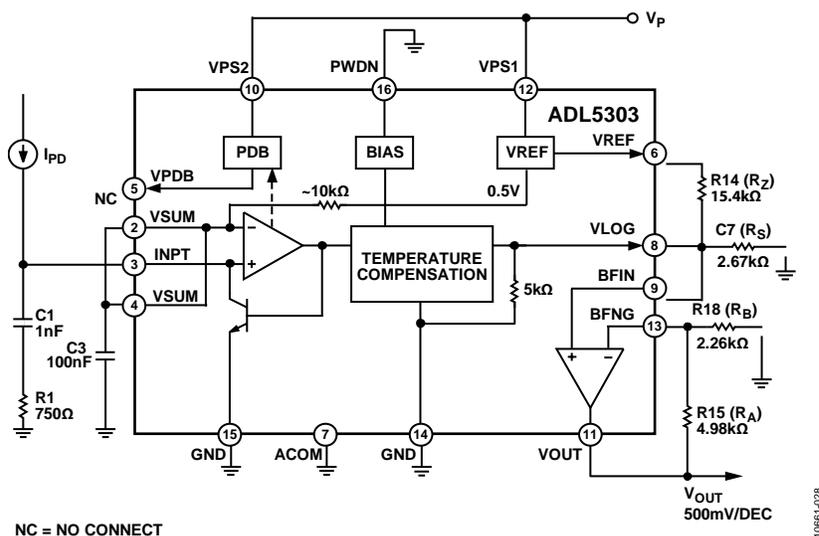


图28. 低电源应用推荐电路

ADL5303

使用自适应偏置

对于多数光电二极管应用，阳极略高于地是可接受的，只要阴极的正向偏置足以支持特定二极管的峰值电流(主要受串联电阻限制)。为解决这一问题，ADL5303提供一个随电流线性提高的二极管偏置。此偏置电压出现在VPDB阴极，变化范围为0.6 V(二极管反向偏置0.1 V、 $I_{PD} = 100 \text{ pA}$)至2.6V(二极管偏置2 V、 $I_{PD} = 10 \text{ mA}$)。当光电二极管的串联电阻为200 Ω 时，这将产生0.1 V的恒定内部结偏置电压。对于宽动态范围的光功率测量，自适应偏置功能非常有用，可

以最大程度地减少暗电流，同时防止光电二极管偏置在高电流时发生损失。自适应偏置功能的使用参见图29。

VPDB引脚处的光电二极管阴极与地之间的电容CPB用于降低此节点的阻抗，以便在ADL5303带宽较高时的电流水平下提高高频精度。对光信号进行高频调制时，CPB还能确保提供高频路径；如果没有CPB，可能无法精确地获得平均值。CPB不是在所有情况下都需要；为确定最佳值，可能需要进行实验。

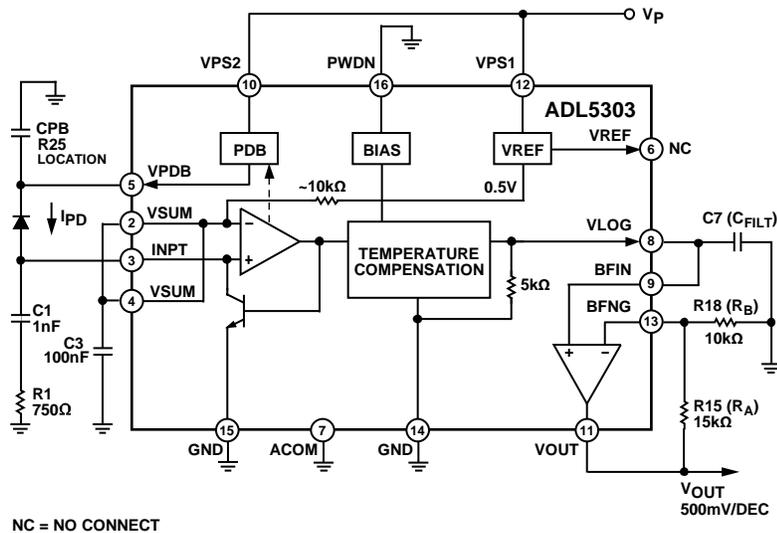


图29. 使用自适应偏置

评估板

ADL5303提供评估板，其原理图如图31所示，电路板布局参见图32和33。它可以针对各种试验进行配置。该板的工厂设置为光导模式，具有单位缓冲增益，斜率为10 mV/dB，截点为100 pA。通过替换电阻和电容值，可用于评估数据手册中列出的所有应用电路。

加上最终的缓冲放大器便构成完整系统，它是一个非专用运算放大器，具有轨到轨输出能力、10 MHz带宽和良好的负载驱动能力。该缓冲器可用于实现多极点低通滤波器以便降低噪声。它还有利于调整输出比例和截点(使用简单的电阻分压器网络和VREF引脚提供的2V输出)。

屏蔽和防护

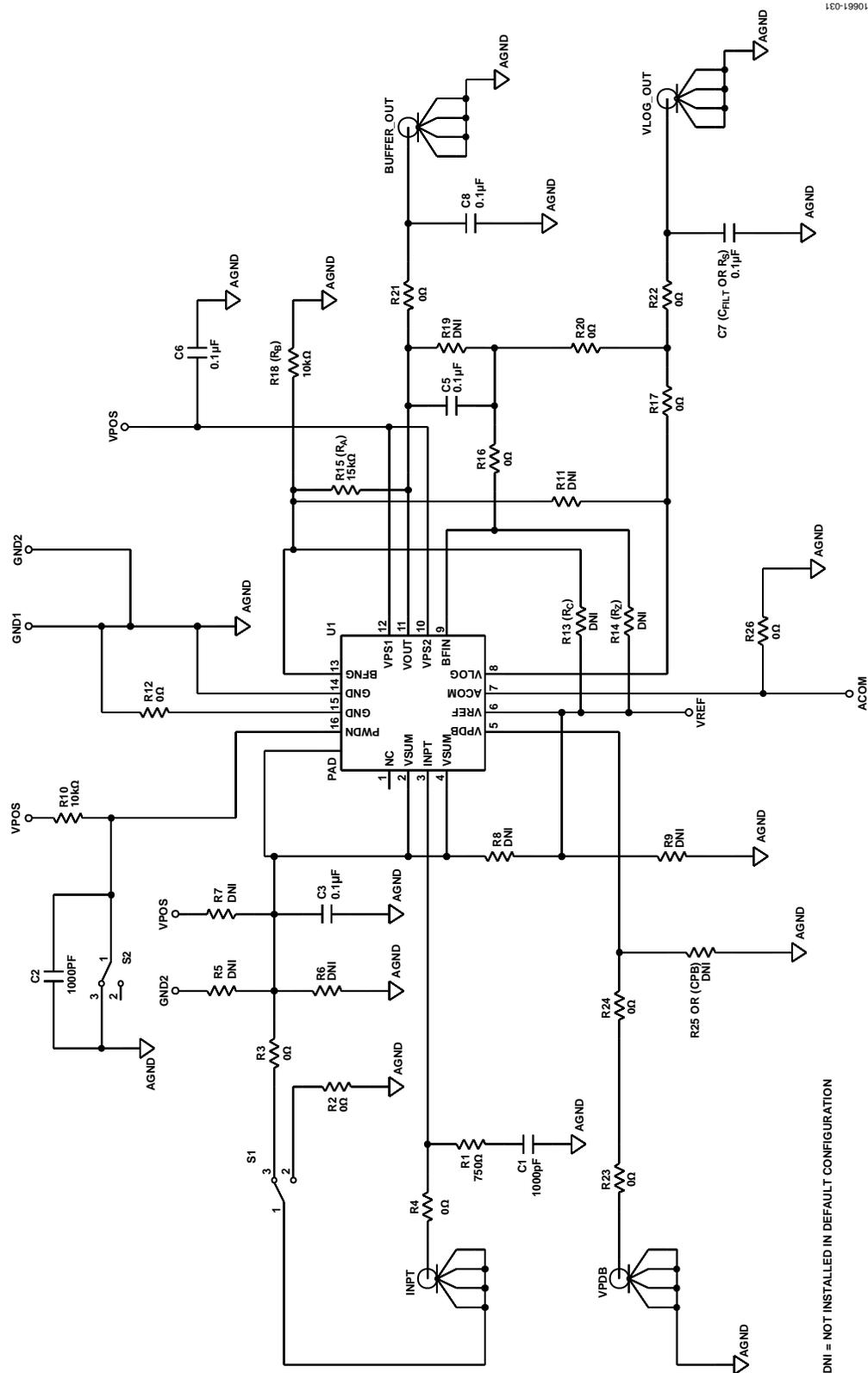
与典型高阻抗运放电路的电压检测输入不同，降低电流检测电路中外部源的误差需要使用不同的方法。对于高度敏感的对数放大器，泄漏可能是一个严重的误差源，特别是在其范围的低端。例如， V_{SUM} 设为默认值0.5V时，从INPT输入到地的1G Ω 泄漏路径将产生0.5nA偏移。ADL5303评估板大量使用防护来降低低输入电平时的泄漏效应。必须小心搬运和清洁ADL5303评估板，防止搬运和PCB清洗不当造成污染，导致漏电流。ADL5303的电路板设计必须将EPAD连接到VSUM引脚，以便在敏感的INPT引脚周围提供连续的防护，降低表面污染的影响。

不熟悉低电平电流检测的设计人员，常犯的一个错误是连接一个高阻抗示波器探头或仪表来测量输入以进行调试。这会引起显著的误差，因为这些探头的阻抗通常有1M Ω 到

100 M Ω ，导致较大的电流流入/流出输入端，具体取决于偏置电压。

在需要测量1nA以下电流的仪器仪表应用中，常常使用三轴电缆和连接器来降低通过绝缘电介质的漏电流，在中间导体上形成从电流源到检测电路的连续防护。此类防护电路不同于电压检测应用中使用的传统静电屏蔽。静电屏蔽依赖低阻抗和电流自由流动的能力来降低屏蔽上感应产生的电压，此电容可以容性耦合到高阻抗输入端。防护被有源驱动到与载流中间导体相同的电压，从而消除通过中间导体与地之间的电介质的漏电流。除了从防护到外部屏蔽的漏电流之外，防护不会让其它电流流过。防护通常仅连接到电缆的一端，因为任何流过防护的较大电流都可能感性耦合到中心导体。使用ADL5303评估板，防护既可从外部电流源的防护驱动，也可从ADL5303的内部VSUM偏置驱动。

ADL5303评估板可以利用开关S1将连接到INPT输入的同轴电缆屏蔽偏置到标称 V_{SUM} 电压，这需要仔细考虑电缆另一侧的环境。例如，如果ADL5303评估板配置为 $V_{SUM}=0.5$ V INPT同轴电缆的另一端连接到一个具有接地基准的仪表，则屏蔽将 V_{SUM} 拉至地，并瓦解ADL5303的输入级。屏蔽的电流源端悬空可提供低泄漏防护，但此时必须为信号电流提供单独的返回路径。如果电缆电介质泄漏不是问题，INPT可以直接连到同轴电缆，通过屏蔽提供信号地。



DNI = NOT INSTALLED IN DEFAULT CONFIGURATION

图31. 原理图

ADL5303

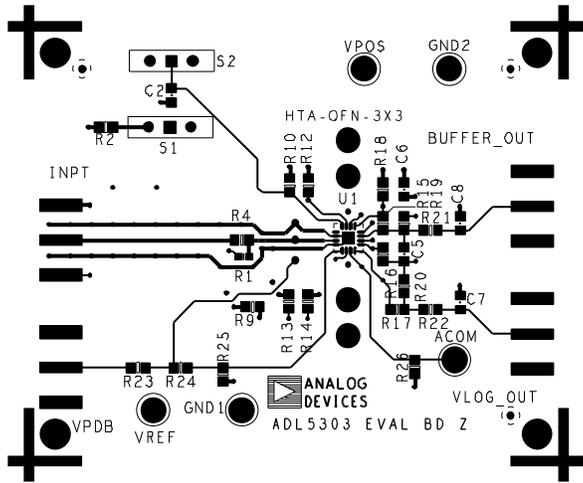


图32. 器件侧布局图

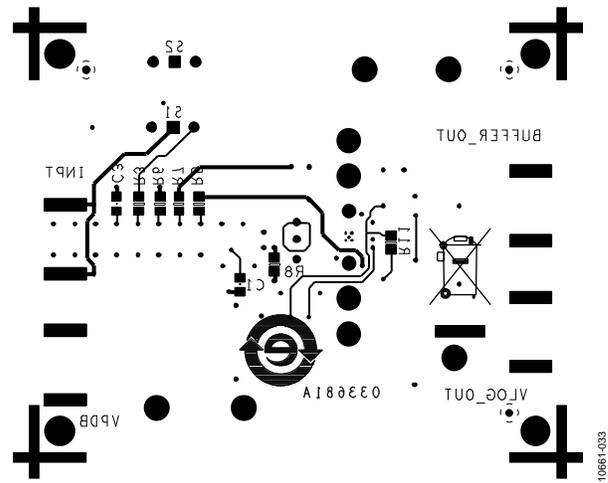
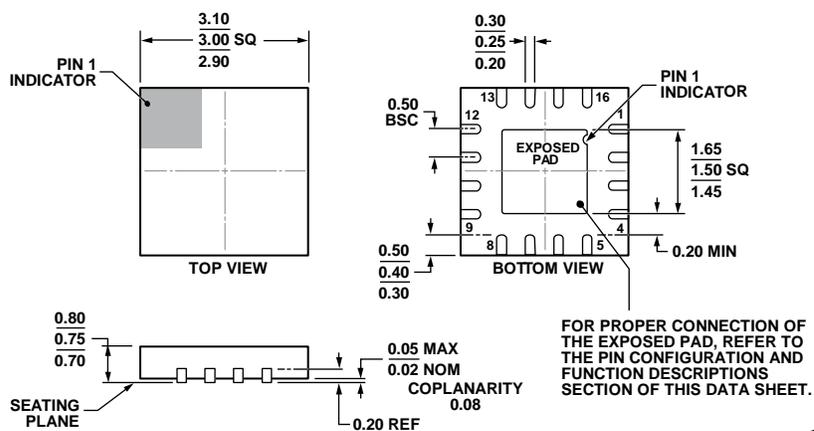


图33. 器件侧丝网图

表7. 评估板配置选项

元件	功能	默认条件
VPOS, AGND	正电源和接地引脚。	
S1	器件使能。S1在0位置时，PWDN引脚连接到地，ADL5303处于正常工作模式。	S1 = 已安装
S2	防护/屏蔽选项。用于输入和光电二极管偏置的SMA连接器的外壳可以设置为VSUM引脚上的电压，或者接地。S2在0位置时，SMA外壳连接到VSUM。	S2 = 已安装
R13 (R _c), R14 (R _z)	截点调整。可将一个直流偏移电压施加于缓冲放大器的输入端，以调整有效对数截点。	R13 = 开路(尺寸0603) R14 = 开路(尺寸0603)
R5, R6, R7, R8, R9	偏置调整。VSUM和INPT引脚上的电压可以利用适当的电阻值进行调整。	R5、R6、R7 = 开路(尺寸0603) R8、R9 = 开路(尺寸0603)
R15 (R _A), R18 (R _B)	斜率调整。	R15 = 15 kΩ(尺寸0603) R18 = 10 kΩ(尺寸0603)
C3	VSUM去耦电容。	C3 = 0.1 μF(尺寸0603)
C6	电源去耦电容。	C6 = 0.1 μF(尺寸0603)
R25 (CPB)	光电二极管偏执器去耦。提供高频去耦。	R25 = 开路(尺寸0603)
C5, C7 (C _{FILT} or R _S), C8, R11, R16, R17, R19, R20	输出滤波。允许实现多种滤波器配置，从简单的RC低通滤波器到三极点Sallen-Key滤波器。	R11、R19、C5 = 开路(尺寸0603) R16、R17、R20 = 0 Ω(尺寸0603) C7, C8 = 0.1 μF(尺寸0603)
R1, C1	输入滤波。在输入引脚INPT处提供重要的高频补偿。	R1 = 750 Ω(尺寸0402) C1 = 1 nF(尺寸0603)
R2, R3, R4, R23, R24, R21, R22, R12, R26	隔离跳线。	全部 = 0 Ω(尺寸0603)

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

图34. 16引脚引脚架构芯片级封装[LFCSP_WQ]
3 mm x 3 mm, 超薄四方体
(CP-16-27)
尺寸单位: mm

01-26-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项	标识	订购数量
ADL5303ACPZ-R2	-40°C至+85°C	16引脚 LFCSP_WQ	CP-16-27	H38	250
ADL5303ACPZ-R7	-40°C至+85°C	16引脚 LFCSP_WQ, 7"卷带和卷盘	CP-16-27	H38	1500
ADL5303ACPZ-RL	-40°C至+85°C	16引脚 LFCSP_WQ, 13"卷带和卷盘	CP-16-27	H38	5000
ADL5303-EVALZ		评估板			

¹ Z = 符合RoHS标准的器件。

注释

注释

ADL5303

注释