

ADE7854A/ADE7858A/ADE7868A/ADE7878A

特性

高精度；支持EN 50470-1、EN 50470-3、IEC 62053-21、IEC 62053-22和IEC 62053-23标准

兼容三相三线或三相四线(三角形或星形)电表及其它三相配置测量各相及整个系统的总(基波和谐波)有功、无功和视在功率，以及基波有功/无功功率

$T_A = 25^\circ\text{C}$ 时，在1000:1的动态范围内有功和无功功率误差为0.1%(典型值)

$T_A = 25^\circ\text{C}$ 时，在3000:1的动态范围内有功和无功功率误差为0.2%(典型值)

低纹波rms寄存器提供均值rms测量

支持电流互感器和微分(di/dt)电流传感器

零线电流输入采用专用ADC通道

通过计算所有三相中相位电流之和的rms值得出零线电流有效值

$T_A = 25^\circ\text{C}$ 时，在1000:1的动态范围内电压和电流均方根误差为0.1%(典型值)

提供所有三相及零线电流的波形采样数据

可选择总有功/无功功率和基波有功/无功功率，以及视在功率的空载阈值

用于防窃电检测的高精度、低功耗电池模式相位电流监控

支持电池电源输入，可在全失压的情况下工作

电流和电压通道中的相位角测量

电能脉冲输出(CF)直接驱动LED和光耦

基准电压源：1.2 V(典型漂移量为 ± 5 ppm/ $^\circ\text{C}$)且具有外部过驱功能

3.3 V单电源，40引脚无铅引脚架构芯片级封装(LFCSP)

工作温度： -40°C 至 $+85^\circ\text{C}$

灵活的I²C、SPI和HSDC串行接口

概述

ADE7854A/ADE7858A/ADE7868A/ADE7878A均为高精度、三相电能计量IC，采用串行接口，并提供三路灵活的脉冲输出。这些器件内置二阶 Σ - Δ 型模数转换器(ADC)、数字积分器、基准电压源电路以及执行总(基波和谐波)有功、无功(ADE7858A、ADE7868A和ADE7878A)和视在功率测量以及rms计算时所需的全部信号处理功能。

ADE7878A还能执行仅基波有功和无功功率测量以及有效值计算。一个固定功能数字信号处理器(DSP)负责实现这种信号处理。DSP程序存储在内部ROM存储器中。

ADE7854A/ADE7858A/ADE7868A/ADE7878A能测量各种三线、四线的三相配置有功/无功/视在功率，例如星形或三角形等。除了常规均方根测量(每8 kHz更新一次)，这些器件还能测量低纹波rms值，数值在内部进行求均值计算，且每1.024秒更新一次。器件具有系统校准功能，即均方根失调校正、相位校准和增益校准。

CF1、CF2和CF3逻辑输出可提供许多功率信息。四款器件均提供总有功和视在功率值，以及电流均方根的求和值；ADE7858A、ADE7868A和ADE7878A可提供总无功功率值；ADE7878A可提供基波有功和无功功率值。

ADE7854A/ADE7858A/ADE7868A/ADE7878A具有波形采样寄存器，允许访问所有ADC输出。这些器件还提供电能质量监测，如瞬时低压或高压检测、瞬时高电流变化、线电压周期测量以及相电压与电流之间的角度等。

器件可以利用两个串行接口——即串行外设接口(SPI)和I²C——进行通信。专用高速数据采集(HSDC)端口可以与I²C配合使用，以访问ADC输出和实时功率信息。

这些器件还有两个中断请求引脚 $\overline{\text{IRQ0}}$ 和 $\overline{\text{IRQ1}}$ ，用来指示一个使能的中断事件已经发生。对于ADE7868A/ADE7878A，当器件遭遇窃电篡改时，三种专门设计的低功耗模式可确保电能累计的连续性。

表1列出了每个器件及其功能。这些器件采用40引脚、无铅LFCSP封装。

表1. 器件比较

产品型号	WATT	VAR	IRMS、V RMS和VA	di/dt	基波WATT和VAR	防窃电检测和低功耗模式
ADE7854A	是	否	是	是	否	否
ADE7858A	是	是	是	是	否	否
ADE7868A	是	是	是	是	否	是
ADE7878A	是	是	是	是	是	是

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

目录

特性.....	1	数字信号处理器.....	42
概述.....	1	有效值测量.....	43
修订历史.....	2	有功功率计算.....	47
功能框图.....	3	无功功率计算—	
规格.....	7	仅限ADE7858A、ADE7868A、ADE7878A.....	53
时序特性.....	10	视在功率计算.....	57
绝对最大额定值.....	13	波形采样模式.....	60
热阻.....	13	电能频率转换.....	60
ESD警告.....	13	空载条件.....	64
引脚配置和功能描述.....	14	校验和寄存器.....	65
典型性能参数.....	16	中断.....	66
测试电路.....	19	应用信息.....	68
术语.....	20	快速将器件设置为电表.....	68
电源管理.....	21	晶振电路.....	68
PSM0正常功耗模式(所有器件).....	21	布局布线指南.....	69
PSM1降耗模式(仅限ADE7868A和ADE7878A).....	21	ADE7878A评估板.....	69
PSM2低功耗模式(仅限ADE7868A和ADE7878A).....	21	芯片版本.....	69
PSM3休眠模式(所有器件).....	23	硅片异常.....	70
上电程序.....	25	ADE7854A/ADE7858A/ADE7868A/ADE7878A	
硬件复位.....	25	功能问题.....	70
软件复位.....	26	功能问题.....	70
工作原理.....	27	串行接口.....	71
模拟输入.....	27	串行接口选择.....	71
模数转换.....	27	通信验证.....	71
电流通道ADC.....	28	I ² C接口.....	71
di/dt电流传感器和数字积分器.....	30	SPI接口.....	73
电压通道ADC.....	31	HSDC接口.....	75
更换相电压数据路径.....	32	寄存器列表.....	77
电能质量测量.....	32	外形尺寸.....	95
相位补偿.....	40	订购指南.....	95
参考电路.....	41		

修订历史

2014年10月—修订版A至修订版B

更改图23.....	19
更改图27.....	25
更改“硅片异常”部分.....	70

2014年7月—修订版A：初始版

功能框图

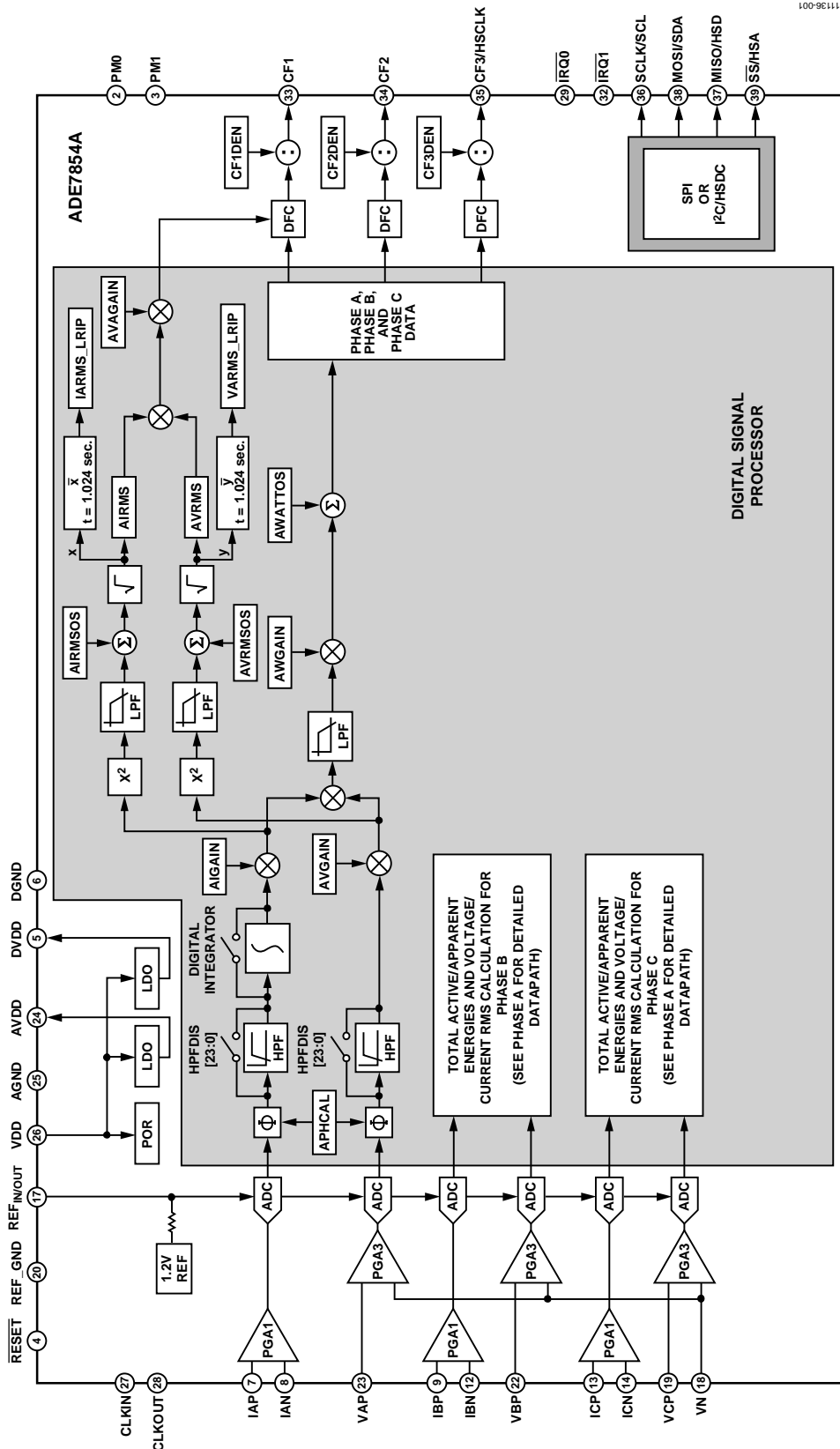


图1. ADE7854A功能框图

ADE7854A/ADE7858A/ADE7868A/ADE7878A

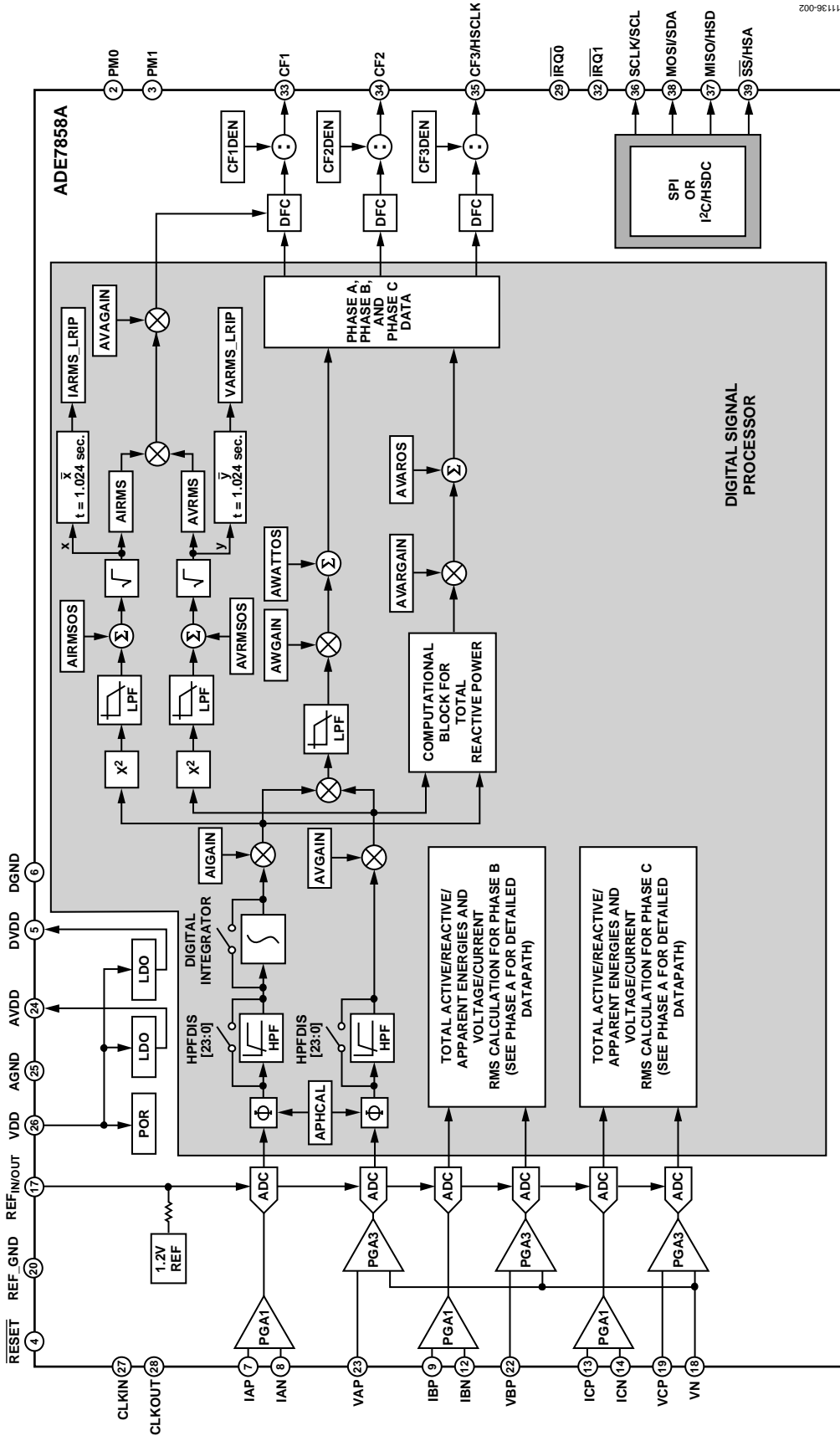


图2. ADE7858A功能框图

ADE7854A/ADE7858A/ADE7868A/ADE7878A

11136-003

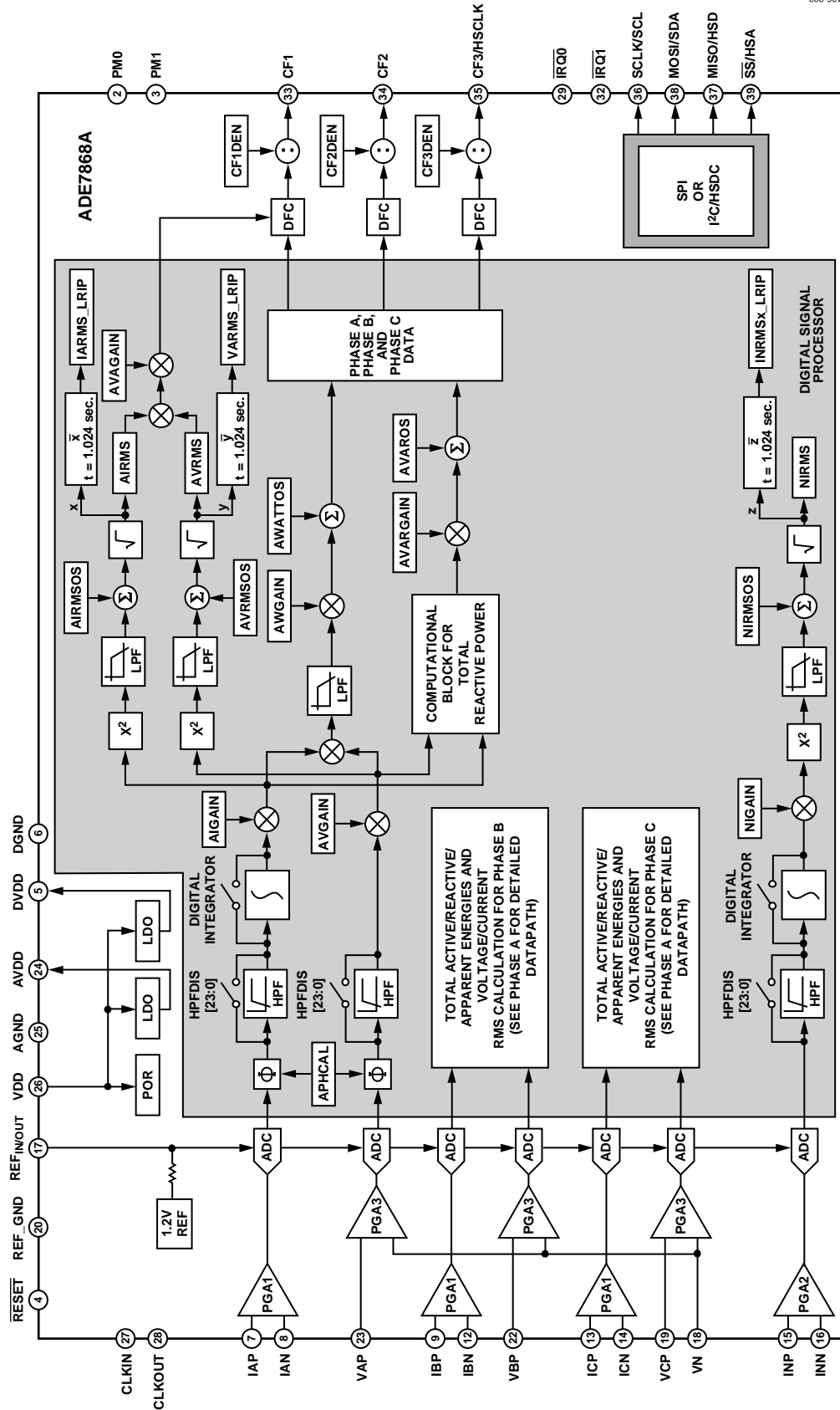


图3. ADE7868A功能框图

ADE7854A/ADE7858A/ADE7868A/ADE7878A

规格

除非另有说明, VDD = 3.3 V ± 10%、AGND = DGND = 0 V、片内基准电压源、CLKIN = 16.384 MHz、

T_{MIN}至T_{MAX} = -40°C至+85°C、T_{TYP} = 25°C。

表2.

参数 ^{1, 2, 3}	最小值	典型值	最大值	单位	测试条件/注释
有功功率测量(PSM0模式)					
有功功率测量误差(每个相位)					
总有功功率		0.1		%	在1000:1的动态范围内, PGA = 1、2或4; 积分器关闭
		0.2		%	在3000:1的动态范围内, PGA = 1、2或4; 积分器关闭
		0.1		%	在500:1的动态范围内, PGA = 8或16; 积分器开启
基波有功功率					仅限ADE7878A
		0.1		%	在1000:1的动态范围内, PGA = 1、2或4; 积分器关闭
		0.2		%	在3000:1的动态范围内, PGA = 1、2或4; 积分器关闭
		0.1		%	在500:1的动态范围内, PGA = 8或16; 积分器开启
交流电源抑制					VDD = 3.3 V + 120 mV rms (120 Hz/100 Hz), IxP = VxP = ±100 mV rms
输出频率变化		0.01		%	
直流电源抑制					VDD = 3.3 V ± 330 mV dc, IxP = VxP = ±100 mV rms
输出频率变化		0.01		%	
总有功功率测量带宽		2		kHz	
无功功率测量(PSM0模式)					ADE7858A、ADE7868A和ADE7878A
无功功率测量误差(每个相位)					
总无功功率		0.1		%	在1000:1的动态范围内, PGA = 1、2或4; 积分器关闭
		0.2		%	在3000:1的动态范围内, PGA = 1、2或4; 积分器关闭
		0.1		%	在500:1的动态范围内, PGA = 8或16; 积分器开启
基波无功功率					仅限ADE7878A
		0.1		%	在1000:1的动态范围内, PGA = 1、2或4; 积分器关闭
		0.2		%	在3000:1的动态范围内, PGA = 1、2或4; 积分器关闭
		0.1		%	在500:1的动态范围内, PGA = 8或16; 积分器开启
交流电源抑制					VDD = 3.3 V + 120 mV rms (120 Hz/100 Hz), IxP = VxP = ±100 mV rms
输出频率变化		0.01		%	
直流电源抑制					VDD = 3.3 V ± 330 mV dc, IxP = VxP = ±100 mV rms
输出频率变化		0.01		%	
总无功功率测量带宽		2		kHz	
RMS测量(PSM0模式)					
电流(I) RMS和电压(V) RMS测量带宽		2		kHz	
I RMS和V RMS测量误差		0.1		%	在1000:1的动态范围内, PGA = 1
平均绝对值(MAV)测量(PSM1模式)					ADE7868A和ADE7878A
I MAV测量带宽		260		Hz	
I MAV测量误差		0.5		%	在100:1的动态范围内, PGA = 1、2、4或8

ADE7854A/ADE7858A/ADE7868A/ADE7878A

参数 ^{1,2,3}	最小值	典型值	最大值	单位	测试条件/注释
模拟输入					
最大信号电平			±500	mV峰值	PGA = 1, 以下引脚之间的差分或单端输入: IAP和IAN、IBP和IBN、ICP和ICN、INP和INN; 以下引脚之间的单端输入: VAP和VN、VBP和VN、VCP和VN
输入阻抗(直流)					
IAP、IAN、IBP、IBN、ICP、ICN、INP、INN、VAP、VBP和VCP引脚	400			kΩ	
VN引脚	130			kΩ	
ADC失调		-34		mV	PGA = 1, 参见术语部分
增益误差		±4		%	1.2 V外部基准电压源
波形采样					
电流和电压通道					采样CLKIN/2048、16.384 MHz/2048 = 8 kSPS
信噪比(SNR)		74		dB	参见“波形采样模式”部分
信纳比(SINAD)		74		dB	PGA = 1, 基波频率 = 45 Hz至65 Hz; 参见“术语”部分
-3 dB带宽		2		kHz	PGA = 1, 基波频率 = 45 Hz至65 Hz; 参见“术语”部分
相位时间间隔					
测量误差		0.3		度	线路频率 = 45 Hz至65 Hz, HPF开启
CF1、CF2、CF3脉冲输出					
最大输出频率		8		kHz	WTHR = VARTHR = VATHR = PMAX = 33,516,139
占空比		50		%	CF1、CF2或CF3频率大于6.25 Hz, CFDEN为偶数且大于1
		(1 + 1/CFDEN) × 50%			CF1、CF2或CF3频率大于6.25 Hz, CFDEN为奇数且大于1
低电平有效脉冲宽度		80		ms	CF1、CF2或CF3频率小于6.25 Hz
抖动		0.04		%	CF1、CF2或CF3频率等于1 Hz, 标称相电流大于满量程的10%
基准输入					
REF _{IN/OUT} 输入电压范围	1.1		1.3	V	最小值 = 1.2 V - 8%; 最大值 = 1.2 V + 8%
输入电容			10	pF	
片内基准电压源, PSM0和PSM1模式					
温度系数	-32	±5	+32	ppm/°C	T _A = 25°C时, REF _{IN/OUT} 引脚上标称值为1.2 V -40°C至+85°C整个温度范围内的漂移计算以25°C为准; 参见“参考电路”部分
CLKIN					
输入时钟频率	16.22	16.384	16.55	MHz	CLKIN = 16.384 MHz; 参见“晶振电路”部分
逻辑输入—MOSI/SDA、SCLK/SCL、SS/HAS、RESET、PM0和PM1					
输入高电压V _{INH}	2.0			V	VDD = 3.3 V ± 10%
输入低电压V _{INL}			0.8	V	VDD = 3.3 V ± 10%
输入电流I _{IN}			-8.7	μA	输入电压 = 0 V, VDD = 3.3 V
			3	μA	输入电压 = VDD = 3.3 V
输入电容C _{IN}		10		pF	
逻辑输出, IRQ0、IRQ1、MISO/HSD					
输出高电压V _{OH}	2.4			V	VDD = 3.3 V ± 10%
I _{SOURCE}			800	μA	
输出低电压V _{OL}			0.4	V	VDD = 3.3 V ± 10%
I _{SINK}			2	mA	

ADE7854A/ADE7858A/ADE7868A/ADE7878A

参数 ^{1,2,3}	最小值	典型值	最大值	单位	测试条件/注释
CF1、CF2、CF3/HSCLK 输出高电压V _{OH} SOURCE 输出低电压V _{OL} SINK	2.4		500 0.4 8	V μA V mA	VDD = 3.3 V ± 10% VDD = 3.3 V ± 10%
电源 PSM0模式 VDD引脚 I _{DD} PSM1和PSM2模式 VDD引脚 I _{DD} PSM1模式 PSM2模式 PSM3模式 VDD引脚 I _{DD}	2.97	20	3.63 23	V mA	额定性能 最小值 = 3.3 V - 10%；最大值 = 3.3 V + 10% ADE7868A 和 ADE7878A
	2.8		3.7	V	
		4.5		mA	
		0.2		mA	
	2.8		3.7	V	
		1.7		μA	

¹ 参见“典型性能参数”部分。

² 有关参数定义，请参见“术语”部分。

³ 注意，仅相关功能会引用双功能引脚名称(有关完整的引脚名称和描述，请参见“引脚配置和功能描述”部分)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

时序特性

VDD = 3.3 V ± 10%, AGND = DGND = 0 V, 片内基准电压源, CLKIN = 16.384 MHz, T_{MIN} 至 T_{MAX} = -40°C 至 +85°C。请注意, 仅时序表和图中的相关功能会引用双功能引脚名称(有关完整的引脚名称和描述, 请参见引脚配置和功能描述部分)。

I²C接口时序

表3.

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL时钟频率	f_{SCL}	0	100	0	400	kHz
起始和重复起始条件的保持时间	$t_{HD;STA}$	4.0		0.6		μ s
SCL时钟低电平周期	t_{LOW}	4.7		1.3		μ s
SCL时钟高电平周期	t_{HIGH}	4.0		0.6		μ s
重复起始条件建立时间	$t_{SU;STA}$	4.7		0.6		μ s
数据保持时间	$t_{HD;DAT}$	0	3.45	0	0.9	μ s
数据建立时间	$t_{SU;DAT}$	250		100		ns
SDA和SCL信号的上升时间	t_R		1000	20	300	ns
SDA和SCL信号的下降时间	t_F		300	20	300	ns
停止条件的建立时间	$t_{SU;STO}$	4.0		0.6		μ s
停止条件和起始条件之间的总线空闲时间	t_{BUF}	4.7		1.3		μ s
尖峰抑制脉冲宽度	t_{SP}	N/A ¹			50	ns

¹ N/A表示不适用。

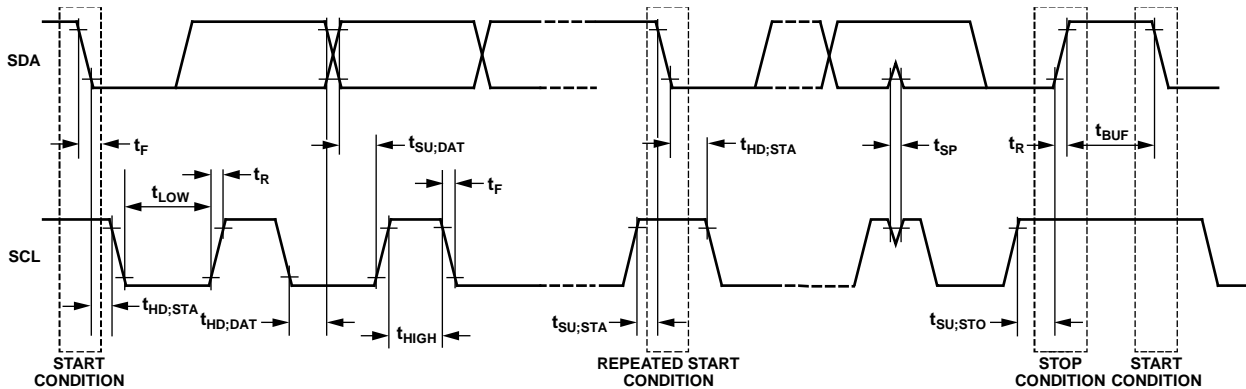


图5. I²C接口时序

11136-005

SPI接口时序

表4.

参数	符号	最小值	最大值	单位
\overline{SS} 至SCLK边沿	t_{SS}	50		ns
SCLK周期		0.4	4000 ¹	μ s
SCLK低电平脉冲宽度	t_{SL}	175		ns
SCLK高电平脉冲宽度	t_{SH}	175		ns
SCLK边沿之后数据输出有效时间	t_{DAV}		100	ns
SCLK边沿之前数据输入建立时间	t_{DSU}	100		ns
SCLK边沿之后数据输入保持时间	t_{DHD}	5		ns
数据输出下降时间	t_{DF}		20	ns
数据输出上升时间	t_{DR}		20	ns
SCLK上升时间	t_{SR}		20	ns
SCLK下降时间	t_{SF}		20	ns
\overline{SS} 上升沿之后MISO禁用时间	t_{DIS}		200	ns
SCLK边沿后的 \overline{SS} 高电平时间	t_{SFS}	0		ns

¹ 通过设计保证。

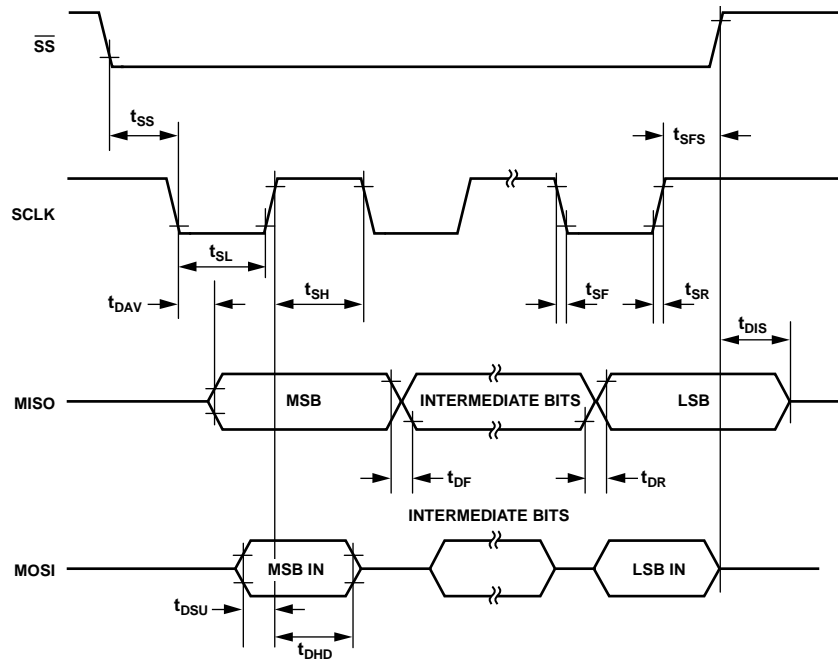


图6. SPI接口时序

11136-006

ADE7854A/ADE7858A/ADE7868A/ADE7878A

HSDC接口时序

表5.

参数	符号	最小值	最大值	单位
HSA至HSCLK边沿	t_{SS}	0		ns
HSCLK周期		125		ns
HSCLK低电平脉宽	t_{SL}	50		ns
HSCLK高电平脉宽	t_{SH}	50		ns
HSCLK边沿之后数据输出有效时间	t_{DAV}		40	ns
数据输出下降时间	t_{DF}		20	ns
数据输出上升时间	t_{DR}		20	ns
HSCLK上升时间	t_{SR}		10	ns
HSCLK下降时间	t_{SF}		10	ns
HSA上升沿之后HSD禁用时间	t_{DIS}	5		ns
HSCLK边沿之后HSA	t_{SFS}	0		ns

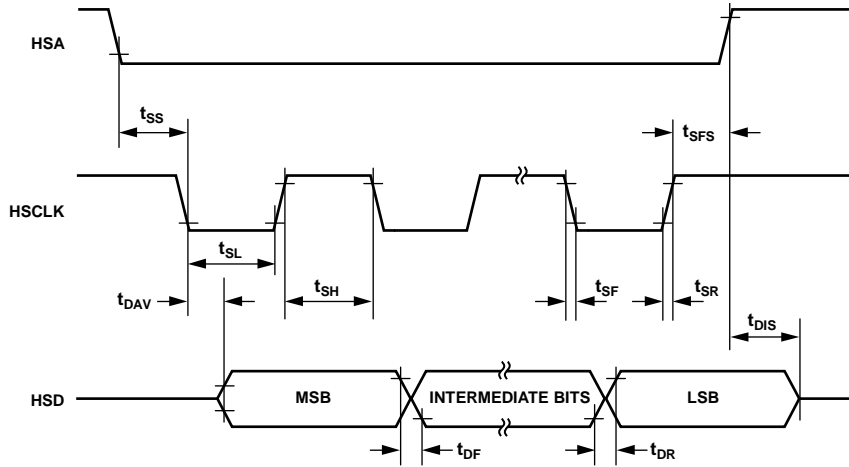


图7. HSDC接口时序

时序规格的负载电路

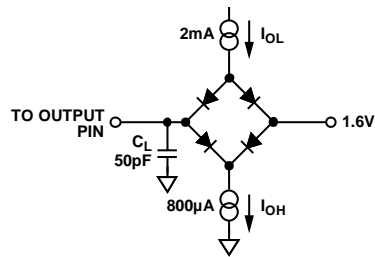


图8. 时序规格的负载电路

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表6.

参数	额定值
VDD至AGND	-0.3 V至+3.7 V
VDD至DGN	-0.3 V至+3.7 V
模拟输入电压至AGND、IAP、IAN、IBP、IBN、ICP、ICN、VAP、VBP、VCP、VN	-2 V至+2 V
模拟输入电压至INP和INN	-2 V至+2 V
基准输入电压至AGND	-0.3 V至VDD + 0.3 V
数字输入电压至DGND	-0.3 V至VDD + 0.3 V
数字输出电压至DGND	-0.3 V至VDD + 0.3 V
工作温度	
工业范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
引脚温度(焊接, 10秒)	300°

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

θ_{JA} 额定值为 29.3°C/W ； θ_{JC} 额定值为 1.8°C/W 。

表7. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
40引脚 LFCSP	29.3	1.8	$^\circ\text{C/W}$

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

引脚配置和功能描述

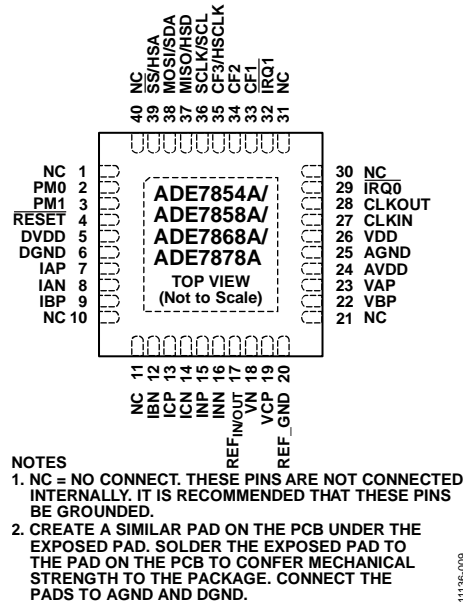


图9. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	说明
1, 10, 11, 21, 30, 31, 40	NC	不连接。这些引脚不在内部互连。建议将这些引脚接地。
2	PM0	功耗模式引脚0。PM0和PM1引脚共同确定ADE7854A、ADE7858A、ADE7868A和ADE7878A的功耗模式(见表9)。
3	PM1	功耗模式引脚1。PM1和PM0引脚共同确定ADE7854A、ADE7858A、ADE7868A和ADE7878A的功耗模式(见表9)。
4	RESET	复位输入，低电平有效。在PSM0模式下，此引脚应至少保持低电平10 μs，以触发硬件复位。
5	DVDD	数字低压差(LDO)稳压器的2.5 V输出。用一个4.7 μF电容和一个220 nF陶瓷电容并联将此引脚去耦。不要将外部有源电路连接至此引脚。
6	DGND	数字电路的接地基准。
7, 8	IAP, IAN	模拟输入，电流通道A。电流通道A与电流传感器配合使用。IAP(正)和IAN(负)输入为全差分电压输入，最大差分电平为±0.5 V(峰值)。通道A还具有一个内部PGA，其设置值与通道B和通道C所用的PGA相同。
9, 12	IBP, IBN	模拟输入，电流通道B。电流通道B与电流传感器配合使用。IBP(正)和IBN(负)输入为全差分电压输入，最大差分电平为±0.5 V(峰值)。通道B还具有一个内部PGA，其设置值与通道A和通道C所用的PGA相同。
13, 14	ICP, ICN	模拟输入，电流通道C。电流通道C与电流传感器配合使用。ICP(正)和ICN(负)输入为全差分电压输入，最大差分电平为±0.5 V(峰值)。通道C还具有一个内部PGA，其设置值与通道A和通道B所用的PGA相同。
15, 16	INP, INN	模拟输入，零线电流通道N。电流通道N与电流传感器配合使用。INP(正)和INN(负)输入为全差分电压输入，最大差分电平为±0.5 V(峰值)。通道N还有一个内部PGA，独立于通道A、通道B和通道C所用的PGA。只有ADE7868A和ADE7878A提供零线电流通道。在ADE7854A和ADE7858A中，将INP和INN引脚连接到AGND。
17	REF _{IN/OUT}	通过REF _{IN/OUT} 引脚可以使用片内基准电压。片内基准电压的标称值为1.2 V。也可以在此引脚上连接1.2 V ±8%的外部基准电压源。这两种情况下，都要通过将 一个4.7 μF电容和一个100 nF陶瓷电容并联来对REF _{IN/OUT} 去耦。复位后，使能片内基准电压源。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

引脚编号	引脚名称	说明
18, 19, 22, 23	VN, VCP, VBP, VAP	模拟输入、电压通道。这些通道与电压传感器配合使用。VN、VCP、VBP和VAP输入为单端电压输入，对于指定操作，最大信号电平为相对于VN的±0.5 V(峰值)。每个电压通道还具有一个内部PGA。
20	REF_GND	接地基准点，内部基准电压。连接REF_GND至模拟接地层。
24	AVDD	模拟低压差(LDO)稳压器的2.5 V输出。用一个4.7 μF电容和一个220 nF陶瓷电容并联将此引脚去耦。不要将外部有源电路连接至此引脚。
25	AGND	模拟电路的接地基准。将AGND连接到系统中的模拟接地层或最安静的接地基准。为抗混叠滤波器、电流传感器和电压传感器等所有模拟电路使用此安静的基地基准。
26	VDD	电源电压。VDD引脚提供电源电压。在PSM0(正常功耗模式)下，应将电源电压维持在3.3 V ± 10%，以保证正常工作。在PSM1(降耗模式)、PSM2(低功耗模式)和PSM3(休眠模式)下，当ADE7868A或ADE7878A采用电池供电时，应将电源电压维持在2.8 V至3.7 V范围内。通过将10 μF电容和一个100 nF陶瓷电容并联将VDD去耦至AGND。ADE7858A和ADE7854A仅支持PSM0和PSM3功耗模式。
27	CLKIN	主时钟。可以通过此逻辑输入提供外部时钟。或者，可以将一个晶体跨接到CLKIN和CLKOUT引脚，为ADE7854A、ADE7858A、ADE7868A或ADE7878A提供时钟源。额定工作性能要求的时钟频率为16.384 MHz。有关选择合适晶振的详细信息，请参见“晶振电路”部分。
28	CLKOUT	晶体谐振器输出。可以将一个晶振跨接到CLKIN和CLKOUT引脚，为ADE7854A、ADE7858A、ADE7868A或ADE7878A提供时钟源。额定工作性能要求的时钟频率为16.384 MHz。有关选择合适晶振的详细信息，请参见“晶振电路”部分。
29, 32	$\overline{\text{IRQ0}}$, $\overline{\text{IRQ1}}$	中断请求输出。这些引脚都是低电平有效逻辑输出。有关触发中断的事件信息，请参见“中断”部分。
33, 34, 35	CF1, CF2, CF3/HCLK	校准HSDC端口的频率逻辑输出/串行时钟输出。CF1、CF2和CF3/HCLK输出可以根据CFMODE寄存器中的CF1SEL[2:0]、CF2SEL[2:0]和CF3SEL[2:0]位来提供功率信息。可在正常工作和校准时使用这些输出。通过写入CF1DEN、CF2DEN和CF3DEN寄存器，可以按比例调整满量程输出频率(参见“功率频率转换”部分)。CF3可以和HCLK多路复用。
36	SCLK/SCL	SPI端口的串行时钟输入/I ² C端口的串行时钟输入。所有串行数据传输均与此时钟同步(参见“串行接口”部分)。SCLK/SCL引脚具有施密特触发输入，可以与光隔离器输出等具有较慢转换时间的时钟源配合使用。
37	MISO/HSD	SPI端口的数据输出/HSDC端口的数据输出。
38	MOSI/SDA	SPI端口的数据输入/I ² C端口的数据输入和输出。
39	$\overline{\text{SS}}$ /HSA	SPI端口的从机选择/HSDC端口有效。
	EP	裸露焊盘。应在裸露焊盘下方的印刷电路板(PCB)上创建一个相似的焊盘，然后将裸露焊盘焊接到PCB上的焊盘，以将其机械强度赋予封装。将这些焊盘连接到AGND和DGND。

典型性能参数

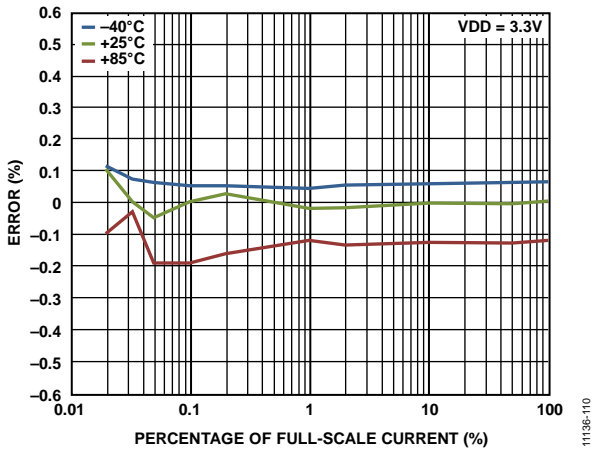


图10. 内部基准电压源和积分器关闭时整个温度范围内总有功率误差的百分比读数(增益 = +1, 功率因数 = 1)与满量程电流百分比的关系

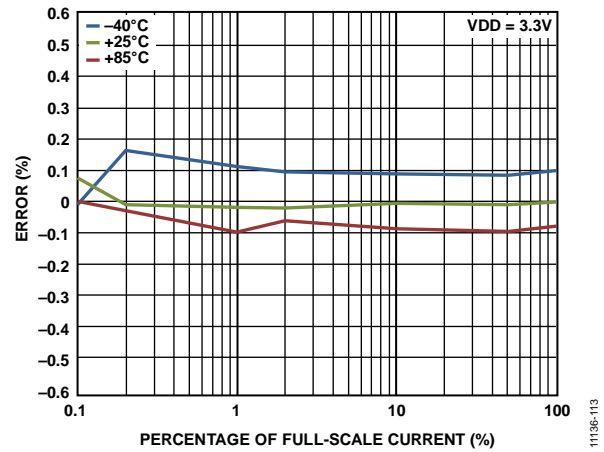


图13. 内部基准电压源和积分器开启时整个温度范围内总有功率误差的百分比读数(增益 = +16, 功率因数 = 1)与满量程电流百分比的关系

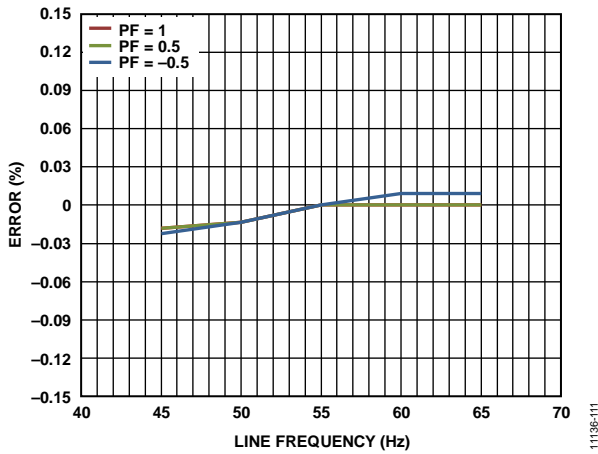


图11. 内部基准电压源和积分器关闭时整个功率因数范围内总有功率误差的百分比读数(增益 = +1)与线路频率的关系

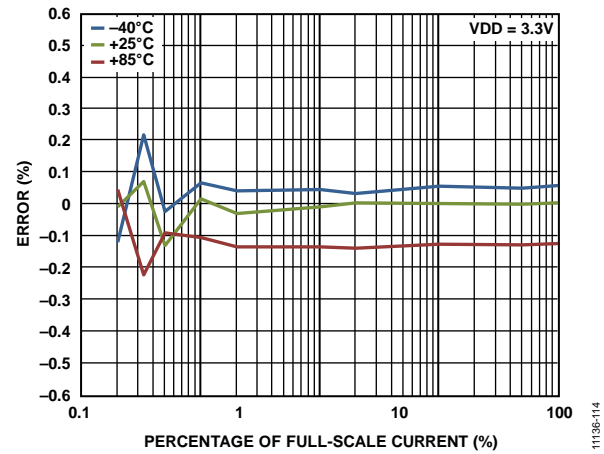


图14. 内部基准电压源和积分器关闭时整个温度范围内总无功功率误差的百分比读数(增益 = +1, 功率因数 = 0)与满量程电流百分比的关系

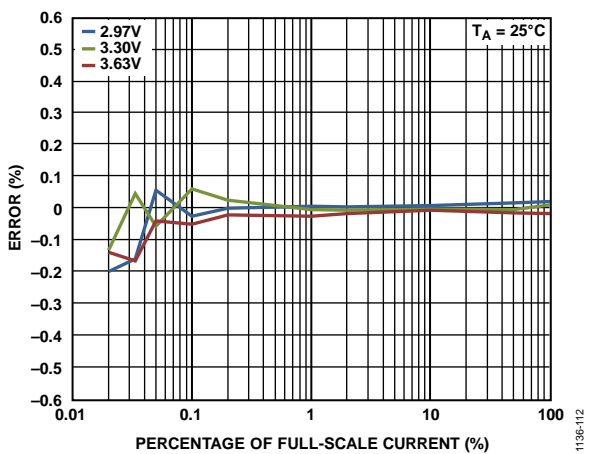


图12. 内部基准电压源和积分器关闭时整个电源范围内总有功率误差的百分比读数(增益 = +1, 功率因数 = 1)与满量程电流百分比的关系

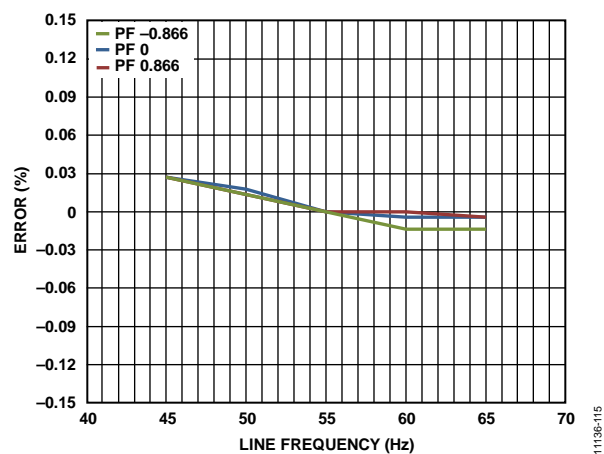


图15. 内部基准电压源和积分器关闭时整个功率因数范围内总无功功率误差的百分比读数(增益 = +1)与线路频率的关系

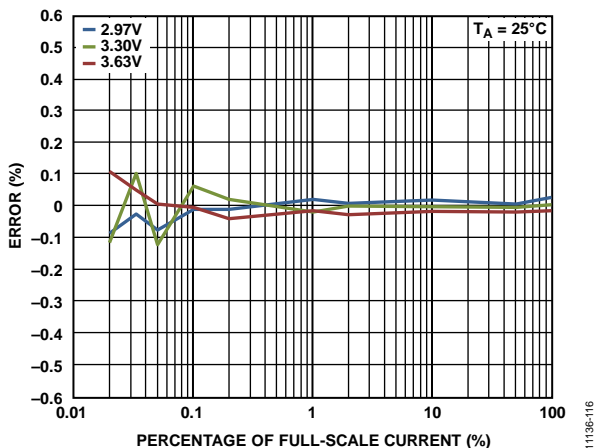


图16. 内部基准电压源和积分器关闭时整个电源范围内总无功功率误差的百分比读数(增益 = +1, 功率因数 = 0)与满量程电流百分比的关系

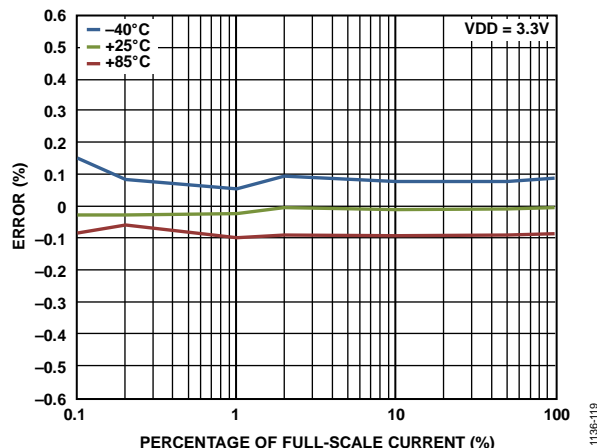


图19. 内部基准电压源和积分器开启时整个温度范围内基波有功功率误差的百分比读数(增益 = +16)与满量程电流百分比的关系

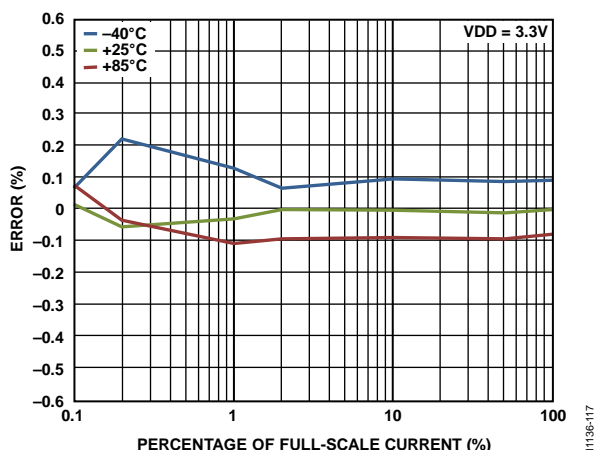


图17. 内部基准电压源和积分器开启时整个温度范围内总无功功率误差的百分比读数(增益 = +16, 功率因数 = 0)与满量程电流百分比的关系

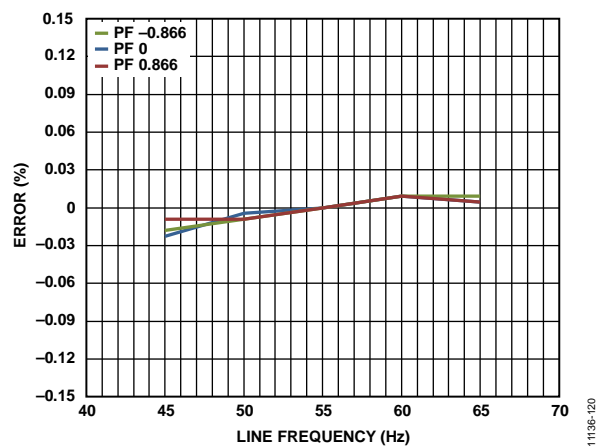


图20. 内部基准电压源和积分器关闭时整个功率因数范围内基波无功功率误差的百分比读数(增益 = +1)与线路频率的关系

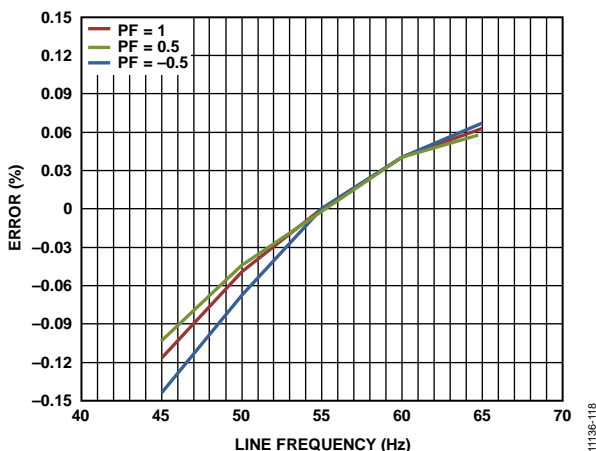


图18. 内部基准电压源和积分器关闭时整个频率范围内基波有功功率误差的百分比读数(增益 = +1)与线路频率的关系

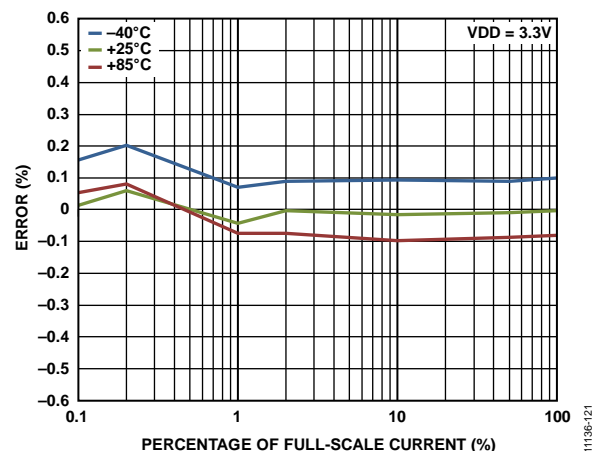


图21. 内部基准电压源和积分器开启时整个温度范围内基波无功功率误差的百分比读数(增益 = +16)与满量程电流百分比的关系

ADE7854A/ADE7858A/ADE7868A/ADE7878A

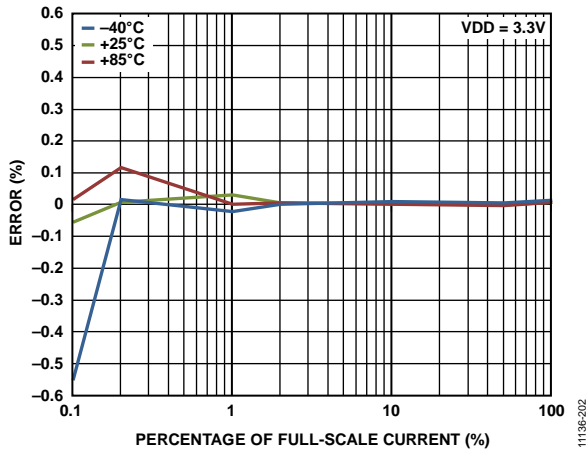


图22. 内部基准电压源和积分器关闭时整个温度范围内 I RMS 误差的百分比读数(增益 = +1, 功率因数 = 1)与满量程电流百分比的关系

测试电路

图23中，PM1和PM0引脚内部拉高至VDD。通过微控制器以编程方式更改引脚值，可选择工作模式(参见“电源管理”部分)。

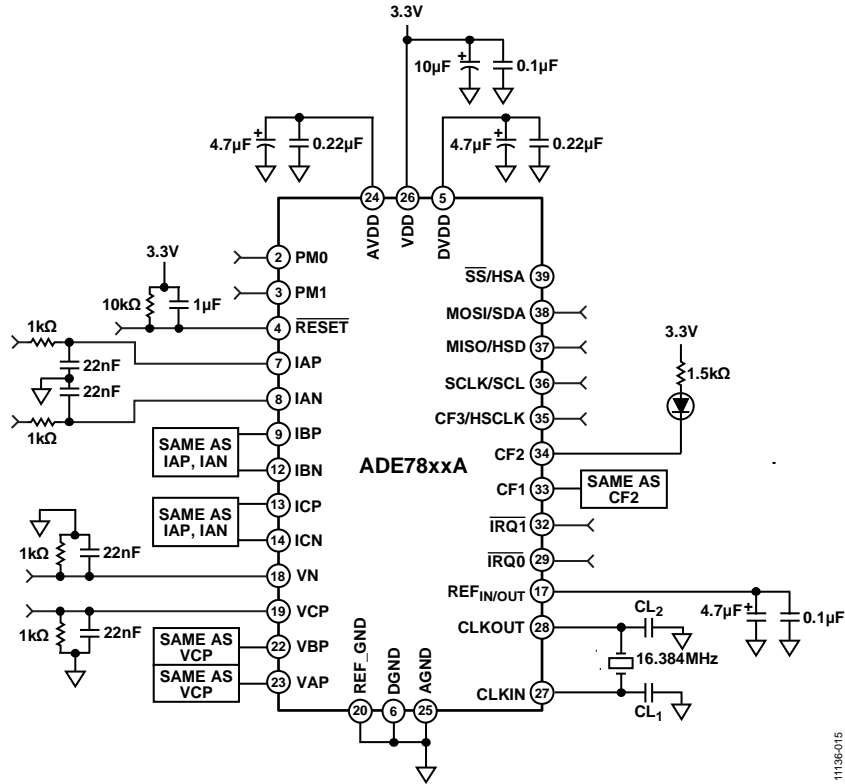


图23. 测试电路

11136-015

术语

测量误差

与ADE7854A/ADE7858A/ADE7868A/ADE7878A的电能测量相关的误差，由以下公式定义：

$$\text{测量误差} = \frac{\text{器件记录的电能} - \text{实际电能}}{\text{实际电能}} \times 100\% \quad (1)$$

其中，器件指的是ADE7854A、ADE7858A、ADE7868A或ADE7878A。

电源抑制(PSR)

PSR衡量电源发生变化时ADE7854A/ADE7858A/ADE7868A/ADE7878A测量误差，以读数百分比形式表示。对于交流PSR测量，首先是获取标称电源(3.3 V)时的读数。接着会在向电源引入交流信号(120 mV rms，两倍于基波频率)时以相同的输入信号电平获取另一个读数。此交流信号所引入的误差以读数的百分比表示。

对于直流PSR测量，首先是获取标称电源(3.3 V)时的读数。然后将电源改变±10%，并在相同输入信号电平下获得第二个读数。所引入的误差以读数百分比形式表示。

ADC失调

ADC失调指与ADC模拟输入相关的直流失调。它意味着当模拟输入连接到AGND时，ADC仍然可以看到直流模拟输入信号。失调的幅度取决于增益和输入范围的选择。高通滤波器(HPF)会在电流和电压通道中消除该失调，因此功率计算仍然不会受到该失调的影响。

增益误差

ADE7854A/ADE7858A/ADE7868A/ADE7878A中ADC的增益误差定义为测得的ADC输出码(减去失调)和理想输出码之间的差值(参见“电流通道ADC”部分和“电压通道ADC”部分)。该偏差表示为理想代码的百分比。

CF抖动

首先连续测量CF1、CF2或CF3/HSCLK引脚上的脉冲周期。接着，通过下式计算四个连续脉冲的最大值、最小值和平均值：

$$\begin{aligned} \text{最大值} &= \text{最大}(\text{周期}_0, \text{周期}_1, \text{周期}_2, \text{周期}_3) \\ \text{最小值} &= \text{最小}(\text{周期}_0, \text{周期}_1, \text{周期}_2, \text{周期}_3) \\ \text{平均值} &= \frac{\text{周期}_0 + \text{周期}_1 + \text{周期}_2 + \text{周期}_3}{4} \end{aligned}$$

然后，通过下式计算CF抖动：

$$CF_{\text{JITTER}} = \frac{\text{最小值} - \text{最大值}}{\text{平均值}} \times 100\% \quad (2)$$

信噪比(SNR)

SNR指实际输入信号的均方根值与2 kHz以下除谐波和直流以外所有其它频谱成分的均方根和之比，输入信号仅包含基波成分。频谱成分在2秒窗口内计算。用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与2 kHz以下(包括谐波但不包括直流)所有其它频谱成分的均方根和之比。输入信号仅包含基波成分。频谱成分在2秒窗口内计算。SINAD值用分贝(dB)表示。

电源管理

ADE7868A/ADE7878A支持四种工作模式，而ADE7854A/ADE7858A支持两种工作模式；工作模式由PM0和PM1引脚的状态决定(参见表9)。

表9. 电源模式

电源模式	PM1引脚	PM0引脚
PSM0正常功耗模式	0	1
PSM1降耗模式 ¹	0	0
PSM2低功耗模式 ¹	1	0
PSM3休眠模式	1	1

¹ 仅适用于ADE7868A和ADE7878A。

PM1和PM0引脚控制ADE7854A/ADE7858A/ADE7868A/ADE7878A的工作情况。这些引脚可方便地连接到外部微处理器输入/输出。PM1和PM0引脚集成内部上拉电阻；因此，ADE7854A/ADE7858A/ADE7868A/ADE7878A默认为休眠模式。有关设置新功耗模式之前和之后的建议操作，请参见表11和表12。

PSM0正常功耗模式(所有器件)

PSM0正常功耗模式下(PSM0模式)，ADE7854A/ADE7858A/ADE7868A/ADE7878A能够执行全部功能。若要进入PSM0模式，需将PM1引脚设为低电平，而PM0引脚设为高电平。若器件处于PSM1、PSM2或PSM3模式，则切换到PSM0模式时所有控制寄存器都会返回默认值，但阈值寄存器LPOILVL(用于PSM2模式)和CONFIG2寄存器除外。这些寄存器保留其编程值。

ADE7854A/ADE7858A/ADE7868A/ADE7878A通过将IRQ1中断引脚驱动至低电平并将STATUS1寄存器中的位15(RSTDONE)设为1，来表示上电过程结束。上电过程中，位15清零；芯片进入PSM0模式时，位15置位为1。写入STATUS1寄存器并将RSTDONE位置1可清零状态位，并使IRQ1引脚返回高电平状态。

RSTDONE中断无法屏蔽，因为中断屏蔽寄存器中的位15(RSTDONE)不起作用。

PSM1降耗模式(仅限ADE7868A和ADE7878A)

PSM1降耗模式(PSM1模式)仅适用于ADE7868A和ADE7878A。在PSM1模式下，ADE7868A/ADE7878A测量三相电流的平均绝对值(mav)，并将结果存储在20位AIMAV、BIMAV和CIMAV寄存器中。在全失压的情况下，并且ADE7868A或ADE7878A的电压采用外部电池供电时，PSM1模式很有用。

PSM1模式下，I²C或SPI串行端口使能，可用于读取AIMAV、BIMAV和CIMAV寄存器。不要读取任何其他寄存器，因为PSM1模式下无法保证那些寄存器值的准确性。同理，ADE7868A/ADE7878A在PSM1模式下也会忽略写操作。在PSM1模式下，不要访问除了AIMAV、BIMAV和CIMAV之外的任何其他寄存器。有关xIMAV寄存器的更多信息，请参见“电流平均绝对值计算—仅限ADE7868A和ADE7878A”部分。

在PSM0模式下，用于测量有效值估计值的电路也处于激活状态；因此，可以在PSM0模式或PSM1模式下完成该电路的校准。请注意，ADE7868A和ADE7878A并未提供任何寄存器来存储或处理校准流程的校正结果。外部微处理器存储这些测量的增益值，并用于PSM1模式下。

PSM1模式中执行的20位平均绝对值测量可以在PSM0中执行。然而，MAV值与仅在PSM0模式中执行、并存储在xIRMS和xVRMS 24位寄存器中的相位电流和电压有效测量值不同。更多信息，请参见“电流平均绝对值计算—仅限ADE7868A和ADE7878A”部分。

配置为PSM0模式时，若ADE7868A/ADE7878A设为PSM1模式，则器件立即开始执行平均绝对值计算。这种情况下，随时都可以访问xIMAV寄存器；但是，如果是在PSM2或PSM3模式下将ADE7878A或ADE7868A置于PSM1模式，则ADE7868A/ADE7878A会通过将IRQ1引脚驱动为低电平来表示平均绝对值计算开始。只有在IRQ1引脚为低电平后，才能访问xIMAV寄存器。

PSM2低功耗模式(仅限ADE7868A和ADE7878A)

PSM2低功耗模式(PSM2模式)仅适用于ADE7868A和ADE7878A。在没有电压输入且ADE7868A/ADE7878A采用外部电池供电时，PSM2模式可以降低监控电流所需的功耗。

PSM2模式可以通过监控所有相位电流，并与可编程阈值进行比较，来检测是否存在零线断线窃电情况。如果任何相位电流在可编程周期内上升至可编程阈值以上，则器件认为发生了窃电攻击事件。如果所有电流都保持在可编程阈值之下，则未发生窃电攻击，但发生了简单停电事件。

出现零线断线窃电情况时，外部微处理器将ADE7868A/ADE7878A置于PSM1模式，测量相位电流的平均绝对值，然后根据这些数值和标称电压来求电能。此模式下I²C或SPI端口不可用。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

当PGA1增益为1或2时，最佳选择是在PSM2模式下使用ADE7868A/ADE7878A。PGA1表示电流通道数据路径中的增益。当PGA1增益为4、8或16时，不可将ADE7868A或ADE7878A用于PSM2模式下。

提供两种PSM2工作模式：PSM2中断模式和PSM2仅IRQ1模式。PSM2中断模式是默认模式。如果可以使用外部定时器，则应采用PSM2仅IRQ1模式。

PSM2电平阈值比较基于峰值检测方法。峰值检测电路根据正端电流通道输入 I_{AP} 、 I_{BP} 和 I_{CP} 进行比较(见图24)。若差分输入施加于电流通道，则图24显示每个电流输入端(I_{XP} 和 I_{XN})的差分反相信号，以及净差分电流 $I_{XP} - I_{XN}$ 。

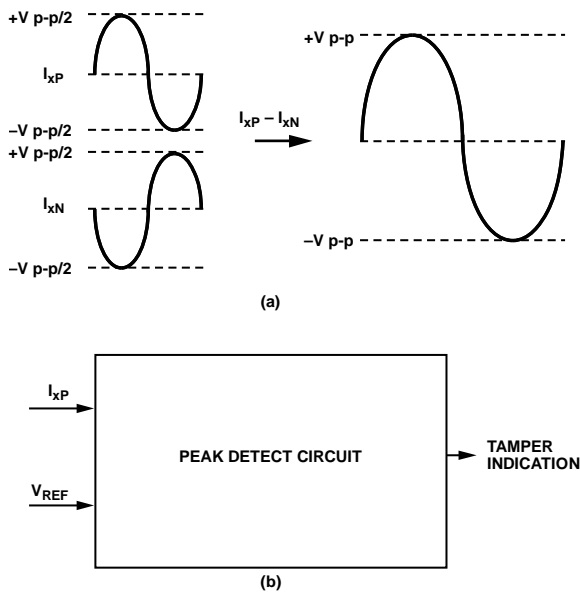


图24. PSM2低功耗模式峰值检测

PSM2中断模式(默认)

PSM2中断模式下，ADE7868A/ADE7878A在可编程周期时间内将所有相位电流与可编程阈值进行比较。在此时间内，如果某个相位电流超过阈值，则计数器递增。测量周期结束时，如果单个相位计数器大于等于LPLINE[4:0] + 1，则拉低IRQ1引脚。如果在测量周期结束时，所有相位计数器均在LPLINE[4:0] + 1以下，则拉低IRQ0引脚。

这样，可以通过IRQ0和IRQ1引脚组合来确定测量结果，如下所示：

- 拉低IRQ0：未检测到窃电。测量周期结束后，如果拉低IRQ0引脚，则表示所有相位电流均低于定义阈值，因此没有电流流过系统。这种情况下，器件未检测到窃电条件。外部微处理器将ADE7868A/ADE7878A设为PSM3休眠模式。

- 拉低IRQ1：检测到零线断线窃电情况。在测量周期结束时拉低IRQ1引脚，则表示至少一路电流输入高于设定的阈值，而且虽然ADE7868A/ADE7878A引脚上并没有电压，但有电流流过系统。这种情况表示存在零线断线窃电。此时，外部微处理器将ADE7868A/ADE7878A置于PSM1模式，测量相位电流的平均绝对值，然后根据这些数值和标称电压来求电能。

设置测量周期

测量周期由LPOILVL寄存器(地址0xEC00)中的位[7:3](LPLINE[4:0])定义。测量周期与线路频率无关，定义为：

$$\text{测量周期(秒)} = 0.02 \times (LPLINE[4:0] + 10)$$

设置阈值

阈值由LPOILVL寄存器中的位[2:0](LPOIL[2:0])定义(见表10)。阈值电平适用于PGA置1时的信号电平。当LPOIL[2:0] = 111时，阈值的绝对值变化范围通常为±30%之间。

表10. LPOILVL寄存器

位	位名称	数值	说明
[2:0]	LPOIL[2:0]	000	输入信号电平对应下列阈值： 71 mV rms
		001	保留
		010	保留
		011	1 mV rms
		100	保留
		101	保留
		110	保留
		111	0.471 mV rms
[7:3]	LPLINE[4:0]		默认值为00000。 PSM2中断模式下的测量周期为 $0.02 \times (LPLINE[4:0] + 10)$ 秒 PSM2仅IRQ1模式下的测量周期为 $0.02 \times (LPLINE[4:0] + 1)$ 秒

图25显示围绕每一个阈值电平的典型变化；图25中的灰色区域表示功能可能无法获得预期一致结果的位置。灰色范围外的电流电平有助于检测窃电情形。例如，将阈值设为0.471 mV rms可针对高于0.707 mV rms和低于0.353 mV rms的电流电平提供可靠的窃电检测结果。

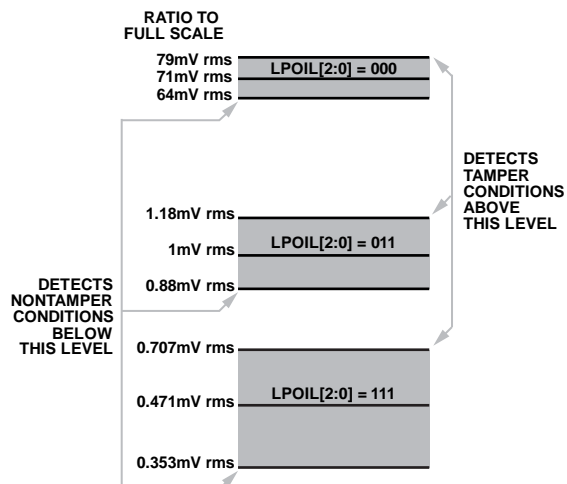


图25. 围绕每一个阈值设置的变化

图26显示ADE7868A/ADE7878A PSM2模式的特性(此时LPLINE[4:0] = 2)。50 Hz时，测试周期为12个周期(240 ms)；相位A电流五次上升并超过LPOIL[2:0]阈值。由于计数器高于LPLINE[4:0] + 1的内部计数器要求，测试周期结束时拉低 $\overline{\text{IRQ1}}$ 引脚。该结果暗示发生了零线断线窃电。

PSM2仅 $\overline{\text{IRQ1}}$ 模式

PSM2 ADE7868A或ADE7878A。仅 $\overline{\text{IRQ1}}$ 模式仅使用 $\overline{\text{IRQ1}}$ 引脚表示窃电事件。如果未发生窃电事件，则ADE7868A和ADE7878A不提供信号。

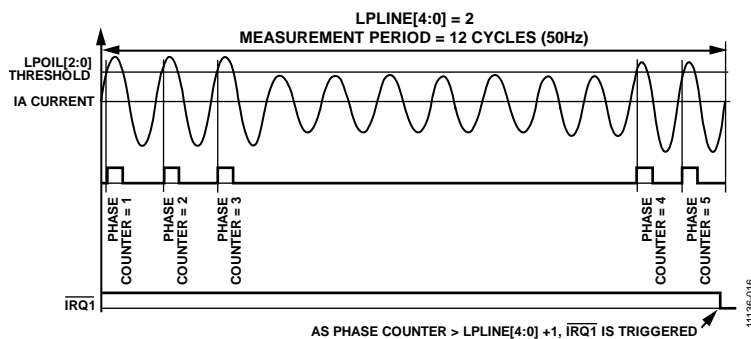


图26. PSM2中断模式触发 $\overline{\text{IRQ1}}$ 引脚，用于LPLINE[4:0] = 2(50 Hz系统)

若要禁用 $\overline{\text{IRQ0}}$ 引脚从而使能PSM2仅 $\overline{\text{IRQ1}}$ 模式，可将CONFIG2寄存器(地址0xEC01)中的位2 (IRQ0_DIS)置1。选择此模式可定义建议测量周期，公式如下：

$$\text{建议测量周期(秒)} = 0.02 \times (\text{LPLINE}[4:0] + 1)$$

由于测量周期中需要一次等待，检查 $\overline{\text{IRQ1}}$ 中断状态前可使用一个外部定时器。测量周期可长于建议周期，因为在PSM2模式下，内部相位计数器会在整个时间段内连续递增。切换至PSM3模式，然后返回PSM2模式会导致器件进入PSM2中断模式(默认PSM2模式)。

PSM3休眠模式(所有器件)

PSM3休眠模式适用于所有器件：ADE7854A、ADE7858A、ADE7868A和ADE7878A。在休眠模式下，器件的大部分内部电路关断，功耗处于最低水平。配置器件用于休眠模式时，可将RESET、SCLK/SCL、MOSI/SDA和SS/HAS引脚设为高电平。

在PSM3休眠模式下，PC、HSDC和SPI端口不工作。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表11. 功耗模式及相关特性

功耗模式	LPOILVL和CONFIG2寄存器	所有其他寄存器 ¹	I ² C/SPI端口	功能
PSM0 硬件复位后 软件复位后	设为默认值 不变化	设为默认值 设为默认值	I ² C端口使能 如果之前执行了锁定程序，则活跃串行端口不变	所有电路均处于活动状态，且DSP处于空闲模式 所有电路均处于活动状态，且DSP处于空闲模式
PSM1(仅限ADE7868A和ADE7878A)	PSM0模式期间设定的值保持不变	不可用	I ² C或SPI端口使能，但功能有限	计算电流平均绝对值并将结果存储在AIMAV、BIMAV和CIMAV寄存器中
PSM2(仅限ADE7868A和ADE7878A)	PSM0模式期间设定的值保持不变	不可用	串行端口禁用	将相位电流与LPOILVL寄存器中的阈值设置进行比较，然后相应触发IRQ0或IRQ1引脚
PSM3	PSM0模式期间设定的值保持不变	不可用	串行端口禁用	内部电路和关断

¹ 除LPOILVL和CONFIG2寄存器之外的所有寄存器的设置。

表12. 更换功耗模式时的建议操作

初始功耗模式	设定下一功耗模式之前的建议操作	下一功耗模式			
		PSM0	PSM1	PSM2	PSM3
PSM0	通过将RUN寄存器设为0x0000来停止DSP。 通过将CONFIG寄存器中的位6 (HSDCEN)清0来禁用HSDC。 通过将MASK0和MASK1设为0x0来屏蔽中断。 擦除STATUS0和STATUS1寄存器中的中断状态标志。		立刻开始计算电流平均绝对值(MAV)。 可立刻访问xIMAV寄存器。	等待直到拉低IRQ0或IRQ1引脚。	无需任何操作。
PSM1 (仅限ADE7868A和ADE7878A)	无需任何操作。	等到拉低IRQ1引脚为止。 轮询STATUS1寄存器，直到位15 (RSTDONE)置1为止。		等待直到拉低IRQ0或IRQ1引脚。	无需任何操作。
PSM2 (仅限ADE7868A和ADE7878A)	无需任何操作。	等到拉低IRQ1引脚为止。 轮询STATUS1寄存器，直到位15 (RSTDONE)置1为止。	等到拉低IRQ1引脚为止。 拉低IRQ1引脚后开始计算电流平均绝对值。 拉低IRQ1引脚后即可访问xIMAV寄存器。		无需任何操作。
PSM3	无需任何操作。	等到拉低IRQ1引脚为止。 轮询STATUS1寄存器，直到位15 (RSTDONE)置1为止。	等到拉低IRQ1引脚为止。 拉低IRQ1引脚后开始计算电流平均绝对值。 拉低IRQ1引脚后即可访问xIMAV寄存器。	等待直到拉低IRQ0或IRQ1引脚。	

上电程序

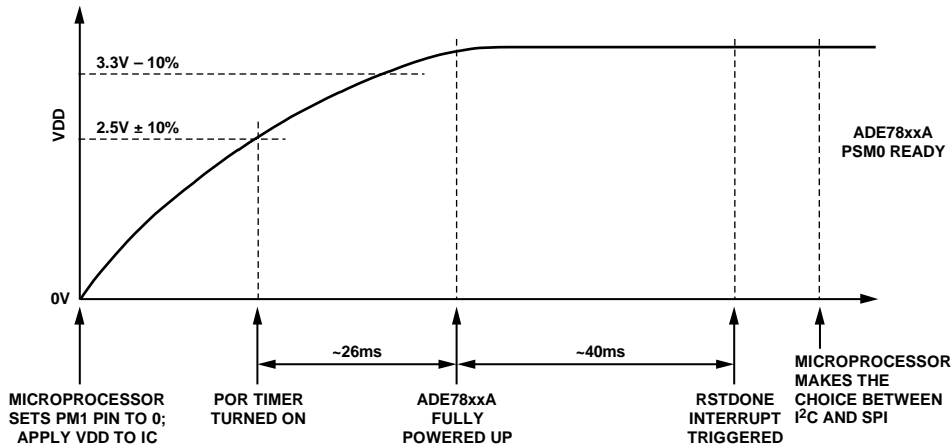


图27. 上电程序

ADE7854A/ADE7858A/ADE7868A/ADE7878A内置一个片内电源监测器，可以监测电源(VDD)。上电时，器件处于非活动状态，直到VDD达到 $2.5\text{V} \pm 10\%$ 。当VDD超过此阈值时，电源监控器会继续使器件保持在此种非活动状态长达26 ms，从而让VDD达到建议的最小电源电压 $3.3\text{V} - 10\%$ 。

PM0和PM1引脚具有内部上拉电阻，但有必要在对芯片上电前，通过微控制器或通过PM1引脚外部接地而将PM1引脚设为逻辑0。由于内部上拉电阻，只要保持高电平，PM0引脚就可保持开路状态。这样可以确保ADE7854A/ADE7858A/ADE7868A/ADE7878A始终上电至PSM0(正常)模式。从芯片完全上电到所有功能使能所需的时间约为40 ms(见图27)。在整个上电过程中，有必要确保RESET引脚保持高电平。

如果只需要使用PSM0功耗模式，则可通过外部将PM1引脚接地。当ADE7854A/ADE7858A/ADE7868A/ADE7878A进入PSM0模式时，活跃串行端口是I²C端口。若要使用SPI端口，可切换SS/HAS引脚三次，从高电平切换到低电平。

若要锁定I²C为活跃串行端口，可将CONFIG2寄存器的位1(I2C_LOCK)置1。从该时刻开始，器件会忽略SS/HAS引脚的杂散切换，因而也就无法切换为使用SPI端口。

如果SPI为活跃串行端口，只要对CONFIG2寄存器执行任意写操作即可锁定该端口，之后将无法切换为使用I²C端口。若要使用I²C端口，则必须关断ADE7854A/ADE7858A/ADE7868A/ADE7878A，或者必须拉低RESET引脚以复位器件。串行端口锁定后，当器件从某个PSM_x功耗模式进入另一个功耗模式时，便会保留串行端口选择。

进入PSM0模式之后，ADE7854A/ADE7858A/ADE7868A/ADE7878A中的所有寄存器都会立即设置为各自的默认值，包括CONFIG2和LPOILVL寄存器。

ADE7854A/ADE7858A/ADE7868A/ADE7878A将 $\overline{\text{IRQ1}}$ 中断引脚拉低并将STATUS1寄存器中的位15(RSTDONE)置1，来表示转换周期结束。转换周期期间，该位清0；当转换结束时，置位为1。写入STATUS1寄存器并将RSTDONE位置1可清零状态位，并使 $\overline{\text{IRQ1}}$ 引脚返回高电平状态。由于RSTDONE是不可屏蔽中断，因此必须取消设置STATUS1寄存器的位15(RSTDONE)，以便使 $\overline{\text{IRQ1}}$ 引脚回到高电平。等到 $\overline{\text{IRQ1}}$ 引脚变为低电平之后，再访问STATUS1寄存器来测试RSTDONE位的状态。此时，作为一种良好的编程实践，可通过将1写入相应位来取消STATUS1和STATUS0寄存器中的所有其他状态标志。

DSP最初处于空闲模式，因此它并未执行任何指令。此刻可初始化ADE7854A、ADE7858A、ADE7868A或ADE7878A中的所有寄存器。有关初始化所有寄存器及启动计量的适当程序，请参见“数字信号处理器”部分。

如果电源电压VDD降至 $2.5\text{V} \pm 10\%$ 以下，ADE7854A/ADE7858A/ADE7868A/ADE7878A即会进入非活动状态，这意味着器件不会执行任何测量或计算。

硬件复位

ADE7854A、ADE7858A、ADE7868A和ADE7878A集成RESET引脚。当ADE7854A、ADE7858A、ADE7868A或ADE7878A处于PSM0模式且RESET引脚设为低电平时，器件就会进入硬件复位状态。器件必须处于PSM0模式才能执行硬件复位。在PSM1、PSM2或PSM3模式下，将RESET引脚设为低电平对器件不起作用。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

当ADE7854A、ADE7858A、ADE7868A或ADE7878A处于PSM0模式且RESET引脚从高电平切换至低电平并在至少10 μs后回到高电平，那么会将所有寄存器设为其默认值，其中包括CONFIG2和LPOILVL寄存器。

器件将IRQ1中断引脚拉低并将STATUS1寄存器中的位15 (RSTDONE)置1，来表示转换周期结束。转换周期期间，该位清0；当转换结束时，复位为1。写入STATUS1寄存器并将RSTDONE位置1可清零状态位，并使IRQ1引脚返回高电平状态。

硬件RESET之后，DSP处于空闲模式，因此它并未执行任何指令。

由于I²C端口是ADE7854A/ADE7858A/ADE7868A/ADE7878A的默认串行端口，因此会在复位之后变为活跃端口。如果外部微处理器要使用SPI端口，则必须在RESET引脚切换回高电平之后立刻再次执行使能SPI端口的程序(详情参见“串行接口选择”部分)。

硬件复位后，初始化ADE7854A/ADE7858A/ADE7868A/ADE7878A的全部寄存器，使能数据存储器RAM保护，然后将0x0001写入RUN寄存器以启动DSP。有关数据存储器RAM保护和运行寄存器的更多信息，参见“数字信号处理器”部分。

软件复位

CONFIG寄存器的位7 (SWRST)管理PSM0模式下的软件复位功能。此位默认值为0。将位7置1可让ADE7854A/ADE7858A/ADE7868A/ADE7878A进入软件复位状态。在此状态下，除CONFIG2和LPOILVL外的所有内部寄存器复位至各自默认值。如果执行了锁定程序，则选中的串行端口、I²C或SPI保持不变(参见“串行接口选择”部分)。

软件复位结束时，器件会将CONFIG寄存器的位7 (SWRST)清0，将IRQ1中断引脚设为低电平，并将STATUS1寄存器的位15 (RSTDONE)置1。转换周期期间，RSTDONE位清0；转换结束时，该位复位为1。写入STATUS1寄存器并将RSTDONE位置1可清零状态位，并使IRQ1引脚复位至高电平状态。

软件复位后，DSP处于空闲模式，因此它并未执行任何指令。若要重启DSP，可执行下列步骤：

1. 初始化所有ADE7854A/ADE7858A/ADE7868A/ADE7878A寄存器。
2. 使能数据存储器RAM保护。
3. 将0x0001写入RUN寄存器，启动DSP。有关数据存储器RAM保护和运行寄存器的更多信息，参见“数字信号处理器”部分。

软件复位功能不适用于PSM1、PSM2或PSM3模式。

工作原理

模拟输入

ADE7868A/ADE7878A具有七个模拟输入，这些输入构成电流和电压通道。ADE7854A/ADE7858A具有六个模拟输入，但不提供零线电流输入通道。

电流通道包括四对全差分电压输入：IAP和IAN、IBP和IBN、ICP和ICN，以及INP和INN。允许的最大差分输入信号电压为±0.5 V(峰值)。此外，每个IxP/IxN相对于AGND的最大信号电平为±0.5 V(峰值)。这些输入上容许的最大共模信号为±25 mV。图28显示了电流通道输入电压范围及其与最大共模电压的关系。

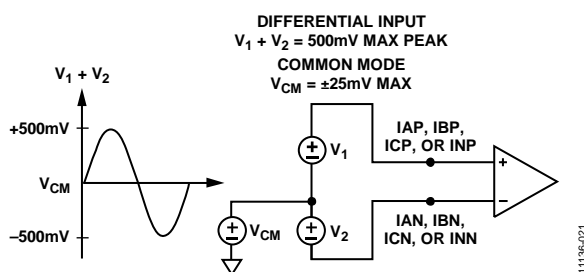


图28. 最大输入电平，电流通道(增益 = +1)

所有输入均具有一个可编程增益放大器(PGA)，可选增益为1、2、4、8或16。IAx、IBx和ICx输入的增益是由GAIN寄存器的位[2:0] (PGA1[2:0])来设置的。仅限于ADE7868A和ADE7878A，Inx通道输入的增益是由GAIN寄存器的位[5:3] (PGA2[2:0])来设置的；因此，可以选用与IAx、IBx或ICx输入不同的增益。有关增益寄存器的信息，请参见表41。三个电压通道采用单端电压输入方式：VAP、VBP和VCP。这些单端输入端相对于VN的最大输入电压为±0.5 V。此外，VxP和VN模拟输入相对于AGND的最大信号电平为±0.5 V。这些输入上容许的最大共模信号为±25 mV。有关电压通道输入及其与最大共模电压的关系，参见图29。

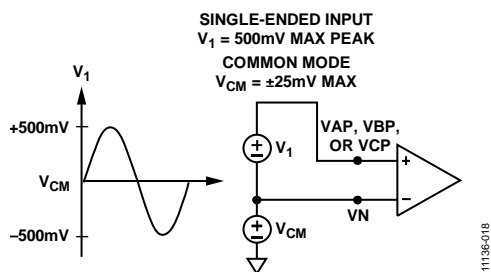
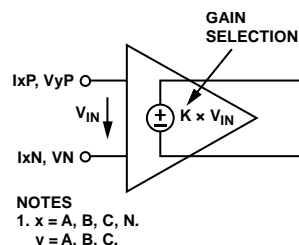


图29. 最大输入电平，电压通道(增益 = +1)

所有输入均具有一个可编程增益，可选增益为1、2、4、8或16。若要设置该增益，请使用GAIN寄存器中的位[8:6] (PGA3[2:0])(参见表41)。

图30显示了电流和电压通道中GAIN寄存器的增益选择工作原理。



NOTES
1. x = A, B, C, N.
y = A, B, C.

图30. 电流和电压通道中的PGA

模数转换

ADE7868A/ADE7878A具有七个Σ-Δ型模数转换器(ADC)，而ADE7854A/ADE7858A具有六个Σ-Δ型ADC。

- 在PSM0模式下，所有ADC都处于活动状态。
- 在PSM1模式下，只有用于测量A相、B相和C相电流的ADC处于活动状态。用于测量零线电流和A、B及C相电压的ADC则处于关闭状态。
- PSM2和PSM3模式下会关断ADC，以将功耗降至最低。

为简明起见，图31显示的是一阶Σ-Δ型ADC框图。该转换器由Σ-Δ型调制器和数字低通滤波器组成。

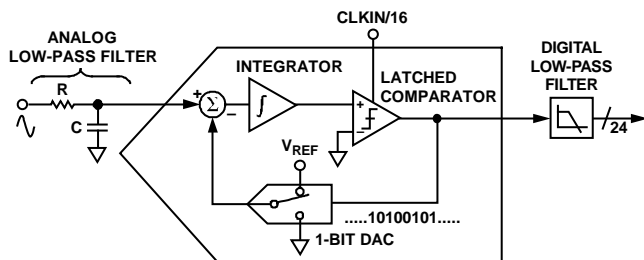


图31. 一阶Σ-Δ型ADC

Σ-Δ型调制器以采样时钟决定的速率将输入信号转换为连续的1和0串行流。在ADE7854A/ADE7858A/ADE7868A/ADE7878A中，采样时钟等于1.024 MHz (CLKIN/16)。

反馈环路中的1位DAC由串行数据流驱动。DAC输出从输入信号中减除。如果环路增益足够高，DAC输出的平均值(以及相应的位流)就会接近输入信号电平的平均值。对于任意给定输入值，一个采样间隔内的1位ADC的输出数据几乎毫无意义。只有对大量样本求平均值，才可以获得有意义的结果。该均值操作在ADC的第二部分——数字低通滤波器中执行。通过求取调制器输出的大量位的平均值，低通滤波器产生与输入信号电平成比例的24位数据字。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

Σ - Δ 型ADC利用两种方法通过1位转换技术实现高分辨率。第一种方法就是过采样。过采样意味着信号的采样速率(频率)比目标带宽高出许多倍。例如, ADE7854A/ADE7858A/ADE7868A/ADE7878A中的采样速率为1.024 MHz, 而目标带宽为40 Hz至2 kHz。

过采样具有将量化噪声(采样引起的噪声)散布于更宽带宽的效果。通过将噪声更加稀疏地分散到更宽的带宽上, 目标频段内的量化噪声会有所降低, 如图32所示。不过, 仅采用过采样技术并不足以改善目标频段内的信噪比(SNR)。例如, 仅仅为了让SNR增加6 dB(1位), 过采样系数就需要达到4。为了将过采样率控制在合理范围内, 就需要对量化噪声进行整形, 从而使得大多数噪声位于较高频率中。

在 Σ - Δ 型调制器中, 噪声是通过积分器进行整形的, 该积分器对量化噪声具有高通响应。这即是用于实现高分辨率的第二种方法。通过这种方法, 使得大多数噪声都位于较高频率中, 进而可以通过数字低通滤波器移除。噪声整形如图32所示。

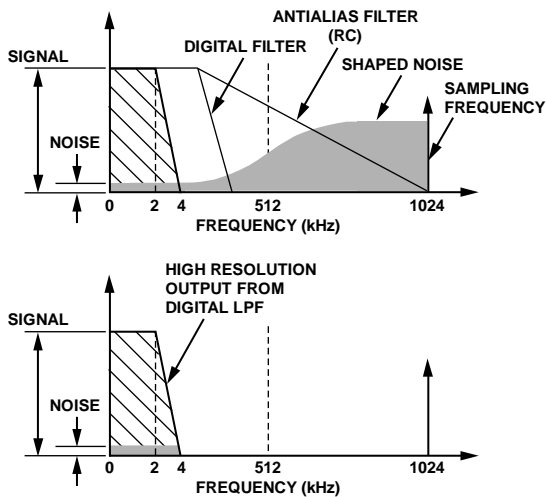


图32. 模拟调制器中通过过采样和噪声整形实现降噪

抗混叠滤波器

图31显示了ADC输入端上的模拟低通滤波器(RC)。该滤波器位于ADE7854A/ADE7858A/ADE7868A/ADE7878A的外部, 其作用是防止出现混叠。混叠是所有采样系统中都存在的一种缺陷, 如图33所示。混叠是指ADC输入信号中的频率成分(高于ADC采样速率的一半)出现在频率低于采样速率一半的采样信号中。高于采样频率(也称为奈奎斯特频率, 即512 kHz)一半的频率成分被镜像或折回到512 kHz以下。所有架构的ADC都会出现这种情况。在给出的示例中, 只有采样频率(即1.024 MHz)附近的频率移动到目标计

量频段(即40 Hz至2 kHz)中。为了衰减高频(接近1.024 MHz)噪声并防止目标频段出现失真, 必须引入低通滤波器(LPF)。

对于传统电流传感器, 可使用一个转折频率为5 kHz的RC滤波器, 从而在采样频率为1.024 MHz时获得足够高的衰减。该滤波器的衰减性能为20 dB/十倍频程, 通常足以消除传统电流传感器的混叠效应。不过, 罗氏线圈等di/dt传感器具有20 dB/十倍频程的增益。这会消除LPF产生的20 dB/十倍频程的衰减作用。因此, 使用di/dt传感器时, 须注意抵消20 dB/十倍频程的增益。一种简单的方法是级联一个额外的RC滤波器, 从而产生-40 dB/十倍频程的衰减。

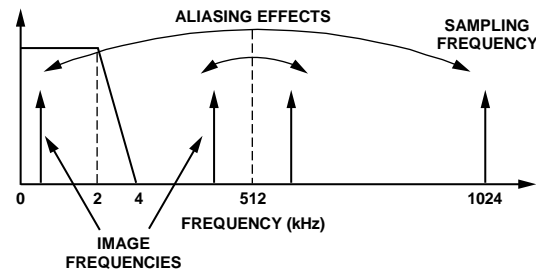


图33. 混叠效应

ADC传递函数

ADE7854A/ADE7858A/ADE7868A/ADE7878A中的所有ADC都可以针对相同的输入信号电平产生相同的24位有符号输出码。当输入为满量程输入信号0.5 V且内部基准电压为1.2 V时, ADC输出码的标称值为5,928,256 (0x5A7540)。ADC的输出码范围为0x800000 (-8,388,608)至0x7FFFFF (+8,388,607); 这相当于输入信号电平为 ± 0.707 V。不过, 为了获得额定性能, 请勿超过 ± 0.5 V(峰值)的标称范围; 只有当输入信号低于 ± 0.5 V(峰值)时, 才能够保证ADC性能。

电流通道ADC

图35显示IA电流通道的ADC和信号处理路径。IB和IC电流通道也是如此。ADC输出为带符号的24位二进制补码数字, 输出速率为8 kSPS。采用 ± 0.5 V(峰值)的额定满量程模拟输入信号时, ADC产生最大输出码值; ADC输出摆幅为-5,928,256 (0xA58AC0)和+5,928,256 (0x5A7540)。图35显示了施加于差分输入端(IAP和IAN)的满量程电压信号。IN电流通道相当于三相系统的零线电流(仅适用于ADE7868A和ADE7878A)。如果不存在零线, 则将此输入端连接到AGND。零线电流的数据路径与相电流的路径类似(如图36所示)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

电流波形增益寄存器

各相和零线电流的信号路径中都具有一个乘法器。通过向这些24位带符号的电流波形增益寄存器(AIGAIN、BIGAIN、CIGAIN和NIGAIN)中写入相应的二进制补码数，可以在±100%范围内更改电流波形。例如，将0x400000写入xIGAIN寄存器可以将ADC输出调高50%。若要输入调低50%，则要向这些寄存器中写入0xC00000。公式3通过数学方式描述了电流波形增益寄存器的工作方式。

$$\text{电流波形} = \text{ADC输出} \times \left(1 + \frac{\text{流增益寄存器内容}}{2^{23}} \right) \quad (3)$$

当AIGAIN、BIGAIN、CIGAIN或NIGAIN寄存器的内容发生变化时，所有基于电流的计算都会受到影响，也就是

说，这会影响对应相位的有功/无功/视在功率和电流均方根计算。此外，波形样本也会相应地调整。

请注意，ADE7854A、ADE7858A、ADE7868A和ADE7878A的串行端口采用32、16或8位字格式，而DSP采用28位字格式。24位AIGAIN、BIGAIN、CIGAIN和NIGAIN寄存器是作为32位寄存器来访问的，其中四个最高有效位(MSB)以0填充，并通过符号扩展至28位(参见图34)。

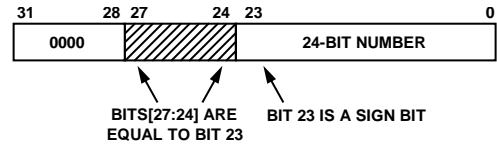


图34. 24位xIGAIN寄存器以32位控制字的形式传输

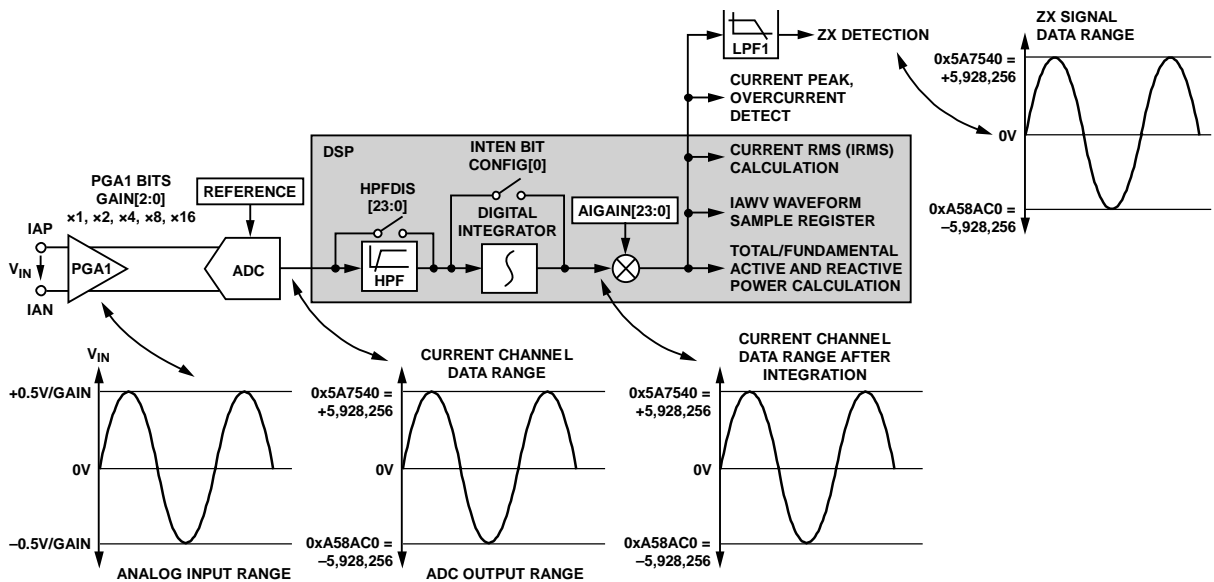


图35. 相位电流信号路径

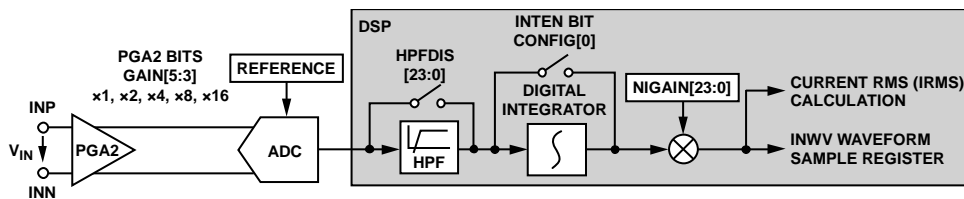


图36. 零线电流信号路径(仅限ADE7868A和ADE7878A)

ADE7854A/ADE7858A/ADE7868A/ADE7878A

电流通道高通滤波器

ADC输出可能包含直流失调。这一失调可导致功率和均方根计算出现误差。相电流、零线电流和相位电压的信号路径中放置了高通滤波器(HPF)。使能后, HPF会消除电流通道上的所有直流失调。所有这些滤波器均在DSP中实现, 并且默认情况下会全部使能: 24位HPFDIS寄存器会被清除至0x000000。而通过将HPFDIS设为任意非零值, 即可禁用所有这些滤波器。

如“电流波形增益寄存器”部分中所述, ADE7854A、ADE7858A、ADE7868A和ADE7878A的串行端口采用32、16或8位字格式。HPFDIS寄存器是作为32位寄存器来访问的, 其中八个MSB以0填充(参见图37)。

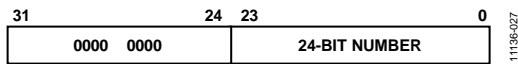


图37. 24位HPFDIS寄存器以32位字的形式传输

电流通道采样

器件以8 kSPS的速率从HPF的输出端获取电流通道的波形并将其存储在24位带符号寄存器IAWV、IBWV、ICWV和INWV(仅限ADE7868A和ADE7878A)中。在此期间, 所有功率和有效值计算会不间断进行。当可以通过I²C或SPI串行端口访问IAWV、IBWV、ICWV和INWV寄存器时, STATUS0寄存器的位17(DREADY)置1。通过将MASK0寄存器的位17(DREADY)置1, 可以在置位DREADY标志时触发中断请求。有关DREADY位的更多信息, 请参见“数字信号处理器”部分。

如“电流波形增益寄存器”部分中所述, ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式。从器件访问IAWV、IBWV、ICWV和INWV 24位带符号寄存器(INWV仅适用于ADE7868A/ADE7878A)时, 这些寄存器会在传输时通过符号扩展至32位(参见图38)。

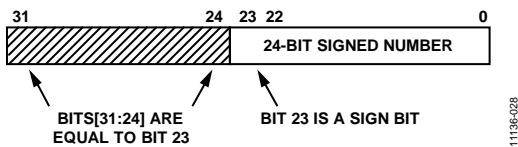


图38. 24位IxWV寄存器以32位带符号控制字的形式传输

ADE7854A/ADE7858A/ADE7868A/ADE7878A具有一个专门设计的高速数据采集(HSDC)端口, 可以快速访问waveform sample寄存器。更多信息请参阅“HSDC接口”部分。

di/dt电流传感器和数字积分器

di/dt传感器检测交流电流的感应磁场变化。图39显示了di/dt电流传感器的工作原理。

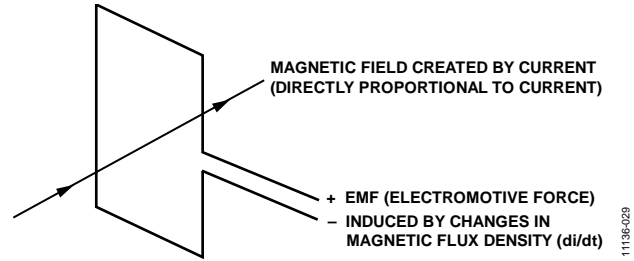


图39. di/dt电流传感器的工作原理

电流感生磁场的磁通密度与电流的幅度成正比。当穿过导线环路的磁通密度发生变化时, 环路两端之间即会产生电动势(EMF)。EMF是一种与电流di/dt成正比的电压信号。带电导线和di/dt传感器之间的互感情况决定了di/dt电流传感器的电压输出。

di/dt传感器用作电源测量之前需经过电流信号的滤波处理。各相和零线电流数据路径上均内置一个数字积分器, 用于恢复来自di/dt传感器的电流信号。ADE7854A/ADE7858A/ADE7868A/ADE7878A上电时和复位后, 默认禁用数字积分器。通过将CONFIG寄存器的位0(INTEN)置1, 可以开启积分器。图40和图41显示了数字积分器的幅度和相位响应。

请注意, 积分器具有-20 dB/十倍频程的衰减和大约-90°的相移。与di/dt传感器结合使用时, 所产生的幅度和相位响应在目标频段上应该具有平坦增益。不过, di/dt传感器具有20 dB/十倍频程的增益, 并会产生相当多的高频噪声。因此, 至少需要二阶抗混叠滤波器, 以免ADC采样时目标频段再次出现噪声混叠(参见“抗混叠滤波器”部分)。

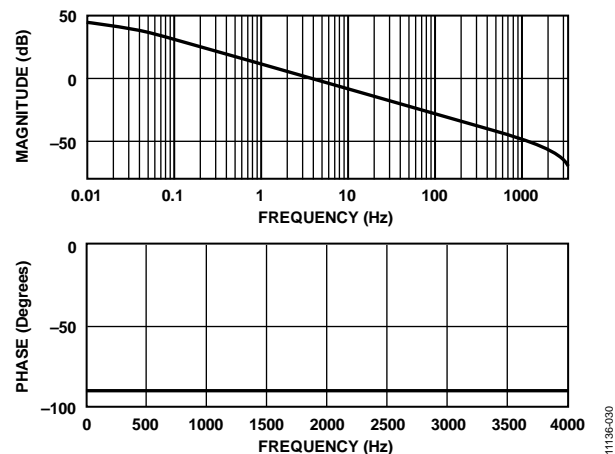


图40. 数字积分器的组合增益和相位响应

数字积分器算法采用DICOEFF 24位带符号寄存器。上电时或复位之后，其值为0x000000。开启积分器之前，有必要将该寄存器初始化至0xFFFF8000。关闭该积分器后，便不再使用DICOEFF，其值保持在0x000000。

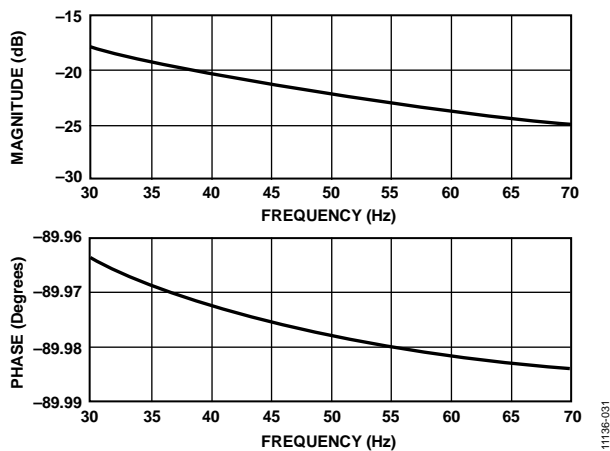


图41. 数字积分器的组合增益和相位响应(40 Hz至70 Hz)

如“电流波形增益寄存器”部分中所述，该器件的串行端口采用32、16或8位数据格式。与图34中的寄存器类似，24位带符号寄存器DICOEFF是作为32位寄存器来访问的，其中四个MSB以0填充；因此，24位字通过符号扩展至28位，即实际上是以类似0xFFFF8000的形式传输的。

当数字积分器关闭时，ADE7854A/ADE7858A/ADE7868A/ADE7878A可以直接与电流变压器(CT)等传统电流传感器配合使用。

电压通道ADC

图42显示了VA电压通道中的ADC和信号处理链。VB和VC电压通道都具有类似的处理链。ADC输出为带符号的24位二进制补码字，输出速率为8 kSPS。采用±0.5 V(峰值)的额定满量程模拟输入信号时，ADC可以产生其最大输出码值。图42显示了施加于差分输入端(VAx和VN)的满量程电压信号；ADC输出摆幅为-5,928,256 (0xA58AC0)和+5,928,256 (0x5A7540)。

电压波形增益寄存器

各相电压的信号路径中都具有一个乘法器。通过向这些24位带符号的电压波形增益寄存器(AVGAIN、BVGAIN和CVGAIN)中写入相应的二进制补码数，可以在±100%范围内更改电压波形。例如，将0x400000写入那些寄存器可以将ADC输出调高50%。若要将输出调低50%，则要向这些寄存器中写入0xC00000。公式4描述了电压波形增益寄存器的工作方式。

$$\text{电压波形} = \text{ADC输出} \times \left(1 + \frac{\text{压增益寄存器内容}}{2^{23}} \right) \quad (4)$$

当AVGAIN、BVGAIN和CVGAIN寄存器的内容发生变化时，所有基于电压的计算都会受到影响，也就是说，这会影响到对应相位的有功/无功/视在功率和电压有效值计算，且波形样本也会相应地调整。

如“电流波形增益寄存器”部分中所述，该器件的串行端口采用32、16或8位数据格式，而DSP采用28位数据格式。如图34所示，AVGAIN、BVGAIN和CVGAIN寄存器是作为32位寄存器访问的，其中四个MSB以0填充并通过符号扩展至28位。

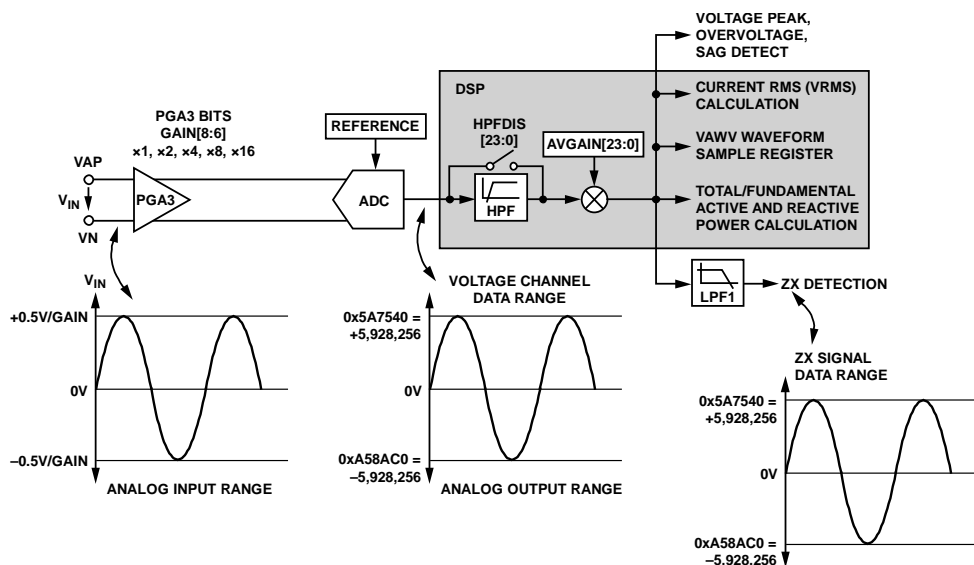


图42. 电压通道数据路径

ADE7854A/ADE7858A/ADE7868A/ADE7878A

为了进一步增强噪声保护，电压通道中幅度小于10%满量程的输入信号不会产生过零事件。电流通道ZX检测电路对所有输入信号有效，而与信号幅度无关。

ADE7854A/ADE7858A/ADE7868A/ADE7878A内置六个过零检测电路，每相电压和电流通道一个。每个电路都会驱动STATUS1寄存器中的一个标志。如果置于A相电压通道中的电路检测到一个过零事件，STATUS1寄存器中的位9 (ZXVA)会被置1。

类似地，B相电压电路驱动位10 (ZXVB)、C相电压电路驱动位11 (ZXVC)，而置于电流通道中的电路驱动STATUS1寄存器的位12 (ZXIA)、位13 (ZXIB)和位14 (ZXIC)。如果MASK1寄存器中的ZX检测位置1， $\overline{\text{IRQ1}}$ 中断引脚变为低电平，且相应状态标志置1。通过写入STATUS1寄存器并将状态位置1，该状态位会被清除且 $\overline{\text{IRQ1}}$ 引脚变为高电平。

过零超时

每个过零检测电路都对应一个超时寄存器。此寄存器载入写入16位ZXTOUT寄存器的值，并每隔62.5 μs (时钟频率为16 kHz)递减一次(1 LSB)。每次检测到过零时，寄存器就会复位ZXTOUT值。此寄存器的默认值为0xFFFF。如果该超时寄存器在检测到过零信号之前递减至0，则STATUS1的其中一个位[8:3]会被置1。STATUS1寄存器的位3 (ZXTOVA)、位4 (ZXTOVB)和位5 (ZXTOVC)分别对应于A相、B相和C相电压通道；而其中的位6 (ZXTOIA)、位7 (ZXTOIB)和位8 (ZXTOIC)分别对应于A相、B相和C相电流通道。

MASK1寄存器中的ZXTOI_x或ZXTOV_x位置1时，对应的状态位可驱动IRQ1中断引脚至低电平。写入STATUS1寄存器并将状态位置1可清零状态位，并使IRQ1引脚返回高电平状态。

ZXTOUT寄存器的分辨率为62.5 $\mu\text{s}/\text{LSB}$ (时钟频率为16 kHz)。因此，中断的最大超时期限为4.096 s: 216/16 kHz。

图44显示了电压或电流信号保持固定直流电平超过62.5 $\mu\text{s} \times \text{ZXTOUT}$ μs 时的过零超时检测机制。

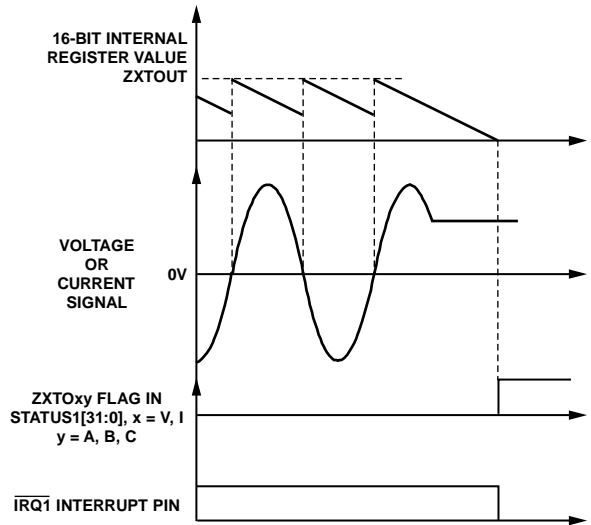


图44. 过零超时检测

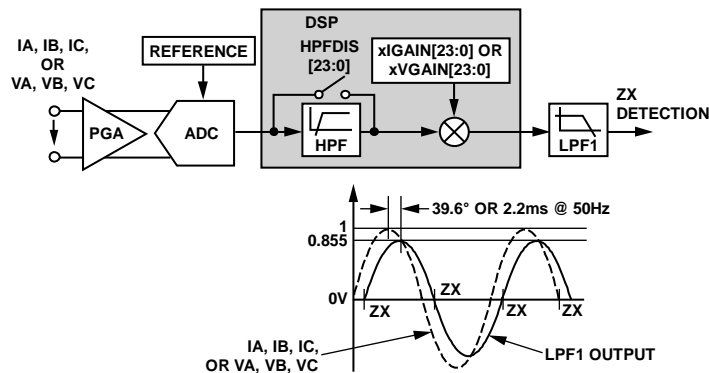


图45. 电压和电流通道上的过零检测

ADE7854A/ADE7858A/ADE7868A/ADE7878A

相序检测

ADE7854A/ADE7858A/ADE7868A/ADE7878A内置片内逆相序检测电路。此检测作用于相电压，并仅考虑过零事件(依据由负到正跃迁来判断)。

这些过零事件的常规顺序为先A相后B相再C相(见图47)。如果过零事件的顺序是先A相后B相再C相，那么STATUS1寄存器的位19 (SEQERR)会被置1。

将MASK1寄存器中的位19 (SEQERR)置1并触发逆相序事件可驱动IRQ1中断引脚至低电平。写入STATUS1寄存器并将位19 (SEQERR)置1可清零状态位，并使IRQ1引脚设为高电平。

仅在器件采用三相四线三电压传感器配置连接方式 (ACCMODE寄存器的位[5:4] (CONSEL[1:0])设为00)时，逆相序检测电路才会生效。在所有其它配置中，仅会使用两个电压传感器；因此，这种情况下不应使用该检测电路。相反，应当利用相电压之间的时间间隔来分析相序(参见“相位时间间隔”部分)。

图46显示了A相电压后跟C相电压(而非B相电压)的情况。每次出现由负到正的过零事件时，STATUS1寄存器的位19 (SEQERR)都会被置1，因为A相、C相或B相上的此类过零事件并不能跟在相应的C相、B相或A相过零事件之后。

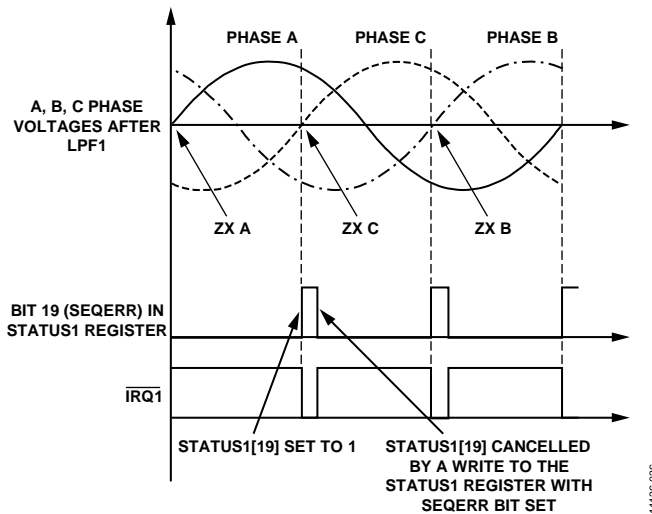


图46. A相电压后跟C相电压时SEQERR位置1

一旦检测到逆相序，各相电压之间的时间测量(参见“相位时间间隔”部分)可以帮助识别哪一路相电压应该和哪一路相电流相关，用于重新建立正确的计算数据路径。CONFIG寄存器的位[9:8] (VTOIA[1:0])、位[11:10] (VTOIB[1:0])和位[13:12] (VTOIC[1:0])可用于将一个相位的电压送至另一相位的数据路径。详情参见“更换相电压数据路径”部分。

相位时间间隔

ADE7854A/ADE7858A/ADE7868A/ADE7878A能够测量相电压之间、相电流之间或同一相位的电压和电流之间的时间延迟。过零检测电路识别出的由负到正跃迁可以用作测量起始点和结束点。一次只能执行一组此类测量，具体取决于COMPmode寄存器的位[10:9] (ANGLESEL[1:0])。

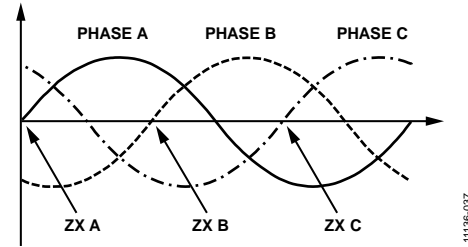


图47. A相、B相和C相的正常顺序

电压和电流之间的延时

若要测量同一相位的电压和电流之间的延迟，可将ANGLESEL[1:0]位设为00(默认值)。A相电压和A相电流之间的延迟存储在16位无符号ANGLE0寄存器中(参见图48)。类似地，B相和C相的电压和电流之间的延迟分别存储在ANGLE1和ANGLE2寄存器中。

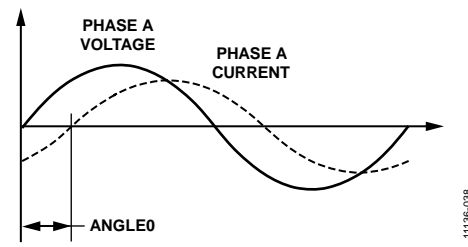


图48. A相电压和A相电流之间的延迟存储在ANGLE0寄存器中

相电压之间的延时

若要测量相电压之间的延迟，可将ANGLESEL[1:0]位置01。A相电压和C相电压之间的延迟存储在ANGLE0寄存器中。B相电压和C相电压之间的延迟存储在ANGLE1寄存器中，而A相电压和B相电压之间的延迟存储在ANGLE2寄存器中(参见图49)。

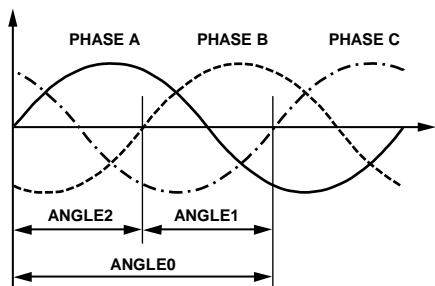


图49. 相电压(电流)之间的延迟

相电流之间的延时

若要测量相电流之间的延迟，可将ANGLE-SEL[1:0]位设为10。与相电压之间的延迟类似，A相电流和C相电流之间的延迟存储在ANGLE0寄存器中；B相电流和C相电流之间的延迟存储在ANGLE1寄存器中，而A相电流和B相电流之间的延迟则存储在ANGLE2寄存器中(参见图49)。

功率因数

ANGLE0、ANGLE1和ANGLE2寄存器都是16位无符号寄存器，且1 LSB变化对应的时间为3.90625 μs(时钟频率256 kHz)，这表示50 Hz系统的分辨率为0.0703° (360° × 50 Hz/256 kHz)，而60 Hz系统则为0.0843° (360° × 60 Hz/256 kHz)。相电压或相电流之间的延迟可用于评估负载的平衡特性。相电压和相电流之间的延迟可用于计算各相的功率因数，如公式5所示：

$$\cos \varphi_x = \cos \left[\text{ANGLE}_x \times \frac{360^\circ \times f_{\text{LINE}}}{256 \text{ kHz}} \right]$$

其中， f_{LINE} = 50 Hz或60 Hz。

周期测量

ADE7854A/ADE7858A/ADE7868A/ADE7878A在电压通道中提供线路周期测量。MMODE寄存器的位[1:0] (PERSEL[1:0]) 选择用于此测量的相电压。该周期寄存器是16位无符号寄存器，且每个线路周期更新一次。由于LPF1滤波器(见图45)的建立时间为30 ms到40 ms，因此测量在该时间之后才会稳定。

周期测量的分辨率为3.90625 μs/LSB(时钟频率为256 kHz)，即表示线路频率为50 Hz时分辨率为0.0195% (50 Hz/256 kHz)，而线路频率为60 Hz时则为0.0234% (60 Hz/256 kHz)。50 Hz网络的周期寄存器值大约为5120 (256 kHz/50 Hz)，而60 Hz网络大约为4267 (256 kHz/60 Hz)。该寄存器的长度确保可以测量低至3.9 Hz (256 kHz/2¹⁶)的线路频率。当线路完成建立且被测量的周期未发生变化时，该寄存器会稳定在±1 LSB。

借助该周期寄存器，可通过下式计算线路周期和频率：

$$T_L = \frac{\text{PERIOD}[15:0] + 1}{256 \times 10^3} [\text{sec}]$$

$$f_L = \frac{256 \times 10^3}{\text{PERIOD}[15:0] + 1} [\text{Hz}]$$

相电压骤降检测

ADE7854A/ADE7858A/ADE7868A/ADE7878A可以通过编程，用于检测是否有任意相电压峰值的绝对值在数个半波周期内降至设定值以下事件发生。

发生此事件的具体相位是通过PHSTATUS寄存器的位[14:12] (VSPHASE[x])来标识的，图50为该条件的一个示例。

图50显示了A相电压在四个半波周期(SAGCYC = 4)内降至骤降电平寄存器(SAGLVL)中设定的阈值以下。该事件发生时，STATUS1寄存器的位16 (SAG)会被置1，因为该事件发生在A相上，所以PHSTATUS寄存器中的位VSPHASE[0]也会置1。通过写入STATUS1寄存器并将SAG位置1，PHSTATUS寄存器的所有位[14:12] (VSPHASE[2]、VSPHASE[1]和VSPHASE[0])(而非VSPHASE[0]位)会被擦除。

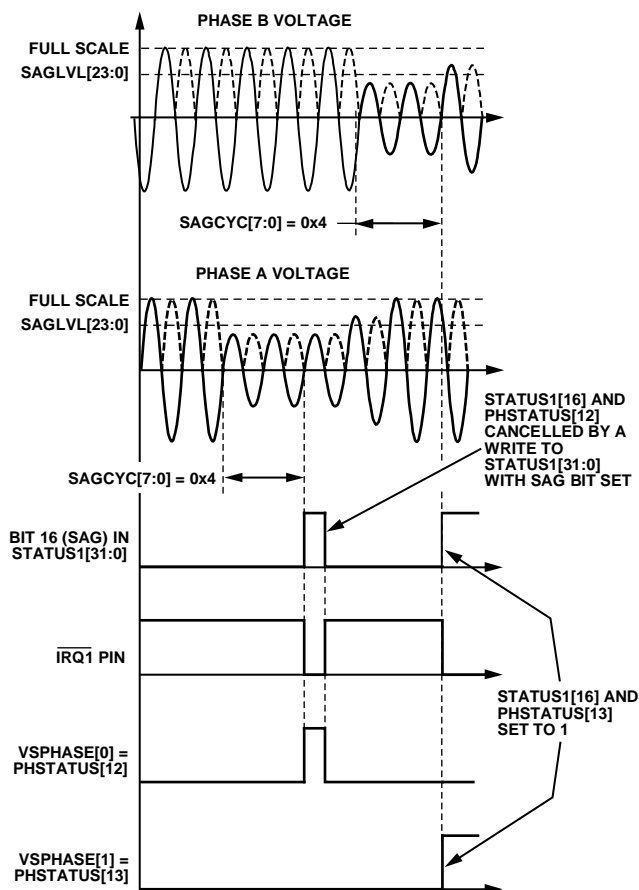


图50. SAG检测

ADE7854A/ADE7858A/ADE7868A/ADE7878A

SAGCYC寄存器表示半波周期数，相电压必须在此期间内始终位于SAGLVL寄存器所指定的电平之下才能触发SAG条件；数值0对SAGCYC无效。例如，如果SAG周期(SAGCYC[7:0])为0x07，则表示线路电压将在七个半波周期内降至该阈值以下，当第七个半波周期结束时，STATUS1寄存器的SAG标志会被置1。如果MASK1的位16(SAG)置1，则在出现SAG事件时(即STATUS1寄存器的状态位16(SAG)置1时)， $\overline{\text{IRQ1}}$ 中断引脚会变为低电平。通过写入STATUS1寄存器并将状态位置1可清零STATUS1寄存器中的SAG状态位以及PHSTATUS寄存器中的位[14:12](VSPHASE[2]、VSPHASE[1]和VSPHASE[0])，且 $\overline{\text{IRQ1}}$ 引脚返回高电平。

当B相电压在两个线周期内降至SAGLVL寄存器所设定的阈值以下时，PHSTATUS寄存器的位VSPHASE[1]会被置1，而位VSPHASE[0]会被清0。同时，STATUS1寄存器的位16(SAG)会被置1，以指示该事件发生。

请注意，内部过零计数器始终处于活动状态。因此，通过设置SAGLVL寄存器来执行时，第一个SAG检测结果不是在整个SAGCYC周期内获得的。在写入SAGCYC寄存器之前初始化SAGLVL可以复位过零计数器，从而确保第一个SAG检测结果是在整个SAGCYC周期内获得的。

若要管理SAG事件，请遵循以下步骤：

1. 将位16(sag)置1，使能MASK1寄存器中的骤降中断。
2. 发生骤降事件时， $\overline{\text{IRQ1}}$ 中断引脚变为低电平，且STATUS1寄存器的位16(sag)置1。
3. 读取STATUS1寄存器，将位16(sag)置1。
4. 读取PHSTATUS寄存器，以识别发生SAG事件的相位。
5. 写入STATUS1寄存器，并将位16(SAG)置1。此时，该SAG位和PHSTATUS寄存器的所有位[14:12](VSPHASE[2]、VSPHASE[1]和VSPHASE[0])会立刻被擦除。

骤降电平设置

器件将SAGLVL[23:0]骤降电平寄存器的内容和HPF输出的绝对值做比较。通过向SAGLVL寄存器写入5,928,256(0x5A7540)，可以将骤降检测电平设为满量程(参见“电压通道ADC”部分)，从而连续触发骤降事件。通过写入0x00或0x01，可以将SAG检测电平设为0，从而永不触发SAG事件。

ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式(参见“电流波形增益寄存器”部分)。与图37所示寄存器类似，SAGLVL寄存器是作为32位寄存器来访问的，其中八个MSB以0填充。

峰值检测

ADE7854A/ADE7858A/ADE7868A/ADE7878A记录电压和电流通道在数个半波周期内达到的最大绝对值，并将其存储在32位寄存器VPEAK和IPEAK的低24位中。

PEAKCYC寄存器包含用作测量时基的半波周期数。电路采用过零检测电路识别的过零点。MMODE寄存器的位[4:2](PEAKSEL[2:0])选择执行该峰值测量的相位。位2选择A相；位3选择B相；而位4则选择C相。选择监控一个以上相位的峰值时，由于该过程中涉及到来自多个相位的过零事件，因此PEAKCYC寄存器中指示的测量周期会按比例递减。

当确定出现新的峰值时，IPEAK和VPEAK寄存器的位[26:24](IPPHASE[2:0]或VPPHASE[2:0])之一会被置1，以识别触发峰值检测事件的相位。例如，如果发现A相电流出现了峰值，则IPEAK寄存器的位24(IPPHASE[0])会被置1。如果下次在B相上测量到新的峰值，则IPEAK寄存器的位24(IPPHASE[0])会被清0，而IPEAK寄存器的位25(IPPHASE[1])会被置1。图51显示了IPEAK和VPEAK寄存器的组成成分。

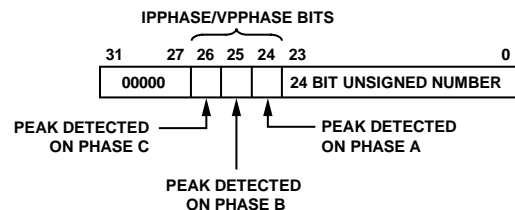


图51. IPEAK[31:0]和VPEAK[31:0]寄存器的组成

图52显示了使能A相和B相测量(MMODE寄存器的PEAKSEL[2:0]位为011)时ADE7854A、ADE7858A、ADE7868A和ADE7878A如何记录电流通道上的峰值。PEAKCYC寄存器设为16，表示峰值测量周期为四个线路周期。

在前四个线路周期内(PEAKCYC = 16)，A相的最大绝对值最大，因此在该周期结束时，该最大绝对值写入IPEAK寄存器的低24位，且IPEAK寄存器的位24(IPPHASE[0])置1。在后四个线路周期的PEAKCYC周期内，该位保持为1。

在后四个线路周期内，B相的最大绝对值最大，因此在该周期结束时，该最大绝对值被写入IPEAK寄存器的后24位，且IPEAK寄存器的位25(IPPHASE[1])会被置1。

当电流通道的峰值检测周期结束时，STATUS1寄存器的位23 (PKI)会被置1。如果MASK1寄存器的位23 (PKI)被置1，IRQ1中断引脚会在PEAKCYC周期结束时变为低电平，且STATUS1寄存器的状态位23 (PKI)会被置1。类似地，当电压通道的峰值检测周期结束时，STATUS1寄存器的位24 (PKV)会被置1。如果MASK1寄存器的位24 (PKV)被置1，IRQ1中断引脚会在PEAKCYC周期结束时变为低电平，且STATUS1寄存器的状态位24 (PKV)会被置1。为了找到触发该中断的具体相位，器件会在读取STATUS1寄存器之后马上读取IPEAK或VPEAK寄存器两者之一。接下来，通过写入STATUS1寄存器并将该状态位置1，该状态位会被清除，且IRQ1引脚变为高电平。

请注意，内部过零计数器始终处于活动状态。因此，通过设置MMODE寄存器的位[4:2] (PEAKSEL[2:0])来执行时，第一个峰值检测结果不是在整个PEAKCYC周期内获得的。而如果在PEAKSEL[2:0]位置1之后再写入PEAKCYC寄存器，则可以复位过零计数器，从而确保第一个峰值检测结果是在整个PEAKCYC周期内获得的。

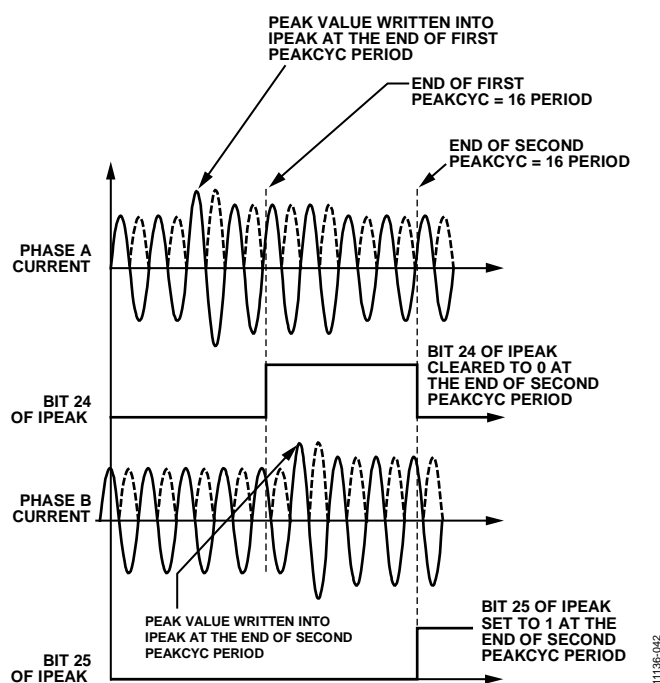


图52. 峰值电平检测

过压和过流检测

ADE7854A/ADE7858A/ADE7868A/ADE7878A可以通过检测发现电压和电流通道上测得的瞬时绝对值何时超过了在24位无符号寄存器OVLVL和OILVL中设定的阈值。

发生过压事件时，如果MASK1寄存器的位18 (OV)置1，则IRQ1中断引脚会变为低电平。当IRQ1中断引脚变为低电平时，将会设置两个状态标志：第一个标志由STATUS1寄存器的

位18 (OV)设置，第二个标志由PHSTATUS寄存器的位[11:9] (OVPHASE[2:0])设置，用于识别产生过压事件的相位。

接着，STATUS1寄存器的位18 (OV)和PHSTATUS寄存器的所有位[11:9] (OVPHASE[2:0])清零。写入STATUS1寄存器且状态位置1，可将IRQ1引脚置位。有关A相电压的过压检测，参见图53。

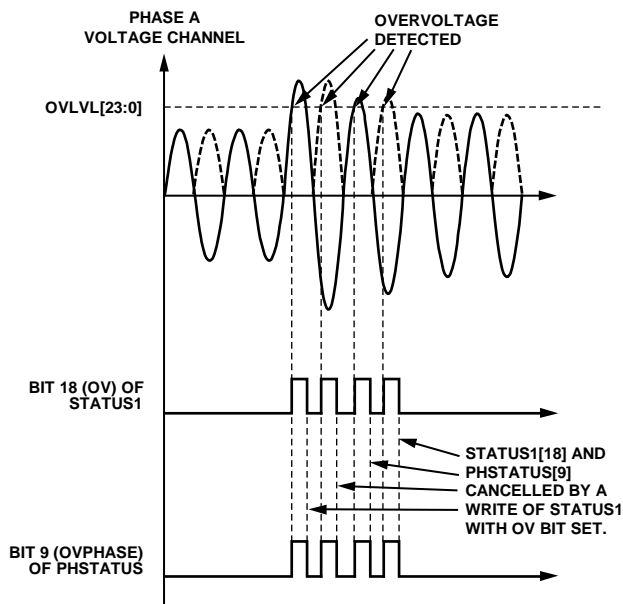


图53. 过压检测，A相

一旦电压的瞬时绝对值超过OVLVL寄存器中的阈值，STATUS1寄存器的位18 (OV)和PHSTATUS寄存器的位9 (OVPHASE[0])置1。写入STATUS1寄存器并将位18 (OV)置1可取消STATUS1寄存器中的位18 (OV)和PHSTATUS寄存器中的位9 (OVPHASE[0])。管理过压事件的步骤如下：

1. 通过将位18 (OV)置1，在MASK1寄存器中使能OV中断。
2. 发生过压事件时，IRQ1中断引脚变为低电平。
3. 读取STATUS1寄存器，其中位18 (OV)被置1。
4. 读取PHSTATUS寄存器，以识别发生过压事件的相位。
5. 写入STATUS1寄存器并将位18 (OV)置1。此时，位OV和PHSTATUS寄存器的所有[11:9] (OVPHASE[2:0])均会被清除。

在发生过流事件时，如果MASK1寄存器的位17 (OI)被置1，IRQ1中断引脚会变为低电平。接着，STATUS1寄存器的位17 (OI)和PHSTATUS寄存器的位[5:3] (OIPHASE[2:0])之一(用于识别产生该中断的相位)会立刻被置1。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

为了找到触发该中断的具体相位

1. 读取STATUS1寄存器，然后立即读取PHSTATUS寄存器。
2. 清零STATUS1寄存器的位17 (OI)和PHSTATUS寄存器的位[5:3] (OIPHASE[2:0])。
3. 写入STATUS1寄存器且状态位置1，可将 $\overline{\text{IRQ1}}$ 引脚设为高电平。

注意，过压检测具有类似的过程。

过压和过流电平设置

器件会将24位无符号过压(OVLVL)和过流(OILVL)寄存器的内容与电压和电流通道的绝对值做比较。这些寄存器的最大值为HPF输出的最大值，即5,928,256 (0x5A7540)；只要OVLVL或OILVL寄存器之一等于该值，就永远不会检测到过压或过流条件。向这些寄存器中写入0x0时，表示连续检测过压和过流条件，且会永久性触发相应中断。

如“电流波形增益寄存器”部分中所述，该器件的串行端口采用32、16或8位数据格式。与图37所示寄存器类似，OILVL和OVLVL寄存器是作为32位寄存器来访问的，其中八个MSB以0填充。

零线电流失配—ADE7868A和ADE7878A

零线电流失配仅存在于ADE7868A和ADE7878A。在三相系统中，零线电流等于相电流的代数和：

$$I_N(t) = I_A(t) + I_B(t) + I_C(t) \quad (8)$$

如果这两个数值之间存在失配，则系统中可能发生了窃电情况。

ADE7868A/ADE7878A通过将IAWV、IBWV和ICWV寄存器的内容相加而计算出相电流的总和，并将结果存储到28位带符号寄存器ISUM中：

$$I_{SUM}(t) = I_A(t) + I_B(t) + I_C(t) \quad (9)$$

I_{SUM} 会每隔125 μs (频率为8 kHz)计算一次，即相当于提供电流样本的速率，而STATUS0寄存器的位17 (DREADY)用于指示何时可以读取ISUM寄存器。有关DREADY位的更多信息，参见“数字信号处理器”部分。

若要从 I_{SUM} 寄存器还原ISUM(t)值，请使用以下公式：

$$I_{SUM}(t) = \frac{ISUM[27:0]}{ADC_{MAX}} \times I_{FS} \quad (10)$$

其中：

ADC_{MAX} = 5,928,256，即满量程输入时的ADC输出。

I_{FS} 为满量程ADC相电流。

注意，当CONFIG_A寄存器(INSEL)中的位0置1时，ADE7868A/ADE7878A还会计算ISUM有效值并将结果存储在NIRMS寄存器(更多信息请参见“电流有效值计算”部分)。

ADE7868A/ADE7878A会计算ISUM和INWV寄存器中零线电流两者绝对值之间的差值并取其结果的绝对值，然后与ISUMLVL阈值做比较。

如果

$$\|ISUM| - |INWV| \leq ISUMLVL \quad (11)$$

那么表示零线电流等于相电流的总和，且系统工作正常。

如果

$$\|ISUM| - |INWV| > ISUMLVL \quad (12)$$

那么表示可能发生了窃电情况，且STATUS1寄存器的位20 (MISMTCH)会被置1。

通过将MASK1寄存器的位20 (MISMTCH)置1，可以使能附加到此标志的中断。使能后，当状态位MISMTCH置1时， $\overline{\text{IRQ1}}$ 引脚设为低电平。写入STATUS1寄存器且位20 (MISMTCH)置1可清零状态位，并使 $\overline{\text{IRQ1}}$ 引脚返回高电平。

If $\|ISUM| - |INWV| \leq ISUMLVL$, the MISMTCH bit = 0.

If $\|ISUM| - |INWV| > ISUMLVL$, the MISMTCH bit = 1

公式11和公式12中使用的正阈值ISUMLVL是一个24位带符号寄存器。ISUMLVL用于与绝对值进行比较，因此应始终设置为0x00000到0x7FFFFFFF范围内的正值。ISUMLVL采用的调整比例与电流ADC输出相同，因此向ISUMLVL寄存器写入5,928,256 (0x5A7540)时，失配检测电平将设为满量程(参见“电流通道ADC”部分)。

向ISUMLVL寄存器写入0x000000(默认值)或负值时，则表示会一直触发MISMTCH事件。为避免连续触发MISMTCH事件，应在上电或硬件/软件复位之后向ISUMLVL寄存器写入适合具体应用的值。

ADE7868A/ADE7878A的串行端口采用32、16或8位，而DSP采用28位。28位带符号ISUM寄存器是作为32位寄存器来传输的，其中四个MSB以0填充(参见图54)。



图54. ISUM[27:0]寄存器以32位数据格式的形式传输

与图34所示的xIGAIN寄存器类似，ISUMLVL寄存器通过符号扩展至28位，并填充4个0，以作为32位寄存器传输。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

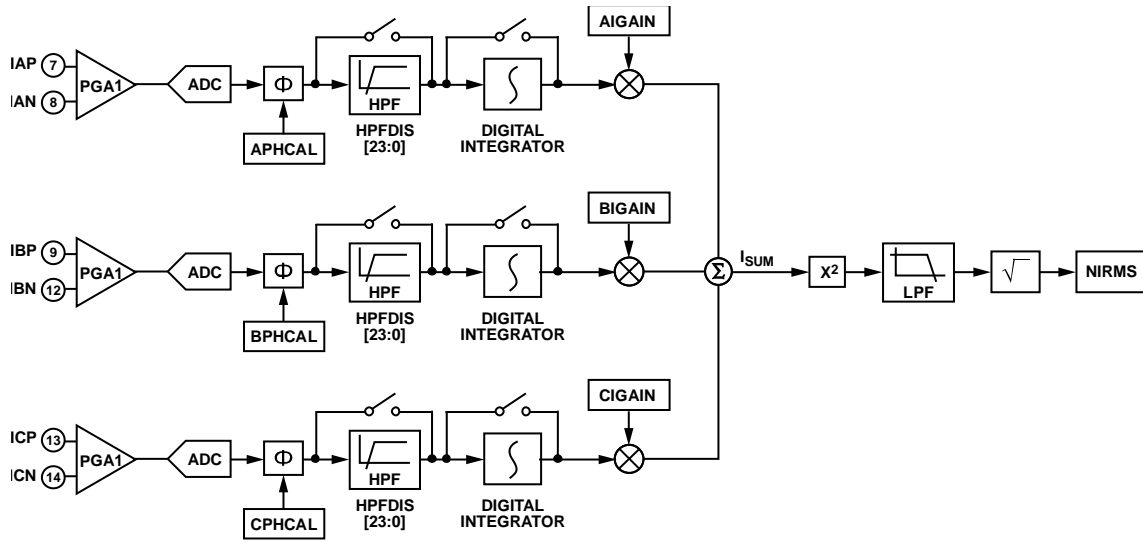


图55. NIRMS寄存器中存储的相位电流之和

111386-151

ADE7854A/ADE7858A/ADE7868A/ADE7878A

相位补偿

如“电流通道ADC”和“电压通道ADC”部分所述，电流和电压的数据路径是完全相同的。ADE7854A/ADE7858A/ADE7868A/ADE7878A所引起的电流和电压信号之间的相位误差可以忽略不计。不过，ADE7854A/ADE7858A/ADE7868A/ADE7878A必须与传感器配合使用，而这些传感器可能存在固有相位误差。例如，电流互感器(CT)存在0.1°到3°的相位误差并不罕见。这些相位误差因器件而异，并必须加以校正，以便执行准确的功率计算。

当功率因数较低时，相位不匹配所引起的误差特别明显。相位校准寄存器以数字化方式校准这些小相位误差。为了补偿这些微小的相位误差，在器件的信号处理链中引入了少量的时间延迟或时间提前。

相位校准寄存器(APHCAL、BPHCAL和CPHCAL)都是10位寄存器，这些寄存器可以在-374.0 μs到+61.5 μs范围内调整电压通道信号路径中的时间提前量。向xPHCAL寄存器中写入负值表示时间提前，写入正值表示时间延迟。1 LSB相当于0.976 μs的时间延迟或时间提前(时钟频率为1.024 MHz)。这样，当线路频率为60 Hz时，相位补偿分辨率可达到0.0211°(360° × 60 Hz/1.024 MHz)。这相当于在60 Hz时总校正范围为-8.079°至+1.329°。50 Hz时校正范围为-6.732°至+1.107°，而分辨率为0.0176°(360° × 50 Hz/1.024 MHz)。

假设相位误差为x度，且是以相电压为参考来测量的，那么通过将x除以相位分辨率(60 Hz时为0.0211°/LSB，而50 Hz时为0.0176°/LSB)即可计算出相应的LSB。结果必须位于-383到+63范围内，否则无效。如果电流比电压超前，则结果为负值，会向xPHCAL寄存器中写入其绝对值。如果电流比电压落后，则结果为正值，将结果加上512，然后再写入xPHCAL。

$$APHCAL, BPHCAL, \text{ or } CPHCAL = \tag{13}$$

$$\left\{ \begin{array}{l} \left\lfloor \frac{x}{PHASE_RESOLUTION} \right\rfloor, x \leq 0 \\ \left\lceil \frac{x}{PHASE_RESOLUTION} \right\rceil + 512, x > 0 \end{array} \right.$$

图57显示了如何利用相位补偿来移除电流通道的IA中因外部电流传感器而导致的x = -1°相位超前(50 Hz系统中相当于55.5 μs)。为了消除A相电流通道中的超前(1°)，必须向对应的电压通道中引入相位超前。根据公式13，APHCAL为57个LSB(56.8四舍五入所得)。通过向A相电流中引入55.73 μs的时间延迟，即可实现该相位超前。

器件的串行端口采用32、16或8位，而DSP采用28位。如图56所示，10位寄存器APHCAL、BPHCAL和CPHCAL是作为16位寄存器来访问的，其中六个MSB以0填充。

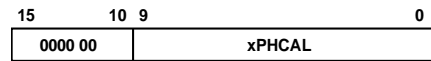


图56. xPHCAL寄存器以16位寄存器形式发送

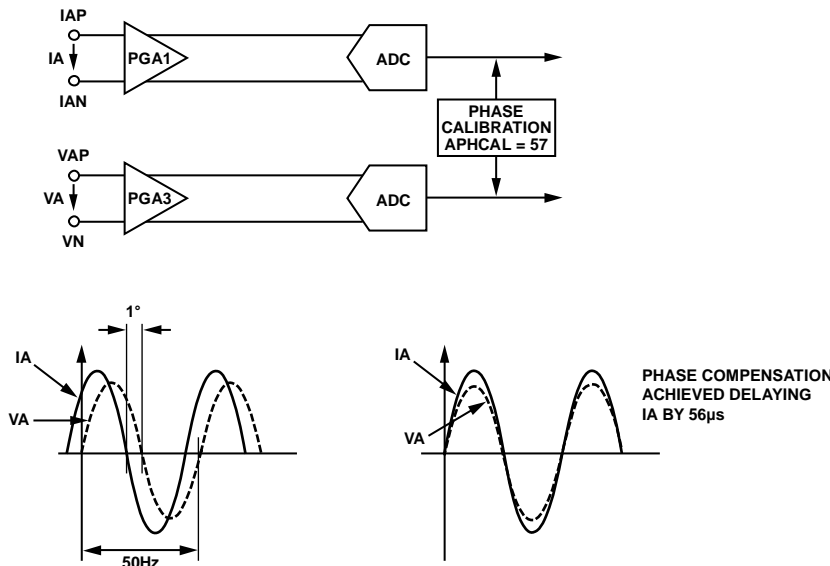


图57. 电压通道上的相位校准

参考电路

REF_{IN/OUT} 引脚处的基准电压标称值为1.2 V。这是ADE7854A/ADE7858A/ADE7868A/ADE7878A中ADC采用的基准电压。可以使用一个1.2 V典型外部基准电压源来过驱REF_{IN/OUT} 引脚。内部基准电压源的温度系数采用端点法计算。为了计算温度范围内的漂移，测量端点(-40°C和+85°C)处的基准电压值并与25°C时的参考值进行比较，进而得出温度系数曲线的斜率。图58是温度范围内漂移的典型代表。它包含两条曲线：曲线X和曲线Y，它们是在整个额定温度范围内观察到的两个可能曲率的典型代表。

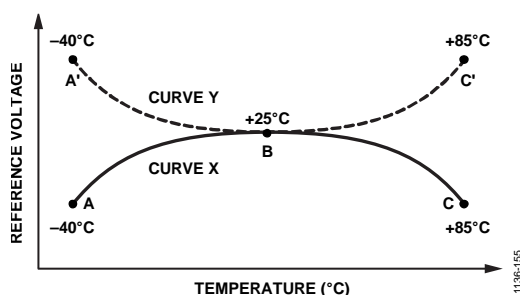


图58. 内部基准电压源的温度漂移

如图58所示，要精确分析温度范围内的漂移，必须分别对两个区域进行考察，具体如下所述：

- 对于曲线X中A点和B点之间的区域，基准电压值随温度升高而增加；因此，该曲线在A与B之间具有正斜率。该区域内的温度系数为正。
- 对于曲线X中B点和C点之间的区域，由于基准电压随温度上升而下降；因此对应于该曲线的此区域，温度系数为负。
- 与此类似，曲线Y在A点和B点之间的温度系数为负，而在B点和C点之间为正。

任意特定IC的漂移曲线均可匹配这些示例中的任意一条曲线。基准电压在特定端点温度下的绝对值与曲线该区域内温度系数之间的关系可由以下两个公式表示：

$$V_{REF(-40^{\circ}\text{C})} = V_{REF(+25^{\circ}\text{C})} \times \left(1 + \frac{\alpha_c(-40^{\circ}\text{C} - 25^{\circ}\text{C})}{10^6} \right)$$

$$V_{REF(85^{\circ}\text{C})} = V_{REF(25^{\circ}\text{C})} \times \left(1 + \frac{\alpha_h(85^{\circ}\text{C} - 25^{\circ}\text{C})}{10^6} \right)$$

其中， α_c 和 α_h 分别为低温与高温系数，计算如下：

$$\alpha_c = \frac{V_{REF(-40^{\circ}\text{C})} - V_{REF(+25^{\circ}\text{C})}}{V_{REF(+25^{\circ}\text{C})}(-40^{\circ}\text{C} - 25^{\circ}\text{C})} \times 10^6 \text{ ppm/}^{\circ}\text{C}$$

$$\alpha_h = \frac{V_{REF(85^{\circ}\text{C})} - V_{REF(25^{\circ}\text{C})}}{V_{REF(25^{\circ}\text{C})}(85^{\circ}\text{C} - 25^{\circ}\text{C})} \times 10^6 \text{ ppm/}^{\circ}\text{C}$$

由于低温和高温系数符号可能因IC不同而有所不同，因此，典型漂移在整个范围内指定并带有正负号(±)。为了找到温度系数的典型值、最小值和最大值(如“技术规格”部分所列)，收集了大量不同IC基于端点法得到的数据。最小和最大温度系数表示在额定温度范围内，任何特定IC的漂移都不会超过这些限值(参考25°C)。有关不同器件的漂移差异，请参见图59和图60。

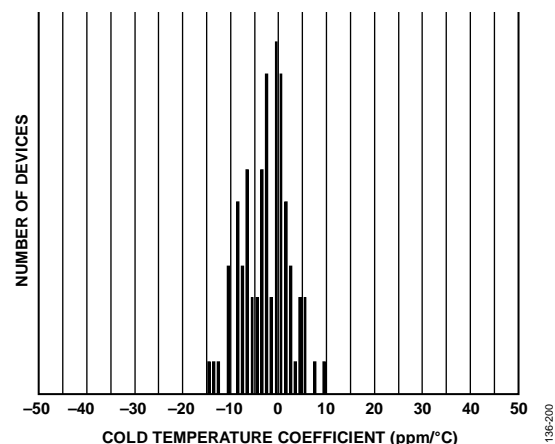


图59. 基准电压源漂移直方图(-40°C至+25°C)

ADE7854A/ADE7858A/ADE7868A/ADE7878A

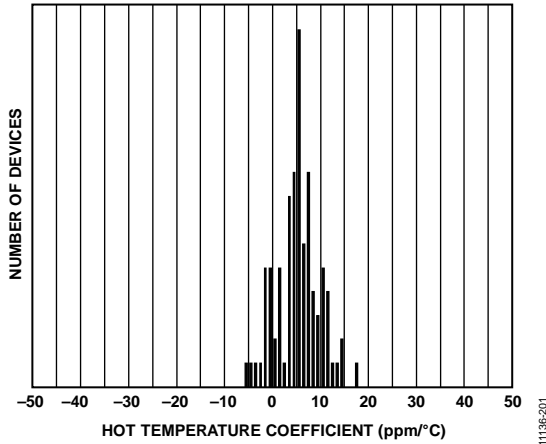


图60. 基准电压源漂移直方图(25°C至85°C)

由于所有ADC均采用该基准电压源，因此如果基准电压源存在x%的漂移，则会导致电表精度出现2x%的偏差。因温度变化而出现的基准电压漂移通常非常小，并且一般远远小于电表中其它元件的漂移。

如果CONFIG2寄存器的位0 (EXTREFEN)清0(默认值)，[ADE7854A/ADE7858A/ADE7868A/ADE7878A](#)采用内部基准电压源；如果该位置1，则使用外部基准电压源。在PSM0模式中设置CONFIG2寄存器，其值会在PSM1、PSM2和PSM3功耗模式下保持不变。

数字信号处理器

[ADE7854A/ADE7858A/ADE7868A/ADE7878A](#)内置固定功能数字信号处理器(DSP)，可以计算所有功率和有效值。此外内置程序存储器ROM和数据存储器RAM。

用于功率和有效值计算的程序存储在程序存储器ROM中，并且该处理器会每8 kHz执行一次该程序。计算结束时，器件会将STATUS0寄存器的位17 (DREADY)置1。若要使能与该标志相关的中断，可置位MASK0寄存器中的位17 (DREADY)。使能该中断后，计算结束时 $\overline{\text{IRQ0}}$ 引脚会变为低电平，且状态位DREADY被置1。写入STATUS0寄存器且位17 (DREADY)置1可清零状态位，同时将 $\overline{\text{IRQ0}}$ 引脚设为高电平。

DSP使用的寄存器位于数据存储器RAM中，地址范围为0x4380到0x43BE。此存储器的宽度为28位。DSP内核中包含一个双级流水线。这意味着，当需要初始化一个寄存器时，应多执行两个写操作，以确保将值写入RAM。而如果需要初始化两个或更多寄存器，对最后一个寄存器必须多执行两个写操作，以确保将值写入RAM。

如“上电程序”部分所述，上电时或者硬件或软件复位后，DSP处于空闲模式，不执行指令。数据存储器RAM中的所有寄存器初始化为默认值0，读取/写入无任何限制。用于

启动和停止DSP的RUN寄存器会被清零至0x0000；向RUN寄存器写入0x0001可以开始执行DSP代码。

为了确保存储在DSP数据存储器RAM(地址介于0x4380与0x43BE之间)内数据的完整性，提供了写保护机制。默认情况下，保护功能是禁用的，放置在0x4380与0x43BE间的寄存器的写入无任何限制。使能保护功能后，这些寄存器不允许写入。无论写保护状态如何，寄存器的读取无任何限制。

要使能保护，应向位于地址0xE7FE的内部8位寄存器写入0xAD，然后向位于地址0xE7E3的内部8位寄存器写入0x80。

只能在寄存器完成初始化后使能写保护。如果需要更改任何基于数据存储器RAM的寄存器，只需禁用保护，更改其值，然后重新使能保护。更改这些寄存器无需停止DSP。

要禁用保护，向位于地址0xE7FE的内部8位寄存器写入0xAD，然后向位于地址0xE7E3的内部8位寄存器写入0x00。

执行下列过程可在上电时初始化[ADE7854A/ADE7858A/ADE7868A/ADE7878A](#)：

1. 初始化AIGAIN、BIGAIN、CIGAIN和NIGAIN寄存器。
2. 初始化所有其它数据存储器RAM寄存器。向队列内的最后一个寄存器写入三次，以确保将其值写入RAM。
3. 初始化除CFMODE寄存器以外的[ADE7854A](#)、[ADE7858A](#)、[ADE7868A](#)或[ADE7878A](#)所有其它寄存器。
4. 启用写保护，向位于地址0xE7FE的内部8位寄存器写入0xAD，然后向位于地址0xE7E3的内部8位寄存器写入0x80。
5. 回读所有数据存储器RAM寄存器，以确保将其初始化为所需值。
6. 在未正确初始化一个或多个寄存器的非常见情况下，应禁用保护：即向位于地址0xE7FE的内部8位寄存器写入0xAD，然后向位于地址0xE7E3的内部8位寄存器写入0x00。
 - a. 重新初始化这些寄存器。向队列内的最后一个寄存器写入三次。
 - b. 启用写保护，向位于地址0xE7FE的内部8位寄存器写入0xAD，然后向位于地址0xE7E3的内部8位寄存器写入0x80。
7. 设置run = 1，启动DSP。
8. 读取电能寄存器xWATTHR、xFWATTHR、xVARHR、xFVARHR和xVAHR以擦除其内容，从一个已知状态开始累计电能。
9. 将CFMODE寄存器中的位9 (CF1DIS)、位10 (CF2DIS)和位11 (CF3DIS)清零，使能CF1、CF2和CF3/HSCLK引脚上

的脉冲。这一初始化步骤应最后进行，确保ADE7854A/ADE7858A/ADE7868A/ADE7878A初始化期间不产生杂散脉冲。

如果器件一直处于PSM0正常模式，则没必要停止DSP。所有ADE7854A、ADE7858A、ADE7868A和ADE7878A寄存器(包括位于数据存储RAM中的寄存器)均可以直接修改，而无需停止DSP。不过，若要停止DSP，必须向运行寄存器写入0x0000。

若要重新启动DSP，必须选择下列程序之一：

- 如果数据存储RAM中的ADE7854A/ADE7858A/ADE7868A/ADE7878A寄存器尚未经过修改，则可以向RUN寄存器中写入0x0001来启动DSP。
- 如果数据存储RAM中的ADE7854A/ADE7858A/ADE7868A/ADE7878A寄存器必须进行修改，则首先执行软件或硬件复位，然后按照推荐程序在上电时初始化寄存器。

如“电源管理”部分所述，当ADE7854A/ADE7858A/ADE7868A/ADE7878A退出PSM0功耗模式时，建议向RUN寄存器中写入0x0000来停止DSP(有关更改功耗模式时的建议操作，请参见表11和表12)。

有效值测量

有效值(rms)衡量交流信号的幅度。可以分别从实用角度和数学角度予以定义。从实用角度定义，一个交流信号的有效值等于在负载上产生同等功率所需的直流量。其定义为：

$$F_{rms} = \sqrt{\frac{1}{T} \int_0^T f^2(t) dt} \quad (14)$$

其中， F_{rms} 是连续信号 $f(t)$ 的数学有效值。

对于时间采样信号，有效值计算涉及求信号的平方、求平均值，然后获得平方根。

$$F_{rms} = \sqrt{\frac{1}{N} \sum_{n=1}^N f^2[n]} \quad (15)$$

公式15表明，对于包含谐波信号，有效值计算会包含所有谐波成分，而不仅仅是基波。该器件采用两种不同的方法来计算有效值。第一种方法非常精确，并仅在PSM0模式下有效。第二种方法精度较差，是采用平均绝对值(MAV)测量估算来进行的；该方法在PSM0和PSM1模式下有效，但仅适用于ADE7868A和ADE7878A。

第一种方法是对输入信号的平方进行低通滤波(LPF)并求取结果的平方根(参见图61)。

$$f(t) = \sum_{k=1}^{\infty} F_k \sqrt{2} \sin(k\omega t + \gamma_k) \quad (16)$$

$f(t)$ 的平方是

$$f^2(t) = \sum_{k=1}^{\infty} F_k^2 - \sum_{k=1}^{\infty} F_k^2 \cos(2k\omega t + 2\gamma_k) + 2 \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} F_k \times F_m \sin(k\omega t + \gamma_k) \times \sin(m\omega t + \gamma_m) \quad (17)$$

经过LPF并取得平方根后， $f(t)$ 的有效值即可通过下式获得：

$$F = \sqrt{\sum_{k=1}^{\infty} F_k^2} \quad (18)$$

基于此方法的有效值计算会同时所有七个模拟输入通道上进行。结果存储在下列24位寄存器中：AIRMS、BIRMS、CIRMS、AVRMS、BVRMS、CVRMS和NIRMS(NIRMS仅适用于ADE7868A和ADE7878A)。另外还提供这些读数的平均值，即1.024 s(更多信息请参见“低纹波电流有效值”和“低纹波电压”部分)。

第二种方法首先计算输入信号的绝对值，然后通过滤波提取其直流成分。该方法计算的是输入的平均绝对值。如果公式17中的输入信号仅包含基波成分，则其平均值如下：

$$F_{dc} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} \sqrt{2} \times F_1 \times \sin(\omega t) dt - \int_{\frac{T}{2}}^T \sqrt{2} \times F_1 \times \sin(\omega t) dt \right]$$

$$F_{dc} = \frac{2}{\pi} \times \sqrt{2} \times F_1 \quad (19)$$

基于此方法的计算仅限在三相电流上同时运行。结果存储在下列20位寄存器中：AIMAV、BIMAV和CIMAV(仅限ADE7868A和ADE7878A)。请注意，只有仅含基波成分时，MAV和有效值之间的比例关系才会保持不变。如果电流通道中存在谐波，则平均绝对值不再与有效值成正比。

电流有效值计算

本节介绍如何利用第一种方法来计算所有相线和零线电流的有效值。如果CONFIG_A寄存器中的位0(INSEL)置1，ADE7868A和ADE7878A还会计算相电流瞬时值之和的有效值，结果存储在NIRMS寄存器中。请注意，和的瞬时值存储在ISUM寄存器中(参见“零线电流失配—ADE7868A和ADE7878A”部分)。在仅需要检测相电流的三相四线系统中，该值可衡量零线电流。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

图61显示了电流通道一个相位上用于计算有效值的信号处理链。电流通道有效值是根据电流通道中使用的样本进行计算的。电流有效值值为24位带符号值，并存储在AIRMS、BIRMS、CIRMS和NIRMS(仅限ADE7868A/ADE7878A)寄存器中。电流有效值测量的更新速率为8kHz。

采用0.5 V(交流峰值)的额定满量程模拟输入信号时，ADC会产生大约为±5,928,256的输出码。满量程正弦波信号的等效有效值为4,191,910 (0x3FF6A6)，该值与线路频率无关。将CONFIG寄存器中的位0 (INTEN)置1可使能积分器，产生满量程正弦信号的等效有效值，其在50 Hz时为4,191,910 (0x3FF6A6)，而在60 Hz时为3,493,258 (0x354D8A)。

当PGA=1时，电流有效值的精度在满量程输入到1/1000满量程输入范围内通常为0.1%。另外，此项测量的带宽为2 kHz。为了保证稳定性，应在发生电压过零事件的同时读取RMS寄存器。使用IRQ1中断来指示何时发生过零事件(参见“中断”部分)。

表13显示了电流有效值测量的建立时间，即RMS寄存器在从0到满量程变化时反映出电流通道输入端值所需的时间。但是，在芯片上电期间，以及DSP复位情况下，FS/1000信号的建立时间通常为1.2秒。

表13. 电流有效值测量的建立时间

积分器状态	50 Hz输入信号	60 Hz输入信号
积分器关闭	440 ms	440 ms
积分器开启	550 ms	500 ms

如“电流波形增益寄存器”部分中所述，ADE7854A、ADE7858A、ADE7868A和ADE7878A的串行端口采用32、16或8位字格式。与图37所示寄存器类似，24位带符号寄存器AIRMS、BIRMS、CIRMS和NIRMS(仅限ADE7868A/ADE7878A)都是作为32位寄存器来访问的，其中八个MSB以0填充。

低纹波电流有效值

ADE7854A、ADE7858A、ADE7868A和ADE7878A的平均电流有效值为1.024 s。平均电流有效值为带符号24位值，存储在IARMS_LRIP、IBRMS_LRIP、ICRMS_LRIP和INRMS_LRIP寄存器中(仅限ADE7868A和ADE7878A)。提供低纹波寄存器，因而无需进行外部均值计算，同时还能提供稳定的读数。这些平均有效值寄存器每1.024 s更新一次，并含有之前的8192个有效值样本。2.048秒后，IxRMS_LRIP寄存器读数建立至99%以内。

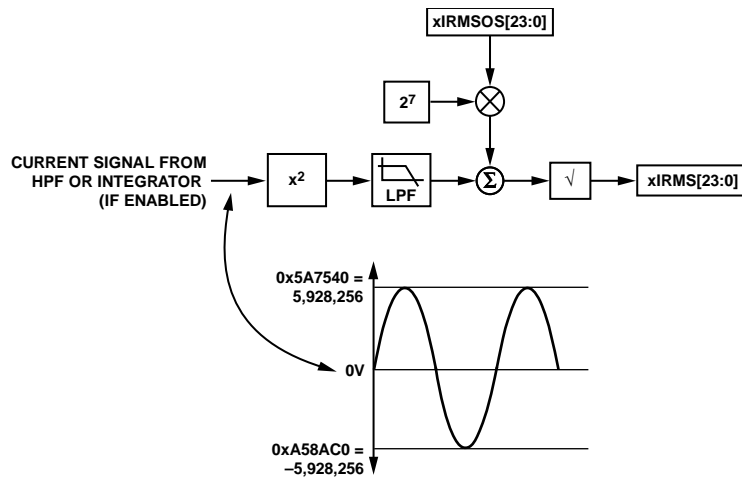


图61. 电流有效值信号处理

11136-047

电流有效值失调补偿

ADE7854A/ADE7858A/ADE7868A/ADE7878A为每一个相位提供一个电流有效值失调补偿寄存器：AIRMSOS、BIRMSOS、CIRMSOS；只有ADE7878A和ADE7868A才提供NIRMSOS寄存器。这些都是24位带符号寄存器，用于消除电流有效值计算中的失调。由于 $i^2(t)$ 直流成分中集成了输入噪声，因此有效值计算中存在失调。电流有效值失调寄存器乘以128并与电流有效值的平方相加，然后求取平方根。假定在满量程交流输入(50 Hz)下电流有效值计算的最大值为4,191,910，1 LSB的电流有效值失调代表低于满量程60 dB时的以下有效值测量结果：

$$0.00037\% = \left(\frac{\sqrt{4191^2 + 128}}{4191} - 1 \right) \times 100$$

在低电流下执行失调校准；校准时电流不应等于零。

$$I_{rms} = \sqrt{I_{rms_0}^2 + 128 \times IRMSOS} \quad (20)$$

其中， I_{rms_0} 是未经失调校正的有效值测量值。

ADE7854A、ADE7858A、ADE7868A和ADE7878A的串行端口采用32、16或8位字，而DSP采用28位字。与图34所示的xIGAIN寄存器类似，24位AIRMSOS、BIRMSOS、CIRMSOS和NIRMSOS(仅限ADE7868A/ADE7878A)寄存器通过符号扩展至28位，并填充4个0，以作为32位寄存器传输。

电流平均绝对值计算—仅限ADE7868A和ADE7878A

本节介绍如何利用第二种方法来通过平均绝对值(MAV)法估算所有相电流的有效值。此方法在PSM1模式下使用并仅适用于ADE7868A和ADE7878A，在零线断线表示可能存在窃电篡改时，可允许根据电流有效值来进行电能累计。此数据路径在PSM0模式下也有效，以便进行增益校准。PSM1模式下，外部微处理器使用该增益。使用此方法时，不会计算零线电流的MAV值。图62显示了电流通道的一个相位上用于计算MAV的信号处理链。

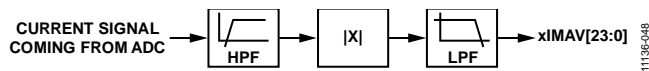


图62. PSM1模式的电流MAV信号处理

电流通道的MAV值是根据电流通道的波形采样模式中使用的数据样本进行计算的。数据样本通过高通滤波器以消除ADC引入的直流失调，并计算出绝对值。

然后，该模块的输出经过滤波，以获取平均值。电流MAV值为20位无符号值，并存储在AIMAV、BIMAV和CIMAV寄存器中。该MAV测量的更新速率为8 kHz。

50 Hz和60 Hz时满量程正弦波信号的MAV值分别为209,686和210,921。对于满量程正弦波输入，45 Hz和65 Hz的MAV估算结果之间存在1.25%的偏差(参见图63)。

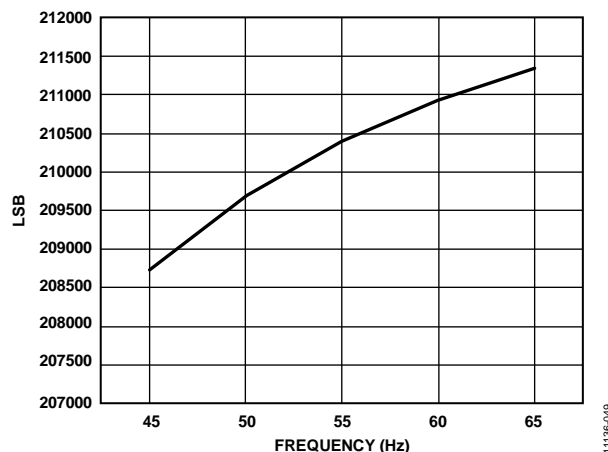


图63. 满量程时的xIMAV寄存器值(线路频率范围为45 Hz至65 Hz)

在满量程输入到1/100满量程输入范围内，电流MAV精度通常为0.5%。另外，该测量的带宽为2 kHz。电流MAV测量的建立时间(即MAV寄存器在0.5%的误差范围内反映电流通道的输入端值所需的时间)为500 ms。

如“电流波形增益寄存器”部分中所述，ADE7868A/ADE7878A的串行端口采用32、16或8位字格式。如图64所示，20位无符号寄存器AIMAV、BIMAV和CIMAV是作为32位寄存器来访问的，其中12个MSB以0填充。

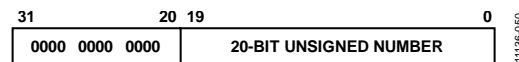


图64. xIMAV寄存器以32位寄存器形式传输

电流MAV增益和失调补偿

AIMAV、BIMAV和CIMAV寄存器中存储的电流有效值可以通过各项对应的增益和失调系数来进行校准。将标称电流施加于ADE7868A/ADE7878A上，可计算PSM0模式下的增益。而失调可以通过向ADE7868A/ADE7878A提供低电流来进行估算，其中电流通常等于具体精度所要求的最小值。每次读取AIMAV、BIMAV和CIMAV寄存器时，存储在外部微控制器的参数用来校正上述寄存器。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

电压有效值计算

图65详细显示了电压通道其中一相上的用于有效值计算的信号处理链。电压通道有效值是根据电压通道中使用的样本进行计算的。电压有效值值为24位带符号值，并存储在AVRMS、BVRMS和CVRMS寄存器中。电流有效值测量的更新速率为8 kHz。

采用0.5 V(交流峰值)的额定满量程模拟输入信号时，ADC会产生大约为 $\pm 5,928,256$ 的输出码。满量程正弦波信号的等效有效值为4,191,910 (0x3FF6A6)，该值与线路频率无关。

在满量程输入到1/1000满量程输入范围内，电压有效值精度误差典型值为0.1%。另外，该测量的带宽为2 kHz。为了保证稳定性，应在发生电压过零事件的同时读取RMS寄存器。使用IRQ1中断来指示何时发生过零事件(参见“中断”部分)。

对于50 Hz和60 Hz输入信号，电压有效值测量的建立时间都是440 ms。该时间就是RMS寄存器从0开始到正确反映出电压通道输入端值所需的时间。

如“电流波形增益寄存器”部分中所述，ADE7854A、ADE7858A、ADE7868A和ADE7878A的串行端口采用32、16或8位字格式。与图37所示寄存器类似，24位带符号寄存器AVRMS、BVRMS和CVRMS都是作为32位寄存器来访问的，其中八个MSB以0填充。

低纹波电压有效值

ADE7854A、ADE7858A、ADE7868A和ADE7878A还具有1.024 s的平均电压有效值。平均电压有效值为24位带符号值，存储在VARMS_LRIP、VBRMS_LRIP和VCRMS_LRIP寄存器中。提供低纹波寄存器，因而无需进行外部均值计算，同时还能提供稳定的读数。这些平均有效值寄存器每1.024 s更新一次，并含有之前的8192个有效值样本。2.048秒后，VxRMS_LRIP寄存器读数建立至99%以内。

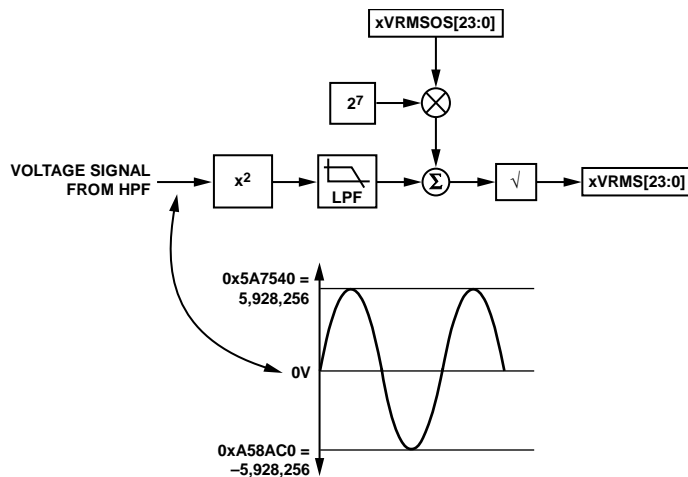


图65. 电压有效值信号处理

11136-051

电压有效值失调补偿

ADE7854A/ADE7858A/ADE7868A/ADE7878A为每一个相位提供一个电压有效值失调补偿寄存器：AVRMSOS、BVRMSOS和CVRMSOS。这些都是24位带符号寄存器，用于消除电压有效值计算中的失调。由于 $V^2(t)$ 直流成分中集成了输入噪声，因此有效值计算中存在失调。电压有效值失调寄存器乘以128并与电压有效值的平方相加，然后求平方根。假定在满量程交流输入(50 Hz)下电压有效值计算的最大值为4,191,910，1 LSB的电压有效值失调代表低于满量程60 dB时的以下有效值测量结果：

$$0.00037\% = \left(\frac{\sqrt{4191^2 + 128}}{4191} - 1 \right) \times 100$$

在低电压下执行失调校准；校准时电压不应等于零。

$$V_{rms} = \sqrt{V_{rms_0}^2 + 128 \times VRMSOS} \quad (21)$$

其中， V_{rms_0} 是未经过偏移失调校正的有效值测量。

ADE7854A、ADE7858A、ADE7868A和ADE7878A的串行端口采用32、16或8位字，而DSP采用28位字。与图34所示的xIGAIN寄存器类似，24位AVRMSOS、BVRMSOS和CVRMSOS寄存器通过符号扩展至28位，并填充4个0，以作为32位寄存器传输。

三相三线三角形配置中的电压有效值

在三相三线三角形配置中，B相视为系统地，A相和C相电压相对于B相进行测量。在ACCMODE寄存器中将CONSEL位设为01便可选择该配置(有关可使用ADE7854A、ADE7858A、ADE7868A和ADE7878A的所有配置，参见表16)。这种情况下，所有B相有功、无功和视在功率均为0。

在该配置下，ADE7854A、ADE7858A、ADE7868A和ADE7878A还会计算A相与C相之间的线路电压有效值，并将结果存储在BVRMS寄存器中。BVGAIN和BVRMSOS寄存器可用于校准依此配置计算的BVRMS寄存器。

有功功率计算

ADE7854A/ADE7858A/ADE7868A/ADE7878A可以计算各相上的总有功功率。总有功功率在计算时会考虑电压和电流的所有基波和谐波成分。另外，ADE7878A可以计算基波有功功率，该功率完全由电压和电流的基波成分决定。

总有功功率计算

功率定义为电能从电源流向负载的速率，并通过产生电压和电流波形来表示。所得波形称为瞬时功率信号，并等于每一瞬间的电能流动速率。功率的单位为瓦或焦耳/秒。如果交流系统的电源电压为 $v(t)$ 、电流为 $i(t)$ ，且两者都包含谐波，则

$$v(t) = \sum_{k=1}^{\infty} V_k \sqrt{2} \sin(k\omega t + \varphi_k) \quad (22)$$

$$i(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin(k\omega t + \gamma_k)$$

其中：

V_k 和 I_k 分别是各谐波的电压和电流有效值。

φ_k 和 γ_k 分别是各谐波的相位延迟。

交流系统种的瞬时功率为：

$$p(t) = v(t) \times i(t) = \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k) - \sum_{k=1}^{\infty} V_k I_k \cos(2k\omega t + \varphi_k + \gamma_k) + \sum_{\substack{k, m=1 \\ k \neq m}}^{\infty} V_k I_m \{ \cos[(k-m)\omega t + \varphi_k - \gamma_m] + \cos[(k+m)\omega t + \varphi_k + \gamma_m] \} \quad (23)$$

整个线路周期(n)内的平均功率通过公式24计算得出。

$$P = \frac{1}{nT} \int_0^{nT} p(t) dt = \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k) \quad (24)$$

其中：

T 是线路周期时长。

P 是总有功功率或总实际功率。

请注意，总有功功率等于公式23中瞬时功率信号 $p(t)$ 的直流成分，即：

$$\sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k)$$

该表达式用于计算器件中各相上的总有功功率。通过将 $k=1$ 代入公式24，即可获得基波有功功率的表达式，如下所示：

$$FP = V_1 I_1 \cos(\varphi_1 - \gamma_1) \quad (25)$$

图66显示了器件如何计算各相上的总有功功率。首先，器件将各相上的电流和电压信号相乘。接着，器件利用低通滤波器LPF2提取各相(A、B和C)上瞬时功率信号的直流成分。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

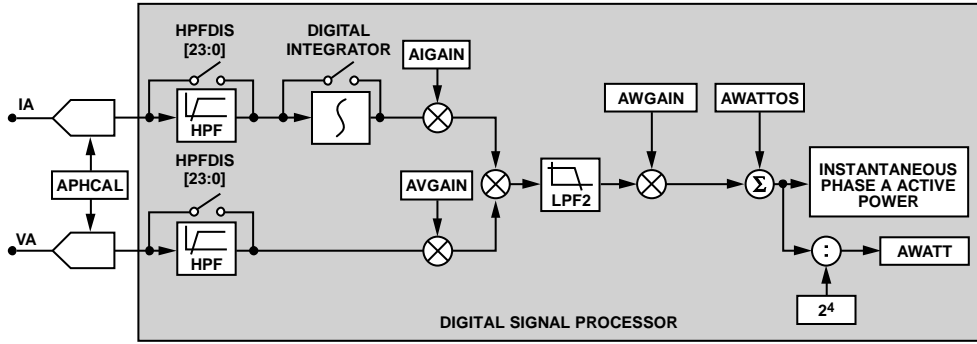


图66. 总有功率数据路径

如果相电流和电压仅包含基波成分、位于相内(即 $\varphi_1 = \gamma_1 = 0$)，且对应于满量程ADC输入，那么两者相乘将得到具有直流成分 $V_1 \times I_1$ 和正弦波成分 $V_1 \times I_1 \cos(2\omega t)$ 的瞬时功率信号；图67显示了对应的波形。

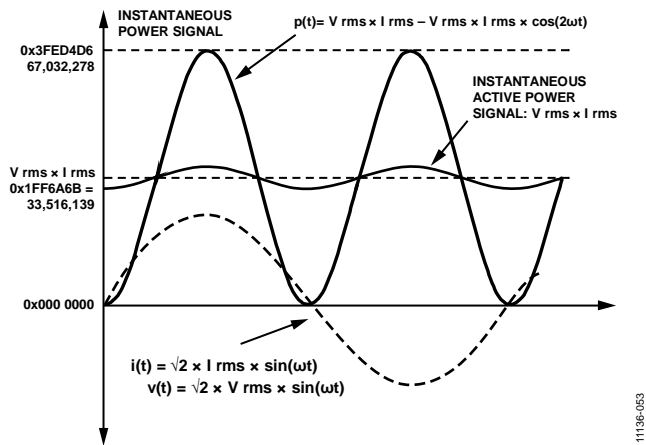


图67. 有功功率计算

由于LPF2在频率响应特性上并不具有理想的滤波器(参见图68)，因此有功功率信号会因瞬时功率信号而出现一些纹波。该纹波为正弦波形，频率等于线路频率的两倍。由于纹波本质上是正弦波，因此在对有功功率信号进行一段时间的积分来计算电能时，纹波会被移除。

CONFIG_A寄存器的位1 (LPFSEL)选择LPF2强度。如果LPFSEL设为0(默认值)，建立时间为650 ms，纹波衰减为65 dB。如果LPFSEL设为1，建立时间为1300 ms，纹波衰减为128 dB。图68显示了LPFSEL位置0时的LPF2频率响应；图69显示了LPFSEL位置1时的LPF2频率响应。

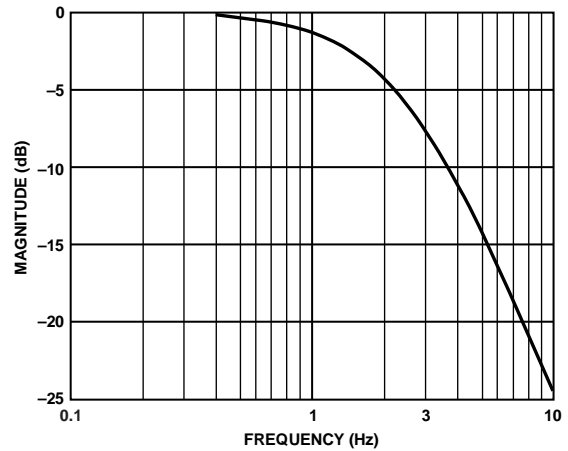


图68. LPF2频率响应(用于对各相上的瞬时功率进行滤波)：CONFIG_A寄存器的LPFSEL位设为0

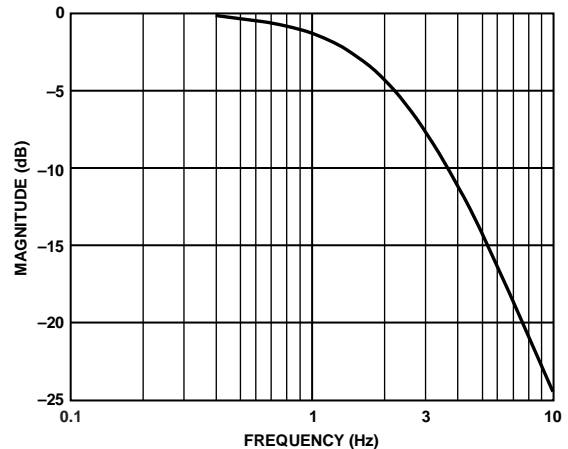


图69. LPF2频率响应(用于对各相上的瞬时功率进行滤波)：CONFIG_A寄存器的LPFSEL位设为1

ADE7854A/ADE7858A/ADE7868A/ADE7878A将瞬时各相总有功率存储在AWATT、BWATT和CWATT寄存器中。寄存器表达式为：

$$xWATT = \sum_{k=1}^{\infty} \frac{V_k}{V} \times \frac{I_k}{I} \times \cos(\varphi_k - \gamma_k) \times P_{MAX} \times \frac{1}{2^4} \quad (26)$$

其中：

V_{FS} 和 I_{FS} 分别为ADC输入为满量程时相位电压和电流的有效值。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

PMAX = 33,516,139，这是ADC输入为满量程的一相中计算出的瞬时功率。

xWATT[23:0]波形寄存器可以通过各种串行端口进行访问(参见“波形采样模式”部分)。

基波有功功率计算—仅限ADE7878A

ADE7878A采用专有算法来计算基波有功功率，该算法需要使用电网频率和电压通道中测得的标称电压来初始化计算函数。COMPmode寄存器的位14(SELFREQ)必须根据ADE7878A所连网络的频率来进行设置。当网络频率为50 Hz时，将位14(SELFREQ)清零(默认值)。当网络频率为60 Hz时，将SELFREQ置1。此外，以基于下列公式的正值来初始化24位带符号寄存器VLEVEL：

$$VLEVEL = \frac{V_{ES}}{V_n} \times 491,520 \quad (27)$$

其中：

V_{ES} 为ADC输入为满量程时相电压的有效值。

V_n 为相电压的有效值标称值。

如“电流波形增益寄存器”部分所述，ADE7878A的串行端口采用32、16或8位数据格式，而DSP采用28位数据格式。与图34所示的寄存器类似，24位带符号寄存器VLEVEL是作为32位寄存器来访问的，其中四个MSB以0填充并通过符号扩展至28位。

表14显示了基波有功功率测量的建立时间。

表14. 基波有功功率的建立时间

63%满量程输入信号	100%满量程输入信号
375 ms	875 ms

有功功率增益校准

请注意，通过写入对应相位的24位功率增益寄存器(AWGAIN、BWGAIN、CWGAIN、AFWGAIN、BFWGAIN或CFWGAIN)，可以在±100%范围内调整各相中LPF2输出端的平均有功功率结果。

通过写入对应相位的24位功率增益寄存器(AWGAIN、BWGAIN、CWGAIN、AFWGAIN、BFWGAIN或CFWGAIN)，可以在±100%范围内调整各相中PDF2输出端的平均有功功率结果。

xWGAIN寄存器置于各相的总有功功率数据路径中，而xFWGAIN(仅适用于ADE7878A)寄存器置于各相的基波有功功率数据路径中。这些功率增益寄存器都是带符号的二进制补码寄存器，且分辨率为 $2^{-23}/\text{LSB}$ 。公式28通过数学方式描述了Watt Gain寄存器的工作方式。

平均功率数据 =

$$LPF2输出 \times \left(1 + \frac{\text{功率增益寄存器}}{2^{23}} \right) \quad (28)$$

通过向功率增益寄存器中写入0xC00000，可以将输出缩小-50%，而通过向其中写入0x400000，则可以将输出放大50%。ADE7854A/ADE7858A/ADE7868A/ADE7878A中，这些寄存器用于校准各相中的有功功率(或电能)计算。

如“电流波形增益寄存器”部分中所述，ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式，而DSP采用28位字格式。与图34所示寄存器类似，24位带符号寄存器AWGAIN、BWGAIN、CWGAIN、AFWGAIN、BFWGAIN和CFWGAIN都是作为32位寄存器来访问的，其中四个MSB以0填充并通过符号扩展至28位。

有功功率失调校准

ADE7854A/ADE7858A/ADE7868A/ADE7878A针对各相和各有功功率内置了一个24位watt offset寄存器。AWATTOS、BWATTOS和CWATTOS寄存器可以补偿总有功功率计算中的偏移失调，而AFWATTOS、BFWATTOS和CFWATTOS寄存器可以补偿基波有功功率计算中的失调。这些都是24位带符号二进制补码寄存器，可用于移除有功功率计算中的失调。

由于PCB上或芯片本身的通道间存在串扰，因此功率计算中会存在失调。有功功率失调寄存器中的1 LSB相当于有功功率乘法器输出中的1 LSB。采用满量程电流和电压输入时，LPF2输出为PMAX = 33,516,139。当输入满量程-80 dB(有功功率调低104倍)时，有功功率失调寄存器的1 LSB就表示PMAX会出现0.0298%的误差。

如“电流波形增益寄存器”部分中所述，ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式，而DSP采用28位字格式。与图34所示寄存器类似，24位带符号寄存器AWATTOS、BWATTOS、CWATTOS、AFWATTOS、BFWATTOS和CFWATTOS都是作为32位寄存器来访问的，其中四个MSB以0填充并通过符号扩展至28位。

有功功率计算的符号

平均有功功率计算是带符号计算。如果电流和电压波形之间的相位差超过90°，平均功率会变成负数。功率为负表示电能被返回注入到电网中。ADE7854A/ADE7858A/ADE7868A/ADE7878A内置符号检测电路来支持无功功率计算，该电路可以监控总无功功率或基波无功功率。如有功功率计算部分所述，有功功率累计是分两个阶段执行的。每次在电能累计中的第一阶段结束时检测到符号变化，即内部累加器的电能累加值达到WTHR寄存器阈值之后，就会触发专用中断。使用PHSIGN寄存器读取各相有功功率的符号。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

ACCMODE寄存器的位6 (REVAPSEL)设置所监控的有功功率类型。REVAPSEL置0(默认值)可监控总有功功率。REVAPSEL置1可监控基波有功功率。

当ACCMODE寄存器的位6 (REVAPSEL)所选功率上发生符号变化时，STATUS0寄存器的位[8:6](分别是REVAPC、REVAPB和REVAPA)就会置1。

PHSIGN寄存器的位[2:0](分别是CWSIGN、BWSIGN和AWSIGN)会与REVAPC、REVAPB和REVAPA位同时置1；这些位表示功率符号。这些位设为0时，对应功率为正数；这些位设为1时，对应功率为负数。

STATUS0寄存器的位REVAPx和PHSIGN寄存器的位xWSIGN对应于x相的总有功功率，而功率类型则由ACCMODE寄存器的位6 (REVAPSEL)来选定。

通过将MASK0寄存器的位[8:6]置1，可以使能附加到STATUS0寄存器的位[8:6](分别是REVAPC、REVAPB和REVAPA)的中断。使能这类中断后，每当发生符号变化时，IRQ0引脚即会变为低电平，且状态位会置1。为了找到触发中断的相位，应在读取STATUS0寄存器后马上读取PHSIGN寄存器。然后，写入STATUS0寄存器并将相应位置1，从而清零状态位并使IRQ0引脚返回高电平。

有功电能计算

如上文所述，功率定义为电流动动的速率，该关系的数学表达式为：

$$\text{功率} = \frac{d\text{Energy}}{dt} \quad (29)$$

而电能是功率的积分，如下所示：

$$\text{功率} = \int p(t) dt \quad (30)$$

总有功电能累计和基波有功电能累计始终都是带符号运算。负电能会有有功电能成分中减去。ADE7854A/ADE7858A/ADE7868A/ADE7878A分两个阶段实现有功功率信号的积分处理(参见图71)。该过程对于总无功功率和基波有功功率是相同的。第一阶段是在DSP内完成的：每隔125(频率为8 kHz)，瞬时相位总或基波有功功率即会向一个内部寄存器中累加一次。到达阈值时，处理器端口处即会产生脉冲，并不会从internal寄存器中减去该阈值。此刻电能的符号即被视作有功功率的符号(参见有功功率计算的符号部分)。第二阶段是在DSP之外完成的，其操作包括将处理器产生的脉冲累加到内部32位累计寄存器中。这些寄存器的内容会在器件访问寄存器时传输至瓦时寄存器xWATTHR和xFWATTHR中(见图70)。

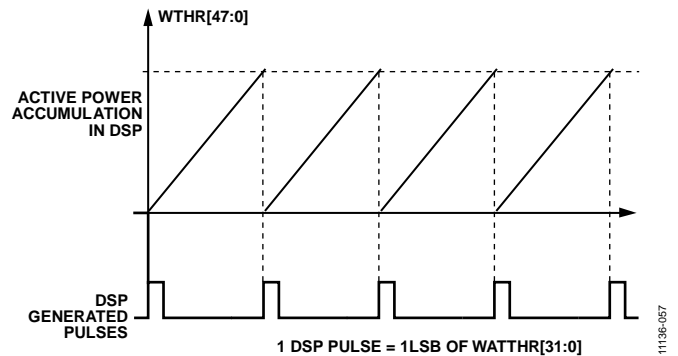


图70. DSP内的有功功率累计

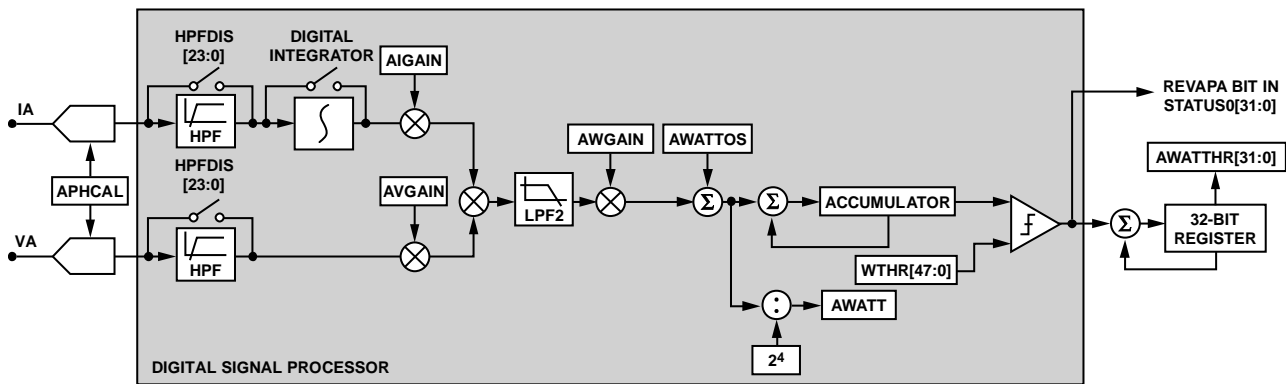


图71. 总有功功率累计

ADE7854A/ADE7858A/ADE7868A/ADE7878A

48位WTHR带符号寄存器包含阈值，由用户设定，同时适用于所有相位的总有功率和基波功率。该值决定瓦时寄存器中1 LSB代表多少电能。

当xWATTHR寄存器中1 LSB相当于 10^n wh有功电能(其中n为整数)，那么可以通过下式计算得出xWATTHR寄存器的值：

$$xWTHR = \frac{P_{MAX} \times f_s \times 3600 \times 10^n}{V_{FS} \times I_{FS}} \quad (31)$$

其中：

$P_{MAX} = 33,516,139 = 0x1FF6A6B$ ，即ADC输入为满量程时计算出的瞬时功率。

$f_s = 8$ kHz，即DSP用于计算瞬时功率的频率。

V_{FS} 和 I_{FS} 分别为ADC输入为满量程时相电压和电流的有效值。

WTHR上可写入的最大值为 $2^{47} - 1$ ，而最小值为 $0x0$ 。不过，建议写入大于或等于 P_{MAX} 的数值。切不可使用负数。

WTHR是48位寄存器。如“电流波形增益寄存器”部分中所述，ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式。如图72所示，WTHR寄存器是作为两个32位寄存器(WTHR1和WTHR0)来访问的，这两个寄存器的八个MSB都是以0进行填充。

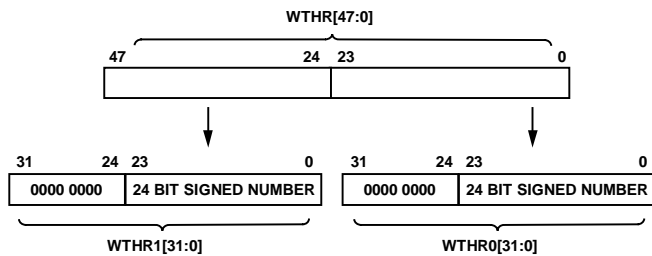


图72. WTHR[47:0]以两个32位寄存器形式传输

根据公式32，这种离散时间的累计或求和相当于连续时间的积分。

$$\text{功率} = \int p(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} p(nT) \times T \right\} \quad (32)$$

其中：

n 为离散时间采样数。

T 为采样周期。

在ADE7854A/ADE7858A/ADE7868A/ADE7878A中，各相总有功率累加在32位带符号寄存器AWATTHR、BWATTHR和CWATTHR中，而各相基波总有功率累加在32位带符号寄存器AFWATTHR、BFWATTHR和CFWATTHR中。当有功功率为正值时，有功电能寄存器内容可以滚动增加至负满量程(0x80000000)，并且值会继续增加。相反，如果有功功率为负值，则电能寄存器会下溢至正满量程(0x7FFFFFFF)，并且值会继续减小。

当其中一个xWATTHR寄存器的位30发生变化时，STATUS0寄存器的位0(AEHF)会置1，以表示这些寄存器的其中一个已经半满。如果有功功率为正值，当瓦时寄存器从0x3FFFFFFF递增到0x40000000时，它变为半满。如果有功功率为负值，当瓦时寄存器从0xC0000000递减到0xBFFFFFFF时，它变为半满。类似地，当其中一个xFWATTHR寄存器的位30发生变化时，STATUS0寄存器的位1(FAEHF)置1，表示这些寄存器的其中一个已经半满。

通过将MASK0寄存器的位[1:0]置1，可以分别使能FAEHF和AEHF中断。使能后，每当xWATTHR(对于AEHF中断)或xFWATTHR(对于FAEHF中断)Energy寄存器变为半满时，IRQ0引脚即会变为低电平，且状态位会被置1。写入STATUS0寄存器且对应位置1可清零状态位，同时将IRQ0引脚设为逻辑高电平。

通过将LCYCMODE寄存器的位6(RSTREAD)置1，可以针对所有瓦时累计寄存器使能“读取并复位”操作，也就是在读取操作之后将寄存器复位至0。

稳定负载下的积分时间

Accumulation寄存器的离散时间采样周期(t)为125 μ s(频率为8 kHz)。当模拟输入端为满量程正弦波信号且功率增益寄存器设为0x000000时，每个LPE2的平均字值为 $P_{MAX} = 33,516,139 = 0x1FF6A6B$ 。如果WTHR寄存器阈值设为 P_{MAX} 电平，则DSP脉冲每隔125 μ s相加并存入瓦时寄存器中。

瓦时累计寄存器中可以存储的最大值为 $2^{31} - 1$ 或0x7FFFFFFF，一旦超过该值即会发生溢出。计算积分时间：

$$\text{时间} = 0x7FFFFFFF \times 125 \mu\text{s} = 74\text{时}33\text{分}55\text{秒} \quad (33)$$

电能累计模式

每个32位瓦时累计寄存器(AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR和CFWATTHR)中累计的有功功率取决于ACCMODE寄存器的位5和位4(CONSEL位)配置(参见表15)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表15. 瓦时累计寄存器的输入

CONSEL	AWATTHR	BWATTHR	CWATTHR
00	$VA \times IA$	$VB \times IB$	$VC \times IC$
01	$VA \times IA$	$VB \times IB$	$VC \times IC$
10	$VA \times IA$	$VB \times IB$ $VB = VA - VC^1$	$VC \times IC$
11	$VA \times IA$	$VB \times IB$ $VB = -VA - VC$ $VB = -VA$	$VC \times IC$

¹ 在三相三线(CONSEL[1:0] = 01)情况下, 器件计算A相与C相之间的线路电压有效值, 并将结果存储于BVRMS寄存器中(参见三相三线三角形配置中的电压有效值部分)。随后, 器件计算与B相相关的功率, 该值无实际含义。为避免B相相关功率引起频率输出引脚(CF1、CF2或CF3/HCLK)内的任何误差, 在COMPmode寄存器中将位TERMSSEL1[1]、TERMSSEL2[1]或TERMSSEL3[1]设为0, 以禁止B相对电能频率转换器的贡献(参见电能频率转换部分)。

根据三相电表服务的具体情况, 选择合适的公式来计算有功功率。美国ANSI C12.10标准定义了电表的不同配置。表16列出了上述不同配置中要选择的模式。

表16. 电能表配置

ANSI电能表	配置	CONSEL[1:0]
5S/13S	三线三角形	01
6S/14S	四线Y形	10
8S/15S	四线三角形	11
9S/16S	四线Y形	00

ACCMODE寄存器的位[1:0] (WATTACC[1:0])决定了如何根据总有功功率和基波有功功率来产生CF频率输出。瓦时累计寄存器是以带符号格式来累计有功功率的, 但频率输出可以根据WATTACC[1:0]位来以带符号模式或绝对值模式产生。更多信息请参见“电能频率转换”部分。

线路周期有功电能累计模式

在线路周期有功电能累计模式下, 电能累计与电压通道的过零事件同步, 以便累计整数个半波周期上的有功电能。通过将整数个线周期上的有功功率相加, 可以将有功功率的正弦波成分降至0。这样可以消除电能计算上的所有纹波, 并能够精确累计较短时间内的电能。使用线周期电能累计模式可极大简化电能校准, 并大幅降低电表的校准时间。

在线路周期电能累计模式下, ADE7854A/ADE7858A/ADE7868A/ADE7878A会在整数个线路周期之后将32位内部累计寄存器中累计的有功电能送入xWATTHR或xFWATTHR寄存器(参见图73)。LINECYC寄存器指定半线路周期数。

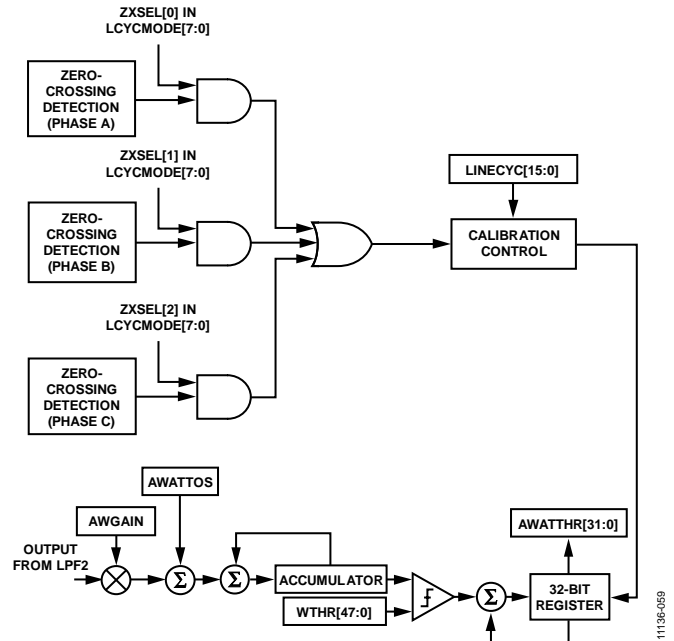


图73. 线路周期有功电能累计模式

将LCYCMODE寄存器中的位0 (LWATT)置1可激活线路周期有功电能累计模式。LINECYC检测到半线路周期数之后, 半线路周期的一次积分范围内的电能累计写入瓦时累计寄存器。使用线周期累计模式时, LCYCMODE寄存器的位6 (RSTREAD)应该设为逻辑0, 因为此模式不支持对瓦时寄存器执行读取并复位操作。

通过设置LCYCMOD寄存器的位[5:3] (ZXSSEL[x]), 可以在计算半波周期数时包含A相、B相和C相过零事件。在计算过零事件时, 可以使用所有三相过零事件的任意组合。校准期间, 过零计数中一次仅应包含一相。

16位LINECYC无符号寄存器指定过零数。ADE7854A/ADE7858A/ADE7868A/ADE7878A最多可以累计65,535个组合过零事件期间的有功功率。请注意, 内部过零计数器始终处于活动状态。因此, 将LCYCMODE寄存器的位0 (LWATT)置1时, 第一个电能累计结果是不正确的。而在LWATT位置1时, 写入LINECYC寄存器可以复位过零计数器, 从而确保第一个电能累计结果是准确的。

在电能校准周期结束时, STATUS0寄存器的位5 (LENERGY)会被置1。如果使能了MASK0中断屏蔽寄存器中的相应屏蔽位, IRQ0引脚会变为低电平有效。写入STATUS0寄存器且对应位置1可清零状态位, 同时将IRQ0引脚复位为高电平。由于此模式下有功功率是在整数个半波周期上进行积分的, 因此正弦波成分会被降至0, 从而消除了电能计算中的所有纹波。因此, 使用线路周期累计模式时累计的总电能为:

$$e = \int_t^{t+nT} p(t) dt = nT \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k) \quad (34)$$

其中， nT 为累计时间。

请注意，线路周期有功功率累计与有功功率累计采用的是相同的信号路径。这两种方法的LSB大小相等。

无功功率计算—仅限ADE7858A、ADE7868A、ADE7878A

ADE7858A/ADE7868A/ADE7878A可以计算各相上的总无功功率。总无功功率包括电压和电流的所有基波和谐波成分。另外，ADE7878A可以计算基波无功功率，该功率完全由电压和电流的基波成分决定。

包含电抗元件(电感或电容)的负载会导致施加的交流电压和所产生的电流之间出现相位差。VAR是与电抗元件相关的功率(无功功率)。无功功率是指电压和电流信号之一的所有谐波成分发生90°相移时电压和电流波形的乘积。

公式38给出了交流系统中电流通道出现了90°的相移时，瞬时无功功率信号的表达式。

$$v(t) = \sum_{k=1}^{\infty} V_k \sqrt{2} \sin(k\omega t + \varphi_k) \quad (35)$$

$$i(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin(k\omega t + \gamma_k) \quad (36)$$

$$i'(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin\left(k\omega t + \gamma_k + \frac{\pi}{2}\right) \quad (37)$$

其中， $i'(t)$ 为所有谐波成分出现90°相移的电流波形。

而瞬时无功功率 $q(t)$ 可以表示为：

$$q(t) = v(t) \times i'(t)$$

$$q(t) = \sum_{k=1}^{\infty} V_k I_k \times 2 \sin(k\omega t + \varphi_k) \times \sin(k\omega t + \gamma_k + \frac{\pi}{2}) + \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} V_k I_m \times 2 \sin(k\omega t + \varphi_k) \times \sin(m\omega t + \gamma_m + \frac{\pi}{2}) \quad (38)$$

请注意， $q(t)$ 可改写为：

$$q(t) = \sum_{k=1}^{\infty} V_k I_k \left\{ \cos\left(\varphi_k - \gamma_k - \frac{\pi}{2}\right) - \cos\left(2k\omega t + \varphi_k + \gamma_k + \frac{\pi}{2}\right) \right\} + \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} V_k I_m \left\{ \cos\left[(k-m)\omega t + \varphi_k - \gamma_k - \frac{\pi}{2}\right] - \cos\left[(k+m)\omega t + \varphi_k + \gamma_k + \frac{\pi}{2}\right] \right\} \quad (39)$$

公式40表示整数线路周期(n)的总无功功率平均值。

$$Q = \frac{1}{nT} \int_0^{nT} q(t) dt = \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k - \frac{\pi}{2}) \quad (40)$$

$$Q = \sum_{k=1}^{\infty} V_k I_k \sin(\varphi_k - \gamma_k)$$

其中：

T 是线路周期。

Q 是总无功功率。

请注意，总无功功率等于公式39中瞬时无功功率信号 $q(t)$ 的直流成分，即：

$$\sum_{k=1}^{\infty} V_k I_k \sin(\varphi_k - \gamma_k)$$

该关系式用于计算ADE7858A/ADE7868A/ADE7878A中各相上的总无功功率。瞬时无功功率信号是各相中 $q(t)$ 电压信号的每个谐波乘以电流信号的对应90°相移谐波而产生的。

ADE7858A/ADE7868A/ADE7878A将瞬时总各相无功功率存储在AVAR、BVAR和CVAR寄存器中。表达式如下：

$$xVAR = \sum_{k=1}^{\infty} \frac{V_k}{V_{FS}} \times \frac{I_k}{I_{FS}} \times \sin(\varphi_k - \gamma_k) \times P_{MAX} \times \frac{1}{2^4} \quad (41)$$

其中：

V_{FS} 和 I_{FS} 分别为ADC输入为满量程时相位电压和电流的有效值。

$P_{MAX} = 33,516,139$ ，这是ADC输入为满量程的一相中计算出的瞬时功率。

xVAR波形寄存器可以通过各种串行端口进行访问。更多信息，参见“波形采样模式”部分。

如“有功功率计算”部分所述，使用CONFIG_A寄存器中的LPFSEL位来提升功率测量滤波器的性能。LPFSEL位默认为0；置1时，功率滤波性能增强(参见图68和图69)。这种滤波会影响总有功功率和总无功功率的测量。

通过将 $k=1$ 代入公式40，即可获得基波无功功率的表达式，如下所示：

$$FQ = V_1 I_1 \sin(\varphi_1 - \gamma_1) \quad (42)$$

ADE7854A/ADE7858A/ADE7868A/ADE7878A

ADE7878A采用专有算法来计算基波无功功率，该算法需要使用电网频率和在电压通道中测得的标称电压来初始化计算函数。这些初始化过程是基波有功和无功功率所共有的(参见“有功功率计算”部分)。

表17显示了基波无功功率测量的建立时间，即让功率能够反映出ADE7878A输入端的值所需的时间。

表17. 基波无功功率的建立时间

63%满量程输入信号	100%满量程输入信号
375 ms	875 ms

无功功率增益校准

通过写入对应相位的24位VARGAIN寄存器之一(AVARGAIN、BVARAIN、CVARGAIN、AFVARGAIN、BFVARGAIN或CFVARGAIN)，可以在±100%范围内调整各相中的平均无功功率。xVARGAIN寄存器置于各相的总无功功率数据路径中，而xFVARGAIN寄存器置于各相的基波无功功率数据路径中。xVARGAIN寄存器都是带符号的二进制补码寄存器，且分辨率为 $2^{-23}/\text{LSB}$ 。xVARGAIN寄存器的函数表达式为：

$$\text{平均无功功率} = \text{LPF2输出} \times \left(1 + \frac{x\text{VARGAIN Register}}{2^{23}} \right) \quad (43)$$

通过向xVARGAIN寄存器中写入0xC00000，可以将输出缩小50%，而通过向其中写入0x400000，则可以将输出放大50%。这些寄存器可以用于校准器件中各相的无功功率(或电能)增益。

如“电流波形增益寄存器”部分中所述，ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式，而DSP采用28位字格式。与图34所示寄存器类似，24位带符号寄存器AVARGAIN、BVARAIN、CVARGAIN、AFVARGAIN、BFVARGAIN和CFVARGAIN都是作为32位寄存器来访问的，其中四个MSB以0填充并通过符号扩展至28位。

无功功率失调校准

ADE7858A/ADE7868A/ADE7878A针对各相总无功功率提供了一个reactive power offset寄存器。AVAROS、BVAROS和CVAROS寄存器可以补偿总无功功率计算中的失调，而AFVAROS、BFVAROS和CFVAROS寄存器可以补偿基波无功功率计算中的失调。这些都是24位带符号二进制补码寄存器，可用于移除无功功率计算中的失调。由于PCB上或芯片本身的通道间存在串扰，因此功率计算中会存在失调。这些失调寄存器的分辨率与有功功率失调寄存器相同(参见“有功功率失调校准”部分)。

如“电流波形增益寄存器”部分中所述，ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式，而DSP采用28位字格式。与图34所示寄存器类似，24位带符号寄存器AVAROS、BVAROS、CVAROS、AFVAROS、BFVAROS和CFVAROS都是作为32位寄存器来访问的，其中四个MSB以0填充并通过符号扩展至28位。

无功功率计算的符号

请注意，无功功率计算是带符号计算。表18概述了电压和电流之间的相位差与对应无功功率计算符号之间的关系。

表18. 无功功率计算的符号

Φ^1 (度)	积分器	无功功率的符号
0到+180	关	正
-180到0	关	负
0到+180	开	正
-180到0	开	负

¹ Φ 定义为电压信号减去电流信号所得的相位角度；也就是说，如果是感性负载， Φ 为正，而如果是容性负载，则为负。

ADE7858A/ADE7868A/ADE7878A内置符号检测电路来支持无功功率计算，该电路可以监控总无功功率或基波无功功率。如“无功电能计算”部分所述，无功电能累计是分两个阶段执行的。每次在电能累计中的第一阶段结束时检测到符号变化，即内部累加器的电能累加值达到VARTHR寄存器阈值之后，就会触发专用中断。使用PHSIGN寄存器读取各相无功功率的符号。ACCMODE寄存器的位7(REVRPSEL)设置所监控的无功功率类型。将REVRPSEL置0(默认值)可监控总无功功率，而将REVRPSEL置1可监控基波无功功率。

当ACCMODE寄存器的位7(REVRPSEL)所选功率上发生符号变化时，STATUS0寄存器的位[12:10](分别是REVRPC、REVRPB和REVRPA)就会置1。

PHSIGN寄存器的位[6:4](分别是CVARSIGN、BVARSIGN和AVARSIGN)会与REVRPC、REVRPB和REVRPA位同时置1。这些位指示无功功率的符号。这些位设为0时，无功功率为正数。这些位设为1时，无功功率为负数。

STATUS0寄存器的位REVRPx和PHSIGN寄存器的位xVARSIGN对应于x相的总无功功率，而功率类型则由ACCMODE寄存器的位REVRPSEL来选定。

通过设置MASK0寄存器的位[12:10]，可以分别使能REVRPC、REVRPB和REVRPA中断。使能这类中断后，每当发生符号变化时， $\overline{\text{IRQ0}}$ 引脚即会变为低电平，且状态位会置1。为了找到触发中断的相位，应在读取STATUS0寄存器后马上读取PHSIGN寄存器。然后，写入STATUS0寄存器并将相应位置1，从而清零状态位并使 $\overline{\text{IRQ0}}$ 引脚设为高电平。

无功电能计算

无功电能是无功功率的积分形式。

$$\text{无功电能} = \int q(t) dt \quad (44)$$

总无功电能累计和基波无功电能累计始终都是带符号运算。负电能会从无功电能成分中减去。

与有功功率类似，ADE7858A/ADE7868A/ADE7878A分两个阶段实现无功功率信号的积分处理(见图74)。该过程对于总无功功率和基波无功功率是相同的。

- 第一阶段是在DSP内进行的：每隔125 μs(频率为8 kHz)，瞬时相总无功或基波无功功率即会向一个内部寄存器中累加一次。到达阈值时，处理器端口处即会产生脉冲，并会从该内部寄存器中减去该阈值。此刻电能的符号即被视作无功功率的符号(详情参见“无功功率计算的符号”部分)。
- 第二阶段是在DSP之外完成的，其操作包括将处理器产生的脉冲累加到内部32位accumulation寄存器中。这类寄存器的内容会在器件访问var-hour寄存器(xVARHR和xFVARHR)时送入这些VAR-hour寄存器中。AVARHR、BVARHR、CVARHR、AFWATTHR、BFWATTHR和CFWATTHR表示相位基波无功功率。

“有功电能计算”部分的图70说明了该过程。48位VARTHR带符号寄存器包含阈值，由用户设定，同时适用于所有相位的总无功功率和基波相位无功功率。该值取决于乏时寄存器中1 LSB代表到多少电能。

当xVARTHR寄存器中1 LSB相当于 10^n varh无功电能(其中n为整数)，那么可以通过下式计算得出VARTHR寄存器的值：

$$VARTHR = \frac{P_{MAX} \times f_s \times 3600 \times 10^n}{V_{FS} \times I_{FS}} \quad (45)$$

其中：

$P_{MAX} = 33,516,139 = 0x1FF6A6B$ ，即ADC输入为满量程时计算出的瞬时功率。

$f_s = 8$ kHz，即DSP用于计算瞬时功率的频率。

V_{FS} 和 I_{FS} 分别为ADC输入为满量程时相电压和电流的有效值。

VARTHR寄存器上可写入的最大值为 $2^{47} - 1$ ，而最小值为0x0。不过，建议写入大于或等于P_{MAX}的数值。切不可使用负数。

与图72所示WTHR类似，48位寄存器VARTHR寄存器是作为两个32位寄存器(VARTHR1和VARTHR0)来访问的，这两个寄存器的八个MSB都是以0进行填充。如“电流波形增益寄存器”部分中所述，ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式。

这种离散时间累加或相加相当于在连续时间内进行积分处理，如公式46所示：

$$\text{无功电能} = \int q(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} q(nT) \times T \right\} \quad (46)$$

其中：

n 为离散时间采样数。

T 为采样周期。

ADE7858A/ADE7868A/ADE7878A上，相总无功功率是在32位带符号寄存器AVARHR、BVARHR和CVARHR中进行累加的。而相基波无功功率是在32位带符号寄存器AFVARHR、BFVARHR和CFVARHR进行累加的。当无功功率为正值时，无功电能寄存器内容可以滚动增加至负满量程(0x80000000)，并且值会继续增加。相反，如果无功功率为负值，则电能寄存器会下溢至正满量程(0x7FFFFFFF)，并且值会继续减小。

当其中一个xVARHR寄存器的位30发生变化时，STATUS0寄存器的位2(REHF)会置1，以表示这些寄存器的其中一个已经半满。如果无功功率为正值，当var-hour寄存器从0x3FFFFFFF递增至0x40000000时，它变为半满。如果无功功率为负值，当var-hour寄存器从0xC0000000递减到0xBFFFFFFF时，它变为半满。类似地，当其中一个xFVARHR寄存器的位30发生变化时，STATUS0寄存器的位3(FREHF)会置1，以表示这些寄存器的其中一个已经半满。

通过设置MASK0寄存器的位[3:2]，可以分别使能FREHF和REHF中断。使能后，每当xVARHR(对于REHF中断)或xFVARHR(对于FREHF中断)电能寄存器变为半满时，IRQ0引脚即会变为低电平，且状态位会被置1。写入STATUS0寄存器且对应位置1可清零状态位，同时将IRQ0引脚设为高电平。

通过将LCYCMODE寄存器的位6(RSTREAD)置1，可以针对所有乏时累计寄存器使能“读取并复位”操作，也就是在读取操作之后将寄存器复位至0。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

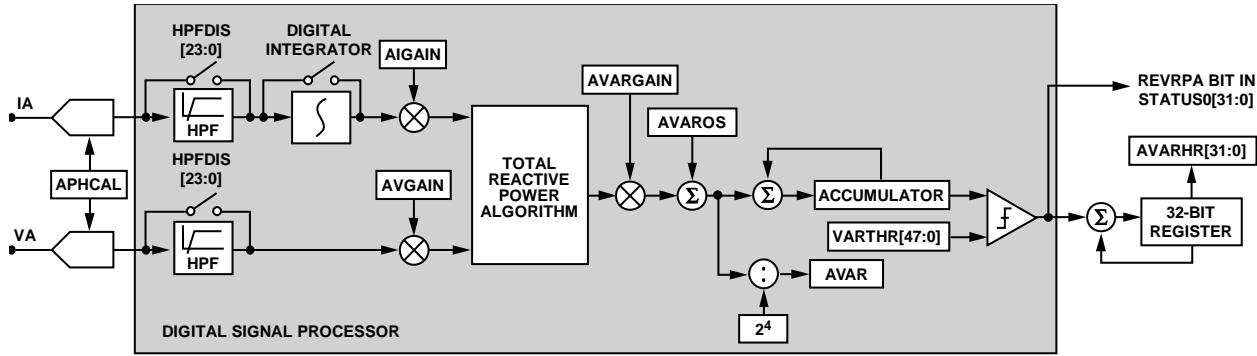


图74. 总无功电能累计

稳定负载下的积分时间

Accumulation寄存器的离散时间采样周期(T)为125 μs(频率为8 kHz)。当模拟输入采用满量程纯正弦波信号且电压和电流信号之间存在90°相位差(无功功率最大可能值)时,表示无功功率的平均字值为 $P_{MAX} = 33,516,139 = 0x1FF6A6B$ 。如果VARTRH阈值设为 P_{MAX} 电平,这意味着DSP会每隔125 μs产生一个脉冲,这些脉冲会相加并存入var-hour寄存器中。

Var-hour累计寄存器中可以存储的最大值为 $2^{31} - 1$ 或0x7FFFFFFF,一旦超过该值即会发生溢出。积分时间通过下式计算:

$$\text{时间} = 0x7FFFFFFF \times 125 \mu\text{s} = 74\text{时}33\text{分}55\text{秒} \quad (47)$$

电能累计模式

各32位无时累计寄存器(AVARHR、BVARHR、CVARHR、AFVARHR、BFVARHR和CFVARHR)中累计的无功功率取决于ACCMODE寄存器的位[5:4] (CONSEL[1:0])与瓦时寄存器相关的配置,各种配置如表19所示。请注意,IA'/IB'/IC'都是相移电流波形。

表19. Var-Hour累计寄存器的输入

CONSEL[1:0]	AVARHR, AFVARHR	BVARHR, BFVARHR	CVARHR, CFVARHR
00	$VA \times IA'$	$VB \times IB'$	$VC \times IC'$
01	$VA \times IA'$	$VB \times IB'$ $VB = VA - VC^1$	$VC \times IC'$
10	$VA \times IA'$	$VB \times IB'$ $VB = -VA - VC$	$VC \times IC'$
11	$VA \times IA'$	$VB \times IB'$ $VB = -VA$	$VC \times IC'$

¹ 在三相三线(CONSEL[1:0] = 01)情况下,器件计算A相与C相之间的线路电压有效值,并将结果存储于BVRMS寄存器中(参见三相三线三角形配置中的电压有效值部分)。随后,器件计算与B相相关的功率,该值无实际含义。为避免B相相关功率引起频率输出引脚(CF1、CF2或CF3/HSCLK)内的任何误差,在COMPmode寄存器中将位TERMSSEL1[1]、TERMSSEL2[1]或TERMSSEL3[1]设为0,以禁止B相对电能频率转换器的贡献(参见电能频率转换部分)。

ACCMODE寄存器的位[3:2] (VARACC[1:0])决定如何根据总无功功率和基波无功功率来产生CFx频率输出。Var-hour累计寄存器是以带符号格式来累计无功功率的,但频率输出可以根据VARACC[1:0]位的设置来以带符号模式、符号调整模式或绝对模式产生。更多信息请参见“电能频率转换”部分。

线路周期无功电能累计模式

在线路周期电能累计模式下(参见“线路周期有功电能累计模式”部分),电能累计可以与电压通道过零事件同步,从而可以累计整数个半波周期内的无功电能。

此模式下,ADE7858A/ADE7868A/ADE7878A会在整数个线路周期之后将32位内部累计存储器中累计的无功电能送入xVARHR或xFVARHR寄存器(参见图75)。LINECYC寄存器指定半线路周期数。

将LCYCMODE寄存器中的位1 (LVAR)置1可激活线路周期无功电能累计模式。当检测到的过零事件数量达到LINECYC寄存器中指定的数值之后,器件会将整数个半波周期或过零事件内累计的总无功电能送入Var-hour accumulation寄存器。使用线路周期累计模式时,LCYCMODE寄存器的位6 (RSTREAD)应该设为逻辑0,因为此模式不支持对var-hour寄存器执行读取并复位操作。

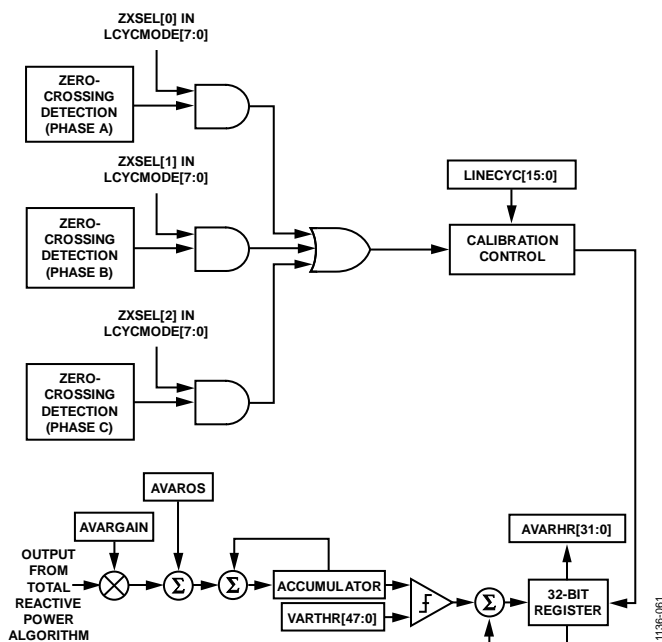


图75. 线路周期总无功电能累计模式

通过设置LCYCMOD寄存器的位[5:3] (ZXSEL[x]), 可以在计算半波周期数时包含A相、B相和C相过零事件。在计算过零事件时, 可以使用所有三相过零事件的任意组合。校准期间, 过零计数中一次仅应包含一相。

有关线路周期累计模式下如何设置LINECYC寄存器和MASK0中断屏蔽寄存器的位5 (LENERGY)的更多信息, 请参见“线路周期有功电能累计模式”部分。

视在功率计算

视在功率定义为最大负载功率。获取视在功率的一种方法是将电压有效值乘以电流有效值(算术视在功率)。

$$S = V_{rms} \times I_{rms} \quad (48)$$

其中:

S为视在功率。

V_{rms} 和 I_{rms} 分别是电压和电流有效值。

ADE7854A/ADE7858A/ADE7868A/ADE7878A可以计算各相上的算术视在功率。图76显示了ADE7854A/ADE7858A/ADE7868A/ADE7878A上各相计算视在功率时的信号处理。由于 V_{rms} 和 I_{rms} 包含所有谐波信息, 因此器件计算的视在功率为总视在功率。注意, ADE7878A并不测量基波电压和电流的有效值, 因此也不会计算基波视在功率。

ADE7854A/ADE7858A/ADE7868A/ADE7878A将瞬时各相视在功率存储在AVA、BVA和CVA寄存器中, 表示为:

$$xVA = \frac{V}{V_{FS}} \times \frac{I}{I_{FS}} \times P_{MAX} \times \frac{1}{2^4} \quad (49)$$

其中:

V 和 I 分别是相位电压和电流的有效值。

V_{FS} 和 I_{FS} 分别为ADC输入为满量程时相位电压和电流的有效值。

$P_{MAX} = 33,516,139$, 这是ADC输入为满量程的一相中计算出的瞬时功率。

注意, $xVA[23:0]$ 波形寄存器可以通过各种串行端口进行访问(参见“波形采样模式”部分)。

此外, ADE7854A/ADE7858A/ADE7868A/ADE7878A还可以通过将相位有效值电流与外部引入的有效值电压相乘, 来计算视在功率(参见“使用VNOM计算视在功率”部分)。

视在功率增益校准

通过写入对应相位的24位xVAGAIN寄存器(AVAGAIN、BVAGAIN或CVAGAIN), 可以在±100%范围内调整各相中产生的平均视在功率。

xVAGAIN寄存器都是带符号的二进制补码寄存器, 且分辨率为 $2^{-23}/\text{LSB}$ 。xVAGAIN寄存器的函数数学表达式为:

$$\text{平均视在功率} = V_{rms} \times I_{rms} \times \left(1 + \frac{xVAGAIN \text{ Register}}{2^{23}} \right) \quad (50)$$

其中, x代表A、B或C相位。

通过向xVAGAIN寄存器中写入0xC00000, 可以将输出缩小50%, 而通过向其中写入0x400000, 则可以将输出放大50%。在ADE7854A/ADE7858A/ADE7868A/ADE7878A中, 这些寄存器用于校准各相中的视在功率(或电能)计算。

如前文“电流波形增益寄存器”部分中所述, ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式, 而DSP采用28位字格式。与图34所示的寄存器类似, 24位寄存器AVAGAIN、BVAGAIN和CVAGAIN都是作为32位寄存器来访问的, 其中四个MSB以0填充并通过符号扩展至28位。

视在功率失调校准

每个有效值测量均包含失调补偿寄存器, 用于校准并消除有效值中的直流成分(参见“有效值测量”部分)。在视在功率信号处理中, 电压和电流有效值会相乘。由于有效值相乘并不会产生任何额外失调, 因此视在功率信号处理中无需专用的失调补偿。各相视在功率测量的失调补偿是通过校准各个有效值测量来实现的。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

使用VNOM计算视在功率

ADE7854A/ADE7858A/ADE7868A/ADE7878A可以通过将电流有效值与24位带符号寄存器中外外部引入的有效值电压相乘，来计算视在功率。当COMPmode寄存器的位[13:11] (VNOMCEN、VNOMBEN或VNOMAEN)之一置1时，即会通过此方式计算对应相位(VNOMxEN所对应的x相)上的视在功率。当VNOMxEN位清0(默认值)时，计算的是算术视在功率。

VNOM寄存器的值取决于V(所需电压有效值)和 V_{FS} (ADC输入为满量程时的相电压有效值)：

$$VNOM = \frac{V}{V_{FS}} \times 4,191,910 \quad (51)$$

其中，V为所需的标称相电压有效值。

如“电流波形增益寄存器”部分中所述，ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式。与图37所示寄存器类似，24位带符号寄存器VNOM是作为32位寄存器来访问的，其中八个MSB以0填充。

视在电能计算

视在电能是视在功率的积分形式。

$$\text{视在电能} = \int s(t) dt \quad (52)$$

与有功和无功功率类似，ADE7854A/ADE7858A/ADE7868A/ADE7878A分两个阶段实现视在功率信号的积分处理(见图76)。

第一阶段是在DSP内进行的：每隔125 μs(频率为8 kHz)，瞬时相位视在功率即会向内部寄存器中累加一次。到达阈值时，处理器端口处即会产生脉冲，并会从该内部寄存器中减去该阈值。

第二阶段是在DSP之外进行的，其操作包括将处理器产生的脉冲累加到内部32位累计寄存器中。这些寄存器的内容

会在器件访问寄存器时传输至VA-hour寄存器xVAHR中(参见“有功电能计算”部分的图71)。

阈值包含在48位带符号寄存器VATHR中，其值决定VA时寄存器中1 LSB代表多少电能。当xVAHR寄存器中1 LSB相当于 $[10^n \text{ VAh}]$ 视在电能(VAh)时，其中n为整数，那么可以通过下式计算得出VATHR寄存器的值：

$$VATHR = \frac{PMAX \times f_s \times 3600 \times 10^n}{V_{FS} \times I_{FS}} \quad (53)$$

其中：

$PMAX = 33,516,139 = 0x1FF6A6B$ ，即ADC输入为满量程时计算出的瞬时功率。

$f_s = 8 \text{ kHz}$ ，即DSP用于计算瞬时功率的频率。

V_{FS} 和 I_{FS} 分别为ADC输入为满量程时相电压和电流的有效值。

VATHR是48位寄存器。如前文“电流波形增益寄存器”部分中所述，ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位格式。与图72所示WTHR类似，VATHR寄存器是作为两个32位寄存器(VATHR1和VATHR0)来访问的，这两个寄存器的八个MSB都是以0进行填充。

这种离散时间累加或相加相当于在连续时间内进行积分处理，如公式54所示：

$$\text{视在电能} = \int s(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} s(nT) \times T \right\} \quad (54)$$

其中：

n为离散时间采样数。

T为采样周期。

在ADE7854A/ADE7858A/ADE7868A/ADE7878A上，各相视在功率是在32位带符号寄存器AVAHR、BVAHR和CVAHR中进行累加的。当视在功率为正值时，视在电能寄存器内容可以滚动增加至负满量程(0x80000000)，并且值会继续增加。

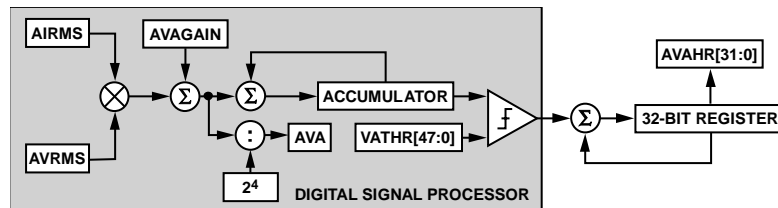


图76. 视在功率数据流和视在电能累计

当其中一个xVAHR寄存器的位30发生变化时，STATUS0寄存器的位4 (VAEHF)会置1，以表示这些寄存器的其中一个已经半满。由于视在功率始终为正值且xVAHR寄存器带符号，因此当VA-hour寄存器从0x3FFFFFFF递增至0x40000000时，它变为半满。通过设置MASK0寄存器的位4，可以使STATUS0寄存器的位VAEHF所附带的中断。使能后，每当其中一个xVAHR电能寄存器变为半满时， $\overline{\text{IRQ0}}$ 引脚即会变为低电平，且状态位会置1。写入STATUS0寄存器且对应位置1可清零状态位，同时将 $\overline{\text{IRQ0}}$ 引脚设为高电平。

通过将LCYCMODE寄存器的位6 (RSTREAD)置1，可以针对所有xVAHR累计寄存器使能“读取并复位”操作，也就是在读操作之后将寄存器复位至0。

稳定负载下的积分时间

累计寄存器的离散时间采样周期为125 μs(频率为8 kHz)。当模拟输入采用满量程纯正弦波信号时，表示视在功率的平均字值为P_{MAX}。如果VATHR阈值设为P_{MAX}电平，这意味着DSP会每隔125 μs产生一个脉冲，这些脉冲会相加并存入xVAHR寄存器中。

xVAHR累计寄存器中可以存储的最大值为 $2^{31} - 1$ 或0x7FFFFFFF，一旦超过该值即会发生上溢。计算积分时间：

$$\text{时间} = 0x7FFFFFFF \times 125 \mu\text{s} = 74\text{时}33\text{分}55\text{秒} \quad (55)$$

电能累计模式

各累计寄存器中累计的视在功率取决于ACCMODE寄存器的位[5:4] (CONSEL[1:0])的配置，有关VA-hour累计寄存器的各种输入配置，请参见表20。

表20. VA-Hour累计寄存器的输入

CONSEL[1:0]	AVAHR	BVAHR	CVAHR
00	VA rms × IA rms	VB rms × IB rms	VC rms × IC rms
01	VA rms × IA rms	VB rms × IB rms VB = VA - VC ¹	VC rms × IC rms
10	VA rms × IA rms	VB rms × IB rms VB = -VA - VC	VC rms × IC rms
11	VA rms × IA rms	VB rms × IB rms VB = -VA	VC rms × IC rms

¹ 在三相三线(CONSEL[1:0] = 01)情况下，器件计算A相与C相之间的线路电压有效值，并将结果存储于BVRMS寄存器中(参见三相三线三角形配置中的电压有效值部分)。随后，器件计算与B相相关的功率，该值无实际含义。为避免B相相关功率引起频率输出引脚(CF1、CF2或CF3/HISCLK)内的任何误差，在COMPmode寄存器中将位TERMSSEL1[1]、TERMSSEL2[1]或TERMSSEL3[1]设为0，以禁止B相对电能频率转换器的贡献(参见电能频率转换部分)。

线路周期视在电能累计模式

在线路周期电能累计模式下，电能累计可与电压通道的过零事件同步，以便累计整数个半波周期上的视在电能。此模式下，ADE7854A/ADE7858A/ADE7868A/ADE7878A会在整数个线路周期之后将32位内部累计寄存器中累计的视在电能送入xVAHR寄存器(参见图77)。LINECYC寄存器指定半线路周期数。

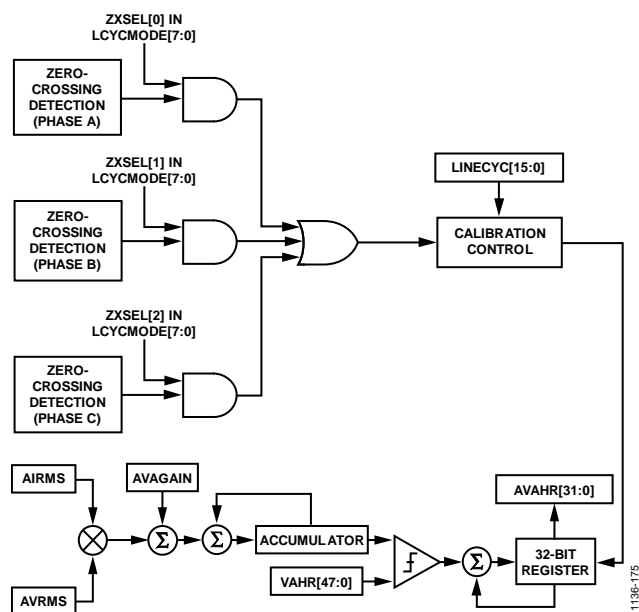


图77. 线路周期视在电能累计模式

通过将LCYCMODE寄存器的位2 (LVA)置1，可以激活线路周期视在电能累计模式。当检测到的过零事件数量达到LINECYC寄存器中指定的数值之后，器件会将整数个过零事件内累计的视在电能送入xVAHR累计寄存器。使用线路周期累计模式时，LCYCMODE寄存器的位6 (RSTREAD)应该设为逻辑0，因为此模式不支持对xVAHR寄存器执行读取并复位操作。

通过设置LCYCMODE寄存器的位[5:3] (ZXSEL[x])，可以在计算半波周期时分别包含A相、B相和C相过零事件。在计算过零事件时，可以使用所有三相过零事件的任意组合。校准期间，过零计数中一次仅应包含一相。

有关线路周期累计模式下如何设置LINECYC寄存器和MASK0中断屏蔽寄存器的位5 (LENERGY)的更多信息，请参见“线路周期有功电能累计模式”部分。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

波形采样模式

ADE7854A/ADE7858A/ADE7868A/ADE7878A会每隔125 μs (速率为8 kHz)向24位带符号寄存器中存入一次电流和电压波形采样数据(即有功/无功/视在功率输出),并且这些寄存器可以通过各种串行端口进行访问。表21列出了相关寄存器及其描述。

表21. 波形寄存器列表

寄存器	说明
IWV	A相电流
VAWV	A相电压
IBWV	B相电流
VBWV	B相电压
ICWV	C相电流
VCWV	C相电压
INWV	零线电流, 仅限ADE7868A和ADE7878A
AVA	A相视在功率
BVA	B相视在功率
CVA	C相视在功率
AWATT	A相总有功功率
BWATT	B相总有功功率
CWATT	C相总有功功率
AVAR	A相总无功功率
BVAR	B相总无功功率
CVAR	C相总无功功率

STATUS0寄存器的位17 (DREADY)用于表示何时可使用I²C或SPI串行端口来读取表21中列出的寄存器。通过将MASK0寄存器的位17 (DREADY)置1, 可以使能附加到此标志的中断。有关DREADY位的更多信息, 参见“数字信号处理器”部分。

ADE7854A/ADE7858A/ADE7868A/ADE7878A具有一个专门设计的高速数据采集(HSDC)端口, 可以快速访问waveform sample寄存器(参见“HSDC接口”部分)。另外还提供SPI突发模式, 能通过一个命令访问全部波形寄存器(参见“SPI突发读取操作”部分)。

如“电流波形增益寄存器”部分中所述, ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式。表21中列出的所有寄存器都通过符号从24位扩展至32位(见图38)。

电能频率转换

ADE7854A/ADE7858A/ADE7868A/ADE7878A提供三个频率输出引脚: CF1、CF2和CF3/HSCLK。CF3输出和HSDC接口的串行时钟输出多路复用。使能HSDC时, 即会禁用该

引脚的CF3功能。CF1和CF2引脚始终处于可用状态。注意, 本节中, 仅相关校准频率输出功能会引用CF3/HSCLK双功能引脚名称CF3(有关完整的引脚名称和描述, 请参见“引脚配置和功能描述”部分)。

经过出厂时的初始校准之后, 制造商或最终用户需要检验电表校准。检验电表校准的一种简单方法是在稳定负载条件下提供与有功、无功或视在功率成正比的输出频率。这类输出频率可以为外部校准设备提供简单的单线光隔离接口。图78显示了ADE7854A/ADE7858A/ADE7868A/ADE7878A中的电能频率转换。

DSP会计算所有相功率的瞬时值: 总有功功率、基波有功功率、总无功功率、基波无功功率和视在功率。电能会以带符号形式在各种xWATTHR、xVARHR和xVAHR寄存器中进行累加, 具体过程参见“电能计算”部分: 有功电能计算、无功电能计算和视在电能计算等部分中进行了介绍。在电能频率转换过程中, 瞬时功率会在频率输出引脚(CF1、CF2和CF3/HSCLK)处产生信号。每个CF_x引脚对应一个数字频率转换器。各转换器会将某些相功率相加, 并产生与该和成正比的脉冲信号。所转换的具体功率取决于两组寄存器位。

首先, COMPMODE寄存器的位[2:0] (TERMSEL1[2:0])、位[5:3] (TERMSEL2[2:0])和位[8:6] (TERMSEL3[2:0])决定要相加的相位或相位组合。

TERMSEL1位对应于CF1引脚, TERMSEL2位对应于CF2引脚, 而TERMSEL3位则对应于CF3/HSCLK引脚。TERMSEL_x[0]位管理A相。置1时, CF_x转换器会在功率之和中包含A相功率。清0时, 则不包含A相功率。TERMSEL_x[1]位管理B相, 而TERMSEL_x[2]位管理C相。所有TERMSEL_x位全部置1时, 意味着CF_x转换器会将所有三相功率相加。所有TERMSEL_x位全部清0时, 则意味着不将任何相功率相加, 也不产生任何CF脉冲。

其次, CFMODE寄存器的位[2:0] (CF1SEL[2:0])、位[5:3] (CF2SEL[2:0])和位[8:6] (CF3SEL[2:0])分别决定CF1、CF2和CF3转换器中使用的功率类型。表22显示了CF_xSEL可能具备的值: 总有功功率、总无功功率(仅限ADE7858A、ADE7868A和ADE7878A)、视在功率、基波有功功率(仅限ADE7878A)或基波无功功率(仅限ADE7878A)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表22. CFMODE寄存器的CFxSEL[2:0]位的描述

CFxSEL[2:0]	CFx信号与何种功率之和成比例	CFxLATCH = 1时锁存的寄存器
000	相位总有功功率	AWATTHR, BWATTHR, CWATTHR
001	总相位无功功率 (ADE7858A、ADE7868A和ADE7878A)	AVARHR, BVARHR, CVARHR
010	相位视在功率	AVAHR, BVAHR, CVAHR
011	基波相位有功功率(仅限ADE7878A)	AFWATTHR, BFWATTHR, CFWATTHR
100	基波相位无功功率(仅限ADE7878A)	AFVARHR, BFVARHR, CFVARHR
101 to 111	保留	

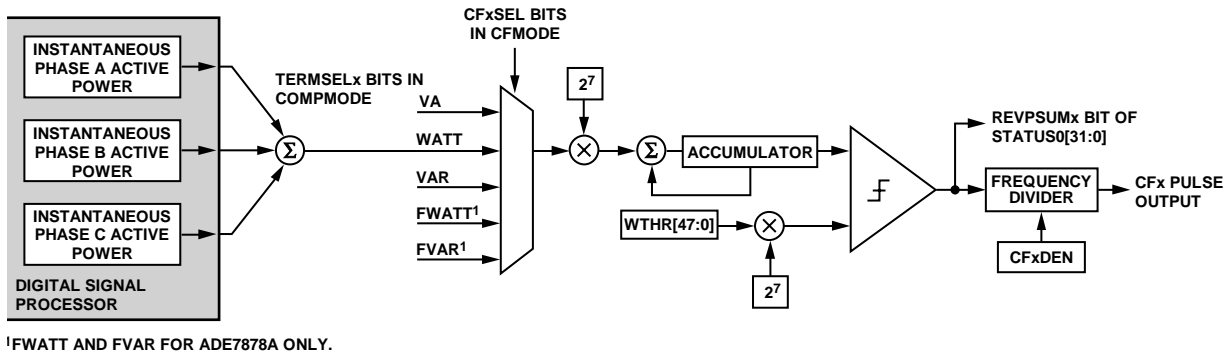


图78. 电能频率转换

默认情况下，TERMSELx位为全1，CF1SEL位为000，CF2SEL位为001，而CF3SEL位为010。这意味着默认情况下，CF1数字频率转换器会产生与全部三相总有功功率之和成正比的信号，CF2会产生与总无功功率成正比的信号，而CF3会产生与视在功率成正比的信号。

与电能累计过程类似，电能频率转换是分两个阶段完成的。在第一阶段中，器件以8 kHz的速率从DSP获取瞬时相位功率并向左移7位，然后以1 MHz的速率累加到一个内部寄存器中。到达阈值时，器件即会产生脉冲，并会该内部寄存器中减去该阈值。此刻电能的符号即被视作相功率之和的符号(详情参见“CFx数据路径中相功率之和的符号”部分)。除了向左移7位之外，该阈值与DSP中各种有功/无功/视在电能累加器(如WTHR、VARTHR或VATHR)中使用的阈值相同。以1 MHz的速率累计瞬时功率具有一项好处，那就是可以显著减少CFx引脚上的纹波。

第二阶段包括由16位无符号寄存器CFxDEN构成的分频器。CFxDEN的值取决于电表常数(MC)(以impulses/kWh为单位)和各电能寄存器中1 LSB所代表到的电能：xWATTHR和xVARHR等等。假设xWATTHR寄存器的1 LSB相当于 10^n wh (其中n为正负整数)，CFxDEN为：

$$CFxDEN = \frac{10^3}{MC[\text{imp}/\text{kwh}] \times 10^n} \quad (56)$$

选择 10^n wh时，必须确保CFxDEN寄存器内容大于1。如果CFxDEN = 1，那么CFx引脚仅会在1 μs内保持低电平有效。因此，请避免此数值。频率转换器不支持小数结果；分频结果必须四舍五入到最接近的整数。如果CFxDEN等于0，那么器件会将其视为1。

如果脉冲周期大于160 ms (6.25 Hz)，那么所有数字频率转换器的脉冲输出会在80 ms内保持低电平。如果脉冲周期小于160 ms且CFxDEN为偶数，则脉冲输出的占空比正好为50%。如果脉冲周期小于160 ms且CFxDEN为奇数，则脉冲输出的占空比为：

$$(1 + 1/CFxDEN) \times 50\%$$

脉冲输出为低电平有效且最好连接到LED，如图79所示。

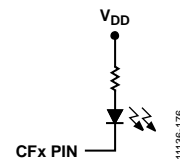


图79. CFx引脚推荐连接方式

CFMODE寄存器的位[11:9](CF3DIS、CF2DIS和CF1DIS)决定频率转换器输出是否在CF3/HSCLK、CF2或CF1引脚上产生脉冲。当CFxDIS位置1(默认值)时，将禁用CFx引脚且该引脚会保持高电平。当CFxDIS位清0时，对应的CFx引脚输出会产生低电平有效的脉冲信号。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

中断屏蔽寄存器MASK0的位[16:14](CF3、CF2、CF1)可管理与CF3、CF2和CF1相关的中断。当CFx位均被置1时，只要对应的频率转换器输出发生高电平至低电平转换，即会触发中断IRQ0且STATUS0寄存器的状态位会被置1。即使未通过CFMODE寄存器的CFxDIS位使能CFx输出，也可使用该中断。

使电能寄存器与CFx输出同步

ADE7854A/ADE7858A/ADE7868A/ADE7878A内置一项功能，可以使得相位电能累计寄存器的内容与CFx脉冲的产生实现同步。一旦频率转换器上发生高电平至低电平转换，器件即会在CFx引脚输出功率时，读取与该功率相关的所有Ternal Phase Energy寄存器并将其内容锁存至小时寄存器，然后将这些Energy寄存器复位至0。表22列出了将锁存的寄存器与CFMODE寄存器的位CFxSEL[2:0]之间的关系。无论COMPmode寄存器的位TERMSELx设置如何，均会锁存所有3相寄存器。图80显示了CF1SEL[2:0] = 010(CF1引脚提供视在功率)且CFCYC = 2时的情况。

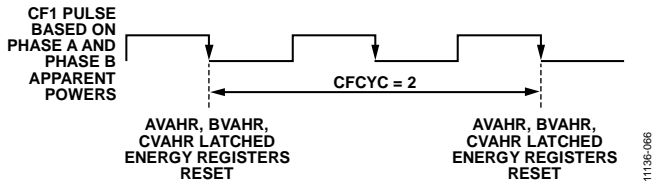


图80. 使AVAHR和BVAHR与CF1同步

8位无符号寄存器CFCYC包含两次连续锁存之间频率转换器输出端发生的高电平至低电平转换次数。当任意CFx引脚处正在进行高电平至低电平转换时，请避免向CFCYC寄存器中输入新值。

当CFMODE寄存器的位[14:12](CF3LATCH、CF2LATCH和CF1LATCH)全部置1时，可以使能该过程。而当这些位清0(默认状态)时，则不会发生锁存。即使未通过CFMODE寄存器的位CFxDIS使能CFx输出，也可以使用该过程。

各种累计模式的CFx输出

ACCMODE寄存器的位[1:0] (WATTACC[1:0])决定了当在CFx引脚处选择与有功功率成正比的信号(CFMODE寄存器的位CFxSEL[2:0]等于000或011)时，总有功功率和基波功率的累计模式。当WATTACC[1:0] = 00(默认值)，器件首先以带符号形式累计有功功率，然后再送入电能频率转换器。图81显示了有功功率带符号累计模式的工作原理。在此模式下，由于两个数据路径中都以带符号形式累计功率，因此CFx脉冲与xWATTHR寄存器中累计的有功电能完全同步。

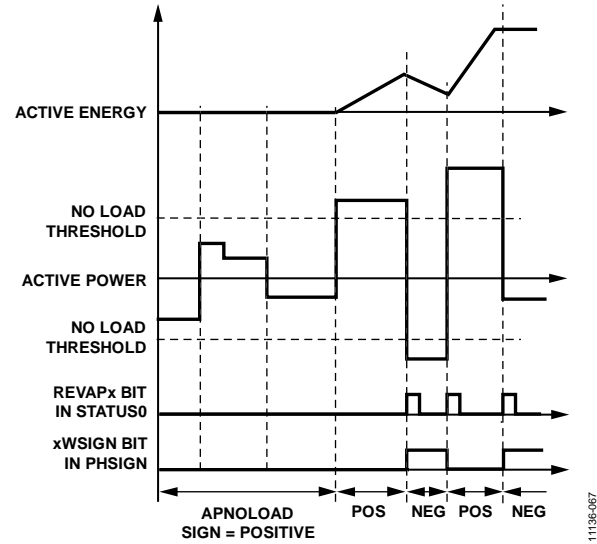


图81. 有功功率带符号累计模式

当WATTACC[1:0] = 11时，器件以绝对值模式累计有功功率。当功率为负值时，器件会改变功率符号并将其与正功率一起累计。图82显示了绝对有功功率累计模式的工作原理。请注意，在此模式下，尽管CFx脉冲是根据绝对值累计模式来产生的，但是xWATTHR寄存器仍旧是采用带符号模式来累计有功功率的。

WATTACC[1:0]的01和10为保留设置，这些设置下ADE7854A/ADE7858A/ADE7868A/ADE7878A的行为与WATTACC[1:0] = 00时完全相同。

ACCMODE寄存器的位[3:2] (VARACC[1:0])决定了当在CFx引脚处选择与无功功率成正比的信号(CFMODE寄存器的位CFxSEL[2:0]等于001或100)时，总无功功率和基波无功功率的累计模式。当VARACC[1:0] = 00(默认值)，器件首先以带符号形式累计无功功率，然后再送入电能频率转换器。图83显示了无功功率带符号累计模式的工作原理。在此模式下，由于两个数据路径中都以带符号形式累计功率，因此CFx脉冲与xVARHR寄存器中累计的无功电能完全同步。

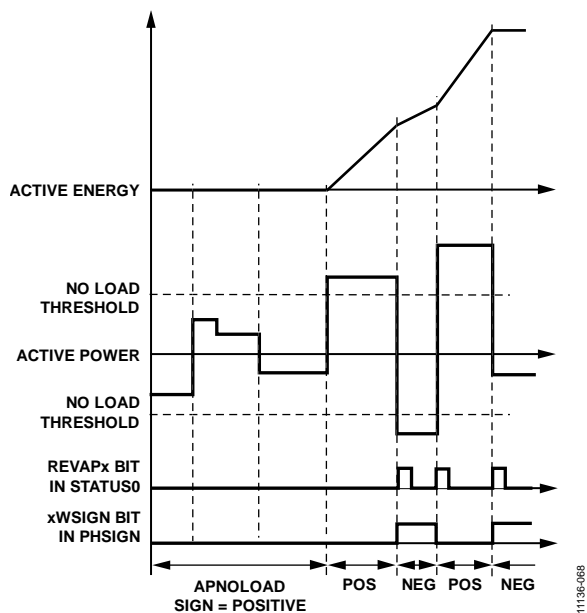


图82. 有功功率绝对值累计模式

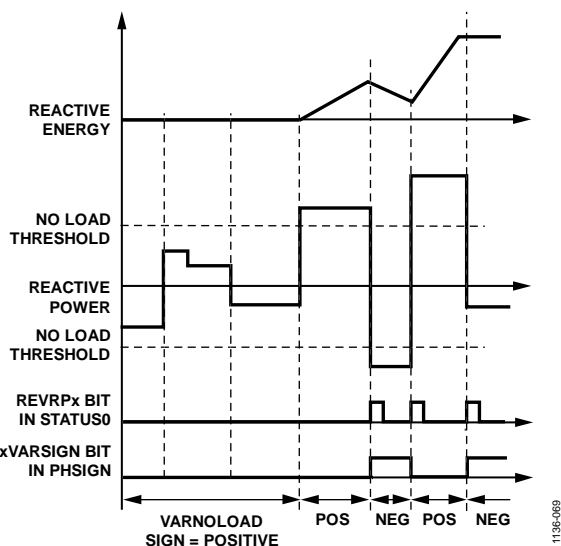


图83. 无功功率带符号累计模式

当VARACC[1:0] = 10时，器件根据对应有功功率的符号来累计无功功率。如果有功功率为正值，则器件以原样来累计无功功率(无任何变化)。如果有功功率为负值，则器件会改变无功功率的符号，然后再进行累计。图84显示了无功功率符号调整累计模式的工作原理。在此模式下，尽管CFx脉冲是根据符号调整累计模式来产生的，但是xVARHR寄存器仍旧是采用带符号模式来累计无功功率的。

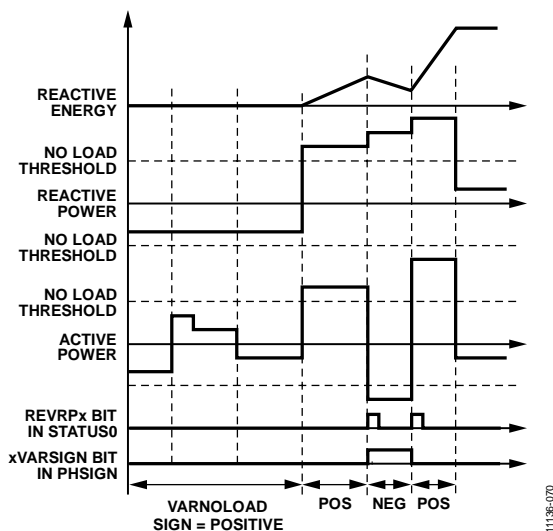


图84. 无功功率符号调整累计模式

当VARACC[1:0] = 11时，器件以绝对值模式累计无功功率。当功率为负值时，器件会改变功率符号并将其与正功率一起累计。图85显示了无功功率绝对累计模式的工作原理。在此模式下，尽管CFx脉冲是根据符号调整累计模式来产生的，但是xVARHR寄存器仍旧是采用绝对模式来累计无功功率的。

VARACC[1:0]的01设置保留。如果设为01，则ADE7854A/ADE7858A/ADE7868A/ADE7878A的行为与WATTACC[1:0] = 00时完全相同。

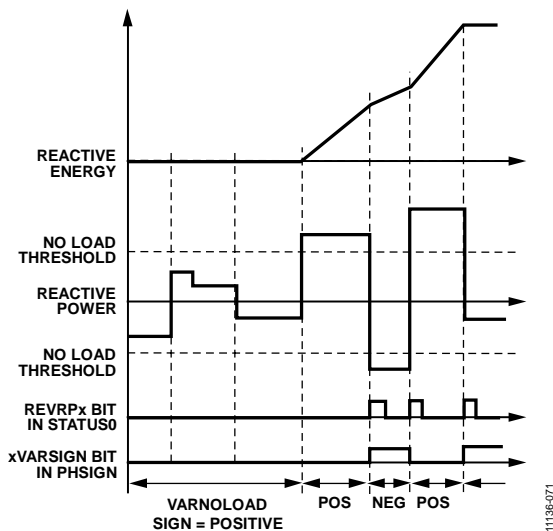


图85. 无功功率绝对值累计模式

CFx数据路径中相功率之和的符号

ADE7854A/ADE7858A/ADE7868A/ADE7878A内置符号检测电路，可以检测CFx数据路径中所用相功率之和的符号。CFx数据路径中的电能累计是分两个阶段完成的(参见“电能频率转换”部分)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

每次在电能累计中的第一阶段结束时检测到符号变化，即内部累加器的电能累加值达到WTHR、VARTHR或VATHR寄存器阈值之后，就会触发专用中断并会同步产生相应的CFx脉冲。各功率之和的符号可以从PHSIGN寄存器中读取。

当CF3、CF2或CF1数据路径中功率之和的符号发生变化时，STATUS0寄存器的位18、位13和位9(分别是REVPSUM3、REVPSUM2和REVPSUM1)会被置1。为将这些事件与CFx引脚处产生的脉冲关联，发生符号变化之后，器件会在CF3/HCLK、CF2和CF1引脚发生高电平至低电平转换的同时，分别设置位REVPSUM3、位REVPSUM2和位REVPSUM1。

在设置位REVPSUM3、位REVPSUM2和位REVPSUM1的同时，器件还会设置PHSIGN寄存器的位8、位7和位3(分别是SUM3SIGN、SUM2SIGN和SUM1SIGN)，以指示相功率之和的符号。清0时，和为正值；置1时，和为负值。

通过将MASK0寄存器的位18、位13和位9置1，可以使能附加到STATUS0寄存器位18、位13和位9(分别是REVPSUM3、REVPSUM2和REVPSUM1)的中断。使能这类中断后，每当发生符号变化时， $\overline{\text{IRQ0}}$ 引脚即会变为低电平，且状态位会置1。为了找到触发该中断的相位，器件会在读取STATUS0寄存器后马上读取PHSIGN寄存器。然后，写入STATUS0寄存器并将相应位置1，从而清零状态位并使 $\overline{\text{IRQ0}}$ 引脚变为高电平。

空载条件

在计量设备标准中，空载条件定义为电表上存在电压、但电路中没有电流的情况。为消除电表中的爬电效应，ADE7854A/ADE7858A/ADE7868A/ADE7878A内置三个独立的空载检测电路：一个与总有功和无功率关联(仅限ADE7858A/ADE7868A/ADE7878A)，一个与基波有功和无功率关联(仅限ADE7878A)，一个与视在功率关联。

基于总有功/无功功率的空载检测

当相位总有功/无功功率的绝对值都小于或等于24位带符号寄存器APNOLOAD和VARNOLOAD中给出的正阈值时，即会触发该空载条件。这种情况下，器件不会累计该相的总有功/无功电能，也不会根据这些电能产生CFx脉冲。APNOLOAD寄存器表示有功功率相对于P_{MAX}的正向空载电平，其中P_{MAX}是ADC输入端采用满量程电压和电流时获得的最大有功功率。VARNOLOAD寄存器表示无功功率相对于P_{MAX}的正向空载电平。24位带符号APNOLOAD值通过以下表达式计算：

$$APNOLOAD = \frac{V_n}{V_{FS}} \times \frac{I_{NLOAD}}{I_{FS}} \times P_{MAX} \quad (57)$$

其中：

V_n 为相电压的有效标称值。

V_{FS} 和 I_{FS} 分别为ADC输入为满量程时相电压和电流的有效值。

I_{NLOAD} 为电表开始测量时相电流的最小有效值。

$P_{MAX} = 33,516,139 = 0x1FF6A6B$ ，即ADC输入为满量程时计算出的瞬时功率。

VARNOLOAD寄存器的值通常与APNOLOAD寄存器相同。APNOLOAD和VARNOLOAD为负值时，空载检测电路不可用。

请注意，ADE7854A仅可测量总有功功率。为确保ADE7854A空载电路正常工作，请将VARNOLOAD寄存器设为0x800000。

如之前“电流波形增益寄存器”部分中所述，器件的串行端口采用32、16或8位数据格式，而DSP采用28位数据格式。24位带符号寄存器APNOLOAD和VARNOLOAD是作为32位寄存器访问的，其中四个MSB以0填充并通过符号扩展至28位(参见图34)。

当三相中有一相触发该空载条件时，STATUS1寄存器的位0(NLOAD)会置1。PHNOLOAD寄存器的位[2:0](NLPHASE[2:0])可指示所有相位相对于空载条件的状态，并会与STATUS1寄存器的位NLOAD同时进行设置。

- NLPHASE[0]指示A相的状态。
- NLPHASE[1]指示B相的状态。
- NLPHASE[2]指示C相的状态。

当位NLPHASE[x]清0时，即意味着对应相位并未处于空载条件。置1时，则意味着对应相位处于空载条件。

通过将MASK1寄存器的位0置1，可以使能附加到STATUS1寄存器位0(NLOAD)的中断。使能该中断后，只要三相中有一相进入或退出此空载条件， $\overline{\text{IRQ1}}$ 引脚即会变为低电平且该状态位会被置1。为了找到触发该中断的相位，器件会在读取STATUS1寄存器后马上读取PHNOLOAD寄存器。然后，写入STATUS1寄存器并将相应位置1，从而清零状态位并使 $\overline{\text{IRQ1}}$ 引脚设为高电平。

基于基波有功/无功功率的空载检测—仅限ADE7878A

当相位基波有功/无功功率的绝对值小于或等于对应的APNOLOAD和VARNOLOAD正阈值时，即会触发该空载条件(仅限ADE7878A)。这种情况下，器件不会累计该相的基波有功/无功电能，也不会根据这些电能产生CFx脉冲。

APNOLOAD和VARNOLOAD的空载阈值与针对总有功/无功功率设定的阈值相同。APNOLOAD和VARNOLOAD为负值时，该空载检测电路不可用。

当三相中有一相触发该空载条件时，STATUS1寄存器的位1(FNLOAD)会置1。PHNOLOAD寄存器的位[5:3](FNLPHASE[2:0])可指示所有相位相对于空载条件的状态，并会与STATUS1寄存器的位FNLOAD同时进行设置。FNLPHASE[0]指示A相的状态；FNLPHASE[1]指示B相的状态；而FNLPHASE[2]指示C相的状态。当位FNLPHASE[x]清0时，即意味着对应相位并未处于空载条件。置1时，则意味着对应相位处于空载条件。

通过将MASK1寄存器的位1置1，可以使能附加到STATUS1寄存器位1(FNLOAD)的中断。使能该中断后，只要三相中有一相进入或退出此空载条件， $\overline{\text{IRQ1}}$ 引脚即会变为低电平且该状态位会被置1。为了找到触发该中断的相位，器件会在读取STATUS1寄存器后马上读取PHNOLOAD寄存器。然后，写入STATUS1寄存器并将相应位置1，从而清零状态位并使 $\overline{\text{IRQ1}}$ 引脚复位为高电平。

基于视在功率的空载检测

当相位视在功率的绝对值小于或等于24位带符号寄存器VANOLOAD中给出的阈值时，即会触发该空载条件。这种情况下，器件不会累计该相的视在电能，也不会根据该电能产生CFx脉冲。VANOLOAD寄存器表示视在功率相对于P_{MAX}的正向空载电平，其中P_{MAX}是ADC输入端采用满量程电压和电流时获得的最大视在功率。24位带符号VANOLOAD值通过以下表达式计算：

$$\text{VANOLOAD} = \frac{V_n}{V_{FS}} \times \frac{I_{\text{NOLOAD}}}{I_{FS}} \times \text{P}_{\text{MAX}} \quad (58)$$

其中：

V_n 为相电压的有效标称值。

V_{FS} 和 I_{FS} 分别为ADC输入为满量程时相电压和电流的有效值。

I_{NOLOAD} 为电表开始测量时相电流的最小有效值。

$\text{P}_{\text{MAX}} = 33,516,139 = 0x1FF6A6B$ ，即ADC输入为满量程时计算出的瞬时视在功率。

将VANOLOAD寄存器设为负值时，会禁用空载检测电路。

如“电流波形增益寄存器”部分中所述，ADE7854A/ADE7858A/ADE7868A/ADE7878A的串行端口采用32、16或8位字格式，而DSP采用28位字格式。与图34所示的寄存器类似，24位带符号寄存器VANOLOAD是作为32位寄存器来访问的，其中四个MSB以0填充并通过符号扩展至28位。

当三相中有一相触发该空载条件时，STATUS1寄存器的位2(VANLOAD)会置1。PHNOLOAD寄存器的位[8:6](VANLPHASE[2:0])可指示所有相位相对于空载条件的状态，并会与STATUS1寄存器的位VANLOAD同时进行设置：

- 位VANLPHASE[0]指示A相的状态。
- 位VANLPHASE[1]指示B相的状态。
- 位VANLPHASE[2]指示C相的状态。

当位VANLPHASE[x]清0时，即意味着对应相位并未处于空载条件。置1时，则意味着对应相位处于空载条件。

通过设置MASK1寄存器的位2，可以使能附加到STATUS1寄存器位2(VANLOAD)的中断。使能该中断后，只要三相中有一相进入或退出此空载条件， $\overline{\text{IRQ1}}$ 引脚即会变为低电平且该状态位会被置1。为了找到触发该中断的相位，器件会在读取STATUS1寄存器后马上读取PHNOLOAD寄存器。然后，写入STATUS1寄存器并将相应位置1，从而清零状态位并使 $\overline{\text{IRQ1}}$ 引脚设为高电平。

校验和寄存器

ADE7854A/ADE7858A/ADE7868A/ADE7878A内置32位校验和寄存器CHECKSUM，从而确保一些非常重要的配置寄存器可以在正常功率模式PSM0期间保持其理想值。

此校验和寄存器涵盖的寄存器如下：MASK0、MASK1、COMPmode、gain、CFMODE、CF1DEN、CF2DEN、CF3DEN、CONFIG、APHCAL、BPHCAL、CPHCAL、16位内部寄存器、MMODE、ACCMODE、LCYCMODE、HSDC_CFG、CONFIG_A、六个始终采用默认值的8位保留内部寄存器，以及从地址0x4380到地址0x43BE的所有DSP数据存储寄存器RAM寄存器。器件根据IEEE 802.3标准计算循环冗余校验(CRC)结果。从最低有效位开始，这些寄存器逐个进入线性反馈移位寄存器(LFSR)发生器(参见图86)，然后将32位结果写入校验和寄存器中。上电或硬件/软件复位之后，器件会根据寄存器的默认值来计算CRC，结果如表23所示。

表23. 校验和寄存器的默认值和内部寄存器的CRC

产品型号	校验和默认值	内部寄存器的CRC
ADE7854A	0x6A9775D9	0x391FBDDD
ADE7858A	0xE908F4D0	0x3E7D0FC1
ADE7868A	0xEEF4CB9A	0x23F7C7B1
ADE7878A	0xED0AD43F	0x2D32A389

图87显示了LFSR的工作原理。下列寄存器组成 $[a_{2343}, a_{2342}, \dots, a_0]$ 位，供LFSR使用：MASK0、MASK1、COMPmode、gain、CFMODE、CF1DEN、CF2DEN、CF3DEN、CONFIG、APHCAL、BPHCAL、CPHCAL、16位内部寄存器、MMODE、ACCMODE、LCYCMODE、HSDC_CFG和

ADE7854A/ADE7858A/ADE7868A/ADE7878A

CONFIG_A寄存器、六个8位保留内部寄存器、以及地址位置从0x4380到0x43BE的所有DSP数据存储器RAM寄存器。位 a_0 是最先进入LFSR的内部寄存器所对应的最低有效位；位 a_{255} 是MASK0寄存器(即最后进入LFSR的寄存器)的最高有效位。决定LFSR的公式如下：

$b_i(0) = 1 (i = 0, 1, 2, \dots, 31)$ 为CRC构成位的初始状态。位 b_0 为最低有效位，而位 b_{31} 为最高有效位。

$g_i (i = 0, 1, 2, \dots, 31)$ 为IEEE802.3标准所定义生成多项式的系数，如下所示：

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 \quad (59)$$

$$\begin{aligned} g_0 = g_1 = g_2 = g_4 = g_5 = g_7 = 1 \\ g_8 = g_{10} = g_{11} = g_{12} = g_{16} = g_{22} = g_{23} = g_{26} = 1 \end{aligned} \quad (60)$$

所有其它 g_i 系数等于0。

$$FB(j) = a_{j-1} \text{ XOR } b_{31}(j-1) \quad (61)$$

$$b_0(j) = FB(j) \text{ AND } g_0 \quad (62)$$

$$b_i(j) = FB(j) \text{ AND } g_i \text{ XOR } b_{i-1}(j-1), i = 1, 2, 3, \dots, 31 \quad (63)$$

对于 $j = 1, 2, \dots, 2344$ ，必须重复计算公式61、公式62和公式63。写入校验和寄存器的值包括位 $b_i(2344), i = 0, 1, \dots, 31$ 。当内部保留寄存器的位通过LFSR之后，器件即会以 $j = 48$ 的步长获取CRC的值，如表23所示。

使用校验和寄存器时，可以采取两种不同的方法。一种方法是根据关系式(公式59到公式63)来计算CRC，然后将该值与CHECKSUM寄存器进行比较。另一种方法是定期读取CHECKSUM寄存器。如果连续两个读数不同，则可假定其中一个寄存器的值发生了改变，因此ADE7854A、ADE7858A、ADE7868A或ADE7878A的配置已经发生变化。提供CRC中断，以实现此用途。校验和寄存器值发生改变时，相应状态位(STATUS1寄存器的位25)置位。建议做法是启动硬件/软件复位，从而将包括保留寄存器在内的所有寄存器设为其默认值，然后重新初始化配置寄存器。

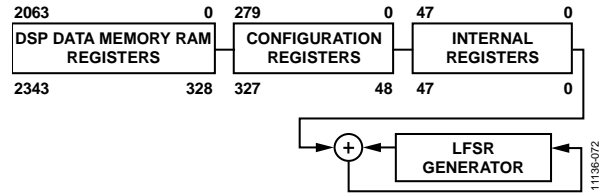


图86. 校验和寄存器计算

中断

ADE7854A/ADE7858A/ADE7868A/ADE7878A具有两个中断引脚： $\overline{\text{IRQ0}}$ 和 $\overline{\text{IRQ1}}$ ；每一个引脚均由32位中断屏蔽寄存器管理，分别是MASK0和MASK1。要使能中断，MASKx寄存器的某个位必须置1。要禁用中断，则该位必须清0。中断与两个32位Status寄存器STATUS0和STATUS1相关联。

当ADE7854A/ADE7858A/ADE7868A/ADE7878A中出现中断事件时，中断状态寄存器中的对应标志会设为逻辑1(参见表34和表35)。如果中断屏蔽寄存器中该中断的屏蔽位为逻辑1，那么 $\overline{\text{IRQx}}$ 逻辑输出会变为低电平有效。中断状态寄存器中的标志位设置与屏蔽位的状态无关。为确定中断源，可通过微控制器单元(MCU)读取相应的STATUSx寄存器，找出哪一位置1。

若要清除状态寄存器中的标志，请写回STATUSx寄存器并将该标志置1。当中断引脚变为低电平之后，器件即会读取状态寄存器并确定中断源。然后，器件会写回Status寄存器但不进行任何修改，以便将状态标志清0。取消状态标志之前， $\overline{\text{IRQx}}$ 引脚会一直保持低电平。

默认情况下，会禁用所有中断，但RSTDONE中断除外。该中断永远不会被屏蔽(禁用)，因此MASK1寄存器的位15(RSTDONE)没有任何作用。每当上电或硬件/软件复位过程结束时， $\overline{\text{IRQ1}}$ 引脚始终会变为低电平，且STATUS1寄存器的位15(RSTDONE)会被置1。要取消该状态标志，必须写入STATUS1寄存器并将位15(RSTDONE)置1。

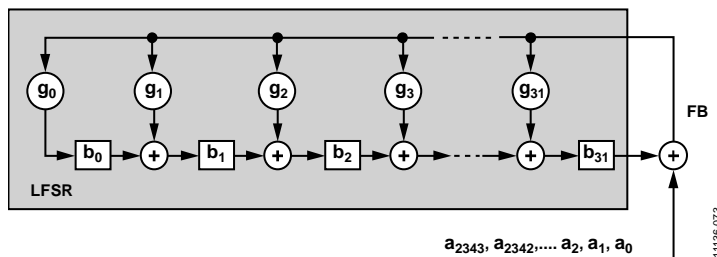


图87. 校验和寄存器计算中使用的LFSR发生器

ADE7854A/ADE7858A/ADE7868A/ADE7878A

一些中断是与其它状态寄存器配合使用的。MASK1寄存器中的以下位与PHNOLOAD寄存器中的状态位配合使用：

- 位0 (NLOAD)
- 位1 (FNLOAD)(仅限ADE7878A)
- 位2 (VANLOAD)

MASK1寄存器中的以下位与PHSTATUS寄存器中的状态位配合使用：

- 位16 (SAG)
- 位17 (OI)
- 位18 (OV)

MASK1寄存器中的以下位分别与IPEAK和VPEAK寄存器中的状态位配合使用：

- 位23 (PKI)
- 位24 (PKV)

MASK0寄存器中的以下位与PHSIGN寄存器中的状态位配合使用：

- 位[6:8] (REVAPx)
- 位[10:12] (REVRPx)(仅限ADE7858A、ADE7868A和ADE7878A)
- 位9、位13和位18 (REVPSUMx)

读取STATUSx寄存器并将上述位之一置1以后，器件会立刻读取与该位关联的状态寄存器，以便确定触发该中断的相位，此时才可回写STATUSx寄存器并将该位置1。

通过MCU使用中断

图88显示了ADE7854A/ADE7858A/ADE7868A/ADE7878A的中断管理时序图，其中给出了使用MCU来管理中断的实现

方法。当时间为 t_1 时， $\overline{\text{IRQx}}$ 引脚变为低电平有效，表示器件中出现了一个或以上中断事件，届时应采取以下步骤：

1. 将 $\overline{\text{IRQx}}$ 引脚连到MCU上负边沿触发的外部中断。
2. 检测到负边沿时，配置MCU来开始执行器中断服务程序(ISR)。
3. 进入ISR时，使用全局中断屏蔽位禁用所有中断。此时，MCU外部中断标志会被清除，以捕获当前ISR期间发生的 interrupt 事件。
4. 清除MCU中断标志时，器件会对中断状态寄存器STATUSx执行读操作。中断状态寄存器内容用于判断中断源，进而确定要采取的合适措施。
5. 相同的STATUSx内容会被写回器件，以清除状态标志并将 $\overline{\text{IRQx}}$ 线路复位至逻辑高电平(t_2)。

如果ISR(t_3)期间出现其它中断事件，则会再次设置MCU外部中断标志，从而记录该事件。

从ISR返回时，全局中断屏蔽位会被清0(同一指令周期)，而外部中断标志可以使用MCU再一次跳至其ISR。这样确保MCU不会错过任何外部中断。

图89显示了STATUSx寄存器的状态位与其它寄存器的位配合使用时的建议时序图。请注意，在图89中，PHx表示PHSTATUS、IPEAK、VPEAK或PHSIGN寄存器中的一个。

当 $\overline{\text{IRQx}}$ 引脚变为低电平有效时，器件会读取STATUSx寄存器。如果其中的一位为1，则立即读取第二个状态寄存器，来确定触发该中断的相位。下一步，写回STATUSx寄存器并将相应位置1，清零状态标志。

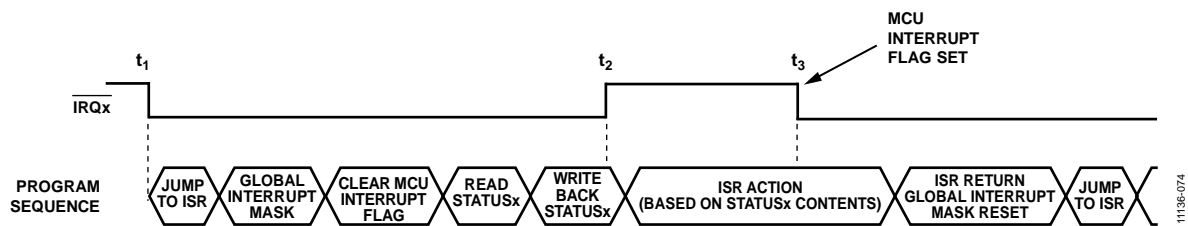


图88. 中断管理

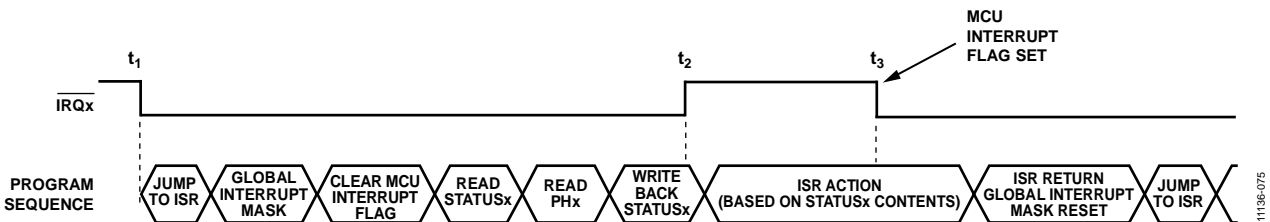


图89. PHSTATUS、IPEAK、VPEAK或PHSIGN寄存器中断管理

应用信息

请注意，仅相关功能会引用双功能引脚名称，比如CF3用于CF3/HSCLK引脚的校准频率输出功能(有关完整的引脚名称和描述，请参见“引脚配置和功能描述”部分)。

快速将器件设置为电表

电表通常用标称电流(I_n)、标称电压(V_n)、标称频率(f_n)和电表常数MC来表征。

要快速设置ADE7854A/ADE7858A/ADE7868A/ADE7878A，请执行下列步骤：

1. 选择相电流、电压和零线电流通道内的PGA增益：增益寄存器中的位[2:0] (PGA1[2:0])、位[5:3] (PGA2[2:0])和位[8:6] (PGA3[2:0])。
2. 如果使用罗氏线圈，使能相电流和零线电流通道内的数字积分器：CONFIG寄存器中的位0 (INTEN)设置为1。
3. 如果 $f_n = 60$ Hz，将COMPmode寄存器中的位14 (SELFREQ)置1(仅限ADE7878A)。
4. 根据公式31初始化WTHR1和WTHR0寄存器。让VARTHR1(仅限ADE7858A、ADE7868A和ADE7878A)和VATHR1等于WTHR1，让VARTHR0(仅限ADE7858A、ADE7868A和ADE7878A)和VATHR0等于WTHR0。
5. 根据公式56初始化CF1DEN、CF2DEN和CF3DEN寄存器。
6. 根据公式27和公式51初始化VLEVEL(仅限ADE7878A)和VNOM寄存器。
7. 使能数据存储器RAM保护，向位于地址0xE7FE的内部8位寄存器写入0xAD，然后向位于地址0xE7E3的内部8位寄存器写入0x80。
8. 设置run = 1，启动DSP。
9. 读取电能寄存器xWATTHR、xVARHR(仅限ADE7858A、ADE7868A和ADE7878A)、xVAHR、xFWATTHR和xFVARHR(仅限ADE7878A)以擦除其内容，从一个已知状态开始累计电能。
10. 将CFMODE寄存器中的位9 (CF1DIS)、位10 (CF2DIS)和位11 (CF3DIS)清零，使能CF1、CF2和CF3频率转换输出。

晶振电路

可在ADE7854A/ADE7858A/ADE7868A/ADE7878A的CLKIN引脚上施加16.384 MHz数字时钟信号。此外，也可如图90所示，连接一个特定频率的晶振。CL₁和CL₂表示连接晶振引脚的陶瓷电容数值，而CP₁和CP₂表示这些引脚上的寄生电容。

每个时钟引脚(CLKIN和CLKOUT)上的推荐总电容典型值为36 pF，这表示：

$$\text{总电容} = CP_1 + CL_1 = CP_2 + CL_2 = 36 \text{ pF}$$

晶振制造商的数据手册提供负载电容值。每个时钟引脚上的总电容推荐值为36 pF；因此，选择负载电容为18 pF的晶振。此外，选择陶瓷电容CL₁和CL₂时，必须考虑IC晶振引脚上的寄生电容CP₁和CP₂。因此，CL₁和CL₂数值必须根据下式计算：

$$CL_1 = CL_2 = 2 \times \text{晶振负载电容} - CP_1$$

其中，CP₁ = CP₂。

例如，假设选择18 pF晶振，且时钟引脚上的寄生电容为CP₁ = CP₂ = 2 pF，则用于晶振电路的陶瓷电容值必须为CL₁ = CL₂ = 34 pF。

EVAL-ADE7878AEBZ评估板使用晶体ECS-163.8-18-4XEN。建议使用同样的晶振，或者规格接近的晶振。优先选择较低的ESR和负载电容、较高的晶振驱动电平能力的晶振。

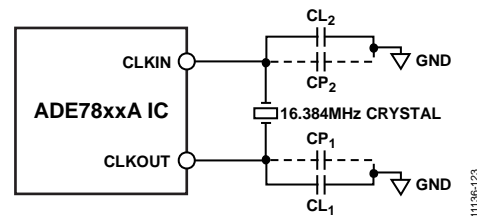


图90. 晶振电路

布局布线指南

图91显示了ADE7878A及其周围电路的示意图：引脚VDD、AVDD、DVDD和REF_{IN/OUT}上的去耦电容、16.384 MHz晶振及其负载电容。其余引脚取决于特定应用，且未显示在图91中。ADE7854A、ADE7858A和ADE7868A可以采用相同的方法来使用去耦电容、晶振及其负载电容。

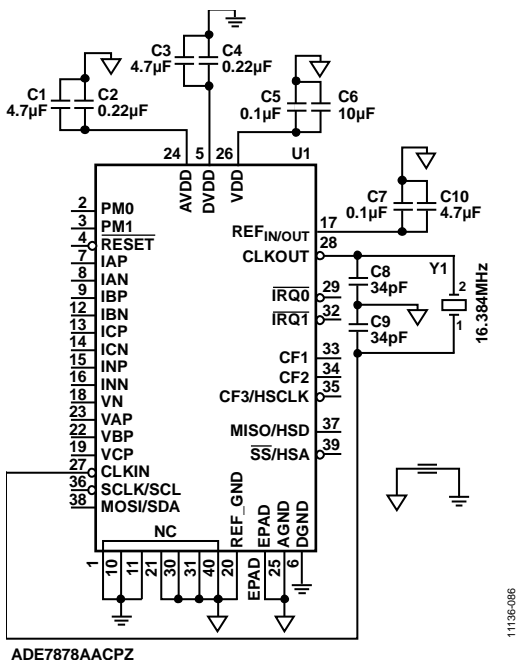


图91. ADE7878A晶振和电容连接

图92和图93显示了一个双层PCB的建议布局方案；在该布局方案中，元件仅位于PCB顶层。

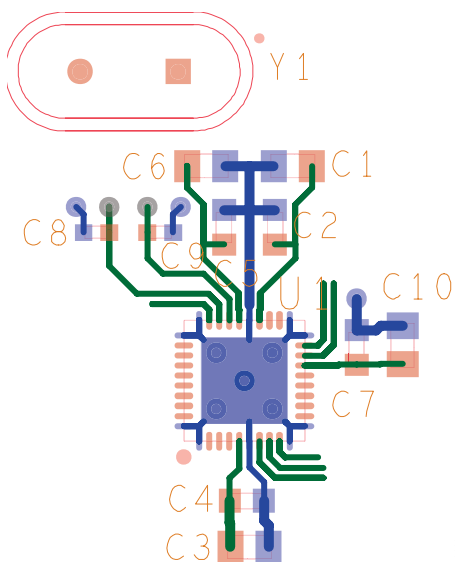


图92. ADE7878A PCB顶层

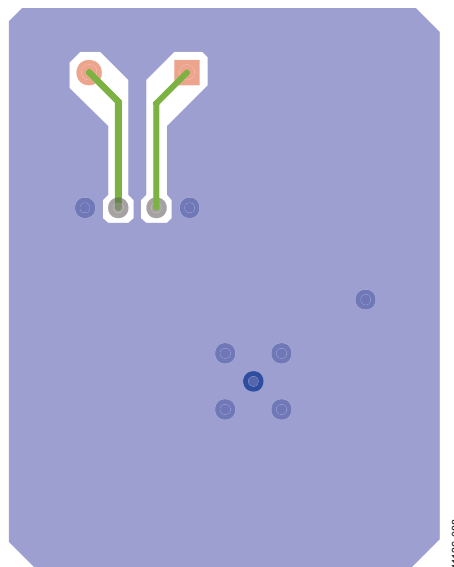


图93. ADE7878A PCB底层

VDD、AVDD、DVDD和REF_{IN/OUT}引脚各自都有两个去耦电容：一个为 μF 级，另一个为220 nF或100 nF陶瓷电容。陶瓷电容必须尽可能靠近ADE7878A放置，以便去耦高频噪声；而 μF 电容则须放在器件附近。

晶振可放置在器件附近，但重要的是晶振负载电容应比晶振更为靠近器件放置。

ADE7878A的裸露焊盘焊接到PCB上的等效焊盘。然后，将ADE7878A的AGND和DGND走线直接路由至PCB焊盘。

底层主要由接地层构成，接地层环绕尽可能多的晶体走线。

ADE7878A评估板

根据ADE7878A的配置而搭建的评估板可对ADE7854A、ADE7858A、ADE7868A和ADE7878A器件的所有功能进行评估。欲了解评估板的更多信息，请访问：www.analog.com。

芯片版本

用户可以通过版本寄存器来确定芯片的版本。该寄存器是8位只读寄存器，地址为0xE707。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

硅片异常

本异常表描述了ADE7854A、ADE7858A、ADE7868A和ADE7878A硅片的已知问题，其中这些器件的版本寄存器(地址为0xE707)全部等于2。

ADI公司承诺在未来版本芯片中持续改进芯片功能，同时通过采用此处推荐的临时解决方案，确保这些未来版本芯片仍和您目前的软件/系统兼容。

ADE7854A/ADE7858A/ADE7868A/ADE7878A功能问题

芯片版本标识符	芯片标志	芯片状态	异常表	报告问题数
版本 = 2	ADE7854ACPZ ADE7858ACPZ ADE7868ACPZ ADE7878ACPZ	已发布	修订版B	1 (er001)

功能问题

表24. LAST_ADDR和LAST_RWDATA_x寄存器在突发SPI模式下显示错误值[er001，版本 = 2个芯片]

背景	使用SPI或I ² C通信方式读取ADE7854A/ADE7858A/ADE7868A/ADE7878A的任意寄存器时，地址保存在LAST_ADDR寄存器中，数据保存在相应的LAST_RWDATA_x寄存器中。
问题	使用突发SPI模式读取地址0xE50C和地址0xE51B之间的波形寄存器时，LAST_ADDR寄存器包含寄存器递增1后的地址，而LAST_RWDATA_x寄存器包含与LAST_ADDR寄存器中的错误地址相对应的数据。如果使用I ² C通信，该问题不存在。
临时解决方案	在突发SPI模式下访问波形寄存器后，应在使用通信验证寄存器之前在别处执行另一次读/写操作。
相关问题	无。

第1部分. ADE7854A/ADE7858A/ADE7868A/ADE7878A功能问题

参考编号	说明	状态
er001	LAST_ADDR和LAST_RWDATA_x寄存器在突发SPI模式下显示错误值。	已确定

“硅片异常”部分到此结束。

串行接口

ADE7854A/ADE7858A/ADE7868A/ADE7878A提供了三个串行接口：一个I²C接口、一个串行外设接口(SPI)和一个高速数据采集端口(HSDC)。SPI引脚与I²C与HSDC端口使用的引脚复用，因此器件支持以下两种配置：一种仅使用SPI接口，而另一种同时使用I²C端口与HSDC接口。

注意，在本节和图中，仅相关功能会引用双功能引脚名称(有关完整的引脚名称和描述，请参见“引脚配置和功能描述”部分)。

串行接口选择

ADE7854A/ADE7858A/ADE7868A/ADE7878A复位后，HSDC端口始终禁用。上电或硬件复位之后，可以通过操控SS/HSA引脚(引脚39)选择I²C或SPI端口。

- 如果SS/HSA引脚保持为高电平，那么ADE7854A/ADE7858A/ADE7868A/ADE7878A采用I²C端口，直到执行另一个硬件复位为止。
- 如果SS/HSA引脚从高电平切换到低电平三次，那么ADE7854A/ADE7858A/ADE7868A/ADE7878A采用SPI端口，直到执行另一个硬件复位为止。

这种SS/HSA引脚操控可以通过两种方式实现。

- 将主机(即微控制器)的SS引脚用作常规I/O引脚并切换三次。
- 对未分配给特定ADE7854A/ADE7858A/ADE7868A/ADE7878A寄存器的地址空间位置执行三次SPI写操作(如0xEBFF，该处可以执行8位寄存器写操作)。这些写操作导致了“SPI写操作”部分所述的结果。SS/HAS引脚开关三次。有关涉及写操作协议的更多信息，请参见：

完成串行端口选择之后，串行端口必须锁定选择。这样，激活的端口会一直处于使用状态，直到关断或在PSM0模式下执行硬件复位为止。如果I²C是活跃的串行端口，则CONFIG2寄存器的位1(I2C_LOCK)必须置1才能将其锁定。写入此位后，ADE7854A/ADE7858A/ADE7868A/ADE7878A会忽略SS/HAS引脚的杂散切换，因而也就无法切换为使用SPI端口。如果SPI为有效串行端口，则只要对CONFIG2寄存器执行任意写操作即可锁定该端口。完成写操作后，将无法切换至使用I²C端口。

串行端口锁定后，当器件改变PSMx功耗模式时，便会保留串行端口选择。

器件的功能可以通过数个onchip寄存器进行访问。使用I²C或SPI接口更新或读取这些寄存器的内容。HSDC端口可以

提供最多16个寄存器的状态，来表示相电压和零线电流的瞬时值，以及有功/无功/视在功率的瞬时值。

通信验证

ADE7854A/ADE7858A/ADE7868A/ADE7878A包括三个用于对I²C或SPI通信进行验证的寄存器：LAST_OP(地址0xE7FD)、LAST_ADDR(地址0xE6FE)和LAST_RWDATA_x，它们分别记录上一次成功通信的性质、地址和数据。LAST_RWDATA_x寄存器具有四个不同的地址，具体地址要视成功通信的长度而定(参见表25)。

表25. LAST_RWDATA_x寄存器位置

通信类型	地址
8位读/写	0xE7FC
16位读/写	0xE6FF
32位读/写	0xE5FF

每次与ADE7854A/ADE7858A/ADE7868A/ADE7878A成功进行通信后，所访问的最后一个寄存器的地址就存储在16位LAST_ADDR寄存器(地址0xE6FE)中。它是一个只读寄存器，下一个成功的读操作或写操作完成后，它会更新所存储的值。

LAST_OP寄存器(地址0xE7FD)存储操作的性质，即表示所执行的是读操作还是写操作。如果上一个操作是写操作，则LAST_OP寄存器存储值0xCA。如果上一个操作是读操作，则LAST_OP寄存器存储值0x35。LAST_RWDATA_x寄存器存储写入或读出寄存器的数据。这些寄存器不会反映任何不成功的读写操作。

读取LAST_OP、LAST_ADDR和LAST_RWDATA_x寄存器时，其值保持不变。

I²C接口

ADE7854A/ADE7858A/ADE7868A/ADE7878A支持I²C接口。I²C接口配置为一个完整的硬件从机。I²C接口支持的最大串行时钟频率为400 kHz。

SDA为数据I/O，而SCL为串行时钟。这两个功能与片内SPI接口的MOSI和SCLK功能多路复用为MOSI/SDA和SCL/SCLK。SDA和SCL引脚配置为“线与”格式，可以在多主机系统中进行仲裁。

I²C系统的传输过程为：当总线处于空闲状态时，主机通过产生起始条件来启动传输；在起始地址发送期间，主机发送从机地址和数据传输方向。如果从机应答了主机，则开始数据传输。数据传输会持续到主机发送一个停止条件为止，然后总线进入空闲状态。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

I²C写操作

当主机产生起始条件并以一个字节表示 ADE7854A/ADE7858A/ADE7868A/ADE7878A 的从机地址，后跟目标寄存器的16位地址和该寄存器的值时，使用器件I²C接口的写操作即会开始(参见图94)。地址和寄存器内容以MSB优先方式发送。

地址字节中的7个最高有效位包含 ADE7854A、ADE7858A、ADE7868A 或 ADE7878A 的地址，等于0111000。地址字节的位0为读/写位。对于写操作，位0必须清0，因而写操作的第一个字节为0x70。每次收到一个字节时，器件(ADE7854A、ADE7858A、ADE7868A 或 ADE7878A)都会产生一个应答。寄存器可能为8、16或32位，在传输完寄存器的最后一位且器件应答传输之后，主机就会产生停止条件。

I²C读操作

ADE7854A/ADE7858A/ADE7868A/ADE7878A 的I²C接口读操作是分两个阶段完成的。第一阶段设置寄存器的地址指针。第二阶段读取寄存器的内容。

如图95所示，当主机产生起始条件并以一个字节表示 ADE7854A/ADE7858A/ADE7868A/ADE7878A 的从机地址，后跟目标寄存器的16位地址时，第一阶段即开始。器件会应答收到的每个字节。地址字节与写操作的地址字节类似，并且等于0x70(参见“I²C写操作”部分)。

寄存器地址的最后一个字节传送完毕且 ADE7854A/ADE7858A/ADE7868A/ADE7878A 进行应答之后，第二阶段即会开始，同时主机产生新的起始地址和地址字节。地址字节的七个最高有效位包含器件地址，等于0111000。对于读操作，位0必须置1，因而读操作的第一个字节为0x71。收到该字节之后，器件即会产生应答。然后，器件发送该寄存器的值，而收到每个字节之后，主机会产生应答。所有字节都以MSB优先方式发送。寄存器可能为8、16或32位，在传输完寄存器的最后一位之后，主机不会应答传输，而是产生停止条件。

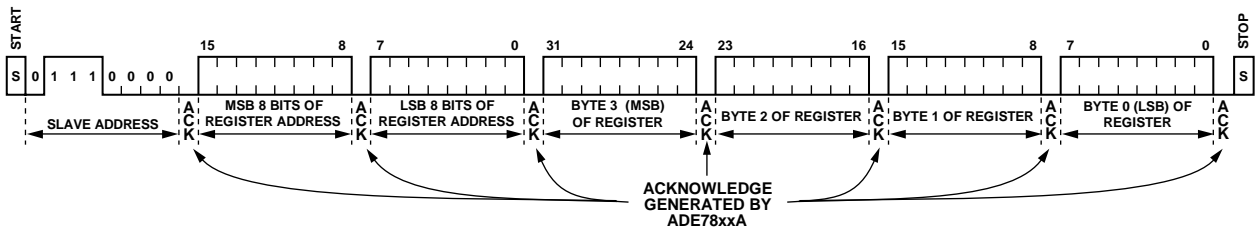


图94. 32位寄存器的I²C写操作

11136-076

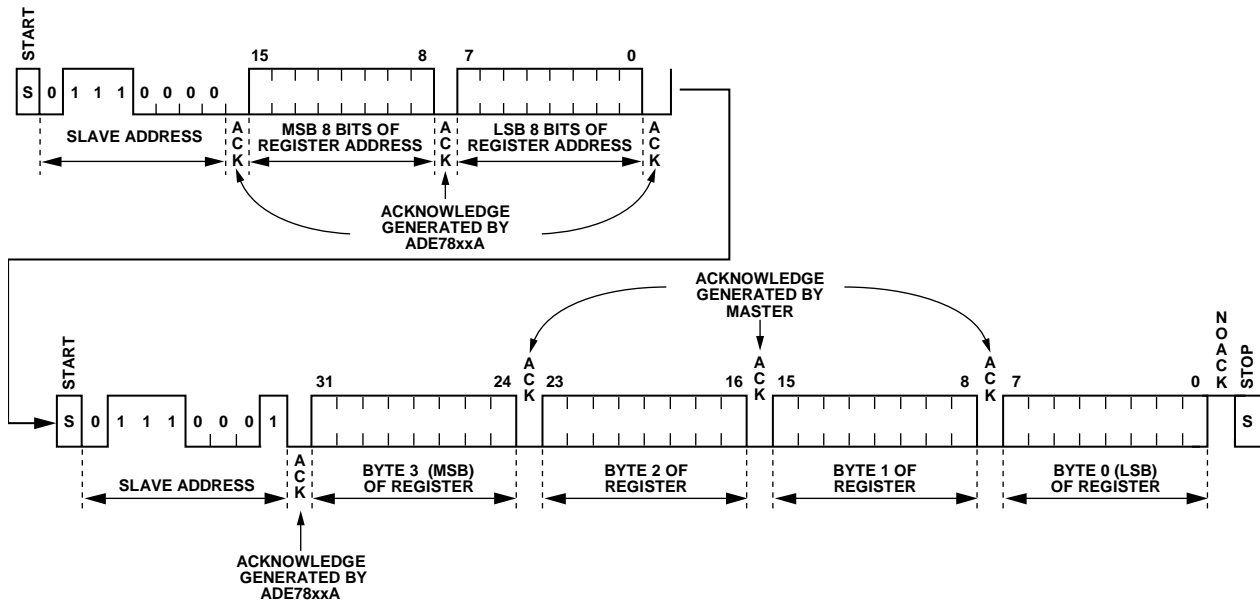


图95. 32位寄存器的I²C读操作

11136-077

SPI接口

ADE7854A/ADE7858A/ADE7868A/ADE7878A的SPI始终作为通信从机并包含以下四个引脚(具有双重功能): SCLK/SCL、MOSI/SDA、MISO/HSD和 \overline{SS} /HSA。SPI接口中使用的功能为SCLK、MOSI、MISO和 \overline{SS} 。

数据传输的串行时钟施加于SCLK逻辑输入端。所有数据传输操作均与串行时钟同步。此接口支持的最大串行时钟频率为2.5 MHz。

数据在SCLK的下降沿从MOSI逻辑输入端移入器件, 而器件在SCLK的上升沿对数据进行采样。数据在SCLK的下降沿从MISO逻辑输出端移出 ADE7854A/ADE7858A/ADE7868A/ADE7878A, 而主机在SCLK的上升沿对数据进行采样。数据字的最高有效位优先移入和移出。当 ADE7854A/ADE7858A/ADE7868A/ADE7878A没有数据传出时, MISO保持为高阻抗状态。

图96显示ADE7854A/ADE7858A/ADE7868A/ADE7878A SPI和包含SPI接口的主机器件之间的连接。

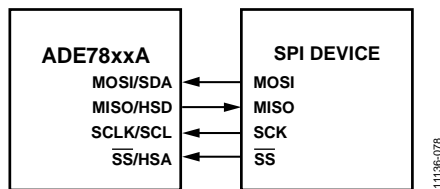


图96. 将ADE78xxA SPI与SPI器件相连

\overline{SS} 逻辑输入为片选输入。当多个器件共享串行总线时, 即会使用该输入。整个数据传输操作期间, \overline{SS} 输入会被驱动至低电平。在数据传输操作期间, 如果将 \overline{SS} 拉高, 则会中止传输并将串行总线置于高阻抗状态。然后, 通过使 \overline{SS} 逻辑输入回到低电平, 即可开始新的传输。不过, 如果在完成之前中止数据传输, 可能导致所访问的寄存器出现异常状态。因此, 每次写入寄存器时, 都应通过回读来验证其值。所用协议与I²C接口使用的协议类似。

SPI写操作

当主机将 \overline{SS} 引脚设为低电平并开始在MOSI线路上发送一个字节来表示ADE7854A/ADE7858A/ADE7868A/ADE7878A的

从机地址时, 使用器件SPI接口的写操作即开始(参见图97)。主机以SCLK的第一个高电平至低电平转换开始, 在MOSI线路上发送数据。ADE7854A/ADE7858A/ADE7868A/ADE7878A的SPI在SCLK的低电平至高电平转换期间对数据进行采样。

地址字节的七个最高有效位可以为任意值, 不过最好不是0111000, 即I²C协议中使用的7位地址。地址字节的位0为读/写位。对于写操作, 位0必须清0。接着, 主机发送要写入的寄存器的16位地址和该寄存器的32、16或8位值, 中间不丢失任何SCLK周期。发送完最后一位之后, 主机会在该SCLK周期结束时将 \overline{SS} 和SCLK线路设为高电平, 通信到此结束。数据线路MOSI和MISO进入高阻抗状态。

SPI读操作

当主机将 \overline{SS} 引脚设为低电平并开始在MOSI线路上发送一个字节来表示 ADE7854A、ADE7858A、ADE7868A或 ADE7878A的从机地址时, 使用 ADE7854A/ADE7858A/ADE7868A/ADE7878A SPI接口的写操作即开始(参见图95)。主机以SCLK的第一个高电平至低电平转换开始, 在MOSI线路上发送数据。ADE7854A/ADE7858A/ADE7868A/ADE7878A的SPI在SCLK的低电平至高电平转换期间对数据进行采样。

地址字节的七个最高有效位可以为任意值, 不过最好不是0111000, 即I²C协议中使用的7位地址。地址字节的位0为读/写位。对于读操作, 位0必须置1。接着, 主机发送要读取的寄存器的16位地址。ADE7854A/ADE7858A/ADE7868A/ADE7878A在SCLK的低电平至高电平转换期间收到寄存器地址的最后一位之后, 就会在SCLK的下一个高电平至低电平转换出现时开始在MISO线路上发送寄存器内容; 主机在SCLK的低电平至高电平转换期间对数据进行采样。

收到最后一位之后, 主机会将 \overline{SS} 和SCLK线路设为高电平, 通信到此结束。数据线路MOSI和MISO进入高阻抗状态。

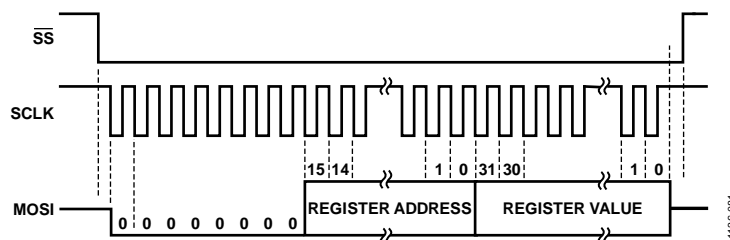


图97. 32位寄存器的SPI写操作

ADE7854A/ADE7858A/ADE7868A/ADE7878A

SPI突发读操作

这些寄存器包含瞬时电流和电压、有功功率、无功功率和视在功率，可通过SPI突发模式读取。此模式允许通过一个命令访问包含连续地址的多个寄存器。可通过SPI突发模式访问的寄存器地址范围为0xE50C至0xE51B。这些寄存器均为32位宽。

当主机将 \overline{SS} 引脚设为低电平并开始在MOSI线路上发送一个表示ADE7854A/ADE7858A/ADE7868A/ADE7878A地址的字节时，突发模式启动(参见图99)。地址与仅读取一个寄存器时使用的地址字节相同。主机以SCLK的第一个高电平至低电平转换开始，在MOSI线路上发送数据。ADE7854A/

ADE7858A/ADE7868A/ADE7878A的SPI在SCLK的低电平至高电平转换期间对数据进行采样。

接着，主机发送要读取的首个寄存器的16位地址。ADE7854A/ADE7858A/ADE7868A/ADE7878A在SCLK的低电平至高电平转换期间收到寄存器地址的最后一位之后，就会在SCLK的下一个高电平至低电平转换出现时开始在MISO线路上发送寄存器内容；主机在SCLK的低电平至高电平转换期间对数据进行采样。主机接收首个寄存器的最后一位之后，ADE7854A/ADE7858A/ADE7868A/ADE7878A便会发送下一个寄存器的内容。该程序重复进行，直到主机将 \overline{SS} 和SCLK线设为高电平，通信到此结束。数据线路MOSI和MISO进入高阻抗状态。

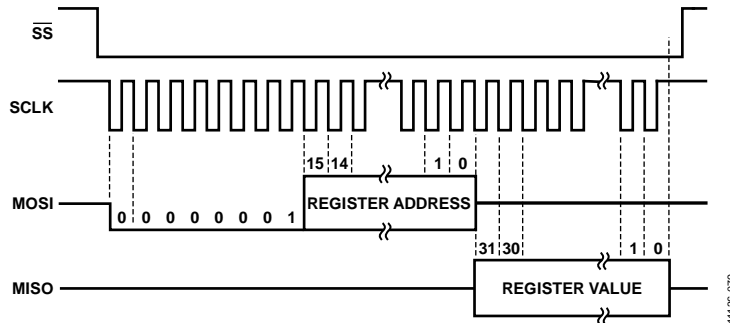


图98. 32位寄存器的SPI读操作

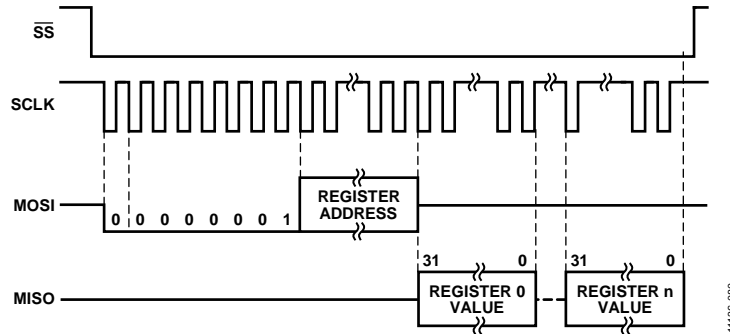


图99. SPI突发读取操作

HSDC接口

默认情况下禁用高速数据采集(HSDC)接口。只有 [ADE7854A/ADE7858A/ADE7868A/ADE7878A](#) 配置为使用 I²C 接口时，才可使用该接口。[ADE7854A/ADE7858A/ADE7868A/ADE7878A](#) 的 SPI 接口不能与 HSDC 接口同时使用。

当 CONFIG 寄存器的位 6 (HSDCEN) 设为 1 时，HSDC 接口使能。如果 HSDCEN 位清 0 (默认值)，则 HSDC 接口禁用。使用 SPI 接口时，此位置 1 不会产生任何效果。

HSDC 接口用于向外部器件(通常为微处理器或 DSP)发送最多包含 16 个 32 位字的数据。这些字表示相电流和电压、零线电流以及有功/无功/视在功率的瞬时值。发送的寄存器包括 IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR 和 CVAR。这些寄存器都是 24 位寄存器，并都通过符号扩展至 32 位(参见图 38)。其中，[ADE7854A](#) 和 [ADE7858A](#) 不包含 INWV 寄存器，而传输一个 32 位字的 HSDC 接口始终为 0。此外，[ADE7854A](#) 不包含 AVAR、BVAR 和 CVAR 寄存器，而传输三个 32 位字的 HSDC 接口始终为 0。

HSDC 可以与 SPI 或类似接口连接。HSDC 始终作为通信主机并由以下三个引脚组成：HSA、HSD 和 HSCLK。

- HSA 表示选择信号。字传输期间，该引脚保持低电平有效，并且通常连接到从机的选择引脚。
- HSD 将数据发送到从机，通常连接到从机的数据输入引脚。
- 而 HSCLK 是串行时钟线路(由 [ADE7854A/ADE7858A/ADE7868A/ADE7878A](#) 产生)并通常连接到从机的串行时钟输入。

图 100 显示了 [ADE7854A/ADE7858A/ADE7868A/ADE7878A](#) HSDC 接口和包含 SPI 接口的从机之间的连接。

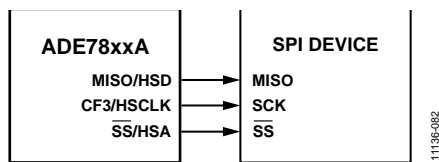


图100. 将 [ADE7854A/ADE7858A/ADE7868A/ADE7878A](#) HSDC 接口与 SPI 从机相连

HSDC 通信由 HSDC_CFG 寄存器进行管理(参见表 51)。利用 CONFIG 寄存器的位 6 (HSDCEN) 使能 HSDC 端口之前，建议先将 HSDC_CFG 寄存器设为所需值。这样，HSDC 端口各个引脚的状态就会与要求的 HSDC 行为保持一致。硬件复位或上电之后，HSD 和 HSA 引脚变为高电平。

HSDC_CFG 寄存器的位 0 (HCLK) 决定 HSDC 通信的串行时钟频率。当 HCLK 位设为 0 (默认值) 时，时钟频率为 8 MHz。当 HCLK 位设为 1 时，时钟频率为 4 MHz。每次 HSCLK 发生高电平至低电平转换时，就会发送一位数据。从机从 HSDC 接口接收数据，并在 HSCLK 的低电平至高电平转换期间对 HSD 线路进行采样。

字以 32 位数据包或 8 位数据包形式发送。当 HSDC_CFG 寄存器的位 1 (HSIZE) 设为 0 (默认值) 时，字以 32 位数据包形式发送。当 HSIZE 位设为 1 时，寄存器以 8 位数据包形式发送。HSDC 接口以 MSB 优先方式发送字。

位 2 (HGAP) 设为 1 时，会在数据包之间引入 7 个 HSCLK 周期的间隙。当 HGAP 位清 0 (默认值) 时，数据包之间无间隙，通信时间最短。当 HGAP 设为 0 时，HSIZE 位对通信无影响，数据位会在每个 HSCLK 高电平至低电平转换时被置于 HSD 线路。

位 [4:3] (HXFER[1:0]) 指定要发送的字数。当 HXFER[1:0] 设为 00 (默认值) 时，发送全部 16 个字。当 HXFER[1:0] 设为 01 时，则仅按照下列顺序发送表示相电流、零线电流和相电压三者瞬时值的字：IAWV、VAWV、IBWV、VBWV、ICWV、VCWV 和一个始终等于 INWV 的 32 位字。当 HXFER[1:0] 设为 10 时，则仅按照下列顺序发送相功率的瞬时值：AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR 和 CVAR。值 11 是 HXFER[1:0] 的保留值，写入该值即相当于写入 00 (默认值)。更多有关各器件的位设置信息，请参见表 51。

位 5 (HSAPOL) 指定通信期间 HSA 引脚的 HSA 功能极性。当 HSAPOL 位设为 0 (默认值) 时，HSA 引脚在通信期间为低电平有效，无通信时保持高电平。执行通信时，当传输 32 位或 8 位数据包时 HSA 为低电平，间隙中为高电平。当 HSAPOL 位设为 1 时，HSA 引脚在通信期间为高电平有效，无通信时保持低电平。执行通信时，当传输 32 位或 8 位数据包时 HSA 为高电平，间隙中为低电平。

HSDC_CFG 寄存器的位 [7:6] 为保留位。无论向这些位中写入何值，均不会对 HSDC 行为造成任何影响。

图 101 显示了 HGAP = 0、HXFER[1:0] = 00 且 HSAPOL = 0 时的 HSDC 传输协议。请注意，每次 HSCLK 发生高电平至低电平转换时，HSDC 接口即会将一个数据位置于 HSD 线路上，这与 HSIZE 位的值无关。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

图102显示了HSIZE = 0、HGAP = 1、HXFER[1:0] = 00且HSAPOL = 0时的HSDC传输协议。请注意，HSDC接口会在每个32位字之间引入一个时间为七个HSCLK周期的间隙。

图103显示了HSIZE = 1、HGAP = 1、HXFER[1:0] = 00且HSAPOL = 0时的HSDC传输协议。请注意，HSDC接口会在每个8位字之间引入一个时间为七个HSCLK周期的间隙。

表 51说明了HSDC_CFG寄存器中的HCLK、HSIZE、HGAP、HXFER[1:0]和HSAPOL位的功能。表26列出了所有HSDC_CFG寄存器设置下执行HSDC数据传输所需的时间。使用某些设置时，传输时间小于125 μs (8 kHz)，即波形样本寄存器的更新速率；这意味着，HSDC端口每个采样周期都会发送数据。当设置的传输时间大于125 μs时，HSDC端口仅在两个8 kHz连续采样周期的第一个周期内发送数据，也就是说，该端口以4 kHz的有效速率发送寄存器内容。

表26. 各种HSDC设置的通信时间

HXFER[1:0]	HGAP	HSIZE ¹	HCLK	通信时间(μs)
00	0	N/A	0	64
00	0	N/A	1	128
00	1	0	0	77.125
00	1	0	1	154.25
00	1	1	0	119.25
00	1	1	1	238.25
01	0	N/A	0	28
01	0	N/A	1	56
01	1	0	0	33.25
01	1	0	1	66.5
01	1	1	0	51.625
01	1	1	1	103.25
10	0	N/A	0	36
10	0	N/A	1	72
10	1	0	0	43
10	1	0	1	86
10	1	1	0	66.625
10	1	1	1	133.25

¹ N/A表示不适用。

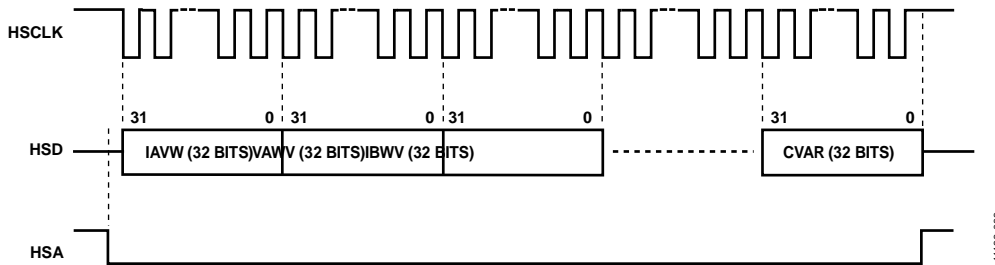


图101. HGAP = 0、HXFER[1:0] = 00且HSAPOL = 0时的HSDC通信；与HSIZE无关

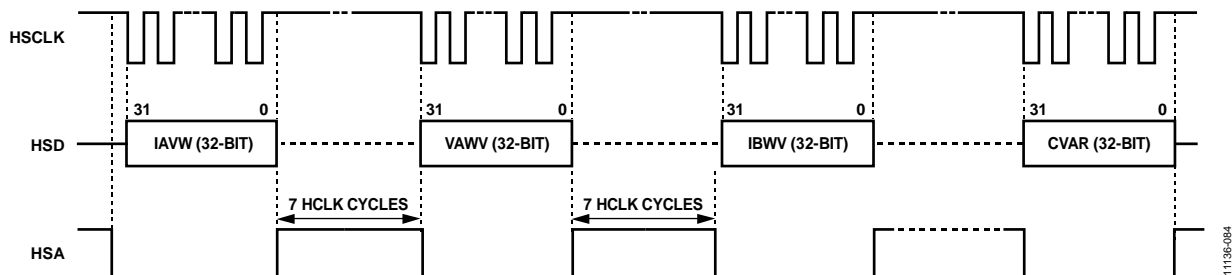


图102. HSIZE = 0、HGAP = 1、HXFER[1:0] = 00且HSAPOL = 0时的HSDC通信

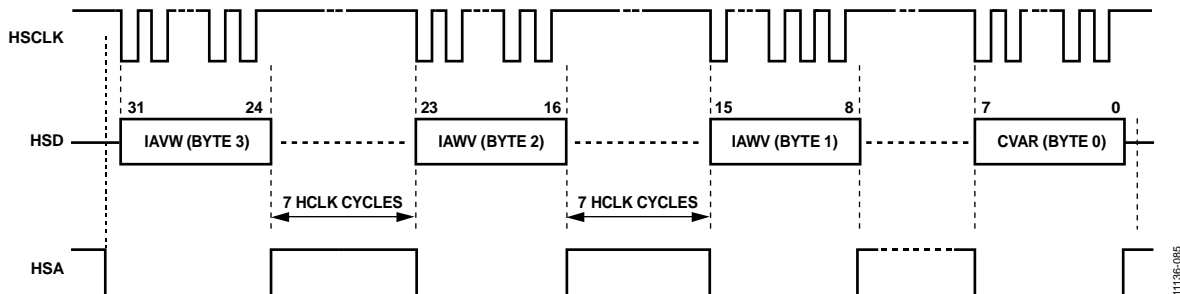


图103. HSIZE = 1、HGAP = 1、HXFER[1:0] = 00且HSAPOL = 0时的HSDC通信

寄存器列表

请注意，仅相关功能会引用双功能引脚名称，比如CF3用于CF3/HSCLK引脚的校准频率输出功能(有关完整的引脚名称和描述，请参见“引脚配置和功能描述”部分)。

表27. DSP数据存储RAM中的寄存器列表

地址	寄存器名称	R/W ¹	位长	通信期间的位长 ²	类型 ³	默认值	说明
0x4380	AIGAIN	R/W	24	32 ZPSE	S	0x000000	A相电流增益调整。
0x4381	AVGAIN	R/W	24	32 ZPSE	S	0x000000	A相电压增益调整。
0x4382	BIGAIN	R/W	24	32 ZPSE	S	0x000000	B相电流增益调整。
0x4383	BVGAIN	R/W	24	32 ZPSE	S	0x000000	B相电压增益调整。
0x4384	CIGAIN	R/W	24	32 ZPSE	S	0x000000	C相电流增益调整。
0x4385	CVGAIN	R/W	24	32 ZPSE	S	0x000000	C相电压增益调整。
0x4386	NIGAIN	R/W	24	32 ZPSE	S	0x000000	零线电流增益调整 (仅限ADE7868A和ADE7878A)。
0x4387	AIRMSOS	R/W	24	32 ZPSE	S	0x000000	A相电流有效值失调。
0x4388	AVRMSOS	R/W	24	32 ZPSE	S	0x000000	A相电压有效值失调。
0x4389	BIRMSOS	R/W	24	32 ZPSE	S	0x000000	B相电流有效值失调。
0x438A	BVRMSOS	R/W	24	32 ZPSE	S	0x000000	B相电压有效值失调。
0x438B	CIRMSOS	R/W	24	32 ZPSE	S	0x000000	C相电流有效值失调。
0x438C	CVRMSOS	R/W	24	32 ZPSE	S	0x000000	C相电压有效值失调。
0x438D	NIRMSOS	R/W	24	32 ZPSE	S	0x000000	零线电流有效值失调 (仅限ADE7868A和ADE7878A)。
0x438E	AVAGAIN	R/W	24	32 ZPSE	S	0x000000	A相视在功率增益调整。
0x438F	BVAGAIN	R/W	24	32 ZPSE	S	0x000000	B相视在功率增益调整。
0x4390	CVAGAIN	R/W	24	32 ZPSE	S	0x000000	C相视在功率增益调整。
0x4391	AWGAIN	R/W	24	32 ZPSE	S	0x000000	A相总有功功率增益调整。
0x4392	AWATTOS	R/W	24	32 ZPSE	S	0x000000	A相总有功功率失调调整。
0x4393	BWGAIN	R/W	24	32 ZPSE	S	0x000000	B相总有功功率增益调整。
0x4394	BWATTOS	R/W	24	32 ZPSE	S	0x000000	B相总有功功率失调调整。
0x4395	CWGAIN	R/W	24	32 ZPSE	S	0x000000	C相总有功功率增益调整。
0x4396	CWATTOS	R/W	24	32 ZPSE	S	0x000000	C相总有功功率失调调整。
0x4397	AVARGAIN	R/W	24	32 ZPSE	S	0x000000	A相总无功功率增益调整(仅限ADE7858A、ADE7868A、ADE7878A)。
0x4398	AVAROS	R/W	24	32 ZPSE	S	0x000000	A相总无功功率失调调整(仅限ADE7858A、ADE7868A、ADE7878A)。
0x4399	BVARGAIN	R/W	24	32 ZPSE	S	0x000000	B相总无功功率增益调整(仅限ADE7858A、ADE7868A、ADE7878A)。
0x439A	BVAROS	R/W	24	32 ZPSE	S	0x000000	B相总无功功率失调调整(仅限ADE7858A、ADE7868A、ADE7878A)。
0x439B	CVARGAIN	R/W	24	32 ZPSE	S	0x000000	C相总无功功率增益调整(仅限ADE7858A、ADE7868A、ADE7878A)。
0x439C	CVAROS	R/W	24	32 ZPSE	S	0x000000	C相总无功功率失调调整(仅限ADE7858A、ADE7868A、ADE7878A)。
0x439D	AFWGAIN	R/W	24	32 ZPSE	S	0x000000	A相基波有功功率增益调整。ADE7854A、ADE7858A和ADE7868A的保留位置。
0x439E	AFWATTOS	R/W	24	32 ZPSE	S	0x000000	A相基波有功功率失调调整。ADE7854A、ADE7858A和ADE7878A的保留位置。
0x439F	BFWGAIN	R/W	24	32 ZPSE	S	0x000000	B相基波有功功率增益调整(仅限ADE7878A)。
0x43A0	BFWATTOS	R/W	24	32 ZPSE	S	0x000000	B相基波有功功率失调调整(仅限ADE7878A)。
0x43A1	CFWGAIN	R/W	24	32 ZPSE	S	0x000000	C相基波有功功率增益调整(仅限ADE7878A)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

地址	寄存器名称	R/W ¹	位长	通信期间的位长 ²	类型 ³	默认值	说明
0x43A2	CFWATTOS	R/W	24	32 ZPSE	S	0x000000	C相基波有功功率失调整(仅限ADE7878A)。
0x43A3	AFVARGAIN	R/W	24	32 ZPSE	S	0x000000	A相基波无功功率增益调整(仅限ADE7878A)。
0x43A4	AFVAROS	R/W	24	32 ZPSE	S	0x000000	A相基波无功功率失调整(仅限ADE7878A)。
0x43A5	BFVARGAIN	R/W	24	32 ZPSE	S	0x000000	B相基波无功功率增益调整(仅限ADE7878A)。
0x43A6	BFVAROS	R/W	24	32 ZPSE	S	0x000000	B相基波无功功率失调整(仅限ADE7878A)。
0x43A7	CFVARGAIN	R/W	24	32 ZPSE	S	0x000000	C相基波无功功率增益调整(仅限ADE7878A)。
0x43A8	CFVAROS	R/W	24	32 ZPSE	S	0x000000	C相基波无功功率失调整(仅限ADE7878A)。
0x43A9	VATHR1	R/W	24	32 ZP	U	0x000000	相位视在功率数据路径中所用VATHR[47:0]阈值的24个最高有效位。
0x43AA	VATHR0	R/W	24	32 ZP	U	0x000000	相位视在功率数据路径中所用VATHR[47:0]阈值的24个最低有效位。
0x43AB	WTHR1	R/W	24	32 ZP	U	0x000000	相位总/基波有功功率数据路径中所用WTHR[47:0]阈值的24个最高有效位。
0x43AC	WTHR0	R/W	24	32 ZP	U	0x000000	相位总/基波有功功率数据路径中所用WTHR[47:0]阈值的24个最低有效位。
0x43AD	VARTH1	R/W	24	32 ZP	U	0x000000	相位总/基波无功功率数据路径中所用VARTH1[47:0]阈值的24个最高有效位(仅限ADE7858A、ADE7868A、ADE7878A)。
0x43AE	VARTH0	R/W	24	32 ZP	U	0x000000	相位总/基波无功功率数据路径中所用VARTH0[47:0]阈值的24个最低有效位(仅限ADE7858A、ADE7868A、ADE7878A)。
0x43AF	保留	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	0x000000	此存储器位置应保持在0x000000，以确保正常工作。
0x43B0	VANOLOAD	R/W	24	32 ZPSE	S	0x00000000	视在功率数据路径中的空载阈值。
0x43B1	APNOLOAD	R/W	24	32 ZPSE	S	0x00000000	总/基波有功功率数据路径中的空载阈值。
0x43B2	VARNLOAD	R/W	24	32 ZPSE	S	0x00000000	总/基波无功功率数据路径中的空载阈值。 ADE7854A的保留位置。
0x43B3	VLEVEL	R/W	24	32 ZPSE	S	0x000000	基波有功/无功功率算法中使用的寄存器(仅限ADE7878A)。
0x43B4	保留	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	0x000000	不可对该位置进行写操作。
0x43B5	DICOEFF	R/W	24	32 ZPSE	S	0x000000	数字积分器算法中使用的寄存器。如果积分器处于开启状态，则DICOEFF寄存器必须设为0xFF8000。实际操作中是以0xFFF8000形式发送的。
0x43B6	HPFDIS	R/W	24	32 ZP	U	0x000000	禁用/使能电流数据路径中的HPF。参见表31。
0x43B7	保留	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	0x000000	此存储器位置应保持在0x000000，以确保正常工作。
0x43B8	ISUMLVL	R/W	24	32 ZPSE	S	0x000000	比较相电流之和与零线电流时使用的阈值(仅限ADE7868A和ADE7878A)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

地址	寄存器名称	R/W ¹	位长	通信期间的位长 ²	类型 ³	默认值	说明
0x43B9至 0x43BE	保留	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	0x000000	这些存储器位置应保持在0x000000，以确保正常工作。 IAWV、IBWV和ICWV寄存器之和 (仅限ADE7868A和ADE7878A)。 A相电流有效值。 A相电压有效值。 B相电流有效值。 B相电压有效值。 C相电流有效值。 C相电压有效值。 零线电流有效值 (仅限ADE7868A和ADE7878A)。 不应写入这些存储器位置，以确保正常工作。
0x43BF	ISUM	R	28	32 ZP	S	N/A ⁴	
0x43C0	AIRMS	R	24	32 ZP	S	N/A ⁴	
0x43C1	AVRMS	R	24	32 ZP	S	N/A ⁴	
0x43C2	BIRMS	R	24	32 ZP	S	N/A ⁴	
0x43C3	BVRMS	R	24	32 ZP	S	N/A ⁴	
0x43C4	CIRMS	R	24	32 ZP	S	N/A ⁴	
0x43C5	CVRMS	R	24	32 ZP	S	N/A ⁴	
0x43C6	NIRMS	R	24	32 ZP	S	N/A ⁴	
0x43C7至 0x43FF	保留	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	N/A ⁴	

¹ R = 只读；R/W = 读和写。

² 32 ZPSE = 以32位字形式传输的24位带符号寄存器，其中四个MSB以0进行填充并通过符号扩展至28位。32 ZP = 以32位字形式传输的28或24位带符号或无符号寄存器，其中分别有四个或八个MSB以0进行填充。

³ U = 无符号寄存器；S = 二进制补码格式的带符号寄存器。

⁴ N/A表示不适用。

表28. 内部DSP存储器RAM寄存器

地址	寄存器名称	R/W ¹	位长	类型 ²	默认值	说明
0xE203	保留	R/W	16	U	0x0000	不应写入此存储器位置，以确保正常工作。
0xE228	Run	R/W	16	U	0x0000	运行寄存器，用于启动和停止DSP(参见“数字信号处理器”部分)。

¹ R/W = 读和写。

² U = 无符号寄存器。

表29. 计费寄存器

地址	寄存器名称	R/W ¹	位长	类型 ²	默认值	说明
0xE400	AWATTHR	R	32	S	0x00000000	A相总有功电能累计。
0xE401	BWATTHR	R	32	S	0x00000000	B相总有功电能累计。
0xE402	CWATTHR	R	32	S	0x00000000	C相总有功电能累计。
0xE403	AFWATTHR	R	32	S	0x00000000	A相基波有功电能累计(仅限ADE7878A)。
0xE404	BFWATTHR	R	32	S	0x00000000	B相基波有功电能累计(仅限ADE7878A)。
0xE405	CFWATTHR	R	32	S	0x00000000	C相基波有功电能累计(仅限ADE7878A)。
0xE406	AVARHR	R	32	S	0x00000000	A相总无功电能累计(仅限ADE7858A、ADE7868A和ADE7878A)。
0xE407	BVARHR	R	32	S	0x00000000	B相总无功电能累计(仅限ADE7858A、ADE7868A和ADE7878A)。
0xE408	CVARHR	R	32	S	0x00000000	C相总无功电能累计(仅限ADE7858A、ADE7868A和ADE7878A)。
0xE409	AFVARHR	R	32	S	0x00000000	A相基波无功电能累计(仅限ADE7878A)。
0xE40A	BFVARHR	R	32	S	0x00000000	B相基波无功电能累计(仅限ADE7878A)。
0xE40B	CFVARHR	R	32	S	0x00000000	C相基波无功电能累计(仅限ADE7878A)。
0xE40C	AVAHR	R	32	S	0x00000000	A相视在电能累计。
0xE40D	BVAHR	R	32	S	0x00000000	B相视在电能累计。
0xE40E	CVAHR	R	32	S	0x00000000	C相视在电能累计。

¹ R = 只读。

² S = 二进制补码格式的带符号寄存器。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表30. 配置与电能质量寄存器

地址	寄存器名称	R/W ^{1,2}	位长 ²	通信期间的位长 ^{2,3}	类型 ^{2,4}	默认值 ²	说明
0xE500	IPEAK	R	32	32	U	不适用	电流峰值寄存器。更多信息请参考图51和表32。
0xE501	VPEAK	R	32	32	U	N/A	电压峰值寄存器。更多信息请参考图51和表33。
0xE502	STATUS0	R/W	32	32	U	N/A	中断状态寄存器0。请参见表34。
0xE503	STATUS1	R/W	32	32	U	N/A	中断状态寄存器1。请参见表35。
0xE504	AIMAV	R	20	32 ZP	U	N/A	PSM0和PSM1模式下计算出的A相电流平均绝对值(仅限ADE7868A和ADE7878A)。
0xE505	BIMAV	R	20	32 ZP	U	N/A	PSM0和PSM1模式下计算出的B相电流平均绝对值(仅限ADE7868A和ADE7878A)。
0xE506	CIMAV	R	20	32 ZP	U	N/A	PSM0和PSM1模式下计算出的C相电流平均绝对值(仅限ADE7868A和ADE7878A)。
0xE507	OILVL	R/W	24	32 ZP	U	0xFFFFF	过流阈值。
0xE508	OVLVL	R/W	24	32 ZP	U	0xFFFFF	过压阈值。
0xE509	SAGLVL	R/W	24	32 ZP	U	0x000000	电压骤降电平阈值。
0xE50A	MASK0	R/W	32	32	U	0x00000000	中断使能寄存器0。请参见表36。
0xE50B	MASK1	R/W	32	32	U	0x00000000	中断使能寄存器1。请参见表37。
0xE50C	IAWV	R	24	32 SE	S	N/A	A相电流的瞬时值。
0xE50D	IBWV	R	24	32 SE	S	N/A	B相电流的瞬时值。
0xE50E	ICWV	R	24	32 SE	S	N/A	C相电流的瞬时值。
0xE50F	INWV	R	24	32 SE	S	N/A	零线电流的瞬时值(仅限ADE7868A和ADE7878A)。
0xE510	VAWV	R	24	32 SE	S	N/A	A相电压的瞬时值。
0xE511	VBWV	R	24	32 SE	S	N/A	B相电压的瞬时值。
0xE512	VCWV	R	24	32 SE	S	N/A	C相电压的瞬时值。
0xE513	AWATT	R	24	32 SE	S	N/A	A相总有功功率的瞬时值。
0xE514	BWATT	R	24	32 SE	S	N/A	B相总有功功率的瞬时值。
0xE515	CWATT	R	24	32 SE	S	N/A	C相总有功功率的瞬时值。
0xE516	AVAR	R	24	32 SE	S	N/A	A相总无功功率的瞬时值(仅限ADE7858A、ADE7868A和ADE7878A)。
0xE517	BVAR	R	24	32 SE	S	N/A	B相总无功功率的瞬时值(仅限ADE7858A、ADE7868A和ADE7878A)。
0xE518	CVAR	R	24	32 SE	S	N/A	C相总无功功率的瞬时值(仅限ADE7858A、ADE7868A和ADE7878A)。
0xE519	AVA	R	24	32 SE	S	N/A	A相视在功率的瞬时值。
0xE51A	BVA	R	24	32 SE	S	N/A	B相视在功率的瞬时值。
0xE51B	CVA	R	24	32 SE	S	N/A	C相视在功率的瞬时值。
0xE51C 至0xE51E	保留	N/A	N/A	N/A	N/A	N/A	不应写入这些存储器位置，以确保正常工作。
0xE51F	CHECKSUM	R	32	32	U	N/A	检验和验证。详情参见“校验和寄存器”部分。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

地址	寄存器名称	R/W ^{1,2}	位长 ²	通信期间的位长 ^{2,3}	类型 ^{2,4}	默认值 ²	说明
0xE520	VNOM	R/W	24	32 ZP	S	0x000000	视在功率替代计算中使用的标称相电压有效值。VNOMxEN位置位后，忽略施加在对应相上的电压，且所有相应的有效值电压实例均以VNOM寄存器中的值代替。
0xE521至 0xE52F	保留	N/A	N/A	N/A	N/A	N/A	不应写入这些存储器位置，以确保正常工作。
0xE530	IARMS_LRIP	R	24	32 ZP	S	N/A	A相平均电流有效值为1.024 s。
0xE531	VARMS_LRIP	R	24	32 ZP	S	N/A	A相平均电压有效值为1.024 s。
0xE532	IBRMS_LRIP	R	24	32 ZP	S	N/A	B相平均电流有效值为1.024 s。
0xE533	VBRMS_LRIP	R	24	32 ZP	S	N/A	B相平均电压有效值为1.024 s。
0xE534	ICRMS_LRIP	R	24	32 ZP	S	N/A	C相平均电流有效值为1.024 s。
0xE535	VCRM_LRIP	R	24	32 ZP	S	N/A	C相平均电压有效值为1.024 s。
0xE536	INRMS_LRIP	R	24	32 ZP	S	N/A	零线平均电流有效值为1.024 s。
0xE537至 0xE5FE	保留	N/A	N/A	N/A	N/A	N/A	不应写入这些存储器位置，以确保正常工作。
0xE5FF	LAST_ RWDATA_32	R	32	32	U	N/A	包含上一次32位寄存器成功通信的数据。
0xE600	PHSTATUS	R	16	16	U	N/A	相位峰值寄存器。参见表38。
0xE601	ANGLE0	R	16	16	U	N/A	时间延迟0(更多信息参见“相位时间间隔”部分)。
0xE602	ANGLE1	R	16	16	U	N/A	时间延迟1(更多信息参见“相位时间间隔”部分)。
0xE603	ANGLE2	R	16	16	U	N/A	时间延迟2(更多信息参见“相位时间间隔”部分)。
0xE604至 0xE606	保留	N/A	N/A	N/A	N/A	N/A	不应写入这些存储器位置，以确保正常工作。
0xE607	Period	R	16	16	U	N/A	网络线路周期。
0xE608	PHNOLOAD	R	16	16	U	N/A	相位空载寄存器。参见表39。
0xE609至 0xE60B	保留	N/A	N/A	N/A	N/A	N/A	不应写入这些存储器位置，以确保正常工作。
0xE60C	LINECYC	R/W	16	16	U	0xFFFF	线路周期累计模式计数。
0xE60D	ZXTOUT	R/W	16	16	U	0xFFFF	过零超时计数。
0xE60E	COMPMODE	R/W	16	16	U	0x01FF	压缩模式寄存器。参见表40。
0xE60F	Gain	R/W	16	16	U	0x0000	ADC输入端的PGA增益。参见表41。
0xE610	CFMODE	R/W	16	16	U	0x0E88	CFx配置寄存器。参见表42。
0xE611	CF1DEN	R/W	16	16	U	0x0000	CF1分母。
0xE612	CF2DEN	R/W	16	16	U	0x0000	CF2分母。
0xE613	CF3DEN	R/W	16	16	U	0x0000	CF3分母。
0xE614	APHCAL	R/W	10	16 ZP	S	0x0000	A相相位校准。请参见表43。
0xE615	BPHCAL	R/W	10	16 ZP	S	0x0000	B相相位校准。请参见表43。
0xE616	CPHCAL	R/W	10	16 ZP	S	0x0000	C相相位校准。请参见表43。
0xE617	PHSIGN	R	16	16	U	N/A	功率符号寄存器。参见表44。
0xE618	CONFIG	R/W	16	16	U	0x0000	ADE7878A配置寄存器。参见表45。
0xE619至 0xE6FD	保留	N/A	N/A	N/A	N/A	N/A	不应写入这些存储器位置，以确保正常工作。
0xE6FE	LAST_ADDR	R	16	16	U	N/A	在最后一个读/写操作中成功访问的寄存器地址。
0xE6FF	LAST_ RWDATA_16	R	16	16	U	N/A	包含上一次16位寄存器成功通信的数据。
0xE700	MMODE	R/W	8	8	U	0x1C	测量模式寄存器。参见表47。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

地址	寄存器名称	R/W ^{1,2}	位长 ²	通信期间的位长 ^{2,3}	类型 ^{2,4}	默认值 ²	说明
0xE701	ACCMODE	R/W	8	8	U	0x00	累计模式寄存器。参见表48。
0xE702	LCYCMODE	R/W	8	8	U	0x78	线路累计模式状态。参见表50。
0xE703	PEAKCYC	R/W	8	8	U	0x00	峰值检测半波周期数。
0xE704	SAGCYC	R/W	8	8	U	0x00	骤降检测半波周期数。
0xE705	CFCYC	R/W	8	8	U	0x01	两次连续电能锁存之间的CF脉冲数。参见“使电能寄存器与CFx输出同步”部分。
0xE706	HSDC_CFG	R/W	8	8	U	0x00	HSDC配置寄存器。参见表51。
0xE707	Version	R	8	8	U		裸片版本。
0xE708至 0xE73F	保留	N/A	N/A	N/A	N/A	N/A	不应写入这些存储器位置，以确保正常工作。
0xE740	CONFIG_A	R/W	8	8	U	0x00	电源滤波器的配置寄存器。
0xE741至 0xE7FB	保留	N/A	N/A	N/A	N/A	N/A	不应写入这些存储器位置，以确保正常工作。
0xE7FC	LAST_ RWDATA_8	R	8	8	U	N/A	包含上一次8位寄存器成功通信的数据。
0xE7FD	LAST_OP	R	8	8	U	N/A	指示最后一个成功读/写操作的类型(读取或写入)。
0xEBFF	保留		8	8			SPI选作有效端口时，使用此地址可操作SS/HAS引脚。参见“串行接口”部分。
0xEC00	LPOILVL	R/W	8	8	U	0x07	PSM2模式下使用的过流阈值(仅限ADE7868A和ADE7878A)。参见表52。
0xEC01	CONFIG2	R/W	8	8	U	0x00	PSM1模式下使用的配置寄存器。参见表53。

¹ R = 只读；R/W = 读和写。

² N/A表示不适用。

³ 32 ZP = 以32位字形式传输的24或20位带符号或无符号寄存器，其中分别有8个或12个MSB以0进行填充。32 SE = 以32位字形式传输的24位带符号寄存器，其通过符号扩展至32位。16 ZP = 以16位字形式传输的10位无符号寄存器，其中六个MSB以0进行填充。

⁴ U = 无符号寄存器；S = 二进制补码格式的带符号寄存器。

表31. HPFDIS寄存器(地址0x43B6)

位	位名称	说明
[23:0]	000000	当HPFDIS = 0x00000000时，将使能电压和电流通道中的所有高通滤波器。将寄存器设为任意非零值时，可禁用所有高通滤波器。

表32. IPEAK寄存器(地址0xE500)

位	位名称	默认值	说明
[23:0]	IPEAKVAL[23:0]	0	这些位包含电流通道中确定的峰值。
24	IPPHASE[0]	0	该位置1时，A相电流产生IPEAKVAL[23:0]值。
25	IPPHASE[1]	0	该位置1时，B相电流产生IPEAKVAL[23:0]值。
26	IPPHASE[2]	0	该位置1时，C相电流产生IPEAKVAL[23:0]值。
[31:27]		00000	这些位始终设为00000。

表33. VPEAK寄存器(地址0xE501)

位	位名称	默认值	说明
[23:0]	VPEAKVAL[23:0]	0	这些位包含电压通道中确定的峰值。
24	VPPHASE[0]	0	该位置1时，A相电压产生VPEAKVAL[23:0]值。
25	VPPHASE[1]	0	该位置1时，B相电压产生VPEAKVAL[23:0]值。
26	VPPHASE[2]	0	该位置1时，C相电压产生VPEAKVAL[23:0]值。
[31:27]		00000	这些位始终设为00000。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表34. STATUS0寄存器(地址0xE502)

位	位名称	默认值	说明
0	AEHF	0	该位置1时, 表示一个总有功电能寄存器(AWATTHR、BWATTHR或CWATTHR)的位30已经改变。
1	FAEHF	0	该位置1时, 表示一个基波有功电能寄存器(FWATTHR、BFWATTHR或CFWATTHR)的位30已经改变。对于ADE7854A、ADE7858A和ADE7868A, 该位始终为0。
2	REHF	0	该位置1时, 表示一个总无功电能寄存器(AVARHR、BVARHR或CVARHR)的位30已经改变。对于ADE7854A, 该位始终为0。
3	FREHF	0	该位置1时, 表示一个基波无功电能寄存器(AVARHR、BVARHR或CVARHR)的位30已经改变。对于ADE7854A、ADE7858A和ADE7868A, 该位始终为0。
4	VAEHF	0	该位置1时, 表示一个视在电能寄存器(AVAHR、BVAHR或CVAHR)的位30已经改变。
5	LENERGY	0	在线路电能累计模式下, 该位置1时, 则表示LINECYC寄存器中所设的整数个半波周期内的积分处理已结束。
6	REVAPA	0	该位置1时, 表示ACCMODE寄存器位6 (REVAPSEL)所确定的A相(总或基波)有功功率符号发生了变化。符号本身是由PHSIGN寄存器的位0 (AWSIGN)来指示(参见表44)。
7	REVAPB	0	该位置1时, 表示ACCMODE寄存器位6 (REVAPSEL)所确定的B相(总或基波)有功功率符号发生了变化。符号本身是由PHSIGN寄存器的位1 (BWSIGN)来指示(参见表44)。
8	REVAPC	0	该位置1时, 表示ACCMODE寄存器位6 (REVAPSEL)所确定的C相(总或基波)有功功率符号发生了变化。符号本身是由PHSIGN寄存器的位2 (CWSIGN)来指示(参见表44)。
9	REVPSUM1	0	该位置1时, 表示CF1数据路径中所有相功率之和的符号发生了变化。符号本身是由PHSIGN寄存器的位3 (SUM1SIGN)来指示(参见表44)。
10	REVRPA	0	该位置1时, 表示ACCMODE寄存器位7 (REVRPSEL)所确定的A相(总或基波)无功功率符号发生了变化。符号本身是由PHSIGN寄存器的位4 (AVARSIGN)来指示(参见表44)。对于ADE7854A, 该位始终为0。
11	REVRPB	0	该位置1时, 表示ACCMODE寄存器位7 (REVRPSEL)所确定的B相(总或基波)无功功率符号发生了变化。符号本身是由PHSIGN寄存器的位5 (BVARSIGN)来指示(参见表44)。对于ADE7854A, 该位始终为0。
12	REVRPC	0	该位置1时, 表示ACCMODE寄存器位7 (REVRPSEL)所确定的C相(总或基波)无功功率符号发生了变化。符号本身是由PHSIGN寄存器的位6 (CVARSIGN)来指示(参见表44)。对于ADE7854A, 该位始终为0。
13	REVPSUM2	0	该位置1时, 表示CF2数据路径中所有相功率之和的符号发生了变化。符号本身是由PHSIGN寄存器的位7 (SUM2SIGN)来指示(参见表44)。
14	CF1		该位置1时, 表示CF1引脚发生了高电平至低电平转换; 也就是说, 产生了低电平有效脉冲。即使通过将CFMODE寄存器的位9 (CF1DIS)置1禁用了CF1输出, 也会设置该位。CF1引脚处使用的功率类型由CFMODE寄存器的位[2:0] (CF1SEL[2:0])决定(参见表42)。
15	CF2		该位置1时, 表示CF2引脚处发生了高电平至低电平转换; 也就是说, 产生了低电平有效脉冲。即使通过将CFMODE寄存器的位10 (CF2DIS)置1禁用了CF2输出, 也会设置该位。CF2引脚处使用的功率类型由CFMODE寄存器的位[5:3] (CF2SEL[2:0])决定(参见表42)。
16	CF3		该位置1时, 表示CF3引脚发生了高电平至低电平转换; 也就是说, 产生了低电平有效脉冲。即使通过将CFMODE寄存器的位11 (CF3DIS)置1禁用了CF3输出, 也会设置该位。CF3引脚处使用的功率类型由CFMODE寄存器的位[8:6] (CF3SEL[2:0])决定(参见表42)。
17	DREADY	0	该位置1时, 表示所有周期性(速率为8 kHz)DSP计算都已完成。
18	REVPSUM3	0	该位置1时, 表示CF3数据路径中所有相功率之和的符号发生了变化。符号本身是由PHSIGN寄存器的位8 (SUM3SIGN)来指示(参见表44)。
[31:19]	保留	0000000000000	保留。这些位始终设为0。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表35. STATUS1寄存器(地址0xE503)

位	位名称	默认值	说明
0	NLOAD	0	该位置1时,表示根据总有功/无功功率判断,至少有一相进入了空载条件。具体相位由PHNLOAD寄存器的位[2:0](NLPHASE[x])来指示(参见表39)。
1	FNLOAD	0	该位置1时,表示根据基波有功/无功功率判断,至少有一相进入了空载条件。具体相位由PHNLOAD寄存器的位[5:3](FNLPHASE[x])来指示(参见表39)。对于ADE7854A、ADE7858A和ADE7868A,该位始终为0。
2	VANLOAD	0	该位置1时,表示根据视在功率判断,至少有一相进入了空载条件。具体相位由PHNLOAD寄存器的位[8:6](VANLPHASE[x])来指示(参见表39)。
3	ZXTOVA	0	该位置1时,表示A相电压上的过零事件缺失。
4	ZXTOVB	0	该位置1时,表示B相电压上的过零事件缺失。
5	ZXTOVC	0	该位置1时,表示C相电压上的过零事件缺失。
6	ZXTOIA	0	该位置1时,表示A相电流上的过零事件缺失。
7	ZXTOIB	0	该位置1时,表示B相电流上的过零事件缺失。
8	ZXTOIC	0	该位置1时,表示C相电流上的过零事件缺失。
9	ZXVA	0	该位置1时,表示A相电压上的过零检测。
10	ZXVB	0	该位置1时,表示B相电压上的过零检测。
11	ZXVC	0	该位置1时,表示C相电压上的过零检测。
12	ZXIA	0	该位置1时,表示A相电流上的过零检测。
13	ZXIB	0	该位置1时,表示B相电流上的过零检测。
14	ZXIC	0	该位置1时,表示C相电流上的过零检测。
15	RSTDONE	1	执行软件复位命令时,CONFIG寄存器的位7(SWRST)会被置1;或者,从PSM1、PSM2或PSM3转换为PSM0,或硬件复位时,在转换过程结束且所有寄存器的值均变为默认值之后,该位会被置1。由于无法禁用此中断,因此IRQ1引脚会变为低电平来表示这一时刻。
16	Sag	0	该位置1时,表示PHSTATUS寄存器的位[14:12](VSPHASE[x])某一相上发生了SAG事件(参见表38)。
17	OI	0	该位置1时,表示PHSTATUS寄存器的位[5:3](OIPHASE[x])某一相上发生了过流事件(参见表38)。
18	OV	0	该位置1时,表示PHSTATUS寄存器的位[11:9](OVPHASE[x])某一相上发生了过压事件(参见表38)。
19	SEQERR	0	该位置1时,表示A相电压上的由负到正过零事件之后跟随的不是B相电压上的由负到正过零事件,而是C相电压上的过零事件。
20	MISMATCH	0	此位置1时,表示 $ ISUM - INWV > ISUMLVL$ 其中,ISUMLVL在ISUMLVL寄存器中指定。对于ADE7854A和ADE7858A,该位始终为0。
21	保留	1	保留。该位始终置1。
22	保留	0	保留。该位始终置0。
23	PKI	0	该位置1时,表示用于检测电流通道中峰值的周期已经结束。IPEAK寄存器包含峰值及检测到该峰值的相位(参见表32)。
24	PKV	0	该位置1时,表示用于检测电压通道中峰值的周期已经结束。VPEAK寄存器包含峰值及检测到该峰值的相位(参见表33)。
25	CRC	0	此位置1时,表示校验和寄存器值发生改变。
[31:26]	保留	000000	保留。这些位始终设为0。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表36. MASK0寄存器(地址0xE50A)

位	位名称	默认值	说明
0	AEHF	0	该位置1时, 如果任意一个总有功电能寄存器(AWATTHR、BWATTHR或CWATTHR)的位30发生了改变, 则使能中断。
1	FAEHF	0	该位置1时, 如果任意一个基波有功电能寄存器(AFWATTHR、BFWATTHR或CFWATTHR)的位30发生了改变, 则使能中断。对于ADE7854A、ADE7858A或ADE7868A, 该位置1并不会产生任何作用。
2	REHF	0	该位置1时, 如果任意一个总无功电能寄存器(AVARHR、BVARHR或CVARHR)的位30发生了改变, 则使能中断。对于ADE7854A, 该位置1并不会产生任何作用。
3	FREHF	0	该位置1时, 如果任意一个基波无功电能寄存器(AFVARHR、BFVARHR或CFVARHR)的位30发生了改变, 则使能中断。对于ADE7854A、ADE7858A和ADE7868A, 该位置1并不会产生任何作用。
4	VAEHF	0	该位置1时, 如果任意一个视在电能寄存器(AVAHR、BVAHR或CVAHR)的位30发生了改变, 则使能中断。
5	LENERGY	0	在线路电能累计模式下, 该位置1时, 则会在LINECYC寄存器中所设的整数个半波周期内的积分处理结束时使能中断。
6	REVAPA	0	该位置1时, 如果ACCMODE寄存器位6 (REVAPSEL)所确定的A相(总或基波)有功功率符号发生了变化, 则使能中断。
7	REVAPB	0	该位置1时, 如果ACCMODE寄存器位6 (REVAPSEL)所确定的B相(总或基波)有功功率符号发生了变化, 则使能中断。
8	REVAPC	0	该位置1时, 如果ACCMODE寄存器位6 (REVAPSEL)所确定的C相(总或基波)有功功率符号发生了变化, 则使能中断。
9	REVPSUM1	0	该位置1时, 如果CF1数据路径中所有相功率之和的符号发生了变化, 则使能中断。
10	REVRPA	0	该位置1时, 如果ACCMODE寄存器位7 (REVRPSEL)所确定的A相(总或基波)无功功率符号发生了变化, 则使能中断。对于ADE7854A, 该位置1并不会产生任何作用。
11	REVRPB	0	该位置1时, 如果ACCMODE寄存器位7 (REVRPSEL)所确定的B相(总或基波)无功功率符号发生了变化, 则使能中断。对于ADE7854A, 该位置1并不会产生任何作用。
12	REVRPC	0	该位置1时, 如果ACCMODE寄存器位7 (REVRPSEL)所确定的C相(总或基波)无功功率符号发生了变化, 则使能中断。对于ADE7854A, 该位置1并不会产生任何作用。
13	REVPSUM2	0	该位置1时, 如果CF2数据路径中所有相功率之和的符号发生了变化, 则使能中断。
14	CF1		该位置1时, 如果CF1引脚处发生了高电平至低电平转换, 即产生了低电平有效脉冲, 则使能中断。即使通过将CFMODE寄存器的位9 (CF1DIS)置1禁用了CF1输出, 也仍可使能该中断。CF1引脚处使用的功率类型由CFMODE寄存器的位[2:0] (CF1SEL[2:0])决定(参见表42)。
15	CF2		该位置1时, 如果CF2引脚处发生了高电平至低电平转换, 即产生了低电平有效脉冲, 则使能中断。即使通过将CFMODE寄存器的位10 (CF2DIS)置1禁用了CF2输出, 也仍可使能该中断。CF2引脚处使用的功率类型由CFMODE寄存器的位[5:3] (CF2SEL[2:0])决定(参见表42)。
16	CF3		该位置1时, 如果CF3引脚处发生了高电平至低电平转换, 即产生了低电平有效脉冲, 则使能中断。即使通过将CFMODE寄存器的位11 (CF3DIS)置1禁用了CF3输出, 也仍可使能该中断。CF3引脚处使用的功率类型由CFMODE寄存器的位[8:6] (CF3SEL[2:0])决定(参见表42)。
17	DREADY	0	该位置1时, 所有周期性(速率为8 kHz)DSP计算全部完成后即会使能中断。
18	REVPSUM3	0	该位置1时, 如果CF3数据路径中所有相功率之和的符号发生了变化, 则使能中断。
[31:19]	保留	0000000000000	保留。这些位不管理任何功能。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表37. MASK1寄存器(地址0xE50B)

位	位名称	默认值	说明
0	NLOAD	0	该位置1时, 如果根据总有功/无功功率判断, 至少有一相进入了空载条件, 则使能中断。
1	FNLOAD	0	该位置1时, 如果根据基波有功/无功功率判断, 至少有一相进入了空载条件, 则使能中断。对于ADE7854A、ADE7858A或ADE7868A, 该位置1并不会产生任何作用。
2	VANLOAD	0	该位置1时, 如果根据视在功率判断, 至少有一相进入了空载条件, 则使能中断。
3	ZXTOVA	0	该位置1时, 如果A相电压上的过零事件缺失, 则使能中断。
4	ZXTOVB	0	该位置1时, 如果B相电压上的过零事件缺失, 则使能中断。
5	ZXTOVC	0	该位置1时, 如果C相电压上的过零事件缺失, 则使能中断。
6	ZXTOIA	0	该位置1时, 如果A相电流上的过零事件缺失, 则使能中断。
7	ZXTOIB	0	该位置1时, 如果B相电流上的过零事件缺失, 则使能中断。
8	ZXTOIC	0	该位置1时, 如果C相电流上的过零事件缺失, 则使能中断。
9	ZXVA	0	该位置1时, 如果在A相电压上检测到了过零事件, 则使能中断。
10	ZXVB	0	该位置1时, 如果在B相电压上检测到了过零事件, 则使能中断。
11	ZXVC	0	该位置1时, 如果在C相电压上检测到了过零事件, 则使能中断。
12	ZXIA	0	该位置1时, 如果在A相电流上检测到了过零事件, 则使能中断。
13	ZXIB	0	该位置1时, 如果在B相电流上检测到了过零事件, 则使能中断。
14	ZXIC	0	该位置1时, 如果在C相电流上检测到了过零事件, 则使能中断。
15	RSTDONE	0	由于无法禁用RSTDONE中断, 因此该引脚无任何功能。无论置1还是清0, 均不会产生任何效果。
16	Sag	0	该位置1时, 如果PHSTATUS寄存器的位[14:12] (VSPHASE[x])某一相上发生了SAG事件, 则使能中断(参见表38)。
17	OI	0	该位置1时, 如果PHSTATUS寄存器的位[11:9] (OVPHASE[x])某一相上发生了过压事件, 则使能中断(参见表38)。
18	OV	0	该位置1时, 如果PHSTATUS寄存器的位[11:9] (OVPHASE[x])某一相上发生了过压事件, 则使能中断(参见表38)。
19	SEQERR	0	该位置1时, 若A相电压上的由负到正过零事件之后跟随的不是B相电压上的由负到正过零事件, 而是C相电压上的过零事件, 则使能中断。
20	MISMATCH	0	该位置1时, 如果 $ ISUM - INWV > ISUMLVL$ 大于ISUMLVL寄存器中给出的ISUMLVL值, 则使能中断。对于ADE7854A或ADE7858A, 该位置1并不会产生任何作用。
22:21	保留	00	保留。这些位不管理任何功能。
23	PKI	0	该位置1时, 如果用于检测电流通道中峰值的周期已经结束, 则使能中断。
24	PKV	0	该位置1时, 如果用于检测电压通道中峰值的周期已经结束, 则使能中断。
25	CRC	0	此位置1时, 若校验和寄存器值发生改变, 则使能中断。
[31:26]	保留	000000	保留。这些位不管理任何功能。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表38. PHSTATUS寄存器(地址0xE600)

位	位名称	默认值	说明
[2:0]	保留	000	保留。这些位始终设为0。
3	OIPHASE[0]	0	该位置1时, A相电流发生OI事件导致STATUS1寄存器的位17 (OI) 置位。
4	OIPHASE[1]	0	该位置1时, B相电流发生OI事件导致STATUS1寄存器的位17 (OI) 置位。
5	OIPHASE[2]	0	该位置1时, C相电流发生OI事件导致STATUS1寄存器的位17 (OI) 置位。
[8:6]	保留	000	保留。这些位始终设为0。
9	OVPHASE[0]	0	该位置1时, A相电压发生OV事件导致STATUS1寄存器的位18 (OV) 置位。
10	OVPHASE[1]	0	该位置1时, B相电压发生OV事件导致STATUS1寄存器的位18 (OV) 置位。
11	OVPHASE[2]	0	该位置1时, C相电压发生OV事件导致STATUS1寄存器的位18 (OV) 置位。
12	VSPHASE[0]	0	该位置1时, A相电压发生SAG事件导致STATUS1寄存器的位16 (SAG)置位。
13	VSPHASE[1]	0	该位置1时, B相电压发生SAG事件导致STATUS1寄存器的位16 (SAG)置位。
14	VSPHASE[2]	0	该位置1时, C相电压发生SAG事件导致STATUS1寄存器的位16 (SAG)置位。
15	保留	0	保留。该位始终置0。

表39. PHNOLOAD寄存器(地址0xE608)

位	位名称	默认值	说明
0	NLPHASE[0]	0	0: 根据总有功/无功功率判断, A相并未处于空载条件。 1: 根据总有功/无功功率判断, A相处于空载条件。NLPHASE[0]位与STATUS1寄存器的位0 (NLOAD)一起置1。 ADE7854A 空载条件完全取决于总有功功率。
1	NLPHASE[1]	0	0: 根据总有功/无功功率判断, B相并未处于空载条件。 1: 根据总有功/无功功率判断, B相处于空载条件。NLPHASE[1]位与STATUS1寄存器的位0 (NLOAD)一起置1。 ADE7854A 空载条件完全取决于总有功功率。
2	NLPHASE[2]	0	0: 根据总有功/无功功率判断, C相并未处于空载条件。 1: 根据总有功/无功功率判断, C相处于空载条件。NLPHASE[1]位与STATUS1寄存器的位0 (NLOAD)一起置1。 ADE7854A 空载条件完全取决于总有功功率。
3	FNLPHASE[0]	0	0: 根据基波有功/无功功率确定A相并未处于空载条件。对于 ADE7854A 、 ADE7858A 和 ADE7868A , FNLPHASE[0]位始终为0。 1: 根据基波有功/无功功率确定A相处于空载条件。FNLPHASE[0]该位与STATUS1的位1 (FNLOAD)一起设置。
4	FNLPHASE[1]	0	0: 根据基波有功/无功功率确定B相并未处于空载条件。对于 ADE7854A 、 ADE7858A 和 ADE7868A , FNLPHASE[2]位始终为0。 1: 根据基波有功/无功功率确定B相处于空载条件。FNLPHASE[1]该位与STATUS1的位1 (FNLOAD)一起设置。
5	FNLPHASE[2]	0	0: 根据基波有功/无功功率确定C相并未处于空载条件。对于 ADE7854A 、 ADE7858A 和 ADE7868A , FNLPHASE[2]位始终为0。 1: 根据基波有功/无功功率确定C相处于空载条件。FNLPHASE[2]该位与STATUS1寄存器的位1 (FNLOAD)一起设置。
6	VANLPHASE[0]	0	0: 根据视在功率确定A相并未处于空载条件。 1: 根据视在功率确定A相处于空载条件。VANLPHASE[0]位与STATUS1寄存器的位2 (VANLOAD)一起置1。
7	VANLPHASE[1]	0	0: 根据视在功率确定B相并未处于空载条件。 1: 根据视在功率确定, B相处于空载条件。VANLPHASE[1]位与STATUS1寄存器的位2 (VANLOAD)一起置1。
8	VANLPHASE[2]	0	0: 根据视在功率确定, C相并未处于空载条件。 1: 根据视在功率确定, C相处于空载条件。VANLPHASE[2]位与STATUS1寄存器的位2 (VANLOAD)一起置1。
[15:9]	保留	0000000	保留。这些位始终设为0。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表40. COMPMODE寄存器(地址0xE60E)

位	位名称	默认值	说明
0	TERMSEL1[0]	1	将TERMSEL1[2:0]位全部置1时, 表示CF1输出中包含了所有三相之和。CF1输出计算中包含A相。
1	TERMSEL1[1]	1	CF1输出计算中包含B相。
2	TERMSEL1[2]	1	CF1输出计算中包含C相。
3	TERMSEL2[0]	1	将TERMSEL2[2:0]位全部置1时, 表示CF2输出中包含了所有三相之和。CF2输出计算中包含A相。
4	TERMSEL2[1]	1	CF2输出计算中包含B相。
5	TERMSEL2[2]	1	CF2输出计算中包含C相。
6	TERMSEL3[0]	1	将TERMSEL3[2:0]位全部置1时, 表示CF3输出中包含了所有三相之和。CF3输出计算中包含A相。
7	TERMSEL3[1]	1	CF3输出计算中包含B相。
8	TERMSEL3[2]	1	CF3输出计算中包含C相。
[10:9]	ANGLESEL[1:0]	00	00: 测量相电压和相电流之间的角度。 01: 测量相电压之间的角度。 10: 测量相电流之间的角度。 11: 不测量任何角度。
11	VNOMAEN	0	该位为0时, 则定期计算A相上的视在功率。 该位为1时, 将使用VNOM寄存器而不是常规测量的有效值相位电压来计算A相上的视在功率。忽略施加的A相电压输入, 且所有A相有效值电压实例均以VNOM寄存器中的值代替。
12	VNOMBEN	0	该位为0时, 则定期计算B相上的视在功率。 该位为1时, 将使用VNOM寄存器而不是常规测量的有效值相位电压来计算B相上的视在功率。忽略施加的B相电压输入, 且所有B相有效值电压实例均以VNOM寄存器中的值代替。
13	VNOMCEN	0	该位为0时, 则定期计算C相上的视在功率。 该位为1时, 将使用VNOM寄存器而不是常规测量的有效值相位电压来计算C相上的视在功率。忽略施加的C相电压输入, 且所有C相有效值电压实例均以VNOM寄存器中的值代替。
14	SELFREQ	0	当ADE7878A连接到50 Hz网络时, 该位应该清0(默认值)。 当ADE7878A连接到60 Hz网络时, 该位应该置1。对于ADE7854A、ADE7858A或ADE7868A, 该位不起任何作用。
15	保留	0	该位默认为0, 并且不管理任何功能。

表41. GAIN寄存器(地址0xE60F)

位	位名称	默认值	说明
[2:0]	PGA1[2:0]	000	相电流增益选择。 000: 增益 = 1。 001: 增益 = 2。 010: 增益 = 4。 011: 增益 = 8。 100: 增益 = 16。 101, 110, 111: 保留。设置这些值时, ADE7854A/ADE7858A/ADE7868A/ADE7878A的表现和PGA1[2:0] = 000时一致。
[5:3]	PGA2[2:0]	000	零线电流增益选择。 000: 增益 = 1。对于ADE7854A和ADE7858A, 这些位始终为000。 001: 增益 = 2。 010: 增益 = 4。 011: 增益 = 8。 100: 增益 = 16。 101, 110, 111: 保留。设置这些值时, ADE7868A和ADE7878A的表现和PGA2[2:0] = 000时一致。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

位	位名称	默认值	说明
[8:6]	PGA3[2:0]	000	相电压增益选择。 000: 增益 = 1。 001: 增益 = 2。 010: 增益 = 4。 011: 增益 = 8。 100: 增益 = 16。 101, 110, 111: 保留。设置这些值时, ADE7854A/ADE7858A/ADE7868A/ADE7878A的表现和PGA3[2:0] = 000时一致。
[15:9]	保留	0000000	保留。这些位不管理任何功能。

表42. CFMODE寄存器(地址0xE610)

位	位名称	默认值	说明
[2:0]	CF1SEL[2:0]	000	000: CF1频率和COMPmode寄存器的位[2:0] (TERMSEL1[x])标示各相总有功率之和成正比。 001: 在COMPmode寄存器的位[2:0] (TERMSEL1[x])所指示的各相上, CF1频率与总无功功率之和成正比。对于ADE7854A, 此条件不起任何作用。 010: 在COMPmode寄存器的位[2:0] (TERMSEL1[x])所指示的各相上, CF1频率与视在功率之和成正比。 011: 在COMPmode寄存器的位[2:0] (TERMSEL1[x])所指示的各相上, CF1频率与基波有功功率之和成正比。对于ADE7854A、ADE7858A和ADE7868A, 此条件不起任何作用。 100: 在COMPmode寄存器的位[2:0] (TERMSEL1[x])所指示的各相上, CF1频率与基波无功功率之和成正比。对于ADE7854A、ADE7858A和ADE7868A, 此条件不起任何作用。 101, 110, 111: 保留。设置时, 不产生CF1信号。
[5:3]	CF2SEL[2:0]	001	000: 在COMPmode寄存器的位[5:3] (TERMSEL2[x])所指示的各相上, CF2频率与总有功率之和成正比。 001: 在COMPmode寄存器的位[5:3] (TERMSEL2[x])所指示的各相上, CF2频率与总无功功率之和成正比。对于ADE7854A, 此条件不起任何作用。 010: 在COMPmode寄存器的位[5:3] (TERMSEL2[x])所指示的各相上, CF2频率与视在功率之和成正比。 011: 在COMPmode寄存器的位[5:3] (TERMSEL2[x])所指示的各相上, CF2频率与基波有功功率之和成正比。对于ADE7854A、ADE7858A和ADE7868A, 此条件不起任何作用。 100: 在COMPmode寄存器的位[5:3] (TERMSEL2[x])所指示的各相上, CF2频率与基波无功功率之和成正比。对于ADE7854A、ADE7858A和ADE7868A, 此条件不起任何作用。 101,110,111: 保留。设置时, 不产生CF2信号。
[8:6]	CF3SEL[2:0]	010	000: 在COMPmode寄存器的位[8:6] (TERMSEL3[x])所指示的各相上, CF3频率与总有功率之和成正比。 001: 在COMPmode寄存器的位[8:6] (TERMSEL3[x])所指示的各相上, CF3频率与总无功功率之和成正比。对于ADE7854A, 此条件不起任何作用。 010: 在COMPmode寄存器的位[8:6] (TERMSEL3[x])所指示的各相上, CF3频率与视在功率之和成正比。 011: 在COMPmode寄存器的位[8:6] (TERMSEL3[x])所指示的各相上, CF3频率与基波有功功率之和成正比。对于ADE7854A、ADE7858A和ADE7868A, 此条件不起任何作用。 100: 在COMPmode寄存器的位[8:6] (TERMSEL3[x])所指示的各相上, CF3频率与基波无功功率之和成正比。对于ADE7854A、ADE7858A和ADE7868A, 此条件不起任何作用。 101,110,111: 保留。设置时, 不产生CF3信号。
9	CF1DIS	1	将此位设为1可禁用CF1输出。即使CF1DIS = 1, 仍会使能对应的数字频率转换器。将此位设为0可使能CF1输出。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

位	位名称	默认值	说明
10	CF2DIS	1	将此位设为1可禁用CF2输出。即使CF2DIS = 1，仍会使能对应的数字频率转换器。 将此位设为0可使能CF2输出。
11	CF3DIS	1	将此位设为1可禁用CF3输出。即使CF3DIS = 1，仍会使能对应的数字频率转换器。 将此位设为0可使能CF3输出。
12	CF1LATCH	0	该位置1时，器件会在产生CF1脉冲时锁存对应电能寄存器的内容。参见“使电能寄存器与CFx输出同步”部分。
13	CF2LATCH	0	该位置1时，器件会在产生CF2脉冲时锁存对应电能寄存器的内容。参见“使电能寄存器与CFx输出同步”部分。
14	CF3LATCH	0	该位置1时，器件会在产生CF3脉冲时锁存对应电能寄存器的内容。参见“使电能寄存器与CFx输出同步”部分。
15	保留	0	保留。该位不管理任何功能。

表43. APHCAL、BPHCAL和CPHCAL寄存器(地址0xE614、地址0xE615和地址0xE616)

位	位名称	默认值	说明
[9:0]	PHCALVAL	000000000	如果电流领先电压，这些位只能在0到383范围内变化。 如果电流滞后电压，这些位只能在512到575范围内变化。 如果PHCALVAL位设为384到511范围内的数值，则补偿方式类似于PHCALVAL设为256到383之间时。 如果PHCALVAL位设为576到1023范围内的数值，则补偿方式类似于PHCALVAL设为384到511之间时。
[15:10]	保留	000000	保留。这些位不管理任何功能。

表44. PHSIGN寄存器(地址0xE617)

位	位名称	默认值	说明
0	AWSIGN	0	0: A相上ACCMODE寄存器的位6 (REVAPSEL)给出的(总/基波)有功功率为正值时。 1: A相上ACCMODE寄存器的位6 (REVAPSEL)给出的(总/基波)有功功率为负值时。
1	BWSIGN	0	0: B相上ACCMODE寄存器的位6 (REVAPSEL)给出的(总/基波)有功功率为正值时。 1: B相上ACCMODE寄存器的位6 (REVAPSEL)给出的(总/基波)有功功率为负值时。
2	CWSIGN	0	0: C相上ACCMODE寄存器的位6 (REVAPSEL)给出的(总/基波)有功功率为正值时。 1: C相上ACCMODE寄存器的位6 (REVAPSEL)给出的(总/基波)有功功率为负值时。
3	SUM1SIGN	0	0: CF1数据路径中所有相功率之和为正值时。 1: CF1数据路径中所有相功率之和为负值时。CF1数据路径中的相功率由COMPMODE寄存器的位[2:0] (TERMSEL1[x])和CFMODE寄存器的位[2:0] (CF1SEL[x])确定。
4	AVARSIGN	0	0: A相上ACCMODE寄存器的位7 (REVRPSEL)给出的(总/基波)无功功率为正值时。 对于ADE7854A，该位始终为0。 1: A相上ACCMODE寄存器的位7 (REVRPSEL)给出的(总/基波)无功功率为负值时。
5	BVARSIGN	0	0: B相上ACCMODE寄存器的位7 (REVRPSEL)给出的(总/基波)无功功率为正值时。 对于ADE7854A，该位始终为0。 1: B相上ACCMODE寄存器的位7 (REVRPSEL)给出的(总/基波)无功功率为负值时。
6	CVARSIGN	0	0: C相上ACCMODE寄存器的位7 (REVRPSEL)给出的(总/基波)无功功率为正值时。 对于ADE7854A，该位始终为0。 1: C相上ACCMODE寄存器的位7 (REVRPSEL)给出的(总/基波)无功功率为负值时。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

位	位名称	默认值	说明
7	SUM2SIGN	0	0: CF2数据路径中所有相功率之和为正值时。 1: CF2数据路径中所有相功率之和为负值时。CF2数据路径中的相功率由COMPmode寄存器的位[5:3] (TERMSEL2[x])和CFMODE寄存器的位[5:3] (CF2SEL[x])确定。
8	SUM3SIGN	0	0: CF3数据路径中所有相功率之和为正值时。 1: CF3数据路径中所有相功率之和为负值时。CF3数据路径中的相功率由COMPmode寄存器的位[8:6] (TERMSEL3[x])和CFMODE寄存器的位[8:6] (CF3SEL[x])确定。
[15:9]	保留	0000000	保留。这些位始终设为0。

表45. CONFIG寄存器(地址0xE618)

位	位名称	默认值	说明
0	INTEN	0	积分器使能。该位置1时，INTEN在电表内使能内部数字积分器，以便在所有三相和零线电流输入上使用罗氏线圈。 该位清0时，则禁用内部数字积分器。
[2:1]	保留	00	保留。这些位不管理任何功能。
3	SWAP	0	将此位置1可使电压通道输出与电流通道输出互换。因此，电流通道信息位于Voltage channel寄存器中，反之亦然。
4	MOD1SHORT	0	该位置1时，电压通道ADC的表现和电压输入接地时一致。
5	MOD2SHORT	0	该位置1时，电流通道ADC的表现和电流输入接地时一致。
6	HSDCEN	0	该位置1时，使能HSDC串行端口且CF3/HSCLK引脚选择HSCLK功能。 该位清0时，禁用HSDC且CF3/HSCLK引脚选择CF3功能。
7	SWRST	0	当此位设置为1时，发起软件复位。
[9:8]	VTOIA[1:0]	00	这些位决定了功率路径中与A相电流一起考虑的具体相电压。 00: A相电压。 01: B相电压。 10: C相电压。 11: 保留。设置这些值时，ADE7854A/ADE7858A/ADE7868A/ADE7878A的表现和VTOIA[1:0] = 00时一致。
[11:10]	VTOIB[1:0]	00	这些位决定了功率路径中与B相电流一起考虑的具体相电压。 00: B相电压。 01: C相电压。 10: A相电压。 11: 保留。设置这些值时，ADE7854A/ADE7858A/ADE7868A/ADE7878A的表现和VTOIB[1:0] = 00时一致。
[13:12]	VTOIC[1:0]	00	这些位决定了功率路径中与C相电流一起考虑的具体相电压。 00: C相电压。 01: A相电压。 10: B相电压。 11: 保留。设置这些值时，ADE7854A/ADE7858A/ADE7868A/ADE7878A的表现和VTOIC[1:0] = 00时一致。
[15:14]	保留	0	保留。这些位不管理任何功能。

表46. CONFIG_A寄存器(地址0xE740)

位	位名称	默认值	说明
0	INSEL	0	INSEL[0] = 0时，寄存器NIRMS包含零线电流的有效值。 INSEL[0] = 1时，寄存器NIRMS包含ISUM的有效值，即所有3个相电流IA、IB、IC之和的瞬时值。
1	LPFSEL	0	将此位置1会影响总有功率和总无功功率的测量，增加滤波。
[2:7]	保留	0	保留。这些位不管理任何功能。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表47. MMODE寄存器(地址0xE700)

位	位名称	默认值	说明
[1:0]	PERSEL[1:0]	00	00: 选择A相作为电压线路周期测量的数据来源。 01: 选择B相作为电压线路周期测量的数据来源。 10: 选择C相作为电压线路周期测量的数据来源。 11: 保留。设置这些值时, ADE7854A/ADE7858A/ADE7868A/ADE7878A的表现和PERSEL[1:0] = 00时一致。
2	PEAKSEL[0]	1	PEAKSEL[2:0]位会同时全部置1, 以允许在所有三相上同时执行峰值检测。如果超过一个PEAKSEL[2:0]位置1, 由于需要检测多个相位上的过零事件, 因此PEAKCYC寄存器中给出的峰值测量周期会相应递减。 将此位置1可为电压和电流峰值寄存器选择A相。
3	PEAKSEL[1]	1	将此位置1可为电压和电流峰值寄存器选择B相。
4	PEAKSEL[2]	1	将此位置1可为电压和电流峰值寄存器选择C相。
[7:5]	保留	000	保留。这些位不管理任何功能。

表48. ACCMODE寄存器(地址0xE701)

位	位名称	默认值	说明
[1:0]	WATTACC[1:0]	00	00: 总/基波有功功率的带符号累计模式。仅限ADE7878A上可测量基波有功功率。 01: 保留。设置该值时, 器件的表现和WATTACC[1:0] = 00时一致。 10: 保留。设置该值时, 器件的表现和WATTACC[1:0] = 00时一致。 11: 总/基波有功功率的绝对值累计模式。仅限ADE7878A上可测量基波有功功率。此模式仅可在CFx输出端观察。寄存器累计继续为带符号累计, 与WATTACC[1:0]设为00时的情况一致。
[3:2]	VARACC[1:0]	00	00: 总/基波无功功率的带符号累计模式。ADE7858A、ADE7868A和ADE7878A上可测量总无功功率。仅限ADE7878A上可测量基波无功功率。对于ADE7854A, 这些位始终为00。 01: 保留。设置该值时, 器件的表现和VARACC[1:0] = 00时一致。 10: 累计总/基波无功功率, 具体取决于总/基波有功功率的符号。如果有功功率为正值, 则以原样来累计无功功率; 如果有功功率为负值, 则以相反符号形式累计无功功率。此模式仅可在CFx输出端观察。寄存器累计继续为带符号累计, 与VARACC[1:0]设为00时的情况一致。 11: 总/基波无功功率的绝对值累计模式。ADE7858A、ADE7868A和ADE7878A上可测量总无功功率。仅限ADE7878A上可测量基波无功功率。此模式仅可在CFx输出端观察。寄存器累计继续为带符号累计, 与VARACC[1:0]设为00时的情况一致。
[5:4]	CONSEL[1:0]	00	这些位选择电能累计寄存器的输入。IA'、IB'和IC'分别为偏移-90°的IA、IB和IC。参见表49。 00: 三相四线且带有三个电压传感器。 01: 三相三线三角形连接。 10: 三相四线且带有两个电压传感器。 11: 三相四线三角形连接。
6	REVAPSEL	0	0: 利用各相上的总有功功率来触发STATUS0寄存器的某个位, 如下所示: A相上触发的是位6 (REVAPA); B相上触发的是位7 (REVAPB); 而C相上触发的是位8 (REVAPC)。对于ADE7854A、ADE7858A和ADE7868A, 该位始终为0。 1: 利用各相上的基波有功功率来触发STATUS0寄存器的某个位, 如下所示: A相上触发的是位6 (REVAPA); B相上触发的是位7 (REVAPB); 而C相上触发的是位8 (REVAPC)。
7	REVRPSEL	0	0: 利用各相上的总无功功率来触发STATUS0寄存器的某个位, 如下所示: A相上触发的是位10 (REVRPA); B相上触发的是位11 (REVRPB); 而C相上触发的是位12 (REVRPC)。对于ADE7854A、ADE7858A和ADE7868A, 该位始终为0。 1: 利用各相上的基波无功功率来触发STATUS0寄存器的某个位, 如下所示: A相上触发的是位10 (REVRPA); B相上触发的是位11 (REVRPB); 而C相上触发的是位12 (REVRPC)。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表49. 电能寄存器的位CONSEL[1:0]

电能寄存器	CONSEL[1:0] = 00	CONSEL[1:0] = 01	CONSEL[1:0] = 10	CONSEL[1:0] = 11
AWATTHR, AFWATTHR	$VA \times IA$	$VA \times IA$	$VA \times IA$	$VA \times IA$
BWATTHR, BFWATTHR	$VB \times IB$	$VB = VA - VC^1$	$VB = -VA - VC$	$VB = -VA$
CWATTHR, CFWATTHR	$VC \times IC$	$VB \times IB$	$VB \times IB$	$VB \times IB$
AVARHR, AFVARHR	$VC \times IC$	$VC \times IC$	$VC \times IC$	$VC \times IC$
BVARHR, BFVARHR	$VA \times IA'$	$VA \times IA'$	$VA \times IA'$	$VA \times IA'$
CVARHR, CFVARHR	$VB \times IB'$	$VB = VA - VC^1$	$VB = -VA - VC$	$VB = -VA$
AVAHR	$VB' \times IB$	$VB' \times IB$	$VB \times IB'$	$VB \times IB'$
BVAHR	$VC \times IC'$	$VC \times IC'$	$VC \times IC'$	$VC \times IC'$
CVAHR	$VA \text{ rms} \times IA \text{ rms}$	$VA \text{ rms} \times IA \text{ rms}$	$VA \text{ rms} \times IA \text{ rms}$	$VA \text{ rms} \times IA \text{ rms}$
	$VB \text{ rms} \times IB \text{ rms}$	$VB \text{ rms} \times IB \text{ rms}$	$VB \text{ rms} \times IB \text{ rms}$	$VB \text{ rms} \times IB \text{ rms}$
		$VB = VA - VC^1$	$VB = -VA - VC$	$VB = -VA$
	$VC \text{ rms} \times IC \text{ rms}$	$VC \text{ rms} \times IC \text{ rms}$	$VC \text{ rms} \times IC \text{ rms}$	$VC \text{ rms} \times IC \text{ rms}$

¹ 在三相三线(CONSEL[1:0] = 01)情况下, 器件计算A相与C相之间的线路电压有效值, 并将结果存储于BVRMS寄存器中(参见三相三线三角形配置中的电压有效值部分)。随后, 器件计算与B相相关的功率, 该值无实际含义。为避免B相相关功率引起频率输出引脚(CF1、CF2或CF3)内的任何误差, 在COMPmode寄存器中将位TERMSEL1[1]、TERMSEL2[1]或TERMSEL3[1]设为0, 以禁止B相对电能频率转换器的贡献(参见电能频率转换部分)。

表50. LCYCMODE寄存器(地址0xE702)

位	位名称	默认值	说明
0	LWATT	0	0: 瓦时累计寄存器(AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR和CFWATTHR)置于正常累计模式。 1: 瓦时累计寄存器(AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR和CFWATTHR)置于线周期累计模式。
1	LVAR	0	0: 乏时累计寄存器(AVARHR、BVARHR和CVARHR)置于定期累计模式。对于ADE7854A, 该位始终为0。 1: Var-hour累计寄存器(AVARHR、BVARHR和CVARHR)置于线周期累计模式。
2	LVA	0	0: VA-hour累计寄存器(AVAHR、BVAHR和CVAHR)配置为普通累计模式。 1: VA-hour累计寄存器(AVAHR、BVAHR和CVAHR)配置为线周期累计模式。
3	ZXSEL[0]	1	0: A相不计入线路周期累计模式下的过零计数。 1: A相计入线路周期累计模式下的过零计数。如果选择了多相来进行过零检测, 则累计时间会相应缩短。
4	ZXSEL[1]	1	0: B相不计入线路周期累计模式下的过零计数。 1: B相计入线路周期累计模式下的过零计数。
5	ZXSEL[2]	1	0: C相不计入线路周期累计模式下的过零计数。 1: C相计入线路周期累计模式下的过零计数。
6	RSTREAD	1	0: 禁用读取并复位所有电能寄存器。当位[2:0](LWATT、LVAR和LVA)置1时, 应将该位清0。 1: 使能所有xWATTHR、xVARHR、xVAHR、xFWATTHR和xFVARHR寄存器的“读取后复位”操作。这意味着, 读取后, 上述寄存器会复位至0。
7	保留	0	保留。该位不管理任何功能。

ADE7854A/ADE7858A/ADE7868A/ADE7878A

表51. HSDC_CFG寄存器(地址0xE706)

位	位名称	默认值	说明
0	HCLK	0	0: HSCLK为8 MHz。 1: HSCLK为4 MHz。
1	HSIZE	0	0: HSDC以32位数据包且MSB优先形式传输32位寄存器。 1: HSDC以32位数据包且MSB优先形式传输8位寄存器。
2	HGAP	0	0: 数据包之间不引入间隙。 1: 数据包之间引入长达七个HCLK周期的间隙。
[4:3]	HXFER[1:0]	00	00 = 对于ADE7854A, HSDC按照下列顺序传输十六个32位字: IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、一个等于0的32位字、AVA、BVA、CVA、AWATT、BWATT、CWATT和三个等于0的32位字。对于ADE7858A, HSDC按照下列顺序传输十六个32位字: IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、一个等于0的32位字、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR和CVAR。对于ADE7868A和ADE7878A, HSDC按照下列顺序传输十六个32位字: IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV、AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR和CVAR。 01 = 对于ADE7854A和ADE7858A, HSDC传输电流和电压的六个瞬时值顺序如下: IAWV、VAWV、IBWV、VBWV、ICWV、VCWV和一个等于0的32位字。对于ADE7868A和ADE7878A, HSDC传输电流和电压的七个瞬时值顺序如下: IAWV、VAWV、IBWV、VBWV、ICWV、VCWV和INWV。 10 = 对于ADE7854A, HSDC传输相功率的六个瞬时值顺序如下: AVA、BVA、CVA、AWATT、BWATT、CWATT和三个等于0的32位字。对于ADE7858A、ADE7868A和ADE7878A, HSDC传输相功率的九个瞬时值顺序如下: AVA、BVA、CVA、AWATT、BWATT、CWATT、AVAR、BVAR和CVAR。 11 = 保留。设置这些值时, ADE7854A、ADE7858A、ADE7868A和ADE7878A的表现和HXFER[1:0] = 00时一致。
5	HSAPOL	0	0: SS/HSA输出引脚低电平有效。 1: SS/HSA输出引脚高电平有效。
[7:6]	保留	00	保留。这些位不管理任何功能。

表52. LPOILVL寄存器(地址0xEC00)¹

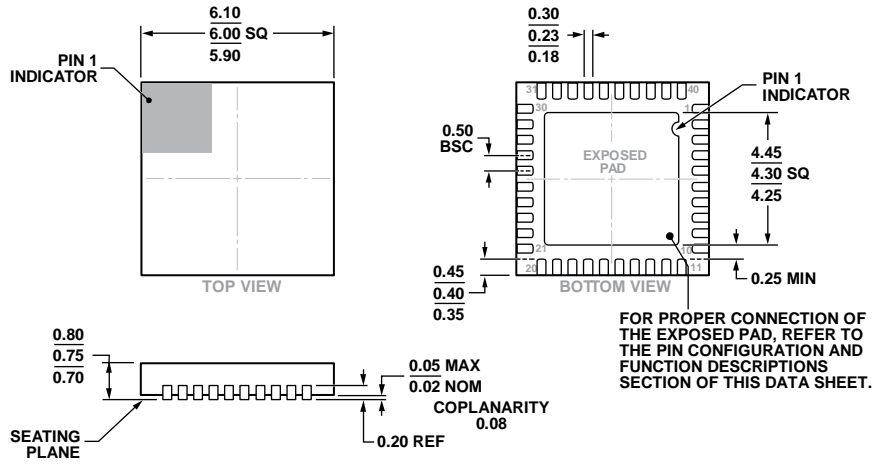
位	位名称	默认值	说明
[2:0]	LPOIL[2:0]	000	PSM2
[7:3]	LPLINE[4:0]	00000	对于PSM2中断模式, 测量周期为 $0.02 \times (LPLINE + 10)$ s。对于PSM2仅IRQ1模式, 测量周期为 $0.02 \times (LPLINE + 1)$; 使用外部定时器等待此周期。

¹ LPOILVL寄存器仅适用于ADE7868A和ADE7878A; 该寄存器在ADE7854A和ADE7858A上为保留寄存器。

表53. CONFIG2寄存器(地址0xEC01)

位	位名称	默认值	说明
0	EXTREFEN	0	该位为0时, 表示ADC中采用的是内部基准电压源。 该位为1时, 将外部基准电压源(REF _{IN/OUT})与引脚17相连。
1	I2C_LOCK	0	该位为0时, 允许ADE7854A、ADE7858A、ADE7868A和ADE7878A变化。SS/HAS引脚切换三次, 激活SPI端口。如果I ² C为激活的串行端口, 则该位必须置1, 以便将其锁定。此后, 器件会忽略SS/HSA引脚的杂散切换, 因而无法切换至使用SPI端口。如果SPI为激活的串行端口, 则只要对CONFIG2寄存器执行任意写操作即可锁定该端口。之后将无法切换至使用I ² C端口。锁定后, 在PSMx功率模式时保持串行端口选择不变。
2	IRQ0_DIS	0	设为1时, IRQ0引脚在PSM2模式下禁用。
[7:3]	保留	0	保留。这些位不管理任何功能。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD.

图104. 40引脚引脚架构芯片级封装 [LFCSP_WQ]
6 mm × 6 mm, 四方超薄体
(CP-40-10)
尺寸单位: mm

订购指南

型号 ^{1,2}	温度范围	封装描述	封装选项
ADE7854AAPZ	-40°C 至 +85°C	40引脚 LFCSP_WQ	CP-40-10
ADE7854AAPZ-RL	-40°C 至 +85°C	40引脚 LFCSP_WQ, 13"卷带和卷盘	CP-40-10
ADE7858AAPZ	-40°C 至 +85°C	40引脚 LFCSP_WQ	CP-40-10
ADE7858AAPZ-RL	-40°C 至 +85°C	40引脚 LFCSP_WQ, 13"卷带和卷盘	CP-40-10
ADE7868AAPZ	-40°C 至 +85°C	40引脚 LFCSP_WQ	CP-40-10
ADE7868AAPZ-RL	-40°C 至 +85°C	40引脚 LFCSP_WQ, 13"卷带和卷盘	CP-40-10
ADE7878AAPZ	-40°C 至 +85°C	40引脚 LFCSP_WQ	CP-40-10
ADE7878AAPZ-RL	-40°C 至 +85°C	40引脚 LFCSP_WQ, 13"卷带和卷盘	CP-40-10
EVAL-ADE7878AEBZ		评估板	

¹ Z = 符合RoHS标准的器件。

² EVAL-ADE7878AEBZ评估板根据ADE7878A的配置而构建, 支持对ADE7854A、ADE7858A、ADE7868A和ADE7878A器件的所有功能进行评估。

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。