

产品特性

1.8 V电源供电

低功耗：每通道164 mW (125 MSPS)

信噪比(SNR)：76.5 dBFS(70 MHz, 2.0 V p-p输入范围)

信噪比(SNR)：77.5 dBFS(70 MHz, 2.6 V p-p输入范围)

SFDR：90 dBc(至奈奎斯特, 2.0 V p-p输入范围)

DNL：±0.7 LSB；INL：±3.5 LSB(2.0 V p-p输入范围)

串行LVDS(ANSI-644, 默认)、低功耗, 缩小范围选项(类似于IEEE 1596.3)

650 MHz全功率模拟带宽

2 V p-p输入电压范围(支持高达2.6 V p-p)

串行端口控制

全芯片及单一通道省电模式

灵活的位定向

内置生成及用户自定义数字测试码

多芯片同步和时钟分频器

可编程输出时钟与数据对准

待机模式

应用

医疗超声和MRI

高速成像

正交无线电接收机

分集无线电接收机

测试设备

概述

AD9653是一款4通道、16位、125 MSPS模数转换器(ADC), 内置片内采样保持电路, 专门针对低成本、低功耗、小尺寸和易用性而设计。该产品的转换速率最高可达125 MSPS, 具有杰出的动态性能与低功耗特性, 适合比较重视小封装尺寸的应用。

该ADC要求采用1.8 V单电源供电以及LVPECL/CMOS/LVDS兼容型采样速率时钟信号, 以便充分发挥其工作性能。无需外部基准电压源或驱动器件即可满足许多应用需求。

该ADC会自动倍乘采样速率时钟, 以便产生合适的LVDS串行数据速率。它提供一个数据时钟输出(DCO)用于在输出端捕获数据, 以及一个帧时钟输出(FCO)用于发送新输出字节信号。它还支持独立关断各通道; 禁用所有通道时, 典型功耗低于2 mW。该ADC内置多种功能特性, 可使

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误。ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

功能框图

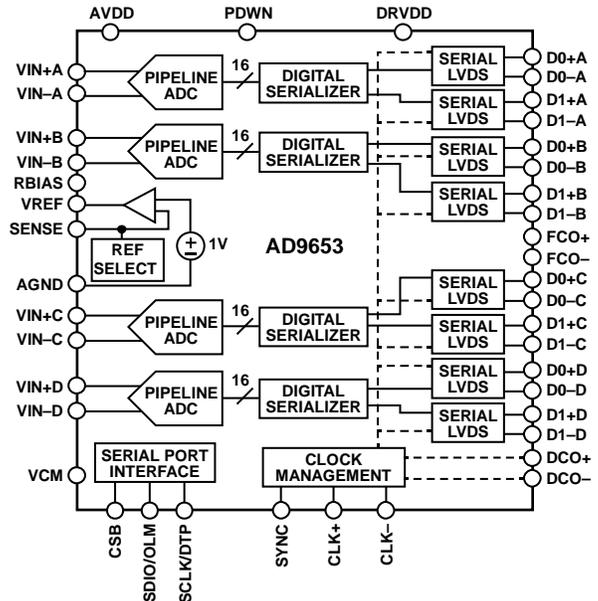


图1.

器件的灵活性达到最佳、系统成本最低, 例如可编程输出时钟与数据对准、生成数字测试码等。可获得的数字测试码包括内置固定码和伪随机码, 以及通过串行端口接口(SPI)输入的用户自定义测试码。

AD9653采用符合RoHS标准的48引脚LFCSP封装, 额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

产品特色

1. 小尺寸。

一个小型封装中集成4个ADC, 节省空间。

2. 低功耗：每通道164 mW(125 MSPS, 功率选项可调整)。

3. 与14位、4通道ADC AD9253和12位、4通道ADC AD9633引脚兼容。

4. 易于使用。

数据时钟输出(DCO)的工作频率高达500 MHz, 支持双倍数据速率(DDR)操作。

5. 使用灵活。

SPI控制提供丰富灵活的特性, 可满足各种特定系统的需求。

目录

产品特性	1	时钟输入考虑	25
应用	1	功耗和省电模式	27
概述	1	数字输出和时序	27
功能框图	1	输出测试模式	30
产品特点	1	串行端口接口(SPI)	31
修订历史	2	使用SPI的配置	31
技术规格	3	硬件接口	32
直流规格	3	不使用SPI的配置	32
交流规格	5	SPI访问特性	32
数字规格	7	存储器映射	33
开关规格	8	读取存储器映射寄存器表	33
时序规格	9	存储器映射寄存器表	34
绝对最大额定值	11	存储器映射寄存器描述	37
热阻	11	应用信息	39
ESD警告	11	设计指南	39
引脚配置和功能描述	12	电源和接地建议	39
典型性能参数	14	裸露焊盘散热块建议	39
$V_{REF} = 1.0\text{ V}$	14	VCM	39
$V_{REF} = 1.3\text{ V}$	17	基准电压源去耦	39
等效电路	21	SPI端口	39
工作原理	22	串扰性能	39
模拟输入考虑	22	外形尺寸	40
基准电压源	23	订购指南	40

修订历史

2012年5月—修订版0：初始版

技术规格

直流规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，-1.0 dBFS时满量程差分输入为2.0 V p-p； $V_{REF} = 1.0$ V，DCS关。

表1.

参数 ¹	温度	最小值	典型值	最大值	单位	
分辨率		16			位	
精度						
无失码	全	保证				
失调误差	全	-0.49	-0.3	0.17	% FSR	
失调匹配	全	-0.14	+0.2	0.39	% FSR	
增益误差	全	-12.3	-5	2.37	% FSR	
增益匹配	全	1.0	1.1	5.8	% FSR	
差分非线性(DNL)	全	-0.77			LSB	
	25°C	±0.7			LSB	
积分非线性(INL)	全	-7.26			LSB	
	25°C	±3.5			LSB	
温度漂移						
失调误差	全	3.5			ppm/°C	
内部基准电压源						
输出电压(1.0 V模式)	全	0.98	1.0	1.01	V	
1.0 mA时的负载调整率($V_{REF} = 1.0$ V)	全	2			mV	
输入电阻	25°C	7.5			kΩ	
折合到输入端噪声						
$V_{REF} = 1.0$ V	25°C	2.7			LSB rms	
模拟输入						
差分输入电压($V_{REF} = 1.0$ V)	全	2			V p-p	
共模电压	全	0.9			V	
共模范围	25°C	0.5			1.3	V
差分输入电阻	25°C	2.6			kΩ	
差分输入电容	25°C	7			pF	
电源						
AVDD	全	1.7	1.8	1.9	V	
DRVDD	全	1.7	1.8	1.9	V	
I_{AVDD}^2	全	305			mA	
I_{DRVDD} (ANSI-644模式) ²	全	60			mA	
I_{DRVDD} (缩小范围模式) ²	25°C	45			mA	
总功耗						
直流输入	全	607			mW	
正弦波输入(四通道, 包括输出驱动器, ANSI-644模式)	全	657			708	mW
正弦波输入(四通道, 包括输出驱动器, 缩小范围模式)	25°C	630			mW	
关断	25°C	2			mW	
待机 ³	全	356			392	mW

¹ 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

² 测量条件为：全部四个通道均采用低输入频率的满量程正弦波。

³ 可通过SPI进行控制。

AD9653

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，-1.0 dBFS时满量程差分输入为2.6 V p-p；V_{REF} = 1.3 V；0°C至85°C，DCS关。

表2.

参数 ¹	温度	最小值	典型值	最大值	单位
分辨率		16			位
精度					
无失码	25°C		保证		
失调误差	25°C		-0.3		% FSR
失调匹配	25°C		+0.2		% FSR
增益误差	25°C		-5		% FSR
增益匹配	25°C		1.1		% FSR
差分非线性(DNL)	25°C		±0.8		LSB
积分非线性(INL)	25°C		±5.0		LSB
温度漂移					
失调误差	25°C		3.5		ppm/°C
内部基准电压源					
输出电压(1.3 V可编程模式)	25°C		1.3		V
1.0 mA时的负载调整率(V _{REF} = 1.3 V)	25°C		6.5		mV
输入电阻	25°C		7.5		kΩ
折合到输入端噪声					
V _{REF} = 1.3 V	25°C		2.1		LSB rms
模拟输入					
差分输入电压(V _{REF} = 1.3 V)	25°C		2.6		V p-p
共模电压	25°C		0.9		V
共模范围	25°C	0.6		1.3	V
差分输入电阻	25°C		2.6		kΩ
差分输入电容	25°C		7		pF
电源					
AVDD	25°C		1.8		V
DRVDD	25°C		1.8		V
I _{AVDD} ²	25°C		314		mA
I _{DRVDD} (ANSI-644模式) ²	25°C		60		mA
I _{DRVDD} (缩小范围模式) ²	25°C		45		mA
总功耗					
直流输入	25°C		614		mW
正弦波输入(四通道，包括输出驱动器，ANSI-644模式)	25°C		673		mW
正弦波输入(四通道，包括输出驱动器，缩小范围模式)	25°C		646		mW
关断	25°C		2		mW
待机 ³	25°C		371		mW

¹ 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

² 测量条件为：全部四个通道均采用低输入频率的满量程正弦波。

³ 可通过SPI进行控制。

交流规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，-1.0 dBFS时满量程差分输入为2.0 V p-p； $V_{REF} = 1.0 V$ ，DCS关。

表3.

参数 ¹	温度	最小值	典型值	最大值	单位
信噪比(SNR)					
$f_{IN} = 9.7 \text{ MHz}$	25°C		78		dBFS
$f_{IN} = 15 \text{ MHz}$	25°C		77.8		dBFS
$f_{IN} = 70 \text{ MHz}$	全	75.5	76.5		dBFS
$f_{IN} = 128 \text{ MHz}$	25°C		73.9		dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		71.5		dBFS
信纳比(SINAD)					
$f_{IN} = 9.7 \text{ MHz}$	25°C		78		dBFS
$f_{IN} = 15 \text{ MHz}$	25°C		77.7		dBFS
$f_{IN} = 70 \text{ MHz}$	全	74.6	76.1		dBFS
$f_{IN} = 128 \text{ MHz}$	25°C		73.6		dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		70.3		dBFS
有效位数(ENOB)					
$f_{IN} = 9.7 \text{ MHz}$	25°C		12.7		Bits
$f_{IN} = 15 \text{ MHz}$	25°C		12.6		Bits
$f_{IN} = 70 \text{ MHz}$	全	12.1	12.4		Bits
$f_{IN} = 128 \text{ MHz}$	25°C		11.9		Bits
$f_{IN} = 200 \text{ MHz}$	25°C		11.4		Bits
无杂散动态范围(SFDR)					
$f_{IN} = 9.7 \text{ MHz}$	25°C		96		dBc
$f_{IN} = 15 \text{ MHz}$	25°C		93		dBc
$f_{IN} = 70 \text{ MHz}$	全	78	89		dBc
$f_{IN} = 128 \text{ MHz}$	25°C		87		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		77		dBc
最差谐波(二次或三次)					
$f_{IN} = 9.7 \text{ MHz}$	25°C		-98		dBc
$f_{IN} = 15 \text{ MHz}$	25°C		-93		dBc
$f_{IN} = 70 \text{ MHz}$	全	-78	-89		dBc
$f_{IN} = 128 \text{ MHz}$	25°C		-87		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-77		dBc
最差其它谐波或杂散					
$f_{IN} = 9.7 \text{ MHz}$	25°C		-96		dBc
$f_{IN} = 15 \text{ MHz}$	25°C		-98		dBc
$f_{IN} = 70 \text{ MHz}$	全	-85	-94		dBc
$f_{IN} = 128 \text{ MHz}$	25°C		-89		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-83		dBc
双音交调失真(IMD) — AIN1和AIN2 = -7.0 dBFS $f_{IN1} = 70.5 \text{ MHz}, f_{IN2} = 72.5 \text{ MHz}$	25°C		-90		dBc
串扰 ²	25°C		91		dB
串扰(超量程情况) ³	25°C		87		dB
电源抑制比(PSRR) ⁴					
AVDD	25°C		31		dB
DRVDD	25°C		79		dB
模拟输入带宽(全功率)	25°C		650		MHz

¹ 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

² 串扰的测量条件：一个通道参数为70 MHz、-1.0 dBFS模拟输入且相邻通道上无输入信号。

³ 超量程条件定义为输入高于满量程范围3 dB。

⁴ PSRR测量方法：将一个10 MHz正弦波信号注入电源引脚，测量FFT的输出杂散。PSRR等于杂散电压的幅度与引脚电压之比，用分贝(dB)表示。

AD9653

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V，-1.0 dBFS时满量程差分输入为2.6 V p-p；V_{REF} = 1.3 V；0°C至85°C，DCS关。

表4.

参数 ¹	温度	最小值 典型值 最大值	单位
信噪比(SNR)			
f _{IN} = 9.7 MHz	25°C	80	dBFS
f _{IN} = 15 MHz	25°C	79.4	dBFS
f _{IN} = 70 MHz	25°C	77.5	dBFS
f _{IN} = 128 MHz	25°C	74.4	dBFS
f _{IN} = 200 MHz	25°C	71.7	dBFS
信纳比(SINAD)			
f _{IN} = 9.7 MHz	25°C	79.8	dBFS
f _{IN} = 15 MHz	25°C	79.2	dBFS
f _{IN} = 70 MHz	25°C	76.1	dBFS
f _{IN} = 128 MHz	25°C	74	dBFS
f _{IN} = 200 MHz	25°C	69.9	dBFS
有效位数(ENOB)			
f _{IN} = 9.7 MHz	25°C	13	Bits
f _{IN} = 15 MHz	25°C	12.9	Bits
f _{IN} = 70 MHz	25°C	12.3	Bits
f _{IN} = 128 MHz	25°C	12	Bits
f _{IN} = 200 MHz	25°C	11.3	Bits
无杂散动态范围(SFDR)			
f _{IN} = 9.7 MHz	25°C	94	dBc
f _{IN} = 15 MHz	25°C	94	dBc
f _{IN} = 70 MHz	25°C	82	dBc
f _{IN} = 128 MHz	25°C	86	dBc
f _{IN} = 200 MHz	25°C	75	dBc
最差谐波(二次或三次)			
f _{IN} = 9.7 MHz	25°C	-94	dBc
f _{IN} = 15 MHz	25°C	-94	dBc
f _{IN} = 70 MHz	25°C	-82	dBc
f _{IN} = 128 MHz	25°C	-87	dBc
f _{IN} = 200 MHz	25°C	-75	dBc
最差其它谐波或杂散			
f _{IN} = 9.7 MHz	25°C	-100	dBc
f _{IN} = 15 MHz	25°C	-99	dBc
f _{IN} = 70 MHz	25°C	-96	dBc
f _{IN} = 128 MHz	25°C	-86	dBc
f _{IN} = 200 MHz	25°C	-84	dBc
双音交调失真(IMD) — AIN1和AIN2 = -7.0 dBFS f _{IN1} = 70.5 MHz, f _{IN2} = 72.5 MHz	25°C	-90	dBc
串扰 ²	25°C	91	dB
串扰(超量程情况) ³	25°C	87	dB
电源抑制比(PSRR) ⁴			
AVDD	25°C	31	dB
DRVDD	25°C	79	dB
模拟输入带宽(全功率)	25°C	650	MHz

¹ 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

² 串扰的测量条件：一个通道参数为70 MHz、-1.0 dBFS模拟输入且相邻通道上无输入信号。

³ 超量程条件定义为输入高于满量程范围3 dB。

⁴ PSRR测量方法：将一个10 MHz正弦波信号注入电源引脚，测量FFT的输出杂散。PSRR等于杂散电压的幅度与引脚电压之比，用分贝(dB)表示。

数字规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V。

表5.

参数 ¹	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-)			CMOS/LVDS/LVPECL		
逻辑兼容					
差分输入电压 ²	全	0.2		3.6	V p-p
输入电压范围	全	AGND - 0.2		AVDD + 0.2	V
输入共模电压	全		0.9		V
输入电阻(差分)	25°C		15		kΩ
输入电容	25°C		4		pF
逻辑输入(PDWN、SYNC、SCLK)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输入(CSB)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		2		pF
逻辑输入(SDIO)					
逻辑1电压	全	1.2		AVDD + 0.2	V
逻辑0电压	全	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		5		pF
逻辑输出(SDIO) ³					
逻辑1电压($I_{OH} = 800 \mu A$)	全		1.79		V
逻辑0电压($I_{OL} = 50 \mu A$)	全			0.05	V
数字输出(D0±x、D1±x)，ANSI-644					
逻辑兼容			LVDS		
差分输出电压(V_{OD})	全	290	345	400	mV
输出失调电压(V_{OS})	全	1.15	1.25	1.35	V
输出编码(默认)			二进制补码		
数字输出(D0±x、D1±x)， 低功耗，减少信号选项					
逻辑兼容			LVDS		
差分输出电压(V_{OD})	全	160	200	230	mV
输出失调电压(V_{OS})	全	1.15	1.25	1.35	V
输出编码(默认)			二进制补码		

¹ 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

² 仅针对LVDS和LVPECL。

³ 针对共用同一连接的13个SDIO/OLM引脚。

AD9653

开关规格

除非另有说明，AVDD = 1.8 V，DRVDD = 1.8 V。

表6.

参数 ^{1,2}	温度	最小值	典型值	最大值	单位
时钟³					
输入时钟速率	全	20		1000	MHz
转换速率	全	20		125	MSPS
时钟高电平脉冲宽度(t_{EH})	全		4.00		ns
时钟低电平脉冲宽度(t_{EL})	全		4.00		ns
输出参数³					
传播延迟(t_{PD})	全		2.3		ns
上升时间(t_R)(20%至80%)	全		300		ps
下降时间(t_F)(20%至80%)	全		300		ps
FCO传播延迟(t_{FCO})	全	1.5	2.3	3.1	ns
DCO传播延迟(t_{CPD}) ⁴	全		$t_{FCO} + (t_{SAMPLE}/16)$		ns
DCO至数据延迟(t_{DATA}) ⁴	全	$(t_{SAMPLE}/16) - 300$	$(t_{SAMPLE}/16)$	$(t_{SAMPLE}/16) + 300$	ps
DCO至FCO延迟(t_{FRAME}) ⁴	全	$(t_{SAMPLE}/16) - 300$	$(t_{SAMPLE}/16)$	$(t_{SAMPLE}/16) + 300$	ps
通道延迟(t_{LD})	全		90		ps
数据至数据偏斜($t_{DATA-MAX} - t_{DATA-MIN}$)	全		±50	±200	ps
唤醒时间(待机)	25°C		250		ns
唤醒时间(省电模式) ⁵	25°C		375		µs
流水线延迟	全		16		时钟周期
孔径					
孔径延迟(t_A)	25°C		1		ns
孔径不确定性(抖动, t_J)	25°C		135		fs rms
超范围恢复时间	25°C		1		时钟周期

¹ 如需了解定义以及这些测试如何完成的详情，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

² 采用标准FR-4材料测量。

³ 可通过SPI进行调整。转换速率指分频之后的时钟速率。

⁴ $t_{SAMPLE}/16$ 基于两个LVDS数据通道的位数。 $t_{SAMPLE} = 1/f_s$ 。

⁵ 唤醒时间指从省电模式返回正常工作模式所需的时间。

时序规格

表7.

参数	说明	限值	单位
同步时序要求			
t_{SSYNC}	SYNC至CLK+上升沿的建立时间	0.24	ns(典型值)
t_{HSYNC}	SYNC至CLK+上升沿的保持时间	0.40	ns(典型值)
SPI时序要求	参见图75		
t_{DS}	数据与SCLK上升沿之间的建立时间	2	ns(最小值)
t_{DH}	数据与SCLK上升沿之间的保持时间	2	ns(最小值)
t_{CLK}	SCLK周期	40	ns(最小值)
t_S	CSB与SCLK之间的建立时间	2	ns(最小值)
t_H	CSB与SCLK之间的保持时间	2	ns(最小值)
t_{HIGH}	SCLK高电平脉冲宽度	10	ns(最小值)
t_{LOW}	SCLK低电平脉冲宽度	10	ns(最小值)
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间(图75未显示)	10	ns(最小值)
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间(图75未显示)	10	ns(最小值)

时序图

SPI寄存器设置参见“存储器映射寄存器描述”部分和表23。

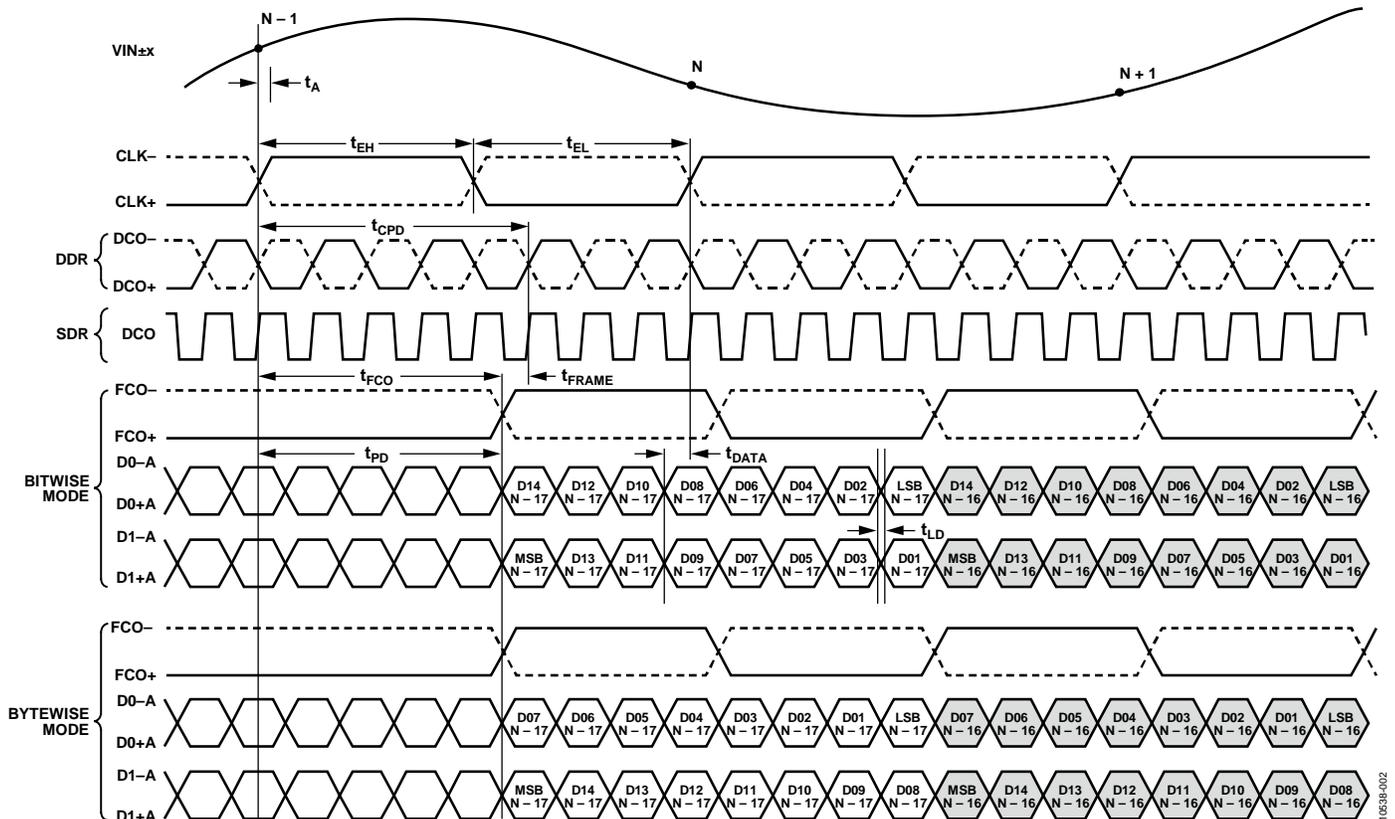


图2. 16-Bit DDR/SDR、双通道、1×帧模式(默认)

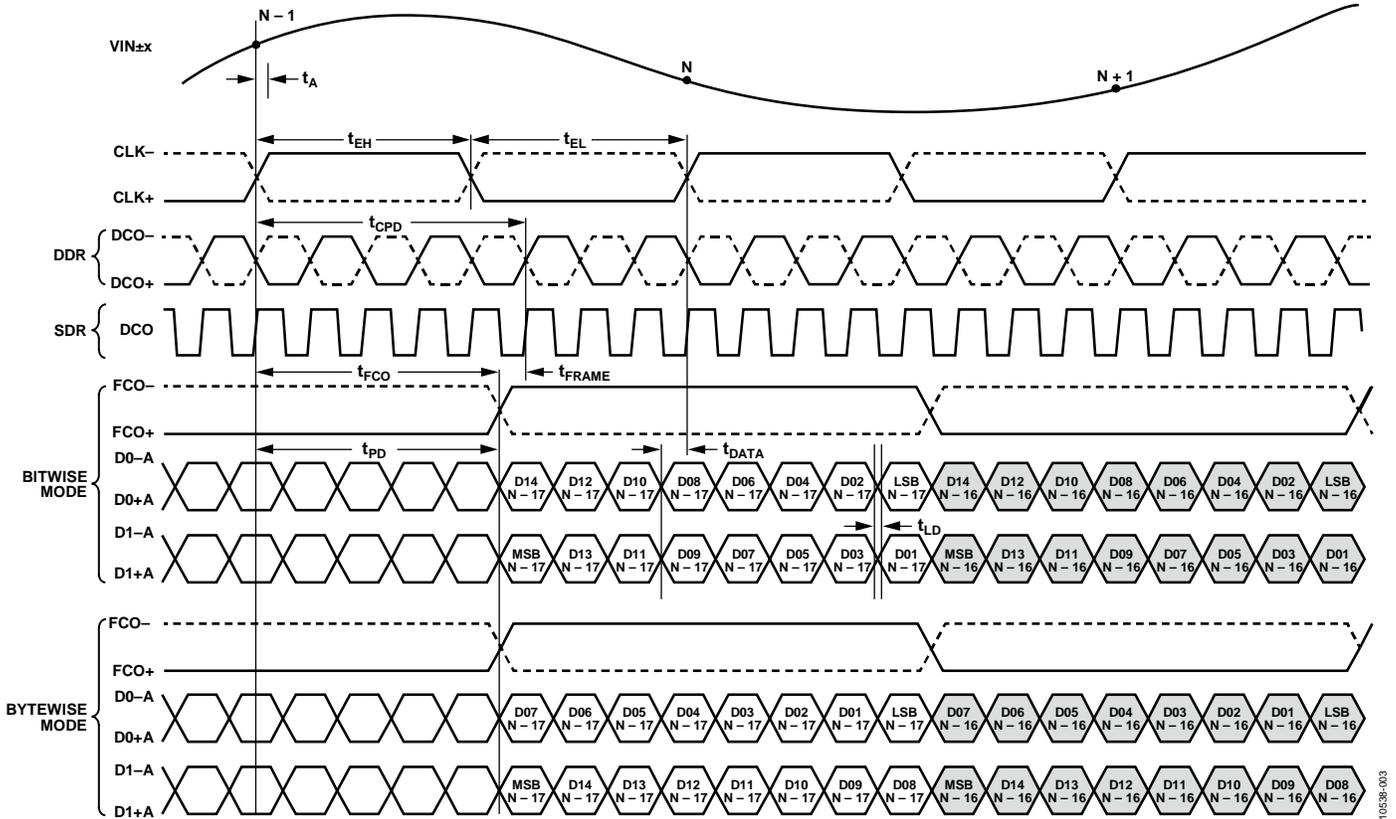


图3. 16-Bit DDR/SDR、双通道、2×帧模式

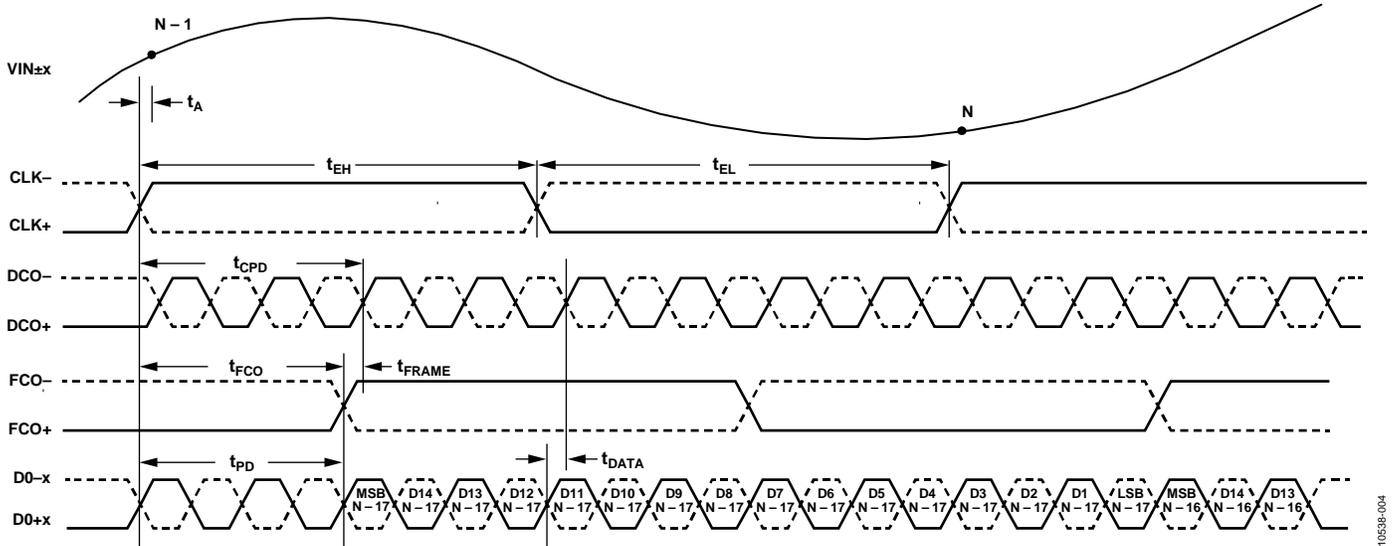


图4. 逐字DDR、单通道、1×帧、16-Bit输出模式

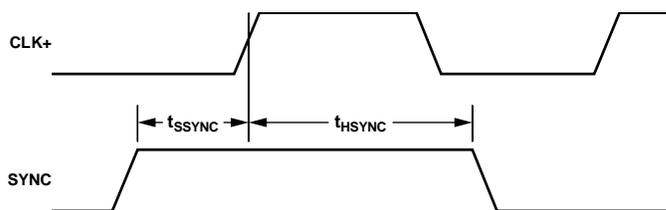


图5. SYNC输入时序要求

绝对最大额定值

表8.

参数	额定值
电气	
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至AGND	-0.3 V至+2.0 V
数字输出 (D0±x、D1±x、DCO+、DCO-、 FCO+、FCO-)至AGND	-0.3 V至+2.0 V
CLK+、CLK-至AGND	-0.3 V至+2.0 V
VIN+x、VIN-x至AGND	-0.3 V至+2.0 V
SCLK/DTP、SDIO/OLM、CSB至AGND	-0.3 V至+2.0 V
SYNC、PDWN至AGND	-0.3 V至+2.0 V
RBIAS至AGND	-0.3 V至+2.0 V
VREF、SENSE至AGND	-0.3 V至+2.0 V
环境	
工作温度 范围(环境温度, $V_{REF} = 1.0\text{ V}$)	-40°C至+85°C
工作温度 范围(环境温度, $V_{REF} = 1.3\text{ V}$)	0°C至85°C
最高结温	150°C
引脚温度 (焊接, 10秒)	300°C
存储温度 范围(环境温度)	-65°C至+150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表9. 热阻

封装类型	气流速度 (m/s)	θ_{JA}^1	θ_{JB}	θ_{JC}	单位
48引脚LFCSP	0.0	23.7	7.8	7.1	°C/W
7 mm × 7 mm (CP-48-13)	1.0	20.0	N/A	N/A	°C/W
	2.5	18.7	N/A	N/A	°C/W

¹ θ_{JA} 的测试条件为有实接地层的四层PCB(仿真)。裸露焊盘焊接到PCB。

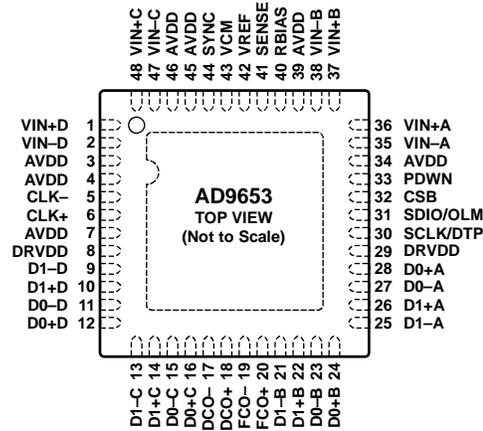
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
 1. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

图6. 48引脚LFCSP的引脚配置，顶视图

表10. 引脚功能描述

引脚编号	引脚名称	说明
0	AGND、 裸露焊盘	模拟地，裸露焊盘。 封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。
1	VIN+D	ADC D模拟输入(+).
2	VIN-D	ADC D模拟输入(-).
3, 4, 7, 34, 39, 45, 46	AVDD	1.8 V模拟电源引脚。
5, 6	CLK-, CLK+	差分编码时钟。PECL、LVDS或1.8 V CMOS输入。
8, 29	DRVDD	数字输出驱动器电源。
9, 10	D1-D, D1+D	通道D数字输出。
11, 12	D0-D, D0+D	通道D数字输出。
13, 14	D1-C, D1+C	通道C数字输出。
15, 16	D0-C, D0+C	通道C数字输出。
17, 18	DCO-, DCO+	数据时钟输出。
19, 20	FCO-, FCO+	帧时钟输出。
21, 22	D1-B, D1+B	通道B数字输出。
23, 24	D0-B, D0+B	通道B数字输出。
25, 26	D1-A, D1+A	通道A数字输出。
27, 28	D0-A, D0+A	通道A数字输出。
30	SCLK/DTP	SPI时钟输入/数字测试码。
31	SDIO/OLM	SPI数据输入和输出(双向SPI数据)/输出通道模式。
32	CSB	SPI片选信号。低电平有效使能；内置30 kΩ上拉电阻。
33	PDWN	数字输入，30 kΩ内部下拉电阻。 PDWN高电平 = 关断器件。 PDWN低电平 = 运行器件，正常工作。
35	VIN-A	ADC A模拟输入(-).
36	VIN+A	ADC A模拟输入(+).
37	VIN+B	ADC B模拟输入(+).
38	VIN-B	ADC B模拟输入(-).
40	RBIAS	设置模拟电流偏置。连接到接地10 kΩ(1%容差)电阻。
41	SENSE	基准电压模式选择。
42	VREF	基准电压输入和输出引脚。
43	VCM	模拟输入共模电压。

引脚编号	引脚名称	说明
44	同步	数字输入。时钟分频器的SYNC输入。
47	VIN-C	ADC C模拟输入(-)。
48	VIN+C	ADC C模拟输入(+)

典型性能参数

$V_{REF} = 1.0V$

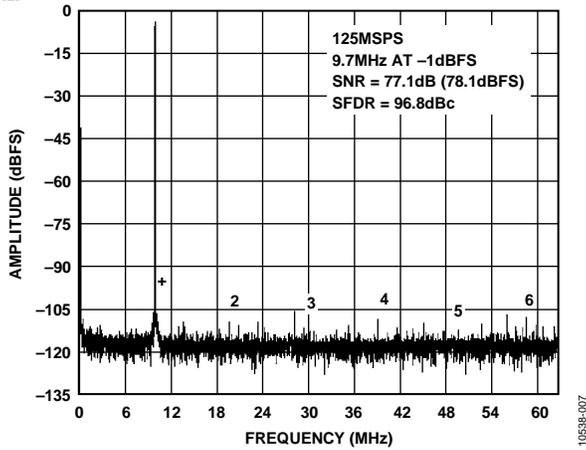


图7. 单音16k FFT($f_{IN} = 9.7\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.0\text{ V}$)

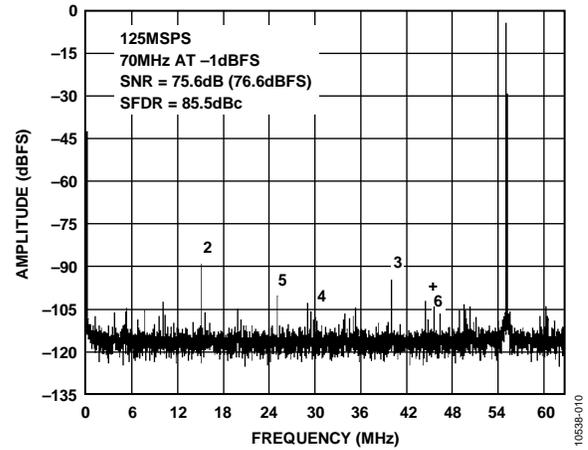


图10. 单音16k FFT($f_{IN} = 70\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.0\text{ V}$)

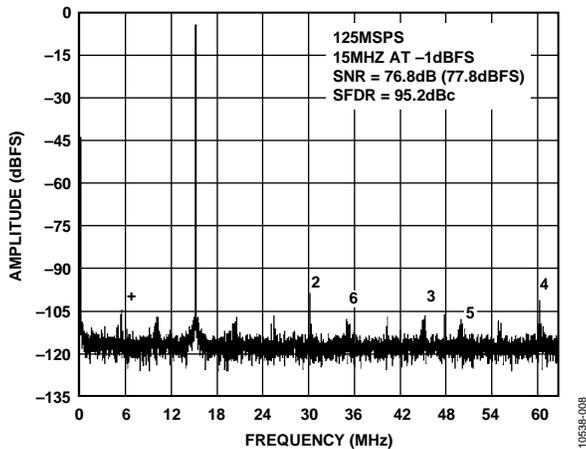


图8. 单音16k FFT($f_{IN} = 15\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.0\text{ V}$)

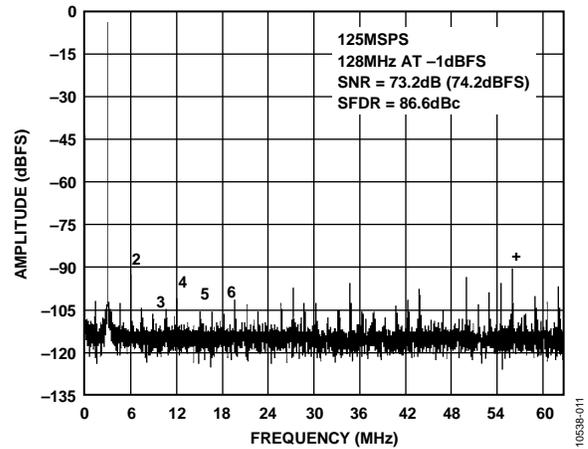


图11. 单音16k FFT($f_{IN} = 128\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.0\text{ V}$)

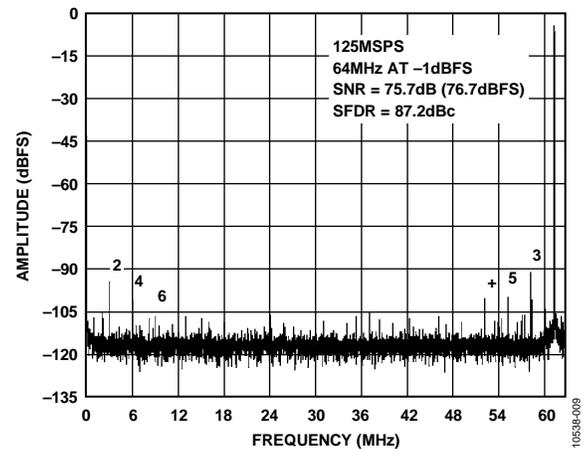


图9. 单音16k FFT($f_{IN} = 64\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.0\text{ V}$)

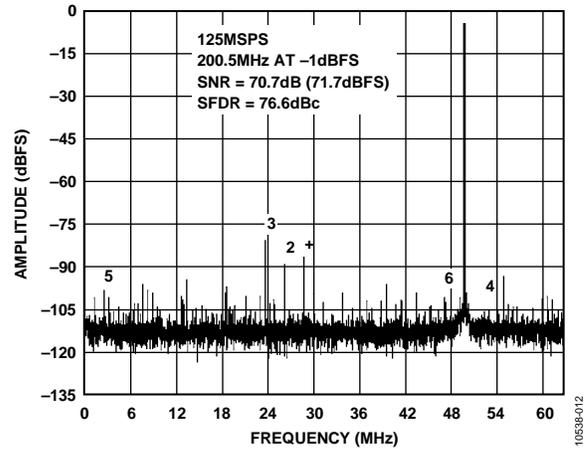


图12. 单音16k FFT($f_{IN} = 200.5\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.0\text{ V}$)

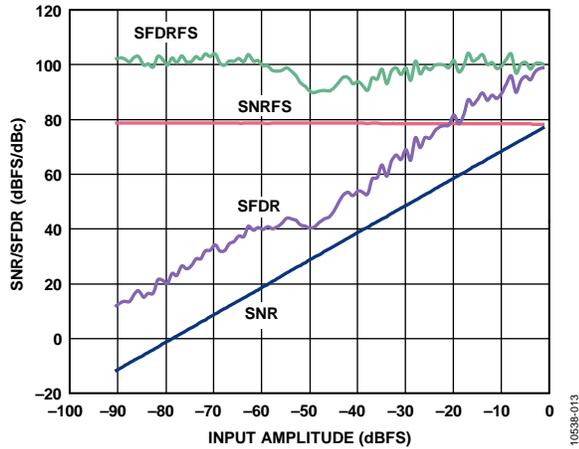


图13. SNR/SFDR与输入幅度(AIN)的关系($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

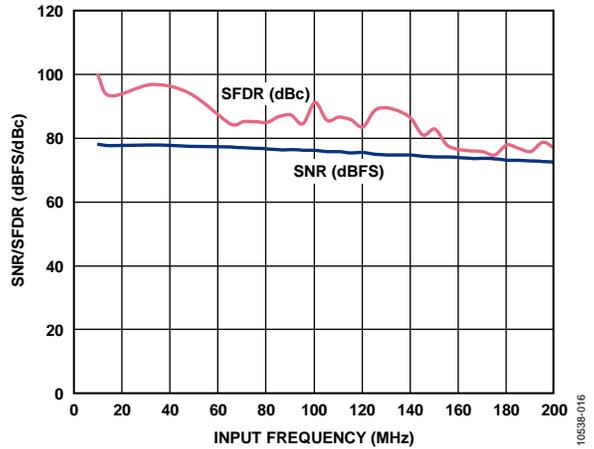


图16. SNR/SFDR与 f_{IN} 的关系($f_{SAMPLE} = 125 \text{ MSPS}$, 时钟分频器 = 8, $V_{REF} = 1.0 \text{ V}$)

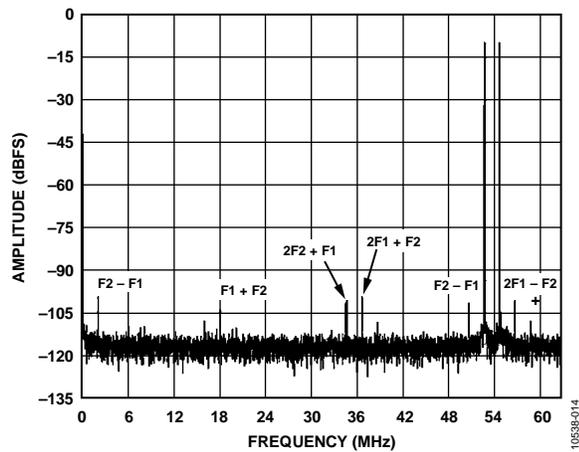


图14. 双音16k FFT($f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

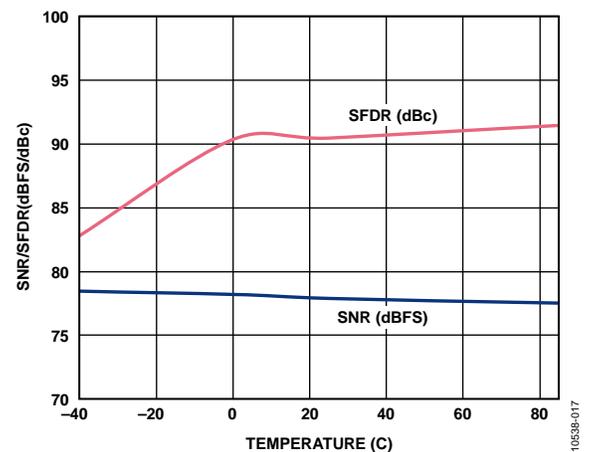


图17. SNR/SFDR与温度的关系($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

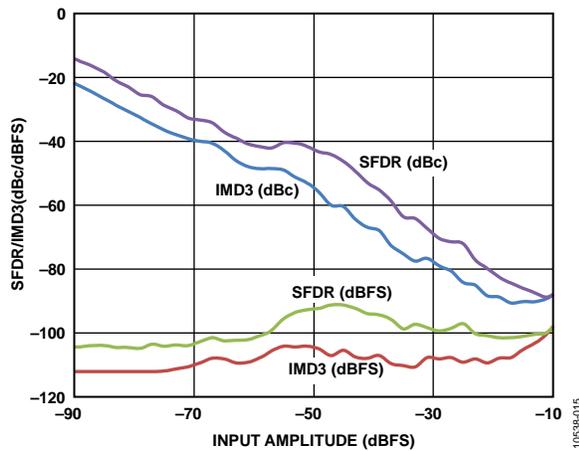


图15. 双音SFDR/IMD3与输入幅度(AIN)的关系($f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

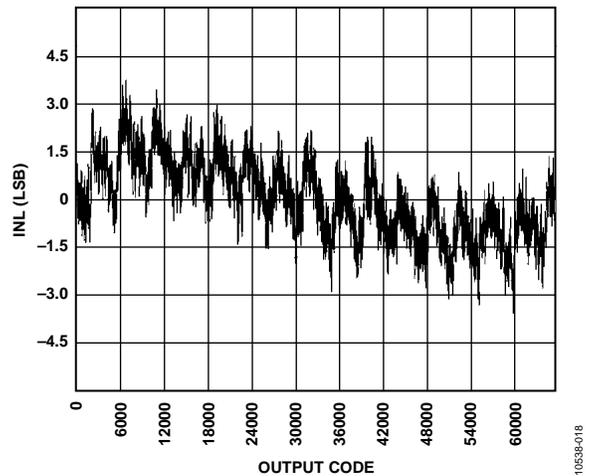


图18. INL($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

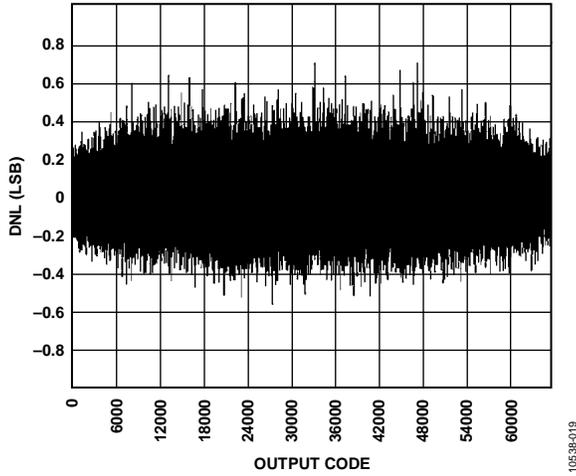


图19. DNL($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

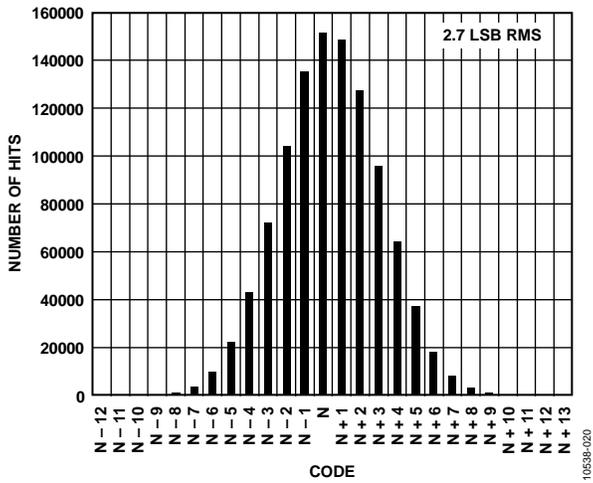


图20. 折合到输入端的噪声直方图($f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

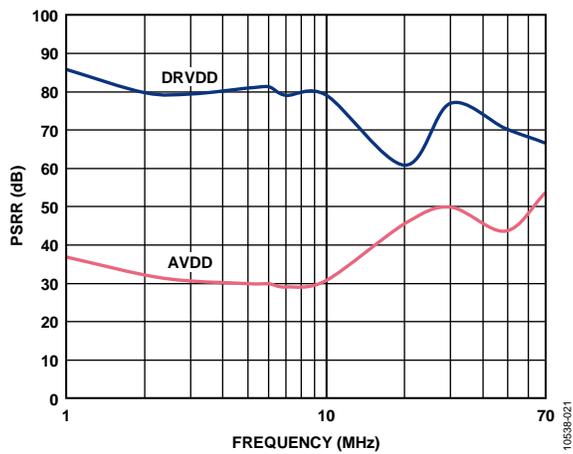


图21. PSRR与频率的关系($f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

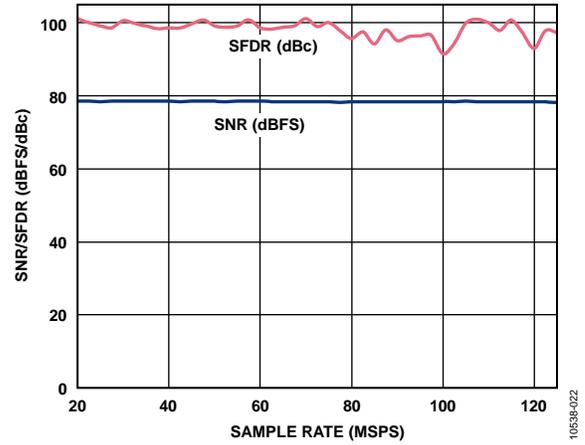


图22. SNR/SFDR与采样速率的关系($f_{IN} = 9.7 \text{ MHz}$, $V_{REF} = 1.0 \text{ V}$)

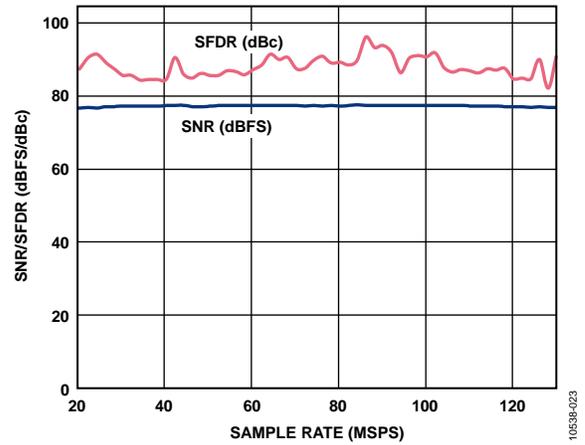


图23. SNR/SFDR与采样速率的关系($f_{IN} = 64 \text{ MHz}$, 时钟分频器 = 4, $V_{REF} = 1.0 \text{ V}$)

$V_{REF} = 1.3 V$

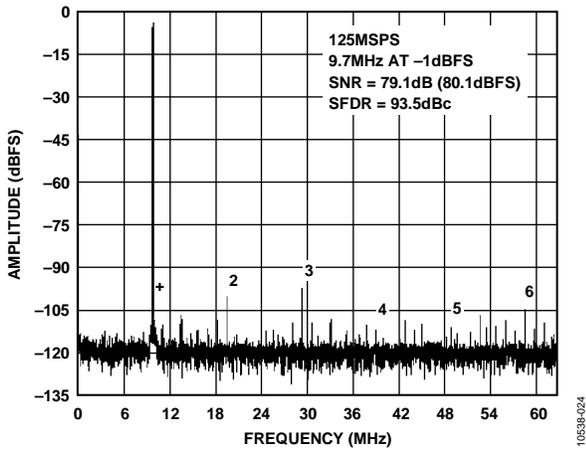


图24. 单音16k FFT($f_{IN} = 9.7 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.3 V$)

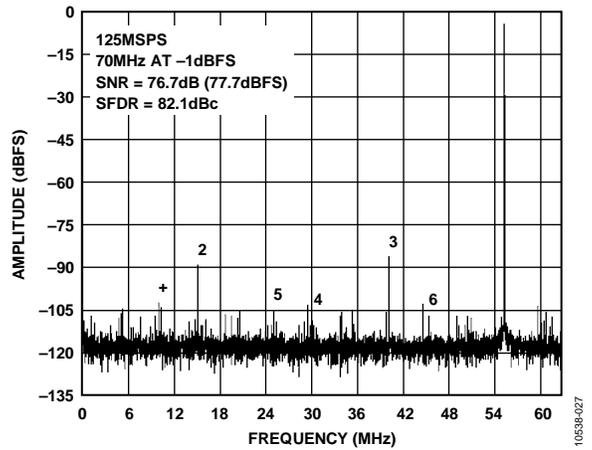


图27. 单音16k FFT($f_{IN} = 70 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.3 V$)

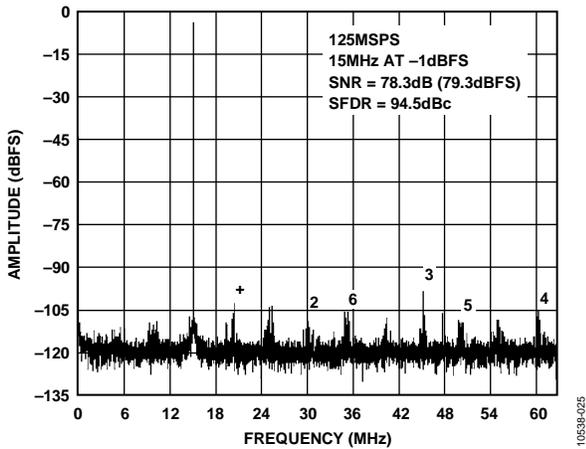


图25. 单音16k FFT($f_{IN} = 15 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.3 V$)

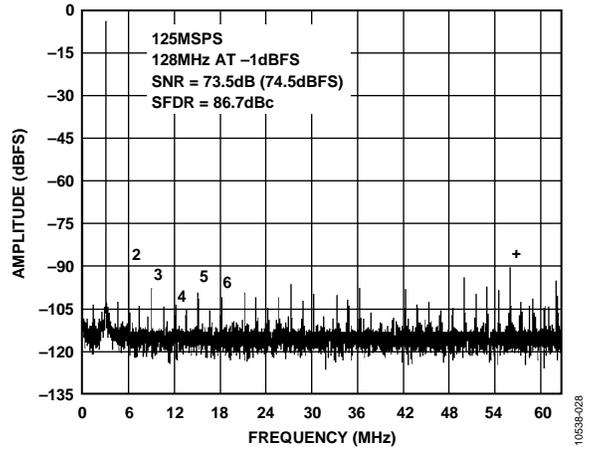


图28. 单音16k FFT($f_{IN} = 128 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.3 V$)

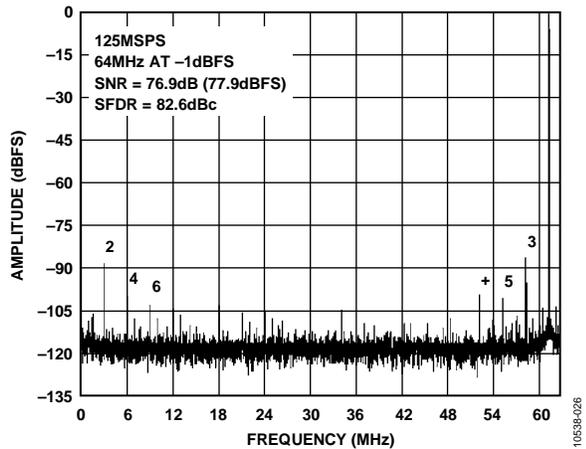


图26. 单音16k FFT($f_{IN} = 64 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.3 V$)

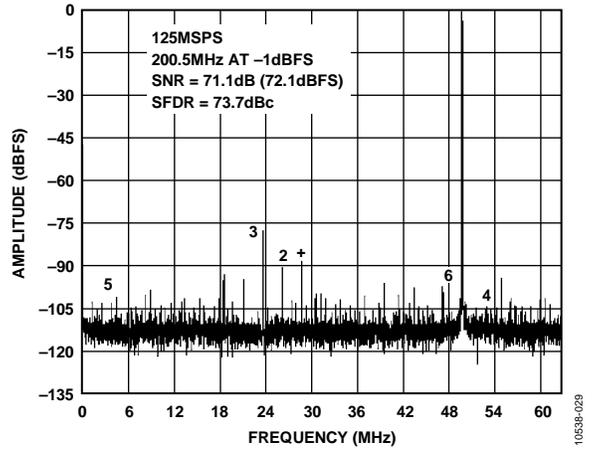


图29. 单音16k FFT($f_{IN} = 200.5 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.3 V$)

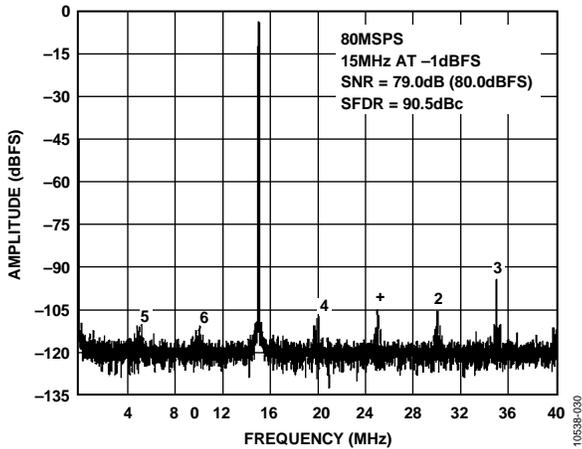


图30. 单音16k FFT ($f_{IN} = 15 \text{ MHz}$, $f_{SAMPLE} = 80 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

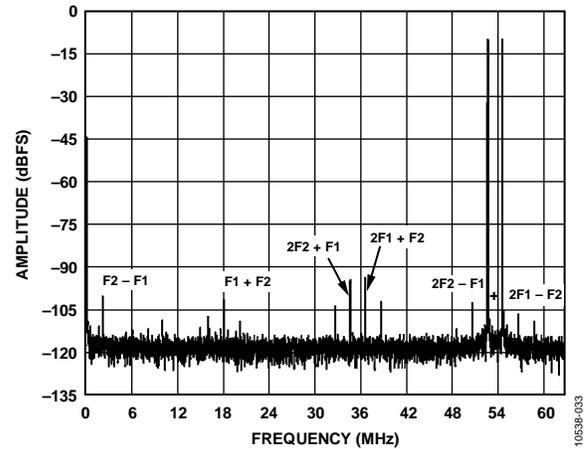


图33. 双音16k FFT ($f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

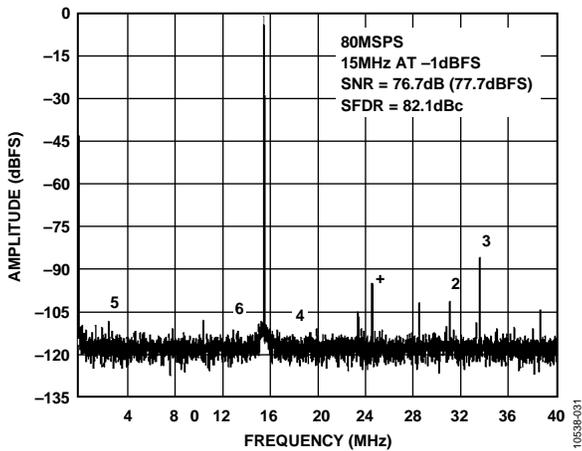


图31. 单音16k FFT ($f_{IN} = 64.5 \text{ MHz}$, $f_{SAMPLE} = 80 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

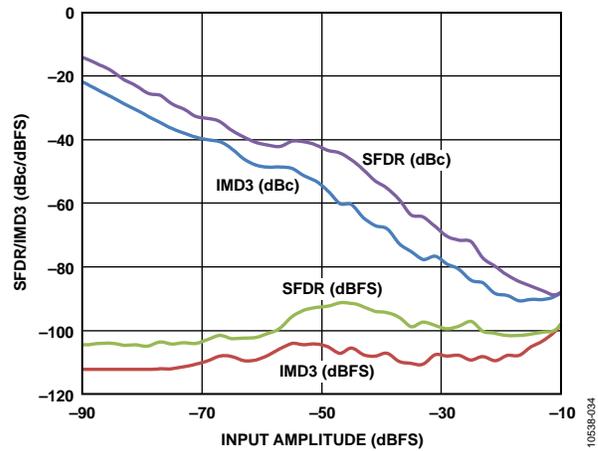


图34. 双音SFDR/IMD3与输入幅度(AIN)的关系 ($f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

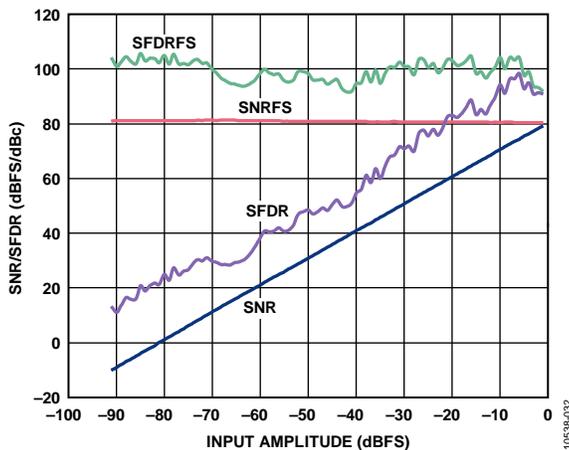


图32. SNR/SFDR与输入幅度(AIN)的关系 ($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

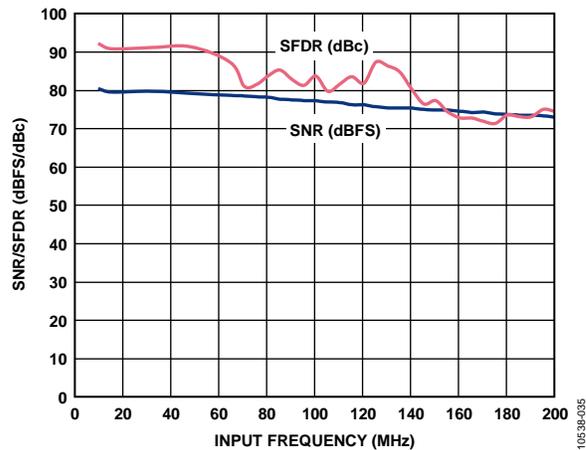


图35. SNR/SFDR与 f_{IN} 的关系 ($f_{SAMPLE} = 125 \text{ MSPS}$, 时钟分频器 = 8, $V_{REF} = 1.3 \text{ V}$)

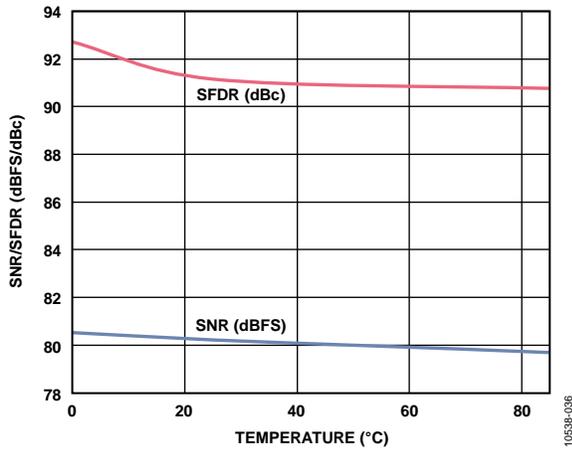


图36. SNR/SFDR与温度的关系($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

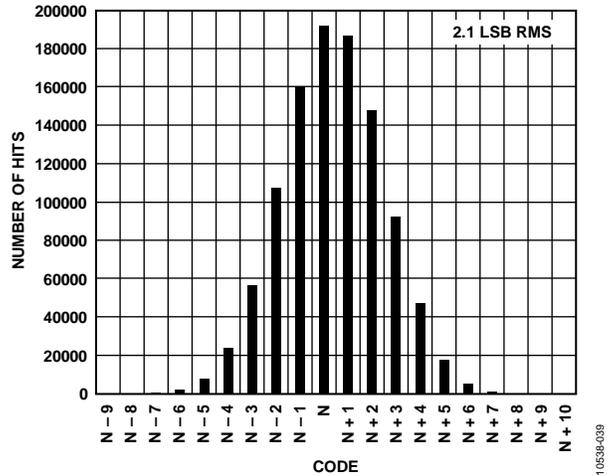


图39. 折合到输入端的噪声直方图($f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

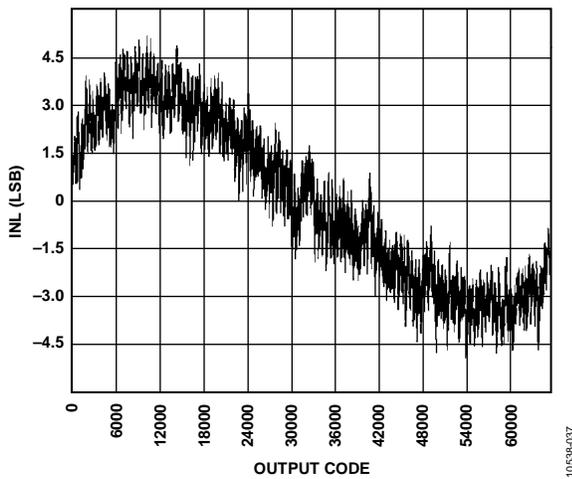


图37. INL($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

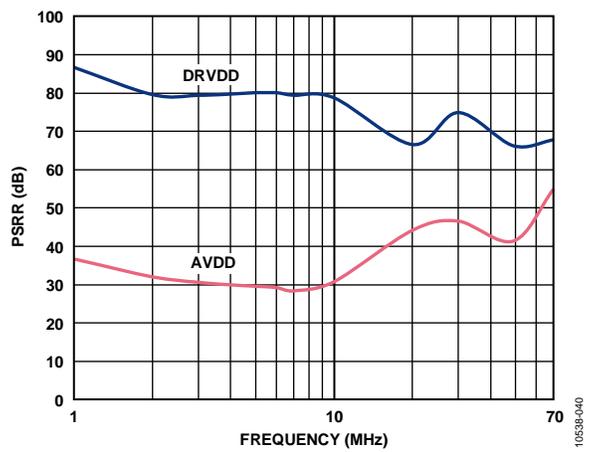


图40. PSRR与频率的关系($f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

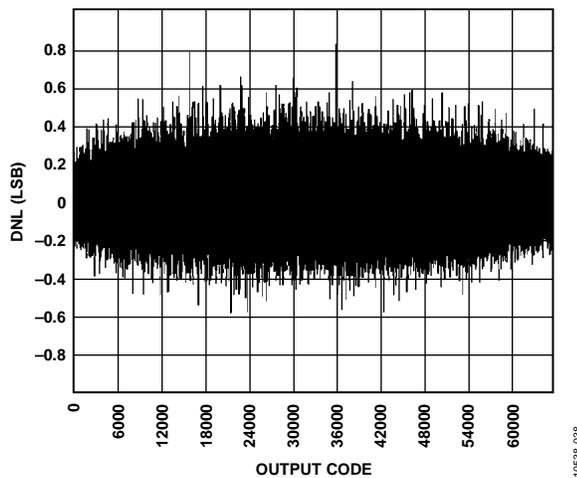


图38. DNL($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.3 \text{ V}$)

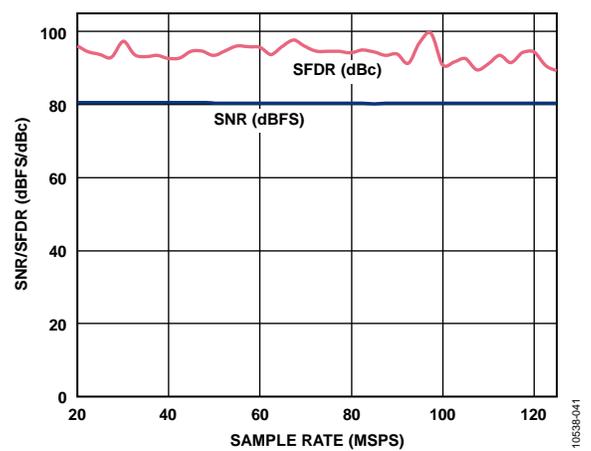


图41. SNR/SFDR与采样速率的关系($f_{IN} = 9.7 \text{ MHz}$, $V_{REF} = 1.3 \text{ V}$)

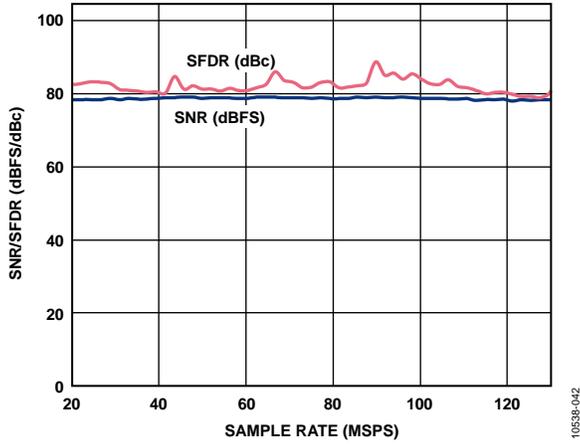


图42. SNR/SFDR与采样速率的关系($f_{IN} = 64$ MHz, 时钟分频器 = 4, $V_{REF} = 1.3$ V)

10538-042

等效电路

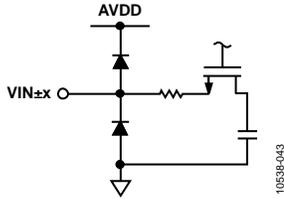


图43. 等效模拟输入电路

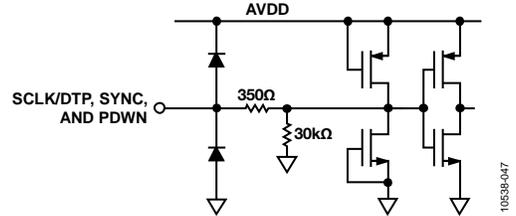


图47. 等效SCLK/DTP、SYNC和PDWN输入电路

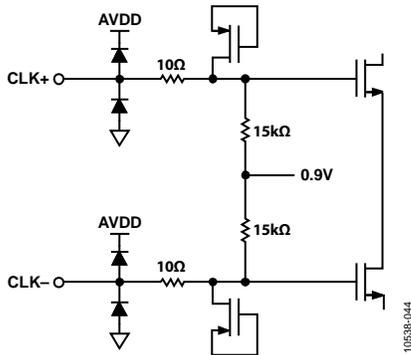


图44. 等效时钟输入电路

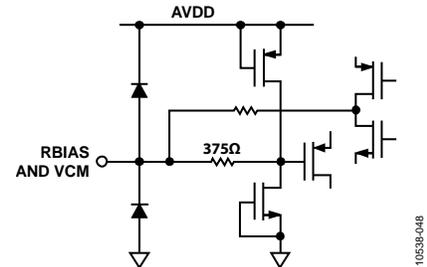


图48. 等效RBIAS和VCM电路

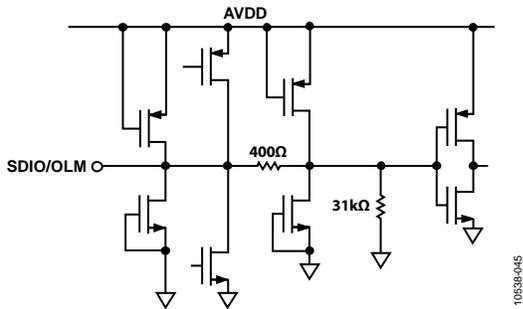


图45. 等效SDIO/OLM输入电路

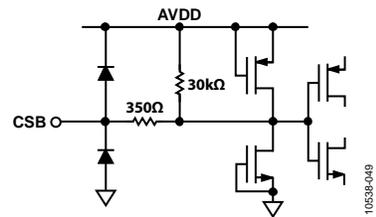


图49. 等效CS输入电路

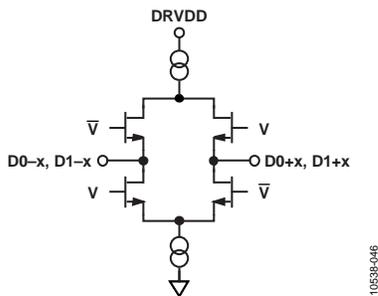


图46. 等效数字输出电路

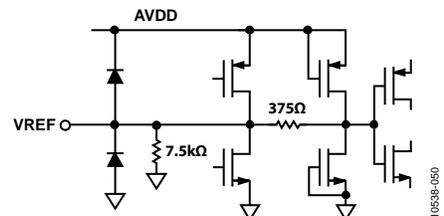


图50. 等效VREF电路

工作原理

AD9653是一款多级、流水线式ADC，各级均提供充分的重叠，以便校正上一级的Flash误差。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个16位转换结果。串行器以16位输出格式发送此转换数据。流水线式架构允许第一级处理新的输入样本，而其它级继续处理之前的样本。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率Flash型ADC、与之相连的一个开关电容DAC和一个级间余量放大器(例如乘法数模转换器(MDAC))组成。余量放大器放大重构DAC输出与Flash型输入之差，以便提供给流水线的下一级。为了帮助对Flash误差进行数字校正，每一级设定了一位冗余量。最后一级仅由一个Flash型ADC组成。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。然后对数据进行串行化，并使之与帧和数据时钟对齐。

模拟输入考虑

AD9653的模拟输入端是一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

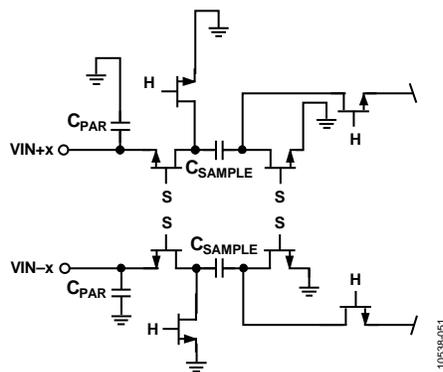


图51. 开关电容输入电路

输入电路根据时钟信号在采样模式和保持模式之间切换(见图51)。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输

入端都串联一个小电阻，帮助降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅应用笔记AN-742、AN-827以及Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(第39卷，2005年4月)。通常，精确值取决于应用。

输入共模

AD9653的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户对器件进行设置，使得 $V_{CM} = AVDD/2$ ；但器件在更宽的范围内都能获得合理的性能，如图52和图53所示。

芯片通过VCM引脚提供片内共模基准电压。必须用一个 $0.1 \mu F$ 电容对VCM引脚旁路到地，如“应用信息”部分所述。

在差分配置中，将ADC设置为最大范围可以实现最高的SNR性能。对于AD9653，输入范围取决于基准电压(见表11)。

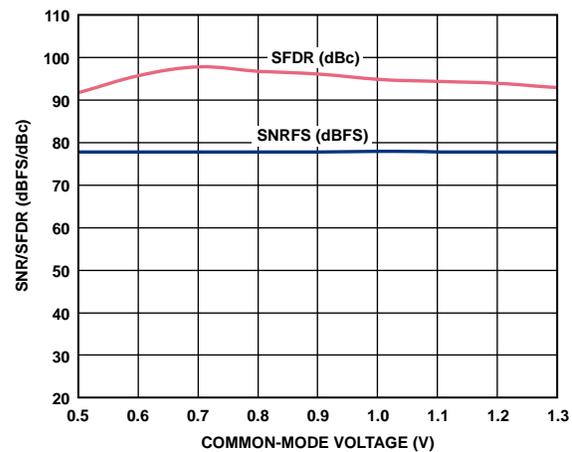


图52. SNR/SFDR与共模电压的关系($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

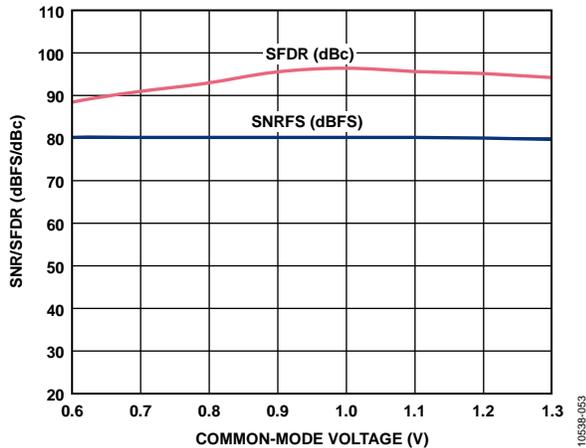


图53. SNR/SFDR与共模电压的关系($f_{IN} = 9.7$ MHz,
 $f_{SAMPLE} = 125$ MSPS, $V_{REF} = 1.3$ V)

差分输入配置

有多种有源或无源方法可以驱动AD9653，不过，通过差分方式驱动模拟输入可实现最佳性能。在基带应用中，利用差分双巴伦配置驱动AD9653能够为ADC(见图56)提供出色的性能和灵活的接口。

在SNR为关键参数的应用中，因为大部分放大器的噪声性能不足以实现AD9653的真正性能，所以输入配置中建议采用差分变压器耦合(见图57)。

无论使用何种配置，分流电容值C均取决于输入频率，并且可能需要降低电容值或去掉该分流电容。

不建议以单端方式驱动AD9653输入。

基准电压源

AD9653内置稳定、精确的基准电压源。VREF可以利用内部1.0 V基准电压、外部施加的1.0 V至1.3 V基准电压或施加到内部基准电压的外部电阻来配置，产生根据用户选择的基准电压。各种基准电压源模式汇总请参见“内部基准电压源连接”部分和“外部基准电压配置”部分。VREF引脚应通过外部一个低ESR 0.1 μ F陶瓷电容和一个低ESR 1.0 μ F电容的并联组合旁路至地。

内部基准电压连接

AD9653的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成三种可能的模式之一(见表11)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图54)，因而将VREF引脚的电压 V_{REF} 设为1.0 V。若SENSE连接外部电阻分压器(见图55)，则 V_{REF} 定义如下：

$$V_{REF} = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

其中：

$$7 \text{ k}\Omega \leq (R1 + R2) \leq 10 \text{ k}\Omega$$

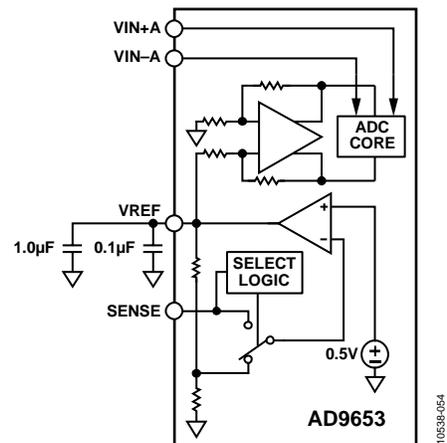


图54. 1.0 V内部基准电压配置

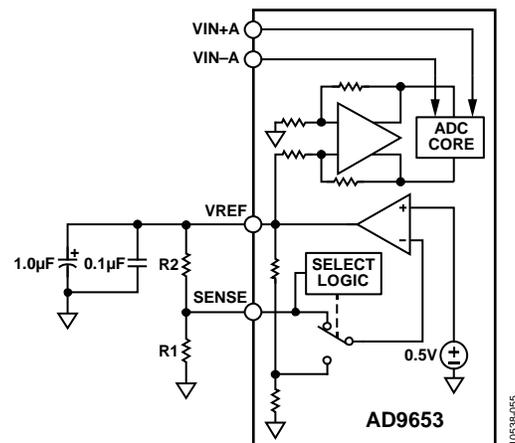


图55. 可编程内部基准电压配置

表11. 基准电压配置表

所选模式	SENSE电压(V)	相应的 V_{REF} (V)	相应的差分范围 (Vp-p)
固定内部基准电压	AGND至0.2	1.0, 内部	2.0
可编程内部基准电压源	连接外部R分压器(见图55)	$0.5 \times (1 + R2/R1)$, 例如: $R1 = 3.5 \text{ k}\Omega$, $R2 = 5.6 \text{ k}\Omega$ ($V_{REF} = 1.3 \text{ V}$) ¹	$2 \times V_{REF}$
固定外部基准电压	AVDD	1.0至1.3, 施加于外部VREF引脚 ¹	2.0至2.6

¹ 以 $V_{REF} = 1.3$ V正常工作时，支持的温度范围为0°C至85°C。

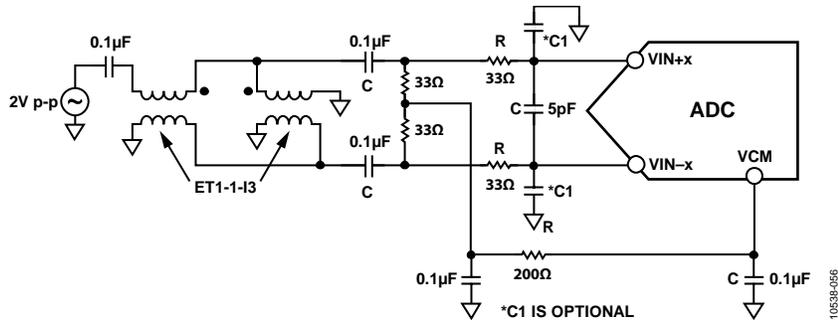


图56. 针对基带应用的差分双巴伦输入配置

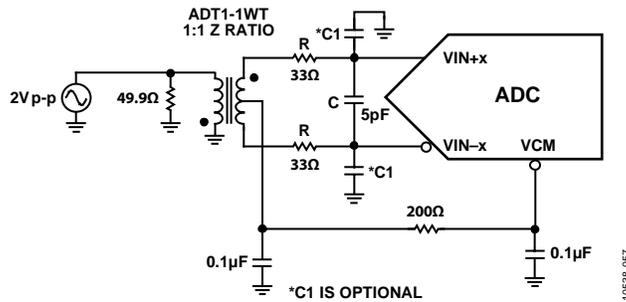


图57. 针对基带应用的差分变压器耦合配置

如需利用AD9653的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图58和图59显示负载如何影响内部基准电压。

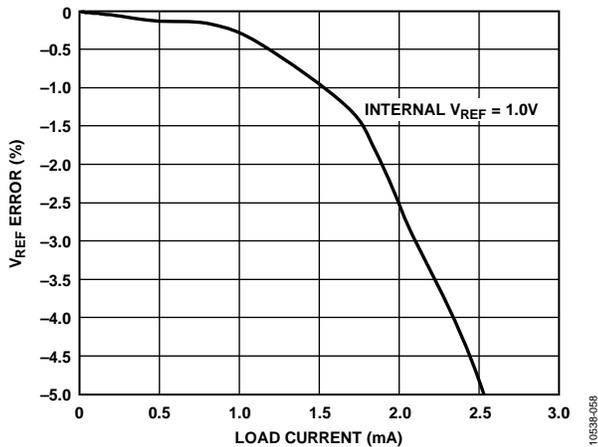


图58. $V_{REF} = 1.0\text{ V}$ 误差与负载电流的关系

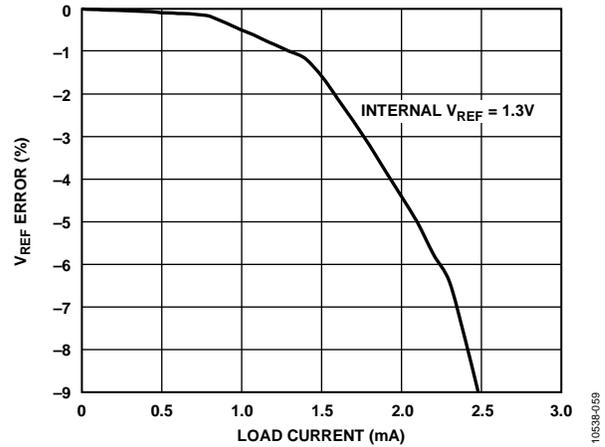
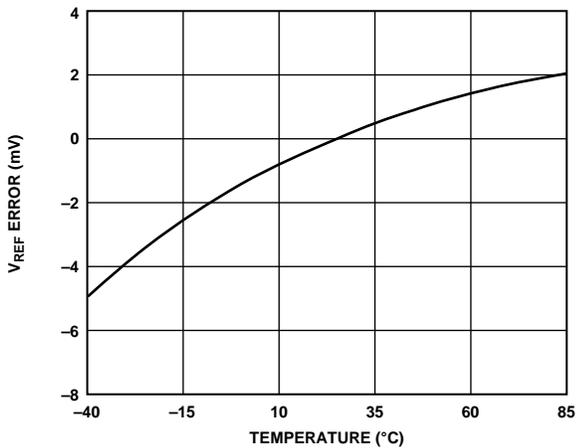
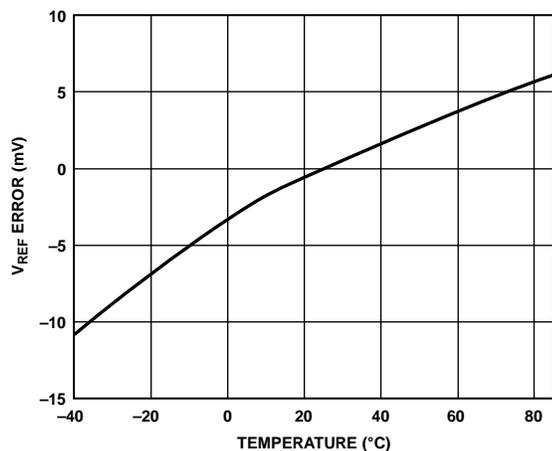


图59. $V_{REF} = 1.3\text{ V}$ 误差与负载电流的关系

外部基准电压

采用外部基准电压有可能进一步提高ADC增益精度或改善热漂移特性。图60和图61显示内部基准电压源分别在1.0 V模式和可编程1.3 V模式下的典型漂移特性。

图60. 典型 $V_{REF} = 1.0$ V漂移图61. 典型 $V_{REF} = 1.3$ V漂移

将SENSE引脚与AVDD相连时，可以禁用内部基准电压源，从而允许使用外部基准电压源。内部基准电压缓冲器对外部基准电压源的负载相当于7.5 k Ω 负载(见图50)。内部缓冲器为ADC内核生成正、负满量程基准电压。

不建议悬空SENSE引脚。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9653采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。这两个引脚有内部偏置(见图44)，无需外部偏置。

时钟输入选项

AD9653具有灵活的时钟输入结构。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。

图62和图63显示两种为AD9653提供时钟信号的首选方法(内部时钟分频前的时钟速率可达1 GHz)。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。

对于125 MHz至1 GHz的时钟频率，建议采用射频巴伦配置；对于20 MHz至200 MHz的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级绕组上的背对背肖特基二极管可以将输入到AD9653中的时钟信号限制为约差分0.8 V峰峰值。

这样，既可以防止时钟的大电压摆幅馈通至AD9653的其它部分，还可以保留信号的快速上升和下降时间，这一点对实现低抖动性能来说非常重要。但是，当频率高于500 MHz时，二极管电容会产生影响。必须小心选择适当的信号限幅二极管。

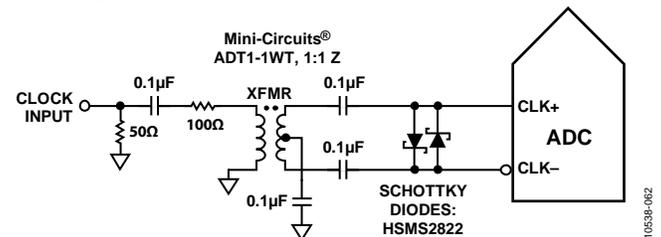


图62. 变压器耦合差分时钟(频率可达200 MHz)

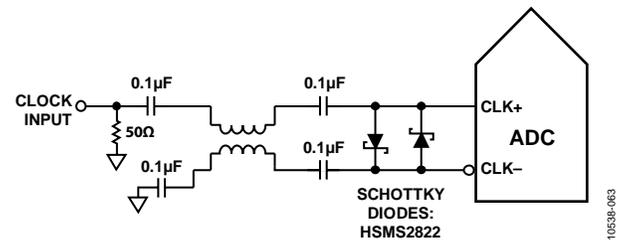


图63. 巴伦耦合差分时钟(频率可达1 GHz)

如果没有低抖动的时钟源，那么，另一种方法是将差分PECL信号交流耦合至采样时钟输入引脚(如图64所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517时钟驱动器具有出色的抖动性能。

第三种方法是将差分LVDS信号交流耦合至采样时钟输入引脚(如图65所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517时钟驱动器具有出色的抖动性能。

在某些应用中，可以利用单端1.8 V CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过一个0.1 μ F电容旁路至地(见图66)。

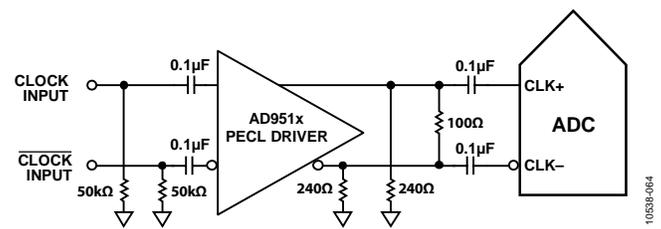


图64. 差分PECL采样时钟(频率可达1 GHz)

AD9653

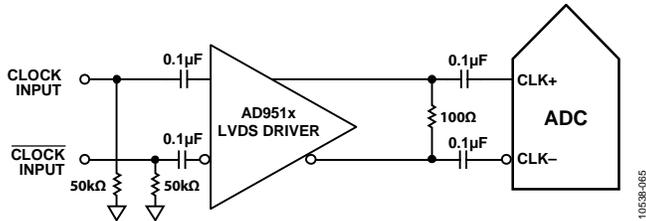


图65. 差分LVDS采样时钟(频率可达1 GHz)

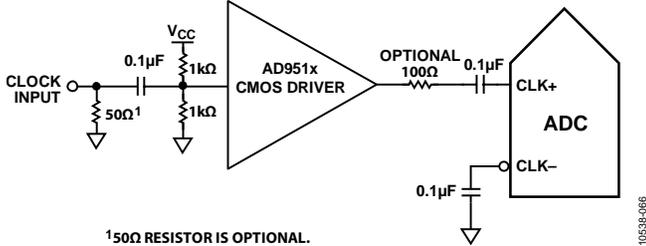


图66. 单端1.8 V CMOS输入时钟(频率可达200 MHz)

输入时钟分频器

AD9653内置一个输入时钟分频器，可对输入时钟进行1至8整数倍分频。

利用外部SYNC输入信号，可同步AD9653时钟分频器。通过对寄存器0x109的位0和位1进行写操作，可以设置每次收到SYNC信号或者仅第一次收到SYNC信号后对时钟分频器再同步。有效SYNC可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持ADC的动态性能，时钟占空比容差应为±5%。

AD9653内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。当时钟输入占空比偏离额定值50%的幅度大于±5%时，该特性可最大程度减少性能的下降。当DCS处于开启状态时，在更宽的占空比范围内，噪声和失真性能几乎是平坦的(如图67和图68所示)。

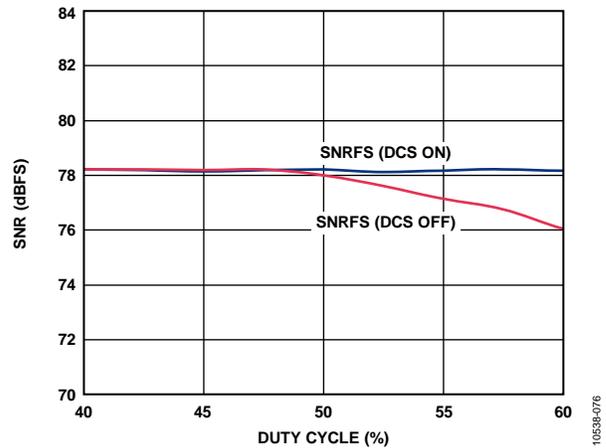


图67. SNR与DCS开启/关闭的关系($V_{REF} = 1.0 V$)

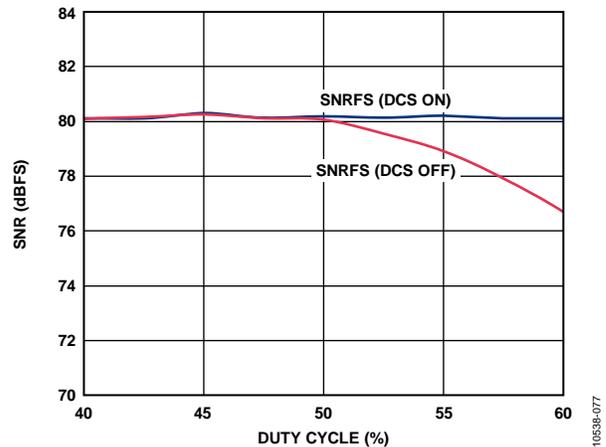


图68. SNR与DCS开启/关闭的关系($V_{REF} = 1.3 V$)

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。当时钟速率低于20 MHz(标称值)时，占空比控制环路没有作为。在时钟速率动态改变的应用中，必须考虑与该环路相关的时间常量。在DCS环路重新锁定输入信号前，都需要等待1.5 μs至5 μs的时间。

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下，仅由孔径抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$SNR \text{ 下降幅度} = 20 \log_{10} \left(\frac{1}{2\pi \times f_A \times t_j} \right)$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(见图69)。

当孔径抖动可能影响AD9653的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源隔离，

以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法),则应在最后对原始时钟进行重定时。

如需更深入了解与ADC相关的抖动性能信息,请参阅应用笔记AN-501和AN-756。

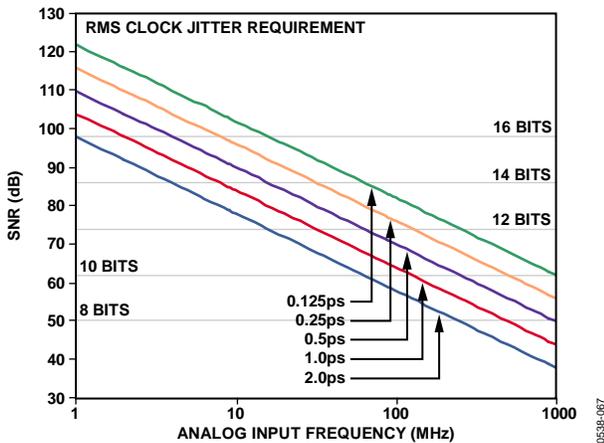


图69. 理想信噪比与输入频率和抖动的关系

功耗和省电模式

如图70所示, AD9653的功耗与其采样速率成比例关系。数字功耗变化不大,因为它主要由DRVDD电源和LVDS输出驱动器的偏置电流决定。

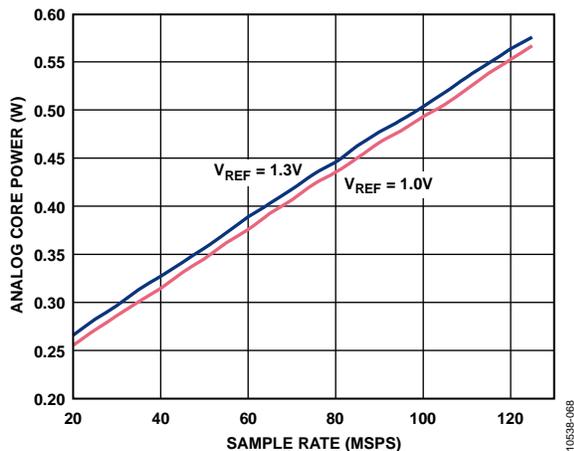


图70. 模拟内核功耗与 f_{SAMPLE} 的关系($f_{\text{IN}} = 9.7 \text{ MHz}$, 4通道)

通过SPI端口或将PDWN引脚置位高电平,可使AD9653进入掉电模式。在这种状态下,ADC的典型功耗为2 mW。省电模式下,输出驱动器处于高阻抗状态。将PDWN引脚置位低电平后,AD9653返回正常工作模式。注意,PDWN以数据输出驱动器电源电压(DRVDD)为基准,且不得高于该电源电压。

在省电模式下,通过关闭基准电压源、基准电压缓冲器、偏置网络以及时钟,可实现低功耗。进入省电模式时,内部电容放电;返回正常工作模式时,内部电容必须重新充电。因此,唤醒时间与处于省电模式的时间有关;处于省电模式的时间越短,则相应的唤醒时间越短。使用SPI端口接口时,用户可将ADC置于省电模式或待机模式。如需较短的唤醒时间,可以使用待机模式,该模式下内部基准电压电路处于通电状态。有关使用这些功能的更多信息,请参见“存储器映射”部分。

数字输出和时序

采用默认设置上电时,AD9653差分输出符合ANSI-644 LVDS标准。通过SPI接口,可以将其更改为低功耗、减少信号选项(类似于IEEE 1596.3标准)。LVDS驱动器电流来自芯片,并将各输出端的输出电流设置为标称值3.5 mA。LVDS接收器输入端有一个100 Ω 差分端接电阻,因此接收器摆幅标称值为350 mV(或700 mV p-p差分)。

在缩小范围模式下工作时,输出电流降至2 mA,接收器在100 Ω 端接电阻上的摆幅为200 mV(或400 mV p-p差分)。

AD9653 LVDS输出便于与定制ASIC和FPGA中的LVDS接收器接口,从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构,并将100 Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻,或者差分走线布线不佳,可能会导致时序错误。为避免产生时序错误,建议走线长度不要超过24英寸,差分输出走线应尽可能彼此靠近且长度相等。图71显示了一个走线长度和位置适当的FCO和数据流示例。图72显示了缩小范围模式下的LVDS输出时序。

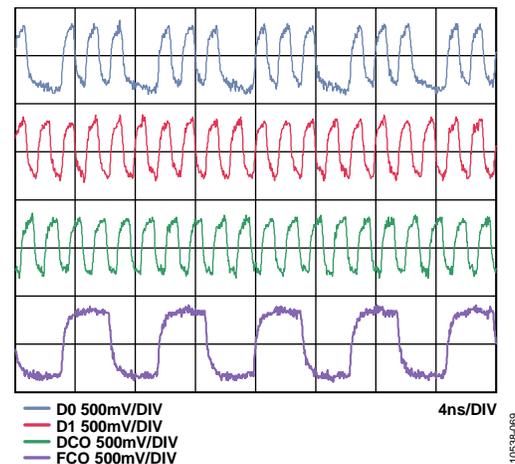


图71. LVDS输出时序示例(默认ANSI-644模式下)

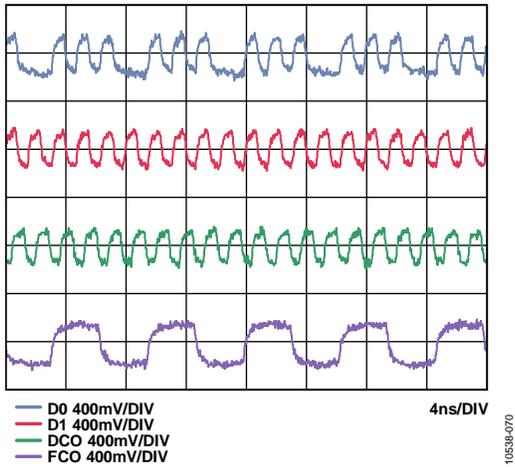


图72. 缩小范围模式下LVDS输出时序示例

图73显示使用ANSI-644标准(默认)数据眼图的LVDS输出示例和时间间隔误差(TIE)抖动直方图, 其中走线长度小于24英寸, 并采用标准FR-4材料。

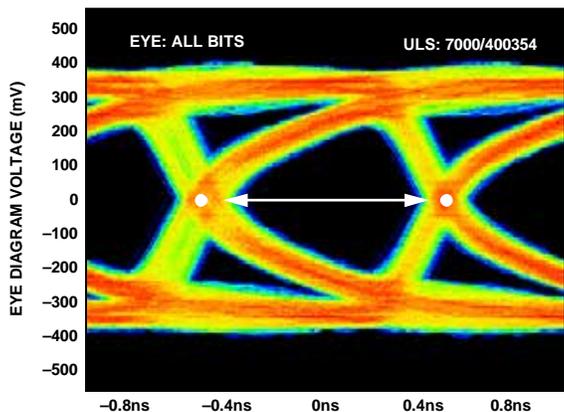


图73. LVDS输出的数据眼(ANSI-644模式, 走线长度小于24英寸, 标准FR-4材料, 仅外部100Ω远端端接)

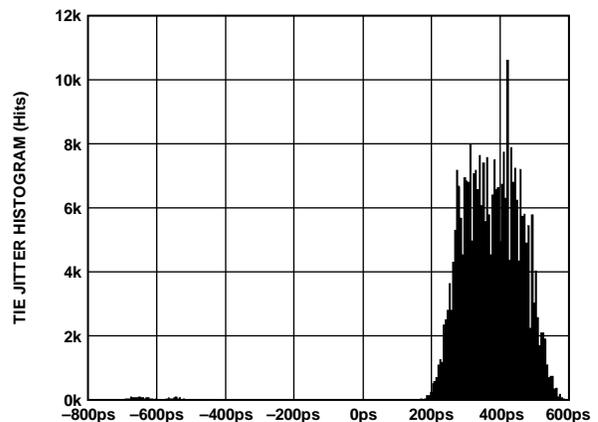
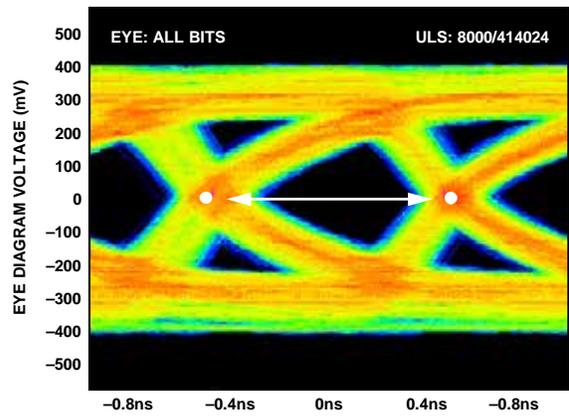
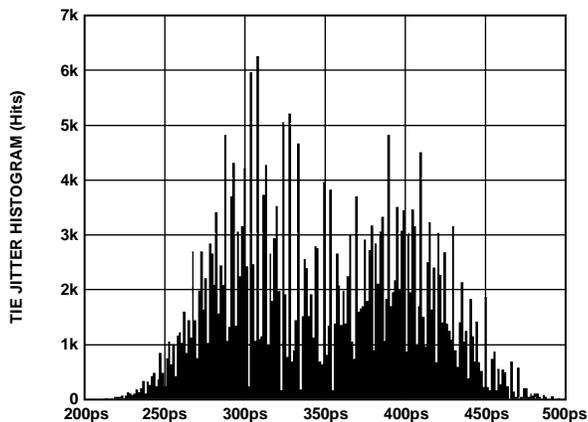


图74. LVDS输出的数据眼(ANSI-644模式, 走线长度大于24英寸, 标准FR-4材料, 仅外部100Ω远端端接)

图74显示走线长度超过24英寸、采用标准FR-4材料的示例。请注意, 从TIE抖动直方图可看出, 数据眼开口随着边沿偏离理想位置而减小。

当走线长度超过24英寸时, 用户必须确定波形是否满足设计的时序预算要求。附加SPI选项允许用户进一步提高所有四路输出的内部端接电阻(提高电流), 从而驱动更长的走线。这可以通过设置寄存器0x15实现。虽然这会在数据边沿上产生更陡的上升和下降时间, 并且更不容易发生比特错误, 但使用此选项会提高DRVDD电源的功耗。

输出数据格式默认为二进制补码。表12给出了一个输出编码格式示例。若要将输出数据格式变为失调二进制, 请参阅“存储器映射”部分。

在DDR模式下, 来自各ADC的数据经过串行化后, 通过不同的通道提供。每个串行流的数据速率等于16位乘以采样时钟速率, 最大值为每通道500 Mbps [(16位 × 125 MSPS)/(2 × 2) = 500 Mbps/通道]。典型最低转换速率为20 MSPS。有关使用此功能的更多信息, 请参见“存储器映射”部分。

为了帮助从AD9653捕捉数据，器件提供了两个输出时钟。DCO用来为输出数据定时，默认工作模式下，它等于采样时钟(CLK)速率的4倍。数据逐个从AD9653输出，必须在DCO的上升沿和下降沿进行捕捉；DCO支持双倍数据速率(DDR)捕捉。FCO用于指示新输出字节的开始，在1×帧模式下，它与采样时钟速率相等。更多信息参见时序图部分。

使用SPI时，DCO相位可以相对于数据边沿以60°增量进行调整。这样，用户可以根据需要优化系统时序余量。DCO+和DCO-默认时序相对于输出数据边沿为90°，如图2所示。

在默认模式下，如图2所示，数据输出串行流首先输出MSB。但可以利用SPI将其反转，使数据输出串行流首先输出LSB。

通过SPI可以启动的数字输出测试码选项有12个。当验证接收器捕捉和时序时，这个功能很有用。可用的输出位序列选项参见表13。一些测试码有两个串行序列字，可以通过各种方式进行交替，具体取决于所选的测试码。注意，有些测试码可能并不遵守数据格式选择选项。此外，可以在0x19、0x1A、0x1B和0x1C寄存器地址中指定用户定义的测试码。

表12. 数字输出编码

输入(V)	条件(V)	偏移二进制输出模式 Mode	二进制补码模式
VIN+ – VIN–	< –VREF – 0.5 LSB	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ – VIN–	–VREF	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ – VIN–	0 V	1000 0000 0000 0000	0000 0000 0000 0000
VIN+ – VIN–	+VREF – 1.0 LSB	1111 1111 1111 1111	0111 1111 1111 1111
VIN+ – VIN–	> +VREF – 0.5 LSB	1111 1111 1111 1111	0111 1111 1111 1111

表13. 灵活的输出测试模式

输出测试模式位序列	测试码名称	数字输出字1	数字输出字2	接受数据格式选择	注释
0000	关闭(默认)	N/A	N/A	N/A	
0001	中间电平短码	1000 0000 0000 0000(16位)	N/A	是	所示为偏移二进制码
0010	+满量程短码	1000 0000 0000 0000(16位)	N/A	是	所示为偏移二进制码
0011	–满量程短码	1000 0000 0000 0000(16位)	N/A	是	所示为偏移二进制码
0100	棋盘形式	1010 1010 1010 1010(16位)	0101 0101 0101 0100(16位)	否	
0101	PN长序列	N/A	N/A	是	PN23 ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN短序列	N/A	N/A	是	PN9 ITU 0.150 $X^9 + X^5 + 1$
0111	1/0字反转	111 1111 1111 1100(16位)	0000 0000 0000 0000(16位)	否	
1000	用户输入	寄存器0x19至寄存器0x1A	寄存器0x1B至寄存器0x1C	否	
1001	1/0位反转	1010 1010 1010 1000(16位)	N/A	否	
1010	1×同步	0000 0001 1111 1100(16位)	N/A	否	
1011	1位高电平	1000 0000 0000 0000(16位)	N/A	否	与外部引脚相关的测试码
1100	混合频率	1010 0001 1001 1100(16位)	N/A	否	

AD9653

PN短序列测试码产生一个伪随机位序列，每隔 $2^9 - 1$ 或511位重复一次。有关PN序列的说明以及如何产生，请参见ITU-T 0.150 (05/96)标准的第5.1部分。种子值为全1(初始值见表14)。输出为串行PN9序列的并行表示(MSB优先格式)。第一个输出字是PN9序列MSB对齐形式的前14位。

PN长序列测试码产生一个伪随机位序列，每隔 $2^{23} - 1$ 或8,388,607位重复一次。有关PN序列的说明以及如何产生，请参见ITU-T 0.150 (05/96)标准的第5.6部分。种子值为全1(初始值见表14)，AD9653的位流与ITU标准相反。输出为串行PN23序列的并行表示(MSB优先格式)。第一个输出字是PN23序列MSB对齐形式的前14位。

表14. PN序列

序列	初始值	前三个采样输出 (MSB优先)二进制补码
PN短序列	0x1FE0	0x1DF1, 0x3CC8, 0x294E
PN长序列	0x1FFF	0x1FE0, 0x2001, 0x1C00

有关如何通过SPI更改这些附加数字输出时序特性的信息，请参见“存储器映射”部分。

SDIO/OLM引脚

对于不需要SPI工作模式的应用，CSB引脚连接到AVDD，SDIO/OLM引脚依据表15控制输出通道模式。

请注意，当CSB引脚连接AVDD时，AD9653 DCS默认开启，并且保持开启状态，直到器件进入SPI模式并通过SPI控制。有关DCS的更多信息，请参见“时钟占空比”部分。

对于未使用SDIO/OLM引脚的应用，CSB应连接AVDD。使用单通道模式时，转换速率不超过62.5 MSPS，满足1 Gbps的最大输出速率要求。

表15. 输出通道模式引脚设置

OLM引脚电压	输出模式
AVDD(默认)	双通道。1x帧，16位串行输出。
GND	单通道。1x帧，16位串行输出。

SCLK/DTP引脚

对于不需要SPI工作模式的应用，SCLK/DTP引脚可用于选择数字测试码(DTP)。如果在器件上电期间此引脚和CSB引脚保持高电平，则它可以使能一个数字测试码。当SCLK/DTP连接到AVDD时，ADC通道输出移出以下测试码：1000 0000 0000 0000。FCO和DCO正常工作，同时所有通道移出重复测试码。利用此测试码，用户可以对FCO、DCO和输出数据执行时序对齐。此引脚通过一个内部10 kΩ电阻连接到GND。可将其断开。

表16. 数字测试码引脚设置

所选DTP	DTP电压	D0±x和D1±x情况
正常工作	10 kΩ至AGND	正常工作
DTP	AVDD	1000 0000 0000 0000

当从SPI端口发出命令时，也可以观察到额外的和自定义的测试码。有关可用选项的信息，请参见“存储器映射”部分。

CSB引脚

对于不需要SPI工作模式的应用，CSB引脚应连接到AVDD。将CSB接高电平后，所有SCLK和SDIO信息都会被忽略。

请注意，当CSB引脚连接AVDD时，AD9653 DCS默认开启，并且保持开启状态，直到器件进入SPI模式并通过SPI控制。有关DCS的更多信息，请参见“时钟占空比”部分。

RBIAS引脚

为了设置ADC的内核偏置电流，应在RBIAS引脚上串联一个10.0 kΩ、1%容差接地电阻。

输出测试模式

输出测试选项见表13所示，由地址0x0D的输出测试模式位控制。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器0x0D的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

串行端口接口(SPI)

AD9653的串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如“存储器映射”部分所述。如需了解详细操作信息，请参阅[应用笔记AN-877](#)“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三个引脚组成：SCLK引脚、SDIO引脚和CSB引脚(见表17)。SCLK(串行时钟)引脚用于同步ADC的读取和写入数据。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从该寄存器中读取数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表17. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。 串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。 双功能引脚；通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。 低电平有效控制引脚，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图75为串行时序图示例，相应的定义见表7。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流化。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚连接高电平时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，会传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。多字节串行数据传输帧中第一个字节的第一位指示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SDIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

所有数据均由8位字组成。数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认模式为MSB优先，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

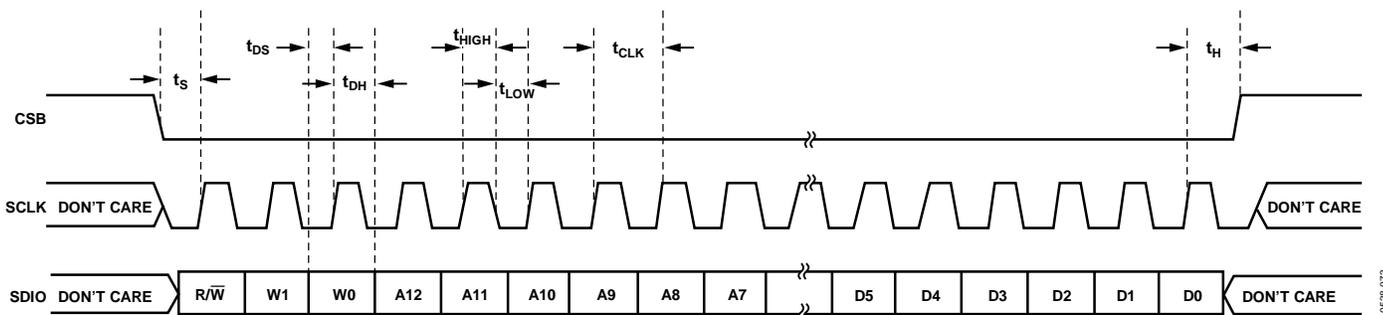


图75. 串行端口接口时序图

硬件接口

表17中所描述的引脚包括用户编程器件与AD9653的串行端口之间的物理接口。使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行端口接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全部动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9653之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

不使用SPI接口时，有些引脚用作第二功能。在器件上电期间，当这些引脚与DRVDD或地连接时，这些引脚可起到特定的作用。表15和表16说明了AD9653支持的绑定功能。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/OLM引脚、SCLK/DTP引脚和PDWN引脚用作独立的CMOS兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制输出通道模式、数字测试码和断电特性。在此模式下，CSB引脚应与AVDD相连，以禁用串行端口接口。

请注意，当CSB引脚连接AVDD时，AD9653 DCS默认开启，并且保持开启状态，直到器件进入SPI模式并通过SPI控制。有关DCS的更多信息，请参见“时钟占空比”部分。

当器件处于SPI模式时，PDWN引脚(若使能)仍然有效。为通过SPI控制省电，应将PDWN引脚设为默认状态。

SPI访问特性

表18简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。AD9653器件特定的特性详见表19(外部存储器映射寄存器表)。

表18. 可通过SPI访问的特性

特性名称	说明
功耗模式 时钟	允许用户设置省电模式或待机模式 允许用户设置时钟分频器， 设置时钟分频器相位，以及使能同步
失调 测试I/O	允许用户以数字方式调整转换器失调 允许用户设置测试模式， 以便在输出位上获得已知数据
输出模式 输出相位	允许用户设置输出模式 允许用户设置输出时钟极性

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器(地址0x00至地址0x02)、器件索引和传送寄存器(地址0x05和地址0xFF)，以及全局ADC功能寄存器，包括设置、控制和测试(地址0x08至地址0x109)。

存储器映射寄存器表(见表19)列出了每个十六进制地址及其十六进制默认值。位7 (MSB) 栏为给定十六进制默认值的起始位。例如，器件索引寄存器(地址0x05)的十六进制默认值为0x3F，这表示在地址0x05中，位[7:6] = 0，且剩余位[5:0] = 1。该设置为默认通道索引设置。该默认值导致两个ADC通道均会接收下一个写命令。如需了解更多关于该功能及其它功能的信息，请参见应用笔记AN-877“通过SPI与高速ADC接口”。该应用笔记详细描述了寄存器0x00至寄存器0xFF控制的功能。“存储器映射寄存器描述”部分介绍了其它寄存器。

禁用位置

此器件目前不支持表19中未包括的所有地址和位。有效地址中未使用的位应写为0。当一个地址(例如地址0x05)仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址(例如地址0x13)均禁用或未在表19中列出，则不应对该地址进行写操作。

默认值

AD9653复位后，关键寄存器将载入默认值。表19(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指“位设置为逻辑0”或“向某位写入逻辑0”。

特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能(例如：信号监控阈值)。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在表19中被称为局部寄存器。通过设置寄存器0x05的适当数据通道位(A、B、C或D)、时钟通道DCO位(位5)和FCO位(位4)，可访问这些局部寄存器及相应位。如果所有位均置位，后续写操作将影响所有通道及DCO/FCO时钟通道的寄存器。在一个读周期内，仅设置一个通道(A、B、C或D)，对4个寄存器中的1个执行读操作。如果在一个SPI读周期内置位所有位，则器件返回通道A的值。表19给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

AD9653

存储器映射寄存器表

AD9653使用3线式接口和16位寻址，因此，寄存器0x00的位0和位7置0，位3和位4置1。当寄存器0x00的位5置1时，

SPI进入软复位，所有用户寄存器恢复默认值，位2自动清0。

表19.

地址 (十六 进制)	参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释
芯片配置寄存器											
0x00	SPI端口配置	0 = SDO有效	LSB优先	软复位	1 = 16位地址	1 = 16位地址	软复位	LSB优先	0 = SDO有效	0x18	半字节之间是镜像关系，使得LSB优先或MSB优先模式寄存器均能正确记录数据。ADC的默认值为16位模式。
0x01	芯片ID(全局)	8位芯片ID, 位[7:0] AD9653 0xB5 = 四通道、16位、125 MSPS串行LVDS								0xB5	唯一芯片ID, 用来区分器件; 只读。
0x02	芯片等级(全局)	禁用	速度等级ID[6:4] 110 = 125 MSPS			禁用	禁用	禁用	禁用		唯一速度等级ID, 用来区分器件等级; 只读。
器件索引和传送寄存器											
0x05	器件索引	禁用	禁用	时钟通道 DCO	时钟通道 FCO	数据通道 D	数据通道 C	数据通道 B	数据通道 A	0x3F	设置这些位以决定片内哪个器件接收下一个写命令。默认为片内所有器件。
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动覆盖	0x00	设置采样速率覆盖。
全局ADC功能寄存器											
0x08	功耗模式(全局)	禁用	禁用	外部掉电 引脚功能 0 = 完全掉电 1 = 待机	禁用	禁用	禁用	功耗模式 00 = 芯片运行 01 = 完全掉电 10 = 待机 11 = 复位		0x00	决定芯片的一般工作模式。
0x09	时钟(全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比 稳定 0 = 开 1 = 关	0x01	打开或关闭占空比稳定器。

地址 (十六进制)	参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	注释
0x0B	时钟分频 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频比[2:0] 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频			0x00	
0x0C	禁用	禁用	禁用	禁用	禁用	禁用	斩波模式 0=关 1=开	禁用	禁用	0x00	使能/禁用斩波模式。
0x0D	测试模式 (局部, PN序列 复位除外)	用户输入测试模式 00 = 单一 01 = 交替 10 = 单一一次 11 = 交替一次 (仅影响用户输入 测试模式, 位[3:0] = 1000)		产生复位 PN长序列	产生复位 PN短序列	输出测试模式[3:0](局部) 0000 = 关(默认) 0001 = 中间电平短序列 0010 = 正FS 0011 = 负FS 0100 = 交替棋盘形式 0101 = PN 23序列 0110 = PN 9序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率				0x00	置 1 时, 测试数据将取代正常数据被置于输出引脚上。
0x10	失调调整 (局部)	8位器件失调调整, 位[7:0](局部) 失调调整以LSB为单位, 从+127到-128(二进制补码格式)								0x00	器件失调调整。
0x14	输出模式	禁用	LVDS-ANSI/ LVDS-IEEE 选项 0 = LVDS-ANSI 1 = LVDS-IEEE 缩小范围 链路(全局); (见表20)	禁用	禁用	禁用	输出反向 (局部)	禁用	输出格式 0 = 偏移 二进制 1 = 二进制 补码 (全局)	0x01	配置输出和数据格式。
0x15	输出调整	禁用	禁用	输出驱动器端接[1:0] 00 = 无 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		禁用	禁用	禁用	输出驱动 0 = 1×驱动 1 = 2×驱动	0x00	决定 LVDS 或其它输出属性。
0x16	输出相位	禁用	输入时钟相位调整[6:4] (值为相位延迟的输入时钟周期数) 见表21			输出时钟相位调整[3:0] (0000至1011) 见表22				0x03	在利用全局时钟分频的器件上, 决定使用分频器输出的哪个相位提供输出时钟。内部锁存不受影响。

AD9653

地址 (十六 进制)	参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释
0x18	V _{REF}	禁用	禁用	禁用	禁用	禁用	V _{REF} 调节 数字方案[2:0] 000 = 1.0 V p-p (1.3 V p-p) 001 = 1.14 V p-p (1.48 V p-p) 010 = 1.33 V p-p (1.73 V p-p) 011 = 1.6 V p-p (2.08 V p-p) 100 = 2.0 V p-p (2.6 V p-p)			0x04	选择内部 V _{REF} 。显示值 针对V _{REF} = 1.0V (1.3V)。
0x19	USER_PATT1_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的 测试码1 LSB。
0x1A	USER_PATT1_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的 测试码1 MSB。
0x1B	USER_PATT2_LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的 测试码2 LSB。
0x1C	USER_PATT2_MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的 测试码2 MSB。
0x21	串行输出数据控制 (全局)	LVDS 输出 LSB 优先	SDR/DDR单通道/双通道、逐位/ 逐字节[6:4] 000 = SDR双通道、逐位 001 = SDR双通道、逐字节 010 = DDR双通道、逐位 011 = DDR双通道、逐字节 100 = DDR单通道、逐字			禁用	选择2×帧	串行输出位数 00 = 16位		0x30	串 行 流 控 制。默认为 MSB优先、 原有位流。
0x22	串行通道状态 (局部)	禁用	禁用	禁用	禁用	禁用	禁用	通道输出 复位	通道掉电	0x00	用来关断转 换器的各个 部分。
0x100	采样速率覆盖	禁用	采样 速率 覆盖 使能	0	0	禁用	采样速率 000 = 20 MSPS 001 = 40 MSPS 010 = 50 MSPS 011 = 65 MSPS 100 = 80 MSPS 101 = 105 MSPS 110 = 125 MSPS			0x00	采样速率覆 盖(需要传 输寄存器, 0xFF)。
0x101	用户I/O控制2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO 下拉	0x00	禁用SDIO 下拉电阻。
0x102	用户I/O控制3	禁用	禁用	禁用	禁用	VCM 掉电	禁用	禁用	禁用	0x00	VCM控制。
0x109	同步	禁用	禁用	禁用	禁用	禁用	禁用	仅与下一 同步脉冲 同步	使能 同步	0x00	

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制功能的更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

器件索引(寄存器0x05)

对于映射中的某些特性，各通道可以独立设置，而其它特性则是全局适用(取决于上下文)，而不论选择哪一通道。寄存器0x05的前4位可以用来选择哪个数据通道受影响。输出时钟通道也可以通过寄存器0x05选择。可以让独立特性的一个较小子集适用于这些器件。

传送(寄存器0xFF)

除寄存器0x100外，所有其它寄存器都在写入时立刻更新。此传送寄存器的位0置1时，采样速率覆盖寄存器(地址0x100)的设置初始化。

功耗模式(寄存器0x08)

位[7:6]—禁用

位5—外部掉电引脚功能

若置位，外部PDWN引脚启动待机模式。若清零，外部PDWN引脚启动省电模式。

位[4:2]—禁用

位[1:0]—功耗模式

正常工作(位[1:0] = 00)时，所有ADC通道均启用。

掉电模式(位[1:0] = 01)下，数字数据路径时钟禁用，数字数据路径复位。输出禁用。

待机模式(位[1:0] = 10)下，数字数据路径时钟和输出均禁用。

数字复位(位[1:0] = 11)期间，除SPI端口外，芯片的所有其它数字数据路径时钟和输出(适用时)均复位。注意，SPI始终受用户的控制，从不会自动禁用或复位(除非上电复位)。

时钟(寄存器0x09)

位[7:1]—禁用

位0—占空比稳定器

默认状态为位0 = 1，占空比稳定器关闭。

请注意，当器件不在SPI模式时，占空比稳定器将开启。详情请参见“不使用SPI的配置”部分。

增强控制(寄存器0x0C)

位[7:3]—禁用

位2—斩波模式

某些应用对失调电压和其它低频噪声敏感，如零差或直接变频接收机等；针对这些应用，可以设置位2来使能AD9653第一级的斩波特性。在频域中，斩波将失调和其它低频噪声转换为 $f_{CLK}/2$ ，可以通过滤波器予以滤除。

位[1:0]—禁用

输出模式(寄存器0x14)

位7—禁用

位6—LVDS-ANSI/LVDS-IEEE选项

此位置1时，选择LVDS-IEEE(缩小范围)选项。默认设置为LVDS-ANSI。如表20所示，选择LVDS-ANSI或LVDS-IEEE缩小范围链路时，用户可以选择驱动器端接。器件自动选择驱动器电流，以提供适当的输出摆幅。

表20. LVDS-ANSI/LVDS-IEEE选项

输出模式，位60	输出模式	输出驱动器端接	输出驱动器电流
0	LVDS-ANSI	用户可选	自动选择以提供适当的摆幅
1	LVDS-IEEE 缩小范围链路	用户可选	自动选择以提供适当的摆幅

位[5:3]—禁用

位2—输出反转

此位置1时，输出位流反转。

位1—禁用

位0—输出格式

默认情况下，此位置1，以二进制补码格式发送数据输出。如果此位复位，输出模式变为偏移二进制。

输出调整(寄存器0x15)

位[7:6]—禁用

位[5:4]—输出驱动器端接

利用这些位，用户可以选择内部端接电阻。

位[3:1]—禁用

位0—输出驱动

输出调整寄存器的位0仅控制FCO和DCO输出的LVDS驱动器的驱动强度。默认值为1×驱动，通过设置寄存器0x05中的适当通道位，然后将位0置1，可以将驱动强度提高到2×。这些特性不能与输出驱动器端接选择一起使用。输出驱动器端接和输出驱动同时选择时，端接选择优先于FCO和DCO的2×驱动强度选择。

AD9653

输出相位(寄存器0x16)

位7—禁用

位[6:4]—输入时钟相位调整

表21. 输入时钟相位调整选项

输入时钟相位调整, 位[6:4]	相位延迟的输入时钟周期数
000(默认)	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

位[3:0]—输出时钟相位调整

表22. 输出时钟相位调整选项

输出时钟(DCO), 相位调整, 位[3:0]	DCO相位调节(相对于D0±x/D1±x边沿的度数)
0000	0
0001	60
0010	120
0011(默认)	180
0100	240
0101	300
0110	360
0111	420
1000	480
1001	540
1010	600
1011	660

表23. SPI寄存器选项

寄存器0x21内容	选择的串行化选项			DCO倍频器	时序图
	串行输出位数(SONB)	帧模式	串行数据模式		
0x30	16位	1x	DDR双通道逐字节	4 × f _S	图2(默认设置)
0x20	16位	1x	DDR双通道逐位	4 × f _S	图2
0x10	16位	1x	SDR双通道逐字节	8 × f _S	图2
0x00	16位	1x	SDR双通道逐位	8 × f _S	图2
0x34	16位	2x	DDR双通道逐字节	4 × f _S	图3
0x24	16位	2x	DDR双通道逐位	4 × f _S	图3
0x14	16位	2x	SDR双通道逐字节	8 × f _S	图3
0x04	16位	2x	SDR双通道逐位	8 × f _S	图3
0x40	16位	1x	DDR单通道逐字	8 × f _S	图4

串行输出数据控制(寄存器0x21)

串行输出数据控制寄存器用于设置AD9653的各种输出数据模式, 具体依据数据捕捉方案而定。表23列出了AD9653的各种串行化选项。

采样速率覆盖(寄存器0x100)

利用此寄存器, 用户可以降低采样速率的性能。此寄存器的设置在传送寄存器(寄存器0xFF)的位0写入高电平后初始化。

用户I/O控制2(寄存器0x101)

位[7:1]—禁用

位0—SDIO下拉

位0可以置1以禁用SDIO引脚内置的30 kΩ下拉电阻; 当许多器件连接到SPI总线时, 它可以用来限制负载。

用户I/O控制3(寄存器0x102)

位[7:4]—禁用

位3—VCM掉电

通过将位3设置为高电平, 可关断内部VCM发生器。使用外部基准电压源时使用此功能。

位[2:0]—禁用

应用信息

设计指南

在进行AD9653的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中说明了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

当连接电源至AD9653时，建议使用两个独立的1.8 V电源：一个电源用于模拟输出(AVDD)，另一个电源用于数字输出(DRVDD)。对于AVDD和DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD9653仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

裸露焊盘散热块建议

为获得最佳的AD9653电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露的连续铜层应与AD9653的裸露焊盘(引脚0)匹配。铜层上应有多个过孔，获得尽可能低的热阻路径以通过PCB底部进行散热。这些过孔应填满焊料或插入插针。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。可以参考图76所示的PCB布局布线范例。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”(www.analog.com)。

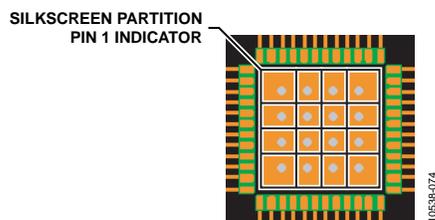


图76. 典型PCB布局布线

VCM

VCM引脚应通过一个0.1 μ F电容旁路至地。

基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μ F陶瓷电容和一个低ESR 1.0 μ F电容的并联组合旁路至地。

SPI端口

当需要转换器充分发挥其全部动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9653之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

串扰性能

AD9653采用48引脚LFCSP封装，芯片每个角落都有输入对。引脚配置见图6。若要最大程度提升电路板的串扰性能，可在相邻通道之间加入接地填充过孔，如图77所示。

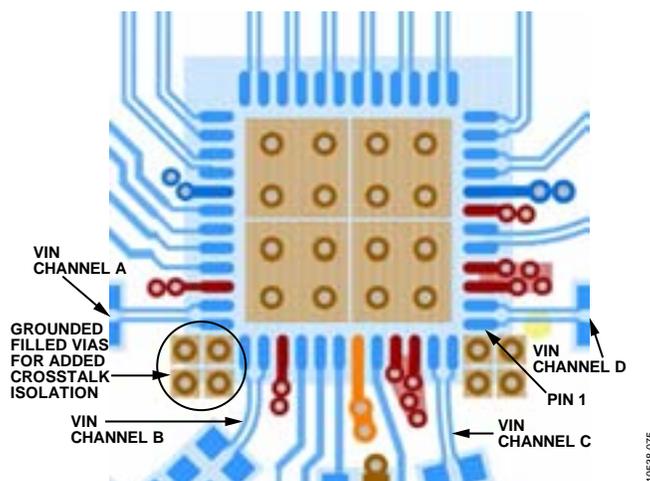
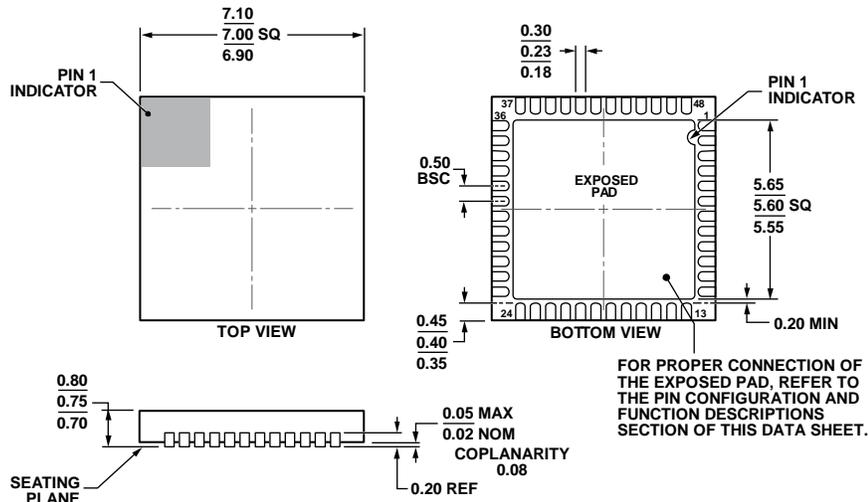


图77. 最大程度提升串扰性能的布局技巧

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WKGD.

图78. 48引脚引脚架构芯片级封装[LFCSP_WQ]
7 mm x 7 mm, 超薄体
(CP-48-13)
尺寸单位: mm

02-14-2011-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9653BCPZ-125	-40°C至+85°C	48引脚引脚架构芯片级封装(LFCSP_WQ)	CP-48-13
AD9653BCPZRL7-125	-40°C至+85°C	48引脚引脚架构芯片级封装(LFCSP_WQ)	CP-48-13
AD9653-125EBZ		评估板	

¹Z = 符合RoHS标准的器件。