

## LVDS和M-LVDS电路实施指南

作者: Conal Watterson博士

### 简介

低电压差分信号(LVDS)是一种高速点到点应用通信标准。多点LVDS (M-LVDS)则是一种面向多点应用的类似标准。LVDS和M-LVDS均使用差分信号,通过这种双线式通信方法,接收器将根据两个互补电信号之间的电压差检测数据。这样能够极大地改善噪声抗扰度,并将噪声辐射降至最低。

### LVDS

LVDS是一种用于替代发射极耦合逻辑(ECL)或正发射极耦合逻辑(PECL)的低功耗逻辑。LVDS的主要标准是TIA/EIA-644。有时也会对LVDS使用另一种标准,即IEEE 1596.3—SCI(可扩展一致性接口)。LVDS广泛用于高速背板、电缆和板到板数据传输与时钟分配,以及单个PCB内的通信链路。

LVDS的优势包括

- 通信速度高达1 Gbps或以上
- 电磁辐射更低
- 抗扰度更高
- 低功耗工作
- 共模范围允许高达±1的接地失调差

### M-LVDS

面向多点低电压差分信号(M-LVDS)的标准TIA/EIA-899将LVDS延伸到用于解决多点应用中的问题。相对于TIA/EIA-485 (RS-485)或控制器局域网(CAN), M-LVDS能够以更低的功耗实现更高速度的通信链路。有关本应用笔记中引用的标准的清单,请参见“参考文献”部分。

M-LVDS相对于LVDS的额外特性包括

- 驱动器输出强度更高
- 跃迁时间可控
- 共模范围更广
- 面向总线空闲条件提供故障安全接收器选项

### LVDS/M-LVDS应用考虑

本应用笔记考虑了有关LVDS/M-LVDS电路实施的以下方面:

- 总线类型和拓扑结构
- 时钟分配应用
- LVDS/M-LVDS信号的特性
- 端接和PCB布局
- 抖动和偏斜
- 数据编码和同步
- 隔离

### 为什么使用LVDS或M-LVDS?

图1中将LVDS和M-LVDS与其他多点和点到点协议进行了比较。两种标准都有低功耗要求。LVDS和M-LVDS的特征是在差分电压摆幅较低的情况下实现差分信号。相对于LVDS, M-LVDS指定了更高的差分输出电压,以便允许来自多点总线的更高负载。

两种协议都是面向高速通信设计的。典型应用环境下会采用PCB走线或较短的有线/背板链路。LVDS的共模范围就是针对这些应用而设计。相对于LVDS, M-LVDS扩展了其共模范围,允许多点拓扑结构中具有额外噪声。

#### 多点

	<b>低功耗、高速度</b> 中等距离(最远20m至40m) 典型数据速率: 100Mbps、200Mbps
	<b>长距离(&gt;1km)</b> 最大数据速率典型值: 16Mbps
	<b>稳定可靠的协议</b> 中等距离(最远40m) 最大数据速率: 1Mbps

#### 点到点

	<b>低功耗、高速度</b> 短距离(最远5m至10m) 最大数据速率: >1Gbps
	<b>高速度</b> 短距离 最大数据速率: ~3Gbps

图1. 通信标准的比较

11236-001

## 目录

简介.....	1	定义和输出电平.....	5
LVDS/M-LVDS应用考虑.....	1	接收器阈值.....	5
为什么使用LVDS或M-LVDS?.....	1	传输距离.....	6
修订历史.....	2	端接和PCB布局.....	7
总线类型和拓扑结构.....	3	受控阻抗.....	7
点到点.....	3	抖动、偏斜、数据编码和同步.....	8
多分支.....	3	什么是抖动?.....	8
多点.....	3	什么是偏斜?.....	8
时钟分配应用.....	4	数据编码和同步.....	9
多分支时钟分配.....	4	隔离.....	10
点到点时钟分配.....	4	参考文献.....	11
使用M-LVDS的时钟分配.....	4	相关链接.....	11
差分信号和LVDS/M-LVDS.....	5		

## 修订历史

2013年3月—修订版0：初始版

## 总线类型和拓扑结构

标准TIA/EIA-644 LVDS器件可实现低功耗高速通信。使用TIA/EIA-899器件也可在多点应用中实现LVDS的优势。总线拓扑结构是关系到实际应用中哪种LVDS或M-LVDS器件的主要因素之一。

### 点到点

点到点总线拓扑结构包含一个驱动器和一个接收器，二者使用一对导线或走线连接在一起。图2展示了一种典型配置，其中链路的接收端有一个端接电阻。这是LVDS器件的最常见应用。可使用多对导线或走线来创建额外的通信通道，并提高两个点之间的总带宽。

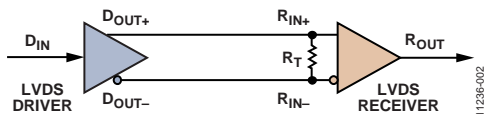


图2. LVDS点到点链路

ADI公司拥有一系列LVDS驱动器和接收器，可用于单LVDS通道、双LVDS通道或四LVDS通道，如表1所示。未使用的输出引脚应保持开路。

表1. LVDS驱动器和接收器

产品型号	Tx	Rx	产品型号	Tx	Rx
ADN4661	1	0	ADN4665	4	0
ADN4662	0	1	ADN4666	0	4
ADN4663	2	0	ADN4667	4	0
ADN4664	0	2	ADN4668	0	4

M-LVDS也可用于点到点拓扑结构，这种拓扑结构会将同一个收发器用于驱动器电路(禁用接收器)和接收电路(禁用驱动器)。

### 多分支

如图3所示，使用多分支总线拓扑结构可将一个驱动器连接至多个接收器。LVDS是面向点到点应用设计的，因此，在多分支配置情况下，可连接的接收器数量和信号距离会有所限制。M-LVDS可在多分支拓扑结构中用于驱动多达32个节点，并且距离比LVDS更远。

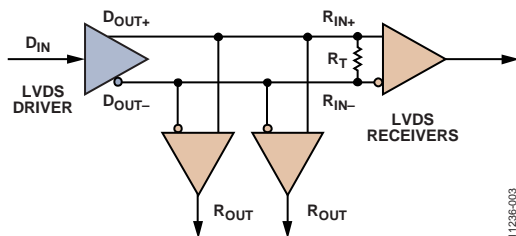


图3. LVDS多分支总线

### 多点

在多个器件同时具有发送或接收功能的网络中，可以使用多点总线拓扑结构。M-LVDS是面向这种多点应用设计的，因此允许多达32个节点连接至一根总线。有两种类型的多点总线：半双工和全双工，分别如图4和图5所示。半双工总线中使用两根导线，一个器件可以发送，另一个器件则可接收。全双工总线中使用四根导线，允许一个节点同时向另一个传输节点回传(即，随着主器件向所有节点发送广播命令，从器件也作出响应)。

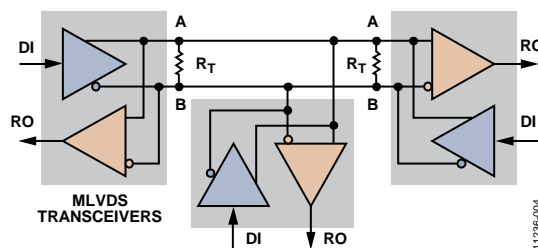


图4. M-LVDS半双工总线

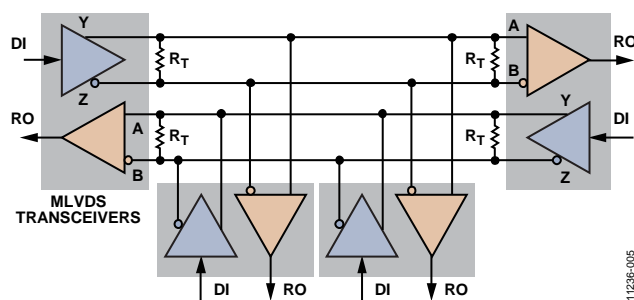


图5. M-LVDS全双工总线

多点总线中要考虑的另一个因素是总线空闲条件。没有器件在执行发送操作时，端接总线上的差分电压接近于0 V。这意味着对于带有对称性输入阈值的标准接收器，接收器输出将是未定义的。这对应于输入阈值为±50 mV的1类M-LVDS接收器。为了在总线空闲条件下提供有保证的接收器输出状态(输出低电平)，2类M-LVDS接收器拥有+50 mV至+150 mV的失调接收器输入阈值。

表2. M-LVDS收发器

产品型号	Rx类型	双工	数据速率
ADN4690E	1	半	100
ADN4691E	1	半	200
ADN4692E	1	全	100
ADN4693E	1	全	200
ADN4694E	2	半	100
ADN4695E	2	全	100
ADN4696E	2	半	200
ADN4697E	2	全	200

## 时钟分配应用

LVDS等差分信号适合用于围绕电路板分配时钟信号。除了LVDS的共模噪声抗扰度优势之外，对于时钟分配应用还有一项特定优势，那就是两个相反信号之间的耦合造成了噪声辐射降低。

### 多分支时钟分配

在许多应用中，电路中的多个节点可能取决于一个时钟源。要将一个时钟源分配至使用LVDS的多个节点，一种简单方法是使用多分支总线拓扑结构，如图6所示。时钟源的LVDS输出连接至一对信号走线，这对走线与依赖时钟源的各个节点之间的分支线较短。

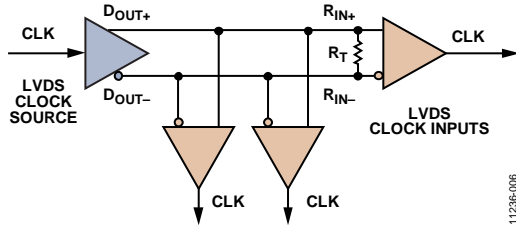


图6. 多分支LVDS时钟分配

这种方法的缺点是可连接的节点数量有限，而且分支线会造成信号完整性降低(也就是增加抖动)。必须小心控制分支线长度和阻抗。

### 点到点时钟分配

利用点到点链路，可将单个时钟源连接至需要LVDS时钟输入的单个节点。通过充当扇出器件的LVDS缓冲器，可以拓展为连接多个节点。这个单独的元件从时钟源那里接收LVDS时钟输出，然后将此时钟信号提供给器件中的多个LVDS驱动器，以便驱动连接至接收节点的多个点到点链路。此方法的优点是时钟信号上的时序可以不受分支线影响。

此类器件的示例是ADN4670时钟分配缓冲器。这样可以两个时钟源之一在多达10个输出端实现分配，如图7所示。通过串行可编程寄存器可以使能和禁用输出，也可用于选择时钟源。

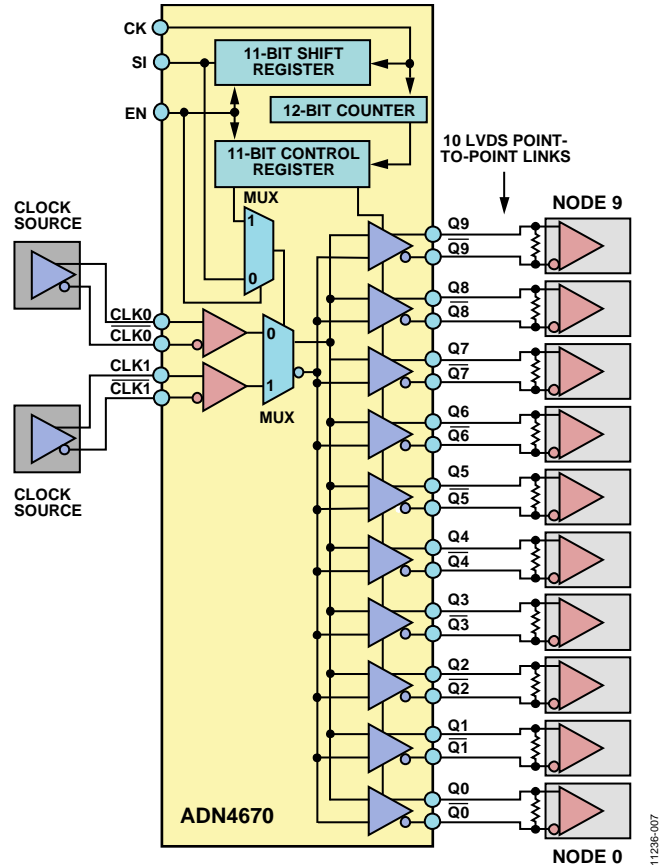


图7. ADN4670通过点到点LVDS连接将时钟源分配至10个节点的应用

在插入初始LVDS输出和最终LVDS输入之间时，任何缓冲器都会增加少量的抖动，但是ADN4670可以做到只增加<300 fs的抖动。在时钟信号高达1.1 GHz的情况下，10个输出端之间的偏斜可以保持低于30 ps。

### 使用M-LVDS的时钟分配

另一种时钟分配方法是使用M-LVDS收发器将时钟分配至多分支(或多点)拓扑结构中多达32个节点上。1类M-LVDS收发器(例如ADN4690E至ADN4693E中)适合此类应用，因为接收器阈值中没有失调(这种失调会导致时钟信号出现占空比失真)。

带有1类接收器的ADN4690E至ADN4693E M-LVDS收发器也有驱动器输出沿的额外压摆率限制，会进一步限制辐射量和分支线反射影响。

## 差分信号和LVDS/M-LVDS

差分传输是一种传输两个互补信号的通信，其中接收的信号包含两个信号线路之间的差。LVDS和M-LVDS都使用这种通信形式，它有两个独特优势：噪声抗扰度高和辐射低。

噪声抗扰度高是因为，通常一个噪声源会均等地耦合至两个信号线路，从而使差分信号不受影响。差分信号的辐射低是因为，使用典型介质(双绞线电缆或紧密放置的带状线)时，两个互补信号线路之间的耦合比较紧密。

### 定义和输出电平

对LVDS和M-LVDS而言，一个信号线路为同相(即，逻辑1高电平，逻辑0低电平)，另一个信号线路为反相(即，与同相信号互补)。两个信号线路之间的电压差称为差分电压，即 $V_{OD}$ 。 $V_{OD}$ 也是差分电压幅度的简写，可为正，也可为负，或 $|V_{OD}|$ 。两个信号线路各有一个最大电压摆幅 $|V_{OD}|$ ，以共模电压 $V_{OC}$ (也称为失调电压 $V_{OS}$ )为中心。差分电压围绕0 V摆动。图8显示了典型LVDS信号电平、差分信号 $V_{OD}$ 和共模电压 $V_{OC}$ 。此图中， $V_{OUT+}$ 为同相信号， $V_{OUT-}$ 为反相信号。

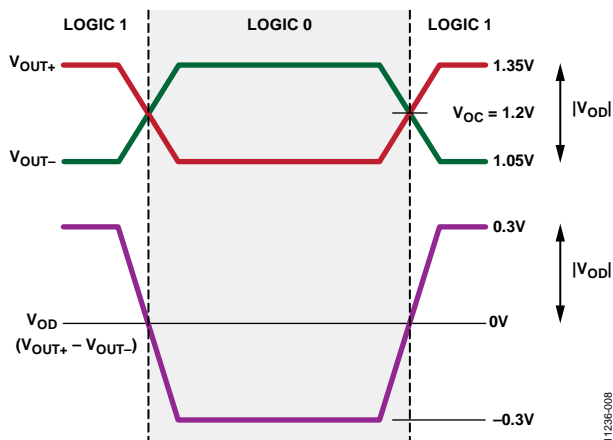


图8. LVDS输出电平

LVDS或M-LVDS总线上的差分电压由驱动器电流源生成。同相LVDS驱动器输出或接收器输入通常用+表示，反相驱动器输出或接收器输入则用-表示。

图9显示了ADN4663双通道LVDS驱动器和ADN4664双通道LVDS接收器的引脚名称。M-LVDS遵循RS-485物理层收发器的规则，将同相信号的总线命名为A，反相信号的总线命名为B，全双工收发器中的驱动器输出则为Y和Z。

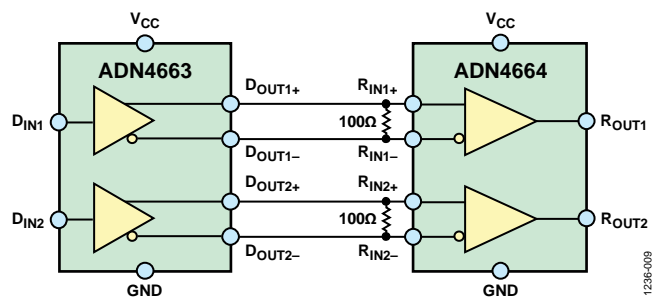


图9. ADN4663和ADN4664双通道LVDS点对点

LVDS和M-LVDS与其他差分信号标准之间的区别是前两者拥有低输出摆幅。图10显示了LVDS和M-LVDS的差分输出电压和共模范围规格。对于LVDS，在负载为100 Ω的情况下，输出电压摆幅 $|V_{OD}|$ 最小为250 mV、最大为450 mV。这样可以允许低功耗工作，并确保在跃迁较快时能够实现较高的数据速率，输出摆幅降低就意味着压摆率不会太大。上升和下降时间通常在数百皮秒范围内，导致压摆率约为0.5 V/ns至2.5 V/ns。

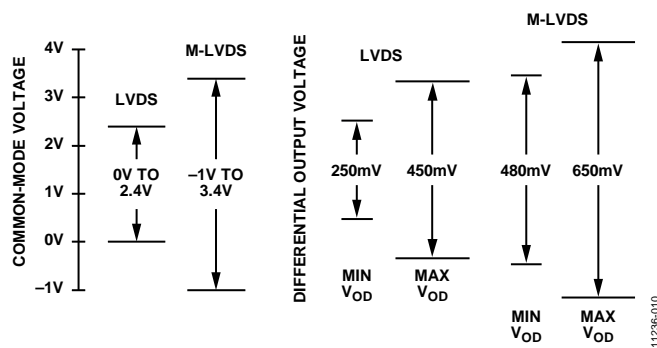


图10. LVDS和M-LVDS信号电平

M-LVDS拥有压摆率受限的驱动器，可针对多个驱动器/接收器和分支线导致额外的阻抗不连续的情况增强信号的稳定性。这意味着，M-LVDS可限制到比LVDS更低的数据速率。ADN4690E至ADN4697E均可提供实现100 Mbps或200 Mbps的选项。M-LVDS的另一特性是驱动器强度更高，在负载为50 Ω(两个100 Ω的端接电阻，总线的任意一端)的情况下，可导致最小输出电压摆幅 $|V_{OD}|$ 为480 mV，最大值则为650 mV。

### 接收器阈值

接收器阈值是一种差分电平，高于或低于此电平时，接收的信号就会算作逻辑1或逻辑0。对于LVDS，正 $V_{OD} \geq +100$  mV对应于逻辑1，负 $V_{OD} \leq -100$  mV则对应于逻辑0。

对于1类M-LVDS接收器，正 $V_{OD} \geq +50$  mV对应于逻辑1，负 $V_{OD} \leq -50$  mV则对应于逻辑0。

两个电压阈值之间是跃迁区。如果某个输入信号保持在两个阈值之间的电平，则接收器输出在LVDS下为未定义状态；它可以是高电平或低电平。无有效的LVDS驱动器连接至接收器时，或者出现短路时，就会发生这种情况。ADI公司的LVDS接收器具备故障安全特性，因此在上述情况下，接收器输出为高电平。

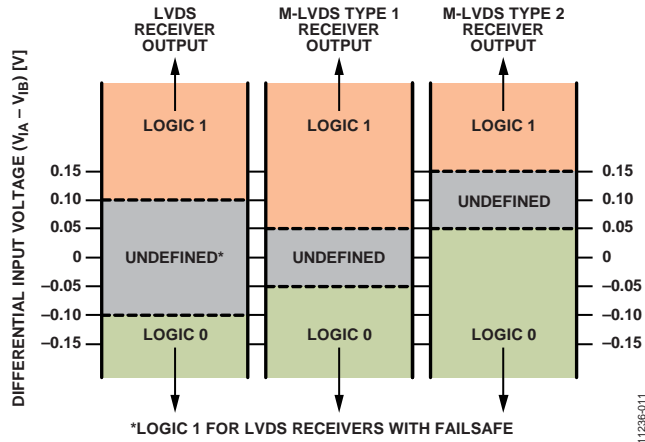


图11. LVDS和M-LVDS的接收器阈值

对于M-LVDS，总线上的任意节点都可以传输，但是如果没有节点处于有效状态，那么所有驱动器输出都将禁用。对于LVDS，这会导致1类接收器的差分输出电压在未定义区域内。为了提供故障安全条件，M-LVDS定义了2类接收器，其失调接收器阈值 $\geq +150$  mV（逻辑高电平）或 $\leq +50$  mV（逻辑低电平）。这意味着2类M-LVDS接收器的故障安全输出为逻辑低电平。图11显示了LVDS接收器、M-LVDS 1类接收器和M-LVDS 2类接收器的接收器阈值。

## 传输距离

LVDS和M-LVDS传输距离均受两个主要因素的影响：传输介质和数据速率。关于给定传输距离是否切合实际的标准决定于接收节点观察到多大的抖动。这与应用环境有关；有些应用环境需要5%或更低的抖动，有些则容许高达20%的抖动。

PCB走线通常允许大约几十厘米的传输距离，双绞线电缆用于LVDS时允许大约几米的传输距离，用于M-LVDS则允许几十米。不同规格的PCB构造或电缆类型会对信号造成不同影响，进而影响最大传输距离。

更高的数据速率会极大地限制传输距离；1 Gbps下的LVDS或许只能通过1米的优质电缆进行传输(可能还需要额外的信号调理)，但是在100 Mbps条件下传输距离可能达到10米

(具体取决于电缆类型)。由于驱动器强度更高，M-LVDS一般能通过更长的电缆进行传输，但是相对于几十Mbps的数据速率，要实现几百Mbps的数据速率，所用的电缆应该更短。图12提供了部分应用环境下典型的LVDS和M-LVDS数据速率及电缆长度组合指示。

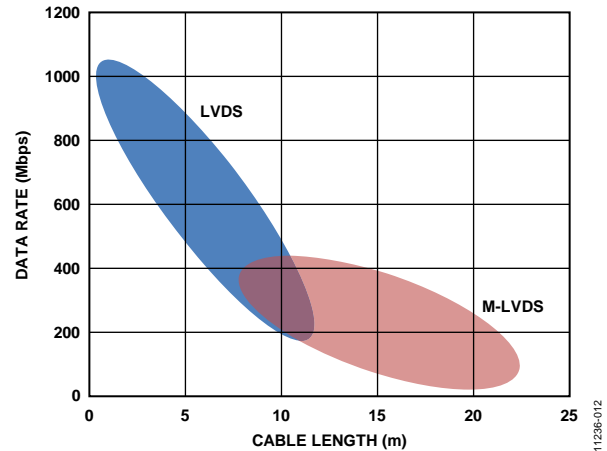


图12. 部分典型LVDS和M-LVDS应用中的电缆长度(双绞线)与数据速率

影响最大距离的其他因素包括：

- 发射器规格。
- 其他传输介质元件，例如通孔(PCB走线上)或电缆连接器。
- 对于M-LVDS或多分支LVDS，总线上的节点数和分支线长度。

考虑到有多个因素会影响可能的电缆长度，TIA/EIA-644 (LVDS)和TIA/EIA-899 (M-LVDS)建议，如果可能的话，在实际应用中对预期电缆长度进行测试。这样可以测量接收信号中的抖动，从而就给定电缆类型和长度提供实用指南。可利用眼图进行测量；图13显示了ADN4696E驱动器输出。

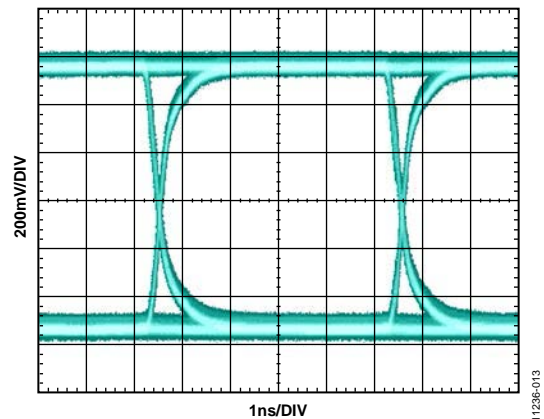


图13. ADN4696E驱动器输出眼图

## 端接和PCB布局

无论是使用电缆还是PCB走线，都应该结合传输线路理论对高速通信链路进行考虑，例如用于LVDS和M-LVDS的通信链路。LVDS和M-LVDS的高数据速率需要快速上升时间，这意味着，随着信号从驱动器一直传播到总线端部，阻抗不连续和通信链路的端部会显著影响传输信号。为避免信号降级，需要沿着通信介质控制阻抗，并保证合适的端接。

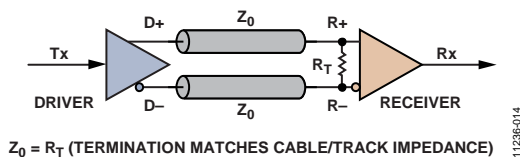


图14. 点到点端接

端接电阻应该与通信介质的阻抗匹配；对于LVDS，这通常为 $100\ \Omega$ 。对于简单的点到点链路，只需要端接距离驱动器最远的总线端部，如图14所示。对于多分支总线，如果驱动器在总线的一端，则可采用相同的端接方法。否则需要端接总线的两端。

对于M-LVDS，端接总线的两端，驱动器具有更高的驱动强度，在一定程度上可以容纳双重端接(有效负载为 $50\ \Omega$ ，而非 $100\ \Omega$ )。

有些器件具有内置接线端。如果器件位于总线上错误的端接点，或者总线上已经有了合适的接线端，则可能需要禁用此接线端。如果对于LVDS有两个或更多 $100\ \Omega$ 电阻，或者对于M-LVDS有两个以上，则对总线进行了过度端接。这会导致信号幅度降低且反射提高，进而降低噪声抗扰度和时序精度并缩短最大传输距离。

### 受控阻抗

LVDS和M-LVDS链路中的一大难题是在整个总线上提供一致的受控阻抗。对于单个PCB内的链路，通孔、差分对内各个信号之间的走线长度不匹配、走线之间的间隔变化或走线尺寸等因素都很容易导致阻抗不连续。

对于PCB上的差分信号，两个信号走线通常彼此放置得很近，并且紧密耦合。这意味着这些信号拥有共同的场，可以取消辐射并降低对共模噪声的敏感度。出现的困难是，

如果走线需要分开，例如，为了接近某个连接器，此时就会引起信号之间的阻抗变化。可以降低信号耦合的紧密度，但需要在整个链路间维持一致的间隔和走线厚度。

PCB走线急转弯或一系列拐弯也会影响信号质量。一般而言，应该将PCB走线的弯度最小化，保持在 $45^\circ$ 角(理想情况下是形成曲线，而非锐角)。

如果一个信号的走线比另一个信号的走线长，差分对中的两个信号之间就会产生偏斜。可能无法做到始终让走线保持相同长度，但PCB布局应该尝试让走线长度互相匹配。

选择连接器时应该尽可能减小各个连接器对总线造成的阻抗差异，电缆或背板也应该尽可能与PCB走线的阻抗匹配。背板连接会对总线增加显著的电容，可能有必要降低数据速率或PCB走线距离，以便容许出现的数据信号降级情况。



图15. EVAL-ADN469xEFDEBZ客户评估板

图15显示了用于M-LVDS的高速PCB布局示例，也就是用于全双工ADN469xE系列M-LVDS收发器的EVAL-ADN469xEFDEBZ评估板。A、B、Y和Z上的走线长度都互相匹配，且拥有利用一个4层电路板布局创建的 $50\ \Omega$ 阻抗。端接电阻放置在器件引脚附件。此电路不完全对应于应用布局，因为还有其他一些元件，例如测试点和跳线选项。

## 抖动、偏斜、数据编码和同步

采用高速差分信号(例如LVDS和M-LVDS)时,精确的时序对系统性能至关重要。PCB走线、连接器和布线会降低数据和时钟信号的性能,需要系统时序中也有一定的误差裕量。这意味着,为了在LVDS或M-LVDS通信链路中实现最大吞吐速率,可能需要仔细的时序分析。尽管对容许的抖动量等因素存在明确定义的限制,现代FPGA和处理器也仍然具备可校正时序误差的内置功能。

### 什么是抖动?

抖动是指一个信号沿相对于它的理想时间位置产生的明显移动。如果在示波器中观察到一个周期性信号,理论上,其边沿会相对于参考点前后抖动。

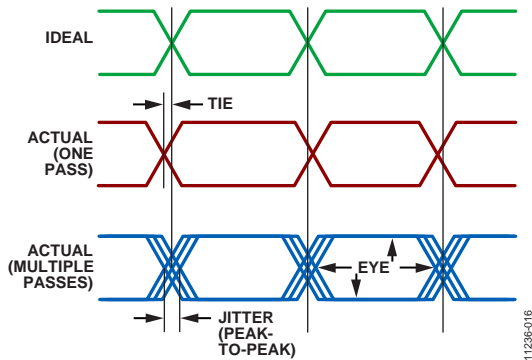


图16. 显示了时间间隔误差、抖动和眼的波形

抖动可以简单地量化为时间间隔误差,也就是信号沿实际发生与应该发生的时间差。通常,为了确定抖动源,会记录大量的TIE样本,从而建立直方图,然后据此将确定性抖动从随机抖动中分离出来。限定到特定数量的样本时,总抖动可以量化为峰峰值。峰峰值表示采样期间观察到的最早边沿和最晚边沿之间的时间差。

如果将多个波形样本重叠在示波器显示器上(无限持续),则可按图形方式看到峰峰抖动,如图16所示。重叠跃迁的宽度为峰峰抖动,中间的清晰区域称为眼。眼是可由接收器采样的区域。

随机抖动是因为噪声(电噪声和热噪声)而发生的。结果是时间误差形成高斯分布,产生的这种误差就是随机抖动。抖动没有限制;记录更多样本时,概率函数继续增长。

与此相反,确定性抖动有限制。由于特定因素(例如电路板布局和驱动器性能)的影响,系统中的这种抖动有固定的量。周期性抖动是一种确定性抖动,是指每个周期与理想

状况相比所具有的时间差。周期性抖动也记录为峰峰值,也就是观察到的最长周期和最短周期之间的差。

### 什么是偏斜?

偏斜有多种不同的定义,在设计高速LVDS链路时通常会考虑到其中的几种。最基本的偏斜定义是指差分对中两个信号之间的传播时间差。这意味着,差分对中一个信号的边沿跃迁不会与互补信号的跃迁完全匹配(交越将是非对称的)。

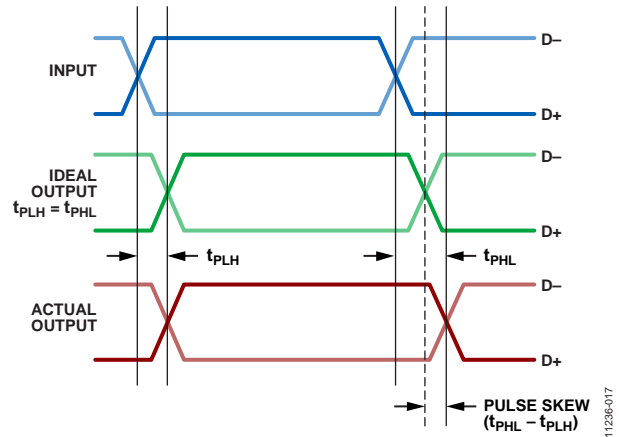


图17. 展示脉冲偏斜计算的波形

差分信号中的脉冲偏斜是指低到高跃迁时间( $t_{PLH}$ )和高到低跃迁时间( $t_{PHL}$ )之间的差。这会导致占空比失真,也就是逻辑1或逻辑0的位周期更长或更短。图17展示了脉冲偏斜。蓝色波形对应于输入信号,绿色波形对应于理想输出(其中高到低和低到高跃迁的传播时间是匹配的),红色波形对应于实际输出,其中 $t_{PLH}$ 和 $t_{PHL}$ 之间的差导致了脉冲偏斜。

通道间偏斜和器件间偏斜是典型LVDS应用中最重要参数,因为它们有多个需要保持同步的数据通道。通道间偏斜是指一个器件的所有通道上最快和最慢的低到高跃迁或最快和最慢的高到低跃迁之间的差(以较大的为准)。器件间偏斜将这种概念延伸到多个器件之间的通道上。

图18展示了多个通道(一个或多个器件)之间的偏斜。蓝色波形对应于输入信号,四个红色波形涵盖了一个或多个器件上的各个输出通道。计算了最快和最慢 $t_{PLH}$ 之间的差,以及最快和最慢 $t_{PHL}$ 之间的差。通道间或器件间偏斜是这两个差中较大的一个(在图18所示情况下,这是指最快和最慢 $t_{PHL}$ 之间的差)。



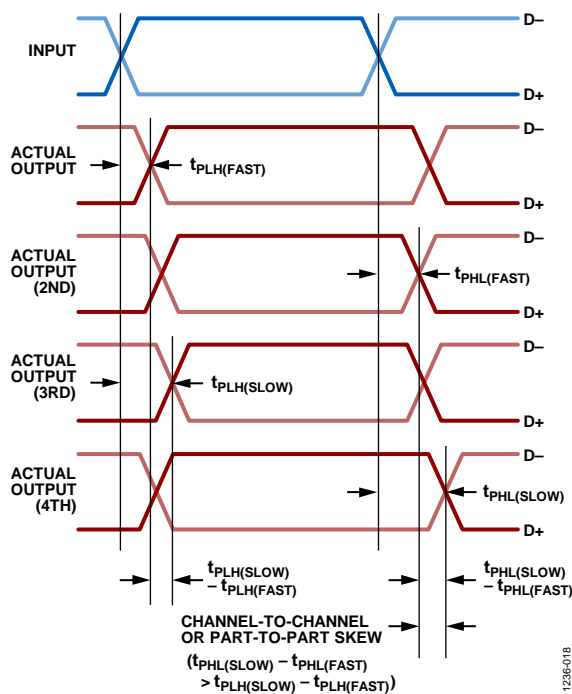


图18. 展示了通道间或器件间偏斜的波形

通道间偏斜和器件间偏斜都会导致并行数据通道相对于彼此反相接收，即便它们在传输端同步。这会导致在多个通道之间采样时产生困难。

### 数据编码和同步

LVDS时序的难题不仅来自于高速传输，还来自于数据编码。在许多LVDS应用中，为了提高带宽，会使用多个并行LVDS通道来传输数据。发射器必须同步这些通道上传输的数据，接收器需要在合适的点对每个通道采样，这样就可以让每个通道在相同的时间收到数据。

在使用少量通道的LVDS应用中，通常会传输串行数据，而且速度更高。高速要求接收器件与输入数据流快速同步，而且除了对每个位精确采样之外，接收器件还需要检测输入位流内的数据帧。

为了帮助接收器件与接收数据同步，可以随着数据通道一起传输一个时钟。这称为源同步数据传输。有几种方法可用于随着数据传输时钟。可将时钟作为一个并行通道传输，时钟周期对应于一个数据位(单倍数据速率，SDR)或

两个数据位(双倍数据速率，DDR)。对于串行LVDS传输，也可以传输一个帧时钟。图19显示了面向SDR和DDR的ADC源同步LVDS输出示例。

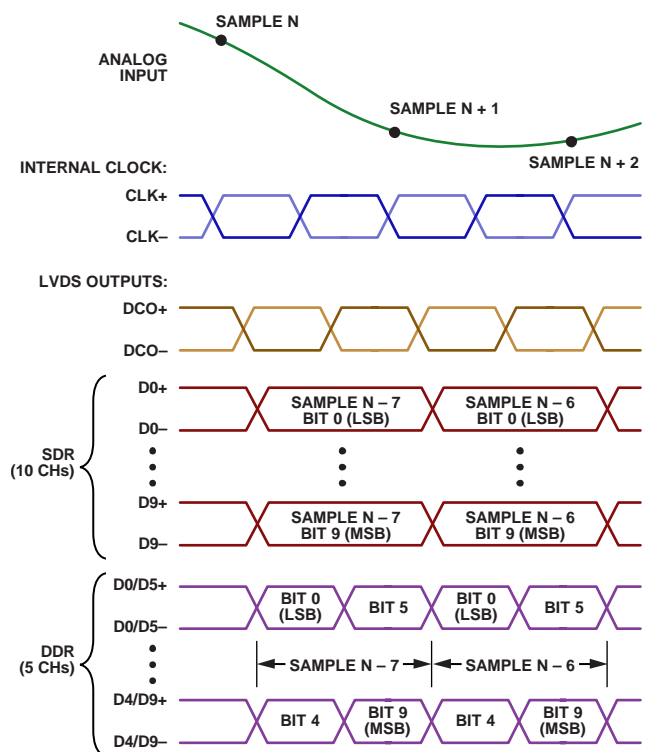


图19. ADC输入和源同步LVDS输出波形

相对于专用时钟通道，另一种方法是将时钟嵌入到数据中。采用嵌入式时钟法，会向数据流中插入固定的位，从而允许接收节点检测这些位并与输入数据同步。

采用一种称为动态相位调节(DPA)的方案时，如果由现代FPGA接收，则会对通道间和器件间偏斜进行补偿。FPGA生成接收源同步时钟的多个相位，然后将每个数据通道与最佳时钟相位匹配，以便进行采样。

如果DPA不可用，则必须遵循严格的时序预算。从位周期中减去发射器通道间偏斜和采样时间之后，必须有剩余的时间间隔。此间隔称为接收器偏斜裕量。发射器通道间偏斜包括传输节点造成的通道间偏斜、介质造成的偏斜以及相对于数据的时钟偏斜。

## 隔离

可将外部接口与逻辑电路隔离，从而防止不必要的电流损害或影响电子元件的工作。如图20所示，电流隔离不阻止信息流，但阻止电流。使用*iCoupler*®数字隔离产品和*isoPower*®电源隔离产品，可以实现数据信号和电源的完整隔离。

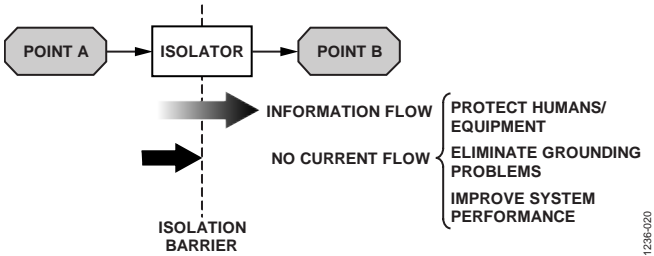


图20. 电流隔离不阻止信息流，但阻止地电流

LVDS和M-LVDS的隔离应用包括板到板、背板及PCB通信链路的安全隔离和/或功能隔离。

例如，当M-LVDS背板系统的一个或多个插卡有遭受高电压瞬变的风险时，便可使用安全隔离。隔离M-LVDS接口可确保这类故障条件不影响系统中的其他电路。某些情况下使用功能隔离很有效，例如测量设备。若在ADC和FPGA之间隔离LVDS链路，则可提供浮动的接地层，提升测量数据的完整性，并降低来自应用的其他部分的干扰。

图21所示电路为隔离的LVDS接口Circuit from the Lab (CFTL)，展示了LVDS接口的完整隔离(参见“参考文献”部分)。ADuM3442为ADN4663 LVDS驱动器的逻辑输入和ADN4664 LVDS接收器的逻辑输出提供数字隔离。

除了使用ADuM5000提供隔离式电源，在工业和仪器仪表应用中隔离LVDS链路还面临着许多挑战，包括：

- 逻辑信号与LVDS驱动器/接收器隔离、确保电路总线端的标准LVDS通信。
- 高度集成的隔离仅使用两个额外的宽体SOIC器件(ADuM3442和ADuM5000)隔离标准LVDS器件(ADN4663和ADN4664)。
- 与传统隔离(光耦合器)相比功耗更低。
- 多通道隔离。本电路表示4通道隔离(本实例中采用两条发射通道和两条接收通道)。
- 工作速度高；最高工作速度达150 Mbps，轻松满足基本LVDS的速度要求。

图21所示电路隔离了一个双通道LVDS线路驱动器和一个双通道LVDS接收器。它可在单电路板上实现两条完整的发射和接收路径。

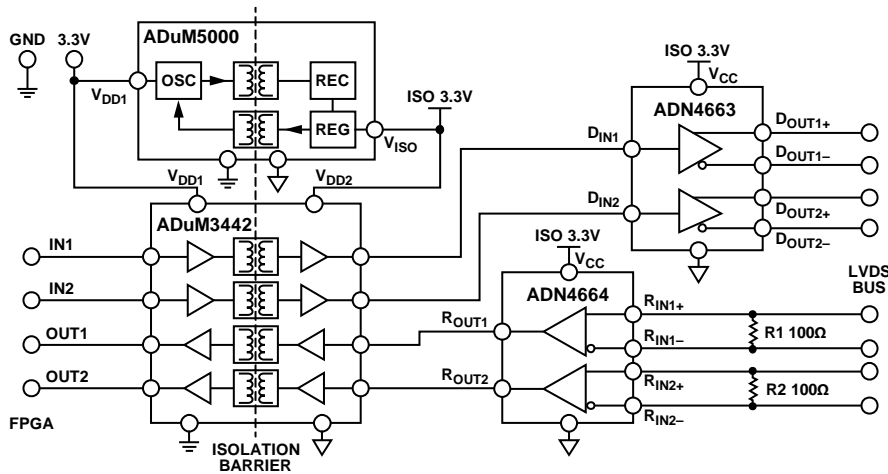


图21. 隔离式LVDS接口电路(原理示意图, 未显示所有连接)

## 参考文献

Chen, Boaxing. 2006. “iCoupler® Products with isoPower™ Technology: Signal and Power Transfer Across Isolation Barrier Using Micro-Transformers,” Technical Article, (Analog Devices).

IEEE Standard 1596.3-1996, “IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)”.

Marais, Hein. 2009. “RS-485/RS-422 Circuit Implementation Guide,” Application Note [AN-960](#), Analog Devices, Inc.

TIA/EIA-485-A Standard, “Electrical Characteristics of Generators and Receivers for Use in Balanced Digital Multipoint Systems”.

TIA/EIA-644 Standard, “Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits”.

TIA/EIA-899 Standard, “Electrical Characteristics of Multipoint-Low-Voltage Differential Signaling (M-LVDS) Interface Circuits for Multipoint Data Interchange”.

Watterson, Conal. 2012. “Controller Area Network (CAN) Implementation Guide,” Application Note [AN-1123](#), Analog Devices, Inc.

Watterson, Conal. 2012. Circuit Note [CN-0256](#), “Isolated LVDS Interface Circuit,” (Analog Devices, Inc.

## 相关链接

资源	描述
<a href="#">LVDS/M-LVDS网页</a>	指向LVDS驱动器、LVDS接收器和M-LVDS收发器相关产品页面和资源的链接
<a href="#">M-LVDS网页</a>	有关ADN4690E至ADN4697E系列M-LVDS收发器的介绍和资源
<a href="#">CN-0256</a>	隔离式LVDS接口电路的电路笔记
<a href="#">AN-960</a>	RS-485/RS-422电路实施指南应用笔记

**注释**