



# 集成式软件无线电

## 参考设计与系统应用

周伟 应用工程师 ADI亚洲技术支持中心



## ▶ 专有信息说明，免责与免除担保

ADI演示文稿是ADI公司的财产。ADI演示文稿以及ADI提供或在此处使用的软件、文本、图片、设计元素、音频和所有其他资料（简称“ADI信息”）的所有版权、商标和其他知识产权和所有权均属ADI公司及其许可人所有。事先未经ADI书面许可，不得以任何方式、通过任何形式或媒介复制、出版、改编、修改、展示、分发或销售ADI信息。ADI信息和ADI演示文稿均按“原样”提供。尽管ADI希望ADI信息和ADI演示文稿准确无误，但ADI不对ADI演示文稿和ADI信息作任何担保，包括但不限于关于准确性和完整性的担保。排字错误和其他失误都可能存在。ADI不保证ADI信息和ADI演示文稿能满足您的要求、准确、不会中断或不存在错误。ADI不对适销性、特定用途实用性或不侵犯任何第三方知识产权作任何明示或暗示的担保。对于因您使用ADI信息和ADI演示文稿而引起的或与其相关的任何损害或损失，包括但不限于数据丢失或损坏、电脑病毒、错误、遗漏、中断、缺陷或其他故障，无论此等责任属于侵权、合同或其他，ADI均不承担任何责任。使用其中提到的任何第三方参考软件须遵循与此等第三方签订的适用许可协议（若有）。

©2013 Analog Devices, Inc. 保留所有权利

## ▶ 软件无线电(SDR)概述

## ▶ SDR数学原理

- 零中频或直接变频发射机/接收机
- 数字调制简介

## ▶ 如何解决信道缺陷

- 调制器/解调器导致的系统缺陷，特别是温度和频率变化造成的影响
- 探讨可以减少这类缺陷的工厂和现场算法

## ▶ SDR解决方案

- FMComms1电路板
- 工具、驱动和HDL设计示例

## 什么是软件无线电？

- ▶ **软件无线电系统(SDR)是一种无线电通信系统，通常以硬件形式实现的元件（混频器、滤波器、放大器、调制器/解调器）现在以软件方式在个人计算机或嵌入式系统上实现。尽量简化硬件系统。**
- ▶ **SDR并不是一个新概念（大约在上世纪70年代由美国DoD实验室提出），随着模拟和数字电子技术的进步而快速发展，之前仅在理论上可能的很多技术得以实现。**
  - 为什么使用SDR？
    - 简化RF硬件
    - 以软件形式实现，易于添加新功能
    - 一套硬件可适用多种调制技术



## 直接变频（零中频）接收和发射

- ▶ **直接变频收发器也称为零差、同步或零中频收发器，本振频率等于或非常接近RF信号的载波频率。**
  - 载波频率 = 本振(LO)频率
  - 信号链简单，具有吸引力
  - 适合高度集成
  - 支持宽带设计

## 零中频发射机优点和面临的挑战

### ▶ 优点：

- 元件数量少使得系统成本和功耗更低
- 直接上变频产生的混频杂散更少
- 所需滤波器更少

### ▶ 挑战：

- 在模拟调制过程中，IQ信号的增益和相位失配会直接影响边带抑制性能
- 带外传输
  - LO/载波泄漏
  - I/Q失配导致输出频谱中出现镜像
    - 这会导致接收机端的误差矢量幅度(EVM)降低，从而恶化比特误差率(BER)

## 零中频接收机优点和面临的挑战

### ▶ 优点：

- 元件数量少使得系统成本更低
- 无需镜像抑制滤波器
- 基带滤波要求更宽松
- 基带增益级实现省电

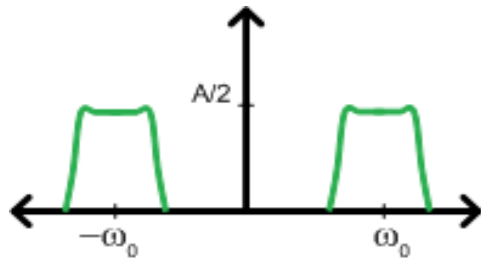
### ▶ 挑战：

- 基带上存在直流失调
  - 自混频
  - 失调电压
- 相对零点频率对称出现镜像
  - 相位和幅度上I/Q失配
- 偶数阶非线性
  - 靠近目标信道的两个高频干扰信号可导致目标带宽范围内的偶数阶非线性

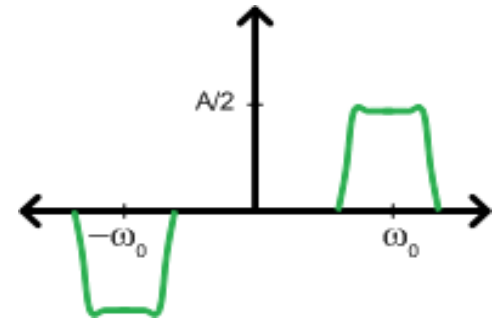


## 基础回顾：欧拉公式

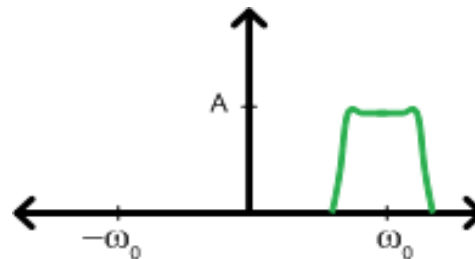
$$A \cos \omega_0 t = \frac{A}{2} (e^{j\omega_0 t} + e^{-j\omega_0 t})$$



$$A \sin \omega_0 t = \frac{A}{2j} (e^{j\omega_0 t} - e^{-j\omega_0 t})$$



$$x(t) = e^{j\omega_0 t} = \cos \omega_0 t + j \sin \omega_0 t$$



- ▶  $\sin \omega_0 t$ 与 $\cos \omega_0 t$ 呈 $90^\circ$ 相位差
- ▶ 幅度和相位完全匹配时， $-\omega_0$ 处的信号内容消除

# 幅度和相位失配

## ▶ 幅度失配

$$x(t) = A \cos \omega_0 t + jB \sin \omega_0 t$$

$$x(t) = \frac{A}{2}(e^{j\omega_0 t} + e^{-j\omega_0 t}) + \frac{B}{2}(e^{j\omega_0 t} - e^{-j\omega_0 t})$$

$$x(t) = \frac{A}{2}e^{j\omega_0 t} + \frac{A}{2}e^{-j\omega_0 t} + \frac{B}{2}e^{j\omega_0 t} - \frac{B}{2}e^{-j\omega_0 t}$$

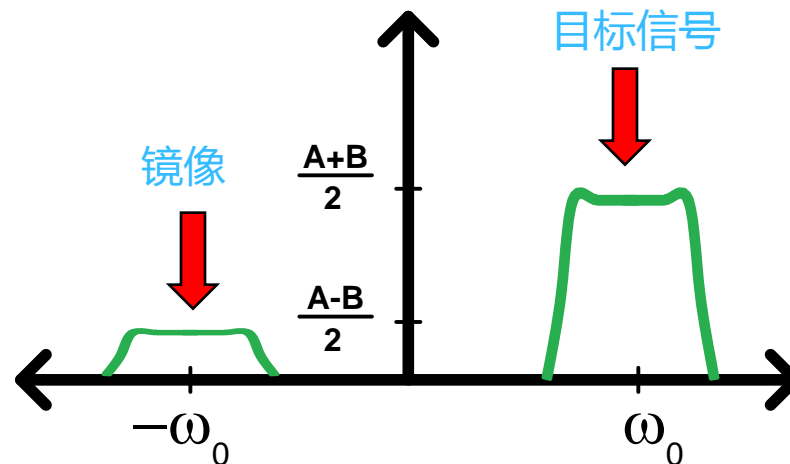
$$x(t) = \frac{A+B}{2}e^{j\omega_0 t} + \frac{A-B}{2}e^{-j\omega_0 t}$$

## ▶ 相位失配

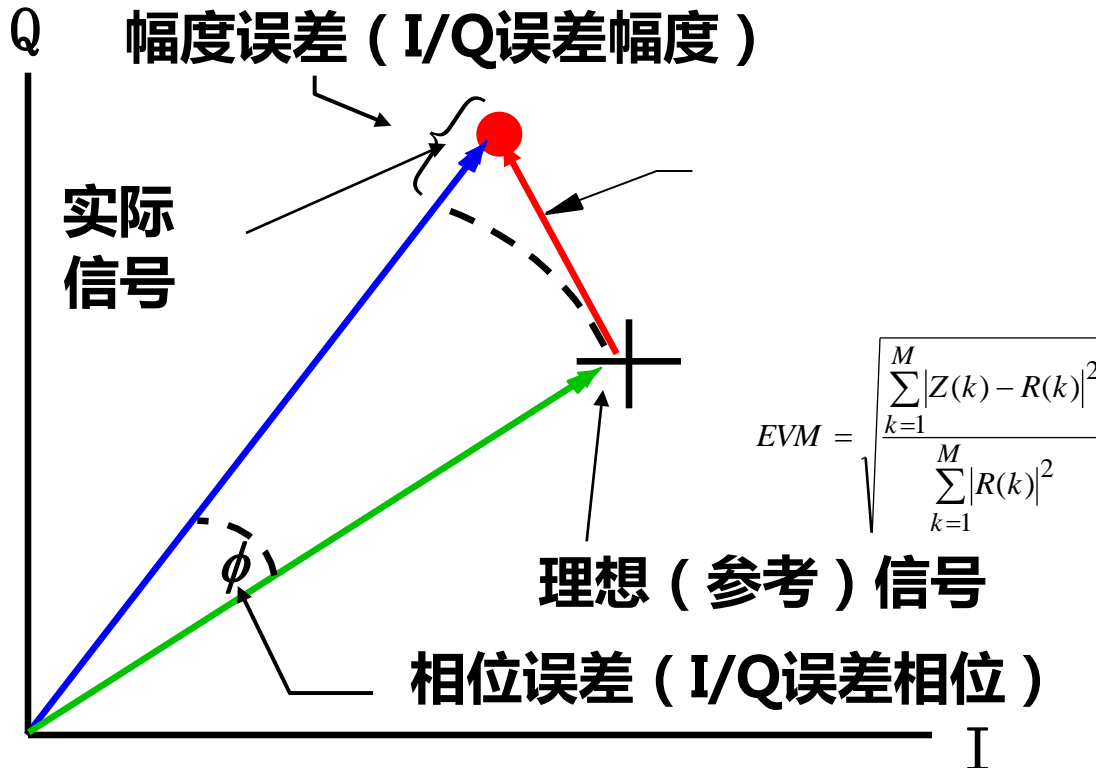
$$x(t) = \cos(\omega_0 t + \theta) + j \sin \omega_0 t$$

$$x(t) = \frac{1}{2}e^{j\omega_0 t}e^{j\theta} + \frac{1}{2}e^{-j\omega_0 t}e^{-j\theta} + \frac{1}{2}e^{j\omega_0 t} - \frac{1}{2}e^{-j\omega_0 t}$$

$$x(t) = \frac{(e^{j\theta} + 1)}{2}e^{j\omega_0 t} + \frac{(e^{-j\theta} - 1)}{2}e^{-j\omega_0 t}$$



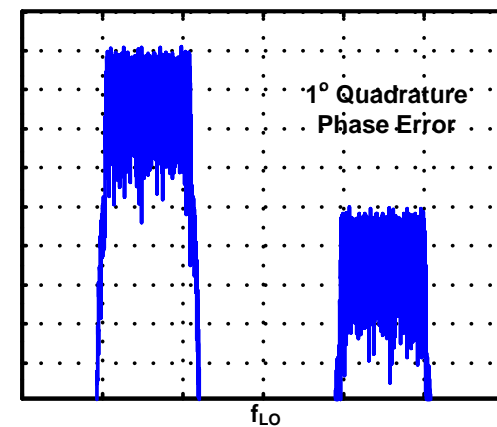
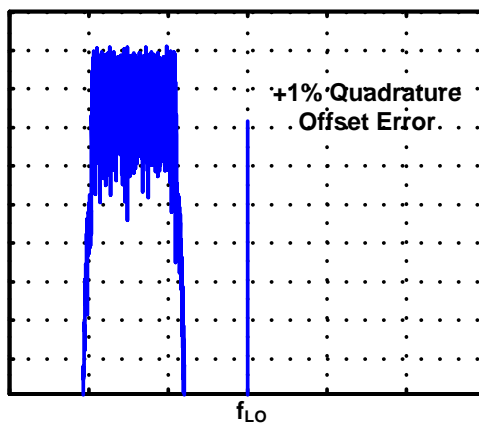
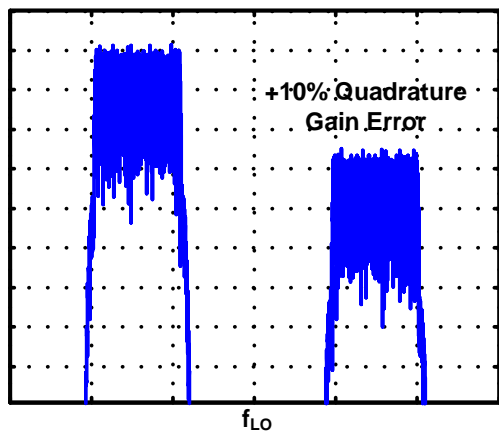
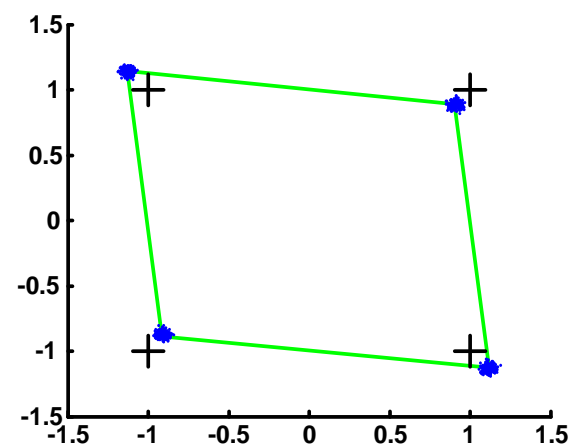
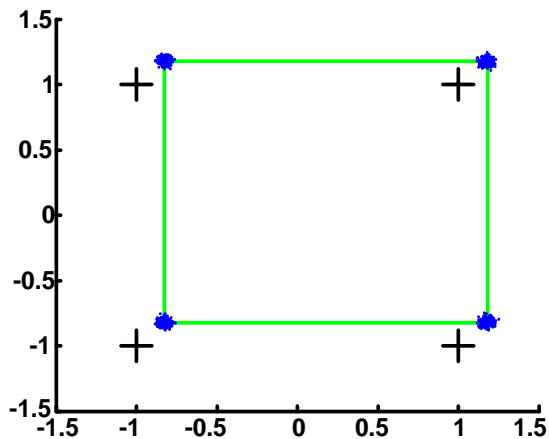
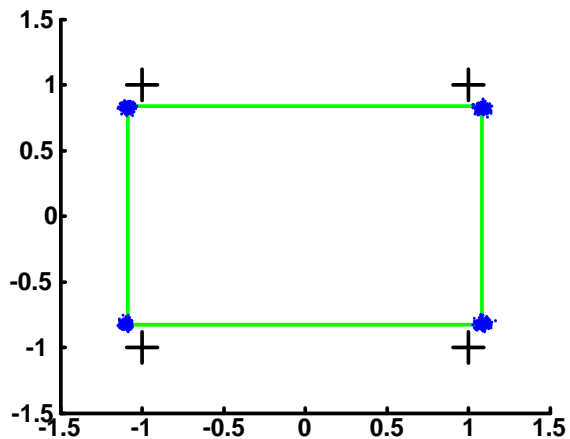
# 误差矢量幅度—EVM



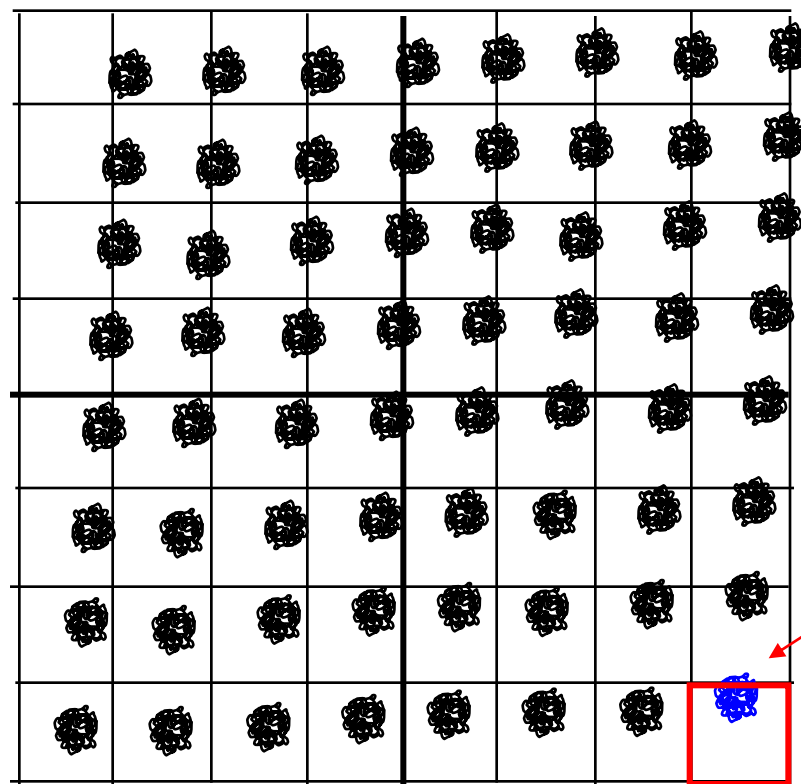
单位 = %

- ▶ 发射和接收信号链中的噪声和不理想导致解调后的电压偏离理想位置
- ▶ 误差矢量幅度就是表示这种错位
- ▶ 较大的EVM将导致码元错误和比特误差率恶化
- ▶ 更高阶调制方案 → 码元彼此更靠近 → EVM更加重要

# 增益、失调和相位误差的影响



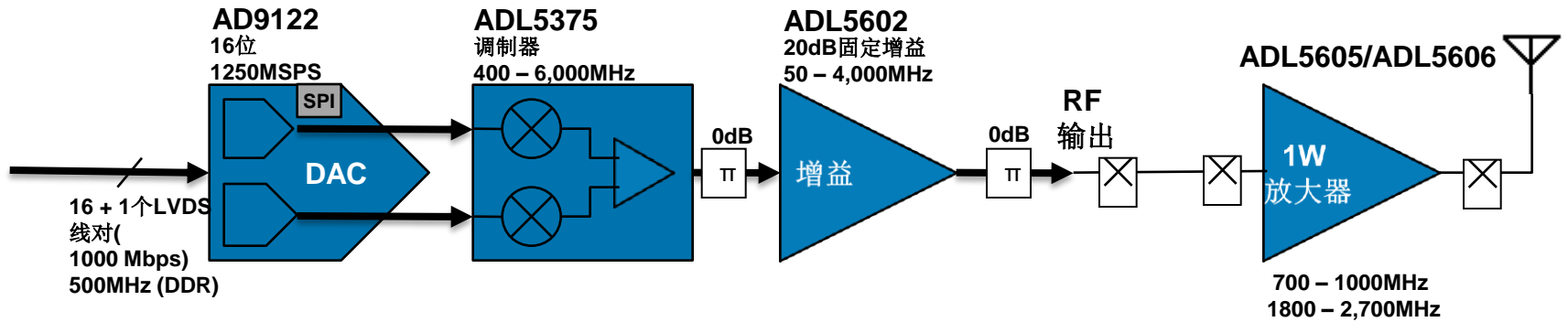
# 导致解调星座图质量如此之差的原因是什么？



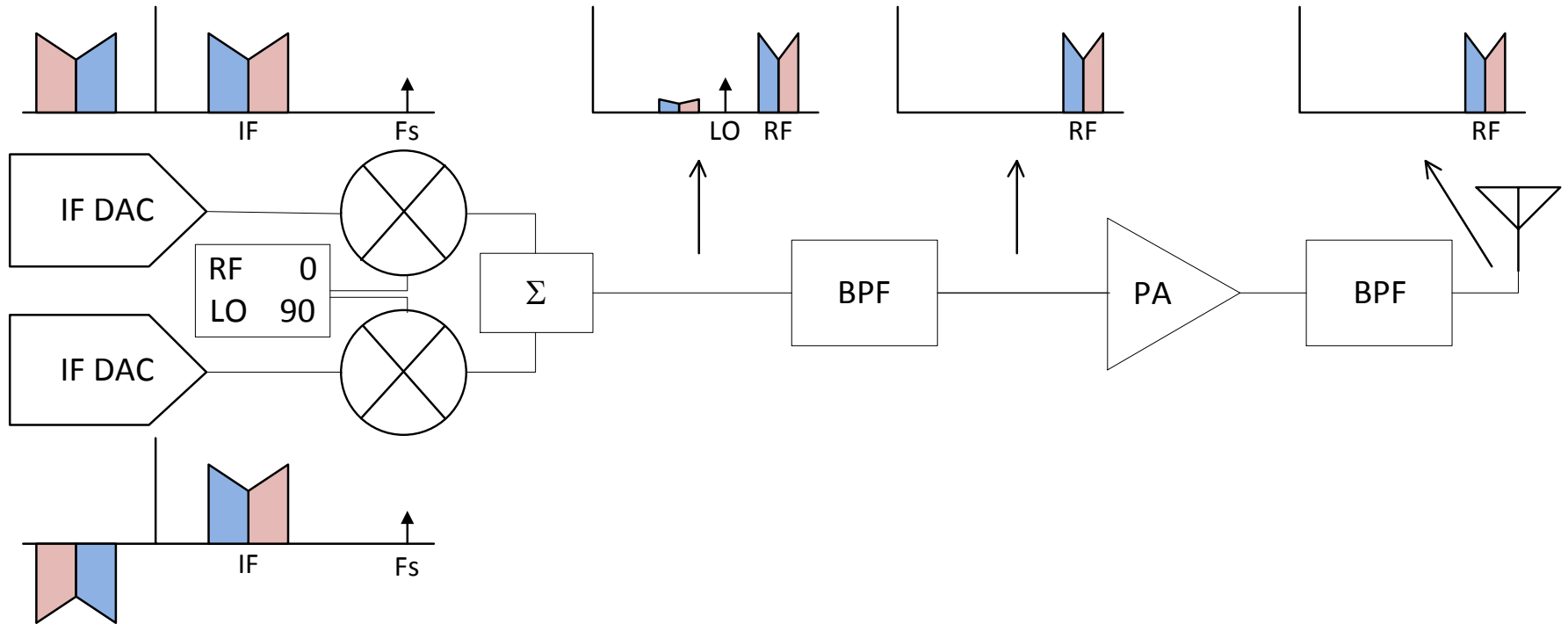
码元  
决策  
阈值  
如果码元落在  
框的边缘或外部  
就会发生比特误差

- ▶ LO正交相位分离较差（解调器）
- ▶ 完整星座图的直流失调（可能是发射机中LO到RF泄漏）
- ▶ 噪声放大了星座点的足迹（接收机噪声系数不佳）

# 直接变频发射机架构

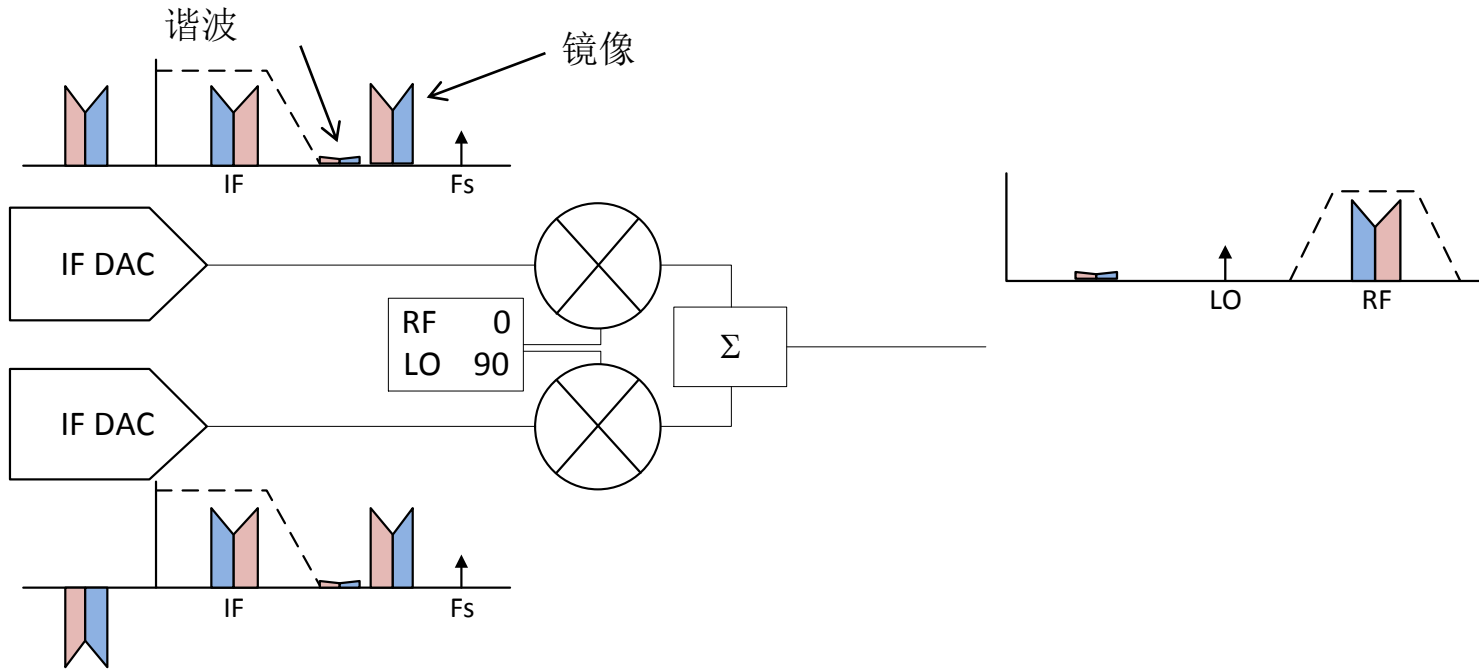


# 采用IF DAC的复数中频



- ▶ **复数中频架构采用IF DAC将中频信号与其复数共轭合成，作为正交调制器的输入。**
- ▶ **这样就得到一个单边带(SSB)上变频器，该上变频器能够抑制常见混频产物，从而降低BPF滤波要求**

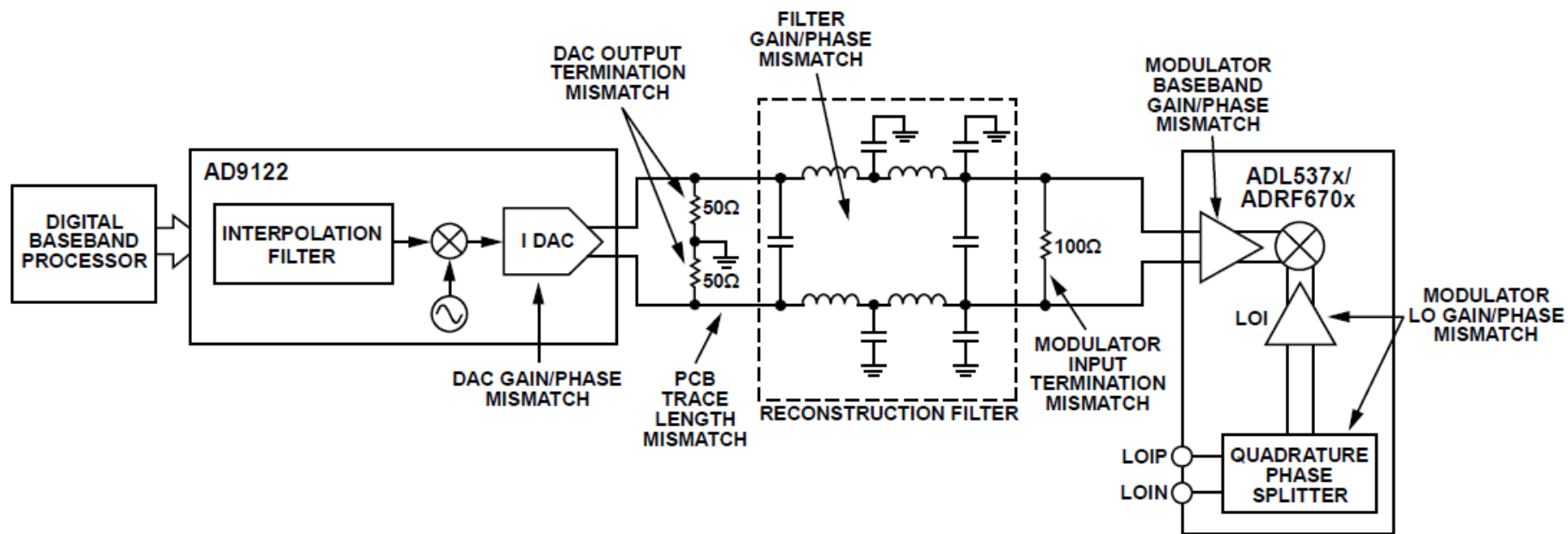
# 复数中频的缺点



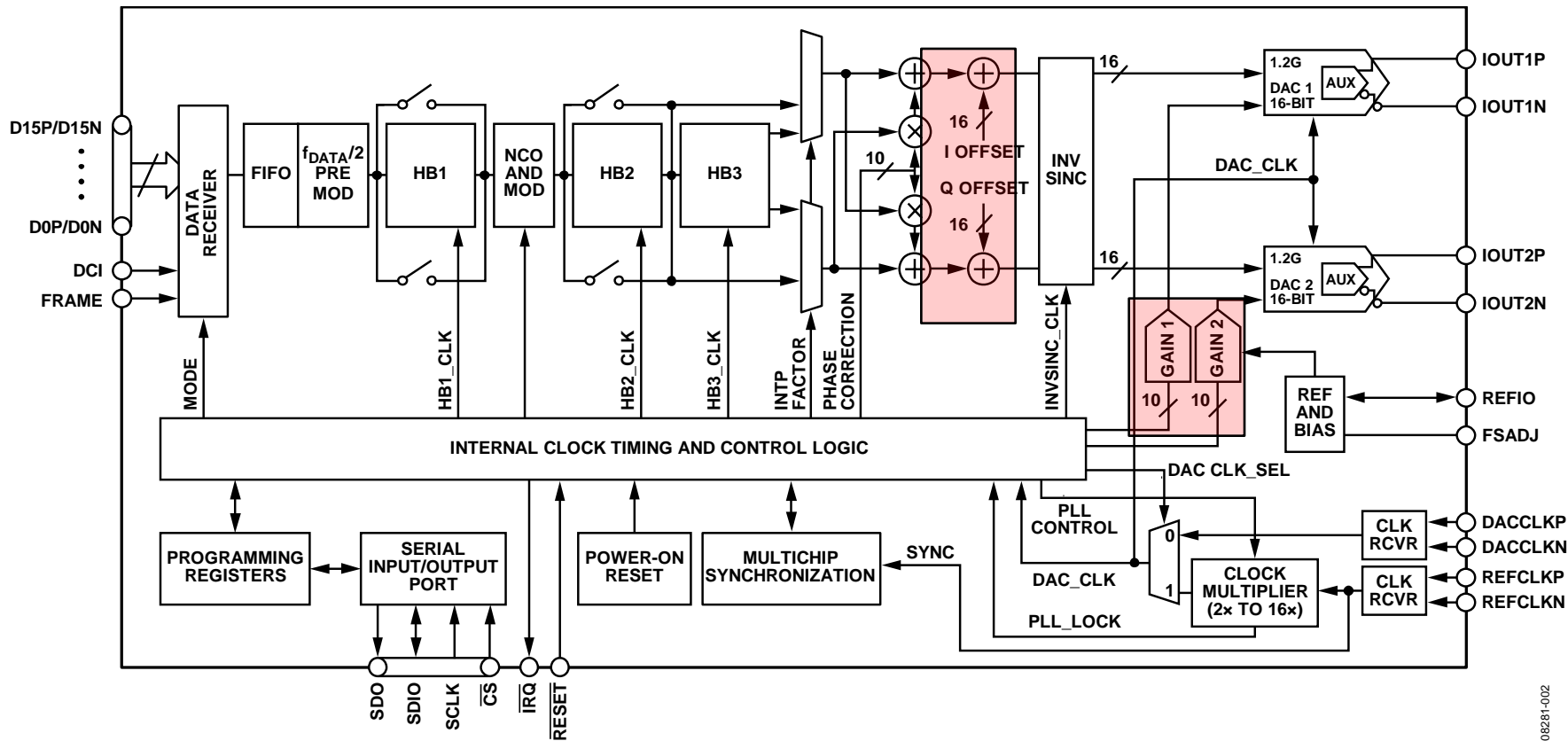
- ▶ **复数中频系统产生数个镜像：**
  - $F_{DAC} - F_{OUT}$ ：主目标信号的镜像
  - 谐波（2次、3次等等），实际或折叠
- ▶ **必须使用低通滤波器滤除这些信号，然后才可输入正交调制器**
- ▶ **必须仔细规划频率，以免折叠产物过于接近需要进行上变频的目标信号**
- ▶ **在调制器之后使用一个带通滤波器滤除无用产物**



# 边带抑制不理想的原因

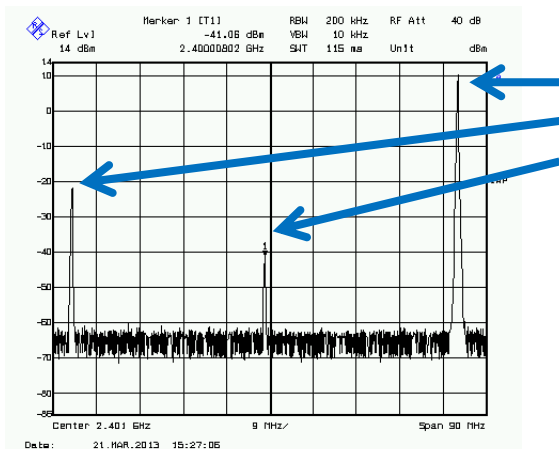


## ► AD9122功能框图

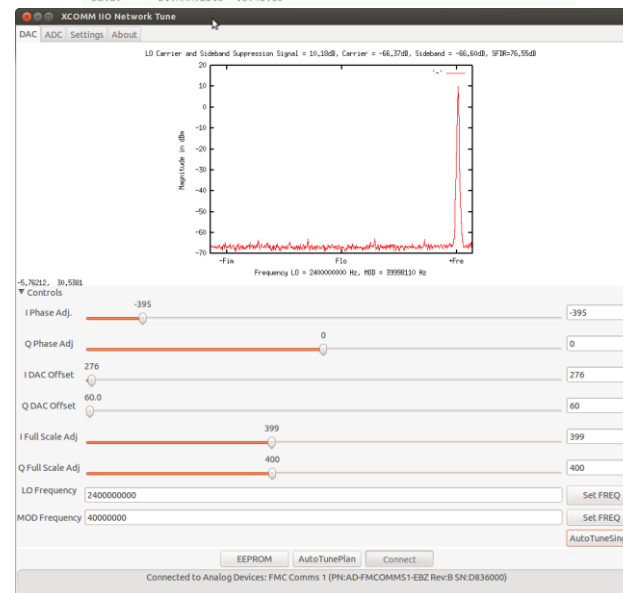
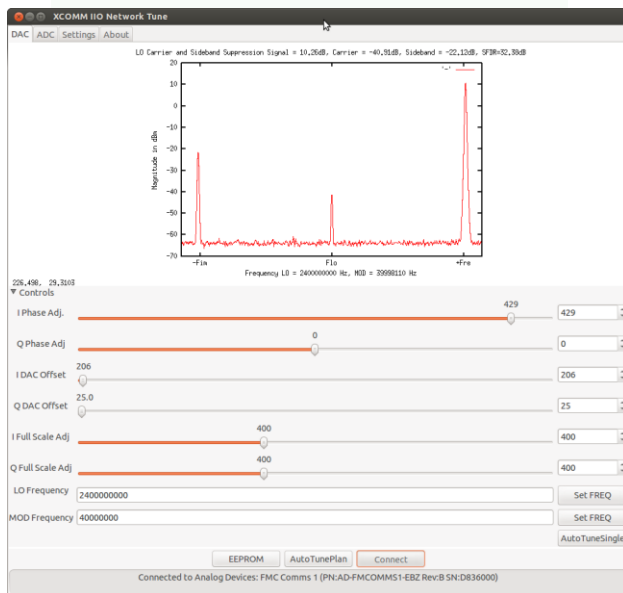
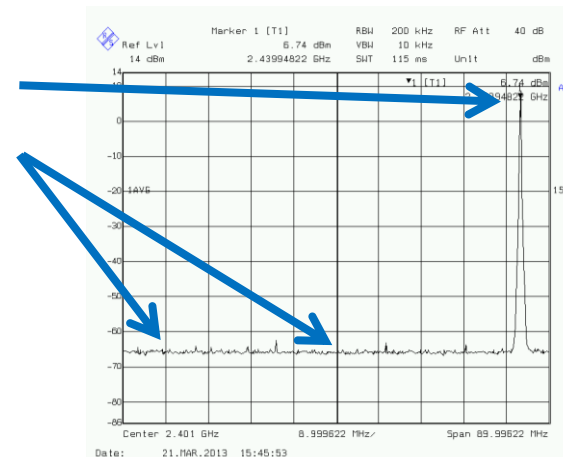


08281-002

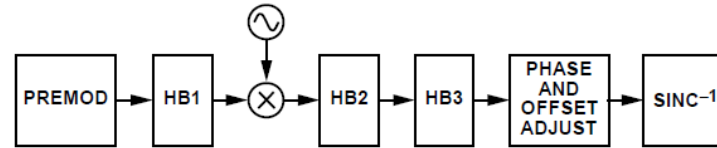
# 不理想问题的解决方法



所需信号  
无用镜像  
LO馈通



Interpolation Factor	f <sub>SIGNAL</sub> Modulation	f <sub>CENTER</sub> Shift	Filter Modes		
			HB1[1:0]	HB2[5:0]	HB3[5:0]
8	DC	0	00 (Mode 0)	000000	000000
8	DC <sup>1</sup>	f <sub>DATA</sub> /2	01 (Mode 1)	001001	000000
8 <sup>2</sup>	f <sub>DATA</sub>	f <sub>DATA</sub>	10 (Mode 2)	010010	001001
8	f <sub>DATA</sub> <sup>1</sup>	3f <sub>DATA</sub> /2	11 (Mode 3)	011011	001001
8	2f <sub>DATA</sub>	2f <sub>DATA</sub>	00 (Mode 0)	100100	010010
8	2f <sub>DATA</sub> <sup>1</sup>	5f <sub>DATA</sub> /2	01 (Mode 1)	101101	010010
8	3f <sub>DATA</sub>	3f <sub>DATA</sub>	10 (Mode 2)	110110	011011
8	3f <sub>DATA</sub> <sup>1</sup>	7f <sub>DATA</sub> /2	11 (Mode 3)	111111	011011
8	4f <sub>DATA</sub>	4f <sub>DATA</sub>	00 (Mode 0)	000000	100100
8	4f <sub>DATA</sub> <sup>1</sup>	9f <sub>DATA</sub> /2	01 (Mode 1)	001001	100100
8	5f <sub>DATA</sub>	5f <sub>DATA</sub>	10 (Mode 2)	010010	101101
8	5f <sub>DATA</sub> <sup>1</sup>	11f <sub>DATA</sub> /2	11 (Mode 3)	011011	101101
8	6f <sub>DATA</sub>	6f <sub>DATA</sub>	00 (Mode 0)	100100	110110
8	6f <sub>DATA</sub> <sup>1</sup>	13f <sub>DATA</sub> /2	01 (Mode 1)	101101	110110
8	7f <sub>DATA</sub>	7f <sub>DATA</sub>	10 (Mode 2)	110110	111111
8	7f <sub>DATA</sub> <sup>1</sup>	15f <sub>DATA</sub> /2	11 (Mode 3)	111111	111111
4	DC	0	00 (Mode 0)	000000	Bypass
4 <sup>3</sup>	DC <sup>1</sup>	f <sub>DATA</sub> /2	01 (Mode 1)	001001	Bypass
4	f <sub>DATA</sub>	f <sub>DATA</sub>	10 (Mode 2)	010010	Bypass
4	f <sub>DATA</sub> <sup>1</sup>	3f <sub>DATA</sub> /2	11 (Mode 3)	011011	Bypass
4	2f <sub>DATA</sub>	2f <sub>DATA</sub>	00 (Mode 0)	100100	Bypass
4	2f <sub>DATA</sub> <sup>1</sup>	5f <sub>DATA</sub> /2	01 (Mode 1)	101101	Bypass
4	3f <sub>DATA</sub>	3f <sub>DATA</sub>	10 (Mode 2)	110110	Bypass
4	3f <sub>DATA</sub> <sup>1</sup>	7f <sub>DATA</sub> /2	11 (Mode 3)	111111	Bypass
2	DC	0	00 (Mode 0)	Bypass	Bypass
2	DC <sup>1</sup>	f <sub>DATA</sub> /2	01 (Mode 1)	Bypass	Bypass
2	f <sub>DATA</sub>	f <sub>DATA</sub>	10 (Mode 2)	Bypass	Bypass
2	f <sub>DATA</sub> <sup>1</sup>	3f <sub>DATA</sub> /2	11 (Mode 3)	Bypass	Bypass



## 插值因子增加:

- f<sub>DATA</sub>减小
- 信号带宽下降
- DAC功耗增加、FPGA功耗降低

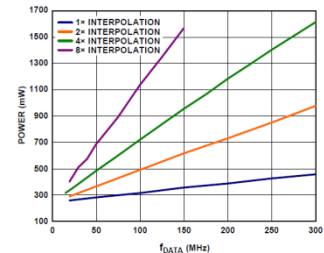


Figure 76. Total Power Dissipation vs. f<sub>DATA</sub> Without PLL, Fine NCO, or Inverse Sinc

Bus Width	Filter Modes			f <sub>BUS</sub> (Mbps)	f <sub>DATA</sub> (Mbps)	Real Signal Bandwidth (MHz)	f <sub>DAC</sub> (MHz)
	HB3	HB2	HB1				
Word (16 Bits)	0	0	0	1230	615	300	615
	0	0	1	1000	500	200	1000
	0	1	0	1230	615	150	1230
	0	1	1	615	307.5	120	1230
	1	1	0	615	307.5	75	1230
	1	1	1	307.5	153.75	60	1230

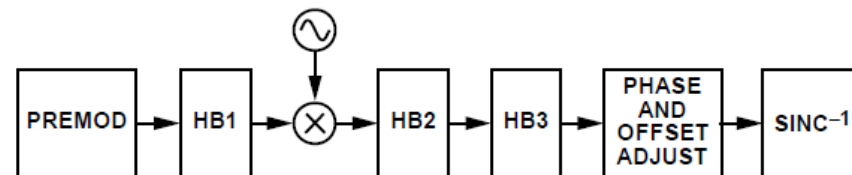
## DAC内的数字部分

### ▶ 插值因子增加：

- fDATA减小
- 信号带宽下降
- DAC功耗增加
- FPGA功耗降低

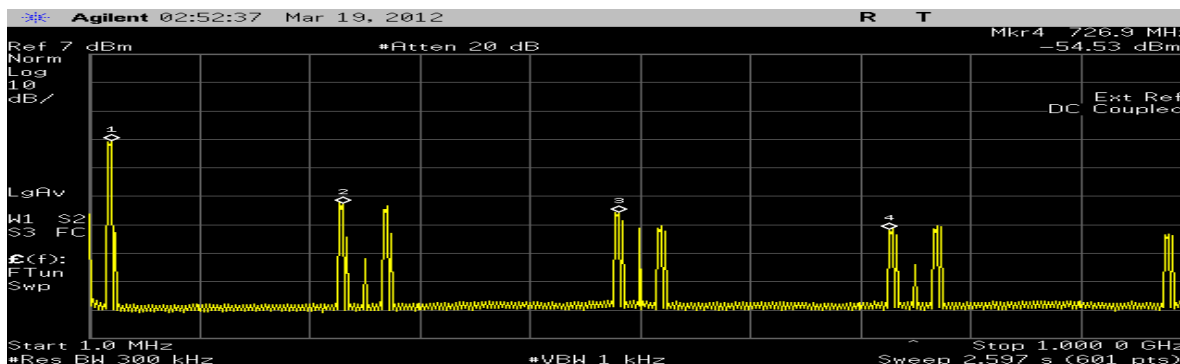
### ▶ FPGA处理和固定处理之间的系统级性能权衡

### ▶ FPGA上的系统时序约束降低

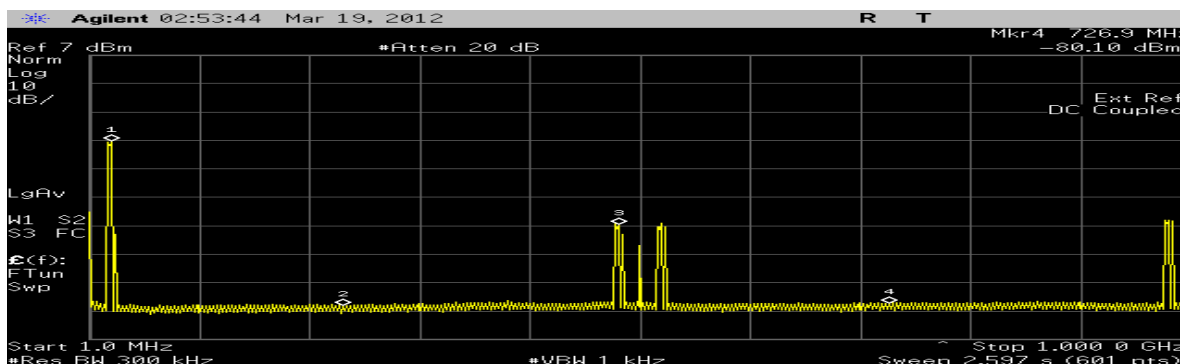


# AD9122在DAC输出中插值

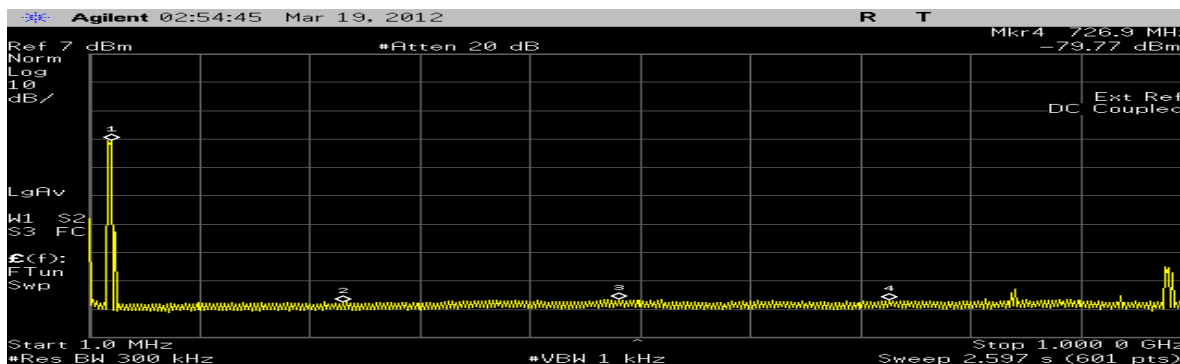
1X



2X

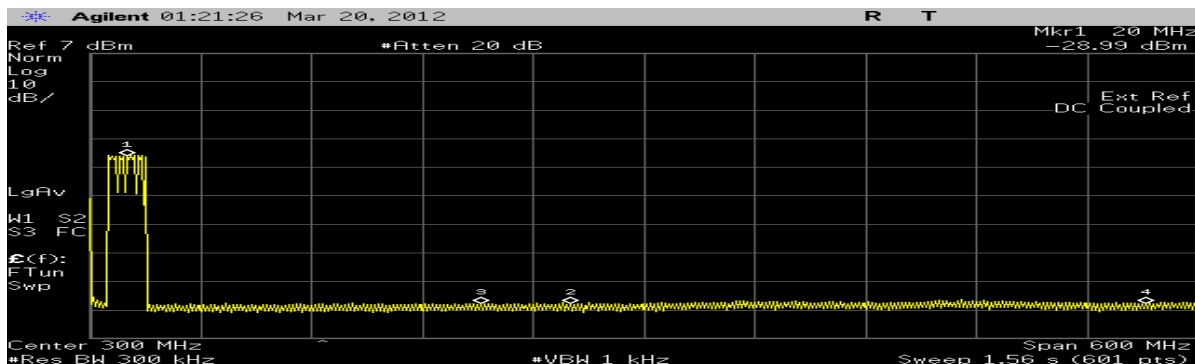


4X

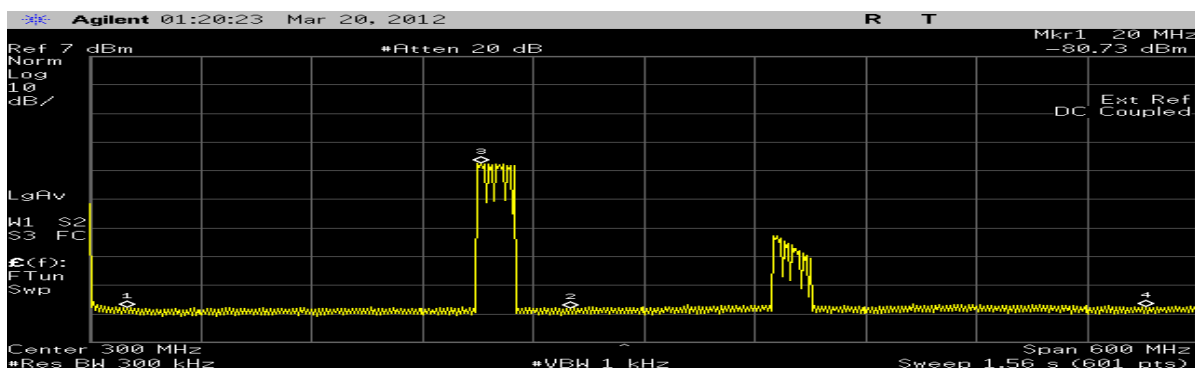


# AD9122数字上变频, DAC输出 (DC -> 600 MHz)

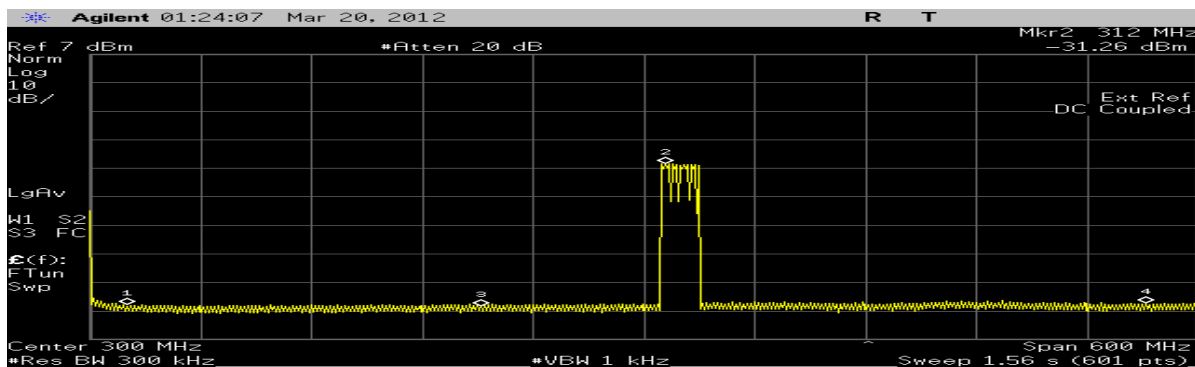
无上变频



$f(\text{DATA})/2$ 上变频

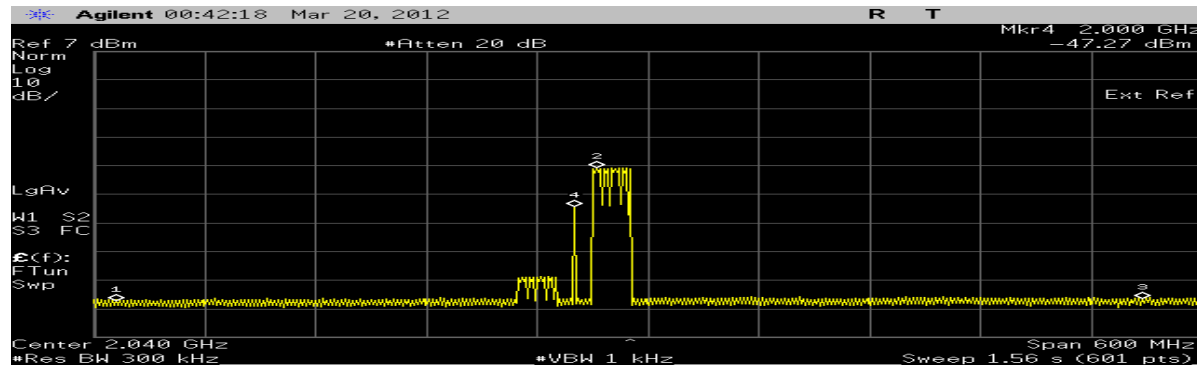


$8 \times f(\text{DATA})/7$ 上变频

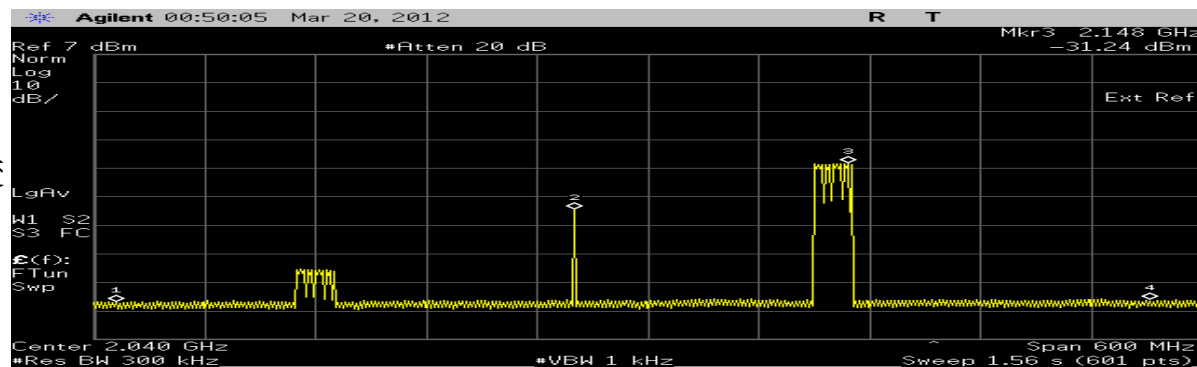


# AD9122在RF处数字上变频 (中间, 2.4 GHz)

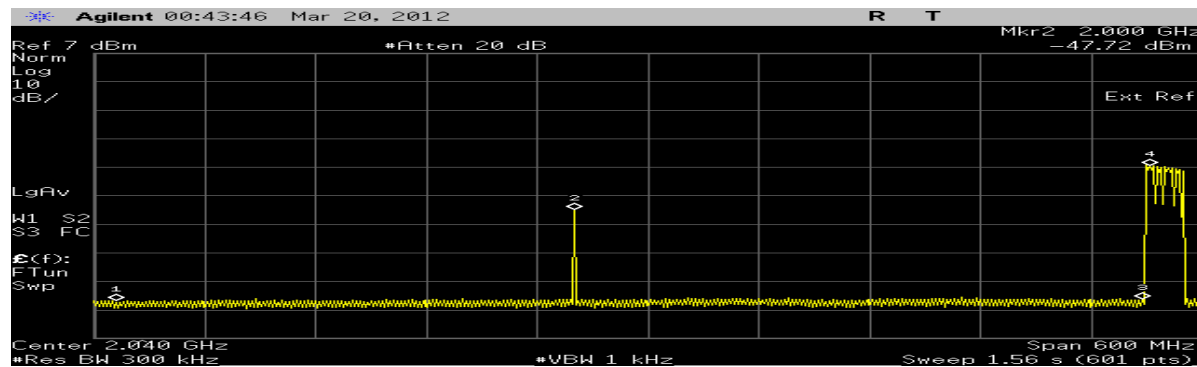
无上变频



$f(\text{DATA})/2$ 上变频

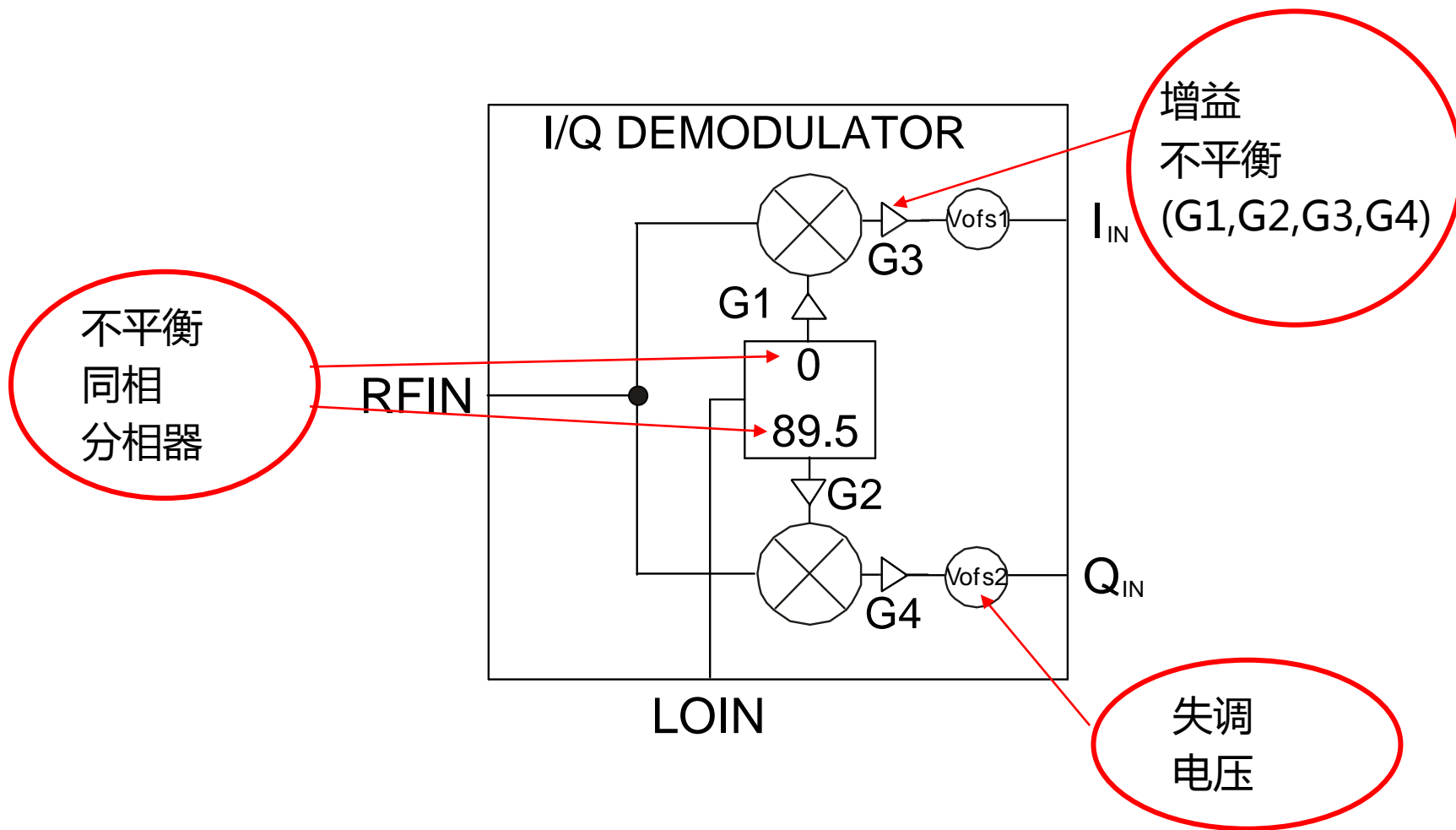


$8 \times f(\text{DATA})/7$ 上变频

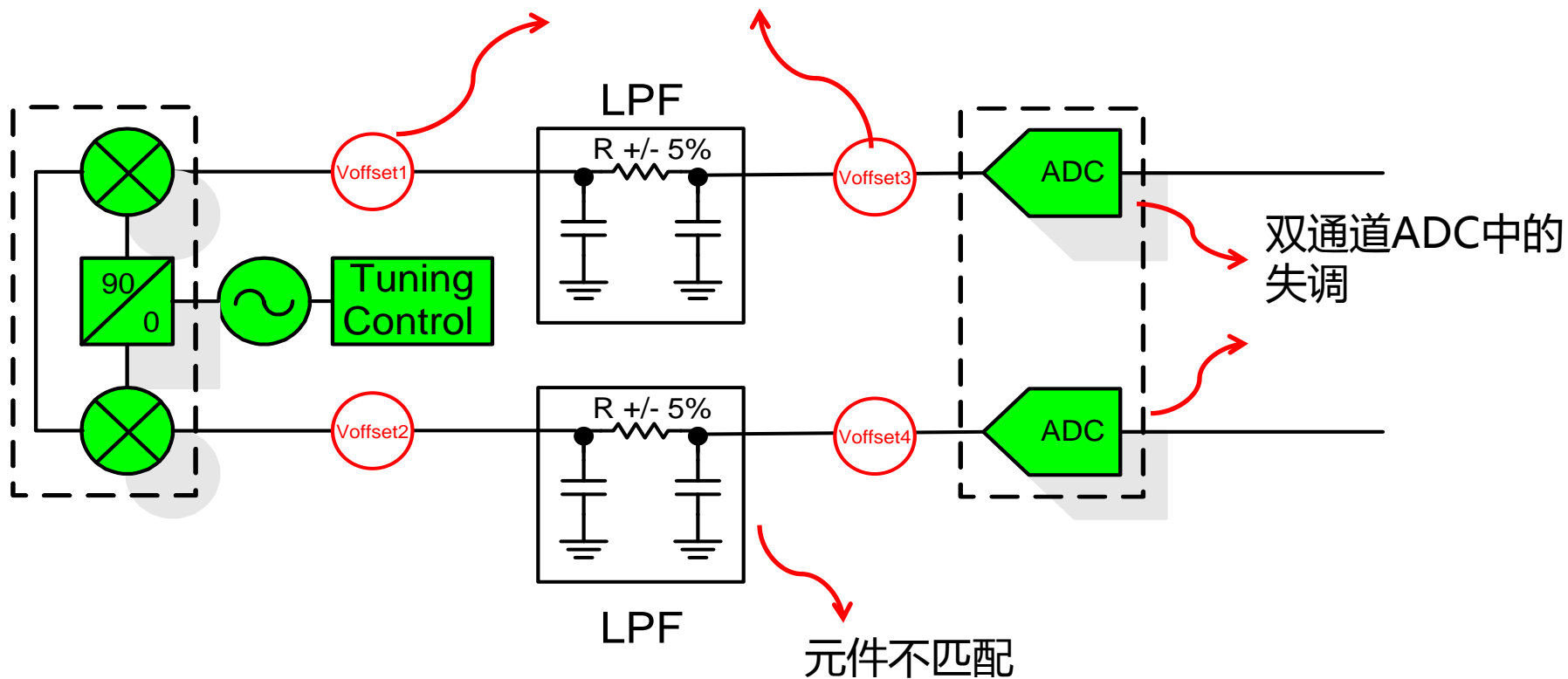




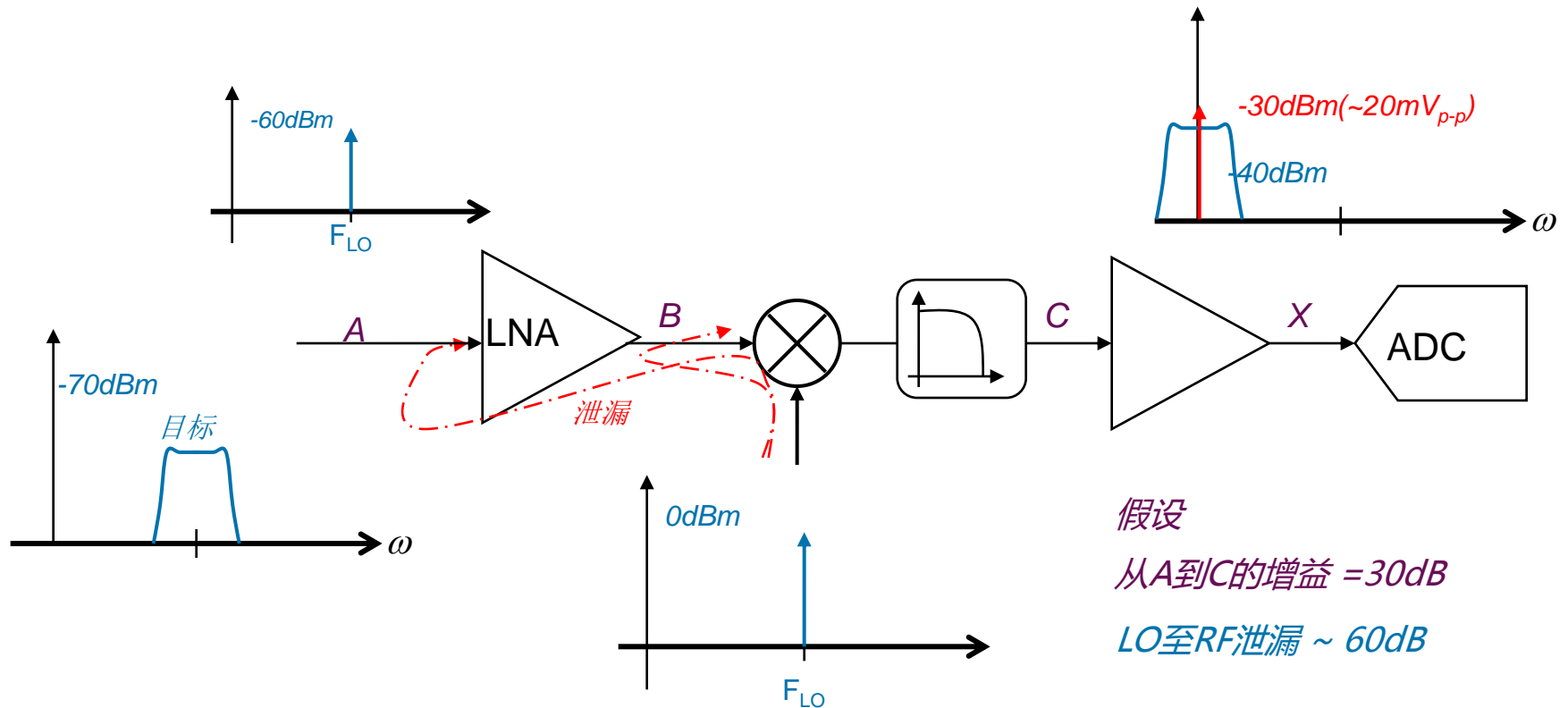
# 不完美的I/Q解调器



PCB和布局不匹  
配



# IQ解调器重要性能规格—LO至RF泄漏



- ▶ 如果某些LO泄漏到RF输入，它会在混频器中与自身混频（相乘），在恢复的基带数据流上产生不良直流失调

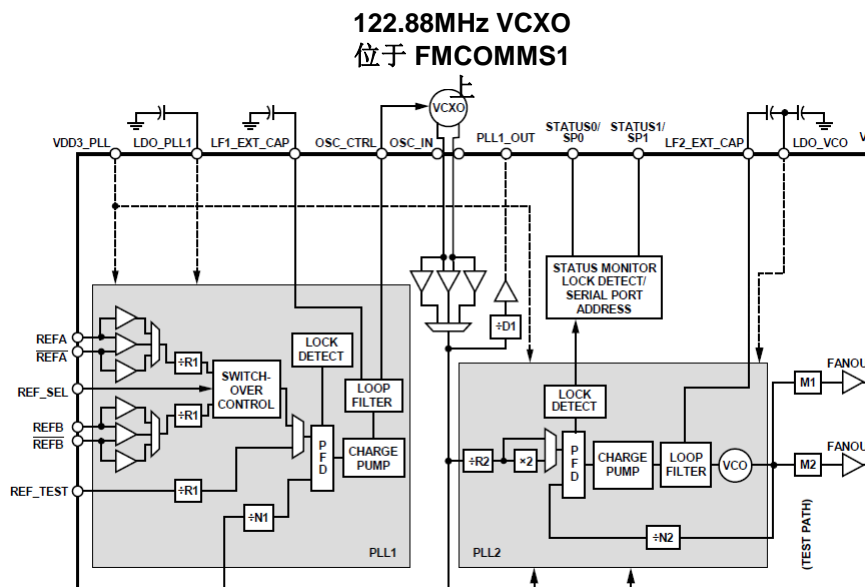
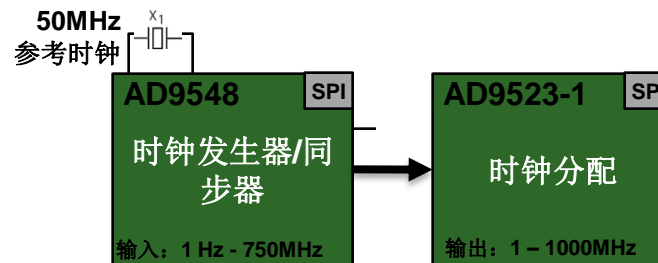
# 直流失调和正交误差校正

- ▶ **直流失调和正交误差校正以数字方式实施于接收链端**
  - 最有效方式，可对信号路径中的所有潜在失配或误差进行补偿
- ▶ **直流校正**
  - 使用无直流编码，可用陷波滤波器
- ▶ **正交误差校正**
  - 增益校正
    - 计算 $I^2 - Q^2$ ，以确定I和Q之间的功率差。
    - 功率差应该被驱动至零。
  - 相位校正
    - I和Q之间交叉相乘。
    - 可视作混频器。直流项与I和Q之间的相位差成比例。
    - 根据定义，如果这两者完全正交，那么这项应该为零。

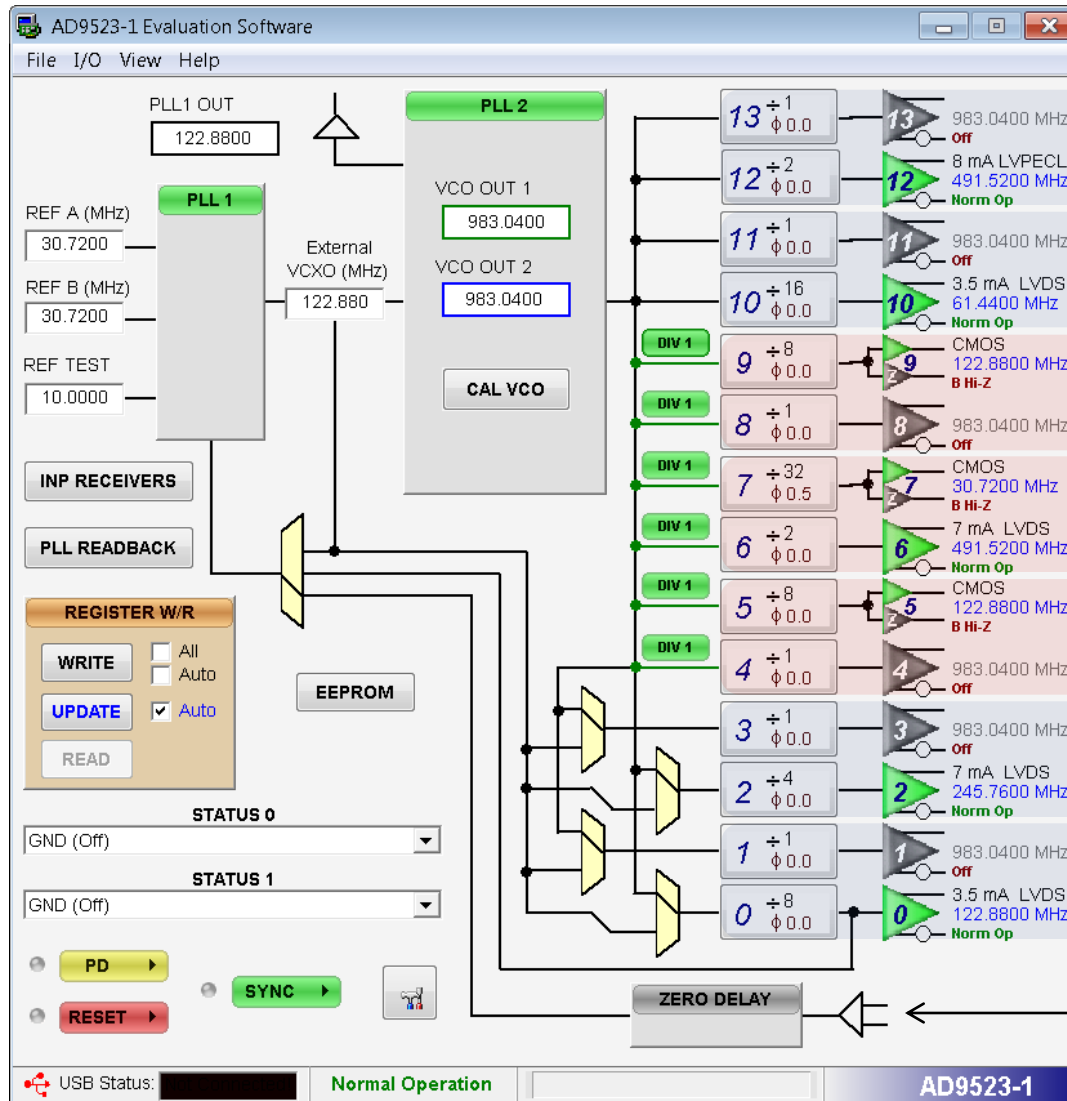
- ▶ **直接变频或零中频接收机具有自己的优势和挑战**
- ▶ **增益、相位和失调误差就是其中一些挑战，这些挑战可通过正交误差校正算法加以解决**
  - 增益、相位和失调误差会导致接收机EVM和灵敏度降低
  - 正交误差校正可以提高EVM和灵敏度
- ▶ **与中频采样架构相比，直接变频在功耗、成本和性能方面存在优势。**
- ▶ **正交误差校正使得能够实现基站/SDR平台直接变频解决方案**
- ▶ **ADI公司第一代QEC已经集成到以下产品中**
  - AD9262 – 双通道16位连续时间 $\Sigma$ - $\Delta$ 型ADC
  - AD9269 – 双通道16位流水线ADC

# FMCOMMS1的时钟

- ▶ **AD9523-1：多路输出、时钟分配功能，具有低抖动性能**
- ▶ **配有片内PLL、VCO和两个VCO分频器**
- ▶ **片内VCO**
- ▶ **两个级联的PLL级：**
  - 第一级PLL1包含一个整数分频PLL，使用15 MHz至250 MHz的外部压控晶振(VCXO)。
  - 第二级PLL2是一个频率乘法PLL，用于将第一级输出频率转换到2.940 GHz至3.125 GHz范围。



# FMComms1时钟



- N/C
- DAC\_CLK
- N/C
- DAC\_REFCLK
- LOGEN\_RX\_REFIN
- N/C
- ADC\_SYNC
- DAC\_DCO
- LOGEN\_TX\_REFIN
- N/C
- N/C
- ADC\_CLK
- N/C

OUT1或OUT2  
仅OUT1

假设DAC未执行插值

# PLL2配置

## ▶ 目前配置：

- $122.88 \text{ MHz} / 1 * 24 = 2,949.12 \text{ MHz}$
- $2,949.12 \text{ MHz} / 3 = 983.04 \text{ MHz}$
- $983.04 \text{ MHz} / 4 = 245.76 \text{ MSPS (ADC)}$

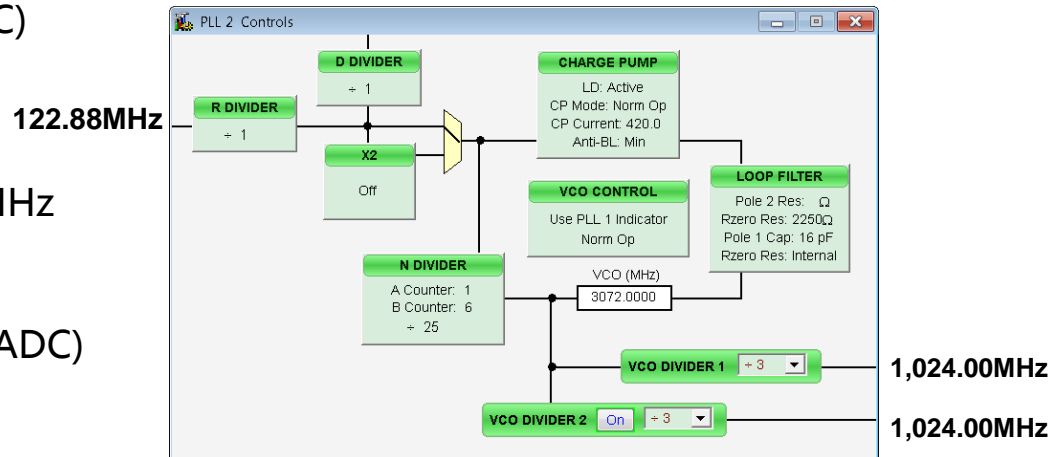
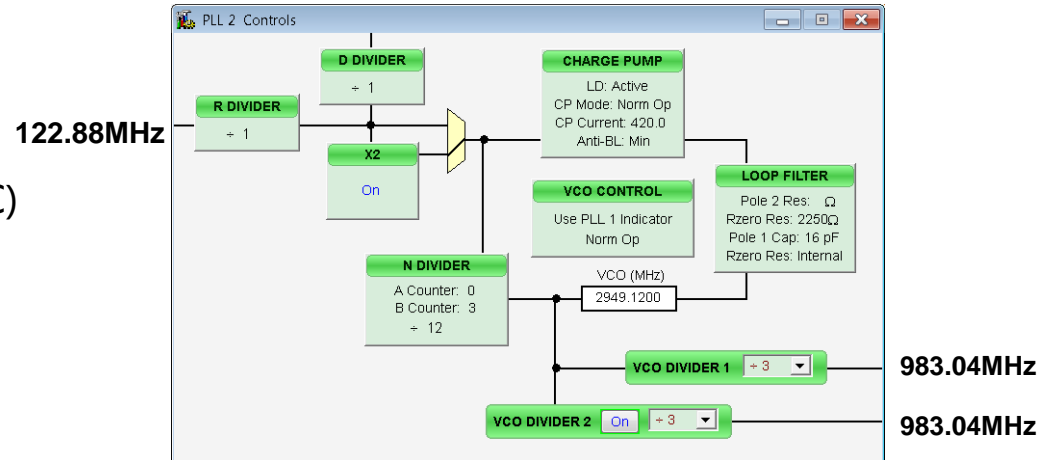
## ▶ 可能配置：

- $122.88 \text{ MHz} / 1 * 25 = 3,072.00 \text{ MHz}$
- $3072.00 \text{ MHz} / 3 = 1024.00 \text{ MHz}$
- $1,024.00 \text{ MHz} / 5 = 204.8 \text{ MSPS (ADC)}$
- $1,024.00 \text{ MHz} / 8 = 128.0 \text{ MSPS (ADC)}$

## ▶ 可能配置

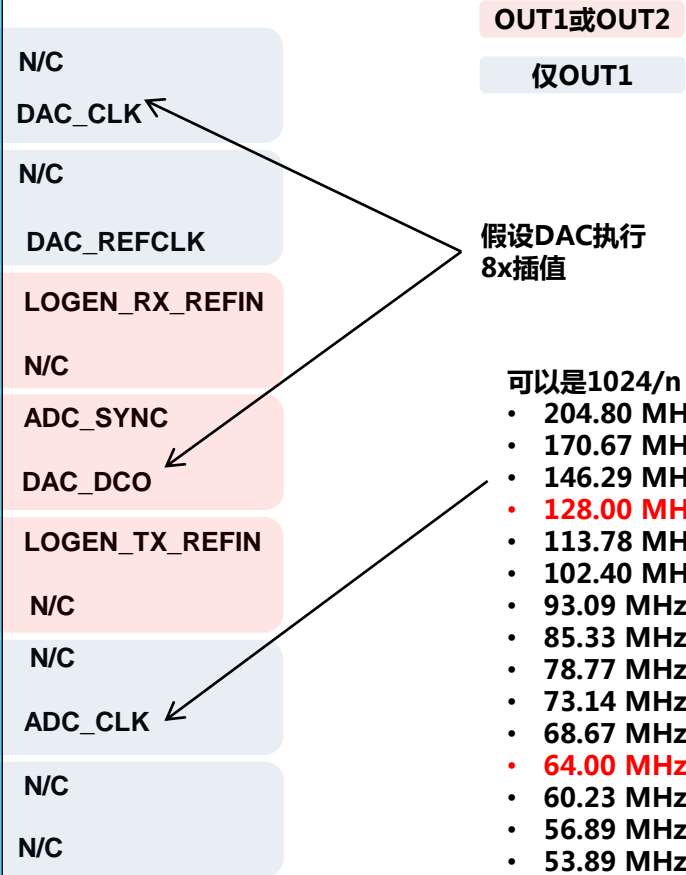
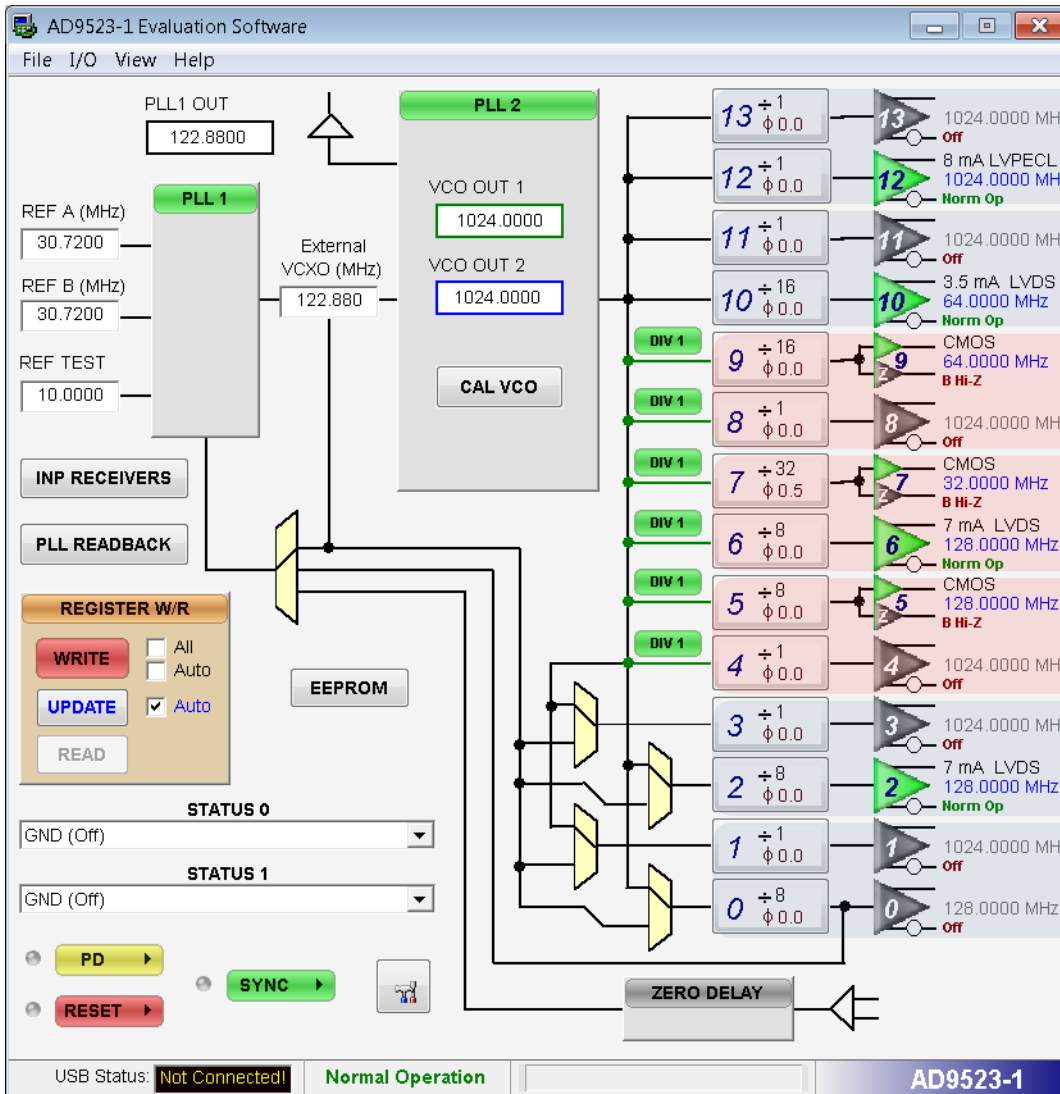
( 最大ADC速率 )：

- $122.88 \text{ MHz} / 10 * 244 = 2998.272 \text{ MHz}$
- $2998.272 \text{ MHz} / 3 = 999.4240 \text{ MHz}$
- $999.4240 \text{ MHz} / 4 = 249.856 \text{ MSPS (ADC)}$





# 可能的FMComms1时钟



宽松零延迟, 不再能够同时同步多张卡

- 可以是1024/n :
- 204.80 MHz
  - 170.67 MHz
  - 146.29 MHz
  - **128.00 MHz**
  - 113.78 MHz
  - 102.40 MHz
  - 93.09 MHz
  - 85.33 MHz
  - 78.77 MHz
  - 73.14 MHz
  - 68.67 MHz
  - **64.00 MHz**
  - 60.23 MHz
  - 56.89 MHz
  - 53.89 MHz
  - 51.20 MHz
  - 48.76 MHz
  - 46.55 MHz
  - 44.52 MHz
  - 42.67 MHz
  - 40.96 MHz

## ▶ FMC提供12 V和3.3 V

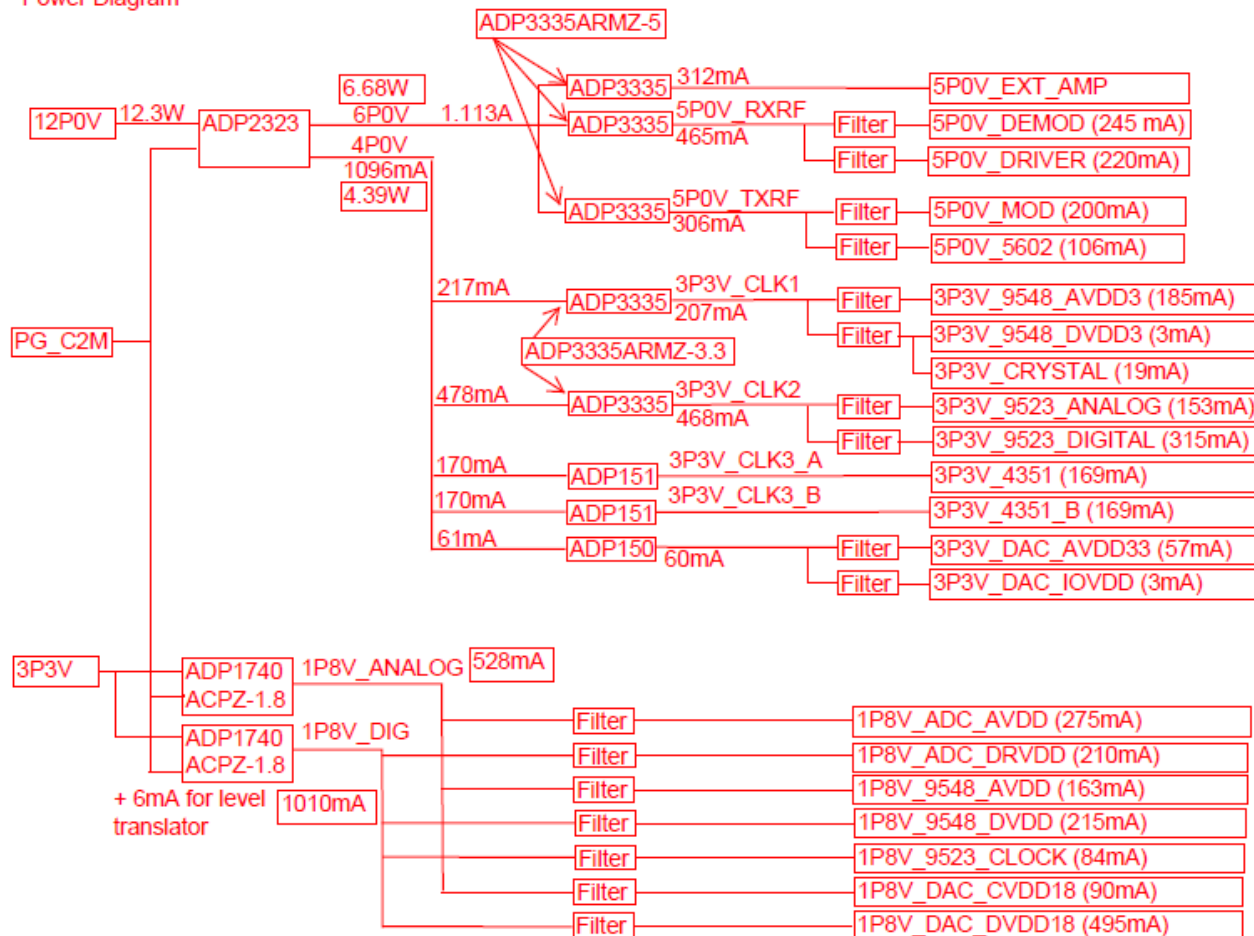
## ▶ 开关电源

- ADP2323

## ▶ LDO

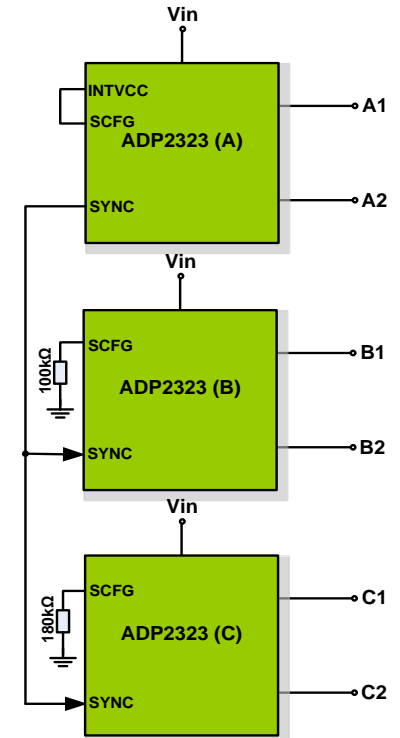
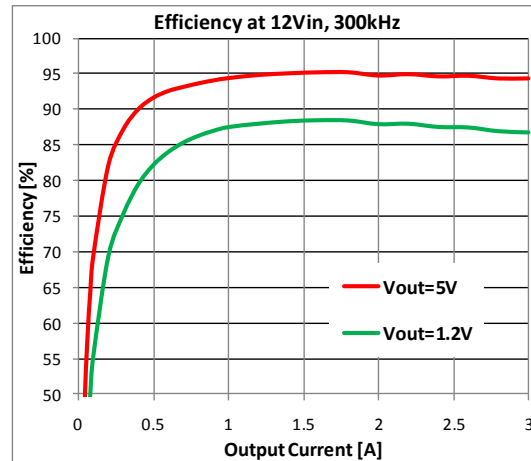
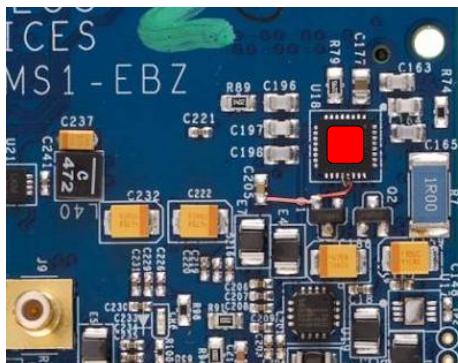
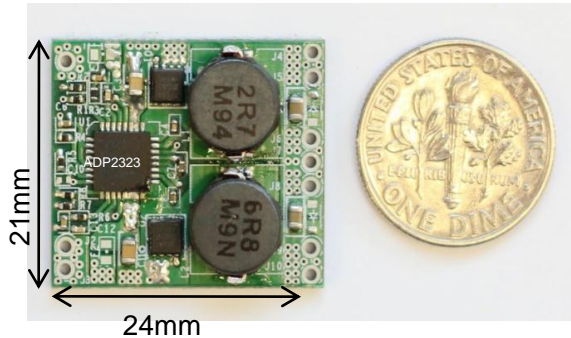
- ADP3335
- ADP3333
- ADP151
- ADP150
- ADP1740

Power Diagram

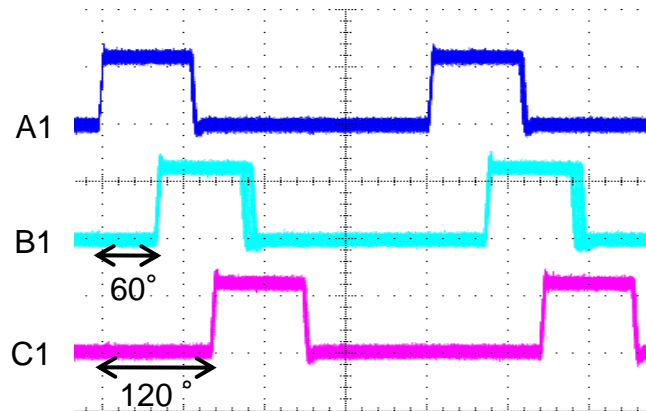
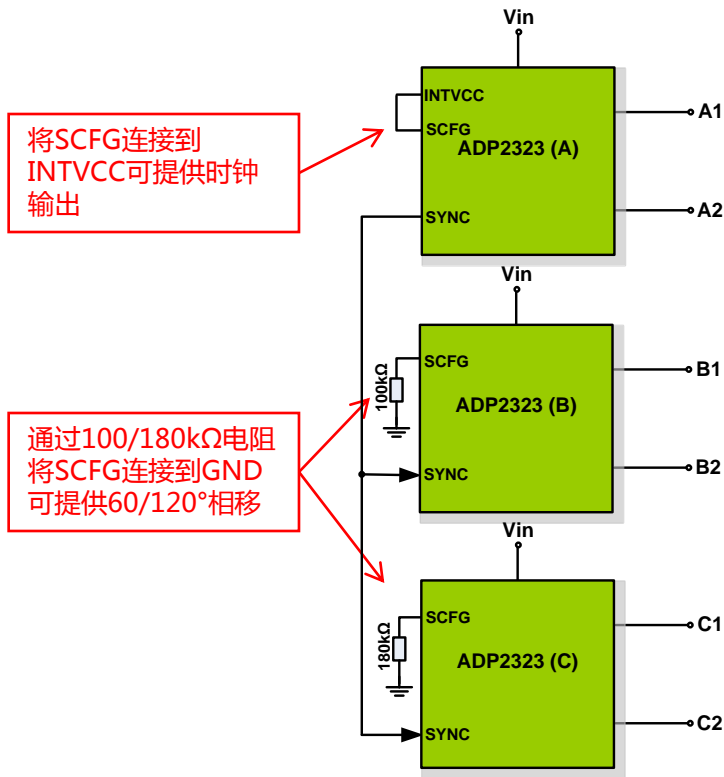


# ADP2323 : 具有超高转换效率的紧凑型解决方案

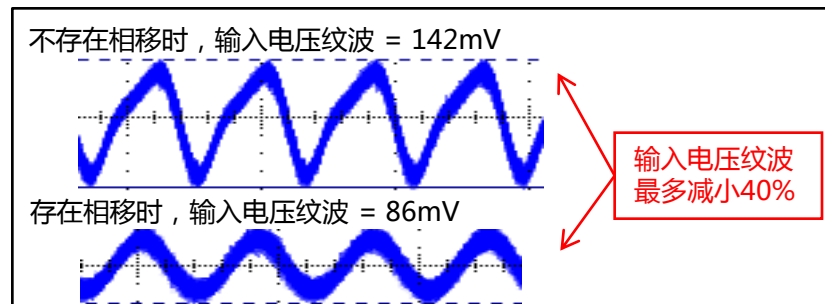
- ▶ 双通道输出紧凑型解决方案 : 24 mm x 21 mm
- ▶ 借助外部低端MOSFET实现均匀散热
- ▶ 3 A负载且采用12 V输入和5 V输出时, 具有约95%的超高、平坦的效率曲线(ADP2323)
- ▶ 最高可以配置为6轨均匀相移拓扑输出, 能够减小输入电压/电流纹波并将输入电容降至最小
- ▶ 可选的脉冲频率调制(PFM)可以在轻载条件下降低开关损耗



# ADP2323 : 多轨应用可配置性



存在/不存在相移时的输入电压纹波比较



- ▶ 通过相移减少输入电压/电流纹波和输入电容大小在多轨应用中避免拍频干扰
- ▶ 两个/三个ADP2323可用于四/六轨输出配置

# 新型ADI低噪声高PSRR LDO小结

## ▶ ADP7102 ADP7104 (MP)

- 300 mA/500 mA , 20 Vin
- 15  $\mu$ V rms宽带噪声
- 频谱噪声eN : 35 nV/ $\sqrt{\text{Hz}}$  (100 kHz)
- PSRR : 80 dB (10 kHz)
- 电源良好输出

## ▶ ADM7150 (第1代Si) RF LDO (ES)

- 频谱噪声 : 1.5 nV/ $\sqrt{\text{Hz}}$  (100 kHz)
- 800 mA , 4.5至16 Vin
- Vout范围 : 1.5 V至5.5 V
- PSRR : 100 dB ( DC至100 kHz )
- PSRR : 65 dB (1 MHz)
- 40 dB (10 MHz)

## ▶ ADM7160 (ES)

- 目标功率适用于14位以上的ADC
- 200 mA , 1.8、2.5、3.3 Vout
- 9  $\mu$ V rms宽带噪声
- 低温度系数

## ▶ ADP7182负V<sub>OUT</sub> LDO (ES)

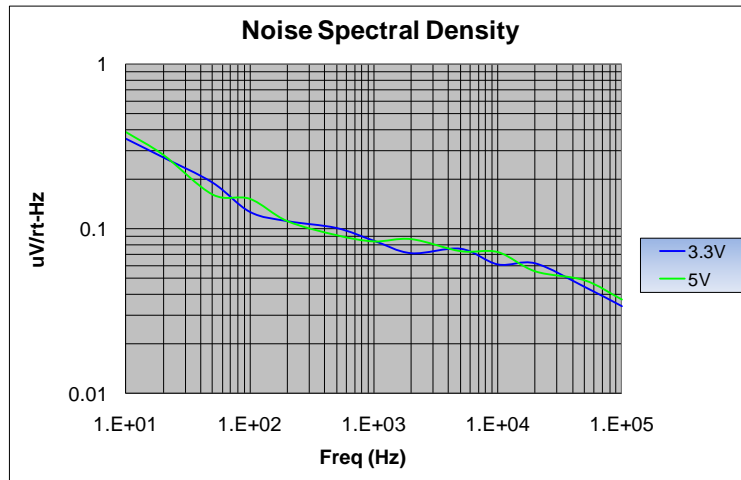
- 200 mA , -30 Vin
- 可调 : -1.22 V至-VIN
- PSRR : 60 dB ( 10 kHz , VO = -3.3 V )

## ▶ ADP150 ADP151 (MP)

- 150 mA/200 mA , 5.5 Vin
- 9  $\mu$ V rms宽带噪声
- 频谱噪声eN : 20 nV/ $\sqrt{\text{Hz}}$  (100 kHz)
- PSRR : 70 dB (10 kHz)

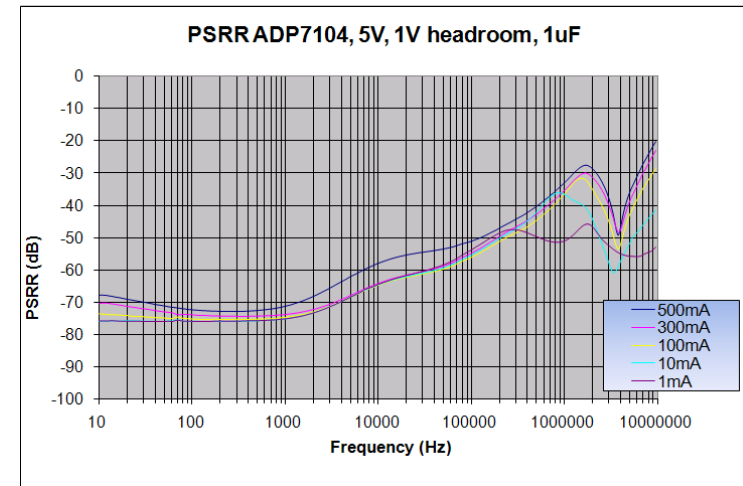
# ADP7102/ADP7104 – 低噪声性能

## ▶ ADP7102/ADP7104



- ADP7104的噪声不会随输出电压增加而升高
- 无需噪声旁路
- 对于所有输出，~15  $\mu\text{V rms}$

## ▶ ADP7102/ADP7104

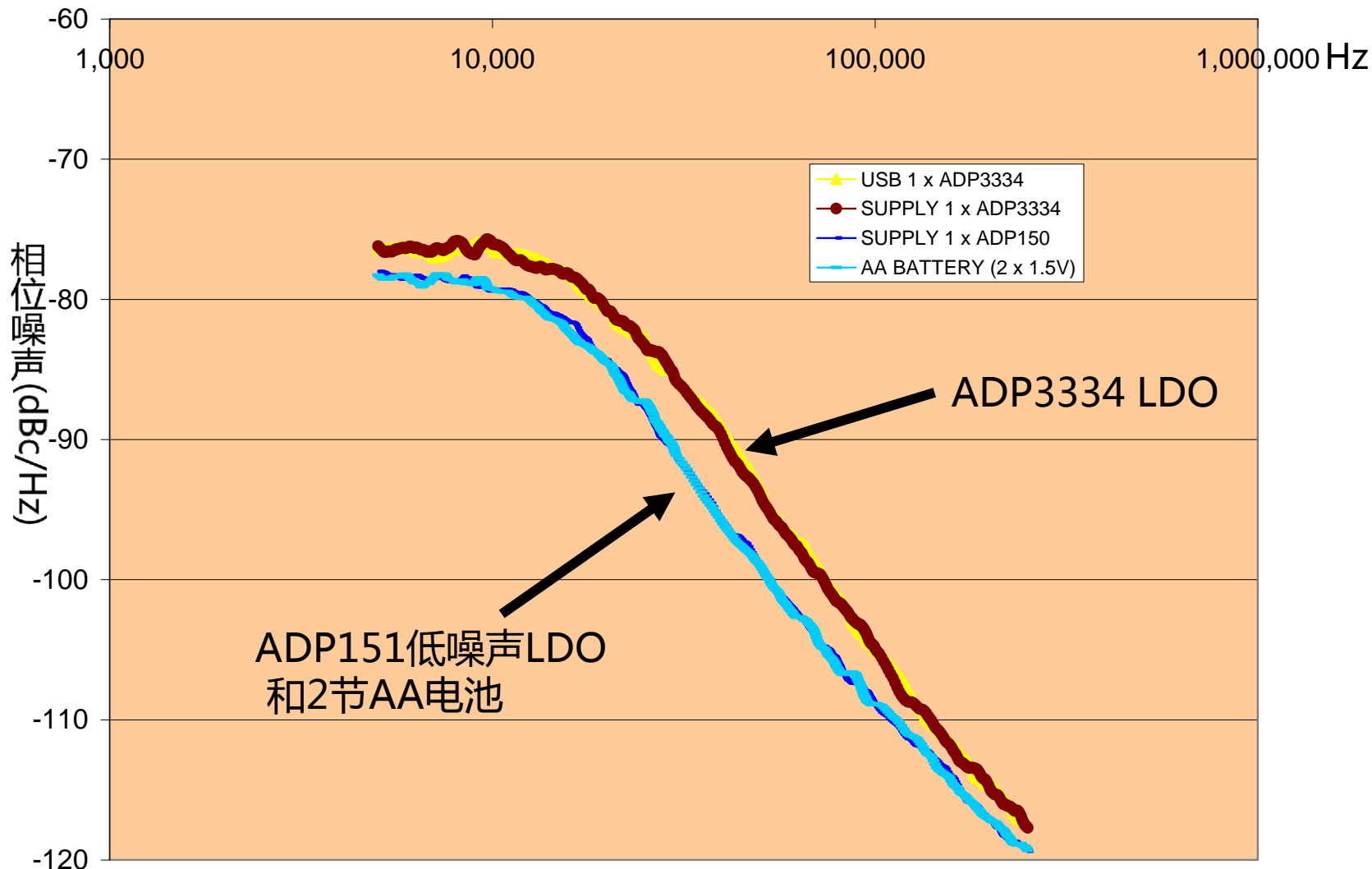


- 无需旁路电容
- 采用1  $\mu\text{F}$ 输出电容便可稳定工作
- PSRR = 70 dB (1 kHz, 500 mA)
- PSRR = 58 dB (10 kHz, 500 mA)
- PSRR = 50 dB (100 kHz, 500 mA)
- PSRR = 35 dB (1 MHz, 500 mA)

## 给ADP151集成式PLL/VCO芯片供电时ADP151的超低噪声优势

- ▶ 下一张幻灯片比较采用**ADP151**、**AA**电池和先一代**ADP3334 LDO**供电时相位噪声与频率的关系
  - ADP151的输出噪声是ADP3334 LDO的1/3
- ▶ **RMS**抖动性能也得到提升
  - 与ADP3334相比，通过使用ADP151，抖动从1.23 ps降至0.87 ps
- ▶ **10 Hz至100 kHz**范围内，**ADP151**输出噪声为**10  $\mu$ V rms**
- ▶ **ADP151**可降低**PLL**输出相位噪声（相当于减少时序抖动）

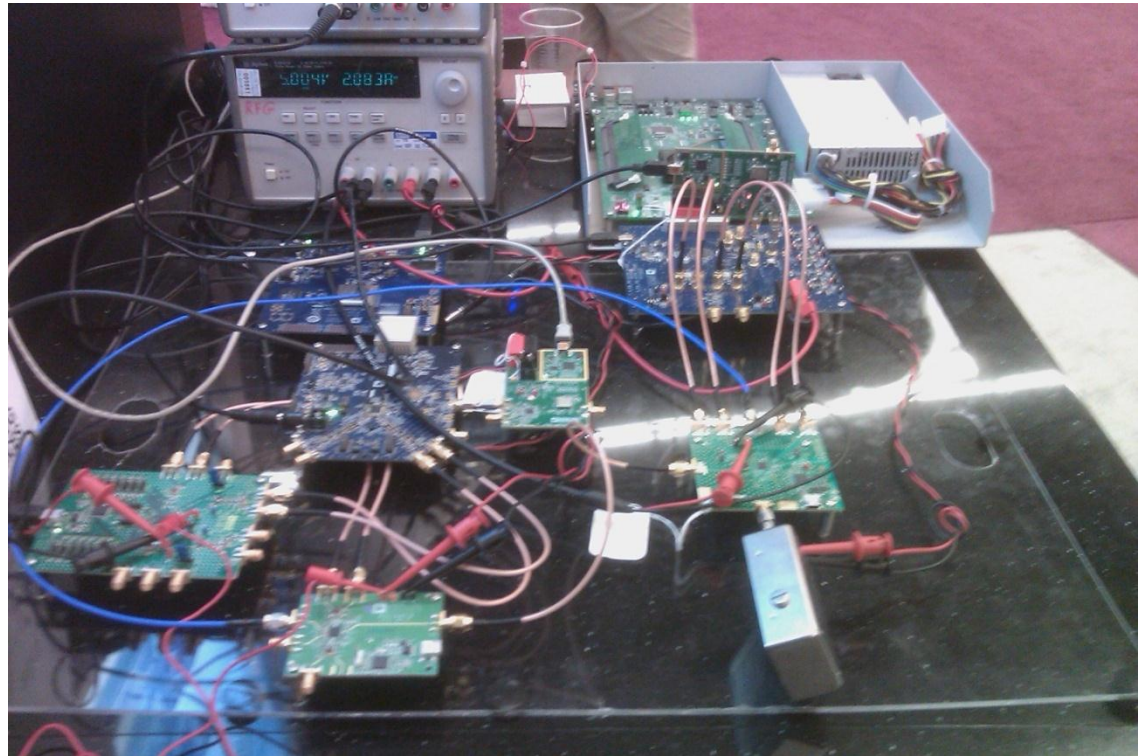
# PLL相位噪声(4.4 GHz) 与频率偏移的关系





## 传统RF评估平台 ( 从天线到数据比特位 )

- ▶ 分立式单通道产品评估板，通过导线连接
- ▶ 6个电源
- ▶ 4个不同的USB
- ▶ 不易复制，或者用作SDR原型制作解决方案的一部分
- ▶ 需要小尺寸、开发设计



# 目前的软件无线电平台

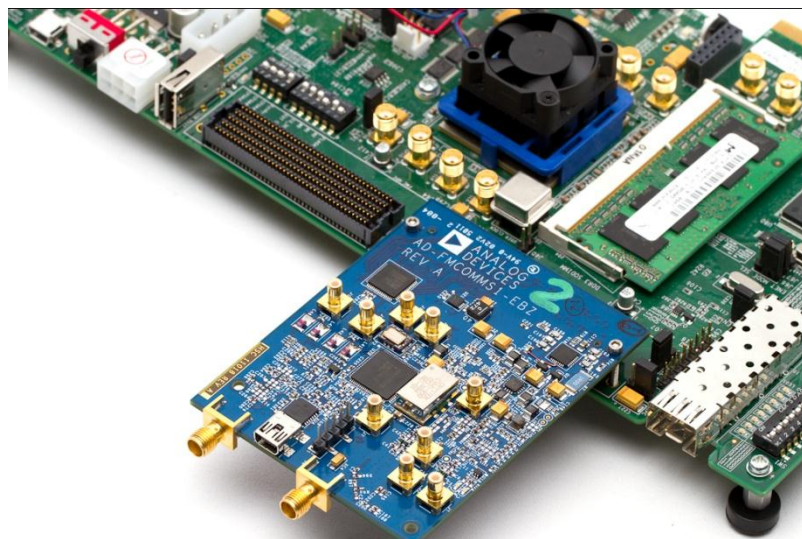
## ▶ FMComms1 FMC电路板



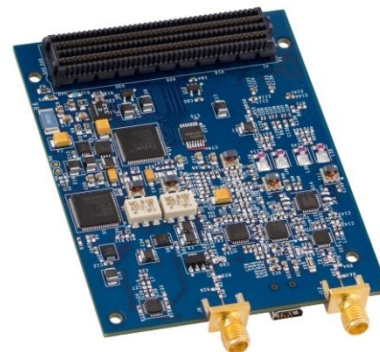
AD-FMCOMMS1-EBZ on Zed board running Linux with HDMI display

# FMCOMMS1连接

## Xilinx开发系统ML605 (Virtex-6)

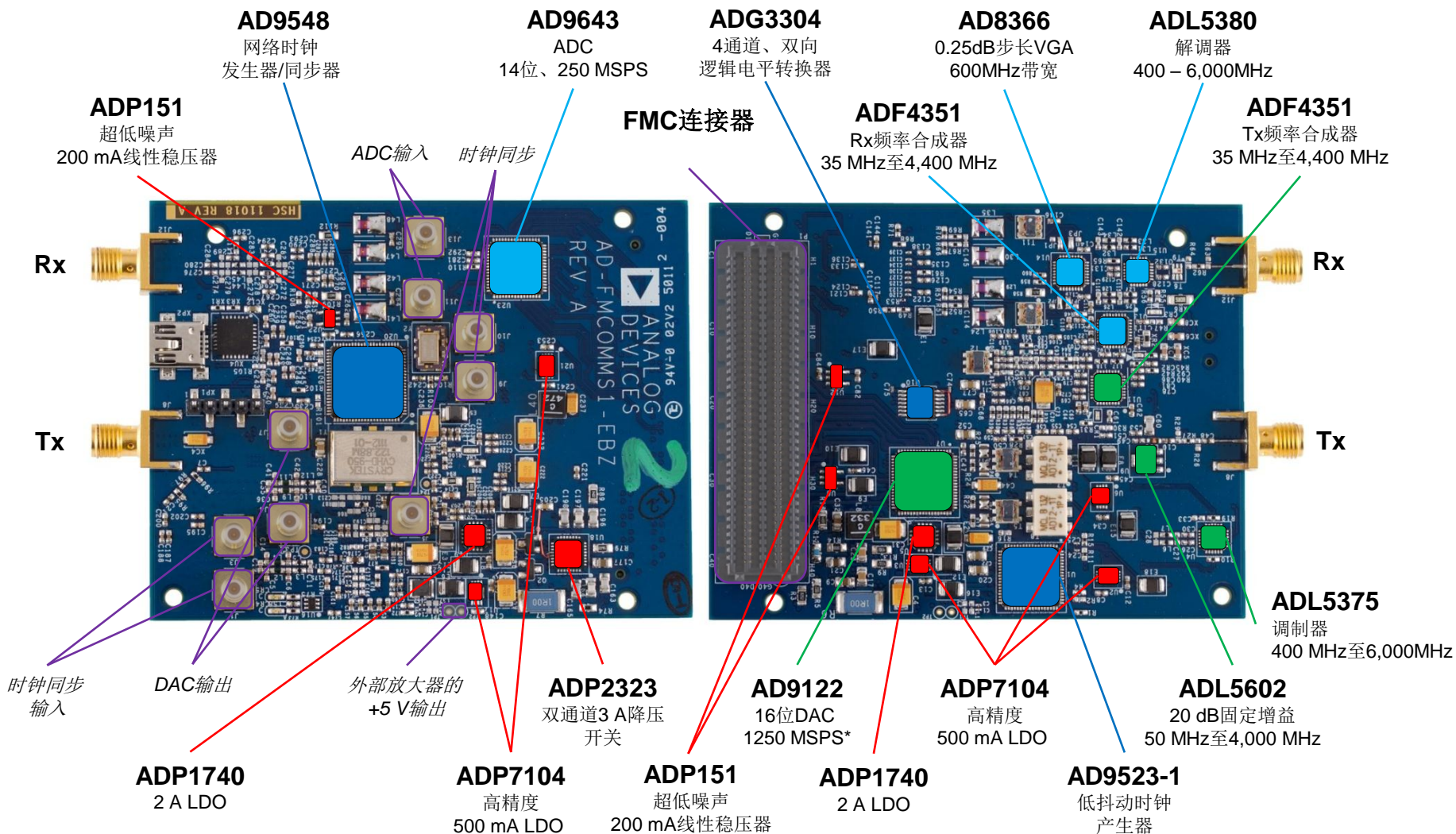


▶ 顶层



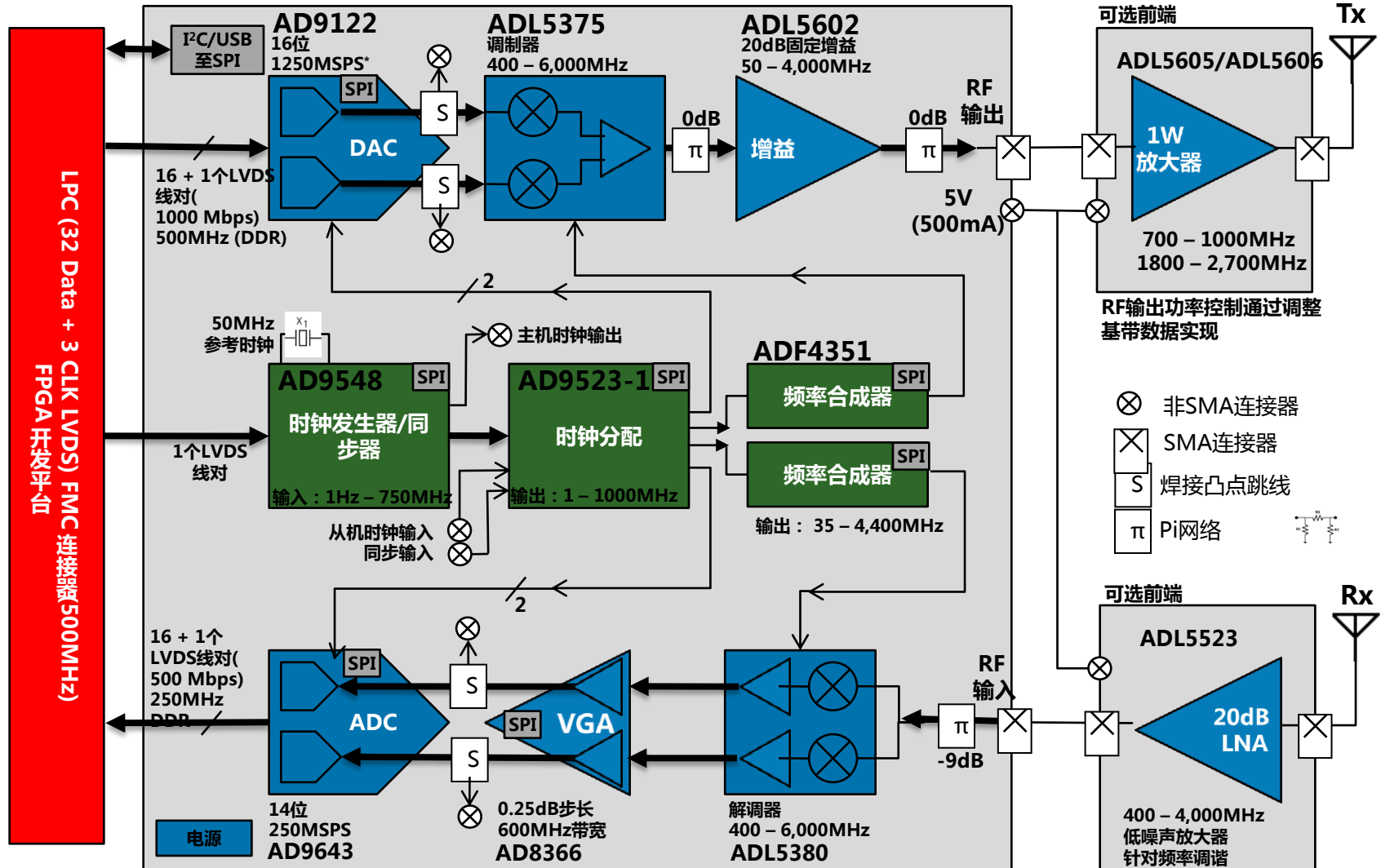
▶ 底层

# FMC-Comms1电路板 – Tx、Rx、时钟、电源



• 由于AD9523-1的最大速度，AD9122 DAC采用1000MSPS运行

# FMCOMMS1-EBZ功能框图



• 由于AD9523-1的最大速度，AD9122 DAC采用1000MSPS运行

## ▶ HDL :

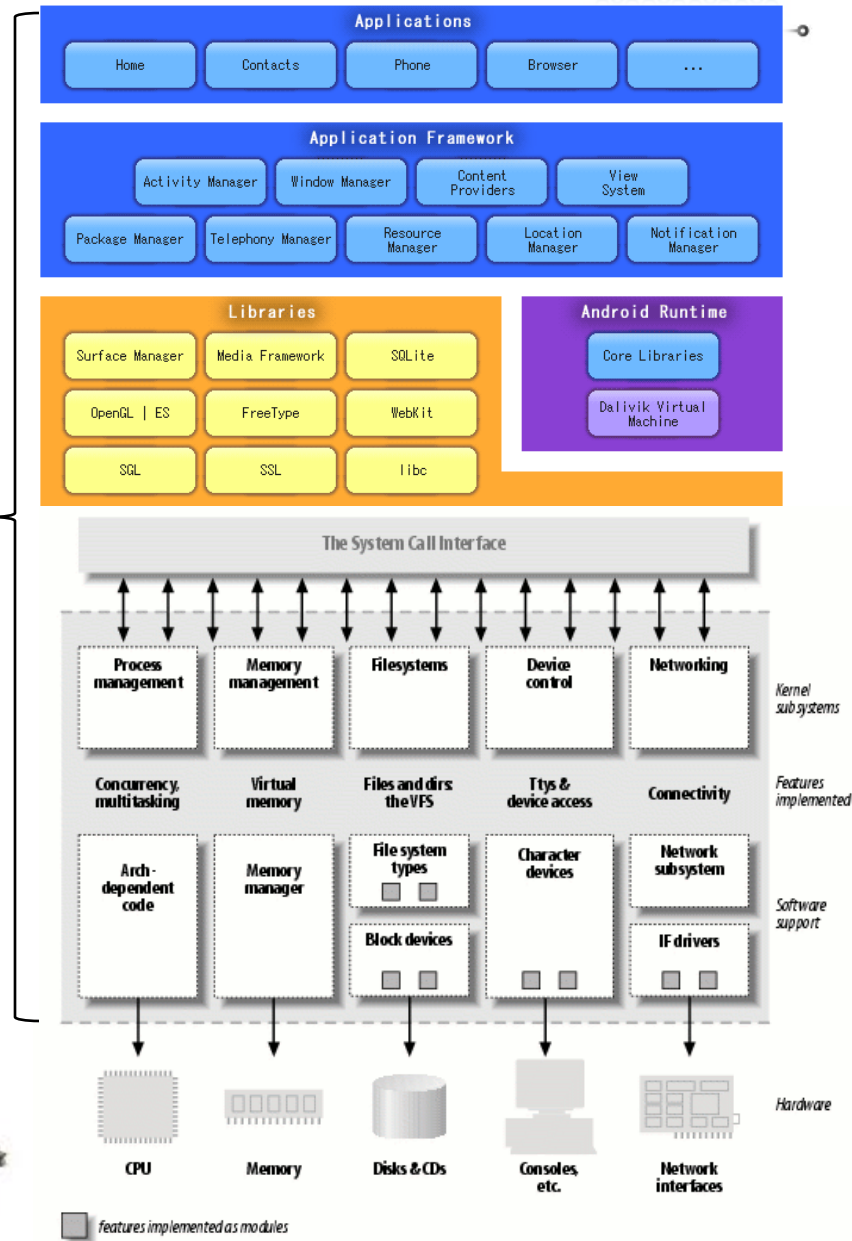
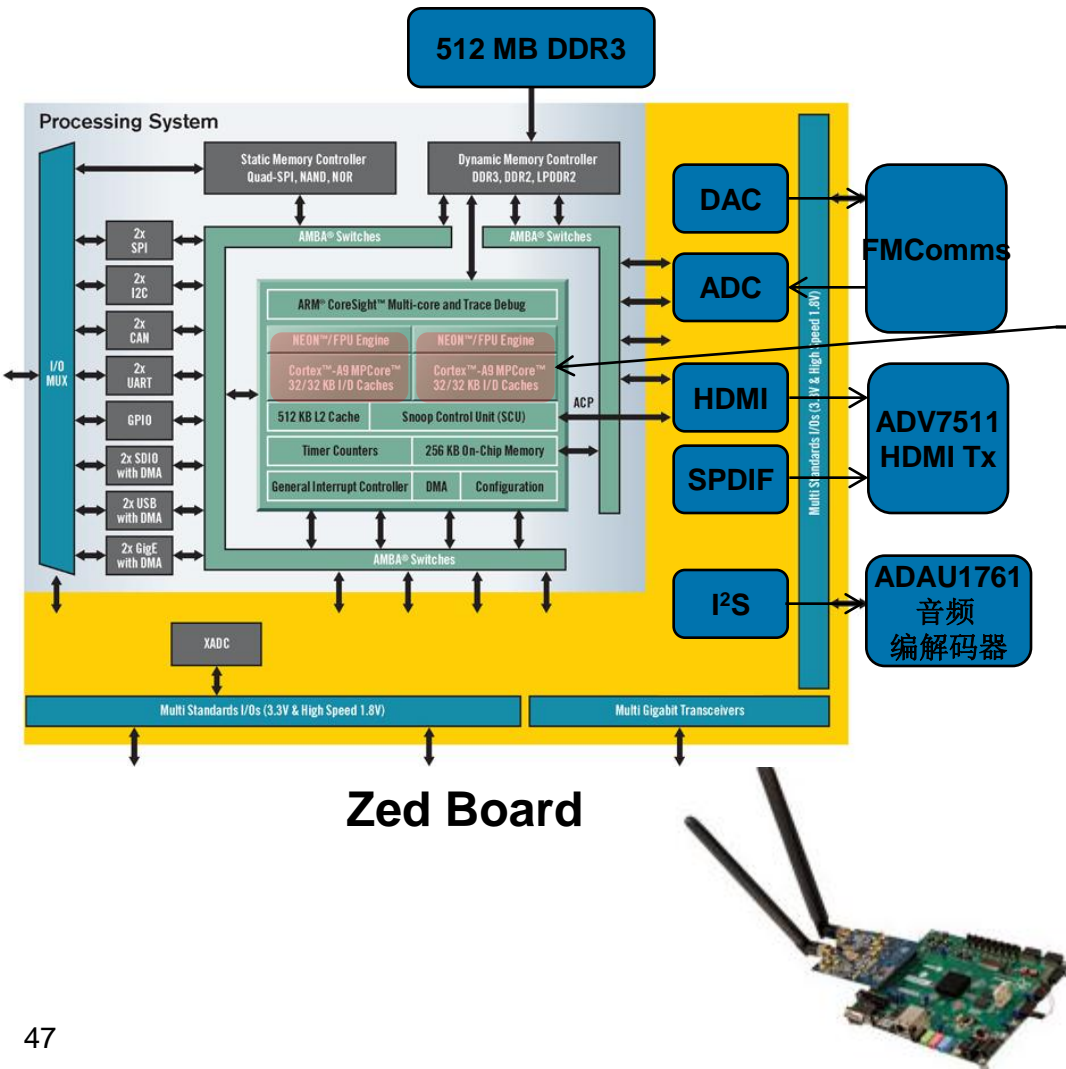
- ML605 (Microblaze)
- KC705 (Microblaze)
- VC707 (Microblaze)
- ZC702 (ARM)
- ZC706 (ARM)
- Zed Board (ARM)

## ▶ 软件 :

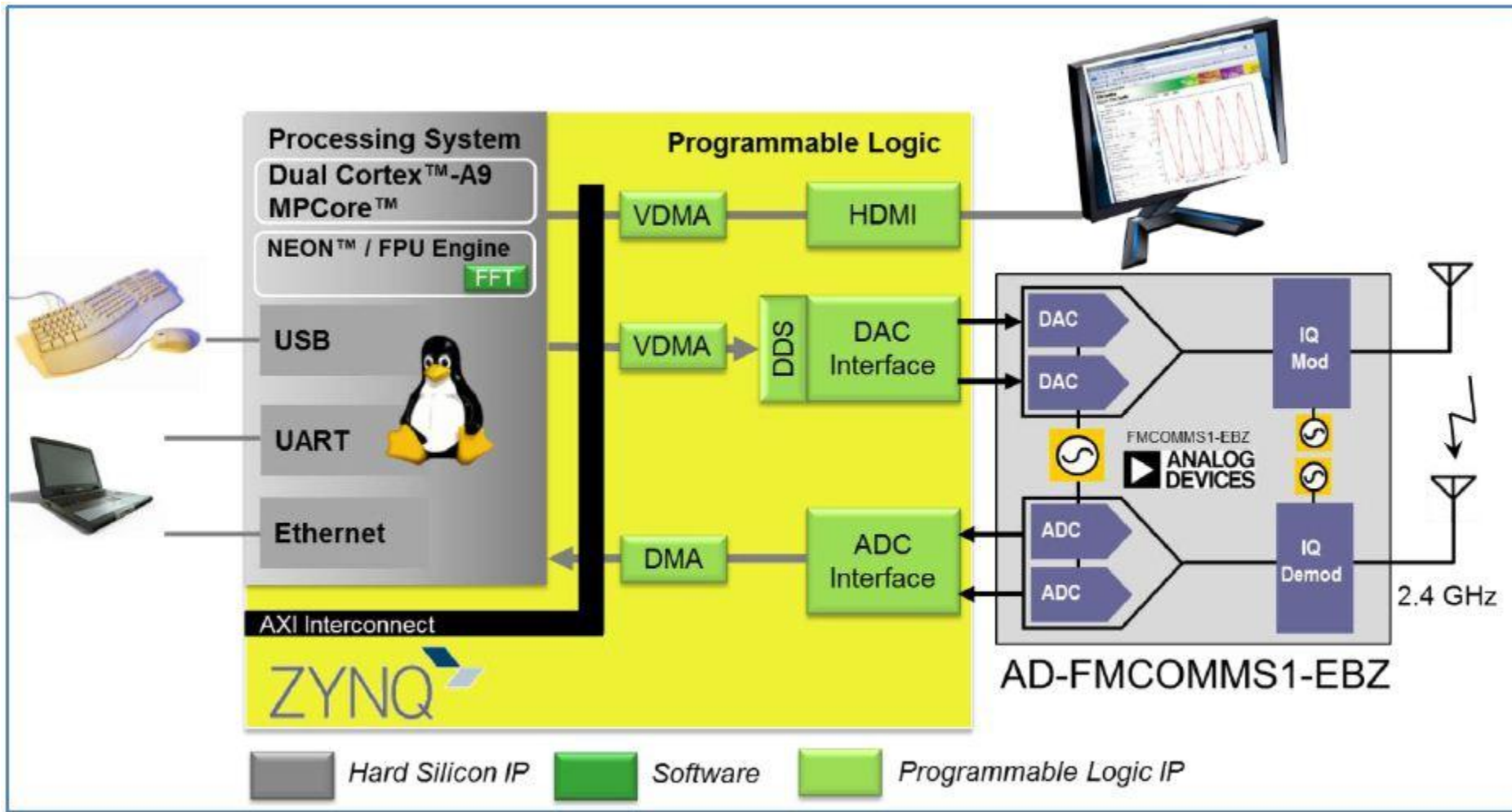
- Linux
  - 推荐解决方案
  - 所有可编程器件的驱动 ( AD9122、AD9548、AD9523-1、ADF4351、AD9643、AD8366 )
  - 为Microblaze平台通过网络流化数据
  - 基于GTK+的应用程序，适用于基于ARM的平台
- 无操作系统
  - 基本驱动

[http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms1-ebz/reference\\_hdl](http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms1-ebz/reference_hdl)

# 系统级/软件级功能框图

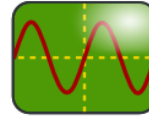


# Zed Board系统级/软件级功能框图



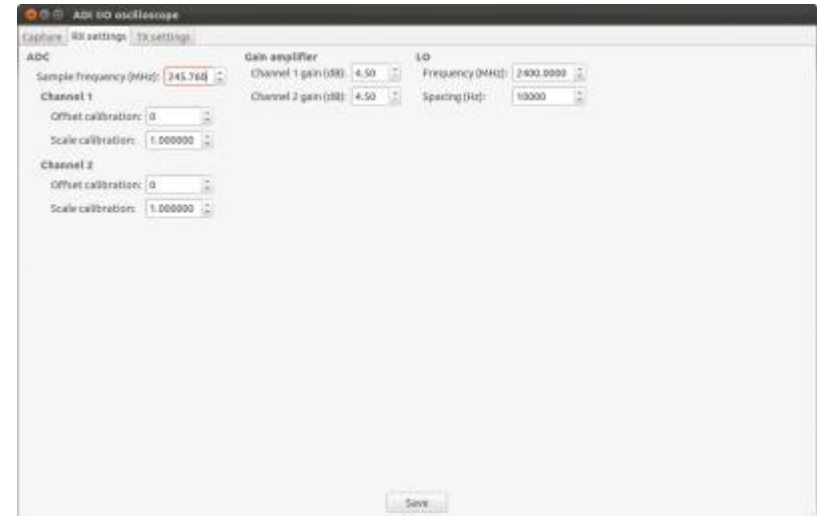
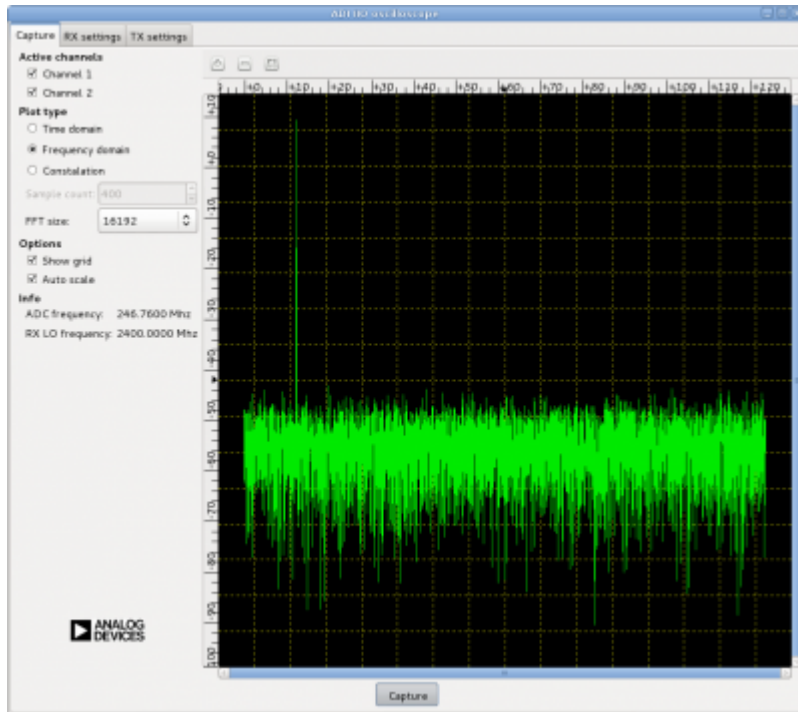


# IIO Scope – Linux应用程序



▶ 可视化数据：

▶ 从GUI进行控制：



# 内容回顾

- ▶ **软件定义无线电(SDR)概述**
- ▶ **如何解决信道损害**
  - ADI公司DAC和ADC中解决这些问题的新功能
- ▶ **SDR解决方案**
  - FMComms1电路板
  - 工具、驱动和HDL设计示例
  - 相关资源位置

# 本研讨会涉及的产品选型表

产品型号	描述
AD9122	双通道、16位、1200 MSPS、TxDAC+®数模转换器
ADL5375	400 MHz至6 GHz宽带正交调制器
ADL5602	50 MHz至4.0 GHz RF/IF增益模块
AD9548	四路/八路输入网络时钟发生器/同步器
AD9523-1	低抖动时钟发生器，提供14路LVPECL/LVDS/HSTL输出或29路LVCMOS输出
ADF4351	集成VCO的宽带频率合成器
AD9643	14位、170 MSPS/210 MSPS/250 MSPS、1.8 V双通道模数转换器(ADC)
AD8366	DC至600 MHz、双通道数字可变增益放大器
ADL5380	400 MHz至6000 MHz正交解调器
ADG3304	1.15 V至5.5 V低压、4通道双向逻辑电平转换器
ADP2323	双通道、3A、20V同步降压调节器，集成高端MOSFET
ADP3335	高精度、超低静态电流、500 mA、ANYCAP®低压差稳压器
ADP3333	高精度、超低IQ、300 mA、ANYCAP低压差稳压器
ADP150	超低噪声、150 mA CMOS线性稳压器
ADP151	超低噪声、200 mA CMOS线性稳压器
ADP1740	2 A、低VIN、低压差稳压器
FMComms1-EBZ	FMC通信产品

- ▶ **欢迎了解该演示板**
- ▶ **购买AD-FMComms1-EBZ电路板  
(自行装配自己的套件) \$750**
- ▶ **或购买Avnet套件 – 现货发售 \$1499**
  - Avnet ZedBoard 7020基板
  - Xilinx ISE® WebPACK软件, 带有锁定期间的芯片级许可证 (器件锁定至XC7Z020)
  - ADI AD-FMCOMMS1-EBZ FMC模块
  - Linux驱动、应用程序软件、HDL资源、参考设计、完整原理图和Gerber
  - 两个天线 (2500 MHz至2700 MHz)
  - 8 GB SD卡
  - 风扇组件、天线、螺丝和支柱
- ▶ **在中文技术论坛社区中提问**
  - <http://ezchina.analog.com/>
- ▶ **查看Wiki**
  - <http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms1-ebz>



# 谢谢！

ADI中国地区技术支持热线：4006 100 006

ADI中国地区技术支持信箱：[china.support@analog.com](mailto:china.support@analog.com)

ADI中文技术论坛：[ezchina.analog.com](http://ezchina.analog.com)

ADI样片申请网址：<http://www.analog.com/zh/sample>