



# 高速系统的频率合成和时钟产生

实现更高信号处理性能的高级技术

秦宇 应用工程师 ADI亚洲技术支持中心



▶ 专有信息说明，免责与免除担保

ADI演示文稿是ADI公司的财产。ADI演示文稿以及ADI提供或在此处使用的软件、文本、图片、设计元素、音频和所有其他资料（简称“ADI信息”）的所有版权、商标和其他知识产权和所有权均属ADI公司及其许可人所有。事先未经ADI书面许可，不得以任何方式、通过任何形式或媒介复制、出版、改编、修改、展示、分发或销售ADI信息。

ADI信息和ADI演示文稿均按“原样”提供。尽管ADI希望ADI信息和ADI演示文稿准确无误，但ADI不对ADI演示文稿和ADI信息作任何担保，包括但不限于关于准确性和完整性的担保。排字错误和其他失误都可能存在。ADI不保证ADI信息和ADI演示文稿能满足您的要求、准确、不会中断或不存在错误。ADI不对适销性、特定用途实用性或不侵犯任何第三方知识产权作任何明示或暗示的担保。对于因您使用ADI信息和ADI演示文稿而引起的或与其相关的任何损害或损失，包括但不限于数据丢失或损坏、电脑病毒、错误、遗漏、中断、缺陷或其他故障，无论此等责任属于侵权、合同或其他，ADI均不承担任何责任。使用其中提到的任何第三方参考软件须遵循与此等第三方签订的适用许可协议（若有）。

©2013 Analog Devices, Inc. 保留所有权利

## 今日议程



- ▶ **时钟和频率合成的应用领域**
- ▶ **锁相环(PLL)的设计与应用**
- ▶ **直接数字频率合成(DDS)的设计与应用**
- ▶ **时钟产生与分配**
- ▶ **数据转换器时钟的问题**

## 五种类型的频率合成

### ▶ 模拟PLL

- 使用模拟乘法器作为鉴相器
- 未广泛使用

### ▶ 数字PLL

- 使用数字鉴频鉴相器(PFD)、模拟环路滤波器、电压控制振荡器(VCO)
- 架构简单
- 极高性能和低噪声

### ▶ 全数字PLL

- 使用数字鉴频鉴相器(PFD)、数字环路滤波器、NCO
- 更高的灵活性、更快的锁定速度
- 出色的抖动净化功能
- 极其灵活

### ▶ 直接数字频率合成器

- 极其灵活的频率产生功能
- 极快的扫频和跳频功能
- 通常应用于军用和仪器仪表应用中

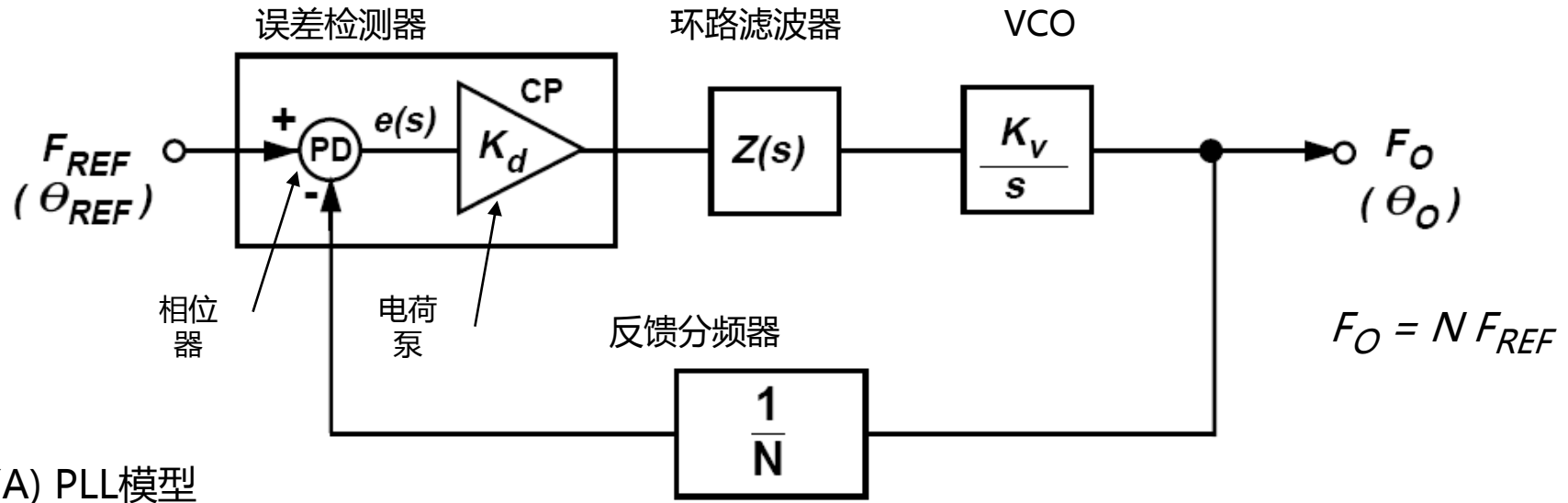
### ▶ 通用振荡器

- 晶振
- 电压控制振荡器(VCO)

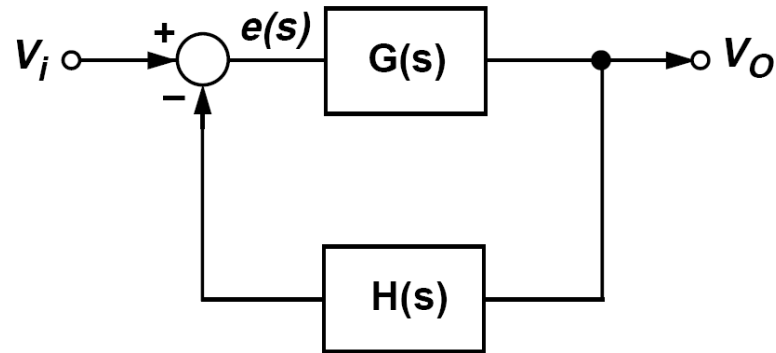
## 什么是时钟？ 常用频率是多少？

- ▶ 与数据波形不同，时钟信号是一个方波，其频率通常是恒定的。
- ▶ 常用频率包括：
  - GPS 使用 1 pps ( 脉冲/秒 )
  - 有线通信常用8 kHz，一般将该频率称为BITS时钟
  - 同步光(SONET)网络的常用参考时钟是19.44 MHz，并且替代SONET的OTU（光纤传输单元）网络依然使用该时钟
  - 无线通信常用122.88 MHz
  - 以太网的常用参考时钟是125 MHz和156.25 MHz

# 锁相环(PLL)基本模型

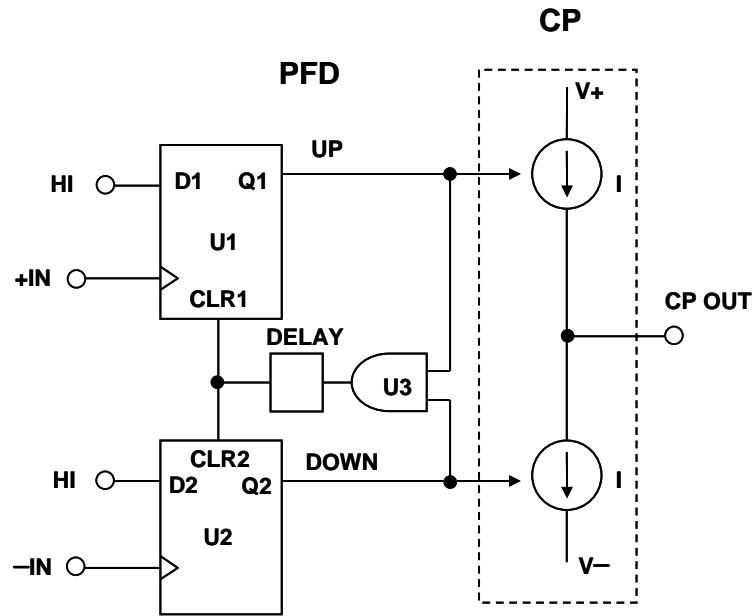


(A) PLL模型

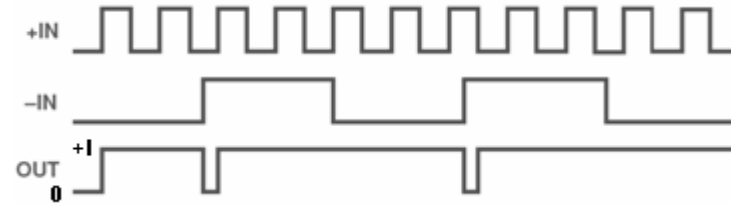


(B) 标准负反馈  
控制系统模型

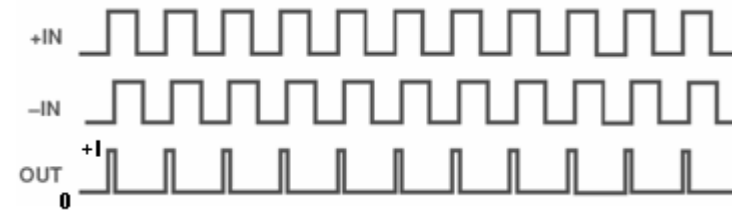
# 鉴频鉴相器(PFD) 驱动电荷泵(CP)



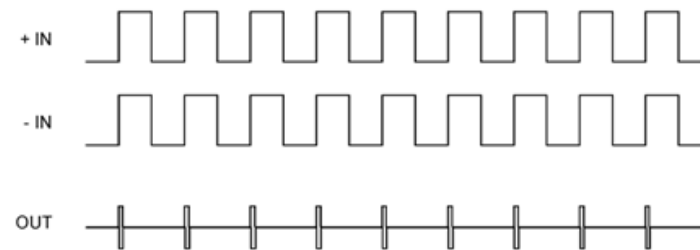
UP	DOWN	CP OUT
1	0	+I
0	1	-I
0	0	0



(A) 频率失锁，相位失锁

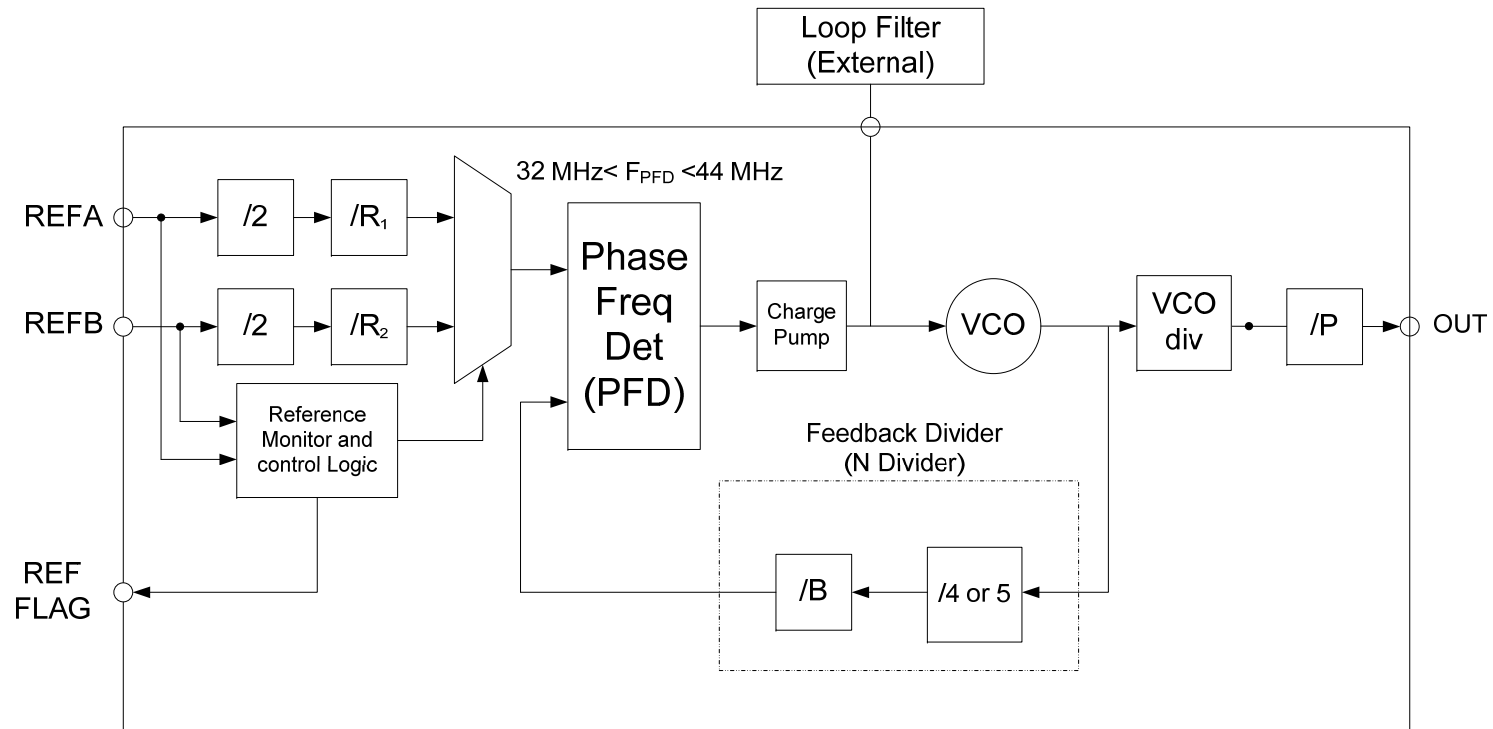


(B) 频率锁定，相位失锁



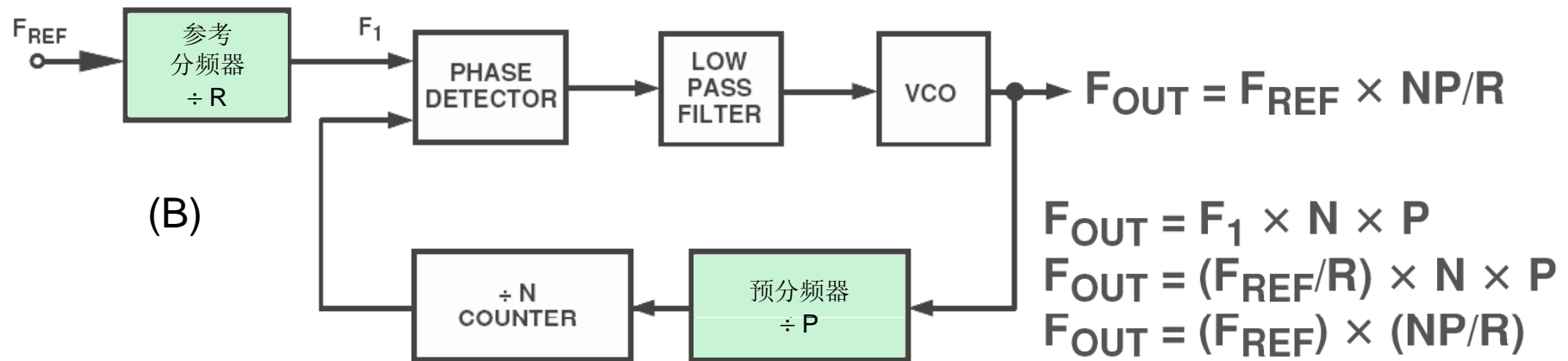
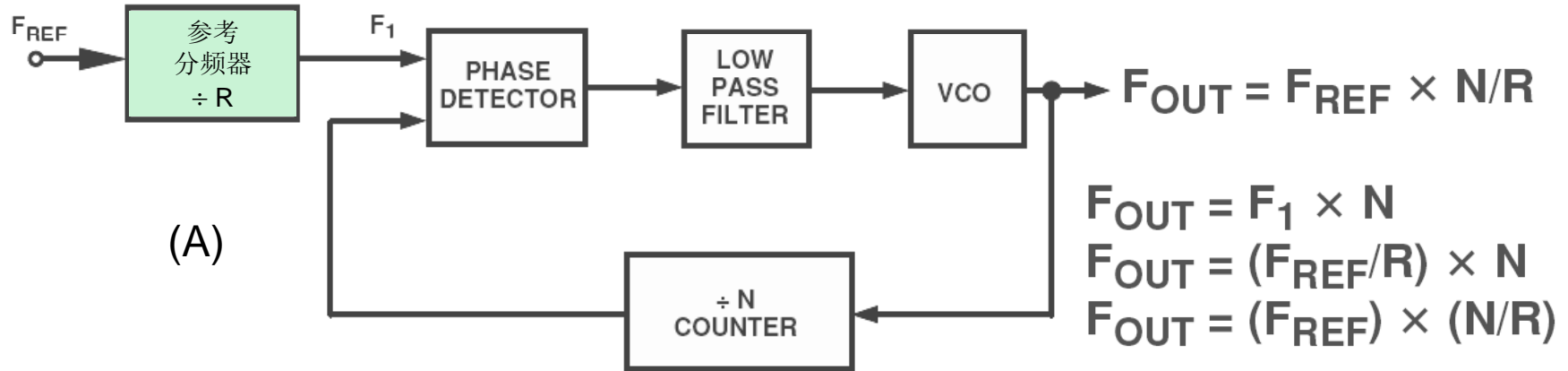
(C) 输入频率锁定和相位锁定

# 数字PLL框图 —— 分频器

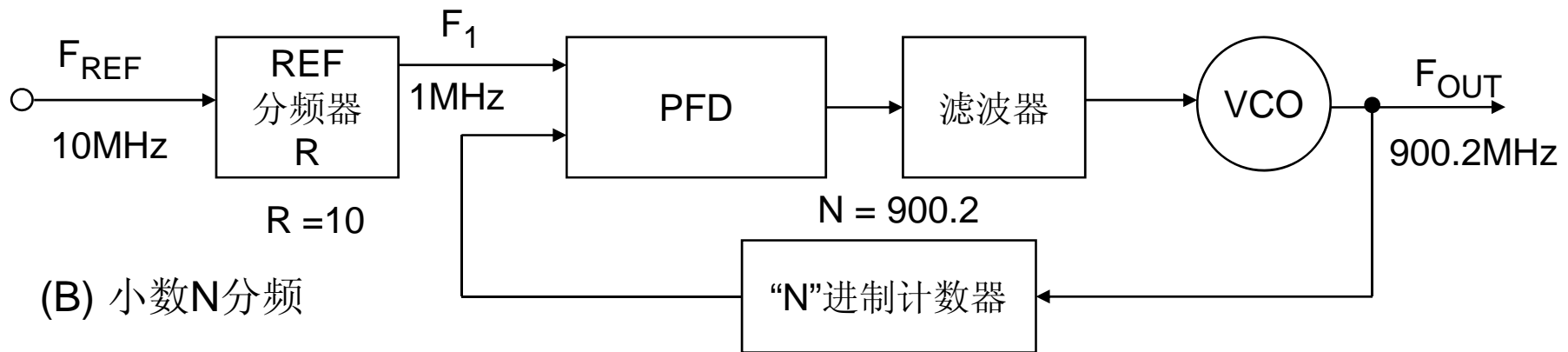
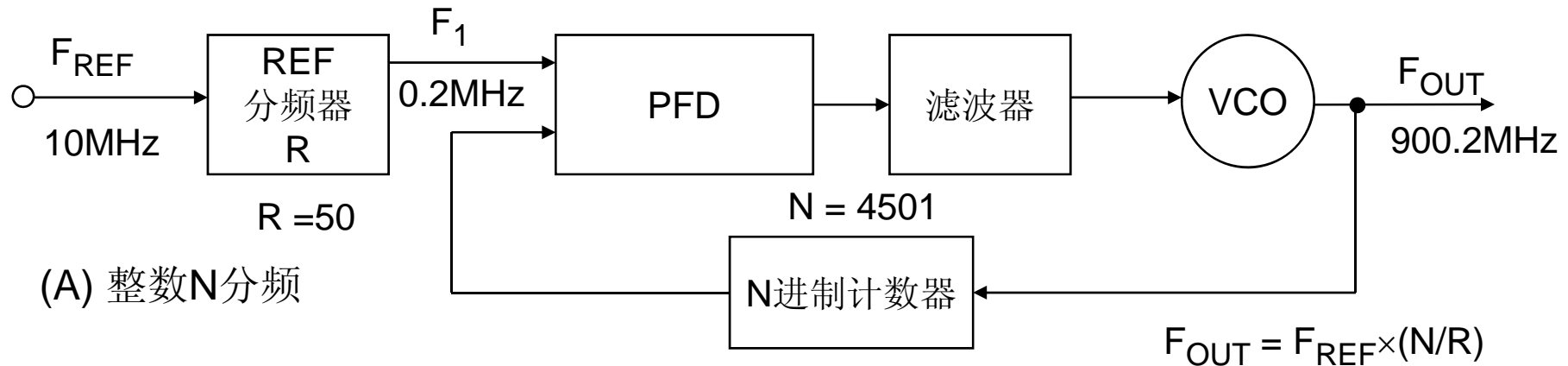




# PLL中输入参考分频器和预分频器

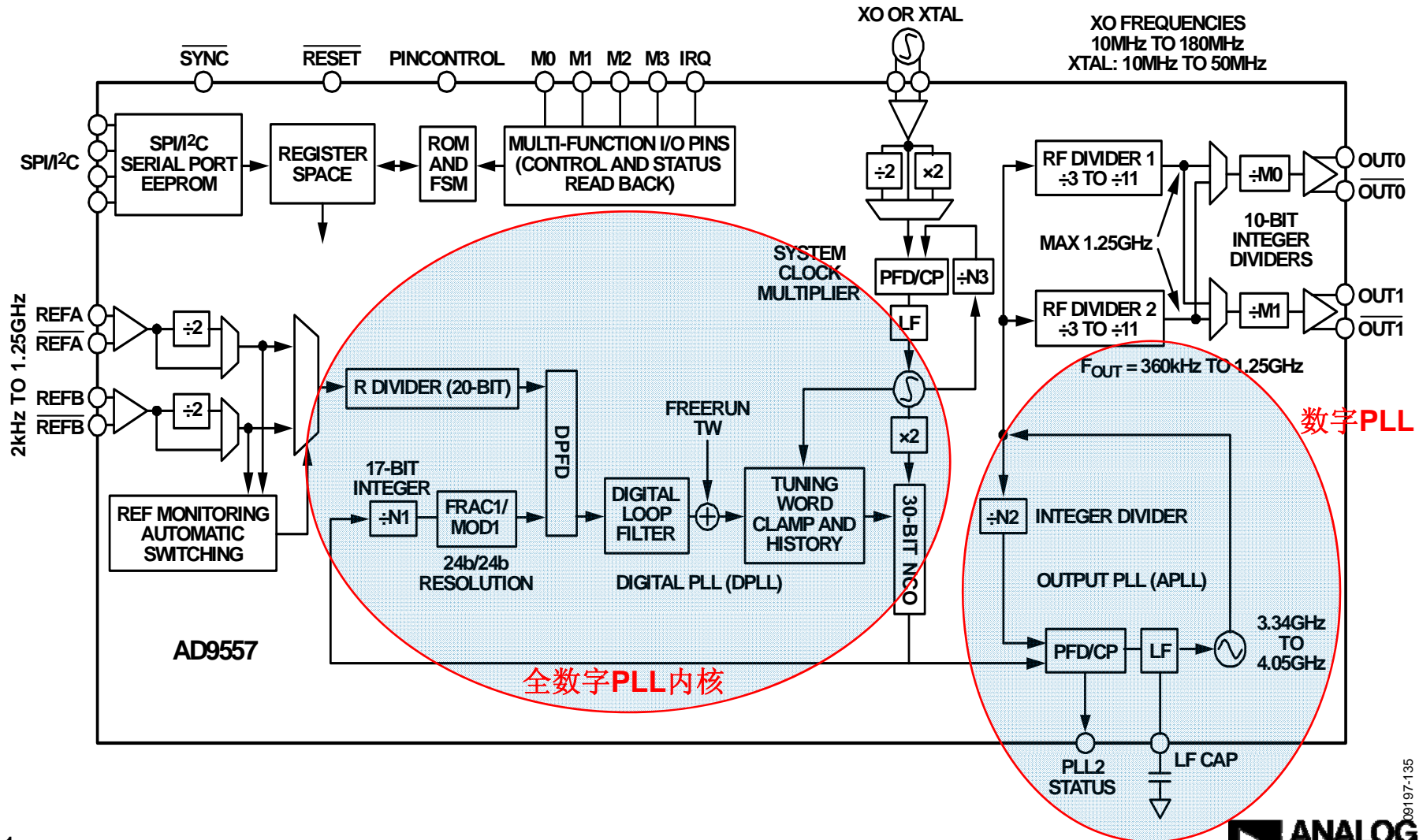


# 整数N分频与 小数N分频频率合成器的比较



$$"N" = N_{\text{INTEGER}} + \frac{N_{\text{FRACTION}}}{N_{\text{MODULUS}}} = 900 + \frac{N_{\text{FRACTION}}}{5}$$

# 全数字PLL详细框图 (图中所示为AD9557)



数字PLL

全数字PLL内核

## PLL主要技术参数



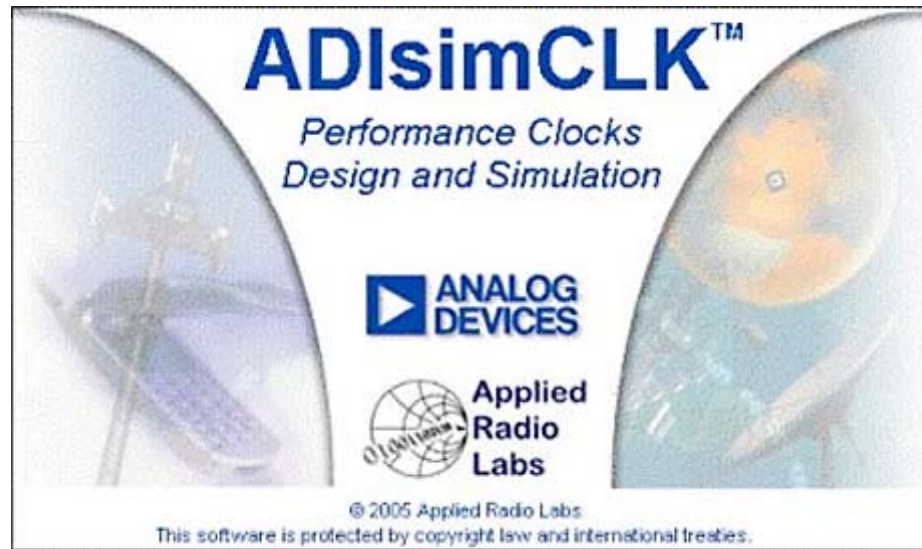
- ▶ RF输入频率（最小值/最大值）
- ▶ 相位噪声和相位抖动
- ▶ 参考杂散
- ▶ 频率锁定时间
- ▶ 相位锁定时间
- ▶ 输出频率误差
- ▶ 输出相位误差
- ▶ 环路带宽和相位裕量

# PLL设计和仿真软件



[www.analog.com/adisimpll](http://www.analog.com/adisimpll)

# CLK设计和仿真软件



[www.analog.com/adisimclk](http://www.analog.com/adisimclk)



# DDS设计工具 - ADIsimDDS

[www.analog.com/adisimdds](http://www.analog.com/adisimdds)

**AD9958** [Product Page](#) [Data Sheets](#) Powered by National Instruments LabVIEW

Select DDS:  [Need Help?](#)

Ref Clock Frequency:  MHz

Desired Output Frequency:  MHz

Ref Clock Multiplier:

Actual Output Frequency: 77.0000000484288 MHz

Frequency Tuning Word: 276C8B44

hex  bin  dec

**Frequency Domain:**

Legend: (DAC Images) (DH3) (DH2) (PPT) (FR)

Start Frequency:  Hz  GHz

Enable Filter: [View Tabular Display of Spurs](#)

**Time Domain:**

# 工具 – 设计、仿真、评估



<http://www.analog.com/zh/rf-tools/topic.html>

## ADIsimCLK

ADIsimCLK是一款专门针对ADI公司的超低抖动时钟分配和时钟产生产品系列而开发的设计工具。无论是在无线基础设施、仪器仪表、网络、宽带、自动测试设备领域，还是在其它要求可预测时钟性能的应用，ADIsimCLK都能帮助您迅速开发、评估和优化设计。

[访问ADIsimCLK >>](#)

## ADIsimPLL

ADIsimPLL可以对ADI公司的最新高性能PLL产品进行快速、可靠的评估。它是目前最全面的PLL频率合成器设计和仿真工具，可实现所有对PLL性能有显著影响的重要非线性效应仿真。ADIsimPLL可以免去设计过程中的至少一项重复劳动，从而加快上市速度。

[访问ADIsimPLL页面 >>](#)

## ADIsimDDS

这款工具的作用是帮助用户选择和评估ADI公司的直接数字频率合成器(DDS) IC。它允许用户选择器件，输入要求的工作条件，以及评估器件的一般性能。

[访问ADIsimDDS >>](#)



<http://ezchina.analog.com/welcome>

提供针对DDS、时钟产生和分配、PLL的全系列评估板。提供全套兼容Windows的软件

<http://www.analog.com/zh/evaluation-boards-kits/resources/index.html>



# 评估软件频率规划向导： 输入您希望的输入与输出...

**Frequency Configuration Wizard**

Reference Inputs | Outputs | System Clock

**Reference A**

Enable Reference to Channel  
Ch. 0  Ch. 1  Ch. 2  Ch. 3

Base Freq (MHz)  X FEC Ratio  $\frac{1}{1}$  = REF A Frequency (MHz)

Logic Format: Differential (AC Coupled) Loop Bandwidth:

**Reference C**

Enable Reference to Channel  
Ch. 0  Ch. 1  Ch. 2  Ch. 3

Base Freq (MHz)  X FEC Ratio  $\frac{1}{1}$  = REF C Frequency (MHz)

Logic Format: Differential (AC Coupled) Loop Bandwidth:

PREVIOUS NEXT

输入频率窗口

**Channel 1**

Base Freq (MHz)  X FEC Ratio  $\frac{33}{32}$  X Scalar Value  $\frac{1}{1}$  = Out1A Freq (MHz)

Base Freq (MHz)  X FEC Ratio  $\frac{33}{32}$  X Scalar Value  $\frac{1}{4}$  = Out1B Freq (MHz)

**Channel 3**

Base Freq (MHz)  X FEC Ratio  $\frac{165}{256}$  X Scalar Value  $\frac{1}{1}$  = Out3A Freq (MHz)

Base Freq (MHz)  X FEC Ratio  $\frac{165}{256}$  X Scalar Value  $\frac{1}{1}$  = Out3B Freq (MHz)

CALCULATE

输出频率窗口

# 软件为您配置器件...



Frequency Configuration Wizard

Reference Inputs | Outputs | System Clock | Results

System Clock Configuration

Input Frequency: 49.152 MHz  
PFD Frequency: 98.304 MHz  
VCO Frequency: 2359.296 MHz  
J0: 1  
J1: 0  
K: 24

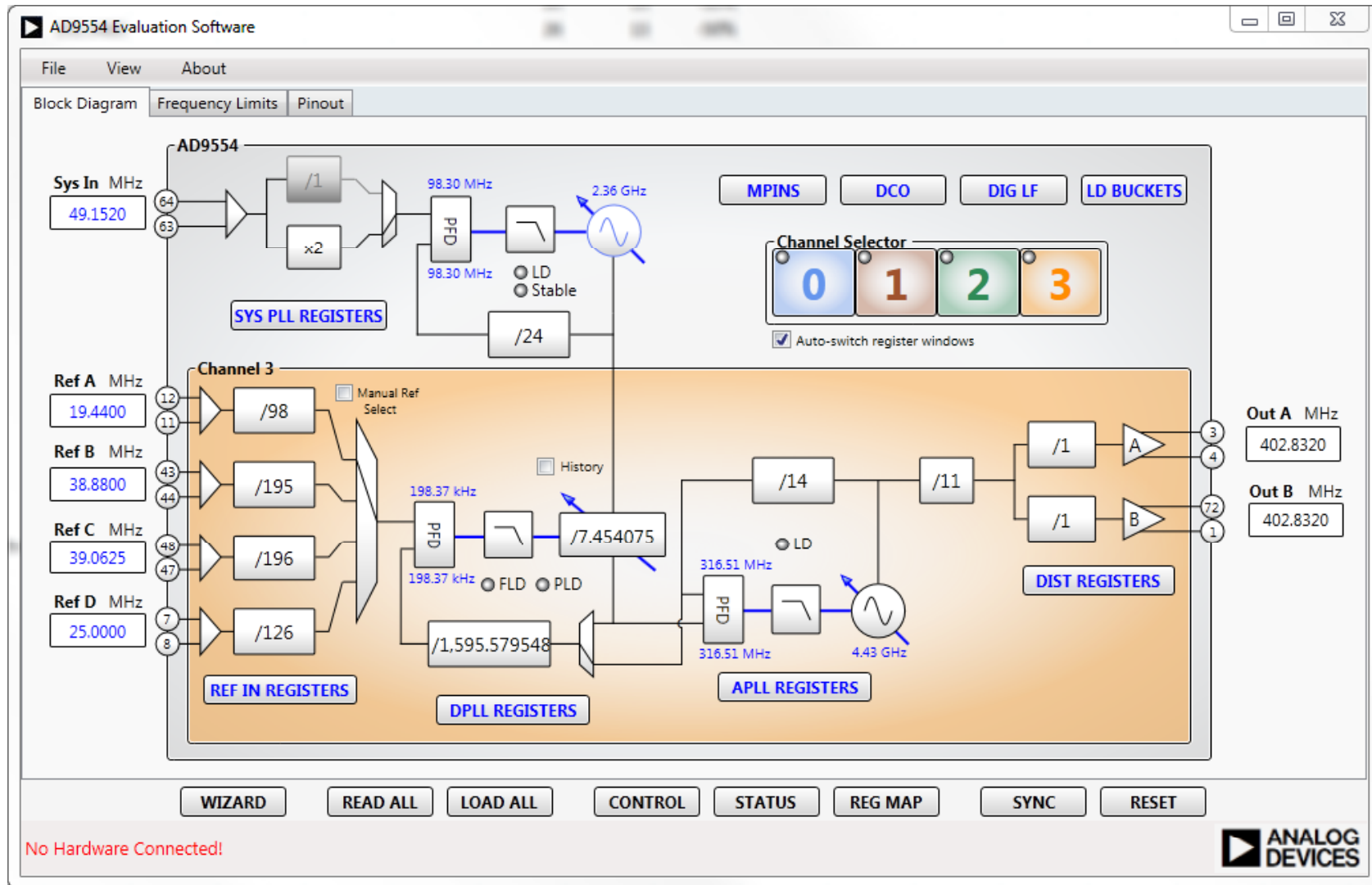
Channel 0 Configuration

Reference A	Reference B	Reference C	Reference D
Ra: 98	Rb: 195	Rc: 196	Rd: 126
N0a: 1575	N0b: 1567	N0c: 1568	N0d: 1575
Frac0a: 175	Frac0b: 209	Frac0c: 0	Frac0d: 0
Mod0a: 486	Mod0b: 648	Mod0c: 1	Mod0d: 1
SDM0 Int: 7	SDM0 Int: 7	SDM0 Int: 7	SDM0 Int: 7
FTW0: 590286561	FTW0: 590286561	FTW0: 590286561	FTW0: 590286561
M0: 8	M0: 8	M0: 8	M0: 8
P0: 4	P0: 4	P0: 4	P0: 4
Q0a: 5	Q0a: 5	Q0a: 5	Q0a: 5
Q0b: 5	Q0b: 5	Q0b: 5	Q0b: 5
Refa in: 19.4400 MHz	Refb in: 38.8800 MHz	Refc in: 39.0625 MHz	Refd in: 25.0000 MHz

PREVIOUS NEXT CALCULATE LOAD

结果窗口

...并且加载寄存器。



<http://ezchina.analog.com/community/xf>

[http://ezchina.analog.com/community/clock\\_and\\_timing](http://ezchina.analog.com/community/clock_and_timing)

WORLD LEADER IN HIGH PERFORMANCE SIGNAL PROCESSING English | 日本語

ANALOG DEVICES 在线技术支持 欢迎, 访客 | 登录 | 注册

主页 网站动态 站内通信 待发事项 浏览  搜索 高级

---

**engineerzone** 中文技术论坛 **搜索**

**搜索**

使用提示

**本周热点**

- ADXL345 中断清零问题
- 关于AD8343的S参数仿真
- ADT7420读取异常
- 求助ADRF6702的REFIN
- 关于ADA4899-1芯片设计的缓冲器的问题?

**浏览论坛**

	发贴数	常见问题
<b>放大器专区</b>	225	66
<b>数据转换器专区</b>	163	4
<b>音频专区</b>	10	0
<b>时钟和DDS专区</b>	22	1

**版主推荐**

- 又一期论坛小活动来袭! ADI亚洲总部在哪里?
- 第三批获奖得主已产生! 请您尽快提供邮寄地址!
- 2013年10月10日论坛将公布活跃用户排行榜, 大家积极参与吧!
- ADI中文技术论坛征文活动 **NEW**
- ADI设计峰会2013 北京站深圳站开始报名喽! **NEW**
- ADI设计峰会讨论专区 **HOT**
- 5月31日前完成注册就有机会获得ADI的奖品, 赶快行动! 🎉
- 最新中文资料更新

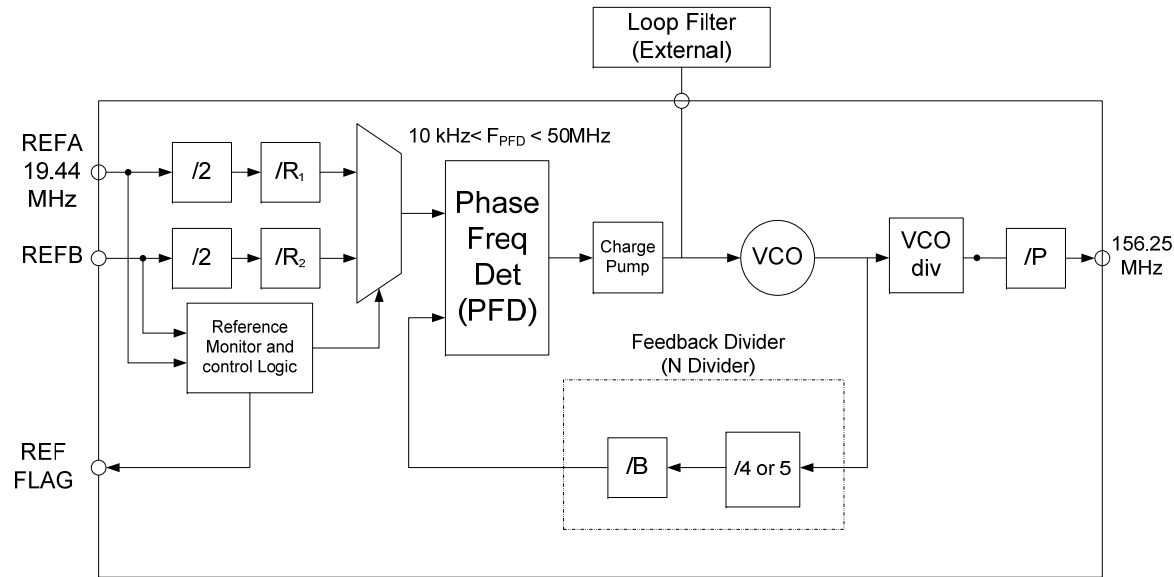
**ADI亚洲技术支持中心**

免费热线电话: 4006-100-006

## PLL的常见用途

- ▶ 频率转换
- ▶ 抖动清除
- ▶ 冗余时钟
- ▶ 保持
- ▶ 时钟分配

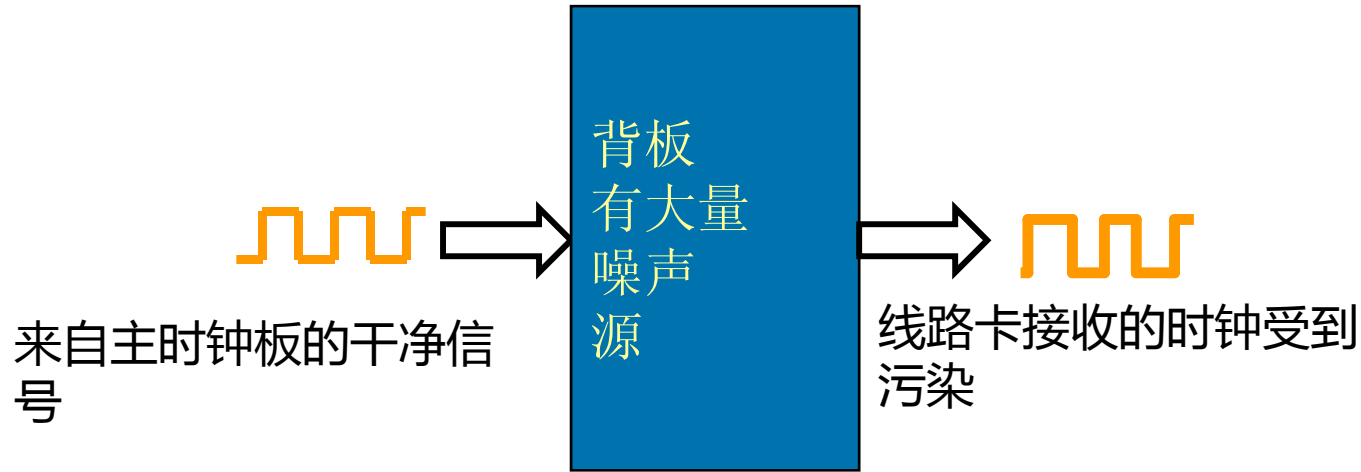
# 频率变换示例：



## ▶ 19.44 MHz (SONET) 至 156.25 MHz (10 Gb/s以太网)：

- R分频器=162，B=15625，VCO分频器 = 3，P分频器 = 4
- 鉴相器频率：120 kHz
- VCO频率：1875 MHz

# 抖动清除



从背板接收的时钟用于建立输出的相位和频率

输出信号纯度取决于所用的本振 (晶振、TCXO或OCXO)



如何实现?

## 保持：

保持是指，在参考输入消失的情况下提供输出信号。保持功能既可以由系统中的控制器/处理器元件启动，也可以通过监控功能启动，监控功能在参考输入消失时会自动切换到保持模式。

## 切换：

切换功能比保持功能可提供更多的安全性。如果一个参考发生故障，时钟器件将转而使用一个替代参考。ADI公司时钟器件提供的所有切换功能的一个重要特点是：这种切换不会产生不良脉冲或额外的长脉冲。后级PLL不会因为时钟切换或在切换期间失锁，即使不同参考输入信号的相位之间不存在任何预定义关系也无妨。切换功能既可以由系统中的控制器/处理器元件启动也可以通过监控功能启动，监控功能在有效参考输入消失时会自动实施切换。



## 切换、同步和保持

注意  
输出与主参考同步

但是，当主参考消失时会发生什么？



PLL将以保持模式保持输出时钟，直到另一个参考输入可用。输出相位可能摆动，也可能不摆动（取决于应用），因此要么保持输入-输出相位，要么输出时钟相位不摆动。

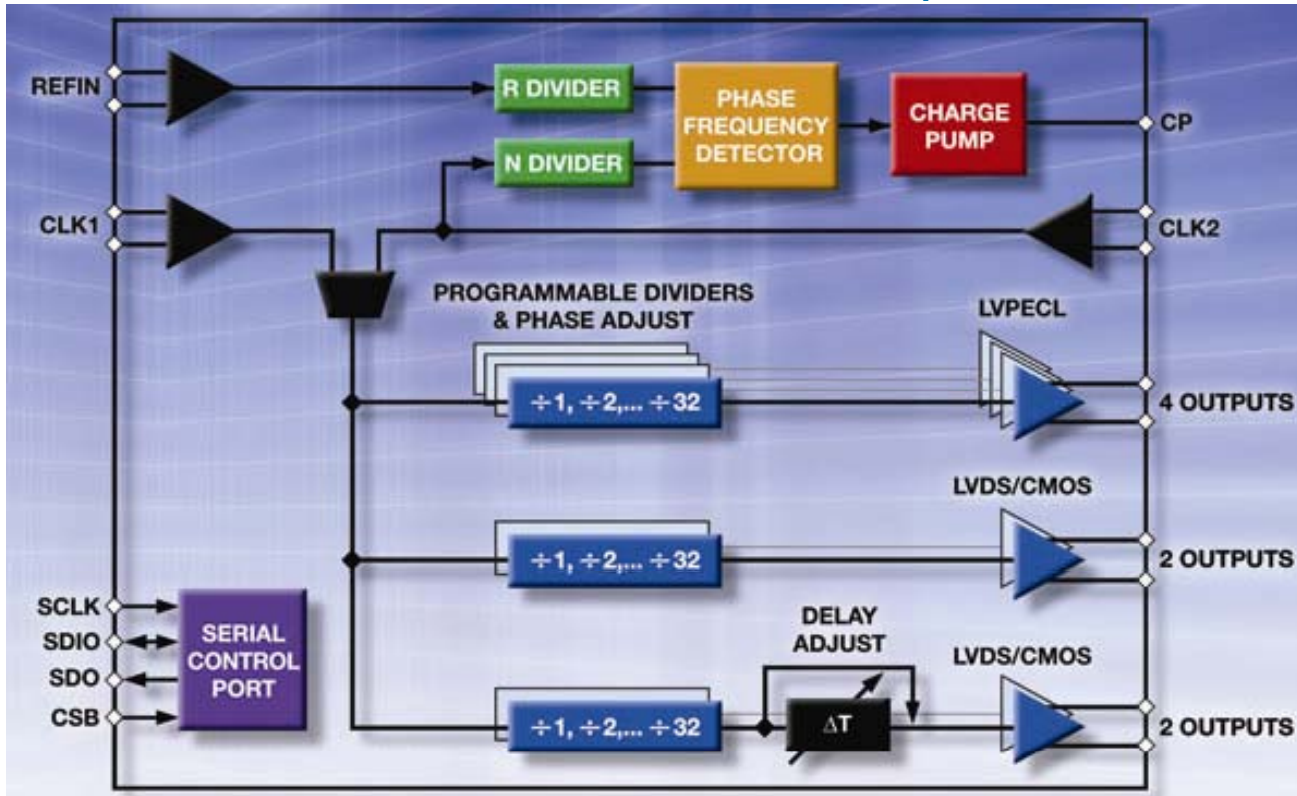


# 锁相环(PLL)的 时钟应用



# AD9516系列1.5 -3.0 GHz、8/5通道时钟分配IC

下图所示为AD9510，其宽带RMS抖动<1ps



**PLL内核**  
250 MHz REFIN  
1.6 GHz PLL  
抖动清除

**时钟输出**  
1.2 GHz LVPECL  
800 MHz LVDS  
250 MHz CMOS



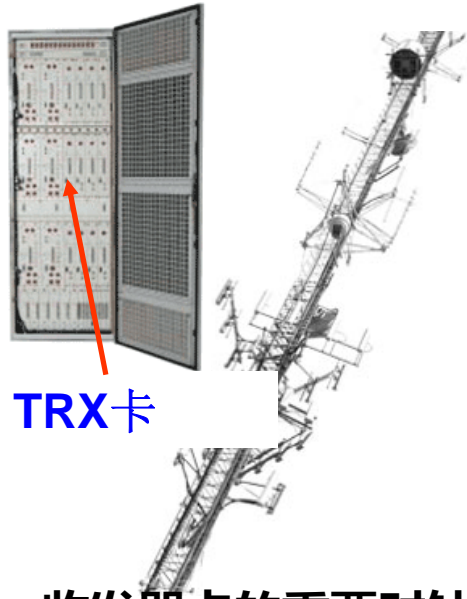
64 - LFCSP  
通常可代替  
5个分立IC器件



**可编程分频器**  
1至32之间的任意整数  
相位偏移控制  
每个分频器都独立工作

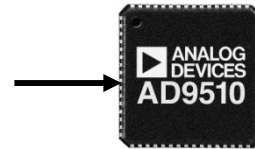
**可编程延迟调节**  
1ns至10ns满量程  
32个延迟步进

# 应用 - 无线收发器卡



TRX卡

用户的  
参考时钟



收发器  
时钟分配IC

时钟提供给模数转换器

ADC

ADC

ADC

ADC

时钟提供给数字芯片

DDC或  
ASIC

DUC或  
FPGA

时钟提供给数模转换器

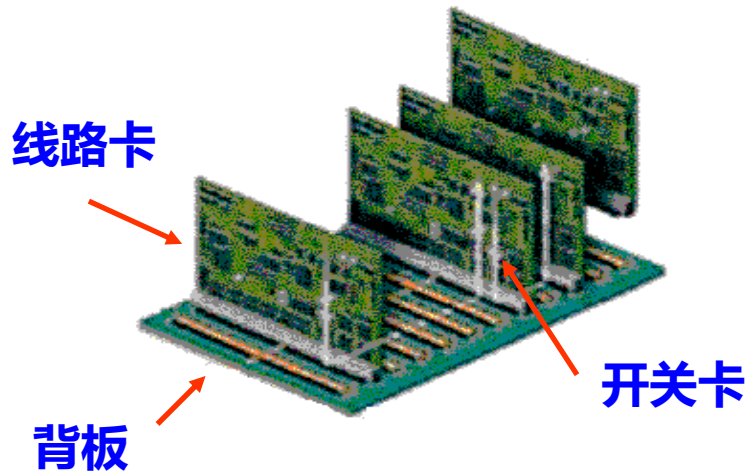
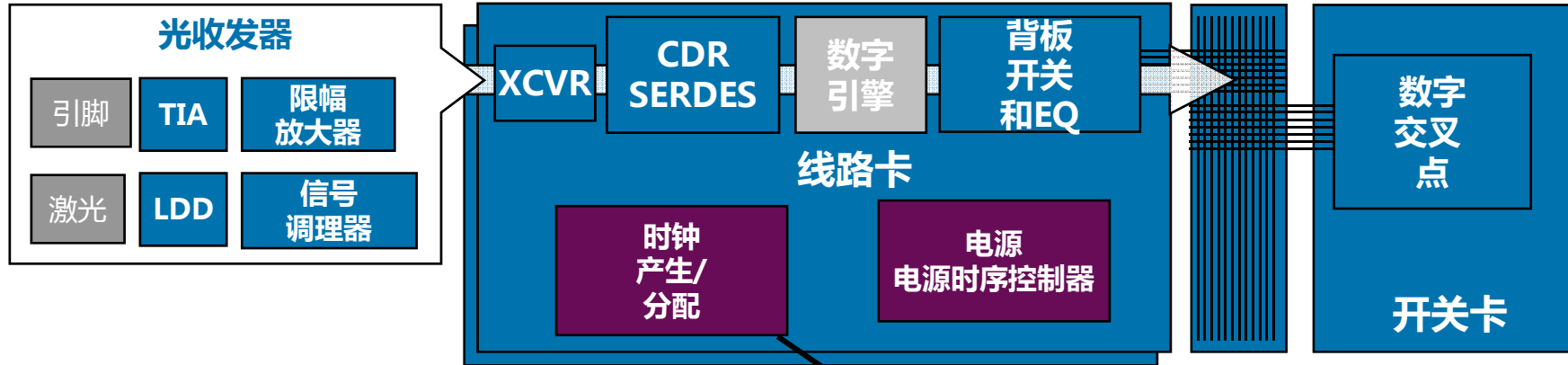
DAC

DAC

## 收发器卡的重要时钟功能：

- 净化用户参考输入的抖动
- 将用户参考频率上变频到所需的最高频率，通常根据DAC时钟要求决定
- 产生供RX和TX使用的多个频率
- 为转换器提供低抖动时钟
- 产生LVPECL、LVDS、CMOS混合时钟
- 调整时钟通道之间的相位或延迟关系
- 提供时钟通道间的隔离

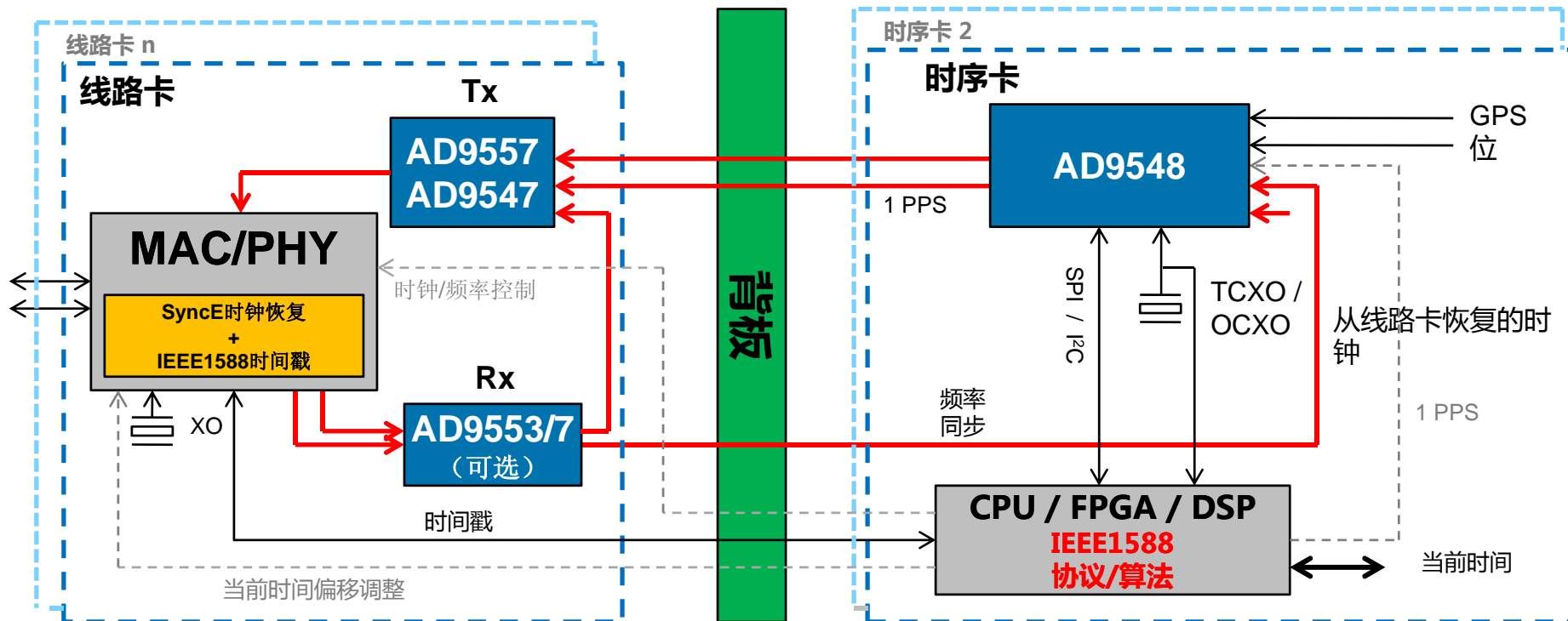
# 应用 - 线路卡



ADI公司的AD9557和AD9548等新型时钟产品针对网络应用而推出。

AD9548具体示例见下页

# SyncE / IEEE1588 混合 (含支持纯IEEE1588的连接)



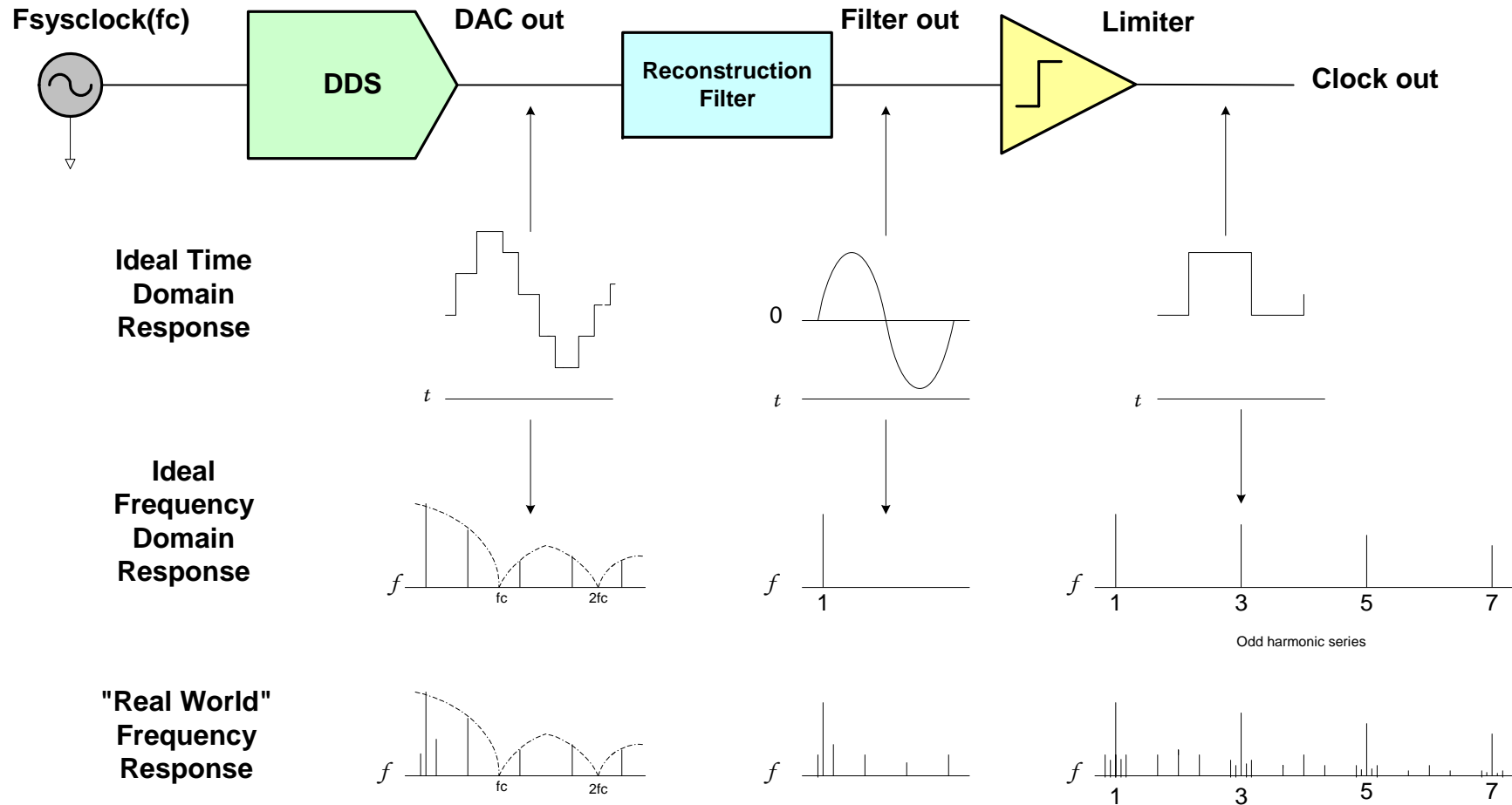


## DDS用于时钟产生





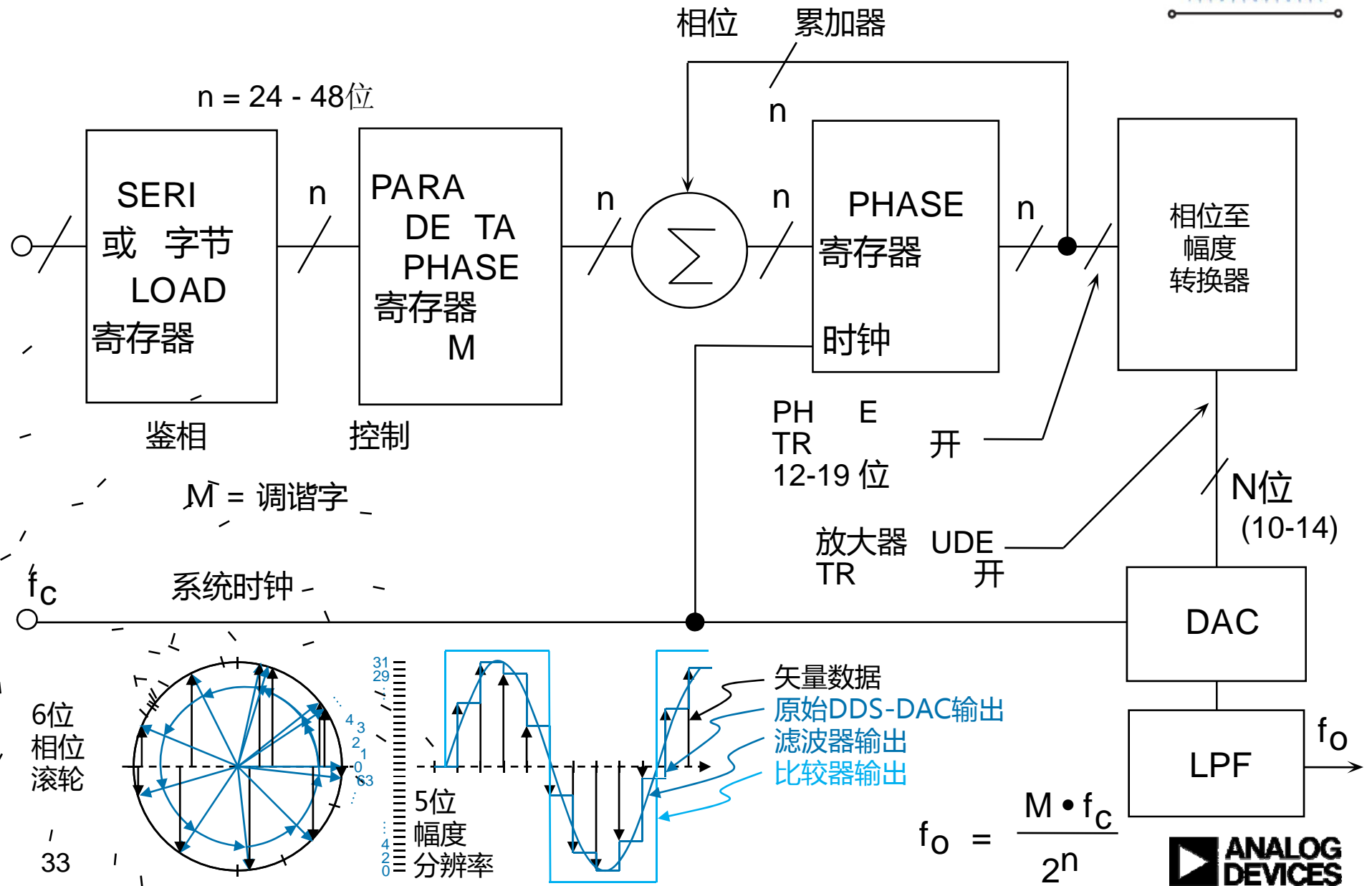
# 利用DDS产生时钟



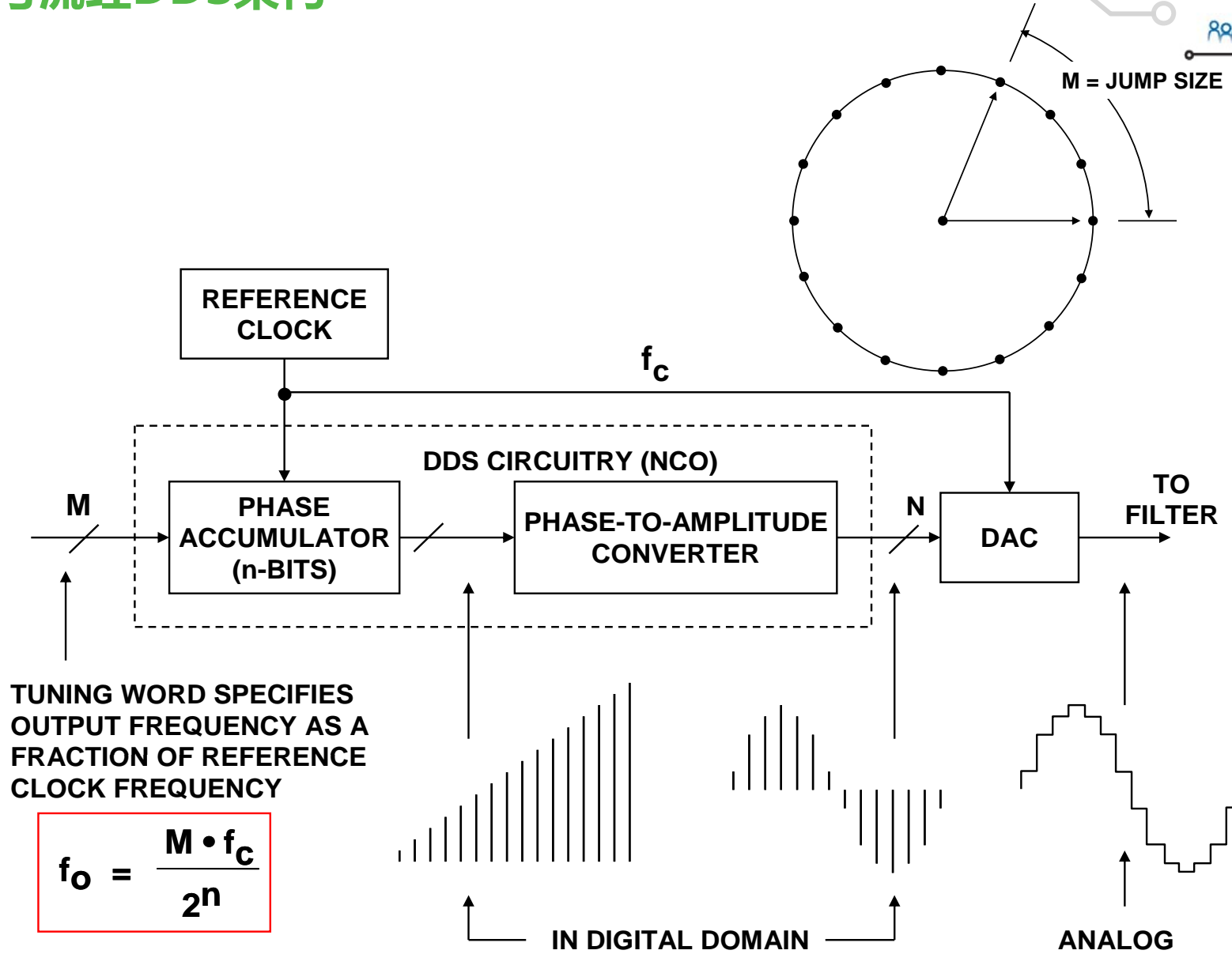
DDS芯片可以与用户参考同步。片内时钟倍频器可以产生NCO/DAC所需的快速时钟。可以写入频率调谐字，以便设置输出时钟速率。外部滤波消除不需要的镜像。然后，平方功能将正弦波转换为方波。



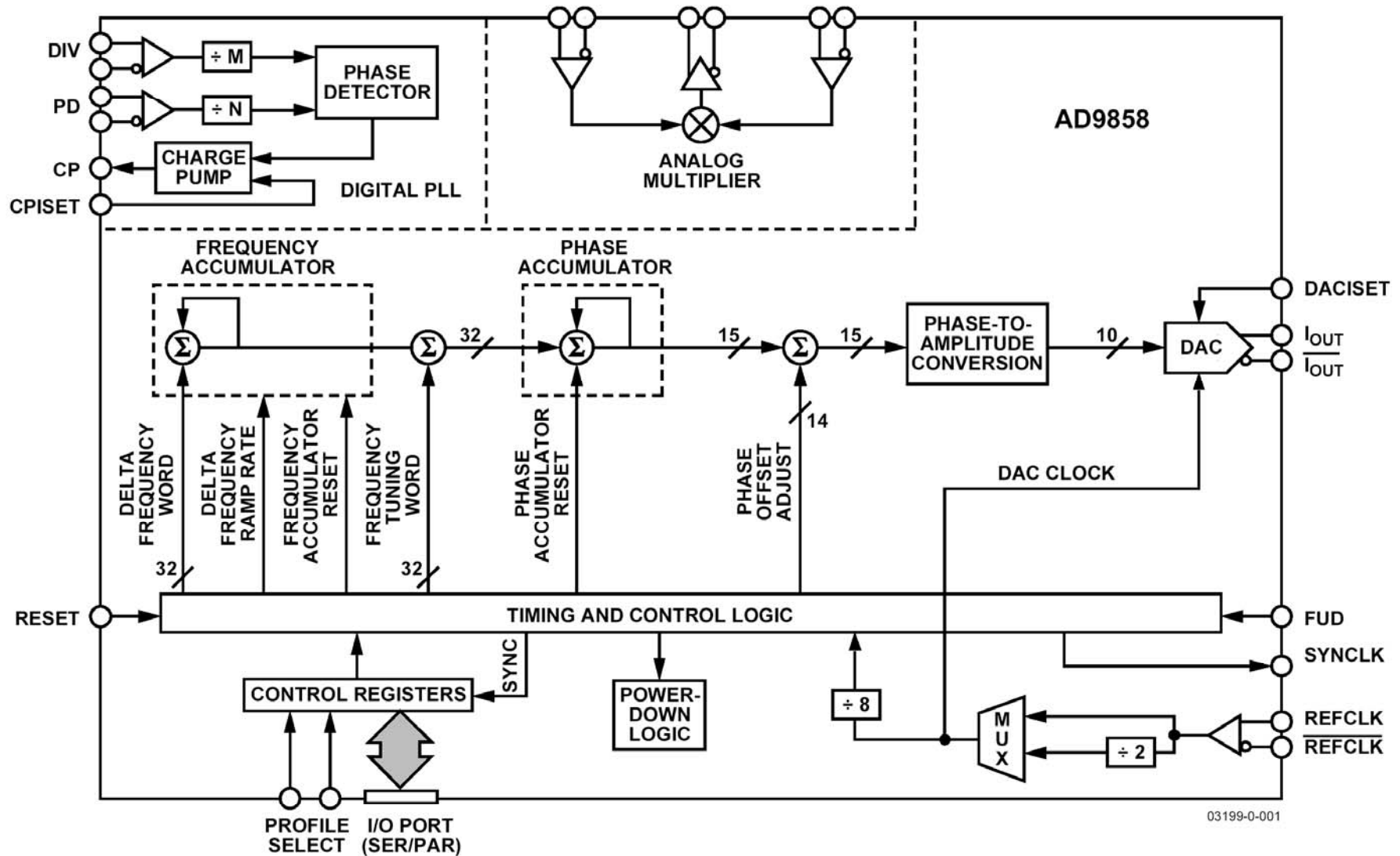
# 灵活的DDS系统



# 信号流经DDS架构

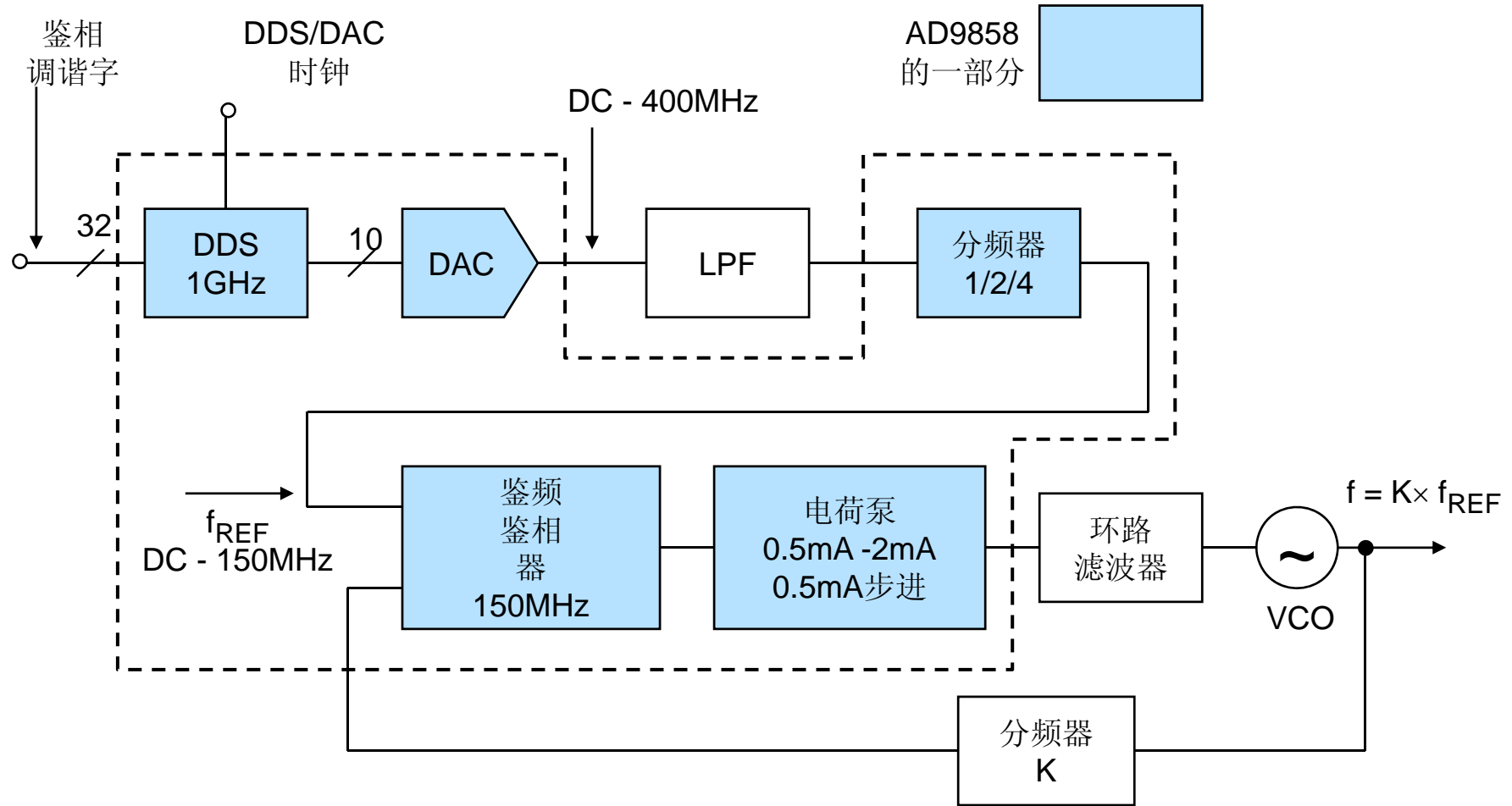


# AD9858 1GSPS DDS , 集成鉴相器和乘法器



03199-0-001

# 使用AD9858实现 DDS单环路上变频

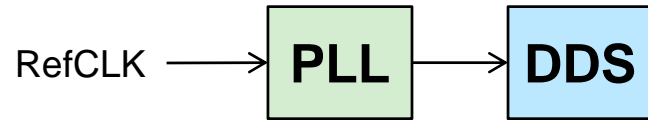


# DDS与PLL

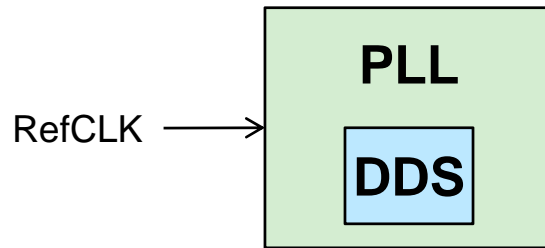
比较：	优势	其他说明
频率分辨率	<b>DDS</b>	小数N分频PLL缩小差距，可编程模块改善DDS精度
频率灵活	<b>DDS</b>	快速跳频PLL缩小差距
相位分辨率与灵活性	<b>DDS</b>	数字PLL可提供一定程度的相位控制
幅度分辨率与灵活性	<b>DDS</b>	
功耗	<b>PLL</b>	随尺寸而缩小差距；交错式内核
输出频率范围	<b>PLL</b>	
报价	<b>PLL*</b>	差距随尺寸而缩小；小尺寸器件内无PLL；这是由于PLL技术的广泛应用
频谱纯度宽	<b>PLL</b>	
辅助电路	<b>PLL</b>	
频率上变频	<b>PLL</b>	超奈奎斯特频率操作与混合



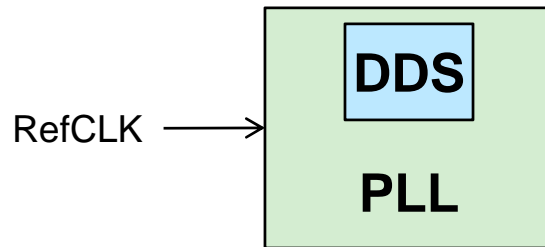
上变频PLL



RefCLK乘以PLL



反馈路径上的DDS



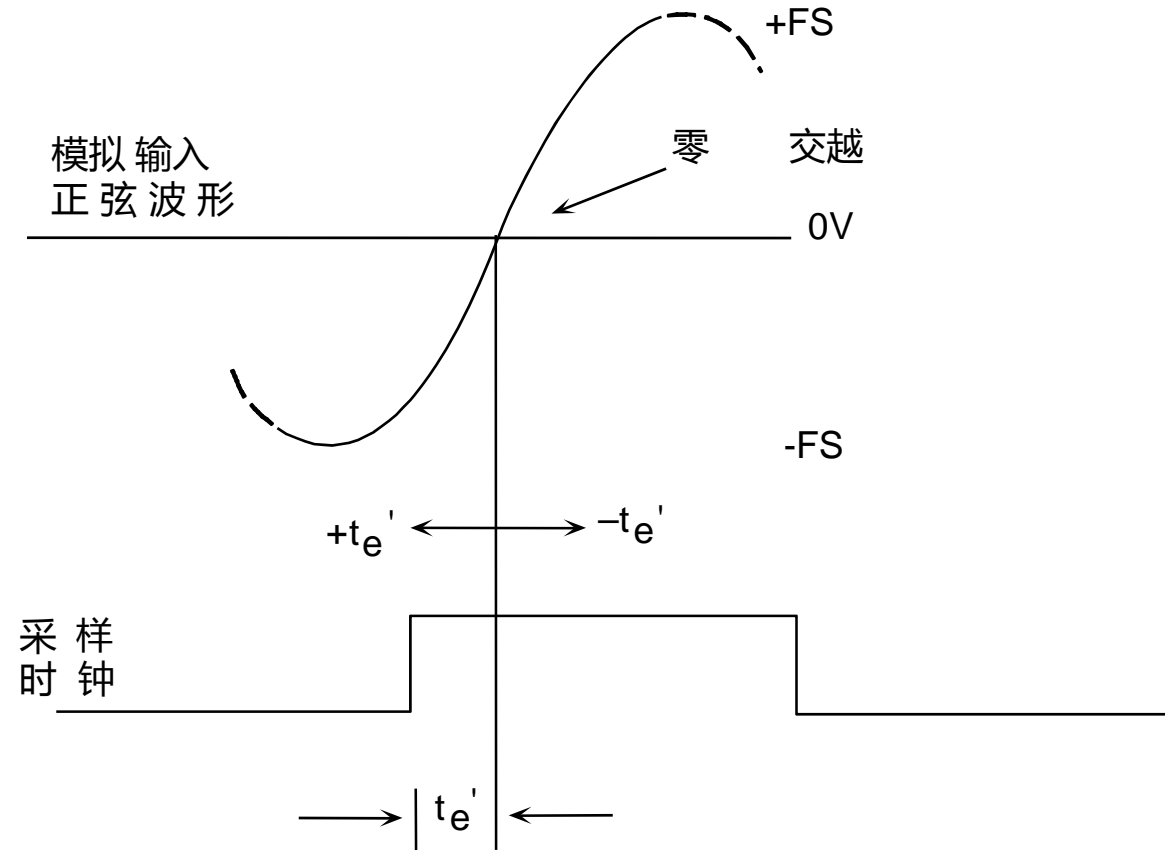
DDS用作DCO



## 数据转换器时钟的问题

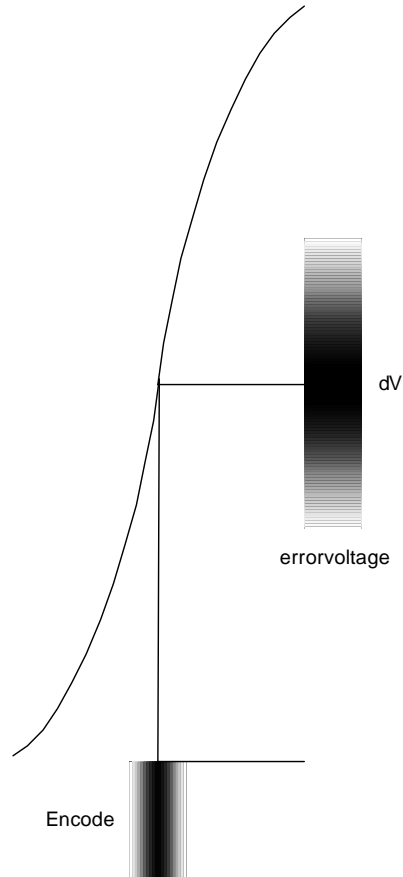


# 相对于ADC输入测量 有效孔径延迟时间





# 抖动 – ADC中的SHA引入的常见噪声源



▶ **时钟抖动是编码时钟的样本间变化**（包括外部抖动和内部抖动）。

▶ **抖动引起的满量程信噪比由以下公式得出：**

$$SNR_{jitter} = 20 \log \left( \frac{S_{rms}}{N_{rms}} \right) = 20 \log \left( \frac{1}{2\pi f t_{jitter}} \right)$$

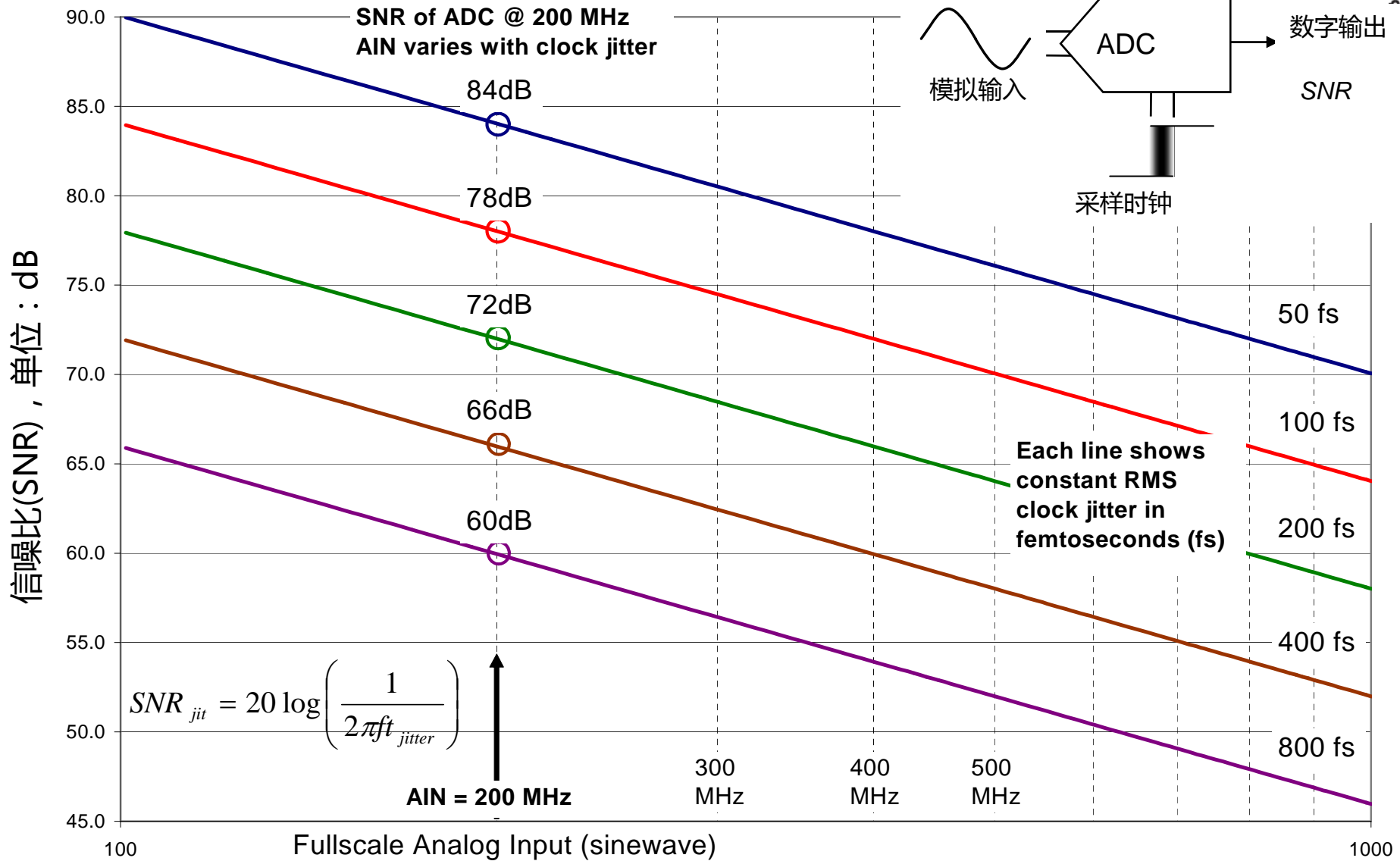
▶ **参见AN-501和AN-756**

SHA = 采样保持放大器

SNR = 信噪比



# 时钟抖动随模拟信号增大而限制信噪比



## 逻辑门/驱动器的加性RMS抖动

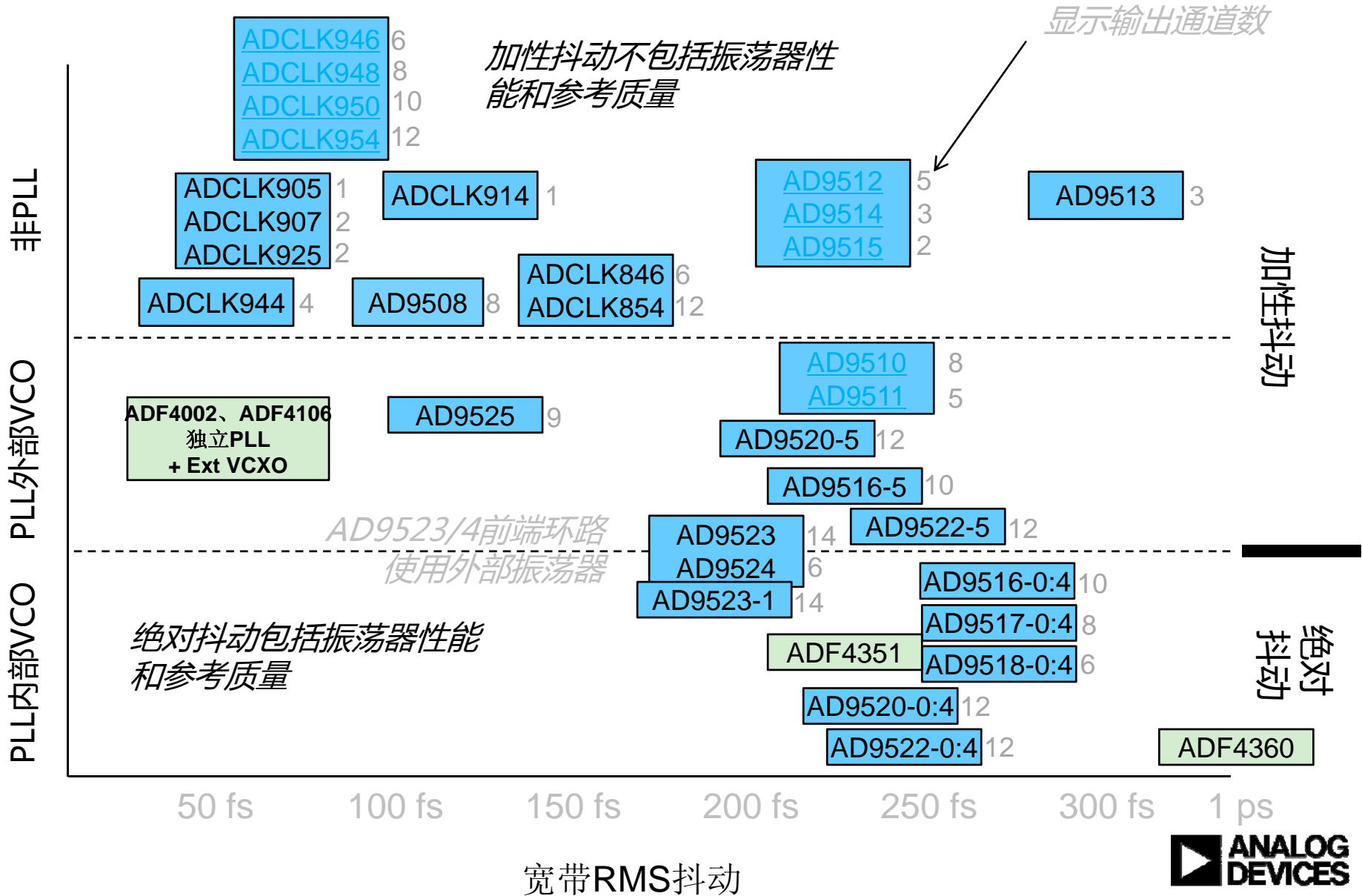


- ▶ **FPGA (仅驱动门)** 33-50 ps\*\*
- ▶ **74LS00** 4.94 ps \*
- ▶ **74HCT00** 2.20 ps \*
- ▶ **74ACT00** 0.99 ps \*
- ▶ **MC100EL16 PECL** 0.7 ps \*\*
- ▶ **AD951x系列** 0.22 ps \*\*
- ▶ **NBSG16, 小摆幅ECL (0.4V)** 0.2 ps \*\*
- ▶ **ADCLK9xx, ECL时钟驱动器系列** <0.1 ps\*\*

\* 基于ADC SNR性能下降而计算

\*\* 厂商规格

# 根据架构与性能分类



## 电压控制振荡器



- ▶ 提供易用性和功能多样性
- ▶ 用于普通应用的简单RC可调振荡器
- ▶ 高频率要求进行专门设计

# 电压控制振荡器 ADF5508

## 特性

### 双路输出

RFOUT = 7.0GHz至8.0GHz

RFOUT/2 = 3.5GHz至4.0GHz

很宽的调谐范围：VTUNE = 2V至18V

### 高输出功率

RFOUT = 16dBm

RFOUT/2 = 4dBm

低相位噪声：-116dBc/Hz (100KHz偏移)

功耗：310mA (典型值)

小封装：32引脚5mm\*5mm LFCSP

灵活的偏置控制电路允许采用5V或3V工作电压

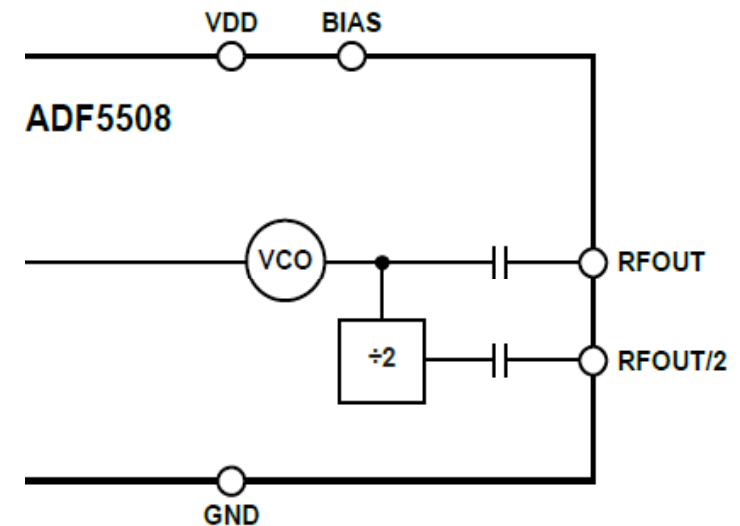
## 应用

点到点无线电

VSAT无线电

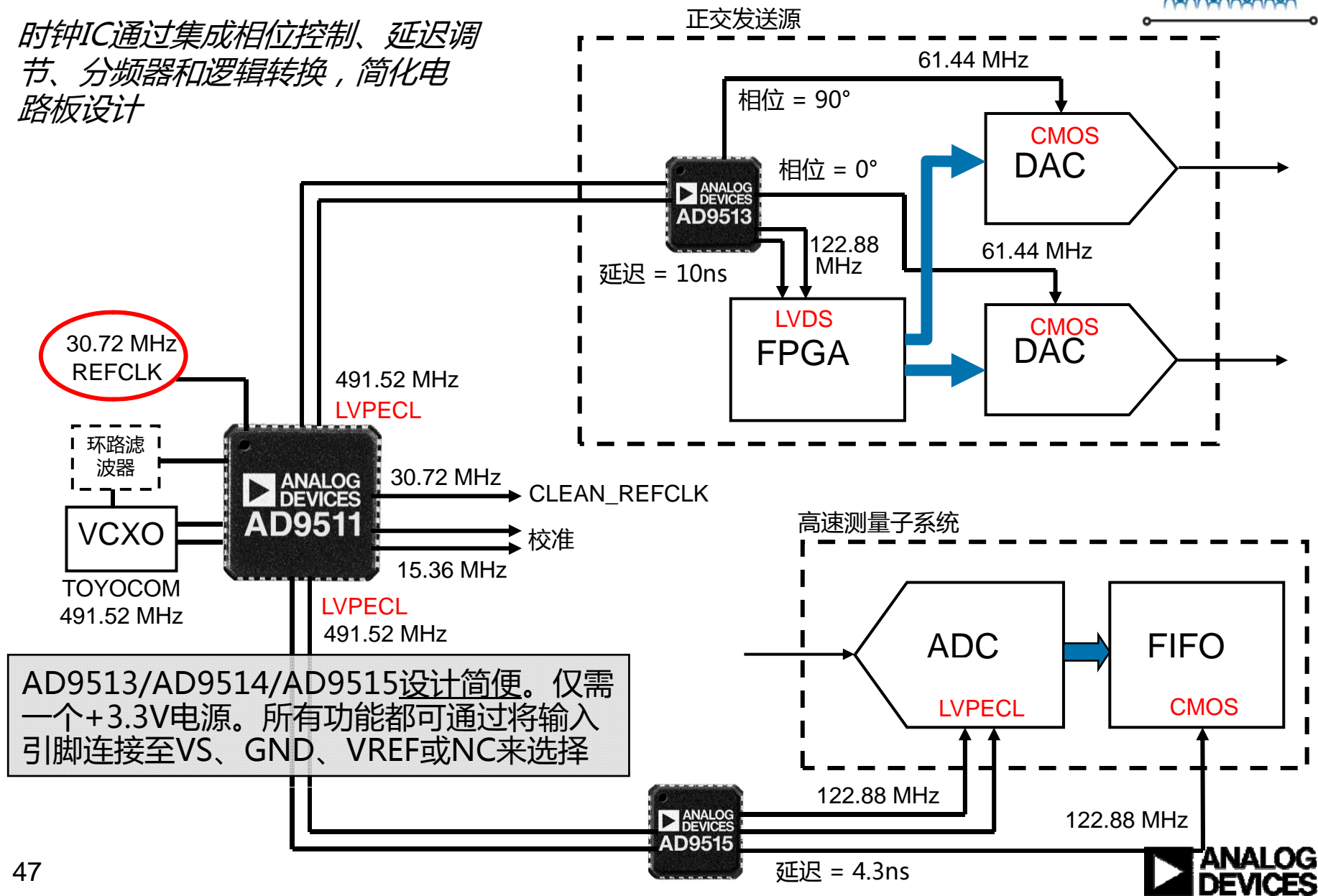
通信测试设备

## FUNCTIONAL BLOCK DIAGRAM



# 系统时钟分配示例

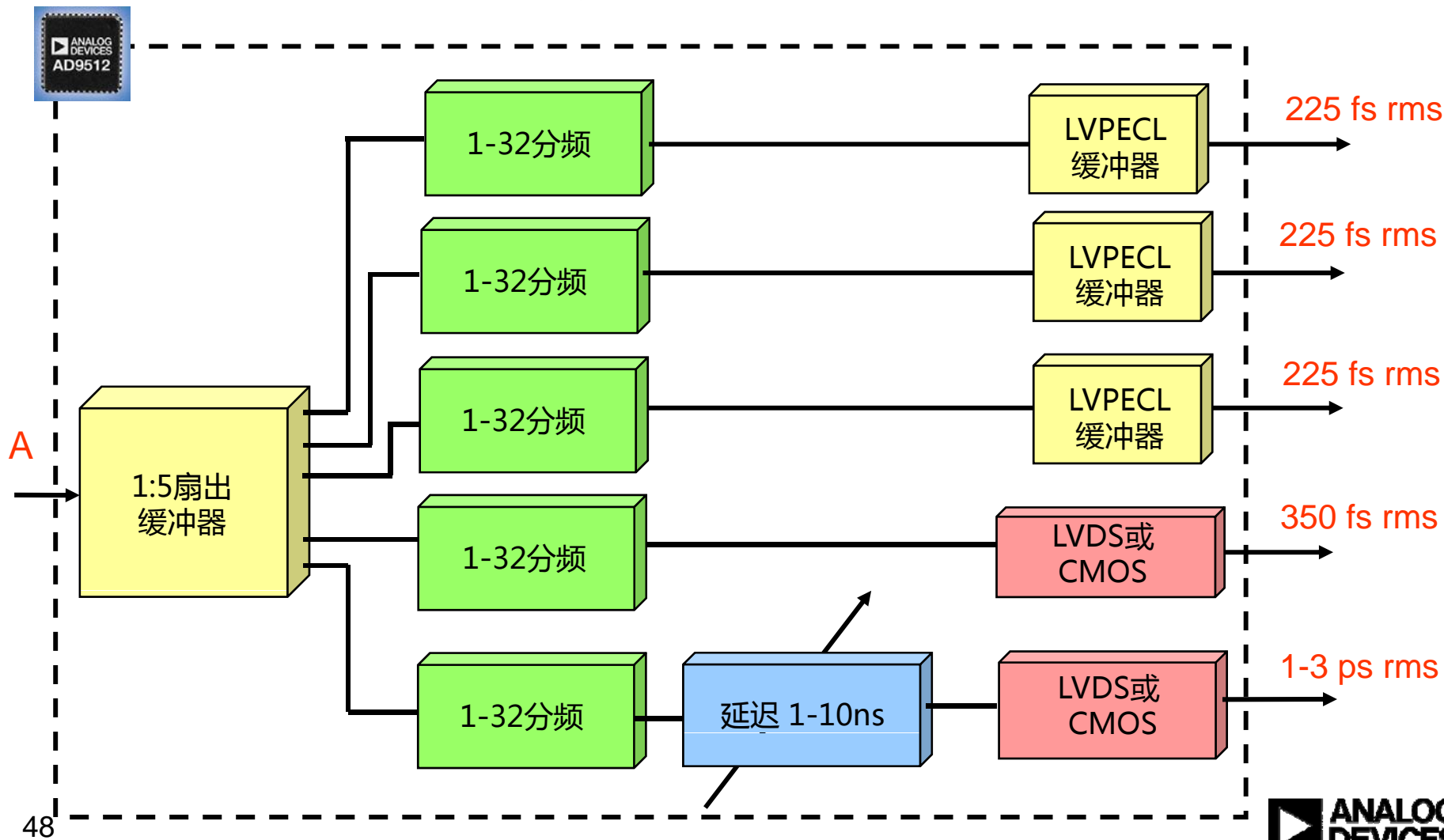
时钟IC通过集成相位控制、延迟调节、分频器和逻辑转换，简化电路板设计



# AD9512 1.2GHz时钟分配IC

$$\text{总抖动} = \sqrt{J_1^2 + J_2^2 + J_3^2 + \dots + J_N^2}$$

rms抖动加至A端信号





# ADI公司的完整时钟产品组合

- ▶ **数字和全数字PLL**
  - 用于频率倍乘/转换
  - 冗余时钟和保持
- ▶ **频率合成器**
  - 用于时钟产生
- ▶ **时钟分配**
  - 用于将相同时钟发送到多个芯片
  - 也用于逻辑电平转换 ( 即LVPECL转LVDS )
  - 可能包括分频器 ( 2/4分频等 )
  - 可能包括偏斜调整功能
- ▶ **电压控制振荡器**

- ▶ 随着系统复杂度和性能要求的提升，频率合成器件必须满足更高的性能和功能多样性要求
- ▶ 锁相环(PLL)的设计与应用
- ▶ 直接数字频率合成(DDS)的设计与应用
- ▶ 软件工具极大地简化了复杂频率合成器件的设计和配置
- ▶ 数据转换器时钟需要具有低抖动性能，以使失真程度最低
- ▶ 专用时钟产生和分配支持精密的频率调谐和相位控制



# 谢谢！

ADI中国地区技术支持热线：4006 100 006

ADI中国地区技术支持信箱：[china.support@analog.com](mailto:china.support@analog.com)

ADI中文技术论坛：[ezchina.analog.com](http://ezchina.analog.com)

ADI样片申请网址：<http://www.analog.com/zh/sample>

