


模数转换器应用中国工程师百问

(来自 ADI 官方中文技术论坛中工程师与 ADI 专家的真实问答： <http://ezchina.analog.com/welcome>)

【ADI技术问题解决攻略】

- 1、在ADI中文技术论坛 (<http://ezchina.analog.com/welcome>) 寻求帮助，通过该技术论坛，您能与ADI专家及同行进行互动，并针对一些复杂、常见的科技产品和应用问题快速找到答案；
- 2、在ADI官方网站 (<http://www.analog.com/zh/index.html>) 寻找相关技术文档，包括参考设计、参考电路、技术指南、应用笔记、常见问题解答等等；(PS: 支持中文关键字搜索)
- 3、微博发布您的问题，并@ADI亚德诺半导体 (<http://e.weibo.com/analogdevices/profile>) 求助；
- 4、拨打免费热线：4006 100 006进行咨询，或者发送您的技术问题至邮箱China.support@analog.com 。

ADC

AD7193

AD7193 的数据采集的问题

Q: 本人是第一次用 AD 芯片，所以遇到过很多的问题，现在遇到一个问题是这样子的数据采集的问题：

1、采集的数据不稳定，刚上电的时候，数据是稍高，然后慢慢变小，再趋于稳定。表现在次高字节。时间上需要 4-5 分钟的过程。（AD7193 的配置是：无增益、无奇偶、无缓冲、一个通道全差分）

2、当我把配置改成有缓冲时候（其它不变），数据就比较稳定，次高字节的数据是在两个数里变来变去，如 83/84 这样子来回跳动。而且是有规律的。次高字节的数据的跳动是根据最低字节的变化来变化的，即 00-FF 的变化，从高到低，就变成 83 ，从低到高就变成 84 ，如此循环的变化。

以上的现象地电路都是一样的，AD7193 的参考电压是跟 AD7193 的电路电压同等

3. 3V 然后，在通道采集上使用差分通道 1，两个 100K 的电阻分压，3. 3V 接差分通道的正，两电阻中间接差分通道负。

A: 1、AD7193 需要连接外部 Reference，推荐使用 ADR 系列基准芯片，其连接方式请参考数据手册图 22。使用电源作为参考通常是不能接受的。

2、另外请参考图 22，芯片电源和 Vref 需使用去耦电容。

3、 建议您在测试时先将两差分输入端先接地，通常从电源上电阻分压的信号本身质量

不高。

Q: 为什么输入端要先接地呢? 我对您说的输入端接地不是很明白, 为什么要这样做呢?

校准嘛? 另外, 请问下, 最好的效果下, 数据的有效位是多少位保持稳定。我现在试的跟 18 位的没什么区别。当然, 在输入端没有去耦电容, 参考电压也没有, 待改进后, 看是什么结果。

A: 因为先要测试静态的性能, 需要一个 DC 的输入, 而地通常是容易获取、质量又较好的 DC 输入。请参考数据手册 16 页表格 11 (也可参考图 18~20), 圆括号内的即为无跳变 (闪烁) 的位数。根据表格内容, 当 PGA 无增益 (Gain=1), 输出数据速率最低 (4. 7Hz) 时, 无跳变 (闪烁) 的位数可达 22 位。由于”RMS NOISE AND RESOLUTION”一节中列出的都是 Chop Disable 模式的数据, 当 Chop Enable 后, 有效位数改善 0. 5。另外, 我们的参考代码在:

http://www.analog.com/zh/content/cast_index_code_example/fca.html 可以找到,

AD719x 都是相近的。

Q:AD7193 提供了几种校准模式, 还有失调寄存器, 满量程寄存器。如何把他们之间给联系起来。怎么去应用? 能有比较更好的详细资料 或者例程吗?

现在我已经按照 Ryan 的方法进行了静态测试, 差分输入端接地, 转换之后采集的数据理论上应该是 000000, 但是还是有 1. 3-1. 5mv 的电压, 怎样去把他给校准以下呢?

是把它给写入到失调电压寄存器里面去吗?

A: 输入模拟信号的量程就是 $\pm VREF/gain$ 。这个量程线性的映射到数字码, 有两种形式:

When the ADC is configured for unipolar operation, the output code is natural (straight) binary with a zero differential input voltage resulting in a code of 000...000, a midscale voltage resulting in a code of 100...000, and a full-scale input voltage resulting in a code of 111...111. The output code for any analog input voltage can be represented as

$$\text{Code} = (2N \times \text{AIN} \times \text{Gain}) / \text{VREF}$$

When the ADC is configured for bipolar operation, the output code is offset binary with a negative full-scale voltage resulting in a code of 000...000, a zero differential input voltage resulting in a code of 100...000, and a positive full-scale input voltage resulting in a code of 111...111. The output code for any analog input voltage can be represented as

$$\text{Code} = 2N - 1 \times [(\text{AIN} \times \text{Gain} / \text{VREF}) + 1]$$

where:

AIN is the analog input voltage.

Gain is the PGA setting (1 to 128).

N = 24.

校准的话, 内部校准模式的输入信号是内部的 0V 和 Full Scale, 系统校准模式的输入信号是系统的 0V 和 Full Scale。事实上上电初始化的过程中 Calibration 寄存器将载入默认值, 这个应是出厂前进行内部校准的结果。建议您进行系统校准, 通过设置 Mode Register 中相应的位, 激活校准功能, 参见表格 20; 在校准完成后, 结果会存入 Calibration 寄存器, 并且在之后的测量中 offset 会自动被减掉。

Q: 另外, 数据手册上说的负, 是指外部模拟输入端, 而我的意思是: 当差分输入时候, 正输入端与负输入端都是正直, 只是它们之间的差分之后的值是负数。那么在这个情况下, 我的配置寄存器的极性位需要设置成双极性吗?

A: 由于 AD7193 事实上只有一个 ADC 核心, 切换应该不会对校准有太大影响。您看看是不是因为这个问题, 通道切换是需要时间的。ADI 的 Sigma-Delta ADC 已经对通道切换的速度做了优化, 限于结构原因, 仍不能保证即时切换。对于某些 Part, 切换通道后, 下一个 RDYn 信号将比连续转换一个通道来得晚一些 (AD7799)。对于 AD7714, 您所

提到的情况也是可能发生的；这时可能就需要在时序中加入一次“伪”读取，在下次读取中得到正确结果。

输出极性的设置决定了输出二进制码的格式。

Q: 目前，我自己来切换通道 相当于是把它再一次初始化，我想这个应该没多大问题，而且我读出来的数据，跟自动切换结果差不多。不管是硬件自动还是程序控制，关键是数据都不稳定，有点飘。但是，我接地来测试的时候，数据是比较稳定的。参考电源，IC 模数电源都是基准源，也加了去藕。

关于这个系统校验的问题，再没有接外围电路的情况下，是可以校验的很好的，但是一旦我接上外围电路来进行系统校验的时候，再读出来的数据就跟实际完全不符合。不明白的是：系统校验是内部的一个连接，跟外部电路应该没有关系的。

A: 在排除其他干扰因素的前提下，输出的有效位数也是随输入信号频率、输出数据速率变化的，请对照“RMS NOISE AND RESOLUTION”一节内容，跳动的位数也许在合理范围内。

关于校准，请进行 system full-scale、system zero-scale 校验，对于不同通道的校准，不共用校准相关的寄存器可以改善校准的效果：

“In differential mode, each channel has a dedicated full-scale register. In pseudo differential mode, the AIN1, AIN2, AIN3, and AIN4 channels have dedicated registers whereas the remaining channels share a full-scale register.”

Q: 关于校准，我还是不太明白，为什么，在差分输入模式下进行校准不能成功呢？我程序流程是这样的：在进行初始化时候，就进行系统零电平校准！然后再写模式寄存器连续转换模式。然后，以中断的模式来数据采集！校准之前已经选定好某一个差分输入通道的配置。在该差分输入通道上，外接了电阻的分压电路。但是，采集的数据完全不正确！相差太远了，而且很不稳定。但是，当我把外部电路去掉，接地后，进行系统零电

平校准时候, 能校准到 0, 而且数据比较稳定, 只有 1-2bit 的变化! (因为, 在不进行校准时候, 差分输入通道接地的情况下, AD 转换的值不为 0, 即 24 位的低 8 位有数据, 且不稳定)。所以, 我想, 我的数据不稳定, 是不是在这个校准上存在问题呢? 因为, 现在的 AD 数值也是低 8 位不稳定。

另外, 请教下: AD 芯片的模拟电源和数据电源在纹波 2-3mV 的情况下, 对数据是否会有影响?

A: 您在输入接地的情况下进行校准, 得到 1~2bits 不稳定的输出, 我们认为这是很合理的 (您可以对比手册 RMS NOISE AND RESOLUTION 一节的数据, 是输入接地时的测试结果)。如果这时输入一个不为零的 DC 信号, 输出跳动的位数较多, 怀疑此 DC 信号本身叠加了一些噪声。您可以选择在前端串入低通滤波器, 对用信号带宽外的噪声进行衰减。理论上电源的波动会影响 ADC 的增益误差, 不过由于电源抑制能力的存在, 较小的纹波 (小于 1%) 对性能几乎没有影响。另外, 数字部分对电源的噪声可能更敏感一些。

Condition:

$AVDD = 3\text{ V to }5.25\text{ V}$, $DVDD = 2.7\text{ V to }5.25\text{ V}$, $AGND = DGND = 0\text{ V}$;
 $REFINx(+)= +2.5\text{ V or }AVDD$, $REFINx(-)= AGND$, $MCLK = 4.92\text{ MHz}$, $TA = TMIN\text{ to }TMAX$, $Gain = 1$, $VIN = 1\text{ V}$

Power Supply Rejection

90 dB

参考上的噪声对 ADC 性能影响更大, 所以通常对参考的指标要求更高, 外部去耦要求也更严格一些。

Q: 对于输入的直流的问题, 比跟接地的效果差很远。跳动的位数比较多。

我外部接两个 100K 的电阻分压, 测试的有效位差 1 个字节, 太高了, 且纹波基本上在

400UV 的样子，应该跟基准没有关系了的。我也在差分输入端做了 RC 滤波。用 100R 和 0.01UF。

当我，直接接基准电源到差分通道的时候，效果也相当的不错，怎么就直接接电阻的分压就差这么远呢，测试了差分通道的两端，纹波跟基准出来的差不多啊！

另外，在模式寄存器中设置中，BUF 位，即设置成缓冲模式，跟不设置缓冲，测试出来的数值相差值为什么差这么多呢？我说的差值不是稳定性，而是两者之差！

A: 当输入信号由电阻分压产生，可能与输入信号的质量及驱动能力（匹配）有关，这时建议选用截止频率更低的滤波器及使能内部缓冲器。

关于缓冲：

“当有或没有缓冲时，如果执行内部失调和增益校准，则在器件的噪声限制内，无论缓冲模式还是非缓冲模式，都将从 ADC 获得同样的输出码。如果未执行校准，则对于相同的输入电压，在缓冲模式和非缓冲模式下，很可能看到不同的输出码。缓冲与运算放大器相似，因此也会有失调电压。当用户在缓冲与非缓冲模式之间切换时，必须执行校准以消除该失调电压。必须牢记，只要更改了滤波器字、输入范围或缓冲模式，就必须执行校准。数据手册含有噪声表，其中列出了不同工作条件下的噪声和数字码分布情况。”

Q: 使内部缓冲，早就试过了，效果跟不缓冲一样，一上电之后，数据慢慢的往下跌，时间长了，稍微会往回升点，再往下跌。输入信号的纹波我已经用示波器测试过了，跟参考基准的纹波基本上一致。在这个问题上，除了软件上的配置，无非就是两个点的影响！一个是参考、一个是输入信号的质量。我不知道您们那边的在参考与输入信号上是按照给的例程上的图来做的么，然后，得到那些数据。

我在网上看到一些资料，要想得到高精度的 AD 值，需要在输入前端加差动运放。我想这点 AD7193 是已经集成在里面了吧，也就是所谓的缓冲选择。

我试的效果是一样的！数据一上电就慢慢变小，一段时间过后，再慢慢回升！再慢慢变

小。这是什么原因. . . 参考部分用示波器测试纹波在 1 M V 的样子。输入信号也是这样子的，甚至我直接用 7 号电池也试过！把差分通道直接短接输入，A D 值也是那样变化的

A: 您的参考用的是哪颗芯片？有没有按要求去耦？另外请您尝试将输入短接后拉到 $V_{DD}/2$ ($3.3V + 2=1.65V$)，看数据是否仍有类似波动。

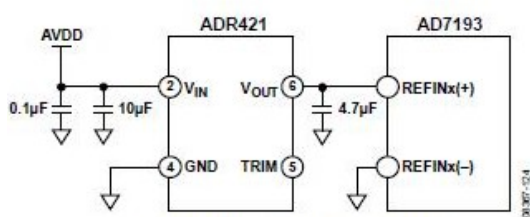


Figure 22. ADR421 to AD7193 Connections

Q: 我用的是 ADR441，连接方法是按照数据手册的基准电压配置来连接的，如图：

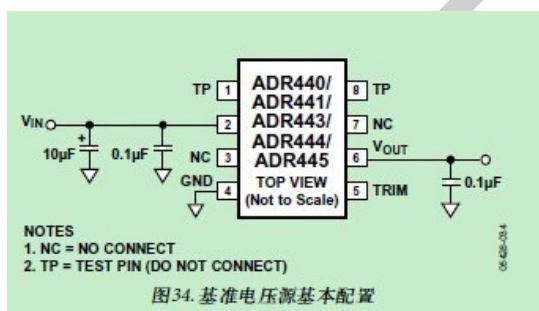


图34. 基准电压源基本配置

您说的输入短接拉到 $V_{DD}/2$ ，怎么拉？跟电阻分压到 $V_{DD}/2$ 有什么区别嘛？另外，我又买了三片 AD7193，试了一下的情况介绍下：我焊上去，首先就是把某一个差分通道端接收到模拟地，然后采集出来，发现数据几乎等于 0，很小的跳动。上电、掉电几次看它的稳定性是否好，结果也不错。然后，接 7 号干电池，正端接差分的输入正负端，电池的地接模拟地。效果也很好，几乎等于 0（我都以为会没问题的，心里暗喜啊！）。之后，我接电阻分压，采集的数据差很远。上电慢慢变小，然后变化越来越缓慢。但是数据稳定不跳变得位数只有 15 位。当我接热敏电阻就变化更大，当然，热敏电阻是跟温度有关系的，但是在室温下应该查不多，变化不会那么大！感觉也不正常。

今天,我另外焊接了块新的PCB,但是效果又不一样,跟上面一样去测试,差分通道接地就不会等于0,而是慢慢变大!!! 电路只有接AD的工作电压输入与参考电压的滤波电路,没有接任何东西来试的。然后,我又把上次测试比较好的来重新来测试,效果跟现在新的一样。我真怀疑是被焊坏了,但是一般的IC也不会那么脆弱吧!因为,我焊接的时候稍微焊接久了点。上次测试不错的,因为要换电路,所以也用烙铁点了几下。

以上,是我近段时间的测试情况,排除焊接坏的问题,不是焊剂坏芯片的问题,是我用的电池快没电了,所以导致接地输出数据不为零的情况!现在就是:接热敏电阻会往上漂和往上漂!会影响到最高字节!

A: 请排除其他干扰因素,建议使用一块实验板进行单颗芯片的测试;请确保不存在接地环路;请确保电源充分去耦,去耦电容应尽可能靠近ADC的引脚;请尽量排除测试现场的其他干扰源;请确认产品的购买渠道:

<http://www.analog.com/zh/corporate/sales-and-distributors/content/sales-and-distributors/fca.html>,只有授权代理商处提供的产品是可以保证性能的。

Q: 差分输入的电压被拉底。在使用内部缓冲的时候,差分输入为什么会被拉底呢?大概只有输入的一半电压!!

A: 如果芯片没有损坏,Buffered模式下输入阻抗非常高,单端输入Range (Vss+0.25)~(Vdd-0.25)。如果有信号加上去就被拉低,则一定有大电流产生,这会造成电路的损坏。

Q: 但是,在不使用内部缓冲的情况下,测试的电压就很接近输入电压呢?这说明内部的缓冲功能的电路是损坏了吗?

A: 您的测量过程,能具体描述一下么?比如您用什么做信号源,它开路时的幅度或电平和连接到ADC后的幅度或电平发生了变化?是用示波器/万用表测得的?

Q: 我的测量过程很简单；我就是用电阻分压，然后用万用表测量我要采集的电阻两端电压。然后再通过 AD 采集转换成电压，通过串口发出来对比。在我不使用内部缓冲的时候测试的电压跟我用万用表测试的电压吻合。但是采用内部缓冲的时候，就会比用万用表测试的电压小，但是，在测试过程中，用万用表去测试的时候，电压也是不用内部缓冲测试的值一样没有变化。所以，说明我在输入的时候电压没有被拉低！但是不知道为什么采集的数值转换后会变低。我也把使用内部缓冲和不使用的时候，把两者的原始数据发出来看过，AD 值上明显有变化。

A: 如果在非缓冲模式下使用 ADC，则输入端的较大 RC 常数会与内部采样电容交互作用使采样电容无法得到充电电流，这将在 ADC 中引起增益误差。解决办法是使用缓冲模式，或者确保遵循数据手册中给出的最大 RC 值要求。参考输入也是非缓冲型，因此与非缓冲模式下使用模拟输入一样，参考输入端的 RC 载荷必须足够低，以免将误差引入转换过程。

当有或没有缓冲时，如果执行内部失调和增益校准，则在器件的噪声限制内，无论缓冲模式还是非缓冲模式，都将从 ADC 获得同样的输出码。如果未执行校准，则对于相同的输入电压，在缓冲模式和非缓冲模式下，很可能看到不同的输出码。缓冲与运算放大器相似，因此也会有失调电压。当用户在缓冲与非缓冲模式之间切换时，必须执行校准以消除该失调电压。必须牢记，只要更改了滤波器字、输入范围或缓冲模式，就必须执行校准。

Q: 按照您的意思，在使用缓冲模式时，在差分输入通道不需要再加 RC 电路了，只有在非缓冲模式下在使用外部 RC 电路。例如 AD 的参考输入端，因为它内部是非缓冲的，所以外部输入端才加 RC 电路。是这样理解吗？

A: RC 应该是抗混叠滤波器，最好都加，非缓冲模式下输入阻抗较低，设计是要考虑其

影响。

AD7190

AD7190 芯片复位的问题

Q: 我现在使用 AD7190 时，发现芯片出现工作异常时，使用 datasheet 上 reset 操作。无法短时间内重置芯片。我每 2s 会发出一次 reset 操作，然后重新配置 ADC。大部分时候，ADC 没有返回值，有时也会出现几个连续 0 返回值。过了几次 reset，（有时可能会非常多次），才有可能恢复正常。重新上电会很快恢复正常，但是这中做法根本无法应用于实际产品中。我想请教一下，是否有比较好的办法，使用软件重置 ADC。还有是什么原因使 AD7190 出现这个问题呢？

A: 检查一下管脚点评和时序。对于 AD7190 来说，连续的 40 个“1”会使能芯片的 RESET，但是如果管脚电平不满足需要或者电压有比较大的毛刺的话，一旦 AD7190 没有收到连续的 40 个 1，就无法使能 RESET。您最好检查一下输入时钟和电平，看看是不是每个时钟对应的电压都是 1。

请教 AD7190 的 REF 引脚链接

Q: 请教下 AD7190 的 REF(+)是否接到 2.5V (MAX6225)的基准电压+上？REF(-)接到基

准电压的-上并接到 AGND? 谢谢

A: REF+接 2.5V, REF-接地, 可以的。

Q: 这样会不会干扰很大,地不会很稳定吧, REF- 接个基准会比较好吧?

A: 一般都是接地的。如果你本身的地上有干扰,那么即使 REF-接基准,地上的干扰也一样会影响性能。所以,根本的还是要让 ADC 远离噪声大的数字部分。

AD7190 怎么接外部 10v 激励电源的电桥?

Q: 我有一个应用,希望用 AD7190 来采集一个张力传感器,传感器的厂家说需要 10v 的激励电源,这和 AD7190 的典型应用电路不一样,我看到了一个 AD7730 的电路可以外接 +/-5v 的激励电源,也就是 10v,不知道按照那样接是否可以?

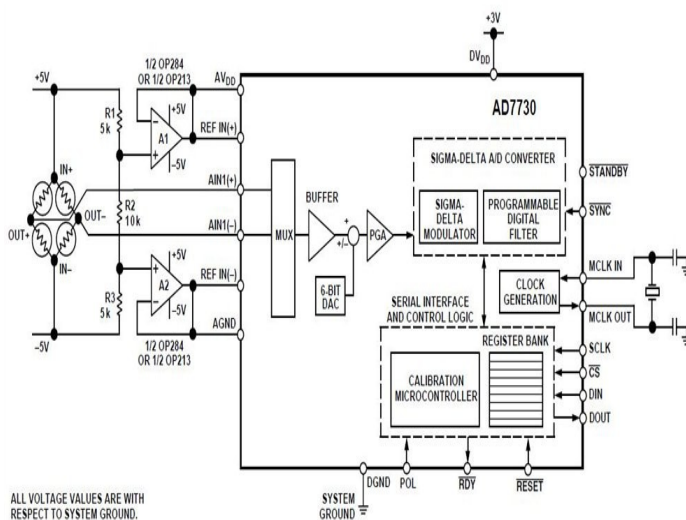


Figure 25. AD7730 with Bipolar Excitation of the Bridge

我想用来检测两个张力传感器,请问,AD7190 的两个差分通道完全一样吗? 如果电桥的激励电压较高,可以用电阻分压得到 ADC 的参考电压在 AD 的“工业应用 Sigma-Delta ADC 常见问题. Pdf”文档里,看到了这样一句话,“对于压力测量或者电子秤的

应用, ADC 的参考源可以由电桥传感器的激励源提供, 这种测量方法叫做比例测量。应用这种方法, 激励源中的噪声会被抵消掉。如果电桥的激励电压较高, 可以用电阻分压得到 ADC 的参考电压。”按照这一说法可行吗?

A: 首先 AD7730 的电路对于 AD7190 是不适用的。AD7730 的设计是不同于 AD7190 的。另外关于比例测量, 与您现在的情况是没有关系的。比例测量只是为了去除激励中的干扰和噪声, 并不能增大激励的大小。

如果用 10V 做激励源, 这样传感器差分输出的共模电压会有 5V, 已经到了 AD7190 能接受的输入的最大极限。所以对于 AD7190 来讲, 最好的激励电压是 5V, 这样共模电压是 2.5V, 正好是 AD7190 输入的中心。

Q: 正如您所说, 共模是个问题; AD7192 好像可以, 但是太贵! 使用上好像有很多限制; 不知道各位还有什么办法吗?

A: 看了一下, AD7192 也不能输入高的共模。ADI 有一些老的 sigma-delta ADC, 电源电压可以比较高。或者楼主可以用仪表放大器先做处理, 然后输入到 ADC。如 AD8221, AD8226, AD8227 是电桥放大的仪表放大器。

关于 AD7190 问题

Q: 看了 ADI 的 AD7190 Datasheet, 可以选用内部或者外部时钟, 请问这在在应用上有什么区别? 是否外部时钟比内部时钟优越? 另外, 如果选用内部时钟, mclk1 和 mclk2 是否要悬空?

A: 使用内部时钟可以节省成本, 但精度一般没有外部时钟高, 主要是因为电源要给芯片内部的时钟电路供电, 所以会影响电源抑制比特性, 使用内部时钟的时候, mclk1 和

mclk2 要悬空，楼主可以看一下数据手册 33 页上 CLOCK 部分的介绍。

AD7731

求教关于 AD7731 的问题

Q: AD7731 的 RDY 不拉低的现象和 AD 不工作，谁有这样的经验可以告诉我。我是

AIN1=2. 5VREF, AIN2=2. 5-0 (信号) 设置等都没有问题。想知道还有什么问题。

A: 硬件上要确定电源和时钟等输入都正确。另外，像 RESET, STANDBY 和 SYNC 这三个管脚在正常工作时都必须接高电平。现在是一直都没有 RDY 拉低吗？您可以把芯片设为连续转换模式，这种模式下，即使每次转换完不去读数据，RDY 上面会看到与 output rate 相同的脉冲信号。

51 单片机采集 AD7731 信号问题求解？

Q: 我现在在用 AD7731 做一个采集力值传感器信号的模块，主要有以下几个问题：

1、为了检测和单片机通信是否正确，我在初始化完成之后检测了 Rdy 是否拉低，结果检测到其拉低了，这是否说明初始化成功？

2、我使用的传感器最高输出电压是 30mv，那么如果用内部 PGA 的话寄存器怎么设置？

A: 点击链接：<http://uploAD.ednchina.com/Attachment.aspx?attachmentid=127769> 下

载 AD7730 的代码，与 AD7731 在控制上是类似的：

- 1、最好是能写一个寄存器，再将它读出来，看是否是写进去的值，以此来验证。
- 2、参考 17 页的 Table XII。如果信号为 0~30mV，那么 RN2~RN0 应为 010，B/U Bit 应为 1。

Q: 写入寄存器和读出的值有差异。我开始不初始化芯片，这时候读 AD7731 的内部寄存器的值，总是发现，最低位者为是 1，然后初始化 AD7731，也发现这个问题，即每次读回来的值，末尾一位都是 1，如果写进寄存器的值本来末尾位是 1 的话读回来是正确的，但是如果写进去的数末尾位是 0，那读出来就是错的，我的写程序和读程序都是严格按照文档里面写的，这是怎么回事呢？

A: 读写的函数是没问题的。调用这些函数的语句是什么样的？

Q: 读出来的数最低位不正确。就是每次写入的数读回来末尾的数总是 1，尽管上电之后不想寄存器写入数据，就去读寄存器的值，最后一位仍然是 1。信号现在是 20mv 的差分信号。我发现一个问题：AD7731 在发送完数据之后，DOUT 引脚自动的变成高电平 1；而之前读回来的数据最后一位老是 1；那么我做了一个改动，在读程序退出之前加了一句 DOUT=0;也就是在读完 8 位或者 16 位数据之后在关闭 CS 片选信号退出读函数之前强制性的写个 0 在 DOUT 上（下面程序的★★★位置），发现读回来的数据最后一位又全是 0，按道理说，前面的数据已经读完，这个 DOUT 的值跟前面的数据是无关的。

A: DOUT 是 ADC 的输出脚，您用控制器使得“DOUT=0”，这没什么道理。如果可以，最好是能将这几根线的时序图抓下来，便于分析。另外，没看到您调用读的子函数。

Q: DOUT=0 只是为了测试，因为之前读的最后一位老是 1，所以我在退出来的时候写了个 DOUT=0;这时候发现最后一位读出来又全部是 0。调用读的函数是这样：因为我的读函数是一次读八位的带返回值，所以我连续用三次读函数来实现读取 24 位的结果，格式如下：

```
WriteADc(0x11);//下一个读数据寄存器
```

```
while(Rdy);/*等待*/
```

```
a=ReADData();
```

```
b=ReADData();
```

```
c=ReADData();
```

再把 abc 的值换算成电压值 这样正确吗?

现在单片机和 AD7731 的通信已经正常, 写进寄存器的值读回来完全正确, 但是我像这样写为什么读回来的全是 0 呢?

```
WriteADc(0x11);//下一个读数据寄存器
```

```
while(Rdy);/*等待*/
```

```
a=ReADData();
```

```
b=ReADData();
```

```
c=ReADData();
```

信号是 20mv 的差分信号。

A: 读转换数据时, 应该是等到 RDY 后, 再 Write 0x11, 您可以看看芯片资料第 36 页的 Table XX。

Q: 我改过来了, 还是一样的效果, 读回来的全部是 0。一般是什么原因会导致这样的结果? 我的单片机和 AD7731 通信完全正常, 我在大循环内部一直循环的等待 RDY=0; 然后读数据寄存器, 发现一直停留在等待 RDY=0 这个位置, RDY 一直是 1; 没有转换, 再次检查的时候把各个寄存器的值读回来检查, 都是正确的。

A: 所以现在的问题是 RDY 信号不变低, 即表示没有转换完成, 所以读到的数不对。您把 RDY 与单片机的连线断开, 然后设置 AD7731 为连续转换, 看是否会有 RDY 信号出来。

为什么 AD7731 通信正常, 但是不能实现转换?

Q: 我的 AD7731 与单片机的通信全部正常, 写入寄存器的值读回来全部正确, 传感器的信号最大是 30mv 的差分信号, 加至 AIN1-AIN2 上, 发现不能实现转换, 请问这是什么原因? 在 AD7731 的 AIN1-AIN2 悬空的情况下, 能测试到此俩引脚上的电压值是 2. 38V-2. 41V 跳动, 这正常吗?

A: 悬空的电压没有太多意义。最好不要测量悬空的电压, 您可以试着吧 2 个输入短接地, 试试看输出是否为 0。同时, 您的传感器共模电压为多少? 如果是热电偶, 需要连接一个参考电平, 请注意一下芯片输入需要的共模电压范围。

Absolute/Common-Mode Voltage

AGND + 1. 2 V V min

AVDD - 0. 95 V V max

在请问老师, AD7731 的内部增益怎么使用较好?

Q: AD7731 的内部增益怎么使用?

A: 取决于您的输入范围

使用多少倍的增益主要取决于您电压的输入范围。您不需要单独设置这个增益, 您只需要根据您的输入, 选择输入电压范围就可以了。可选的范围有

20 mV, 0 mV to +40 mV, 0mV~80 mV, 0 mV to +160 mV, 0 mV to +320 mV, 0 mV

to +640 mV and 0 V to +1.28 V

Q: 我之前的那个 AD7731 仍然在做, 但是我也尝试下用 AD7190 做一下, 不知道哪个性能更好点! ^_^

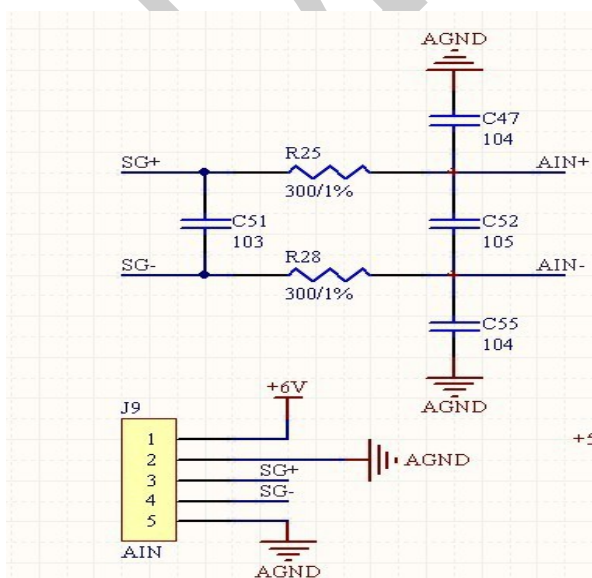
A: AD719x 是较晚发布的产品, AD7190 比起 AD7731, 静态、动态性能都有所提高, 同时功耗有所下降。

AD7731 采集桥式传感器信号漂移问题

Q: 信号稳定的情况下 AD7731 转换的效果非常好! 我的传感器是测量压力的惠斯电桥式的, 最大输出信号 0-15mv, 前级采用 RC 滤波(无跟随), 直接输入 AD7731, 现在的问题是, 上电的时候就能采集到一个电压值, 这个电压值会一直减小, 到一定的程度停在一个值附近上下波动, 这是否就是漂移问题? 应该如何从硬件上消除这个问题呢? 我采用的 AD780 作为基准, PCB 设计模拟地和数字地分开, 单点用 0 欧电阻连接, 传感器的激励电压采用直流稳压电源, 纹波很小 2mv 左右!

A: AD7731 输入级设计了片上 Buffer, 应该不会有驱动的问题。我们怀疑您的前置 RC 滤波器建立较慢无法跟随信号变化, 建议减小其时间常数。

Q: 会不会是接地的问题? 我的 RC 如下:

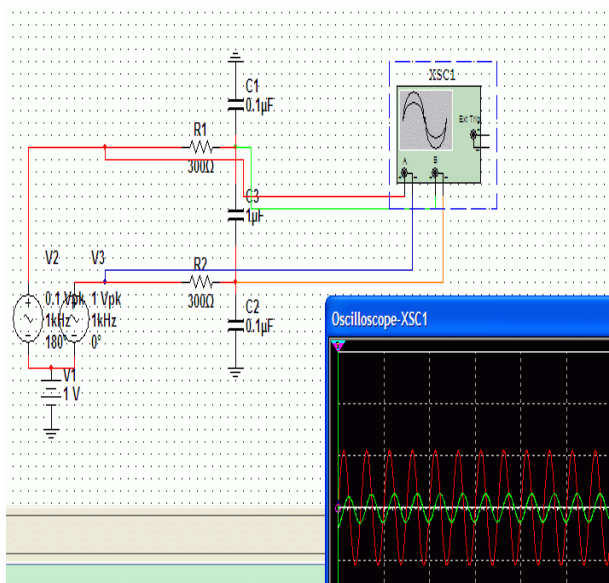


AD7731 在信号稳定的时候转换是非常准的, 现在问题出在信号这里, 所以麻烦 ADI 的工程师帮帮我! 信号 0-15mv, 传感器供电采用单独的直流稳压电源 78M06 供电, 电压为 6V!

会不会是 RC 元件的温漂会不会造成这种现象?

A: 仿了一下, C52 取 1uF 显得太大了, 见图。建议把 C51 去掉, C52 换成小一些的, 如

101



Q: 不是这个问题! 我实际测试过, 在压力传感器不受力的情况下, 实际测得的电压在 0.3mv 左右 (因为机器上传感器上有用于压物体的钢板), 经过这个 RC 滤波电路之后信号指示微弱的变化, 传感器是正常的, 但是用 AD7731 转换过来的电压却是 17.3. . . . mv, 而且依然是慢慢减小, 上电的时候转换的值更是达到了 30. mv 以上, 这个传感器的最大输出信号才 12mv, 这会不会是我的 AD7731 的使用方法错了? 请问 AD7731 正确的初始化过程是什么样的?

A: 除接口配置外其它设置主要有输出速率、是否使能斩波、模式选择等。附上一个 AD7730 的例程供您参考, 配置过程是相似的:

<http://uploAD.ednchina.com/Attachment.aspx?attachmentid=137577>。AD7731 输入

有 Buffer, 通常输入的耦合应没什么问题, 不过您也可以考虑加一级 buffer 试试。

Q: 我也用 AD7731, 我是测量直流电压, 所以我采用双极性的, 我想是差分输入

AIN1=2.5REF AIN2=测试信号 (2.5-0) 请问这样对吗, 我的 RDY 校准时, 有时候不拉低, 不知道为什么。我仔细检查了程序, 配置没有问题。程序是正确的, 就是 AD7731 的增益和输出编码的关系以及 AD7731 量程的选择这些, 以及 AD7731 在 PCB 设计的时候该注意哪些问题, 我还不不太明白? 打算重新做板子!

A: 一、输入极性选择和编码

当 MR12 位设为零, 输入双极性, 编码为二进制偏移。

例如

	偏移码
3	111
2	□110
1	□101
0	□100
-1	□011
-2	□010
-3	□001
-4	□000

当 MR12 为设为 1, 输入单极性, 编码为正常二进制码。

二进制码

7	111
6	110

- 5 101
- 4 100
- 3 011
- 2 010
- 1 001
- 0 000

“MR12 B/U Bipolar/Unipolar Bit. A 0 in this bit selects bipolar operation and the output coding is 00. . . 000 for negative full-scale input, 10. . . 000 for zero input and 11. . . 111 for positive fullscale input. A 1 in this bit selects unipolar operation and the output coding is 00. . . 000 for zero input and 11. . . 111 for positive full-scale input. ”

二、输入 Range 选择

输入 Range 通过设置 Mode 寄存器实现, 其实这里就是更改 PGA 的增益, 手册换了一种说法。

“Differential Input Voltage Ranges¹² Assuming 2.5 V or 5 V Reference with HIREF Bit Set Appropriately(The nominal reference voltage should be +2.5 V when the HIREF bit of the Mode Register is 0 and is +5 V when the HIREF bit of the Mode Register is 1.)

0 to +20 or ±20 mV nom RN2, RN1, RN0 of Mode Register = 0, 0, 1

0 to +40 or ±40 mV nom RN2, RN1, RN0 of Mode Register = 0, 1, 0

0 to +80 or ±80 mV nom RN2, RN1, RN0 of Mode Register = 0, 1, 1

0 to +160 or ±160 mV nom RN2, RN1, RN0 of Mode Register = 1, 0, 0

0 to +320 or ±320 mV nom RN2, RN1, RN0 of Mode Register = 1, 0, 1

0 to +640 or ±640 mV nom RN2, RN1, RN0 of Mode Register = 1, 1, 0

0 to +1.28 or ±1.28 V nom RN2, RN1, RN0 of Mode Register = 1, 1, 1

三、校准

校准通过向通信寄存器和模式寄存器写入相应控制字实现, 对于效验的完成有两种判断方法:

There are two methods of determining the end of calibration. The first is to monitor the hardware RDYn pin using either interrupt-driven or polling routines. The second method is to do a software poll of the RDYn bit in the Status Register.

设计电路板可以参考评估板相关文档:

http://www.analog.com/static/imported-files/eval_boards/AD7731_Tech_Note.pdf

http://www.analog.com/static/imported-files/eval_boards/AD7731_EvalBoard.pdf

AD7732

AD7732 和 AD5754, 求解答

Q: Q1—Continuous mode 下是否可以只打开一个通道? 数据手册上的内容如下:

After the conversion is complete, the relevant channel data register and channel status register are updated, the relevant RDY bit in the ADC status register is set, and the AD7732 continues converting on the next enabled channel.

Q2—系统中有 AD7732 和 AD5754 两片模数混合芯片, 对于 AD7732 采用数字和模拟地都连到模拟地, AD5754 在靠近 DAC 处单点接地, 这样的方案是否可行?

Q3—关于 Continuous ReAD (Continuous Conversion) Mode, 有这样一段话:

When the Cont RD bit in the mode register is set, the first write of 48h to the communications register starts the continuous reAD mode. As shown in Figure 22, subsequent accesses to the part sequentially reAD the channel status and data registers of the last completed conversion without any further configuration of the communications register being required.

Note that the continuous conversion bit in the mode register should be set when entering the continuous reAD mode.

按照这段话的描述, 写进 mode register 的应该是 24H 才对, 但是文中的图是 48H, 如下图:

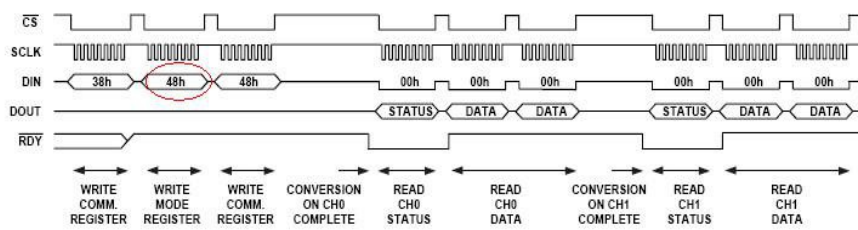


Figure 22. Continuous Conversion, CH0 and CH1, Continuous Read

Q4—对于 AD7732 和 AD5754 是否需要用两个参考电压, 共用一个电压参考有没有问题?

A: 1、Continuous Mode 应该是两个 Channel 间相互转换的。

2、还是建议您数字地与模拟地分开, 然后数字地与模拟地单点相连。系统要分为模拟地和数字地两部分, 模拟地和数字地都要是大面积的地平面。ADC 芯片本身模拟管脚与数字管脚都物理上分隔开了, 因此 ADC 可以跨在模拟地平面和数字地平面的中间, ADC 的 AGND 管脚要接到系统模拟地, ADC 的 DGND 管脚要接到系统数字地。模拟地和数字地最终在 ADC 的附近进行一点相接。更详细的信息请您参考如下链接:

http://www.analog.com/zh/content/cast_faq_ICV/fca.html#faq_icv_14

3、非常抱歉, 应该是数据手册中打印错误, 看了一下应该是 24H。

4、是可以的,但需要注意给两个芯片提供参考电平的驱动能力,如果驱动能力不够的话会导致参考电压的下降。

Q: 感谢您的回答。我还是有些不解:对于第一个问题,数据手册上有这样一句话:

the AD7732 continues converting on the next enabled channel, next enabled, 这句话没有说下一个 channel 必须 enabled, 如果另外一个没有 enabled 呢? AD7732 会怎么做呢?

第二个问题,按照您的办法,AD7732 附近单点接地,那么 AD5754 呢? 也单点接地吗?

这样不是造成多点接地了? AD7732 手册上有一个典型应用电路,在这个图里面,数字地和模拟地都接到了同一个图标,是否可以理解为接到了同一个地?

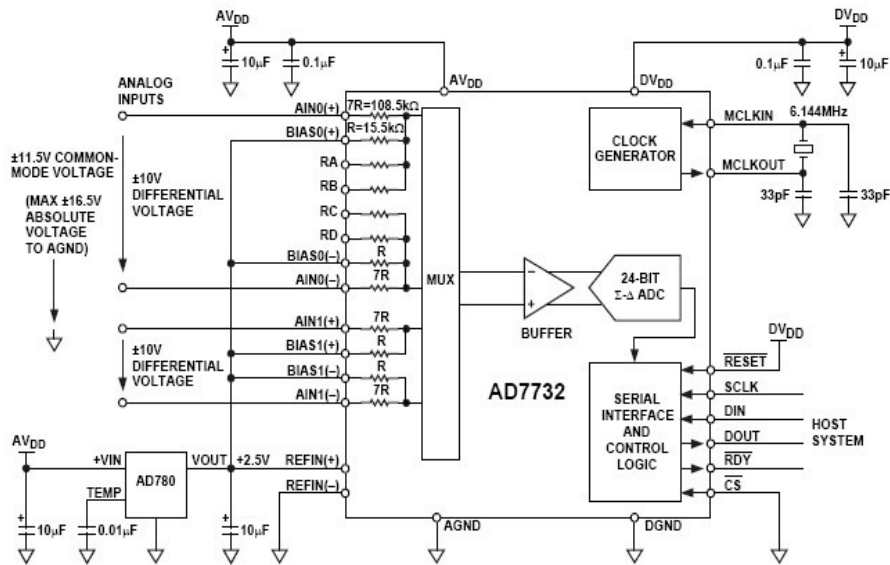


Figure 29. Typical Connections for the AD7732 Application

第三个问题, 如果真的是错误, 请 ADI 尽快修改数据手册。

第四个问题, 用同一个电压参考的话, 应该是要求 AD7732 和 AD5754 比较近, 电压参考走的线短, 引起的噪声小?

A: 对于 Continuous Mode, 如数据手册中描述, 会检测 enabled channel, 如果另外一个没有 enabled, 就不会通过其进行转换, 而在 enabled 的转换。

接地需要将地分块, 分成不同的模拟地和数字地, 然后分别单点相连。

参考电压线要尽量避免噪声, 可以通过电容去耦的方法去除高频噪声。

Q: 第一个问题: 您的意思也就是 Continuous mode 可以只打开一个通道, 是吧? 那我之前的理解是正确的咯。

第二个问题: 数据手册里面那个典型应用是没有分模拟数字地的 (因为图标是一样的), 还请您关注这个问题。

A: 接地的最基本原则是使模拟输入端噪声尽量小, 所以一般建议将模拟地与数字地分开 但是由于 PCB 布板等原因, 不分隔模拟地与数字地也是可以的。

AD7734

AD7734 采样偏移误差的问题

Q: 第一次用 AD7734, 24Bit 的 signal_deltaADC, 调试出来, 控制 ADC 没有问题了, 读取数据也没有问题, 但问题是读出来的数字结果换算出来的模拟值总比我输入的实际值要小, 比如我输入 1.2V, 转换的结果是 1.18V。我将板卡上的地连接到通道上, 测量出来的值大约是 5mv, 那么就算把 $1.18 + 5\text{mv} = 1.185\text{mv}$, 还是比实际值小 15mv。然后我又测试了一下, 在输入电压为 1V-2V 时, 偏差在 10-20mv, 随着输入电压升高, 偏差也在变大, 当输入为 5V 时 (我设定的输入电压范围是 -5V--+5V), 偏差为 38mv 了。这样是什么原因造成的呢? 正常么?

A: 输入接地时测出的值可以看作是偏移电压误差, 资料上给出的为 $\pm 10\text{mV}$ 。当输入信号增大时, 发现输出的偏移增加, 是因为 Gain Error 起作用了。校准前的 Gain Error 为 $\pm 0.35\%$ 。按您现在的配置, $(0.038 - 0.005) / 10\text{V} = 0.33\%$

Q: 问题中的数据是在我已经做了 ADC 的 zero scale calibration 之后得到的, 这正常吗, 那现在这个偏差有什么方法消除吗? 或者说这就是应该存在的, 只能通过软件补偿回来? 那我是不是可以通过实际测试, 测试不同输入范围的电压信号, 然后建立一个补偿表, 根据不同的输入信号对测试得到的数据进行一定的补偿, 这种做法可不可以呢?

A: Offset Error 通过"Channel system calibration"会改善很多, 可以做到 uV 的级别。"建立一个补偿表"肯定是可以的。但不同芯片可能会有差异, 这会带来一定的误差。比较可取的还是采用"Channel system calibration"的方法。

Q: 您说的 channel system calibration 我在文档中看到了, 文档中的意思是要做 channel

zero scale 和 channel full scale calibration 时, 要分别接一个外加的信号, 请问当做 zero scale calibration 的时候, 接什么信号呢? 做 full scale calibration 的时候又接什么信号呢
比如我设置的输入量程是-5 --+5v, 单次转换模式。那么 zero scale calibration 时接什么信号, full scale calibration 时接什么信号?

还有就是这个 channel system calibration , 在采样之前做, 那是每一次采样之前都要做吗? 还是做一次之后, 他们的寄存器的值改变了之后, 就不要再做了?

A: 对于 AD7734 来说, 分 Self-Calibration (自校准) 和 System-Calibration (系统校准) 在自校准时不需要外接信号, 即"ADC Zero-Scale Self-Calibration"不需要外接信号。系统校准时, 则需要外加信号。Zero Scale Calibration 时接系统的 0 信号, Full Scale Calibration 时接系统的满幅度信号, 即+5V。

不需要每采样一次就校准一次, 一般上电后做一次即可。但如果环境的改变会影响系统的 0 信号或+5V 电压时, 则需要重新做校准。

Q: 当 full scale calibration 时, 要接什么精度的输入电压?

A: Full Scale 校准时, 需要输入系统的满幅度电压, 该电压的精度越高越好, 可用参考源的输出来提供此电压。

Q: 请问怎样获得高精度的电压参考源?

A: 用峰峰值噪声小的电源就可以, 当然也可以用 ADR581, ADR441, ADR425 等基准芯片产生参考源, 精度和稳定性越高越好。

AD7734 带宽

Q: 我用的 AD7734 与 AVR 单片机相连接, 通过串口传输数据到上位机。只用一个通道。

输入 100Hz 信号, 采集的波形就失真了。请问有什么办法能够提高带宽。

A: 输入信号频率更低的时候就正确吗? 您先用示波器看一下输入端上实际的波形是什么样的, 是不是输入本身就不好了。另外, 您的采样率是多少? 可以的话, 把输入波形, 和输出的数据的图贴上来看一下。

Q: 我研究了一天, 发现是 AVR 单片机和串口通信速率的问题。AVR 时钟频率只有 10M, 串口通信波特率 38400。是不是高采样率的应用都用 DSP? 传输用的是什么接口?

A: 您是要采样以后传到电脑上吗? 如果用串口的话, 最高波特率一般是 115200, 这样当采样率高的时候会有问题, 应该用 USB 传。

AD7734 零点偏移

Q: 我用 AD7734 做 AD 转换。发现有一个固定的偏移, 有什么解决的办法吗? 我用的是 disable 模式。按 pdf 来说, 一般不用 self calibration。怎么会有 -0.01v 的偏移呢? 难道要软件补偿吗?

A: 芯片本身会存在失调误差和增益误差, 从而导致输出的偏移。可以使用软件的办法, 在单片机里把此偏移人为地去掉, 也可以对 ADC 进行校准, 将偏移量去掉。可以试试用简单的 Self 校准看看效果。

Q: 我用了 self calibration。发现效果更差了。看了 pdf, 好像在 chopping enable 模式下, 用 self calibration 没有作用。现在想试试 system calibration, 但不知道满量程时所加电压精度要多少。

A: 如果使能了 chopping enable 模式, 就不用做 zero-scale self-calibration 了, 即使做也不能进一步减小 offset error 了。满量程时所加电压精度和稳定性当然是越高越好, 您可以

试着用低抖动的线性电源或 ADR581, ADR441, ADR425 等基准芯片来产生。

AD7734 采集 AM 调制信号的问题

Q: 我在用 AVR attnity2313 控制 AD7734 采集 AM 调制信号。用单片机控制 AD7734 单步采集 AM 信号, 频率为 512Hz。有两个问题, 在 90Hz 附件的噪声很大。不知道是什么原因? 还有为什么在 95Hz 时, 幅值凹下去了? 应该是和 85hz 对称的啊。即使不对称, 也应该是凸起来的。

A: 90Hz 处噪声, 如果输入一个 90Hz 的正弦波, 那么是否也是一样的。如果有, 那么可能是 ADC 的问题, 如果没有, 那就是输入信号的质量比较差。95Hz 凹下去的问题, 您如果用频谱仪看 ADC 输入处的波形, 是否正常。如果不是凹进去的, 而上面的测试 ADC 也正常, 那检查下是否是 FFT 处理的问题。

AD7738

请教, 配合 AD7738 的 PGA 可放大小信号到 4 倍或 5.25 倍

Q: 请教 配合 AD7738 的 PGA 可放大 双极小信号到 4 倍或 5.25 倍? 这个 PGA 在 MUXOUT 和 ADCIN 中间怎样连接?

A: AD7738 本身内部是没有 PGA 的, 如果您在外部使用一个 PGA, 必须是差分输入,

差分输出的，比如说 AD8138 这种。不过其实您不是必须在 MUXOUT 和 ADCIN 之间接入 PGA，在输入 MUX 前进行放大也是可以的。

Q: 但这个有八路输入，每路都放大的话很麻烦，有没有更好的办法？

A: 那您在 MUX 之后接一个差分运放就好了，比如说 AD8138/9，这类的，应该也是放大差分信号然后输入到 ADC 的差分输入端的。

请教 AD7738 数据手册上的滤波器

Q: 在 AD7738 手册 P26 页 Figure17 上表明，MUX 前有一 RC Filter，我算了下，截止频率 79.6kHz，远超 AD7738 的采样速度 8.5kHz 在 16Bit，因此此 RC Filter 无法对输入信号

进行抗混叠滤波，那这个 Filter 还有什么用呢？如果没啥用，Filter 可以省略吗？

A: 首先滤波器不是理想的砖墙滤波器，所以在截止频率的计算上要留有一定的余量。而在实际情况中，低频信号会在每个奈奎斯特区域产生一个镜像。如果我们不进行滤波，就可以在输出中看到这些镜像。而抗混叠滤波器用来滤除这些镜像并阻止它们返回到我们所关注的频带中，所以是不能省略的。

AD7766 / AD7767

新产品设计求助 关于抗混滤波器等 AD7767、AD7766

Q: 1、最近一个新的项目 准备使用 AD7767 或者 AD7766 看了下资料 里面好像内置了 fir 滤波器 现在问题是 我需要设计一个抗混滤波器 频率要求是可变的 请问有没有类似的高阶可编程低通滤波器 现在用的是 max293 干扰比较大 抗混滤波器好像只能在模拟部分解决吧 fir 是基于数字处理的 应该不能做为抗混叠使用吧?

2、对于串口的 ad 和 fpga 接口应该如何设计? 尤其是做多点采样的时候 比如 8192 个采样点 采样频率 100k 是不是要在 fpga 里面做一个大容量的 fifo? 先把串行数据转成并行 然后存到 fifo?

3、对于模拟积分器, 请问对运放有什么要求没有? 现在用的是 op2177 准备换成 RR 运放

4、对于仪表运放和差分运放 应该按照什么标准进行选择用差分运放还是仪表运放? 现场应用环境

5、我的输入是一个 icp 振动传感器 供电 24v 4ma 两线制 一个是电源、信号公用另一个是地线 在经过大约 50 米电缆进入数采器 如果差分或者仪表运放 是不是传感器电源应该使用隔离电源 然后将传感器的地和隔离后的电源地接到一起 接到差分输入或者仪表运放的负端 然后将运放的 ref 接到模拟地上?

A: 首先, AD7767 里的 FIR 不是做抗混叠的, 可以考虑在 AD 前面用运放来实现抗混叠滤波。ADI 网站上有滤波器设计工具。可以帮助设计滤波器。

第二个问题, 那要看你应用的要求了, 你这里多点采样是什么概念呢, 采样后的点要做什么处理?

第三, 对于模拟积分电路, 其实本质上就是一个低通滤波器。对运放的要求基本上和低通是一样的, 另外需要注意的就是这个运放一定要可以在增益为 1 的情况下稳定。

至于后面关于仪表放大器或差分放大器的应用, 我们有一些相关的资料和文档, 里面写的

比较详细，可以发邮件到 china.support@analog.com 索取。

AD7764

请教 AD 性能参数的测试方法 AD7764

Q: 小弟做了一块基于 AD7764 的多通道 AD 板，需要测试以下相关的性能参数，如有效位数 动态范围 零偏 不知道各位有没有什么可靠一点的测试方法或手段 或者这方面的资料能分享以下，先谢谢了啊

A: 给楼主推荐一篇应用笔记吧，网址是：

http://www.analog.com/static/imported-files/application_notes/57206466474685142207552745732150239440755569051663372515871138132239AN_835_0.pdf

里面介绍了有关 ADC 的测试和评估。AD7764 是高精度的 Sigma Delta ADC，ADI 网站上还有一个关于这种 ADC 的 FAQ，楼主看一下吧，应该对您有所帮助，实际上对于这种应用，楼主应该主要测其跳码特性就可以了，也就是峰峰值分辨率的指标。FAQ 的网址是：http://www.analog.com/zh/content/cast_faq_ICV/fca.html。

AD7762

有关 AD7762 问题请教

Q: 有关 AD7762 问题请教: 在 AD7762 手册里 输入的差动信号是通过 AD8021 运放调理 (8021 反向放大), 启用内部差动放大器。我现在想问一下, 如果我用 AD8138 差动直接到 AD 的输入端口, 不启用 7762 内部差动。请问这二种方案哪个实现的性能会更好。在 AD7762 手册里使用的电源芯片是 ADP3334, 请问我如果使用 LDO 稳压芯片 (例如 LM1117 等), 有影响采样精度吗? 可能替换吗? AD7762 芯片下面有个焊点, 我想应该是提高芯片的散热性能, 这个焊点是接到地处理, 还是要悬空? 在配置控制寄存器要延时才能读到有效的数据, 请问具体是多少时间, 还是要不断的去检测有效位?

A: 1) 您可以直接用 AD8138 连到 AD7762 的 AD 输入端, 不需要使用内部的差分放大器
2) ADP3334 就是 LDO, 您也可以替换其他的电源芯片, 没有影响。
3) 这个焊点是需要接地的。
4) 当配置完寄存器之后, 因为数据还要经过滤波器, 所以您需要做延时才能读到有效数据, 延时的计算公式: $2 \times \text{the filter delay} + \text{the computation delay}$ 。具体数值您可以参考数据手册的 Table 6。

请教 AD7762 调试中发现的问题

Q: 现在我按照 AD7762 的指导设计方案设计了电路图, 调试发现如下问题:

- 1、 AD7762 本身的全差分放大电路没有发挥作用, 比如在全差分输入端加+2. 2V, - 2. 2V 电压, 测试发现全差分输入电压为+500mv, -500mV, (基准电压为 4. 096V),

我不知道这个问题是什么问题?

2、我是通过 FPGA 控制 AD, 状态机中首先写了寄存器 2, 寄存器 1, 但是死活等不到 DRDY 信号, 请问这个是什么原因啊?

A: 第一个问题, 应该是电路的问题。请仔细查一下电路图, 尤其是前端放大器处的电阻电容值。

对于第二个问题, 可能是程序问题, 但也可能是电路本身就有问题, 芯片没有工作。所以还是先解决硬件的问题。

连好电路后, 检查一下芯片的电源, 参考电压是否正常, 在有就是加上输入后, 放大器的输出是否正常。

AD7762 的参考资料还是比较多的, 电路图还有 FPGA 程序网上都有, 您可以去下载来看看:

<http://www.analog.com/en/analog-to-digital-converters/AD-converters/AD7762/products/evaluation-boardstools/resources.html?display=popup>

Q: 之前是寄存器写错了, 现在正常了。麻烦再问一下, 在 MCLK=40M, ORD 为 78K 的情况下, AD 采样能够达到几位的有效位啊?

A: 很多人问道 Σ - Δ ADC 能做到几位有效, 这个问题要看具体情况。总的来说, 输出率越高, 有效位数越低。有的 ADC 还有内部增益级, 那么则增益越高, 有效位数越低。通常的 Σ - Δ ADC 数据手册里会有一个表格, 给出这些关系。其实, Σ - Δ ADC 有效位数下降的原因是噪声。输出率高, 增益高都会使噪声增加, 所以才会使有效位数降低。这样可以想到, 其他地方引入的噪声也会有同样的影响, 比如电源噪声, 参考电压, 还有数字接口的影响。再有一个就是时钟的抖动也会影响。您如果想看 AD7762 理论上能到达的最大有效位数, 看数据手册中的 SNR 曲线。可以用公式 $SNR = ENOB * 6.02 + 1.76$ 估算 (更准确的应该用 SINAD 而不是 SNR)。数据手册里还说明了时钟抖动影响 SNR 的问

题，可以看一下。

AD7763

用 AD7763 进行 SPI 模式下的多路采集，接线的问题

Q:我想用 AD7763 进行 SPI 模式下的多路采集，采用数据手册里推荐的方式，但遇到接线的问题：

- 1、所有的 SYNC 引脚要接在一起吗？
- 2、SDI，FSI 是分别独立使用吗？
- 3、所有 SCO 用全部接在一起吗？感觉 MCLK 如果全部接在一起，寄存器设置是一样的，那么不管哪片 AD7763 输出的 SCO 就该是一样的啊？是不是只用其中任何一个 SCO 就可以了？

A: 1、如果要同步多个 AD7763，那么 7763 的 SYNC 用一个信号控制即可；

2、是独立走，不能共用，可以参考芯片资料中 Figure26；

3、SDO 用一根是可以的，参考 Figure27。

Q:对于第一个问题：您所说“SYNC 用一个信号控制即可”是指全部 SYNC 连在一起，还是说不用连在一起而只用其中一根线？

对于第二个问题，我后来仔细看了下 DATASHEET，在 WRITING TO THE AD7763 标题下有这样一句话“When using multiple devices that share the same serial bus, all FSO and SDI pins can be tied together and each device written to individually by setting the appropriate

Address bits in the serial 32-bit word.”这说明所有 FSI 和 SDI 应该接在一起 (DATASHEET 可能有打印错误, 里面 FSO 应该是 FSI)。

对于第 3 个问题, 看 Figure26 可以知道 SDO 应该全部接在一起。

A: 1、AD7763 的 SYNC 管脚连在一起, 用单片机的一个 IO 口去控制。

2、您的理解应该是正确的。”WRITING TO THE AD7763 “讨论的是写 AD7763, 与 FSO 没有关系。按这段话的意思, 参照 Figure3 的时序, FSI 和 SDI 可以共用, 通过地址位的不同来区分不同的 AD7763 器件。

Q:所有 SCO 用全部接在一起吗? 感觉 MCLK 如果全部接在一起, 寄存器设置是一样的, 那么不管哪片 AD7763 输出的 SCO 就该是一样的啊? 是不是只用其中任何一个 SCO 就可以了?

A: 是的。只用将一片 AD7763 的 SCO 信号送给处理器即可。

关于 AD7763 采到乱码的问题

Q:我在调 AD7763 之前程序可以正确采样, 重新做了块板子后, 发现采到的只有乱码, 接信号和没接信号都一个样。检查几遍电路, 感觉应该没有问题, 基本参照评估板设计的。唯一担心可能出问题的地方是我电源用的 ADP3334, 发现实际出来的没有 2.5V, AVDD1 不够 2.5V 只有 2.46V, 而且运行时间一长可以低到 2.42V, 是不是因为这个造成调制器没有工作, 无法采样。

刚才测了一下, 只要写完 AD7763 寄存器, 转换一启动, ADP3334 的输出马上拉低到 2.22V, 看来评估板推荐的也不一定好哦, 不知道是不是这个原因啊? 现在采到的依然是杂乱的信号, 程序应该没有问题, 之前在另外的板子上测试过, 请 ADI 技术人

员帮忙分析下。

A: 您所说的现象我没碰到过, 不过有另一个现象, AD7762 数据接口串 220 欧姆接到

3. 3V 的单片机接口, 出现 2. 5V 电压被拉到 3. 0V 了, 但采出来的数据还是正常的,

您的 AD63 是与 FPGA 相连的吗?

Q:我用的 FPGA 控制的, 加了 2. 5V 转 3. 3V 的, AD63 的 2. 5V 供电很脆弱, 容易烧。

A: 感觉上应该是焊接问题, 或者芯片本身有问题。如果您还有板子, 可以再焊一块看看。

或者您把整个部分的电路图贴出来, 帮您看看是不是有问题。

Q:供电的问题解决了, 换了其他芯片。现在的问题是单独测 AD7763, SCO 脚输出正常,

但只要 FPGA 一连, SCO 就完全乱了, 看不清楚了。

A: 您的 FPGA 管脚电平是多少的? 输入阻抗是多少? 您换一个 FPGA 引脚试试, 如果不

行, 加个上拉电阻试试。

Q:FPGA 是 3. 3V 的, 和 AD7763 之间加了电平转换, 现在可以采到信号了, 但是波形毛

刺较多, 我有以下疑问:

1、我的 AD7763 和 FPGA 在两块不同的板子上, 怀疑是不是传输过程中引入了干扰? 有

什么方法可以降低毛刺? 我看数据口 SDO 毛刺非常多, 造成采到的数据质量不好!

2、AD7763 的数字信号口是不是应该加上拉电阻, 因为发现只要把示波器探针放在 FSO

上, FSO 信号就很稳定, 但只要把探针一拉开, 就经常没有数据输出, 或者没输出一会

就停了。

A: 先说 FSO 上拉的问题, FSO 作为输出, 可能是您 FPGA 的负载比较大。可以加个上拉

试试。

关于数据线上的干扰, 我觉得也是先加个上拉看看。如果仍然有问题, 要考虑您两块板

子之间的连接问题, 比如连线是否过长。

AD7763 同步采集的问题

Q:AD7763 同步采集的问题:

1、在同步采集前需要对每块 AD7763 寄存器进行设置，设置完第一块 AD7763 后，是不是这块 7763 已经有输出了？

2、对于同步采集启动的疑问:

A、SYNC 置低必须在 SCO 的下降沿吗？还是可以随时置低？

datasheet 里面 page15 有这样一句话不太懂：Thus, to perform a synchronization of devices, a SYNC pulse of a minimum of 2.5 ICLK cycles in length can be applied, synchronous to the falling edge of SCO.

B、SYNC 至少置低 2.5 ICLK 后，SYNC 又需要置回高，必须在 SCO 的上升沿？

A: 1) 当对 AD7763 的寄存器配置完成后，AD7763 就有输出了。

2) SYNC 是可以随时置低的，不需要时钟来同步。

3) datasheet 那句话的理解是：SYNC 需要置低至少 2.5 ICLK，当 SYNC 重新置高，且在 SCO 的上升沿时，内部滤波器将重新开始工作。

关于 AD7763 增益寄存器和溢出寄存器的问题

Q:手册上写的是增益寄存器的默认数值是 1.25 的增益，溢出寄存器的数值定义的范围是

80%的 VREF，请问这么设置是出于什么样的考虑？为什么不将增益的设置成 1，溢出

设置成 100%呢？如果我改成增益为 1，溢出为 100%那么其输出的数据会有什么样的问

题? 谢谢!

另外我还想问问在 AD7763 手册里说的差分放大器 A1 的输入要接一个 AD8021, 但是我接的 AD8021 用的 R 是 5K 的, 2R 是 10K 的, 其中 10K 的是 0.1% 的误差, 5K 是 5% 的误差电阻, 然后输入直流信号后, AD8021 的输出和我输入给 AD8021 的电压有一定的误差, 大约有 10mV, 请问这个应该怎么解决。另外我按照手册上的给的电阻值搭的电路测的电压值误差较大, 而且输入的是正电压, 计算出的是负值。我后来和同事讨论了下, 手册上的接法好像就是正的测成负的的接法。

A: 没错, 手册里 AD8021 就是一个 -1 倍增益的配置。这个信号被反向了没有关系, 因为经过了 AD7763 的差分放大器后, 您可以灵活的把正电压脚接到 Vin+, 把负电压脚接 Vin- 就可以了。

这个没有为什么, 不过就是一个默认值而已。您需要根据自己的输入信号范围选择增益, 目的是让输入信号放大后, 尽量达到 ADC 的输入满幅, 这样可以充分利用 ADC 的动态范围。溢出和增益是配套的, 当增益为 1.25, 那么就意味着输入 80% 的时候, 会被放大为 100%, 所以溢出就配 80%

Q: 当溢出寄存器选到 80% 的时候, LSB 是按哪个电压算, 4.096V 还是 $4.096 * 0.8 = 3.2768V$?

A: ADC 看到的电压是实际输入 * 增益。所以选择增益后, 相当于把满幅度的范围缩小了。假设增益为 1 的时候, 满幅是 2V, 那么选择增益 1.25 (80%) 后, 满幅变为 $2 / 1.25 = 1.6V$, 这时您输入 1.6V 就溢出了 (输出数字为全 1)。

AD7763 评估板 AGND 与 DGND 的问题

Q: AD7763 的 AGND 与 DGND 需要分开吗? 评估板是怎么处理的, 评估板文件看不清楚!
我测过有的 AGND 与 DGND 本来在内部是连在一起的。

A: 不需要分开, 建议使用统一的地平面, 从评估板原理图上就可以看到 AGND, DGND, 以及 MCLKGND, REFGND 都是连接到一个地上。

Q: 在评估板里, AD7763 与控制器 FPGA 之间通过 ADG3308 进行电平转换, 2.5V 转 3.3V, 我想再加一道隔离, 用 ADG3308 和 ADUM3400 组合就显得有点浪费了, 可否只用 ADUM3400, ADUM3400 最低供电也得 2.7V, 有没有可能把 7763 的输入口烧了? 7763 的数字输入口可以承受 3.3V 电压吗? 如果可以, ADUM3400 该用多少电压供电?

A: 一般隔离器的最低供电电压都是 2.7V 的, 所以对于楼主的应用来说, 并不方便使用实际上像楼主说的, 隔离器本身就可以实现电平转换的功能, 如果供电电压能低到 2.5V 的话, 就将隔离器的一端用 2.5V 供电, 一端用 3.3V 供电, 这样就既转换了电平又实现隔离了。2.7V 的数字输入电压倒是不会烧坏 AD7763 的输入口, 因为在 AD7763 手册的 ABSOLUTE MAXIMUM RATINGS 部分已经说明了, 可以容忍的数字输入范围是 $-0.3V$ 到 $DVDD+0.3V$, 当然最大值要取 $DVDD+0.3V$ 和 $3V$ 中较小的一个。

24 位 ADC AD7763 的测试方法?

Q: 小弟正在调 24 位 ADC AD7763, 现在想测试一下它的分辨率, 目前采用的方法是不经内置的差分放大器而是直接给 7763 的 $vin+$ 和 $vin-$ 输入干电池经分压产生的两路直流电压, 分别是 1.7V 和 1.0V, 分压电阻用的 K 欧级的。
用福禄克的 6 位半表看输入的电压也只能保持小数点后 4 位保持稳定, 最后一位跳动,

且通电时间一长,电阻就有点热,输出开始漂移。因此觉得现在的测试方法不够理想,无法反映真实分辨率。怎样才能找到一个标准的直流输入呢?

A: 如果楼主想测试 24bit 的精度,最好就使用信号源作为输入,可以将 V_{in-} 接地, V_{in+} 接信号源,输入频率较慢的信号,这样可以每一个 LSB。

关于 AD7763 的疑问

Q: 1、最大输入电压这样计算是否正确?采用评估板电路和默认寄存器配置,信号流向过程分析如下:

- ① 经过内置差分放大器,增益约为 0.655,同时将波形抬到 0V 以上,共模电压为 2.048V。
- ② 经过 ADC 内部放大器,增益为 1.25。
- ③ 进行 A/D 转换。

因此按照这样计算最大输入峰值为 x ,则有:

$$(x \times 0.655 + 2.048) \times 1.25 = 4.096$$

解得 $x \approx 1.8732V$,即输入波形的峰峰值为 $\pm 1.8732V$

2、关于内置差分放大器

- ① Datasheet 只介绍了 AD7763 的 V_{in} 最大输入 6V,而内置差分放大器 V_{inA} 最大输入电压多少?因为我的电路之前的信号调理和单端转差分电路采用 $\pm 9V$ 供电,我担心如果前面的电路如果输出饱和了,达到 9V,会不会损坏 AD7763 的内置差放或其他部分?
- ② Datasheet 上说内置差分放大器增益约为 0.655,为什么要设置为 0.655,必须为这个增益吗?
- ③ 评估板上内置差分放大器接成了一种低通滤波的形式,增益和截止频率怎么计算?

能否给个资料说明。因为我想根据我的设计要求对该参数进行修改?

3、增益寄存器和溢出寄存器的问题

① 为什么还要加一个内部增益, 当内部增益为 1.25 时, 分辨电压是按哪个电压算

4.096V 还是 4.096×0.8 ?

分辨电压 = $(4.096 \times 0.8) \div 0x7FFFFFFF$ 吗?

② 能否给一个关于 LSB, 分辨电压的计算说明? 我现在采到的信号换算出来与实际误差较大

③ 改其中一个寄存器, 另外一个是不是就跟着改了? 比较增益寄存器改为增益为 1, 那么溢出寄存器就自动设为溢出量为 4.096

4、电源滤波问题

① 评估板里电平转换的 2.5V 又用了个芯片供电, 能否和 AD7763 的 2.5V 共用一个片子供电?

② 在评估板里, ADP3334 输出 5V 为什么要分成 AVDD2, AVDD3, AVDD4 分开滤波合成一个不行吗? 这里有什么特别讲究没有?

③ 电源滤波里用了 EMC-filter, 这个滤波器起什么作用? 它体积比较大, 能否省略掉?

5、关于 PCB 设计问题

我采用的 2 层板设计, 是否要分模拟地和数字地? 布局上有什么要注意的地方?

AD7763 要求差分输入, datasheet 上说送入内置差分放大器之前进行单端转差分, 可以采取运放反向或用差分放大器进行转换, 感觉这样比较多余, 可否直接采用内置差分放大器进行单端转差分, 同时也可以放大和抗混叠滤波, 这样的话对 ADC 性能是否有影响?

A: 请参考下面的回答。

1、您这样计算是没有问题的, 理论输入波形的峰峰值为 $\pm 1.8732V$, 但是实际上因为

差分放大器和内部的 buffer 的输入输出离供电的轨还有一定的距离, 所以为了 ADC 最好的性能, 一般是留一些余量的, 数据手册上的要求是, 参考为 4.096V 时输入最大差分电压为 $\pm 3.25\text{V p-p}$, 输入参考为 2.5V 的时候, 为 ± 2

2、

1) 对于模拟芯片, 输入信号的幅度都是不能超过供电电压的, 所以差分输入的绝对电压也是不能超过 6V 的。

2) 这个差分放大器其实在同时也是一个低通滤波器, 在 19MHz 带宽处可以得到 -10dB 的衰减。在这种配置下, 增益为 R_{fb}/R_{in} , 也就是 0.665。理论上当然是可以修改的, 如果您不需要这个滤波器, 可以改变 R_{fb} , 同时也就改变了增益。

3) 对于差分放大器, 就是一个简单的一阶系统。增益为 R_{fb}/R_{in} , -3dB 截止频率为 $1/2\pi RC$ 。

3、

1) 内部增益是为了调整外部的增益偏差或者漂移。如果是 1.25V, 那么您的分辨电压的计算公式是正确的。

2) LSB 就是 $4.096/0x7FFFFFFF$ 。分辨电压 = LSB/Gain 。

3) 这个寄存器应该不会自动更改, 需要您手动设置, 不过如果输入信号超过了 V_{REF4} 一个采样周期, 则会被自动设置

4、

1) 应该是可以的。

2) 为了 ADC 的性能, 一般每一个 AVDD 的管脚都推荐使用电容滤波。这也是为什么分开画的原因。

3) 这个滤波器主要是滤除 EMC 辐射对电源的干扰, 如果周边环境干扰不高, 也可以省略, 就用 10uF 和 0.1uF 的 2 个滤波电容滤波就可以

5、推荐您还是分模拟地和数字地，芯片下面最好不要走线，注意电源的滤波，参考评估板原理图，应该就差不多了。这样当然也是可以的，不过因为输入电压最大不能超高6V，所以输入信号的最大幅度没有在芯片外转成差分后的幅度大。

ADI官方论坛