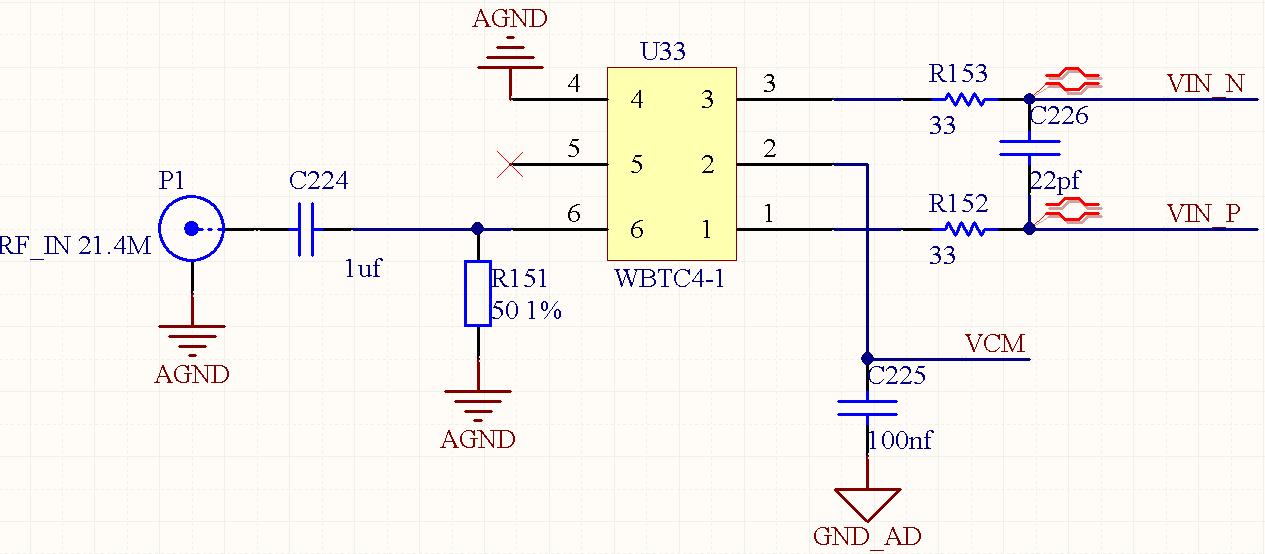
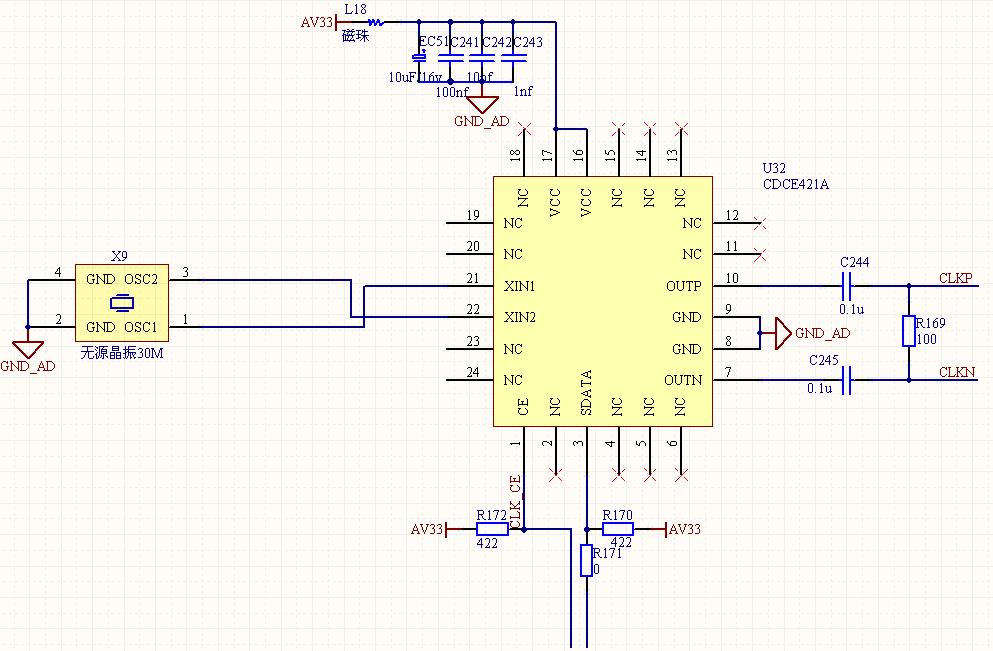
AD9629输出30M时钟倍频辐射超标

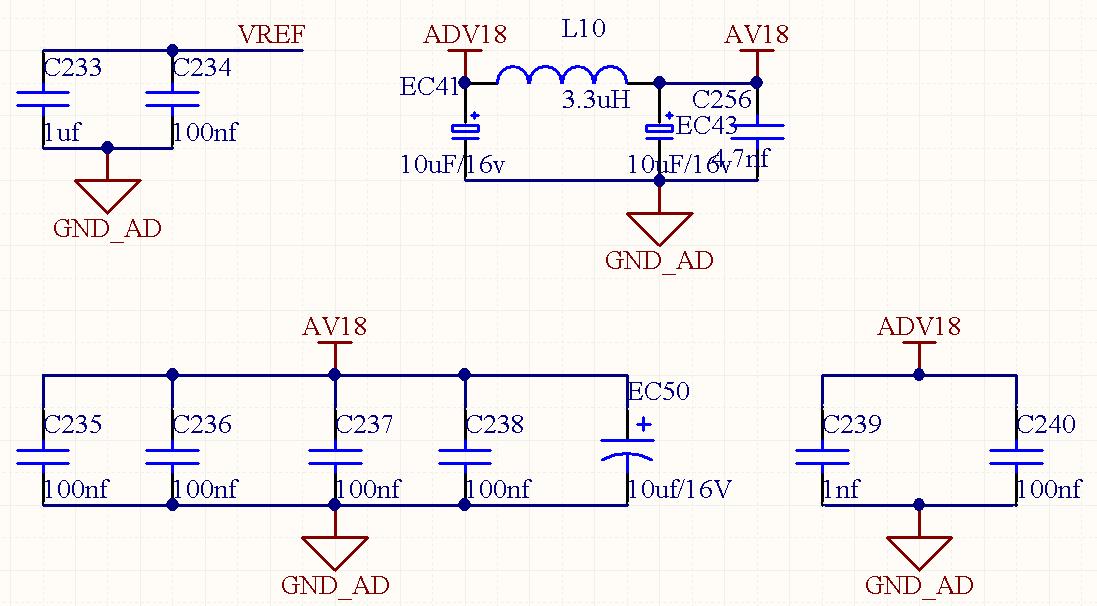
我们的产品是一款数字接收机，中频使用的是21.4M，采样率使用的是30M，我们选用了12位的AD9629将21.4M的中频数字化。下图为AD前端电路，主要是21.4M输入、隔直、匹配和巴伦转差分，最后滤波。这个电路基本上和AD9629数据手册上类似，唯一的不同是为了防止AD地上的干扰直接影响射频部分，将巴伦的前后级分为了模拟地和AD地，模拟地来至射频，AD地为来至电源地。



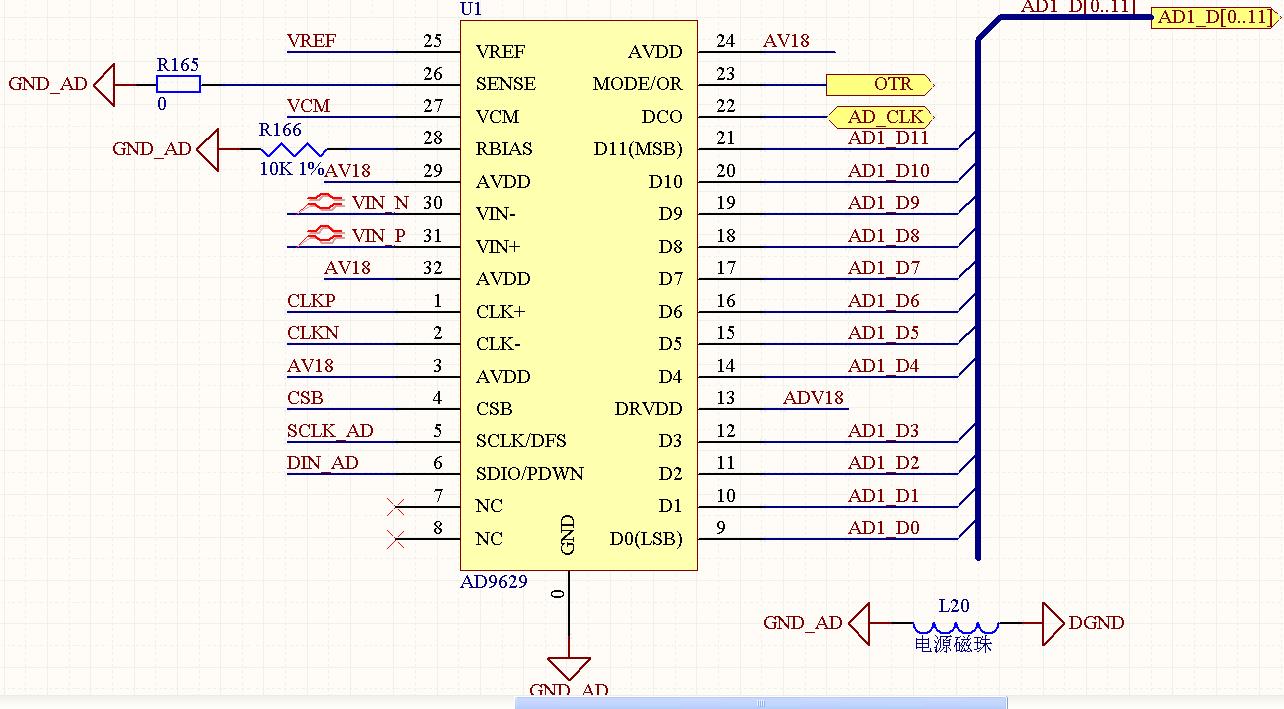
AD的时钟选择TI公司的时钟芯片CDCE421A，无源晶振30M无源晶振输入，30MLVDS输出，用于产生AD的低抖动时钟。



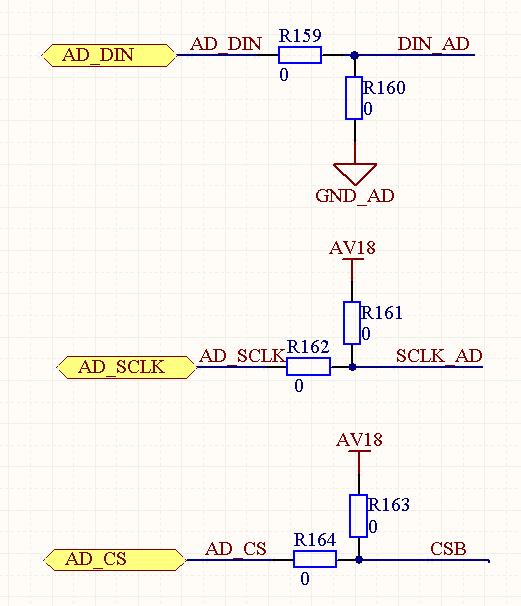
AD的电源使用1.8V，电源使用LDO转为1.8V后分为模拟电和数字电，两者之间使用电感隔离

、

AD使用内部参考电压，AD地与数字地单点接地，主电路和配置电路如下图：



外部配置电路可选择FPGA配置也可以选择引脚配置，实际使用中使用引脚配置，DIN为0，SCLK为1，CSB为1，三者的电平选择决定了AD的工作模式，具体见数据手册。

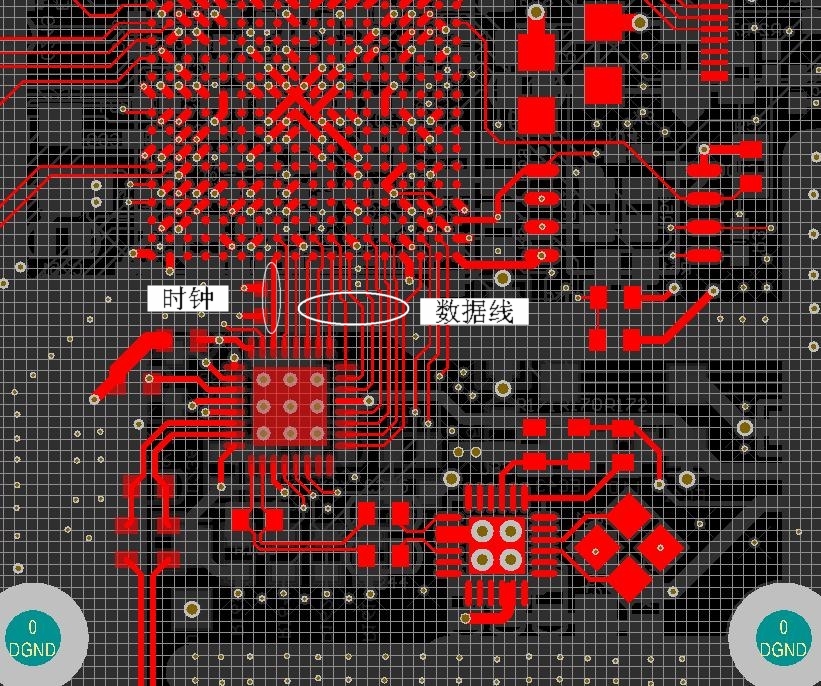


具体问题：

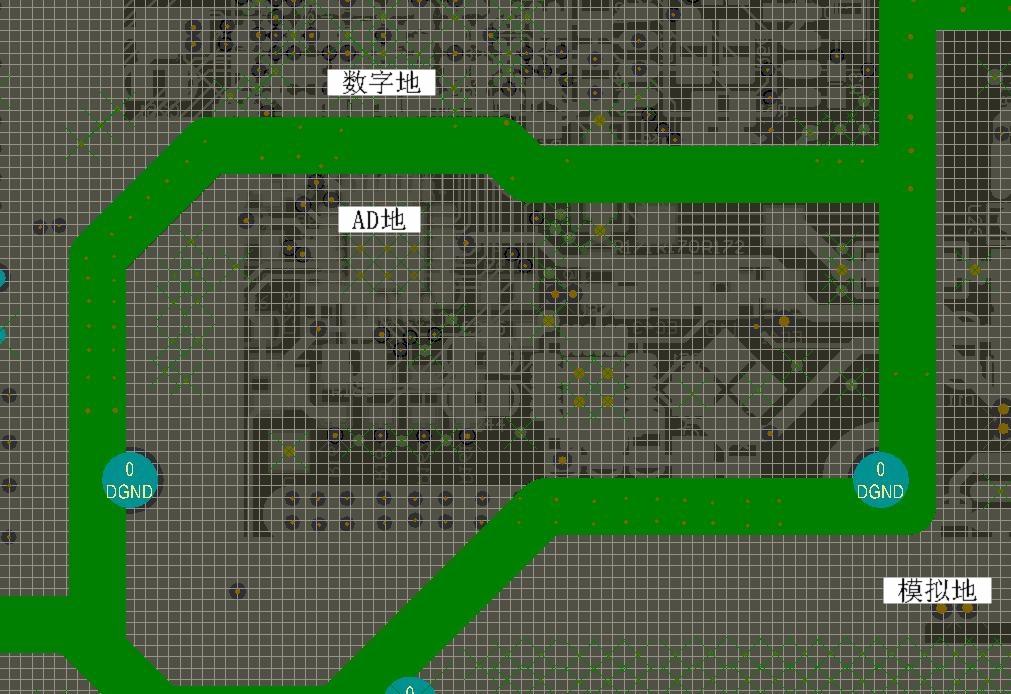
仪器主控板30M倍频辐射超标，300M左右30M倍频频点空间辐射在-65dbm左右，其他点在-80dbm左右，使用屏蔽壳后300M变为-80dbm，其他点在-90dbm左右。前期做了大量的实验，具体如下：

1. 辐射怀疑对象30M时钟芯片。时钟芯片初期为最大怀疑对象，后就时钟芯片单独供电后测试，不存在上述辐射，怀疑排除。
2. AD使用信号源输入30M，其他电路不上电，30M倍频辐射出现，基本找到问题。
3. AD的30M为采样的随路时钟，提供给AD采样，因此FPGA内部存在大量30M和它的倍频。于是用信号源，给FPGA时钟输入30M，幅度+13dbm，FPGA工作后测试辐射，30M倍频辐射点基本在-100dbm以下，少数频点为信号源产生。
4. 前期AD与FPGA相对位置较远，而且没有单点接地，地是通过电源处连接，辐射很大，整机修改后AD与FPGA距离很近，而且整机屏蔽，30M倍频辐射减小，不过离要求的-100dbm还有差距。

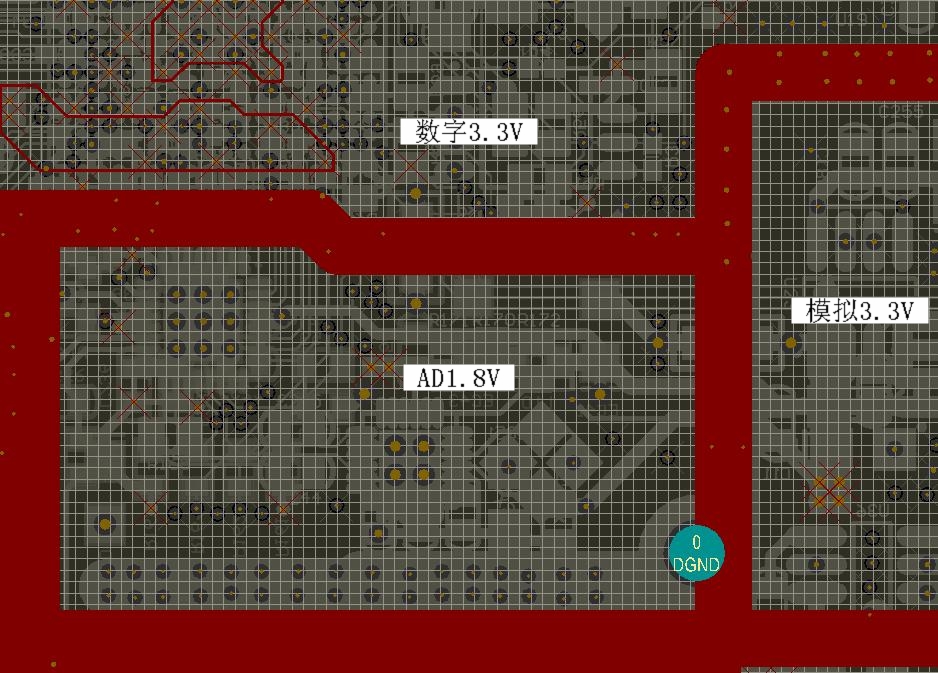
PCB如下，顶层时钟附近有单点接地，



地层分割：



电源分割：



底层单点接地：

