

## DVB-S 射频调制的 FPGA 实现

韩庆喜, 刘志军, 张淑慧, 王小群

(山东大学 信息科学与工程学院, 山东 济南 250100)

**摘要:** 一种采用 AD9789 与 FPGA 相结合, 在 FPGA 上实现全数字 QPSK 射频调制的方案。介绍了 AD9789 的接口设计及配置流程, 并给出了设计实例。

**关键词:** 可变符号率; AD9789; 射频调制; ODDR

中图分类号: TN409

文献标识码: A

## Realization of DVB-S RF modulation based on FPGA

HAN Qing Xi, LIU Zhi Jun, ZHANG Shu Hui, WANG Xiao Qun

(School of Information Science and Engineering, Shandong University, Jinan 250100, China)

**Abstract:** A method of realization of all-digital QPSK RF modulation based on FPGA and AD9789 is introduced in this paper. The AD9789 interface design, configuration process, and the design examples are presented.

**Key words:** variable symbol rate; AD9789; RF modulation; ODDR

DVB-S 标准只是规定了信道编码及调制方式, 没有提供具体的射频调制方案, DVB-S 标准要求载波的频率范围为 950 MHz-2150 MHz, 由于受到 FPGA 内部资源运算速度的限制, 一般只能实现中频调制<sup>[1]</sup>。传统的射频调制是在中频调制后加模拟上变频, 如中频调制之后采用 AD8346<sup>[2]</sup>进行射频调制, 但这样就增加了设计的复杂度及成本。本文采用 ADI 公司最新推出的 AD9789 与 FPGA 相结合的方法实现了全数字 DVB-S 标准射频调制。

## 1 系统构架

AD9789<sup>[3]</sup> 14 bit TxDAC 芯片内部集成了 QAM 编码

器、内插器和数字上变频器, 可为有线基础设施实现 2.4 GHz 的采样率。AD9789 TxDAC 支持 DOCSIS-III、DVB-C 2 个标准, 并不支持 DVB-S 标准。配置选项可以设置数据路径来为 QAM 编码器和 SRRC 滤波器设置旁路, 从而使 DAC 能够用于诸如无线基础设施等多种应用中。本文就是利用这一点实现了 DVB-S 的射频调制, 在 FPGA 内部实现 DVB-S 信道编码<sup>[3]</sup>(随机化、RS 编码、卷积交织、卷积压缩编码)、星图映射、SRRC 滤波器(滚降系数为 0.35), 经 ODDR 模块给 AD9789 提供复数数据。其射频调制方案如图 1 所示。

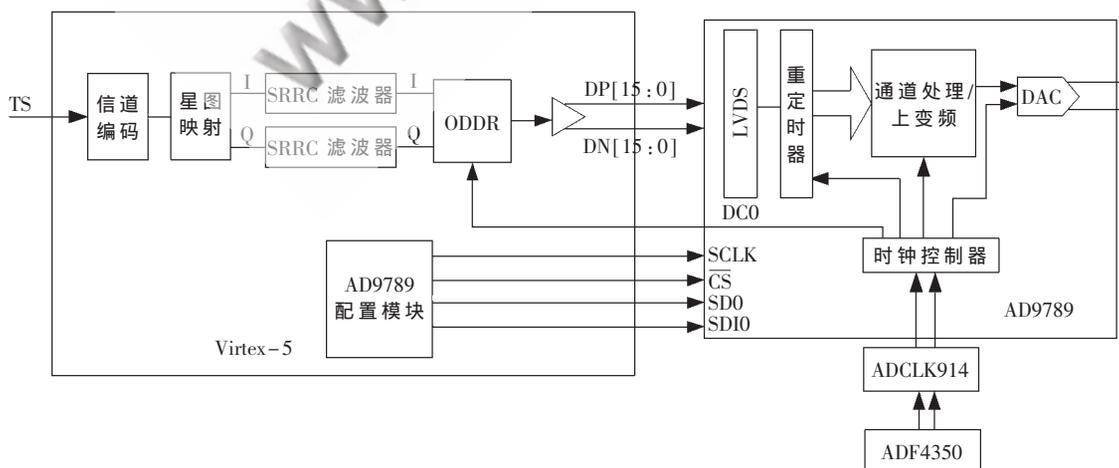


图 1 DVB-S 射频调制方案

## 集成电路应用 Application of Integrated Circuits

### 2 可变符号率的设计

DVB-S 调制器符号率一般支持 1 MS/s~45 MS/s 可调,这就需要对 TS 流进行速率调整。整个 DVB\_S 信道编码有 2 次速率的变化:(1)RS 编码,它将 188 的包结构变成 204 的包结构,数据输出的速率为输入的 204/188 倍。(2)卷积压缩编码,由于卷积压缩编码采用不同的编码比率,如 1/2、2/3、3/4、5/6、7/8,对应的输出数据速率就变成输入数据速率的 1、3/4、2/3、3/5、4/7 倍,针对符号率的设计,本文提出了符号率的设计公式: $F_{\text{BAND}}=A \times 204/188 \times 8 \times 1/2 \times (N/N-1)$ ,其中  $A$  为 TS 流的输入数据速率, $N$  的取值为 2、3、4、6、7,之所以乘以 8 是因为在卷积编码时要进行数据的并串转换。

本文采用插空包的方式实现 RS 编码速率调整,其设计思路是在信道编码之前对 TS 流进行一次速率调整,将 188 的数据包变成 204 的数据包,这样大大简化了后端的设计,具体的操作就是通过 FIFO 实现,由于 TS 流速率慢,所以先写 FIFO,等到写满一半,开始读,读的时候每次只读 188 个数据,然后再在其后添加 16 B 数据,添加 0 即可,这样就变成了 204 个字节的包结构。由于读的速率很快,有可能读空,所以要判断 FIFO 内部所剩下的数据,当不满 188 B 时,就插入 204 B 的空包,这样可以保证速率调整之后的数据是连续的。符号率的设计公式变成: $F_{\text{BAND}}=B \times 8 \times 1/2 \times (N/N-1)$ ,只需要改变  $B$  及  $N$  的值就可以实现符号率的可变。

针对卷积压缩编码速率调整,本文采用重配置 DCM<sup>[4]</sup>与 FIFO 结合的方式实现,由于调制采用不同的编码率,导致输出的数据速率是可变的,这就使得数据的输出时钟是输入时钟的非整数倍,很难做到小数分频,所以提出了用重配置 DCM 的方式提供可靠的时钟对应关系。经卷积压缩编码后的数据输出是不连续的,为了便于后续数据升采样的处理,通过一个 FIFO 将数据打成匀速的。

### 3 AD9789 基本结构<sup>[5]</sup>

AD9789 包含一个用于器件配置和状态寄存器回读的 SPI(串行外设接口)端口。灵活的数字接口可以适应 4 bit~32 bit 的数据总线宽度,并且可以接收实数或复数数据,最多可接收 4 路输入信号。每一路信号最大能经过 5 级半带插值滤波,插值之后的数据与 NCO 生成的正余弦信号相乘,再经过通道增益变化,4 路信号相加后再通过总增益调整、16 倍插值和带通滤波器实现数字上变频,最后经数模转换输出,其原理如图 2 所示。4 个通道的基带处理模块内部结构相同,如图 3 所示。在本设计中,旁路掉 QAM 编码器和 SRRC 滤波器,经过 5 级半带插值后,通过调节 P/Q 值,可实现不同符号率的调整。

### 4 AD9789 上变频原理及配置流程<sup>[5]</sup>

基带信号经过插值后与 NCO 生成的正余弦信号相乘,从而把基带信号频谱调制到  $0 \sim f_{\text{DAC}}/16$  之间完成基带

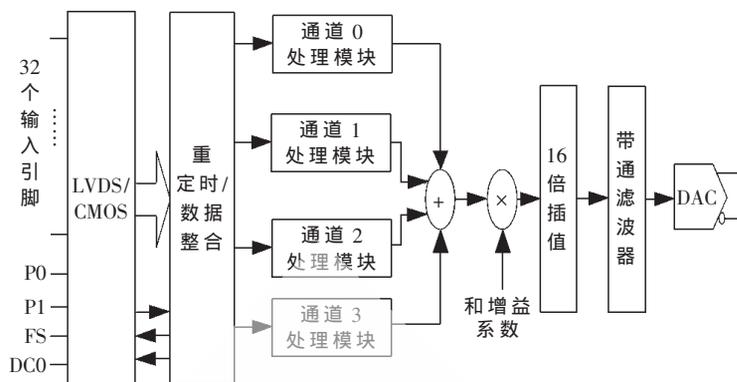


图 2 AD9789 的基本结构



图 3 AD9789 基带处理模块

调制,即实现图 4(a)~图(b)的转换。经过 16 倍插值滤波器后,形成 16 个奈奎斯特区,后 15 个区内的频谱为第 1 奈奎斯特区基带调制信号的镜像频谱,通过配置带通滤波器的中心频率,可滤除不需要的 15 个镜像,得到要想的调制信号,如图 4(c)所示。AD9789 的这种特殊架构,使得输出的调制信号频率范围为  $0 \sim f_{\text{DAC}}$ ,而  $f_{\text{DAC}}$  最高可达 2.4 GHz,完全可以满足 DVB-S 标准 L 波段输出的要求。

AD9789 通过 SPI 接口进行参数配置,配置时钟 SCLK 不能超过 25 MHz。写操作时,在 SCLK 上升沿有效。读操作时,数据在 SCLK 下降沿有效。AD9789 的配置指令由指令控制字和操作数 2 部分组成。指令控制字包括 3 部分:读写操作指示位、一次读写的字节个数和起始寄存器的地址。如果执行写操作,操作数就是要写入寄存器的值。如果执行读操作,则操作数就是从相应寄存器中读到的值。缺省情况下,SDIO 是输入,SDO 是输出,读写数据高位在前。

配置 AD9789 时需要注意,大部分寄存器都是立即更新,但 0x16~0x1D,0x22~0x23 除外。只有在 0x1E[7] 为 1 后,0x16~0x1D 寄存器数据才更新。只有当 0x24[7] 位由 0 变为 1 后,0x22~0x23 才更新。0x1E[7] 会自动清零,但 0x24[7] 不会。为了保证来自 FPGA 的数据与 AD9789 的采样时钟相位一致,AD9789 内部集成可编程重定时器,使用三级寄存器来实现重定时功能,具体由内部寄

# 集成电路应用

Application of Integrated Circuits

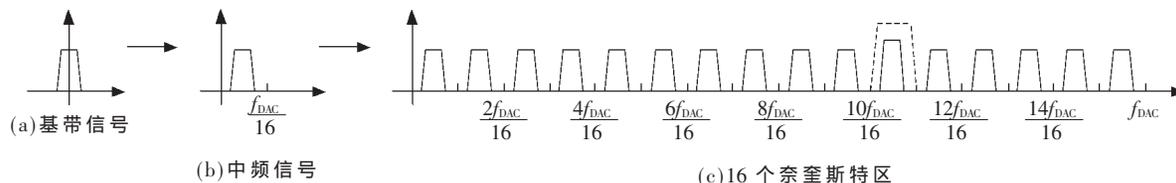


图4 信号频谱变换示意图

寄存器 0x21[2:0]、0x23[7:0]控制。配置 AD9789 的流程如表 1 所示。

表 1 配置 AD9789 的流程

功能	步骤	寄存器地址	寄存器数据
上电 AD9789	0		
提供时钟	0		
使能 Clock Receiver 及设置 Clock CML	1	0x32	0x9E
使能 Duty Cycle Correction	1	0x30	0x80
使能数字时钟	2	0x24	0x00
	3	0x24	0x80
	4	0x2F	0xCE
	4	0x33	0x42
设置 Mu controller	4	0x39	0x4E
	4	0x3A	0x6C
	5	0x03	0x00
	6	0x04	0xFF
使能 Mu control 中断	7	0x03	0x0C
使能 Mu delay controller	8	0x33	0x43
关闭 map 及 src	9	0x06	0x60
设置总增益幅值	10	0x08	
设置输入数据幅值	11	0x09	
设置频点位置	12	0x0A~0x15	
设置 P/Q 参数	13	0x16~0x1B	
设置中心频率参数	14	0x1C~0x1D	
设置接口参数	15	0x20~0x23	
设置通道增益	16	0x25~0x28	
设置电流幅值	17	0x3C~0x3D	
等待 Mu delaycontroller 锁住 (读寄存器 0x04 的值)	18	0x04	0x08
更新 P/Q 及 BPF	19	0x1E	0x80
更新接口参数	20	0x24	0x00
	20	0x24	0x80
选择通道	21	0x05	

AD9789 的主要参数计算如下, 速率调整参数 P/Q 值可由公式(1)求得:

$$f_{\text{DAC}} = I \times \frac{P}{Q} \times 16 \times f_{\text{BAUD}} \quad (1)$$

其中,  $f_{\text{DAC}}$  是 DAC 工作时钟,  $I$  为插值滤波器的插值倍数,  $f_{\text{BAUD}}$  是输入码流的符号率。另外, P/Q 值的选取要满足:  $0.5 \leq \frac{P}{Q} \leq 1.0$ , 且 Q 值选定后, 要经过变化转变成 24 bit 的二进制表示, 且最高位为 1, P 值也做同样的调整。通道的 NCO 频率参数 FTW 由公式 (2)、(3) 联合决定, 其中,  $f_{\text{CENTER}}$  是本通道的 NCO 频率,  $F_{\text{OUT}}$  为用户想要

输出的频点,  $N$  为整数, 带通滤波器中心频率参数 BPF\_Center\_Freq 由公式(4)决定,  $f_{\text{CENTER}}$  指的是 4 路输出频点值相加之后的中心频率。

$$FTW = \frac{f_{\text{CENTER}}}{f_{\text{DAC}}} \times (2^{24} - 1) \quad (2)$$

$$F_{\text{OUT}} = f_{\text{CENTER}} + \left( \frac{f_{\text{DAC}}}{16} \times N \right) \quad (3)$$

$$\text{BPF\_Center\_Freq} = \frac{f_{\text{CENTER}}}{f_{\text{DAC}}} \times (2^{16} - 1) \quad (4)$$

下面就以输出频点 1000 M, 符号率为 8.75 MS/s 为例说明具体的设计过程, ADF4350 提供 2240 MHz 的时钟, 设置 0x22[5:4]=2'b01, 内部进行 16 倍分频, 生成 DCO 的时钟为 140 MHz。公式(1)中  $I=32$ ,  $f_{\text{BAND}}=8.75 \text{ MS/s}$ ,  $P/Q=16/32$ , 转换后的  $P=24$ ,  $h400000$ ,  $Q=24$ ,  $h800000$ ,  $FTW1=24$ ,  $h249249$ ,  $\text{BPF\_Center\_Freq}=16$ ,  $h7248$ , 任意开通一个通道即可。

## 5 FPGA 与 AD9789 的接口设计

AD9789 的工作时钟由 ADF4350 与 ADCLK914 联合提供。ADF4350<sup>[6]</sup> 是 ADI 公司推出的业界首款全集成的频率合成器, 内置片上 VCO(压控振荡器)与 PLL(锁相环), 支持 137.5 MHz~4.4 GHz 范围内的连续调谐, 且支持整数小数分频, 具有出色的相位噪声性能, 完全可以满足本系统的要求。

ADCLK914<sup>[7]</sup> 是一款采用 ADI 公司专利的互补双极性(XFCB-3)硅锗(SiGe)工艺技术制造的超快型时钟/数据缓冲器。ADCLK914 具备高压差分信号(HVDS)输出, 适合用于驱动 ADI 最新的高速数模转换器(AD9789、AD9739)。

本系统中, 在 FPGA 内部完成信道编码、星座映射及基带成形。AD9789 数据接口总线采用 32 bit, LVDS 模式, 只使用一个通道。所以输入为一组复数数据信号, 数据为 16 bit 的差分信号。根据所选的接口模式, 在采样时钟上升沿, 采样得到的 16 bit 数据为 I, 在采样时钟下降沿, 采样得到的 16 位数据为 Q, 调用一个 ODDR 模块, 将基带成形后的 I 路数据和 Q 路数据合二为一, 以 LVDS 模式输出, 分别与 AD9789 的 DP[15:0]和 DN[15:0]相连。ODDR 的工作时钟直接来自 DCO, DCO 是 AD9789 数据的采样时钟输出, 由  $F_{\text{DAC}}$  分频产生, 具体由内部寄存器 0x22[5:4]决定, 确保 FPGA 输出数据和 AD9789 的数据采样时钟速率相等。

本文详细介绍了 DVB\_S 可变符号率的设计, 利用新

## 集成电路应用 Application of Integrated Circuits

器件 AD9789 能实现数字上变频的特性, 结合 FPGA, 提出了一套解决全数字 DVB-S 射频调制的方案, 并给出了配置 AD9789 的详细流程。结合具体实例, 给出了重要参数的设置方法, 与传统的射频调制相比, 免去对片外混频器和低通滤波器的需求, 具有更佳的性能、更低的成本和更好的灵活性, 可广泛用于电缆调制解调器系统。

### 参考文献

- [1] 陈守金, 于鸿洋, 葛锦环. 新型 DVB\_C 信道编码、中频调制的全数字实现[J]. 电子技术应用, 2006(5).
- [2] 葛锦环. 基于 FPGA 的 DVB-S QPSK 调制器的设计与仿真[D]. 电子科技大学硕士学位论文, 2006.
- [3] ETSI. EN300 421. Digital Video Broadcasting (DVB). Framing structure, channel coding and modulation for 11/12 GHz satellite

services, 1997.

- [4] ug191, Virtex-5 Configuration User Guide, Xilinx Corporation, 2007.
- [5] AD9789 Datasheet. Analog Devices, 2009.
- [6] ADCLK914 Datasheet. Analog Devices, 2008.
- [7] ADF4350 Datasheet. Analog Devices, 2008.

(收稿日期: 2010-01-12)

### 作者简介:

韩庆喜, 男, 1982 年生, 硕士研究生, 主要研究方向: 系统电子设计自动化 (EDA/ESDA)。

刘志军, 男, 1951 年生, 教授, 主要研究方向: 电路与系统, 系统电子设计自动化 (EDA/ESDA)。

张淑慧, 女, 1984 年生, 硕士研究生, 主要研究方向: 系统电子设计自动化 (EDA/SOPC)。

电子技术应用

APPLICATION OF ELECTRONIC TECHNIQUE

www.chinaAET.com