

MOSFET 高速驱动设计

此文章出处:与非网

英飞凌 MOSFET 驱动 MOSFET 并联

摘要:

本文阐述了 MOSFET 驱动的基本要求以及在各种应用中如何优化驱动电路的设计

关键词: MOSFET 驱动, MOSFET 并联

1. 引言

随着电源高效, 高功率密度的要求, 电源的频率由原来的工频, 到几十千赫兹, 再到如今几百千赫兹甚至兆赫兹。电源频率的要求越来越高。如何选择合适的 MOSFET, 如何有效的驱动高速的 MOSFET, 提升电源效率是广大工程师面临的问题。本文将探讨 MOSFET 的选型以及高速驱动线路的设计的注意事项。

2. MOSFET 结构以及影响驱动的相关参数

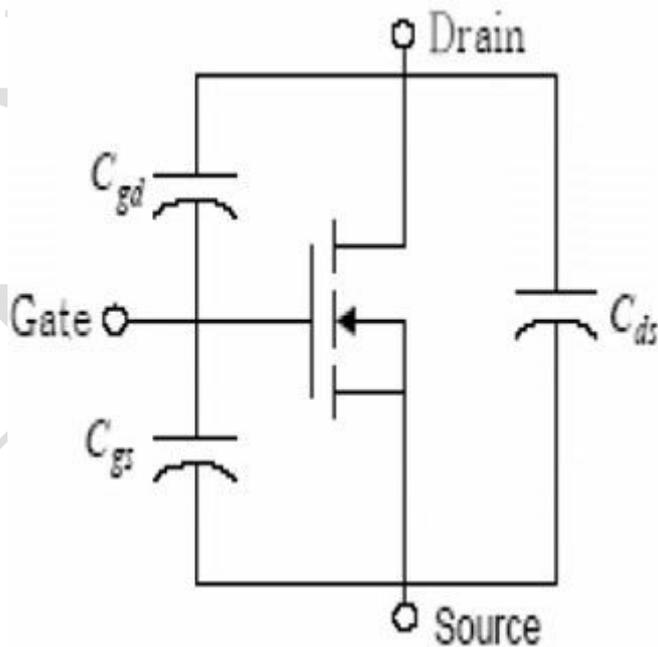


图 1

图 1 是 MOSFET 的电容等效图。MOSFET 包含 3 个等效结电容 C_{gd} , C_{gs} 和 C_{ds} 。

通常在 MOSFET 的规格书中我们可以看到以下参数

Input capacitance	C_{iss}	$V_{GS}=0V, V_{DS}=25V,$	-	2400	-	pF
Output capacitance	C_{oss}	$f=1MHz$	-	780	-	
Reverse transfer capacitance	C_{rss}		-	50	-	

其中 $C_{iss}=C_{gs}+C_{gd}$

$C_{oss}=C_{gd}+C_{ds}$

$C_{rss}=C_{gd}$

这些结电容影响着 MOSFET 开通和关闭速度。结电容小的 MOSFET 具有快速的开关速度，可以降低 MOSFET 开通和关闭时所产生的损耗。同时对驱动线路需求更低。

但是值得注意的是这些电容跟普通的电容并不完全相同，普通电容的容值并不会会有太大的改变，而 MOSFET 等效电容容值会随着 MOSFET V_{ds} 的变化而变化。图 2 描述了 MOSFET 结电容随电压的变化状况。

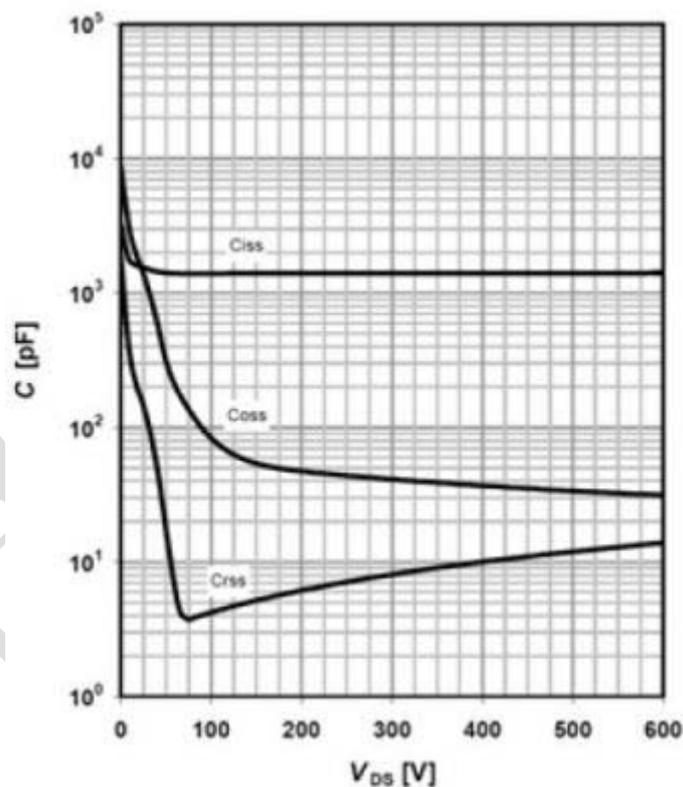


图 2

由于 $Q=C*U*t$

为了方便计算 MOSFET 所需的驱动功率以及开关损耗，规格书中通常会给出 MOSFET 的 Q 值。

Gate to source charge	Q_{gs}	$V_{DD}=30\text{ V}, I_D=50\text{ A},$ $V_{GS}=0\text{ to }4.5\text{ V}$	-	31	-	nC
Gate charge at threshold	$Q_{g(th)}$		-	17	-	
Gate to drain charge	Q_{gd}		-	10	-	
Switching charge	Q_{sw}		-	24	-	
Gate charge total	Q_g		-	59	79	

图 3 中描述了 MOSFET 开通的过程以及不同的 Q_g 值对 MOSFET 开通过程中的影响。 Q_{gs} 是 C_{gs} 的电荷量， Q_{gd} 是 C_{gd} 的电荷量，而整个开通过程中电荷量的总和我们称之为 Q_g 。

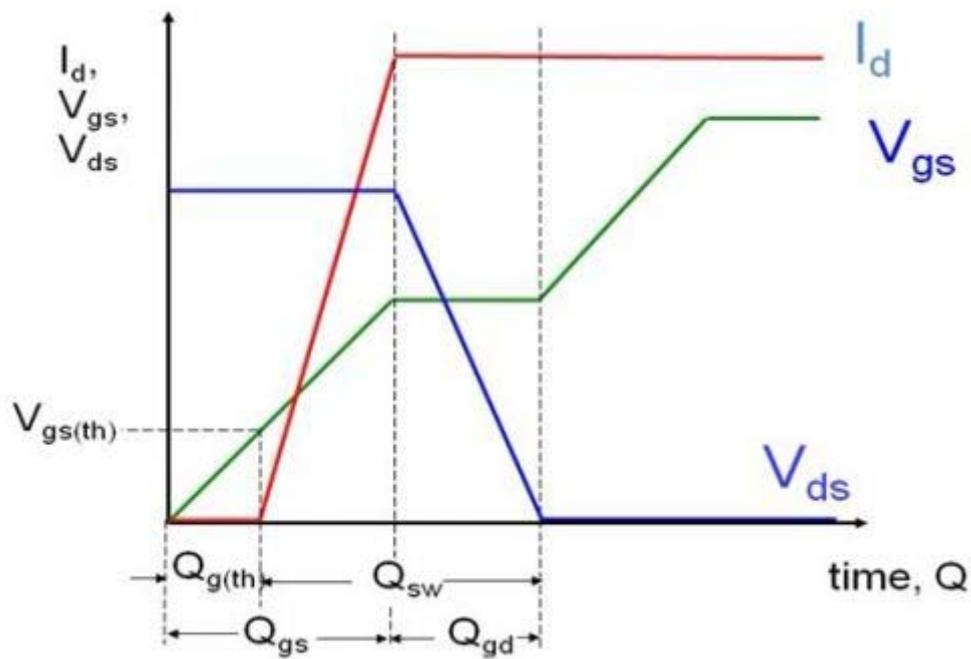
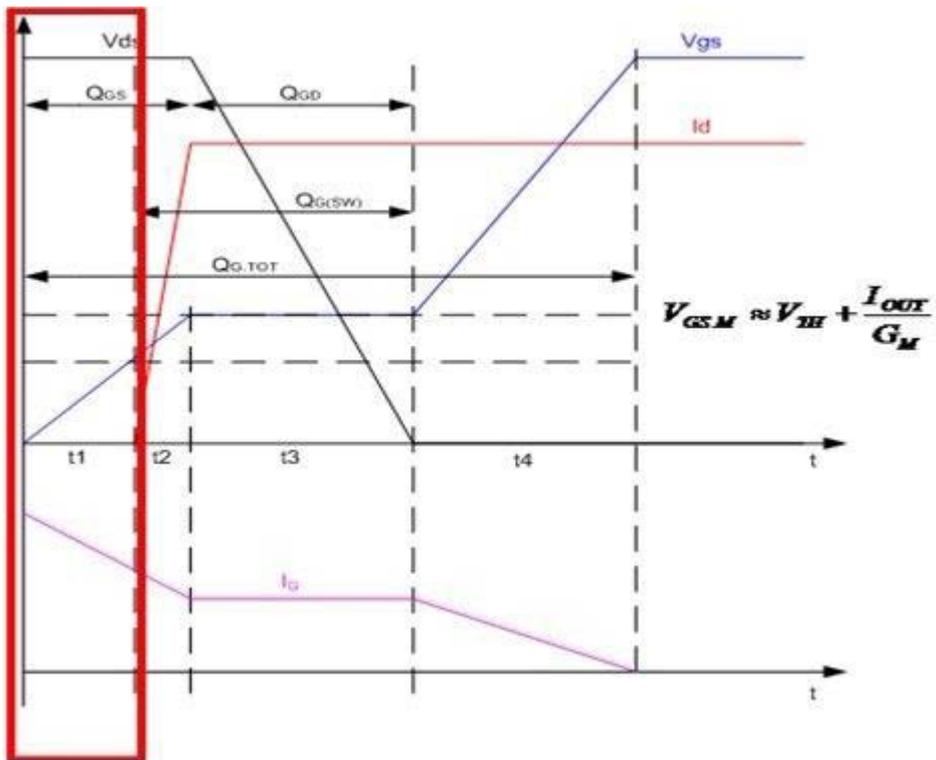


图 3

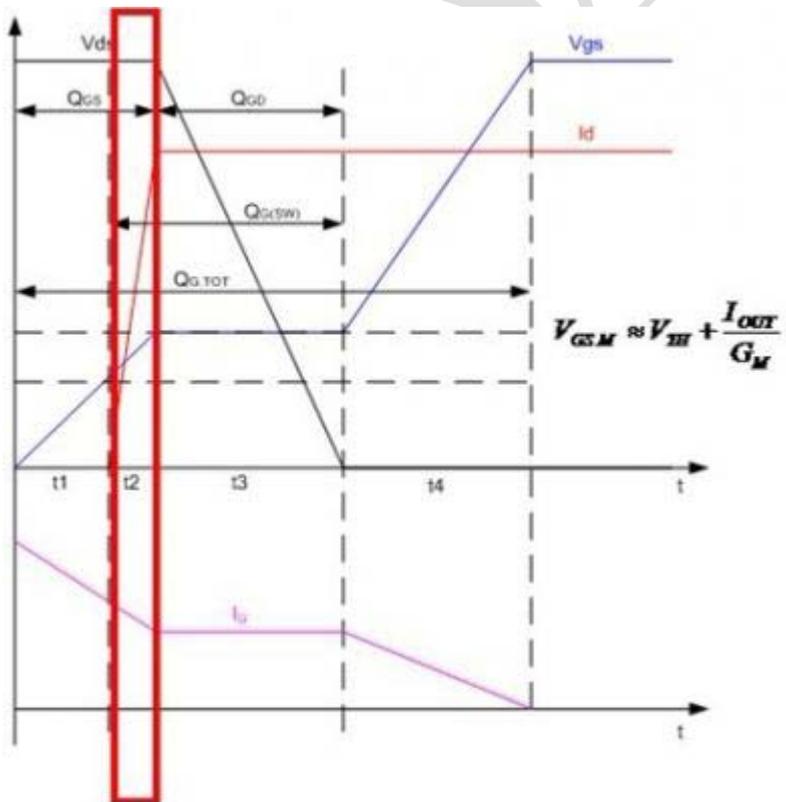
2.1 MOSFET 导通时序介绍



t1 阶段

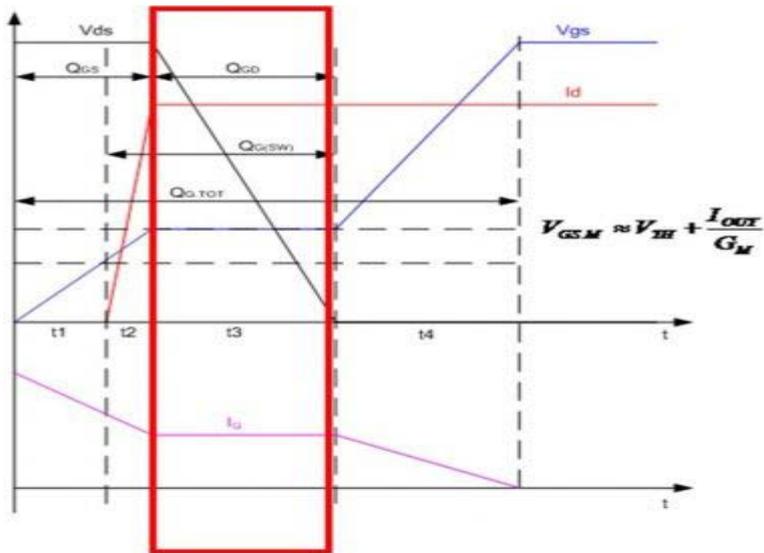
此阶段处于 MOSFET 死区时间。

MOSFET 电压电流并无变化



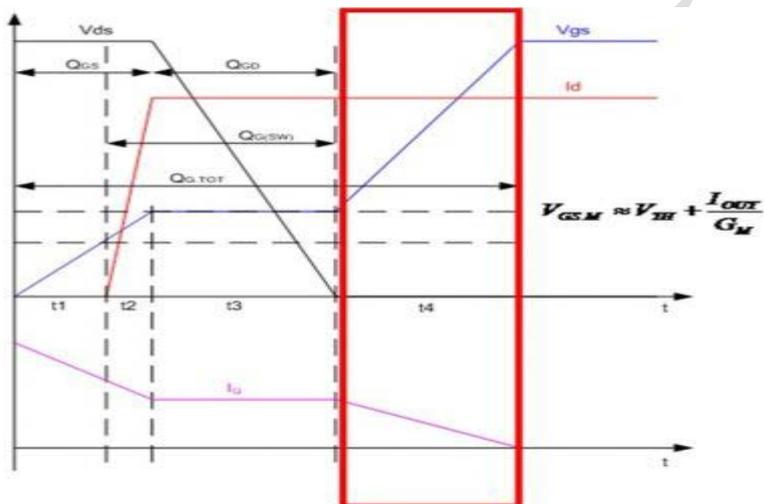
t2 阶段

t2 阶段 MOSFET V_{gs} 电压达到阈值并继续上升。此时 MOSFET 开始导通，电流从 MOSFET 漏极流向源极并在 t2 结束时到达最大值，而 V_{ds} 此时保持不变。



t3 阶段

t3 阶段 MOSFET V_{gs} 电压到达米勒平台并保持动态平衡。电流从 MOSFET 漏极流向源极并保持在最大值， V_{ds} 开始下降并最终到达最小值。



t4 阶段

t4 阶段 V_{gs} 电压上升至最大值，电流从 MOSFET 漏极流向源极并保持在最大值， V_{ds} 同时保持在最小值，MOSFET 进入饱和区，导通电阻降至最小。

以上是 MOSFET 导通的时序介绍，而 MOSFET 关闭的时序与之完全相反。

从 MOSFET 驱动时序来看，MOSFET Q_g 对 MOSFET 的开通与关闭速度起决定作用。对于 MOSFET 的驱动设计应当着手于选择 Q_g 较小的 MOSFET，这样不仅可以降低 MOSFET 开关损耗，同时可以降低对驱动电路峰值电流的需求。

3. 降低 dv/dt , di/dt 造成的震荡

门极震荡是 MOSFET 高速驱动一个常见问题，驱动的震荡直接影响到电源系统的损耗以及可靠性，通常 MOSFET 门极震荡包含两个回路如图 4

图 4 中红色曲线是震荡回路 1，其回路由 MOSFET 漏极寄生电感 L_d （包括 MOSFET 封装电感以及 PCB 布线等效电感），MOSFET 结电容 C_{gd} ，MOSFET 门极电感 L_g （包括 MOSFET 封装电感以及 PCB 布线等效电感），MOSFET 内置门极驱动电阻 R_{gini} ，以及装配，PCB 布线耦合电容 C_{gdext} 组成。

当 MOSFET 关闭时， V_{ds} 上升，红色回路的电感，电容会形成 LC 谐振，该谐振频率约在 300MHz 至 500MHz 之间。此时外加的门极驱动电阻 R_{gext} 对于该回路的阻尼作用并不明显。而能够明显起到阻尼作用的只有 MOSFET 内置门极驱动电阻 R_{gini} 。尤其是对于高压 MOSFET，由于 dv/dt 较低压 MOSFET 更高。

震荡回路 2 是由图 4 中蓝色曲线组成。其回路由 MOSFET 源极寄生电感（包括 MOSFET 封装电感以及 PCB 布线等效电感），MOSFET 结电容 C_{gs} ，MOSFET 门极电感 L_g （包括 MOSFET 封装电感以及 PCB 布线等效电感），MOSFET 内置门极驱动电阻 R_{gini} ，MOSFET 外置门极驱动电阻 R_{gext} 组成。

当 MOSFET 开通时，MOSFET 电流上升，该回路的电感，电容同样会产生 LC 震荡，震荡频率通常在 100MHz 到 200MHz 左右，同时急剧变化的电流 di/dt 会在 L_s 上产生一个变化的电压。 $di/dt = VL_s/L_s$ 。当假设 $di/dt = 500A/us$ ， $L_s = 10nH$ 时，根据公式在漏极电感 L_s 上产生的电压 $VL_s = di/dt * L_s = 500A/us * 10nH = 5V$ 。一旦门极震荡电压在阈值范围内，MOSFET 会不断重复开关，造成极大的开关损耗甚至会影响到 MOSFET 的可靠性。

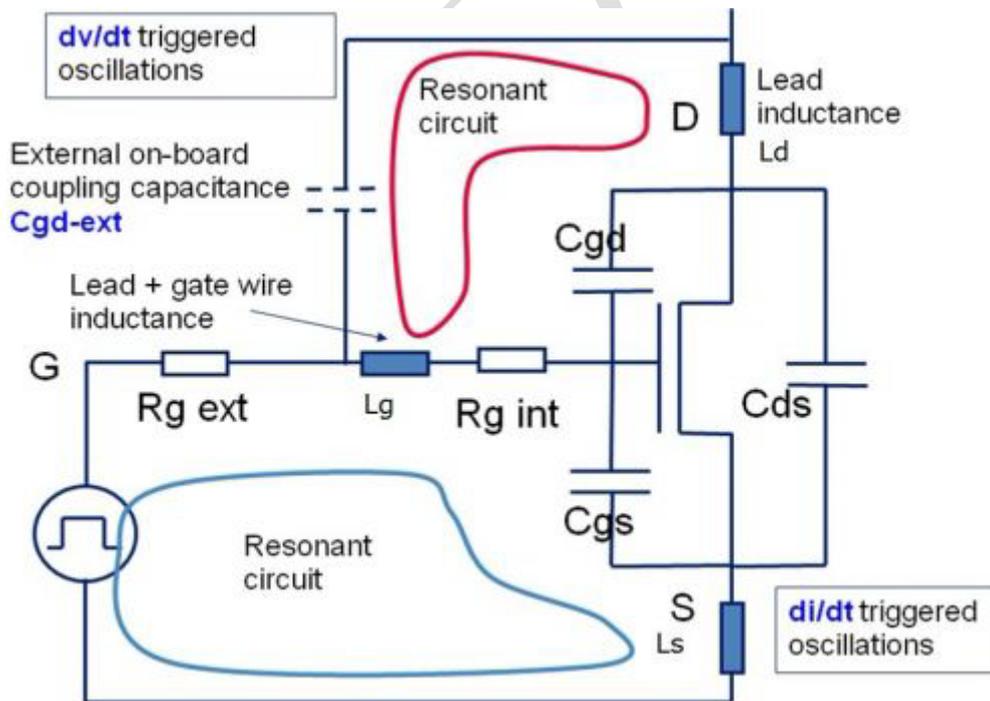


图 4

综上，对于驱动线路设计中如何降低 di/dt , dv/dt 减小震荡，我们有以下几点考虑：

1. 减小 PCB 布线所带来等效寄生电感。

2. 选择合适的带内置门极驱动电阻的 MOSFET 如 Infineon CoolMOS C6 系列。
3. 选择无引线的封装 MOSFET，降低由封装所产生的寄生电阻和电感。
4. 选择合适的门极驱动电阻从而抑制 MOSFET 的门极驱动震荡。

图 5 中是 Infineon 的 600V 高压 MOSFET ThinPAK 封装。这种封装不仅具有小的封装寄生参数，同时可以缩短 PCB 布线的长度。此外该封装门极地线与驱动信号地线分属于不同的管脚，可以有效的降低门极驱动震荡。

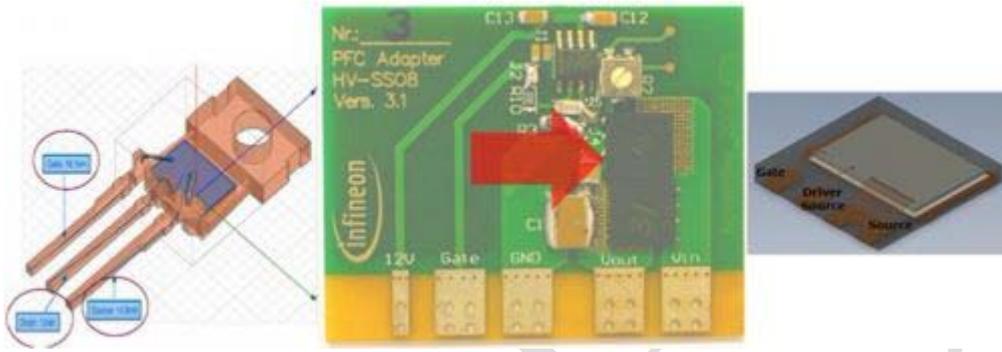


图 5

4. MOSFET 并联

由于功率或者效率的原因，单个 MOSFET 在某些应用场合并不能完全满足要求，此时需要两个或多个 MOSFET 进行并联。我们下面来简单分析 MOSFET 并联会面临那些问题。

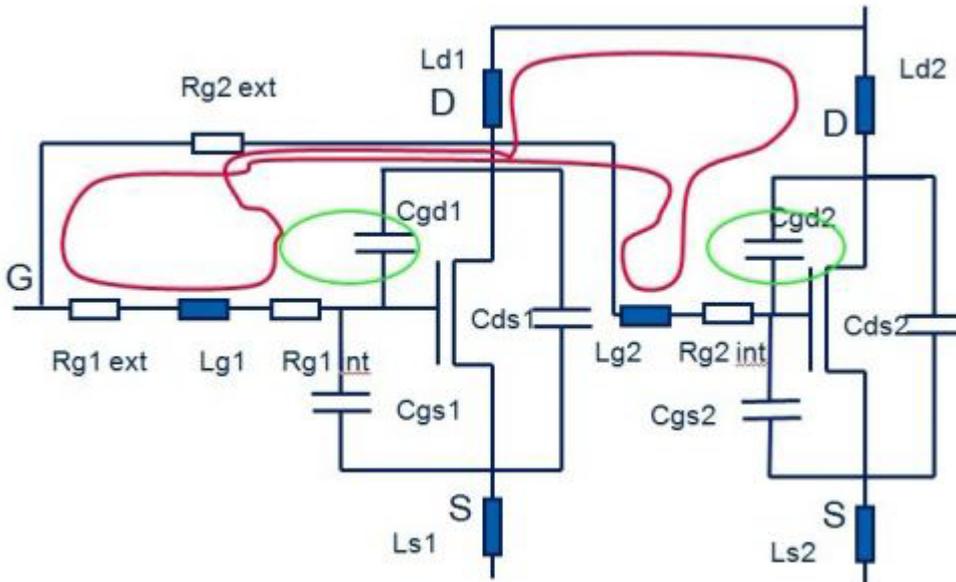


图 6

图 6 是当两个 MOSFET 并联时的等效电路，当 MOSFET 开关时，很容易在图 6 红色区域形成自激振荡，该振荡回路由 MOSFET 寄生参数和驱动电路中 R_{g1ext} , L_{g1} , R_{g1ini} , C_{gd1} , L_{d1} , 和 R_{g2ext} , L_{g2} , R_{g2ini} , C_{gd2} , L_{d2} 共同组成。

由于振荡，并联 MOSFET 的门极驱动电压并不能保持一致，门极电压高于 V_{gsth} 的 MOSFET 仍然开通，门极电压低于 V_{gsth} 的 MOSFET 关闭，使得各 MOSFET 之间并不能完全均流。同时，由于受该振荡回路的影响，电磁干扰，门极击穿同样是工程师面临的问题。

而有效的控制 MOSFET 并联时的自激振荡我们需要注意以下几点：

1. 保持各个 MOSFET 布线一直性。
2. MOSFET 具有独立的驱动电路，至少具备独立的驱动电阻。
3. 合适的驱动电阻可以阻尼振荡，门极上磁珠同样也可以抑制高频干扰。

图 7 是 MOSFET 并联时的仿真电路，其初始设置为 $R_g=100\Omega$, $V_{gsth}=3V$, MOSFET 之间的布线电感 $L_9=0nH$ 。

下面我们通过修改该仿真线路中影响 MOSFET 均流的参数来比较其各自对 MOSFET 并联时所产生的影响。

1. 设置门极驱动电阻
2. 设置 MOSFET 阈值电压 V_{gsth}
3. 设置 PCB 布线电感

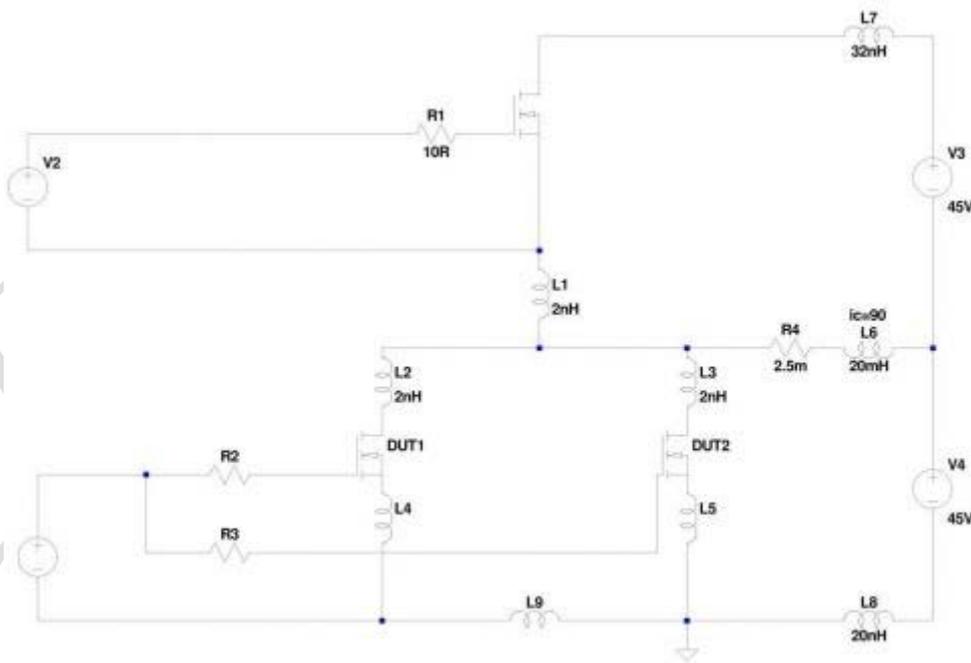


图 7

设置 1，如图 8

将其中一 MOSFET 门极驱动电阻 R3 设置为 120Ω , 另一 MOSFET 门极驱动电阻 R2 保持 100Ω 不变。

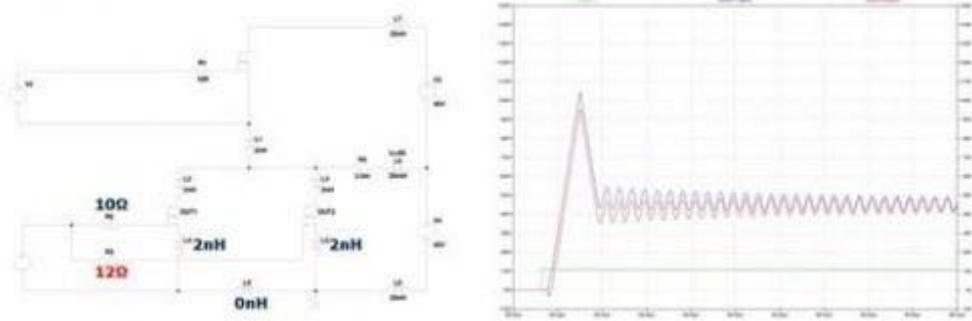


图 8

如图 7 右所示，当门极驱动电阻相差 20nH 时，流过两个 MOSFET 的电流相差并不十分明显。

设置 2，如图 9

将其中一 MOSFET DUT1 门极阈值电压设置为 3.4V, 另一 MOSFET DUT2 门极阈值电压保持 3V 不变。

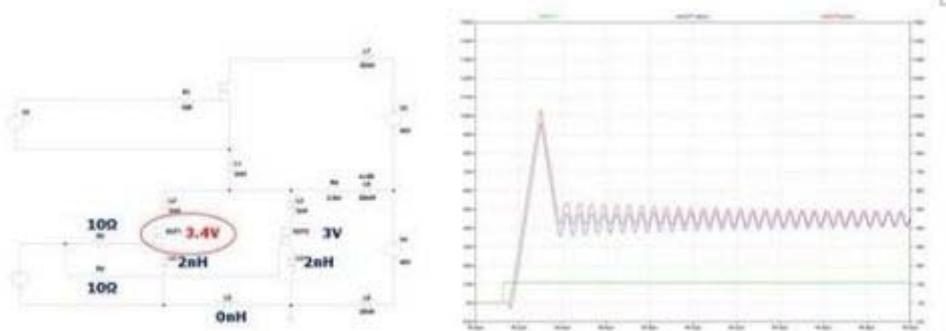


图 9

如图 9 右所示，当门极驱动电压相差 0.4V 时，流过两个 MOSFET 的电流相差也并不十分明显。

设置 3，如图 10

将其中一 MOSFET DUT1 门极阈值电压设置为 4V, 另一 MOSFET DUT2 门极阈值电压设置为 2V。

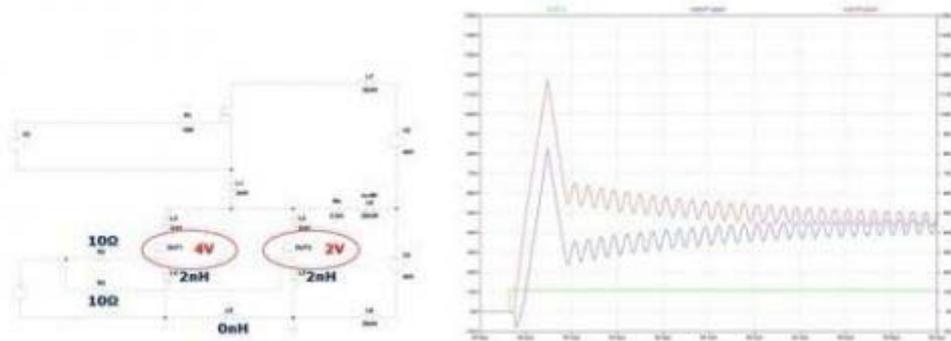


图 10

如图 10 右所示，当门极驱动电压相差 2V 时，分别通过两个 MOSFET 的电流相差近 40%

当情形为多个 MOSFET 并联时，其中个别 MOSFET 将会出现过流，过温现象。

设置 4，如图 11

将两个 MOSFET 之间的布线电感设置为 10nH。

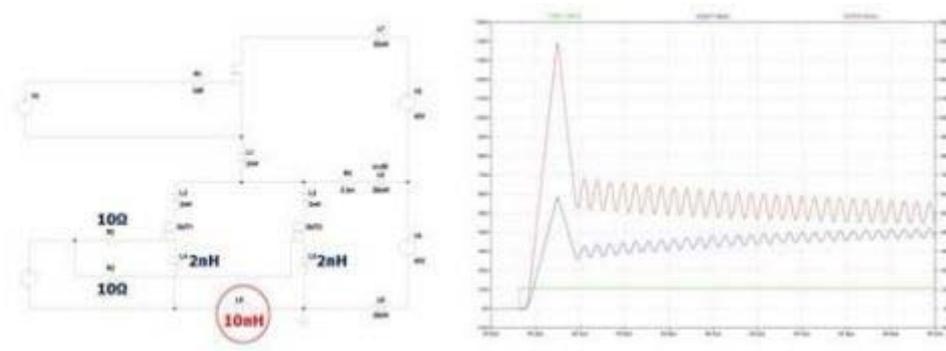


图 11

如图 11 右所示，当门极驱动电压相差 2V 时，通过两个 MOSFET 的电流相差近 100%

如果 MOSFET 选型中没有留有足够的电流裕量，在此状况下极有可能出现失效。

综合以上的模拟测试，我们不难得出，PCB 布线对于 MOSFET 并联影响最大，其次是 MOSFET 门极阈值电压，再次是门极驱动电阻。

因此对于 MOSFET 并联的驱动设计，我们应该将重点放在 PCB 的 布线当中。

首先需要注意的事 PCB 的布线一致性，尽可能使并联中的 MOSFET 布线保持对称，同时减少 MOSFET 地线之间连接的距离，从而减小寄生电感值，连接注意单点接地；

其次选择阈值电压最小值与最大值相差较小的 MOSFET；

再次保证门极驱动电阻的误差在 5%的范围以内。

5. 避免 MOSFET 进入线性放大区

MOSFET 驱动的最小电流：

$$I_{min} = V_{gs} / R_g$$

而驱动电路的平均损耗：

$$P_{loss} = Q_g * V_{gs} * f$$

在设计驱动电路时，峰值电流以及驱动平均损耗需要尽量高于最低值，避免 MOSFET 长时间工作在线性放大区。图 12 是 MOSFET 的 I/V 特性曲线，MOSFET 工作在线性放大区时非完全导通， V_{ds} 之间出现高阻抗。MOSFET 具有很高的损耗，其损耗计算如下：

$$E_{loss} = \int_{t=t_0}^{t_{5w}} V_{DS} \cdot I_D \cdot dt$$

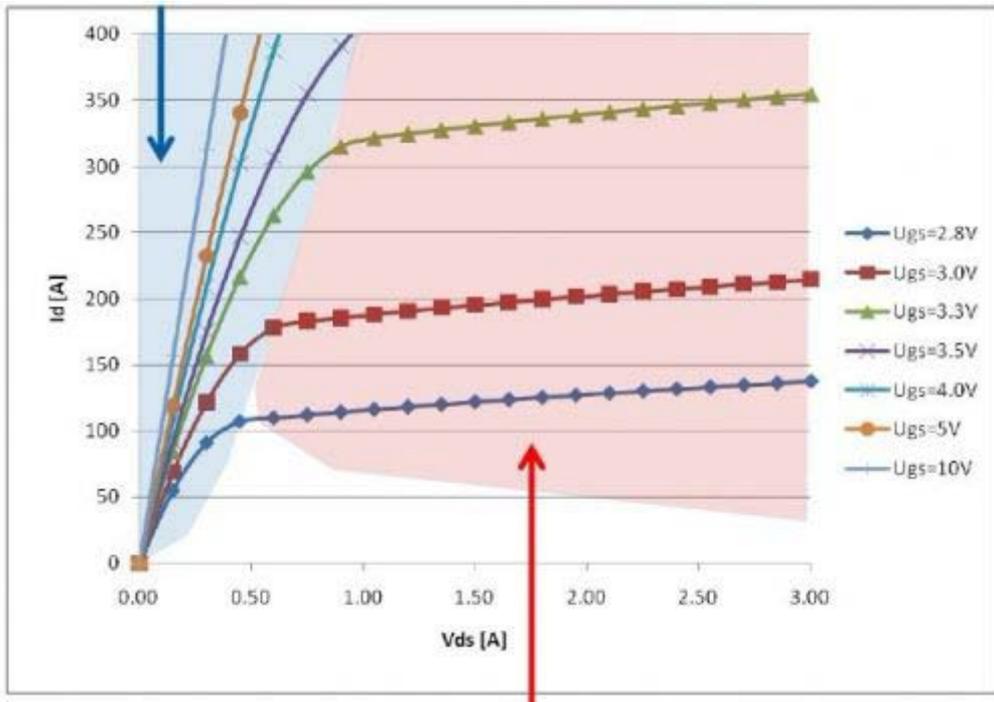
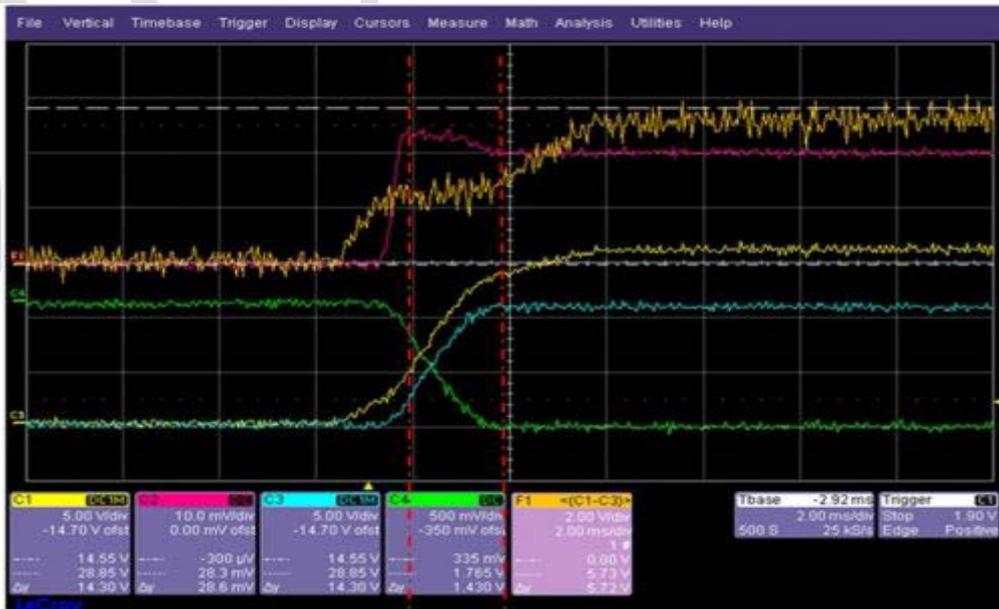


图 12

图 13 是 MOSFET 处于线性放大区长达 500uS 的波形。如果某些应用需要 MOSFET 进入放大区，我们必须确定 MOSFET 处于安全工作区 SOA 的限制以内。



6. 结论

MOSFET 的驱动设计，我们需要考虑以下几个方面：

1. 选择合适的 MOSFET。 Q_g 小的 MOSFET 可以达到快速的开关速度，同时减小对驱动的要求。 V_{gsth} 最小值和最大值窗口小的 MOSFET 可以达到较好的并联效果
2. 选择合适的封装。无引线封装具有更小的封装电阻和封装电感，更加适合高频的驱动设计。同时可以有效的减小驱动震荡，降低开关损耗，提高系统的可靠性。
3. PCB 布线是 MOSFET 的驱动设计的关键。它影响 MOSFET 的损耗，震荡，以及 MOSFET 均流效果。
4. 保证足够驱动功率和峰值电流，避免 MOSFET 长期工作在线性放大区。一旦进入放大区，需要确认 MOSFET 是否工作在 SOA 范围之内。