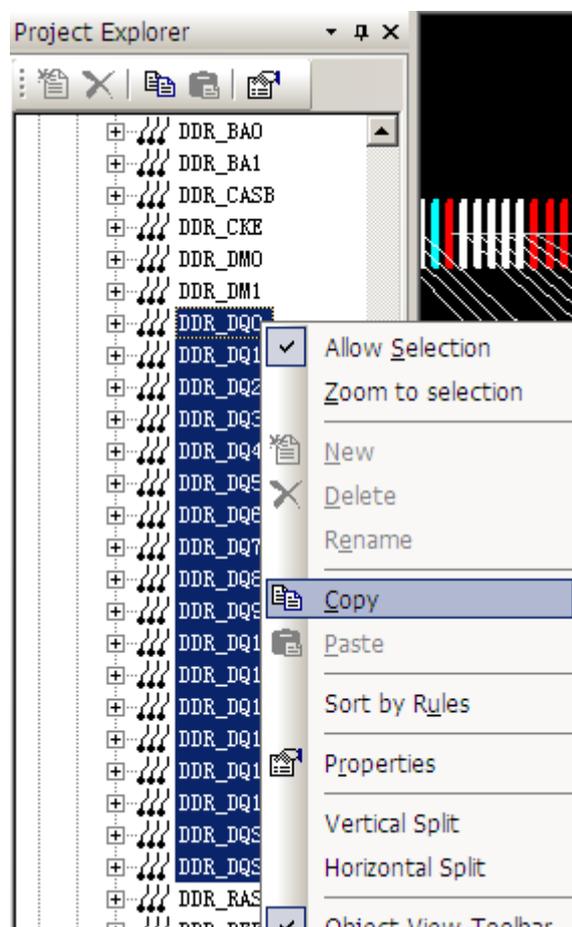


## PADS 功能使用技巧 V0.2

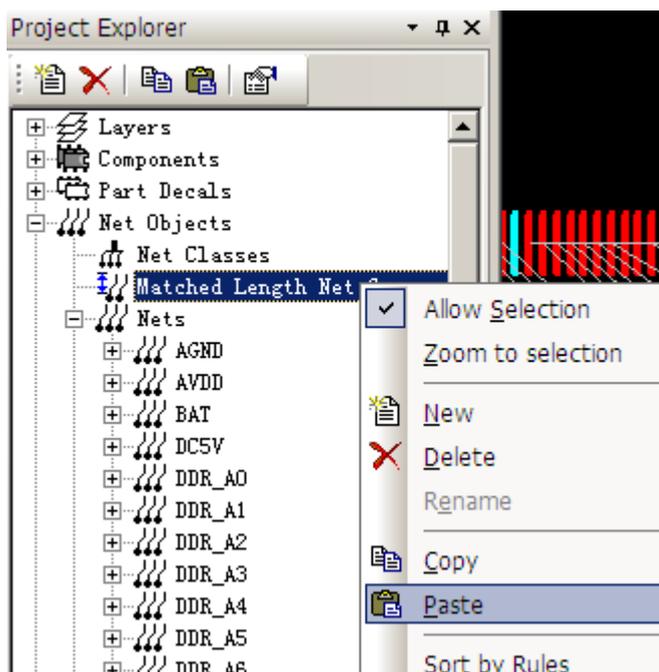
### 一、如何走蛇形线？

蛇形线是布线过程中常用的一种走线方式，其主要目的是为了调节延时满足系统时序设计要求，但是设计者应该有这样的认识：蛇形线会破坏信号质量，改变传输延时，布线时要尽量避免使用，因此一块 PCB 上的蛇形线越多并不意味着越“高级”。实际设计中，为了保证信号有足够的保持时间，或减小同组信号之间的时间偏移，往往不得不故意进行绕线，例如 DDR\* (DDR1/DDR2/DDR3) 中的 DQS 与 DQ 信号组要求要严格等长以降低 PCB skew，这时就要用到蛇形线。

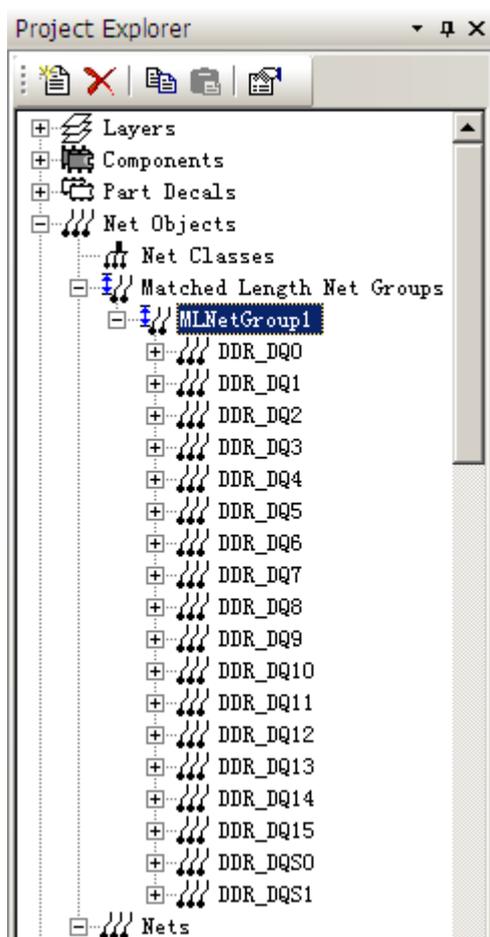
(1) 设置蛇形线的参数。蛇形线的参数主要有线长、同组线线长的差值、平行线段距离(Gap)及平行线段长度。Router 中打开项目浏览器 (Project Explorer)，展开 Net Objects 树形列表下的 Net 项，选择需要等长的网络 (此处是 DDR\_DQ[15..0] 以及 DDR\_DQS[1..0])，右击选择 Copy，如下图所示。



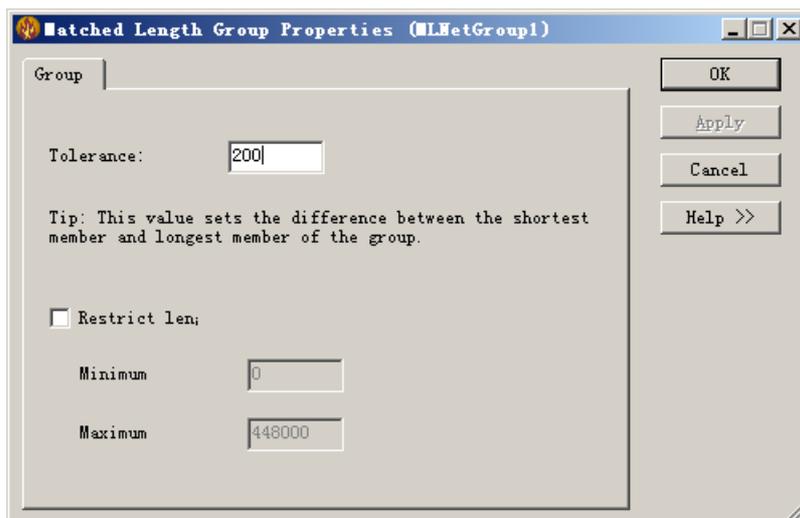
(2) 点击 Nets 组上的 Matched Length Nets Groups，右击后选择 Paste 将上述网络粘贴到该项内，如下图所示。



(3) 此时在 Matched Length Net Groups 组内出现一个默认名为 MLNetGroup1 的网络组，展开就可以看到，拷贝的网络在这里出现，如下图所示。

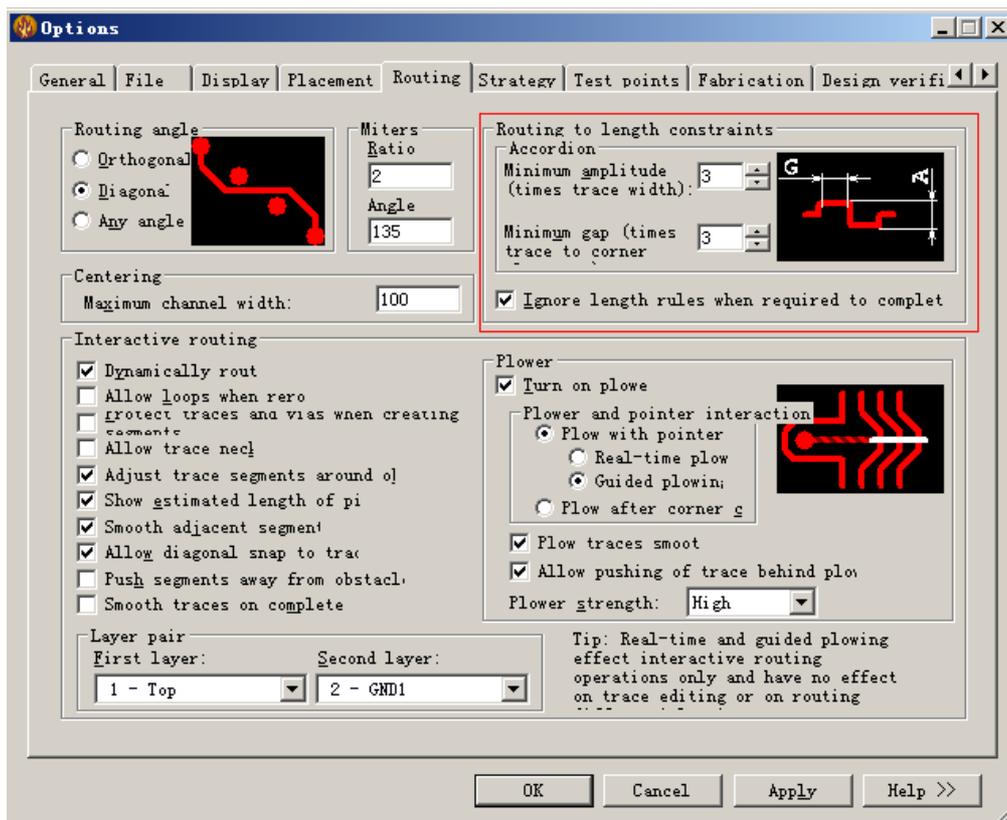


(4) 点击 MLNetGroup1 网络组，右击后选择 Properties，弹出如下图所示的对话框。

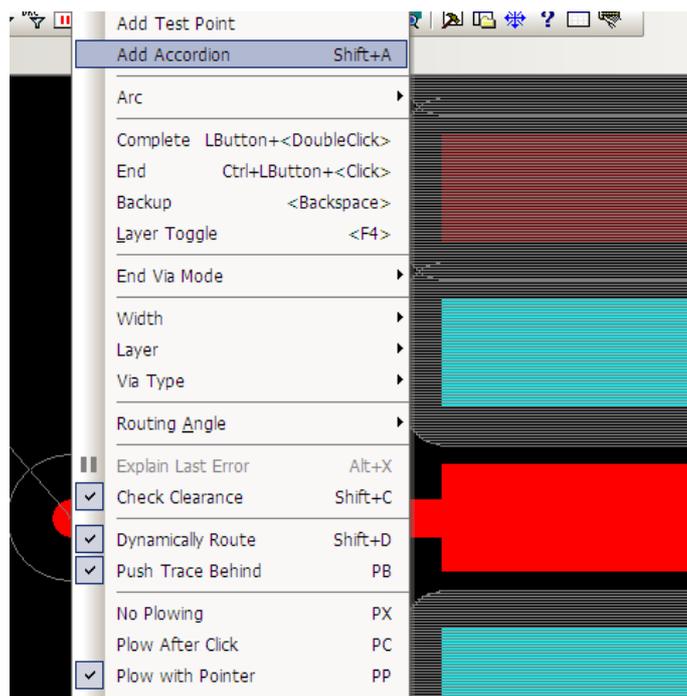


其中 Tolerance 即网络组内最长与最短走线之间的差值，PADS 默认不对走线长度加以限制，若需要，可勾选 Restrict length 进行相应的设置，此两者的值可根据经验或仿真结果进行设置。

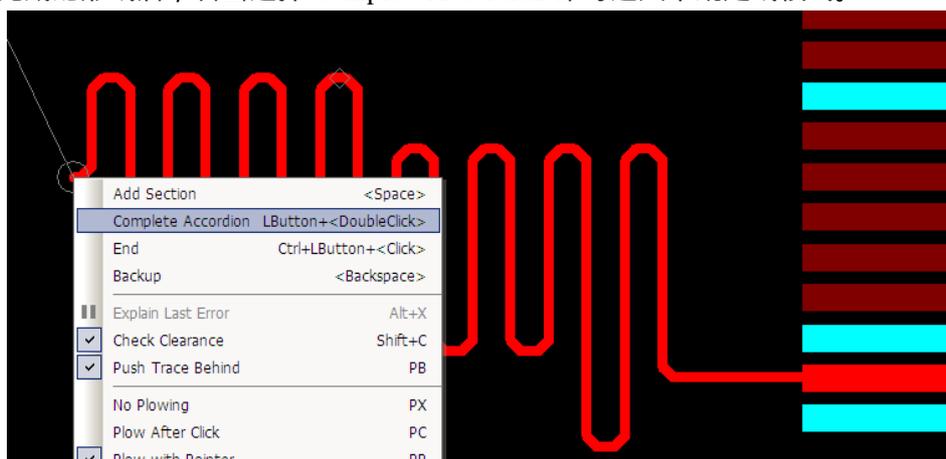
(5) 点击工具栏上  图标或按热键 Ctrl+Enter，选中 Options 对话框中的 Routing 页表项，其中红色框中的参数即针对蛇形线，这里我们把平行线段距离 (Gap) 设置为 3，点击 OK，即可完成蛇形线的设置。



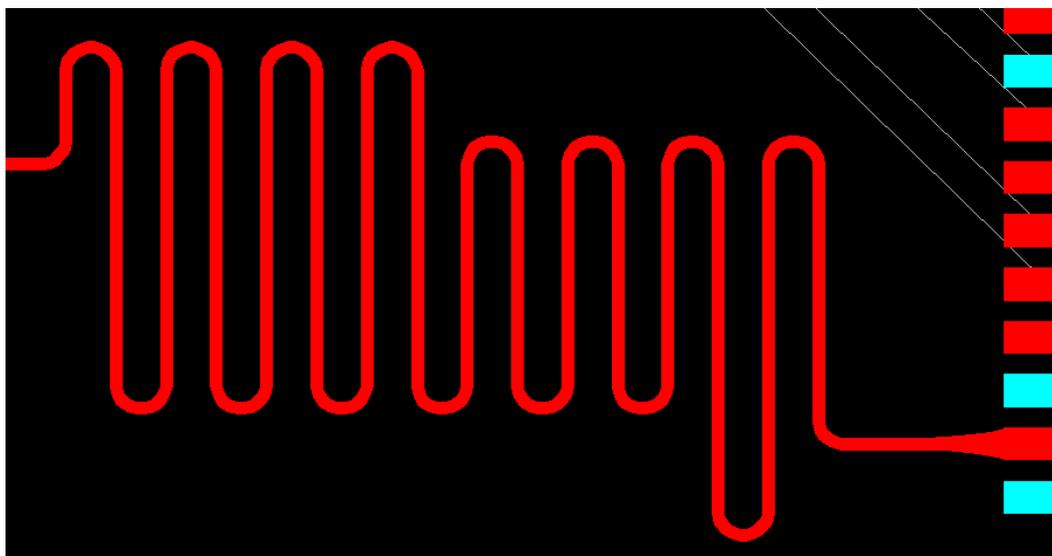
(6) 在 PCB 中选定一个引脚，按 F3 开始走线，在需要走蛇形线的地方停顿，右击后选择 Add Accordion，即可开始蛇形走线，如下图所示。控制方面的细节不再赘述。



(7) 完成蛇形线后，右击选择 Complete Accordion 即可进入常规走线模式。

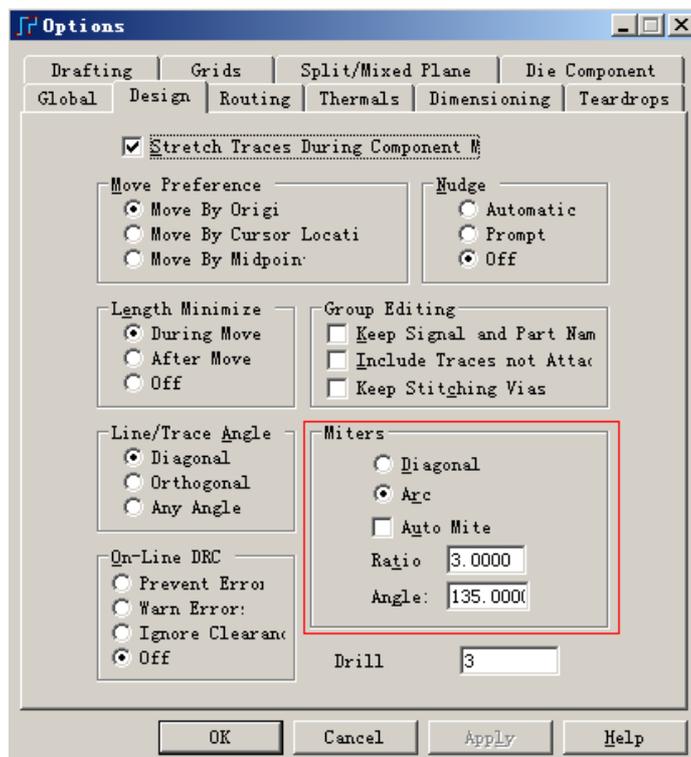


(8) 最后完成的结果如下图所示。



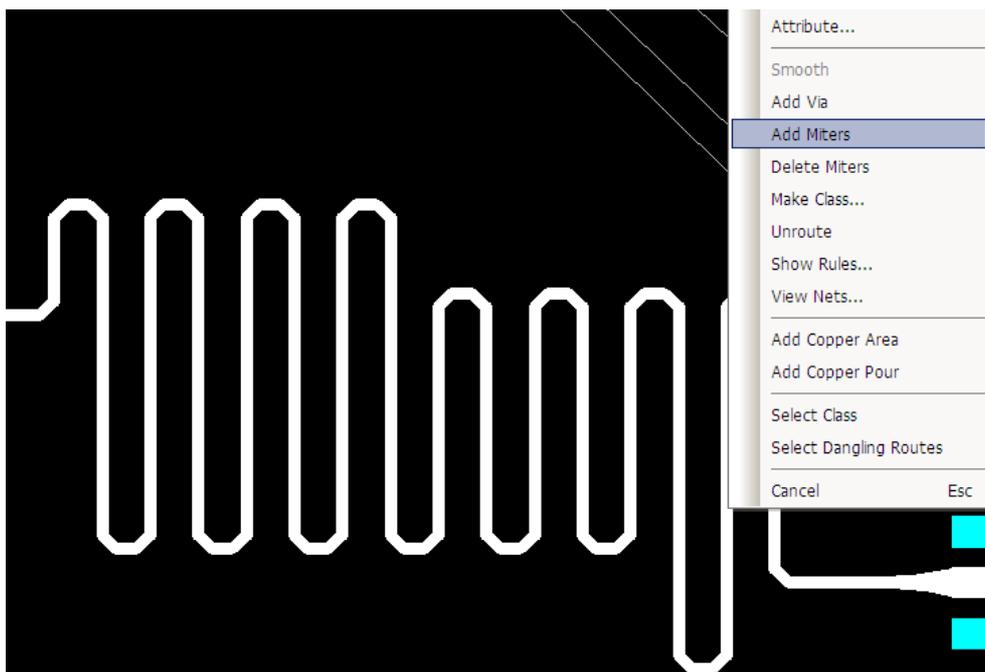
细心的读者可能发现自己走出来的有  $135^\circ$  角，而上图中却是弧线☺☺，是的！走出来的原本不是弧线，是在 Layout 中通过 Add Miters 处理过的。

用 Layout 打开刚才的 PCB，选择菜单栏 Tool -> Options 后出现如下对话框，



在 Mitters 组合框内选择 Arc，表示对走线进行圆弧修正，Ratio 可按具体情况设置，此处为 3，此值不宜过小（没效果）亦不可过大（有些角度修正不到位），Angle 为  $135^\circ$ ，表示对  $135^\circ$  角进行修正，完成后点击 OK 即可。

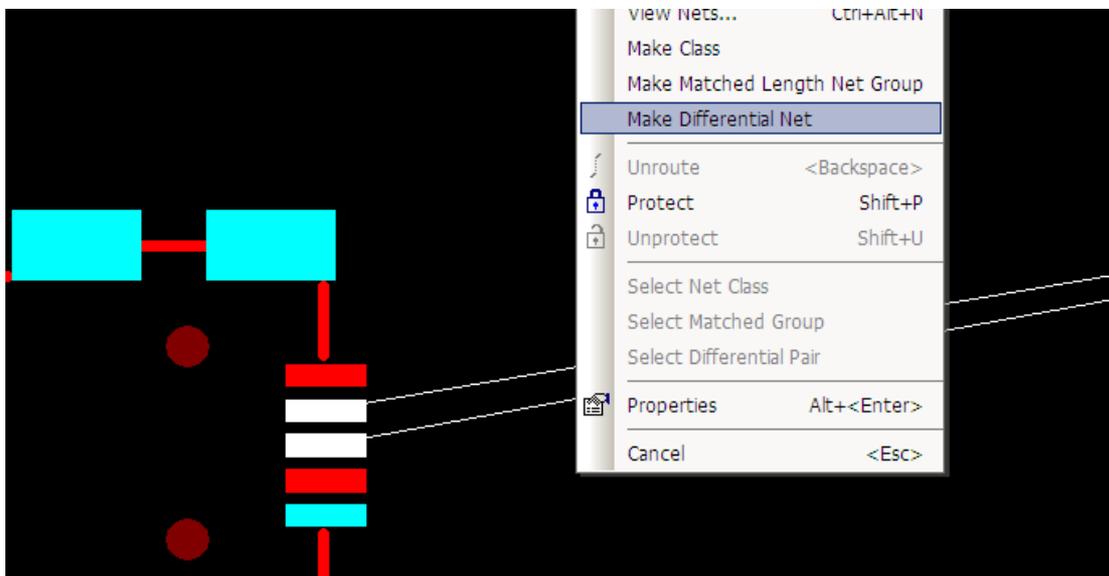
选择需要修正的网络，右击后选择 Add Miters 如下图所示，这样蛇形线就成圆弧走线了。



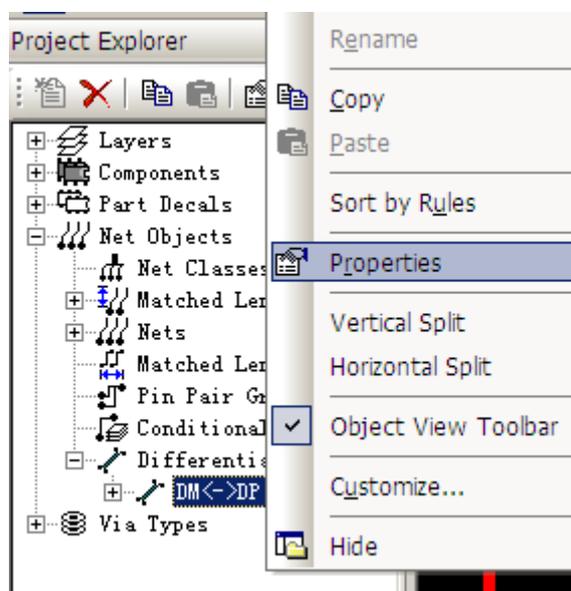
## 二、如何走差分线？

差分信号在高速电路设计中应用越来越广泛，如 USB、HDMI、PCI、DDR\*等，承载差分信号的差分线主要优势有：抗干扰能力强，能有效抑制 EMI、时序定位精确等，对于 PCB 工程师来说，最关注的是如何确保在实际走线中能完全发挥差分线的这些优势。

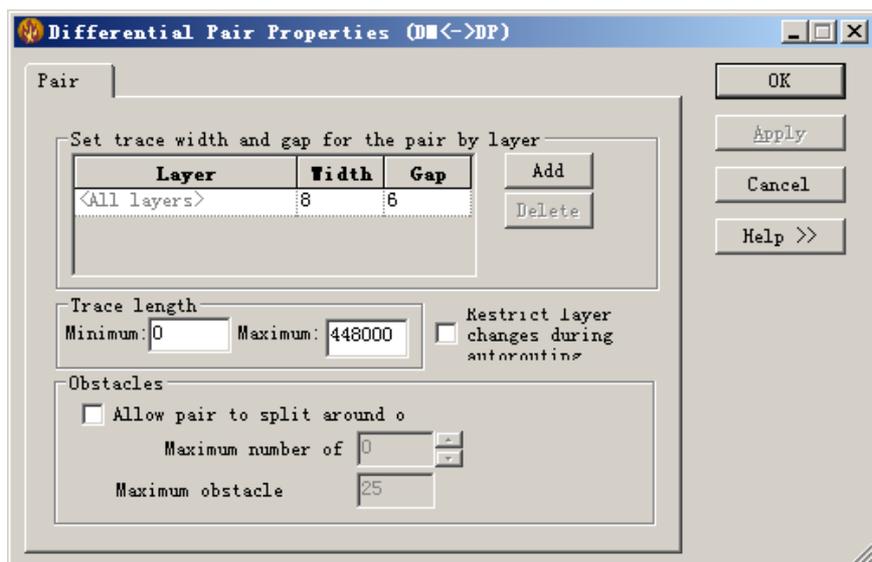
(1) 定义差分对信号：在 Router 中，同时选定需要走差分线的网络 (Net)，右击后选择 Make Differential Net，如下图所示。



(2) 打开项目浏览器 Project Explorer 窗口，展开 Net Objects 树形列表下的 Differential Pairs 项，刚刚定义的差分对 DM<->DP 就在这里，选定该差分对后右击选择 Properties，如下图所示。

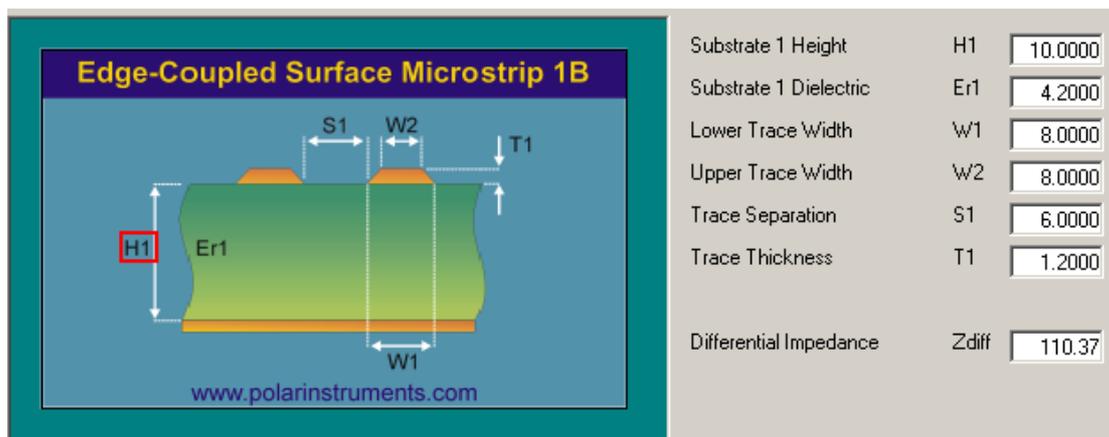


(3) 在弹出的对话框中，可设置相应的线宽及线距，此处分别设置为 8 与 6 (8:8:6)。

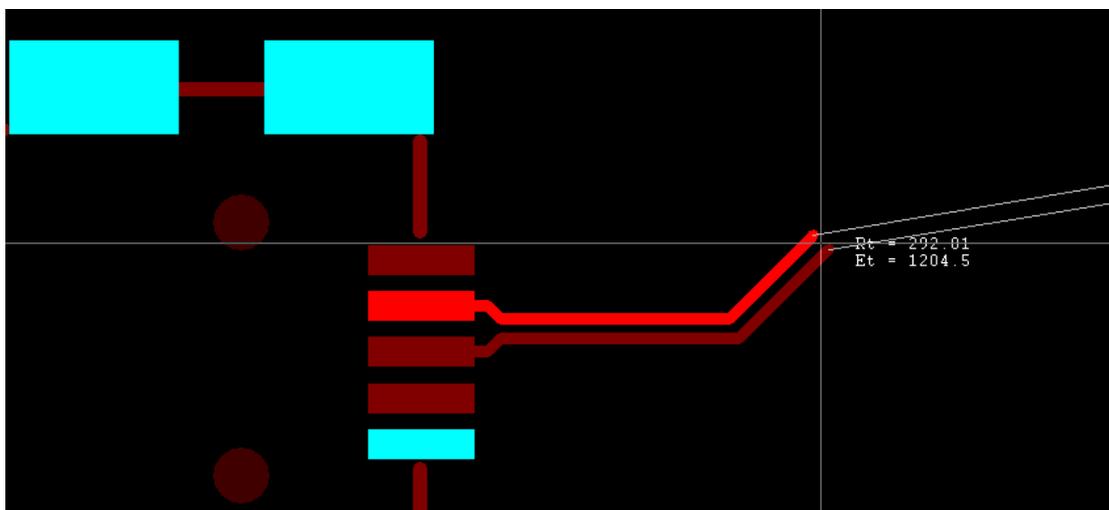


点击 OK，即完成差分对的定义。

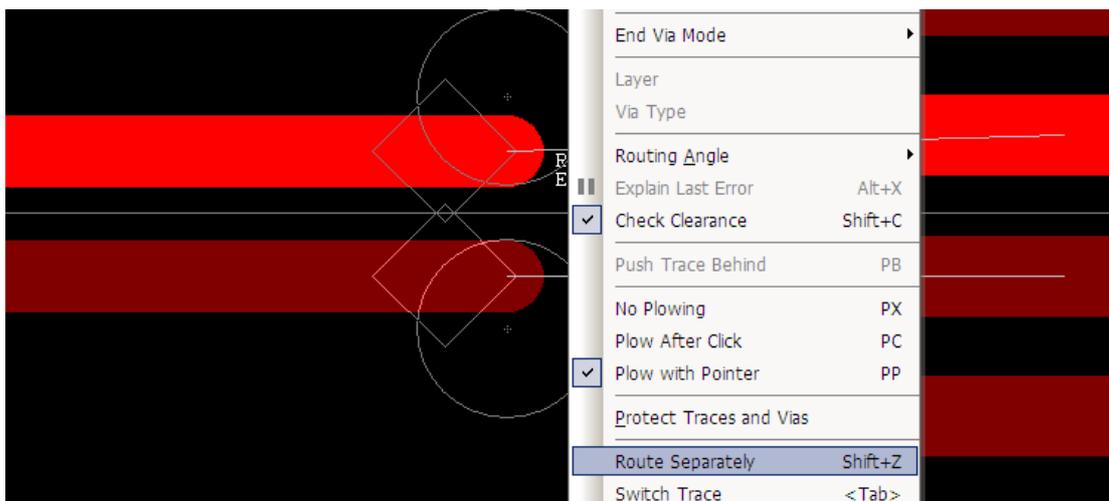
线宽及线距影响差分线的阻抗，其值可由 Polar SI8000 软件粗略估算一下，如下图所示，对于阻抗要求高的可与 PCB 厂家沟通确定。



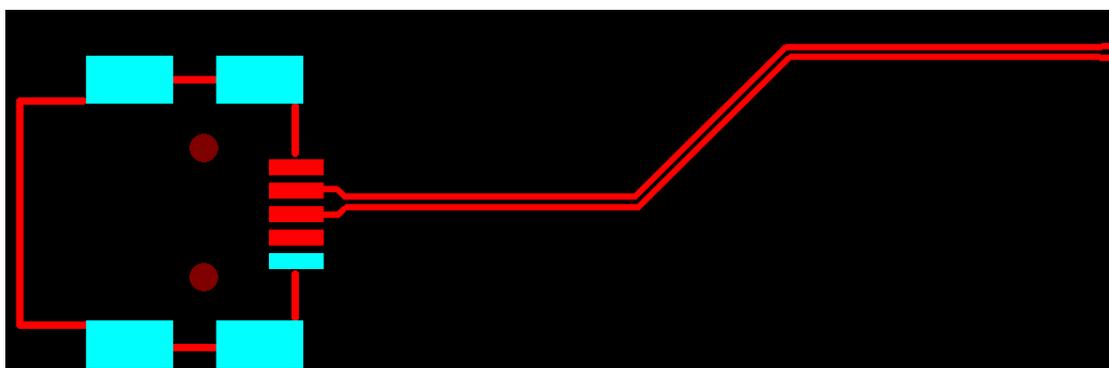
(4) 选择其中的一个引脚，按 F3 或单击工具栏上  图标，即可开始差分对布线（与常规布线一致），如下图所示。



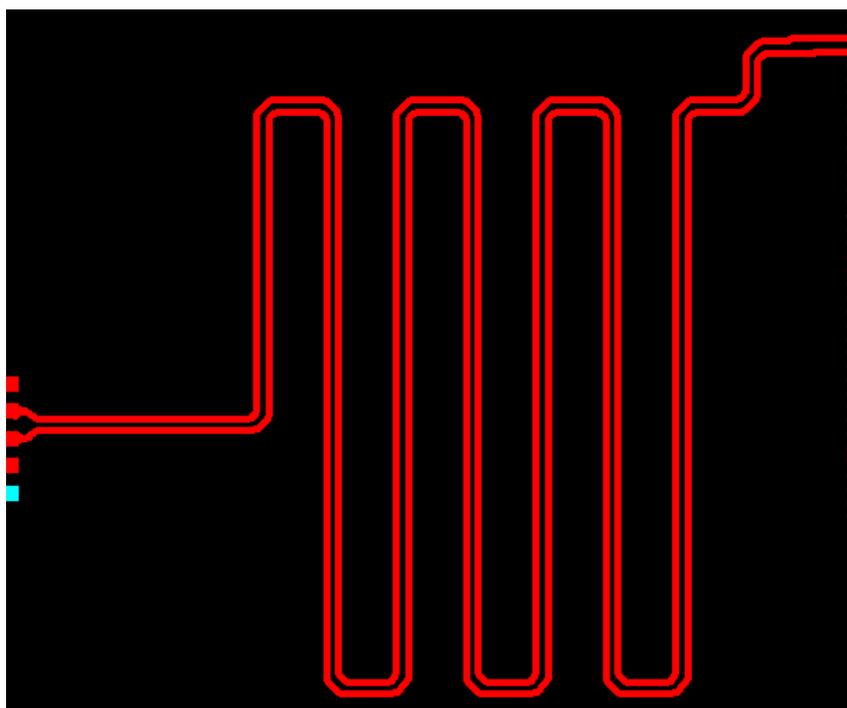
(5) 在终端处需要分开布线，右击后选择弹出菜单中的 Route Separately，如下图所示。



(6) 按如上操作后，按常规走线完成即可，如下图所示。



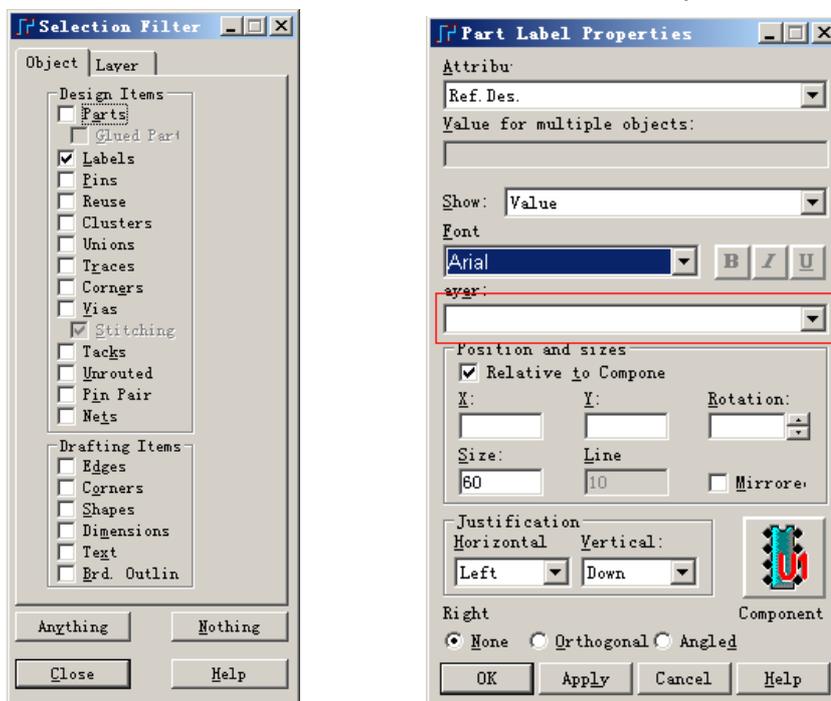
至此已经完成了差分线的走线，有些读者可能会见过一些如 DDR\* 的板子，差分线也走了蛇形线，其实将上述两个结合起来是很容易做到的，这里就不赘述了。



### 三、如何统一修改元件标号字体？

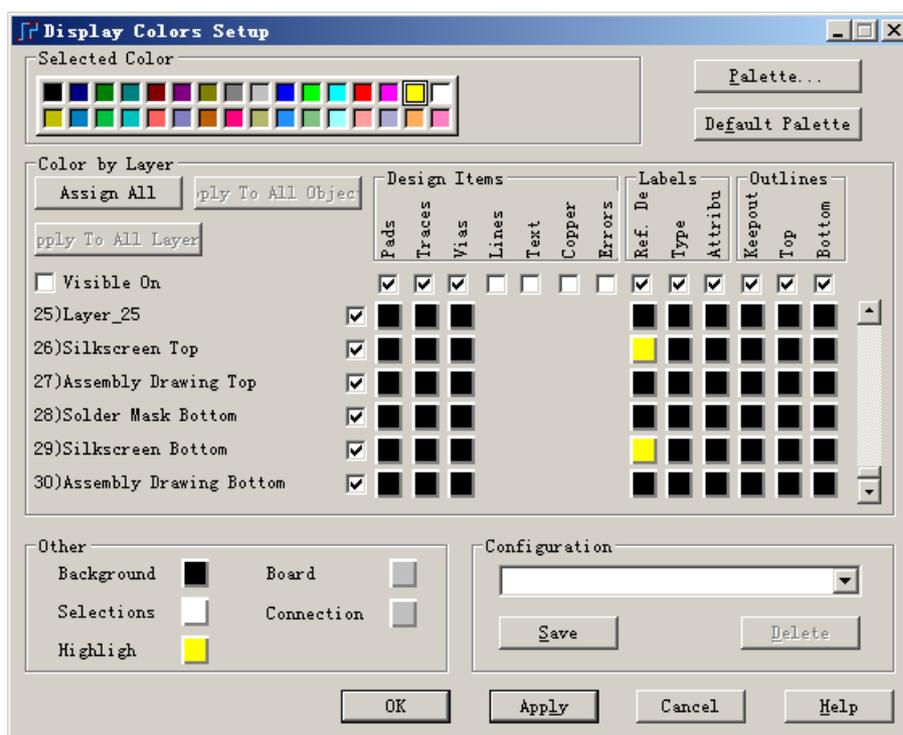
LAYOUT 完毕后进行元件标号字体调整时，你是否试图用 Select Document+Select All 来选定所有标号？可结果却并不令人满意。

(1) 在 Layout 中，选择菜单栏 Edit -> Filter...，将对话框按如左下图设置(即仅勾选 Labels)。



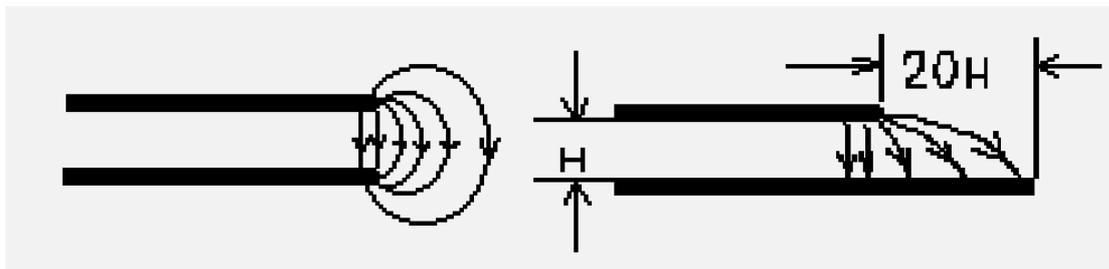
(2) 右击->Select All，即可选定所有的元件标号，再右击-> Properties，即可出现右上图对话框，此时可进行需要的设置。(需要注意的是，Layer 下拉列表不应选择任何层，否则丝印会放在错误的板层上)

当然也可以用 Select Document+Select All 的方式，前提是在 Layout 中菜单栏 Setup -> Display Colors 中仅选定 Ref.De (纵向栏)，如下图所示，这种方法较费时一点。

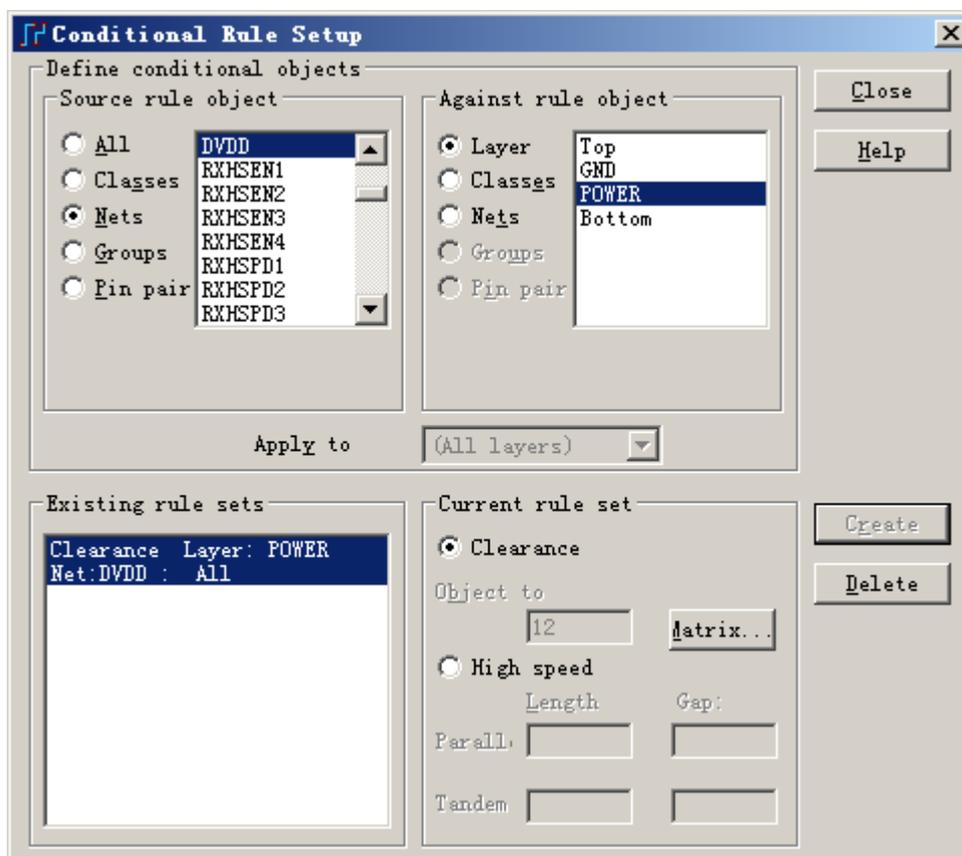


#### 四、如何做到 20H 规则？

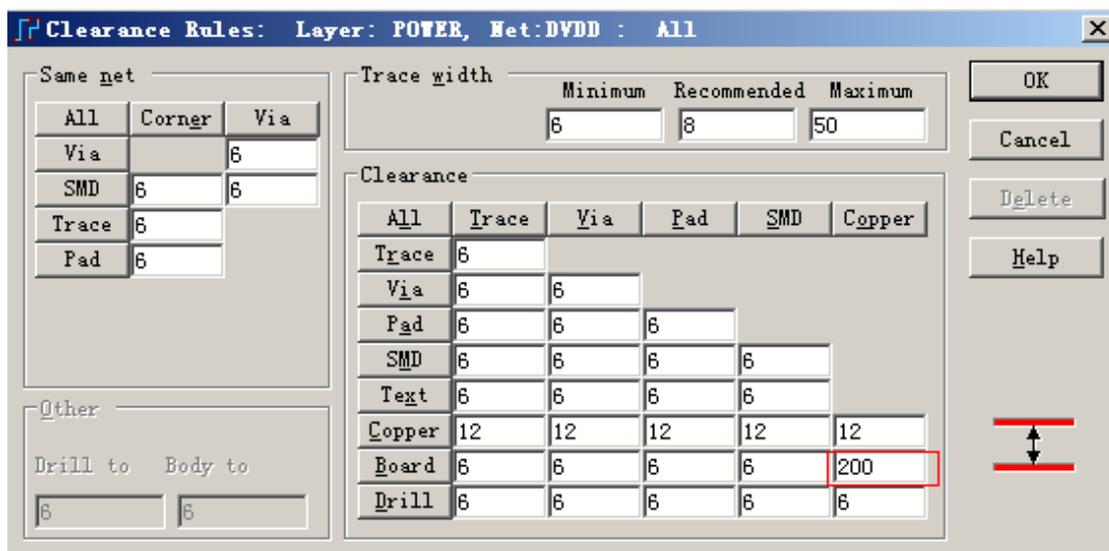
电源层与地层之间变化的电场在板边缘会向外辐射电磁干扰（EMI），称为边沿效应。20H 规则可将 70% 的电场限制在接地层边沿内，100H 可达到 98%。



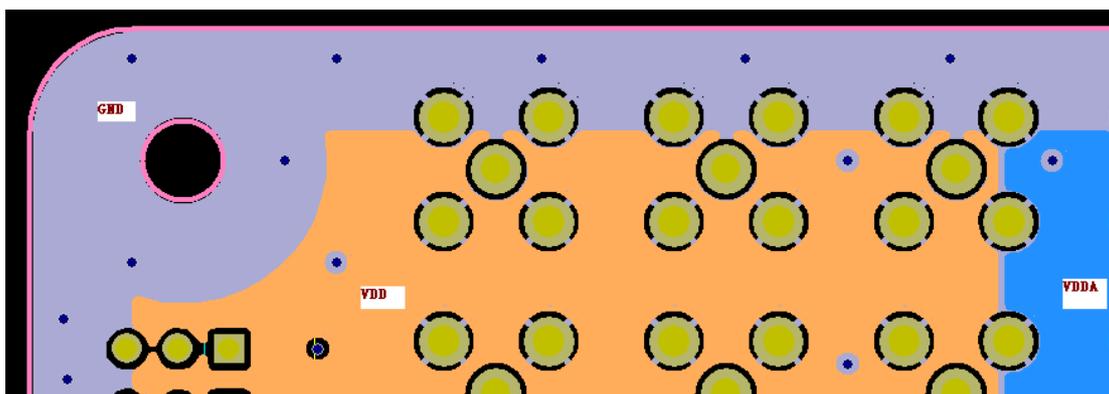
(1) 在 Layout 中，选择菜单栏 Setup -> Design Rules... -> Conditional Rules，在出现的 Conditional Rule Setup 对话框的 Source rule object 中选择需要约束的 Nets（这里是 DVDD），Against rule object 中选择 POWER 层（自定义的电源层名称），确定 Clearance 单选框，点击 Create，在左下角的 Existing rule sets 中即出现定义的约束项，如下图所示。



(2) 选择该约束项，点击 Matrix...，在下图所示对话框中的 Board 与 Copper 处填入 200（此处假定电源与地层的间隔为 10mil，读者可按需要进行配置）



(3) 点击 OK，即可完成规则设置，以上规则约束表示：当 DVDD 在 POWER 层时，Copper 与 Board 之间间距为 200mil。同样可以设置其它的规则，下图为一 PCB 进行 20H 规限后的图片。



读者也可以尝试在菜单栏 Setup -> Design Rules... -> Net 中进行规则约束，效果大体是一样的。

## 参考文献

Signal Integrity:Simplified  
High Speed Digital Design  
High Speed Digital System Design  
高速 PCB 基础理论及内存仿真技术  
华为 PCB 教程