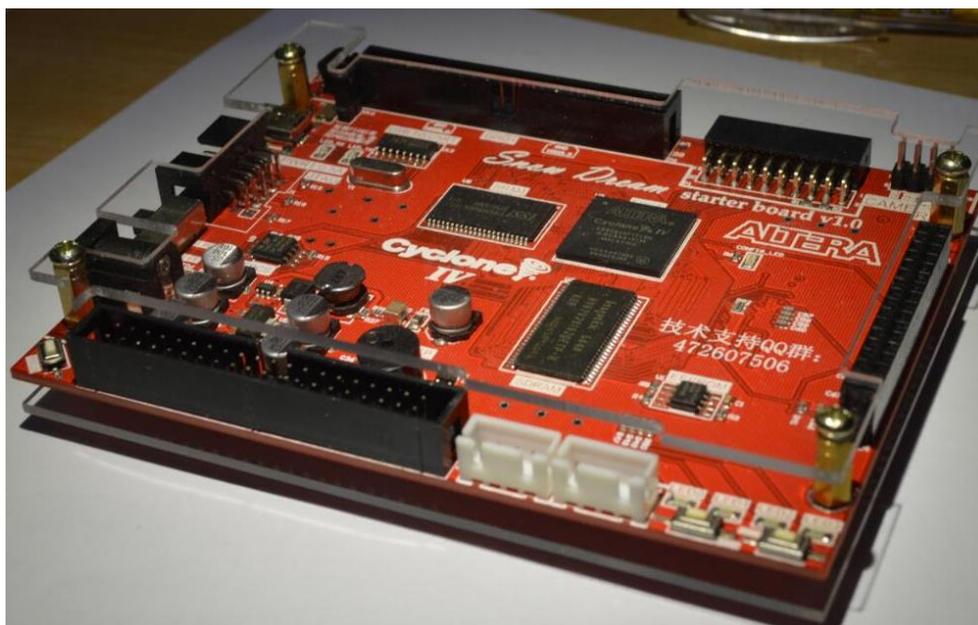


一、FPGA 设计流程介绍

课程目标： 1.了解并学会 FPGA 开发设计的整体流程

2.设计一个二选一选择器并进行功能仿真、时序仿真以及板级验证

实验平台：芯航线 FPGA 开发板



实验内容：

良好的文件夹设置以及工程管理是一个好的 FPGA 设计的基础，在学习之初就建立良好的习惯，会少走一些弯路。因此首先在新建的工程文件夹下面，分别建立如图 2-1 所示的子文件夹。

doc	2016/3/26 14:43	文件夹
img	2015/9/30 14:34	文件夹
prj	2015/10/18 20:37	文件夹
rtl	2015/9/30 14:34	文件夹
testbench	2015/9/30 14:34	文件夹

图 2-1 FPGA 工程子文件夹

上图中，prj 为工程文件存放目录；rtl 为 verilog 可综合代码存放目录；testbench 为测试文件的存放目录；img 为设计相关图片存放目录；doc 为设计相关文档存放目录；ip 文件夹存放 quartus ii 中生成的 ip 核文件。

建立工程

打开安装好的 Quartus II 软件，软件启动界面如图 2-2 所示

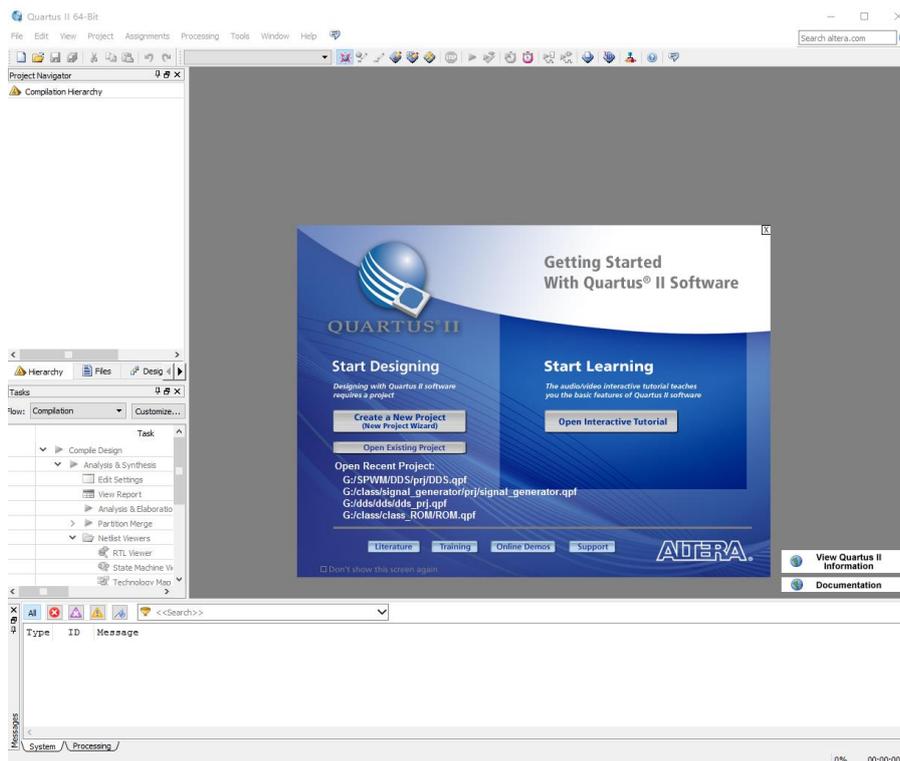


图 2-2 Quartus II 启动界面

首先在这里单击 **Create a New Project** 来新建一个工程向导。界面如图 2-3 所示。

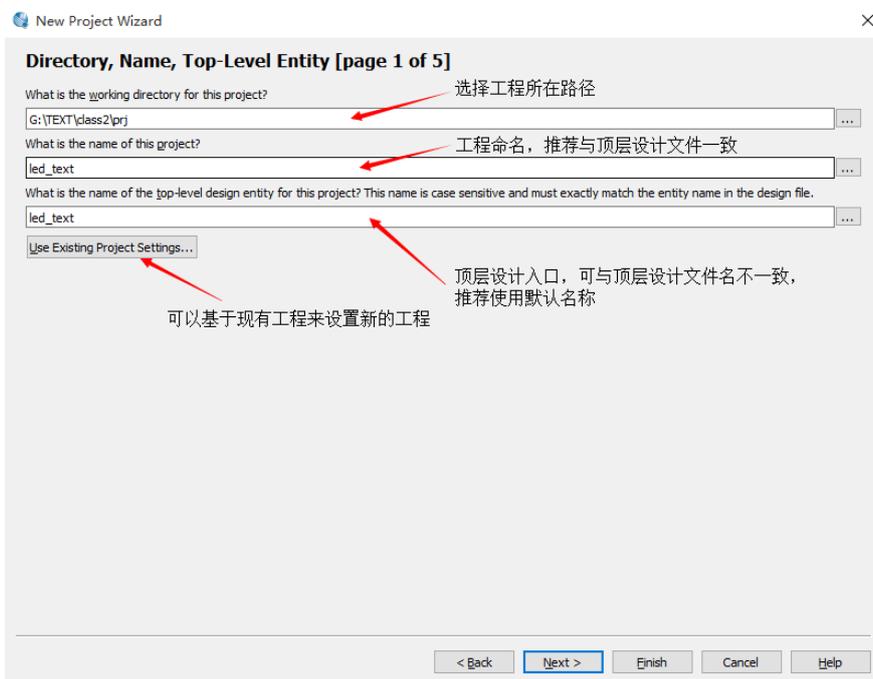


图 2-3 工程路径设置以及命名

第二步，添加已有设计文件。如没有可直接点击 **Nxet**，本次单击 **Nxxt**。

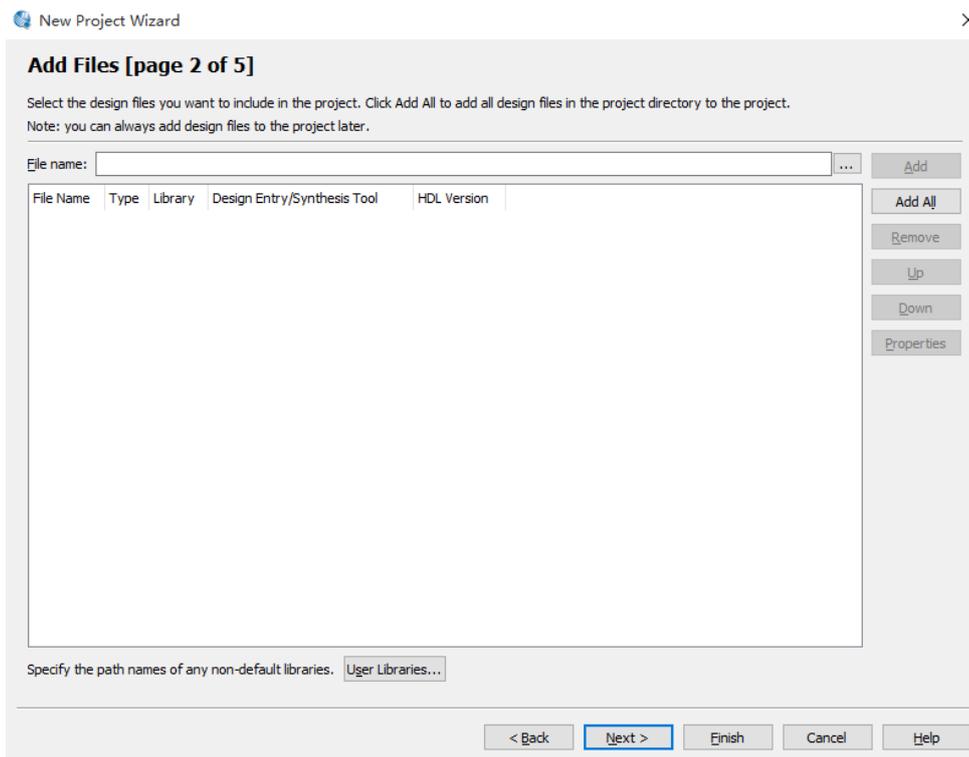


图 2-4 工程中添加相关设计文件

第三步，选择器件。在这里选择芯航线 FPGA 开发板上的 Cyclone IV E 系列的 EP4CE10F17C8。这里可在右面红色框内可以添加限定条件来减少需要翻看器件的书目。

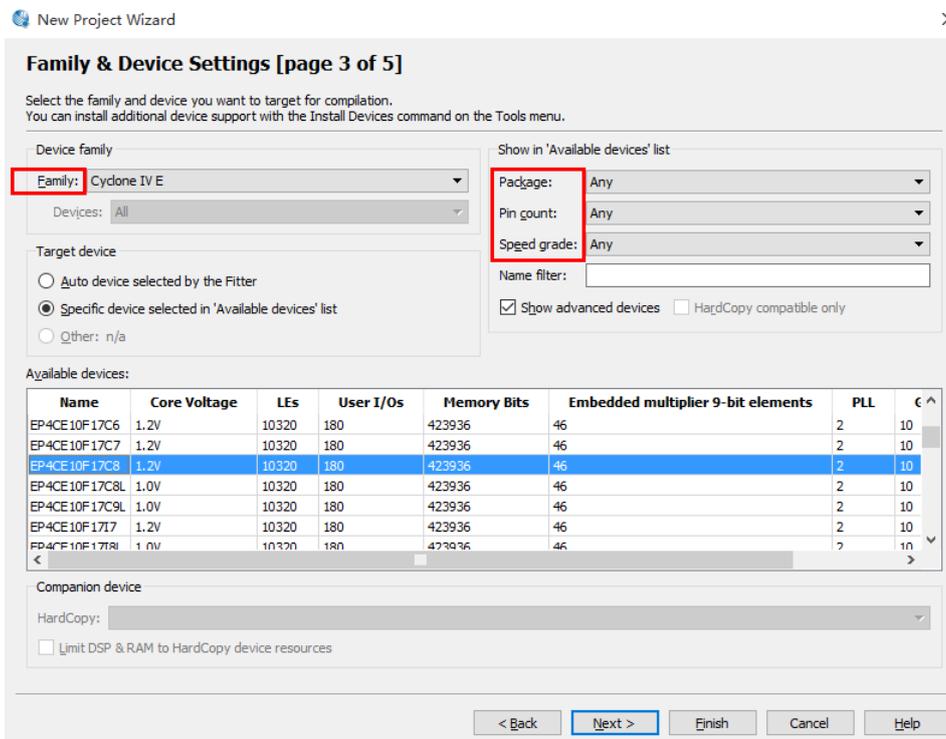


图 2-5 设置工程用器件

第四步，EDA 工具的设定。从上依次是综合工具、仿真工具、形式验证工具以及板级验证工具。可根据实际情况自行设定。在这里根据自己安装情况将仿真工具设置为 Modelsim-Altera 或者 Modelsim，语言选择 Verilog HDL。

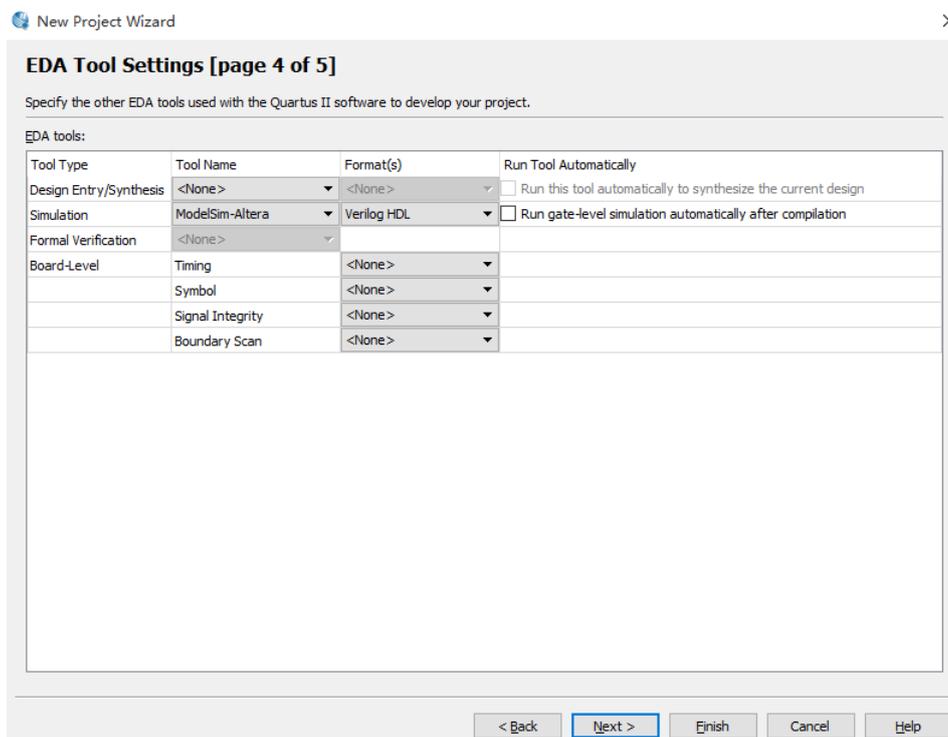


图 2-6 EDA 工具设定

第五步，单击 Finish 完成工程的建立，至此一个 FPGA 的工程已经建立完毕。

设计输入

工程建立完成后，需要为工程添加新的设计文件，单击 File—New—Verilog HDL File，或者工具栏中的 New，弹出图 2-7-2 的选择框。此处选择 Design Files 中的 Verilog HDL File。

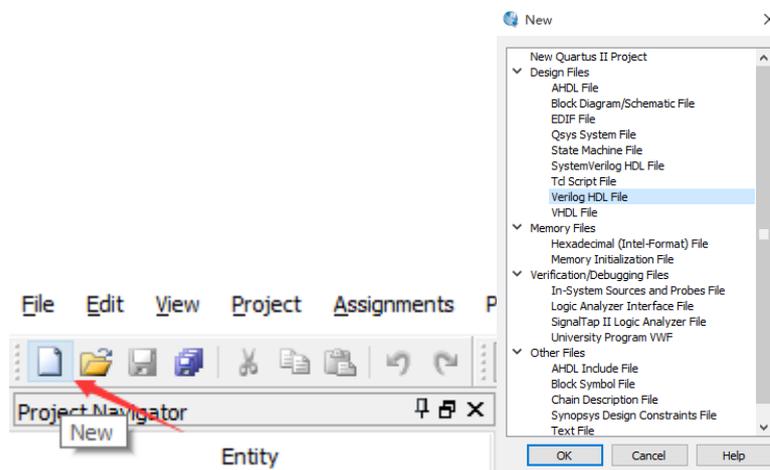


图 2-7-1 新建设计文件图

2-7-2 新建设计文件选择框

新的文件建立完成，输入以下设计，并已 led_text.v 命名保存到工程所在的 rtl 文件夹下。

```

module led_test (a,b,key_in,led_out) ;

    input a; //输入端口 A
    input b; //输入端口 B
    
```

```

input key_in; //按键输入，实现输入输入通道的选择

output led_out; //led 控制端口

//当 key_in == 0 : led_out = a

assign led_out = (key_in == 0)? a : b;

endmodule

```

分析和综合

单击工具栏中的 Start Analysis & Synthesis 来进行分析和综合。如在设计过程有错误的地方，在分析和综合后会提示 Error 或者 Warning，需针对不同情况进行修改。芯航线汇总了常见的问题以及解决方式，可以参考用户手册并针对性解决。



图 2-8 分析和综合

全编译后可以在 RTL Viewer 中可以看到图 2-9 所示的硬件逻辑电路。即为一个二选一选择器，符合预期设计。

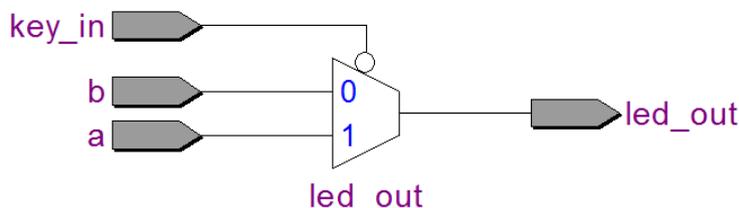


图 2-9 RTL Viewer

功能仿真

为了验证以上逻辑设计是否成功，在直接下载到开发板观察之前需编写激励文件，此处再新建一个.v 文件输入以下内容。并以 led_test_tb.v 保存到工程对应的 testbench 文件夹下。并再次进行分析和综合查看是否存在语法设计错误。

```

`timescale 1ns/1ps

module led_test_tb;

//激励信号定义，对应连接到待测试模块的输入端口
    reg signal_a;
    reg signal_b;
    reg signal_c;

```

```
//待检测信号定义, 对应连接到待测试模块的输出端口
    wire led;

//例化待测试模块
    led_test led_test0(
        .a(signal_a),
        .b(signal_b),
        .key_in(signal_c),
        .led_out(led)
    );

//产生激励
    initial begin
        signal_a = 0;signal_b = 0;signal_c = 0;
        #100;//延时100ns
        signal_a = 0;signal_b = 0;signal_c = 1;
        #100;
        signal_a = 0;signal_b = 1;signal_c = 0;
        #100;
        signal_a = 0;signal_b = 1;signal_c = 1;
        #100;
        signal_a = 1;signal_b = 0;signal_c = 0;
        #100;
        signal_a = 1;signal_b = 0;signal_c = 1;
        #100;
        signal_a = 1;signal_b = 1;signal_c = 0;
        #100;
        signal_a = 1;signal_b = 1;signal_c = 1;
        #200;
        $stop;
    end

endmodule
```

设置仿真脚本

单击标题栏的 Assignments—Settings—Simulation, 查看仿真工具以及语言是否与之前一致否则进行相应修改。选中 Compile test bench 单击 Test Benches 后点击 OK。可以看到如图 2-10 界面。

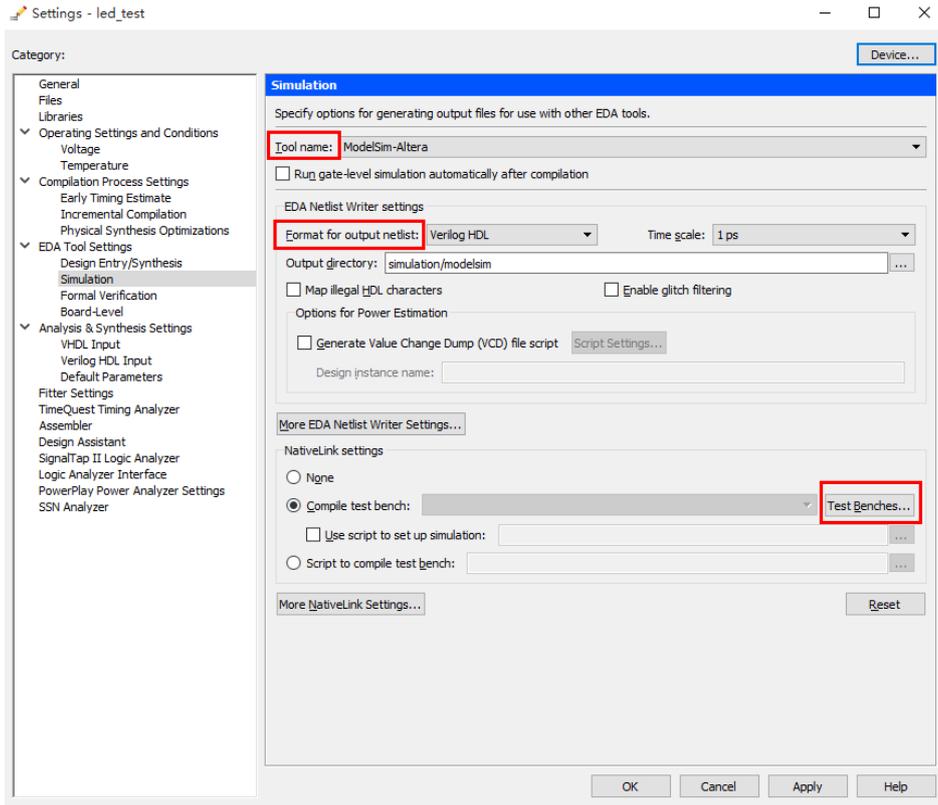


图 2-10-1 仿真脚本设置

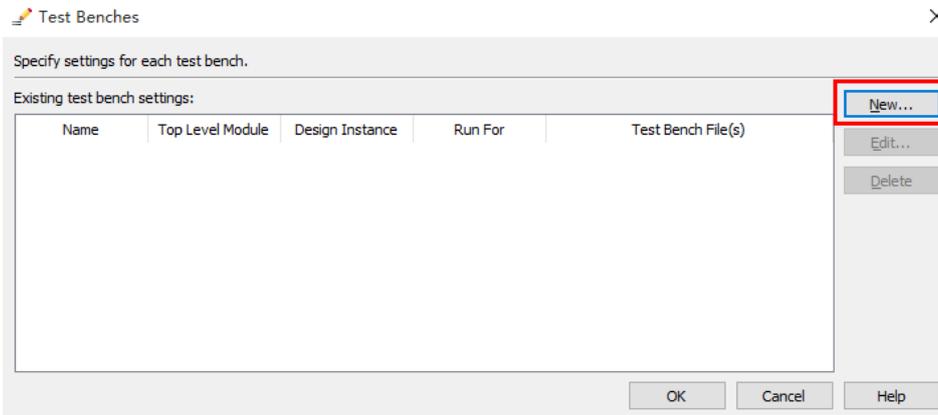


图 2-10-2 新建激励

点击 New 会弹出如图 2-11 所示的 testbench 设置文件对话框，找到已经编写好的激励文件，单击 Add。在 Test bench name 中填写对应的激励名称。点击 OK 后回到主界面

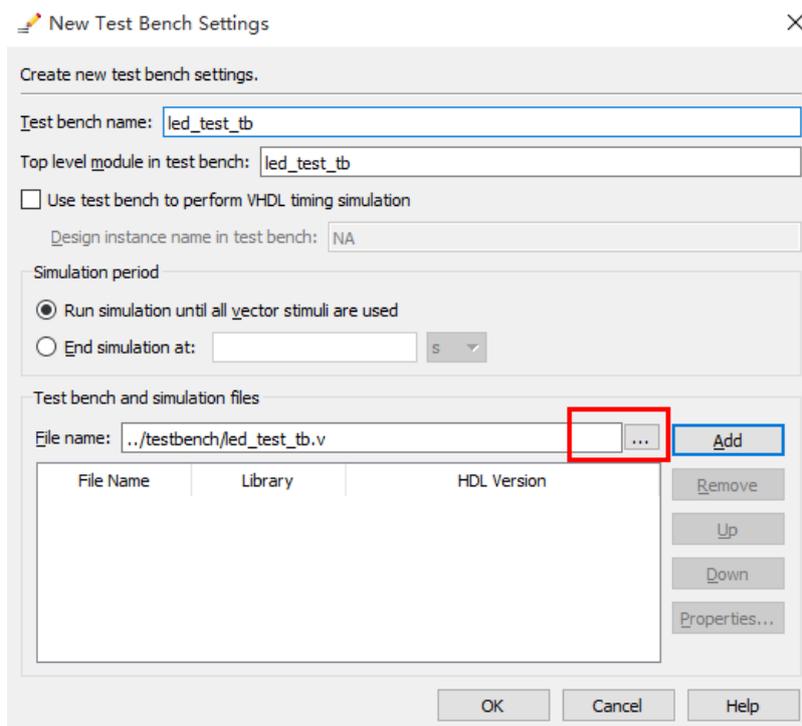


图 2-11 测试激励设置

单击 Tools—Run Simulation Tool—RTL Simulation 或者单击工具栏中的 RTL Simulation 来进行前仿真也就是常说的功能仿真。



图 2-12 开启功能仿真

如出现如图 2-13 对话框，即提示仿真软件路径报错，可在 Tools—Options—EDA Tool Options 设置对应的仿真软件的路径即可，如图 2-14 所示。

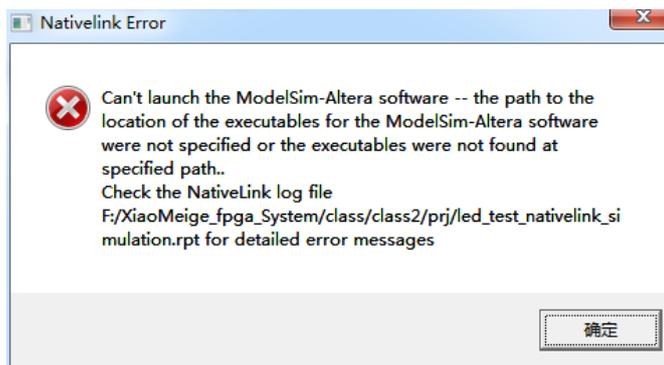


图 2-13 错误信息示例

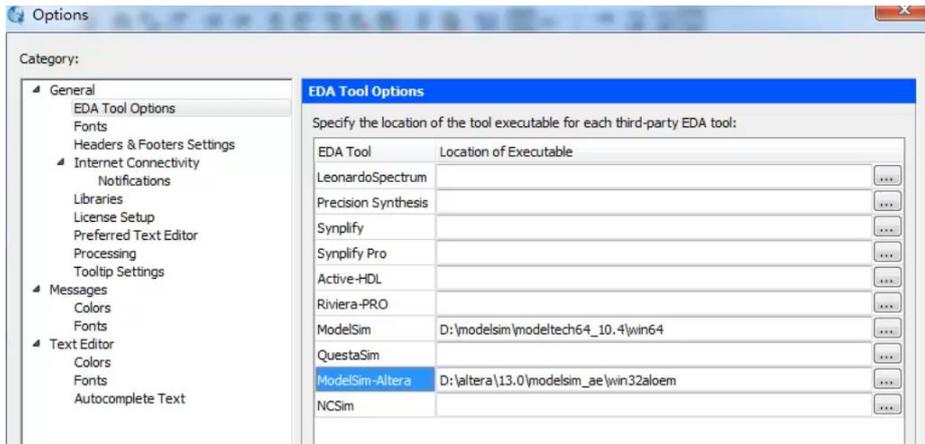


图 2-14 设置 EDA 工具的链接

至此即可在仿真软件 modelsim 中看到如图 2-15 的波形文件，可以看出符合当 key_in 等于 0 时 led_out 等于 a，当 key_in 等于 1 时 led_out 等于 b。即功能仿真通过。



图 2-15 功能仿真波形

如没有出现预期波形可针对具体问题具体分析，芯航线也汇总了一部分常见问题及解决办法，此部分详细内容也可以参考用户手册相关内容。

布局布线

点击 QII 主界面的 Start Compilation，进行综合&布局布线。布局布线过程中如遇出错，针对相应情况具体修改。

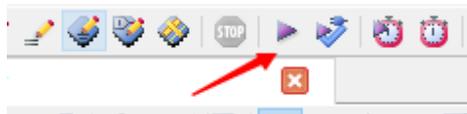


图 2-16 布局布线

时序仿真

点击 Tools—Run Simulation Tool—Gate Level Simulation 或者工具栏点击 Gate Level Simulation 进行后仿真也就是门级仿真。



图 2-17 门级仿真

弹出选择时序模型对话框，可针对相应情况具体选择。此时可选择第一个，慢速工作温度为 85 摄氏度内核供电 1.2V 的情况进行仿真。

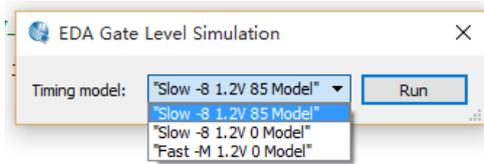


图 2-18 仿真模型设置

在 Modelsim 中可以看到类似图 2-19 的波形，存在不希望存在的脉冲。且在 200ns 时的 led 相对输入信号有一定时间的逻辑延时。

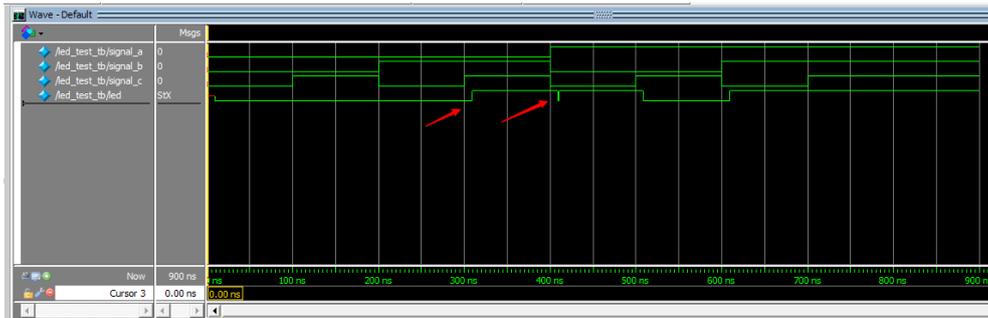


图 2-19 时序仿真波形

IO 分配以及生成配置文件

在标题栏中 Assignments—Pin Planner 或者直接单击进行 IO 分配亦或者编写 tcl 文件，此处需针对不同板卡进行不同的设置。



图 2-20 Pin Planner

芯航线开发板的引脚分配可以在附赠资料中查到，最终的配置如图 2-21 所示。

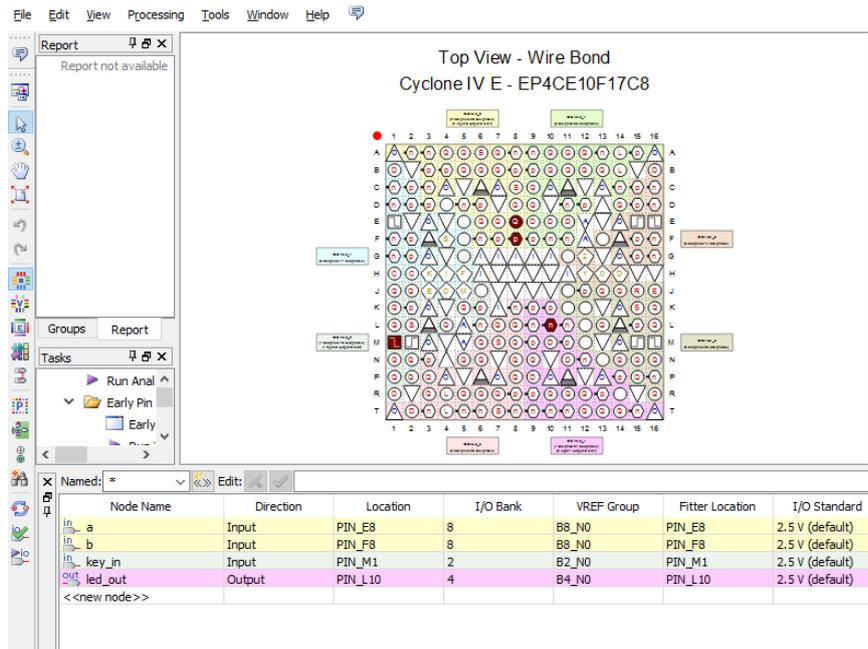


图 2-21 分配好的引脚

此处需注意在分配好引脚后，仍需再进行一次全编译才能使管脚分配生效。

配置 FPGA 下载

单击工具栏中的 Programmer，弹出以下对话框，单击 Start 即可将设计好的逻辑下载到开发板中。

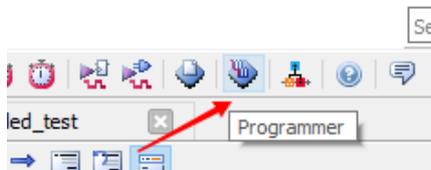


图 2-22 Programmer

通过按键以及两根杜邦线控制 E8、F8 接入不同的电压值可以观测到 led 灯具有不同的亮灭效果。

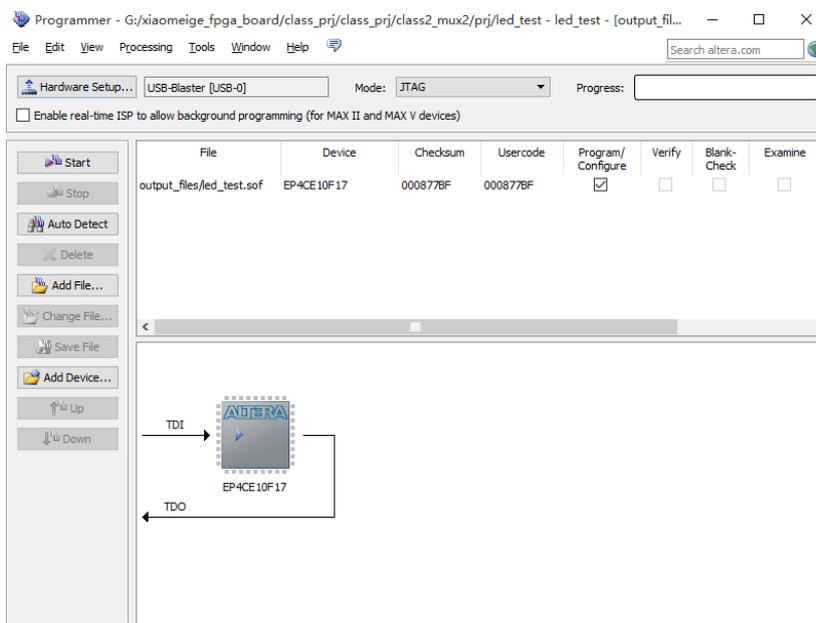


图 2-23 下载界面

FPGA 也支持多种下载方式，不同下载方式的具体操作可参见开发板附赠中的用户手册。

如在下载过程中出现其他情况，可查询芯航线附赠的用户手册相关章节进行解决，此处不再详述。

至此一个基本的 FPGA 设计开发流程介绍完毕。

如有更多问题，欢迎加入芯航线 FPGA 技术支持群交流学习：472607506

小梅哥
芯航线电子工作室