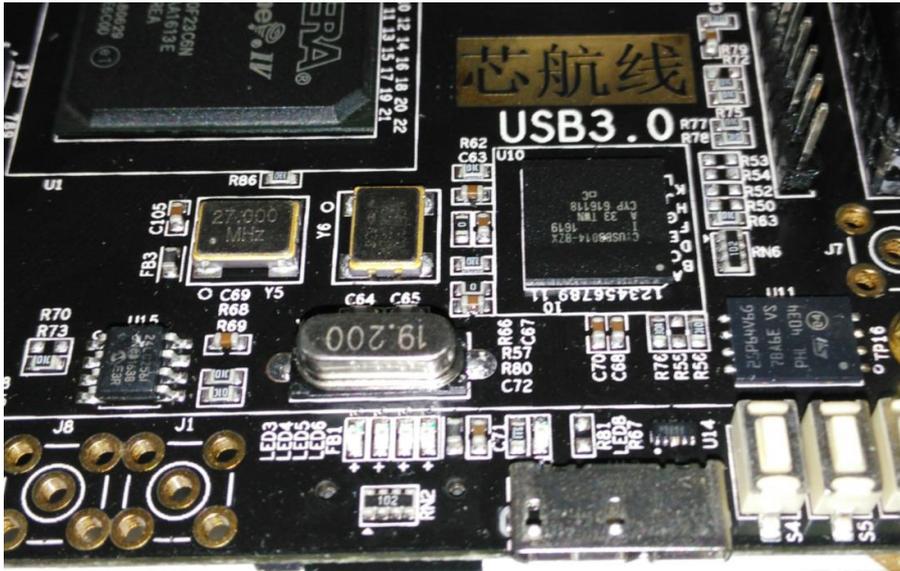


# CYUSB3014 型 USB3.0+FPGA 电路设计详解

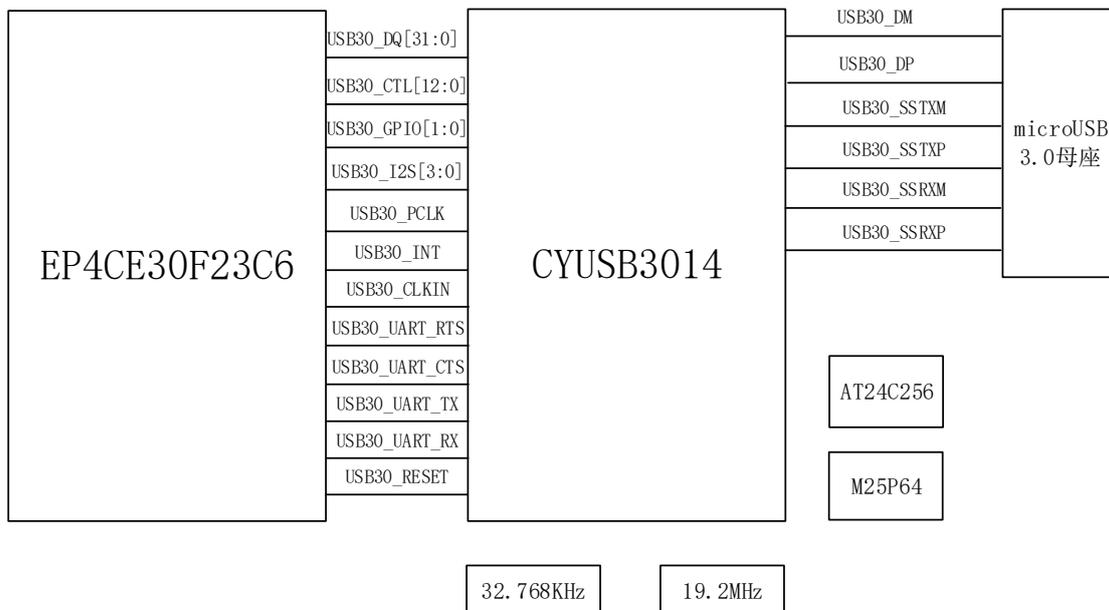
小梅哥

2016 年 12 月 29 日星期四

芯航线 AC6102 开发板上，使用了一片 Cypress 的 USB3.0 全协议芯片 CYUSB3014 作为 FPGA 与 PC 机的高速通信桥梁。关于 CYUSB3014 的各项性能和参数介绍，请参考 AC6102 USB3.0 开发教程中相关介绍。本节主要介绍 AC6102 开发板上 USB3.0 电路的设计细节，方便大家在使用的时候快速核对理解。



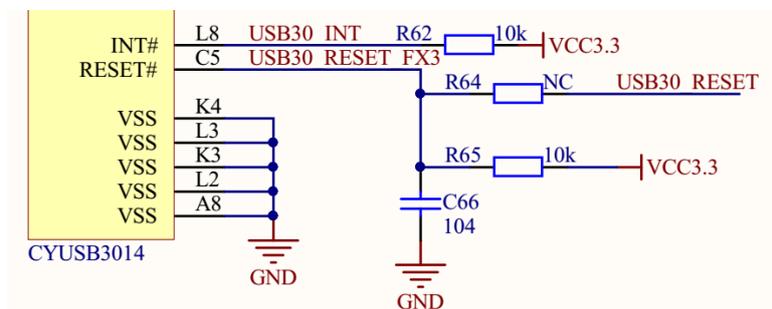
以下为 AC6102 开发板上的 USB3.0 电路整体框图说明



为了充分发挥 USB3.0 芯片的特性，特将 CYUSB3014 芯片的所有数字 IO 与 FPGA 连接，包括 32 根数据线，13 根控制线、4 根 I2S 信号线以及 UART 线等。

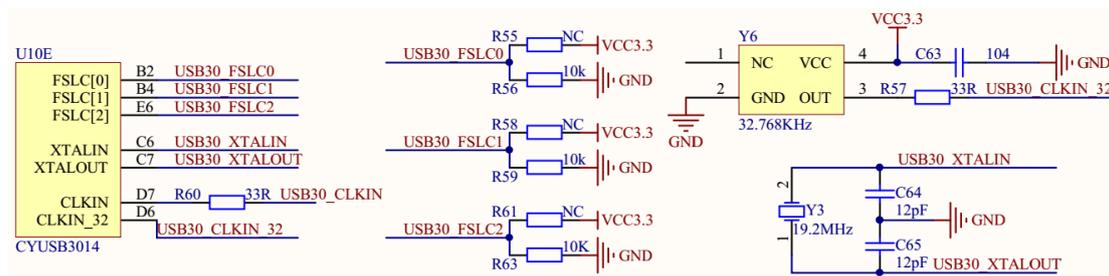
## 复位

CYUSB3014 有一个复位输入接口，当复位输入为低电平时，芯片处于复位状态。只有当该引脚为高电平时，芯片才能正常工作，AC6102 开发板在设计时，充分考虑了实际应用和系统调试时的情况，给 CYUSB3014 设计了两种复位方式，分别为 FPGA 控制复位和上电自动复位。默认使用上电自动复位方式，该方式非常适合我们调试系统原型时使用，这样不必担心因为重新下载 FPGA 的 sof 固件而导致 USB 芯片复位，影响 USB3.0 芯片的正常运行。增加调试时候的工作量。（如果使用 fpga 控制复位，那么每次下载完 fpga 的 sof 后，都会对 USB 芯片执行一次复位操作，从而使芯片内烧写的固件丢失，那么用户只能再烧写一次 usb 芯片固件，从而增加了调试时候的工作量）。如下图，R64 默认没有焊接，即断开了 CYUSB 芯片与 FPGA 芯片的连接，从而避免受到 FPGA 固件的影响，如果产品最终定型需要测试使用 FPGA 直接控制 USB 芯片复位，给 R64 安装 100R 左右的电阻即可。



## 时钟晶振

CYUSB3014 支持外部晶振提供时钟信号，支持 19.2、26、38.4 和 52MHz 的时钟频率，AC6102 开发板上使用 19.2MHz 的晶振为 CYUSB3014 提供时钟源。另外，CYUSB3014 内部有一个看门狗定时器，用来在需要的时候对全局系统服务，看门狗定时器使用外部 32.768KHz 时钟输入，所以 AC6102 上也设计了一个 32.768KHz 的晶振。当然，在大多数系统中，该部分可以不考虑。



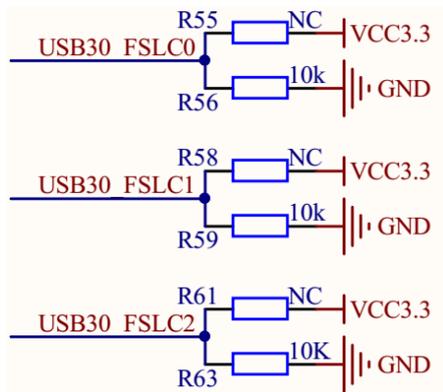
## 时钟源配置

CYUSB3014 芯片的时钟源是可配置的，EZ-USBFX3 允许在 XTALIN 和 XTALOUT 引脚之间连接晶振，也允许在 CLKIN 引脚上连接外部时钟。支持的晶振频率为 19.2MHz，支持的外部时钟频率为 19.2、26、38.4 和 52MHz。EZ-USBFX3 有一个片上振荡器电路，使

用外部 19.2MHz(±100ppm)晶振（使用晶振选项时）。FSLC[2:0]引脚必须进行适当配置，以选择晶振选项/时钟频率选项。配置选项请参见下表。

晶振 / 时钟频率选择

FSLC[2]	FSLC[1]	FSLC[0]	晶振 / 时钟频率
0	0	0	19.2 MHz 晶振
1	0	0	19.2 MHz 输入 CLK
1	0	1	26 MHz 输入 CLK
1	1	0	38.4 MHz 输入 CLK
1	1	1	52 MHz 输入 CLK



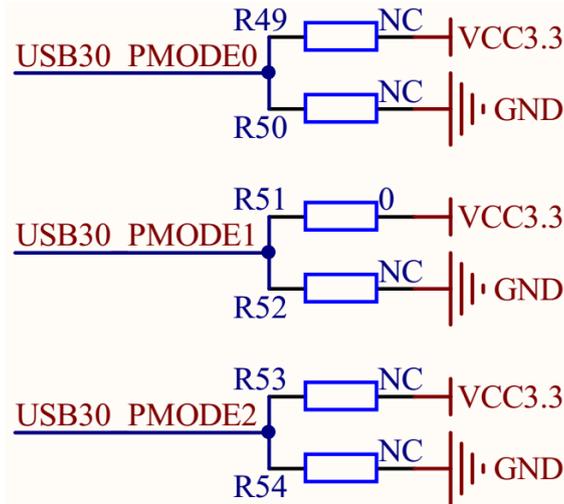
AC6102 开发板在设计时，将 FSLC 配置脚使用电阻跳线的方式引出，如下图，每个 FSLC 引脚都有两个电阻接到 VCC 和 GND，通过选择焊接或者留空对应电阻，能够设置 CYUSB3014 芯片的外部时钟源频率。AC6102 上焊接的是 19.2MHz 的晶振，根据上表得之，FSCL 三个脚都应该为 0，即接地。所以连接到 GND 的 R56、R59、R63 均焊接了 10K 的电阻，而连接到 VCC 的 R55、R58、R61 则留空不焊接。

## 引导方式配置

EZ-USBFX3 芯片总共支持 7 种引导方式，所谓引导，就是 EZ-USBFX3 芯片上电以后，片上的 ARM9 处理器从何处开始读取程序并运行。其支持的 7 种启动方式如下所示：

- ◇ 从 USB 引导
- ◇ 从 I2C 引导
- ◇ 从 SPI（支持的 SPI 器件为 M25P16 (16 Mbit)、M25P80(8 Mbit) 和 M25P40 (4 Mbit)）或同类器件引导
- ◇ 从 GPIF II 异步 ADMUX 模式引导
- ◇ 从 GPIF II 同步 ADMUX 模式引导
- ◇ 从 GPIF II 异步 SRAM 模式引导

那么究竟 EZ-USBFX3 芯片上电后从哪里开始启动呢？芯片提供了 3 个启动配置引脚，通过设置启动引脚不同的值，来选择不同的启动方式。这三个引脚名叫 PMODE 脚。



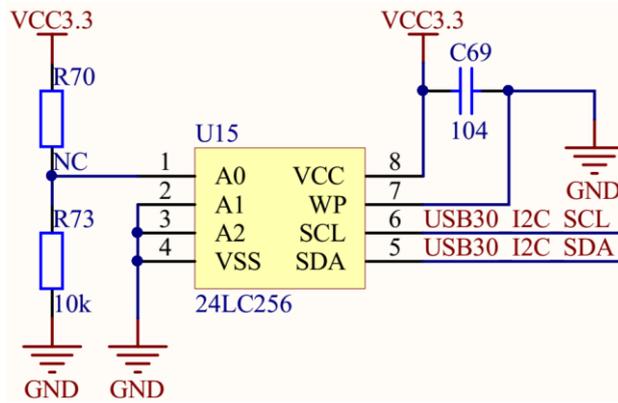
这三个配置引脚，每个引脚都有三种状态，1（接高电平）、0（接低电平）、F（浮空，既不接高电平，也不接低电平），三个配置引脚的不同状态与对应的启动方式如下表所示：

序号	PMODE[2:0]	引导位置
1	F00	同步 ADMUX（16 位）
2	F01	异步 ADMUX（16 位）
3	F11	USB 引导
4	F0F	异步 SRAM（16 位）
5	F1F	I2C，如失败，则启用 USB 引导
6	1FF	仅 I2C
7	0F1	SPI，如失败，则启用 USB 引导

其中，对于 FPGA 和 USB3.0 组成的系统，我们很少用到第 1、2、4 种启动方式。第 7 种启动方式，即使用 SPI 引导，主要用在 EZ-USBFX3 作为整个系统的主机层，片上的处理器需要运行复杂的程序的情况下，使用片外的大容量 SPI FLASH 存储器启动。FPGA + EZ-USBFX3，使用最多的是 SlaveFifo 接口，因此，可以选择 EEPROM 存储器，即 I2C 方式启动。同时，为了保证系统在 IIC 接口的 EEPROM 存储器失效的情况下，能够有其他方式可以恢复，所以，AC6102 上的启动方式设置为了方式 5，即默认从 I2C 引导，如果从 I2C 引导失败，则启用从 USB 引导。对应的 PMODE[2:0]的配置为 F1F，在原理图上，即电阻 R51 使用 0R 电阻，其他电阻全部不焊接即可。

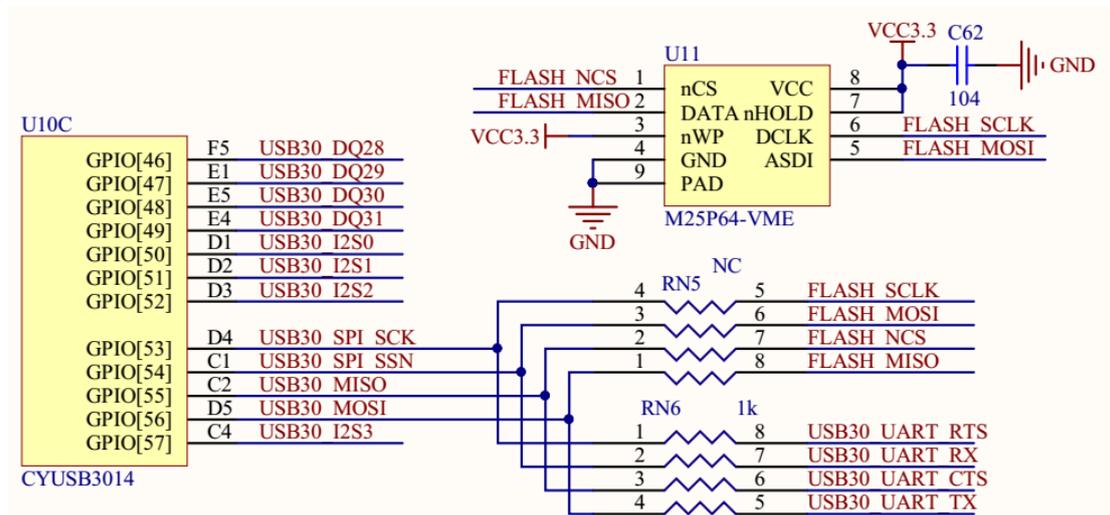
## IIC 存储器

CYUSB3014 支持从 IIC 存储器引导程序，AC6102 开发板上，为 CYUSB3014 芯片提供了一颗 256Kb 的 IIC 接口的 EEPROM 存储器 24LC256，方便用户存储 CYUSB3014 的固件或者



## SPI FLASH 存储器

CYUSB3014 芯片支持从 SPI FLASH 存储器引导程序，AC6102 开发板上，为 CYUSB3014 芯片提供了一颗 64Mb 的 SPI 接口的 FLASH 存储器 M25P64，由于 CYUSB3014 的 SPI 接口和 UART 接口引脚是复用的，一个时刻内只能工作在一种模式，在 FPGA 和 CYUSB3014 的典型应用系统中，我们通常使用 Slave Fifo 模式，不需要 CYUSB3014 运行复杂的应用程序，但是由于 Slave Fifo 接口虽然适合传输大量的数据，却不适合传输控制信号，我们可以考虑使用 UART 在两者之间传递控制信号，因此 AC6102 上默认将 CYUSB 的 SPI/UART 复用引脚通过排阻跳线设置为了 UART 模式。如下图，RN5 和 RN6 为两个排阻，M25P64 为 SPI FLASH 存储器，当焊接 RN6，悬空 RN5 时，SPI FLASH 是被硬件旁路掉的，并没有连接到 CYUSB3014 芯片上，AC6102 上默认就是此种配置方式。（针对有特殊需求的用户，如果希望使用 M25P64，请将 RN6 断开，RN5 使用 33R~100R 的排阻，或者联系我们以获得协助），



以上为 AC6102 开发板 USB3.0 电路的详细介绍，下表为 CYUSB3014 各个信号与 FPGA 之间的链接关系，注意，USB30\_CTL0~USB30\_CTL12 信号在不同的配置中有不通功能，在我们提供的例程中，针对 Slave Fifo 模式，USB30\_CTLx 的实际功能也在表中列出，见“Slave Fifo 功能”一栏。

FPGA 引脚	USB3.0 引脚	FPGA 引脚	USB3.0 引脚	Slave Fifo 功能
PIN_H19	USB30_DQ0	PIN_D19	USB30_CLKIN	
PIN_H22	USB30_DQ1	PIN_D21	USB30_CTL0	SLCS_N
PIN_J22	USB30_DQ2	PIN_C21	USB30_CTL1	SLWR_N
PIN_F20	USB30_DQ3	PIN_B22	USB30_CTL2	SLOE_N
PIN_H21	USB30_DQ4	PIN_D22	USB30_CTL3	SLRD_N
PIN_J21	USB30_DQ5	PIN_E22	USB30_CTL4	FLAGA
PIN_F21	USB30_DQ6	PIN_A20	USB30_CTL5	FLAGB
PIN_F22	USB30_DQ7	PIN_G15	USB30_CTL6	FLAGC
PIN_G17	USB30_DQ8	PIN_E21	USB30_CTL7	PKTEND_N
PIN_H20	USB30_DQ9	PIN_A18	USB30_CTL8	FLAGD
PIN_F17	USB30_DQ10	PIN_B21	USB30_CTL9	
PIN_D20	USB30_DQ11	PIN_B19	USB30_CTL10	
PIN_F19	USB30_DQ12	PIN_A19	USB30_CTL11	A1
PIN_G18	USB30_DQ13	PIN_B18	USB30_CTL12	A0
PIN_C20	USB30_DQ14	PIN_D17	USB30_GPI00	
PIN_H18	USB30_DQ15	PIN_K21	USB30_GPI01	
PIN_C15	USB30_DQ16	PIN_H15	USB30_I2S0	
PIN_C17	USB30_DQ17	PIN_H16	USB30_I2S1	
PIN_E14	USB30_DQ18	PIN_G16	USB30_I2S2	
PIN_E13	USB30_DQ19	PIN_K22	USB30_I2S3	
PIN_E16	USB30_DQ20	PIN_C22	USB30_INT	
PIN_C13	USB30_DQ21	PIN_C19	USB30_PCLK	
PIN_D13	USB30_DQ22	PIN_M16	USB30_RESET	
PIN_D15	USB30_DQ23	PIN_E15	USB30_UART_CTS	
PIN_B15	USB30_DQ24	PIN_F16	USB30_UART_RTS	
PIN_A17	USB30_DQ25	PIN_F15	USB30_UART_RX	
PIN_B16	USB30_DQ26	PIN_F14	USB30_UART_TX	
PIN_A16	USB30_DQ27			
PIN_B17	USB30_DQ28			
PIN_B14	USB30_DQ29			
PIN_A14	USB30_DQ30			
PIN_A15	USB30_DQ31			

通过本节介绍，我们了解了基于 FPGA 和 CYUSB3014 组成 USB3.0 采集传输系统的一般电路原理，大家可以根据自己的需求，结合我们提供的原理图，设计自己的软硬件系统。如有特殊需求，可联系我们以获取帮助。