

基于 SPWM 的正弦波设计与实现

李刚,艾良

(长治学院 山西 长治 046011)

摘要: PWM 是 D/A 转换的一种方法,当 PWM 中的调制信号为正弦波时,得到的是 SPWM 波形。采样控制理论中有一个重要结论是冲量相等而形状不同的窄脉冲加在具有惯性的环节上时,其效果基本相同。SPWM 法就是以该结论为理论基础。通过面积等效法确定 SPWM 的脉冲宽度,运用数学软件 MAPLE 进行运算,按照严格的时序控制输出波形。采用 VHDL 硬件描述语言进行设计实现并使用 Max+Plus II 进行仿真验证,得到一组随着脉宽变化的数字信号。根据 D/A 转换器原理,把 SPWM 波形转换成正弦波输出。

关键词: CPLD; VHDL; Max+Plus II; 面积等效法; 时序; MAPLE

中图分类号: TP39, TP312

文献标识码: B

文章编号: 1004-373X(2008)13-154-02

Design and Realization Based on the SPWM Sine Wave

LI Gang, AI Liang

(Changzhi College, Changzhi, 046011, China)

Abstract: PWM is one method of D/A transformation. When PWM modulation signal is sine wave, SPWM waveform is obtained. In sampling control theory, there is an important theory that its effect is basic same when the pulse with the impulse are equal but the shape is different. The principle of SPWM takes the conclusion as the rationale. The pluse width of SPWM is determined by method of equivalent area it carries on the operation using mathematics software MAPLE, according to strict sequential control output wave shape. Using the VHDL hardware description language to carry on the design to realize and use Max+Plus II to carry on the simulation confirmation, obtaining a group diaital signal along with pulse width change. According to the D/A switch principle, to make the SPWM profile transforms into the sine wave and then output.

Keywords: CPLD; VHDL; Max+Plus II; method of equivalent area; succession; MAPLE

SPWM 波的产生可用单片机、专用芯片和可编程逻辑器件等来实现,他是一组等幅、等距而不等宽的脉冲序列。采用等效面积法生成的 SPWM 波形精度高,更接近正弦波,且谐波分量小,同时也对 CPU 的运算速度提出更高的要求。

1 面积等效的 SPWM 控制算法

利用正弦波小块面积 S 与脉冲面积 β 相等原则(如图 1),将正弦波的正半周分为 N 等分,则每一等分的宽度为 π/N 弧度,利用面积等效法计算出半个周期内 N 个不同的脉宽值,脉宽产生的公式:

$$\delta = M \int_{\frac{(k-1)\pi}{N}}^{\frac{k\pi}{N}} \sin \omega t dt$$

每个 SPWM 面积等效的低电平的一半公式:

$$X = \frac{\Delta t - \delta}{2} = \frac{\pi/N - \delta}{2}$$

式中: M 为调制度; N 为载波比,即半个周期内的脉冲个数。本文中 $M=1, W=1, N=33, M$ 取值范围为 $1 \sim$

33。采用数学软件 MAPLE 编程算出各脉宽及低电平时间长度,通过求脉宽与他的同周期低电平时间的和的期望值来确定状态机的每个状态的计数周期。程序如下:

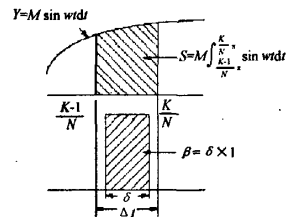


图 1 SPWM 面积等效算法

```
> for i from 1 by 1 while i<=34 do 'i=i;
evalf(int(sin(x), x=pi*(i-1)/33..pi*i/33));
evalf(abs((pi/33-evalf(int(sin(x), x=pi*(i-1)/33..pi
*i/33))/2));
evalf(abs((pi/33-evalf(int(sin(x), x=pi*(i-1)/33..pi
*i/33))/2)
+abs((pi/33-evalf(int(sin(x), x=pi*i/33..pi*(i+1)/
33))/2));
od;
```

其中最后的低电平时间为最后低电平一半与第一个低电平的一半相加。

2 正弦波设计与实现

2.1 正弦波实现的构造图

SPWM 产生器引脚输出信号,经过滤波后可以变成模拟信号,但为了得到较高精度的输出,在滤波前先通过缓冲器,使 SPWM 信号的振幅变化在要求的范围内。

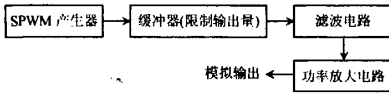


图 2 正弦波实现的构造图

2.2 SPWM 波形产生的时序

程序如下:

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
entity spwm is
port(clk,reset;in std_logic;
      spwmout;out std_logic);
end spwm;
architecture art of spwm is
type s is (st0, st1, st2, st3, st4, st5, st6, st7, st8, st9, st10,
st11, st12, st13, st14, st15, st16, st17, st18, st19, st20, st21, st22,
st23, st24, st25, st26, st27, st28, st29, st30, st31, st32);
signal state:s;
signal cnt;integer range 0 to 119;
signal rst,rst1;std_logic;
signal spwmo;std_logic;
begin
process(clk,reset)
begin
if(clk'event and clk='1')then
if(reset='1')then
cnt<=0;
elsif(cnt=119) then
cnt<=0;
else cnt<=cnt+1;
end if;
end if;
end process;
process(state,clk)
begin
if(clk'event and clk='1')then
case state is
when st0=> if(cnt<=3 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st1;
else state<=st0;end if;
when st1=> if(cnt<=12 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st2;
else state<=st1;end if;
when st2=> if(cnt<=20 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st3;
else state<=st2;end if;
when st3=> if(cnt<=29 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st4;
else state<=st3;end if;
when st4=> if(cnt<=38 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st5;
else state<=st4;end if;
when st5=> if(cnt<=46 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st6;
else state<=st5;end if;

```

```

when st6=> if(cnt<=53 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st7;
else state<=st6;end if;
when st7=> if(cnt<=60 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st8;
else state<=st7;end if;
when st8=> if(cnt<=67 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st9;
else state<=st8;end if;
when st9=> if(cnt<=73 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st10;
else state<=st9;end if;
when st10=> if(cnt<=78 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st11;
else state<=st10;end if;
when st11=> if(cnt<=83 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st12;
else state<=st11;end if;
when st12=> if(cnt<=86 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st13;
else state<=st12;end if;
:
when st32=> if(cnt<=3 or cnt=119)then
spwmo<='1';else spwmo<='0';end if;
if(cnt=119)then state<=st0;
else state<=st32;end if;
when others=> spwmo<='0';state<=st0;
end case;
end if;
spwmout<=spwmo;
end process;
end art;

```

波形仿真如图 3 所示。

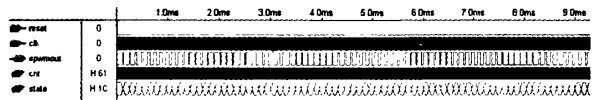


图 3 仿真结果

3 结 语

VHDL 是一种系统硬件描述能力强,能支持硬件的设计、验证、综合和测试,多层次的硬件描述语言。VHDL 语言编程可以与工艺无关,设计、方法灵活,支持广泛。MAPLE 软件具有强大的数值计算能力和高效、实效的编程功能。

参 考 文 献

- [1] 蔡锁章. 数学建模[M]. 北京: 中国林业出版社, 2003.
- [2] 谭会生, 张昌凡. EDA 技术及应用[M]. 西安: 西安电子科技大学出版社, 2001.
- [3] 陈晓萍, 王念春, 马玉龙. 基于 PIC 单片机的 SPWM 控制技术[J]. 电源技术应用, 2006, 9(3): 39-42.
- [4] 丁新民. 微机原理及其应用[M]. 北京: 高等教育出版社, 2001.
- [5] 王彦. 基于 FPGA 的工程设计与应用[M]. 西安: 西安电子科技大学出版社, 2007.

基于SPWM的正弦波设计与实现

作者: [李刚](#), [艾良](#), [LI Gang](#), [AI Liang](#)
 作者单位: [长治学院山西长治46011](#)
 刊名: [现代电子技术](#) **ISTIC**
 英文刊名: [MODERN ELECTRONICS TECHNIQUE](#)
 年, 卷(期): 2008, 31(13)
 被引用次数: 1次

参考文献(5条)

1. [蔡锁章](#) [数学建模](#) 2003
2. [谭会生](#), [张昌凡](#) [EDA技术及应用](#) 2001
3. [陈晓萍](#), [王念春](#), [马玉龙](#) [基于PIC单片机的SPWM控制技术](#) 2006(03)
4. [丁新民](#) [微机原理及其应用](#) 2001
5. [王彦](#) [基于FPGA的工程设计与应用](#) 2007

相似文献(10条)

1. 期刊论文 [杜志传](#), [郑建立](#), [Du Zhichuan](#), [ZHENG Jianli](#) [基于CPLD/FPGA的VHDL语言电路优化设计](#) -[现代电子技术](#) 2010, 33(3)
 VHDL电路的优化目标是充分利用CPLD/FPGA芯片的内部资源,使设计文件能适配到一定规模的CPLD/FPGA芯片中,并提高系统的工作速度和降低系统成本.分析VHDL语言的特点,并从设计思想、语句运用和描述方法等方面对电路进行优化,提出了利用串行化设计思想和外扩E2PROM的方法对VHDL电路进行优化,通过对比实验,验证了这两种方法能有效减少程序占用的宏单元(Macro Cell).
2. 期刊论文 [赵春晖](#), [刘会](#), [梁刚键](#), [ZHAO Chun-hui](#), [LIU Hui](#), [LIANG Gang-jian](#) [基于CPLD和VHDL的一种线阵CCD驱动时序电路的设计与实现](#) -[应用科技](#)2005, 32(11)
 CCD作为一种应用广泛的新型半导体光电器件,驱动时序电路的实现是其应用的关键问题.运用VHDL硬件描述语言,结合复杂可编程逻辑器件CPLD,完成了对CCD的驱动时序电路的设计,给出了部分VHDL语言源代码.利用MAX+plus II软件实现了时序仿真,讨论了VHDL语言设计中的一些问题.
3. 期刊论文 [侯继红](#) [基于CPLD/VHDL语言的红外遥控解码器设计](#) -[通信技术](#)2010, 43(7)
 为了使用CPLD器件解码红外遥控信号.在分析CX6122芯片红外遥控编码原理基础上,使用VHDL语言有限状态机设计红外遥控解码电路.用延时电路和状态机S1、S2、S3检测红外接收器输出的电平信号来识别遥控引导码,用S4、S5判断遥控脉冲位置调制方式(PPM)编码的0.56 ms脉宽的开始和结束,在S6延时0.84 ms,再经S7判断输入电平的状态解出二进制码,然后状态机进入数据移位和输出状态.该电路在EPM3128ATC100器件验证通过,解码准确,稳定性好.
4. 期刊论文 [刘文杰](#), [LIU Wen-jie](#) [用VHDL语言对FPGA和CPLD器件进行开发时应注意的事项](#) -[苏州大学学报\(工科版\)](#) 2005, 25(4)
 根据FPGA和CPLD器件的结构特点,提出了利用VHDL硬件描述语言对FPGA和CPLD器件进行开发时应注意的事项和一些经验技巧,供广大电子设计师参考.
5. 期刊论文 [刘仁伟](#), [郑坚](#), [马春庭](#), [那荣智](#), [LIU RENWEI](#), [ZHENG JIAN](#), [MA CHUNTING](#), [NA RONGZHI](#) [基于CPLD和VHDL的一种线阵CCD驱动电路的设计](#) -[微计算机信息](#)2007, 23(23)
 本文介绍了线阵CCD的工作原理和结构,运用VHDL硬件描述语言,结合复杂可编程逻辑器件CPLD,完成了对线阵CCD T1702C的驱动时序电路的设计,给出了部分VHDL语言代码,利用QuartusII软件实现了时序仿真.
6. 期刊论文 [张凌](#) [VHDL语言在FPGA/CPLD开发中的应用](#) -[电子工程师](#)2002, 28(4)
 通过设计实例详细介绍了用VHDL(VHSIC Hardware Description Language)语言开发FPGA/CPLD的方法,以及与电路图输入和其它HDL语言相比,使用VHDL语言的优越性.
7. 学位论文 [杨雪岩](#) [基于VHDL的CPLD应用技术研究及其在智能交通子系统中的应用](#) 2003
 该文首先介绍了电子设计自动化(EDA)技术的发展历程、现状和前景,并就课题的研究方向做了有关论述;进一步研究了EDA技术的发展对电路设计方法的影响,深入探讨了用VHDL语言和复杂系统可编程逻辑器件(CPLD)开发“片上系统”(SOC)的基本方法,作为应用对象,进一步研制、开发了交通信号自动控制系统.交通信号自动控制系统作为整个城市智能交通控制系统的底层子系统,它的研制成功便于对整个城市交通实现智能控制.在城市智能交通控制系统中,由控制室主机根据现场采集的数据,向各路口的交通信号自动控制系统发出控制信息,各交通信号自动控制系统再根据接收到的控制信息对各路口实施具体控制.基于VHDL语言、应用CPLD开发的交通信号自动控制系统,采用了“片上系统(SOC)”的设计方法,系统的顶层设计和底层设计全部采用VHDL语言进行,选用当前最流行的EDA软件MAXPLUS II作为开发平台,所有程序全部通过了该平台的编译和功能仿真实验,给出了实际的仿真波形,最后,对设计调试过程中出现的问题进行了分析、研究、解决,通过归纳总结提出了若干与书本上不同的见解.
8. 期刊论文 [高志文](#), [张记龙](#) [用VHDL和CPLD的电路简化方法的研究](#) -[华北工学院测试技术学报](#)2001, 15(4)
 目的使用VHDL降低目标电路的资源占用率和优化电路结构.方法分析用VHDL和CPLD设计中容易引起电路复杂化的原因,并提出了相应的解决方法.结果与结论得到简化电路的一些有效的技巧与方法.
9. 期刊论文 [文畅](#), [WEN Chang](#) [基于FPGA/CPLD和VHDL语言的交通灯控制系统设计](#) -[电脑知识与技术\(学术交流\)](#) 2007, 1(6)
 用VHDL语言设计交通灯控制系统,并在MAX+PLUS II系统对FPGA/CPLD芯片进行下载,由于生成的是集成化的数字电路,没有传统设计中的接线问题,所

以故障率低、可靠性高,而且体积小,体现了EDA技术在数字电路设计中的优越性.

10. 期刊论文 [李新红](#). [李风华](#). [丛文](#). [LI Xin-hong](#). [LI Feng-hua](#). [CONG Wen](#) [基于CPLD组合逻辑电路的VHDL实现](#) -[北京电子科技学院学报](#)2006, 14(4)

本文介绍了基于CPLD组合逻辑电路的VHDL设计思想,并结合嵌入式教学系统的译码和I/O控制电路的具体应用,做了较为详细的例证,其中包含部分代码.

引证文献(1条)

1. [黄云](#). [杨尊先](#) [基于FPGA的SPWM变频系统设计](#)[期刊论文]-[现代电子技术](#) 2010(1)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_xddzjs200813049.aspx

授权使用: 东北师范大学图书馆(dbsdt), 授权号: 7b07dbb8-1651-4bb4-94b5-9df000763b7a

下载时间: 2010年9月13日