

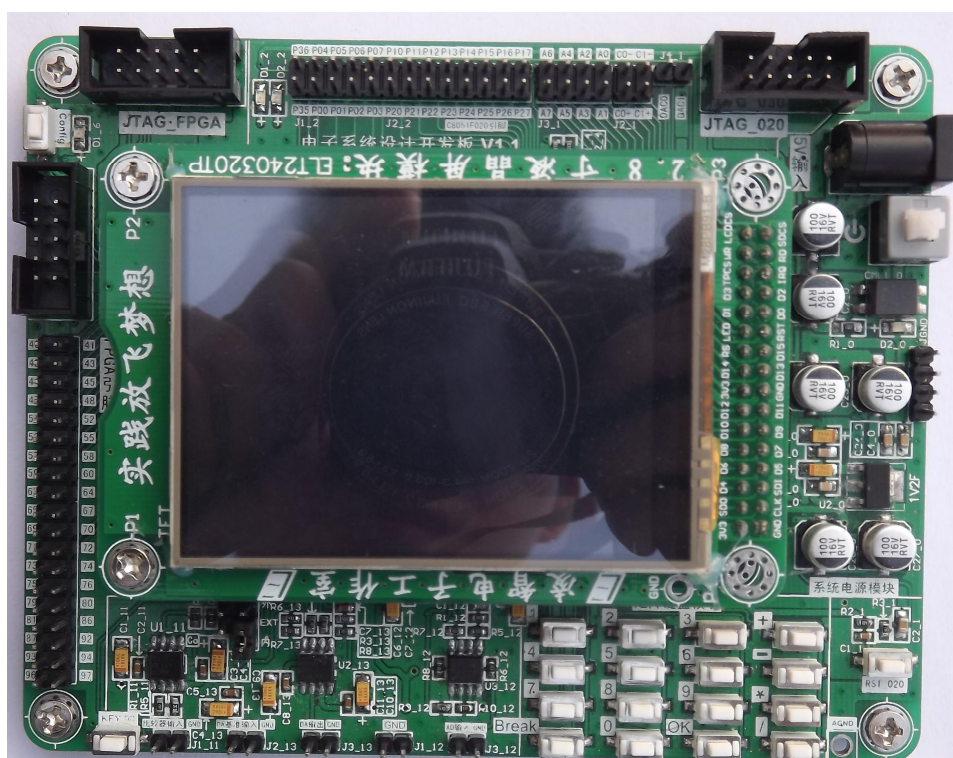
电子系统设计开发板

开发指南 V2.0

——基于 FPGA+C8051F020+高速 AD_DA_比较器



凌智电子工作室 出品



淘宝官方店铺: <http://fzldz.taobao.com>

2013 年 08 月

前言

以前计算机工程师慨叹计算机软件的飞速发展，使他们疲于应付，只要稍加停顿便无法跟随时代的脚步。如今，电子工程师同样面临如此令人心焦的困境：新技术铺天盖地，新器件层出不穷，主控器件琳琅满目，优秀仿真软件多得让人目不暇接；好东西诱惑力太强，一方面让人爱不释手，但苦于精力却只能“望洋兴叹”，于是另一个方面只能忍痛割爱；残酷的事实却摆在眼前，产品要性优价低，毕业生“产能过剩”，公司招聘和对工程师的要求越来越苛刻，为了就业，为了一份又要稳定又要收入高的工作，大家一直疲于奔命，累的仰天长叹：这活，不是人干的啊。还好，信息技术的高速发达，让我们悲叹的同时还能找到“依靠”——通过网络找到需要的资料。但是，我们想要的所有（包括系统构建思路、硬件电路详解、含源码在内的程序设计等）不是都能得到，网络资料鱼目混珠，甚至有错，我们只能通过大量的甄选和实验，探索真理，这过程的艰辛大家都深有体会吧！事实上，电子系统的设计过程异常艰苦和困难，在各种困难的强大压力下，大浪淘沙，最终能坚持下来的确实不多。亲，你愿意是其中一员吗？那，come on，我们为你量身定做，我们为你提供的不仅仅是一块开发板——目前**淘宝上还未出现的包含高速模拟电路设计的电子系统设计开发板**，还有我们“十年磨一剑”**大量实践**后精心挑选的器件，“**手把手**”式的教程，大量工程实例，**全国电赛实例**，等等。

电子系统是一个由电子元件或功能模块组成，能实现实际应用功能的系统，比如电子测量系统、自动控制系统、计算机系统、通信系统等。图1是以MCU/FPGA/ARM/DSP为核心的电子测量系统的组成示意图。从该示意图可知，该电子系统主要由以下分系统组成：模拟子系统；数字子系统；数模混合子系统；MCU/FPGA/ARM/DSP子系统。其中这些子系统又由各个功能模块构成，如数模混合子系统由信号调理与驱动模块、输入输出接口模块、通讯接口模块、系统译码与控制模块、电源模块等组成。

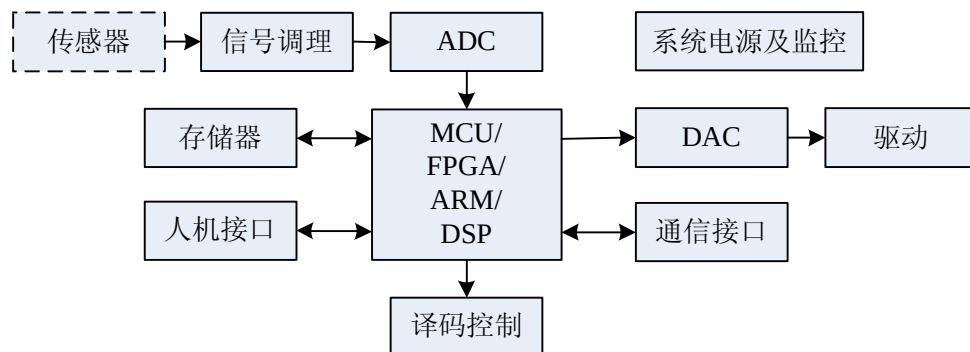


图1 一般电子测量系统的组成示意图

由图1可以看出，电子系统设计具有如下特点：

(1) **综合性**极强，几乎囊括了电子专业的基础和专业课（电路、模电、数电、单片机、EDA技术、信号与系统、ARM、数字信号处理等课程），知识点多，对学习者的专业知识要求较高。目前，国内高校一般根据自身学校的强项或特色**选择**合适的模块。因此，对于工程师来说，如此庞大系统应该遵循“拿过来”就用的原则，而不是什么都去弄的清清楚楚。一块好的开发板和好的学习资料可以大大缩短学习、掌握系统设计的速度。

(2) 最突出最显著的特点是**实践**，没有实践将永远无法领会系统设计要点。如果一直纠结于电子系统中电子元器件和电路的基本原理、基本理论，与实际的工程设计相脱节，那么就无法直接从事电子工程设计工作。动手不够，面对实际工程设计任务时，常常感到无从

下手，即使开始了设计工作，也因不清楚工程设计的要领而经常走弯路，导致设计效率低下。

(3) 强调的是“**系统**”。系统的**设计**实践，既包含硬件设计，还包含软件设计，这一点是目前国内比较缺的，大多老师授课或材料里可能更强调系统和硬件电路设计过程，而忽略程序设计。实际上，软件设计对系统的智能化和性能起了非常关键的作用，强大健壮的程序可以让同样的系统卖出更高的价格并占领市场。也有一种现象需要引起警惕，很多人选择软件，不是因为喜欢软件设计而是因为硬件设计太难的原因。而事实上，一个硬件系统岂能离开软件，需要通过程序设计来验证硬件设计效果，这个工作也通常是硬件工程师要完成的工作。在这场“硬件和软件的**博弈**”中，你会是最后的**赢家**吗？

(4) 系统大脑核心**选择面广**，有单片机（MCU）、FPGA、ARM 和 DSP 等，应该说她们各有优点，价格和性能也不一样，学习和开发难度也不一样。实际应用应根据系统具体要求选择，“大刀砍小树”或者“小刀砍大树”都要不得。另外，适合自己的才是最好的，没有一个工程师可以把所有的处理器都应用的游刃有余。比如某测量仪器，需要使用 FPGA 进行设计，对于一个不懂或不熟悉 FPGA 的 SOPC 技术的工程师来说，是选择 SOPC 技术还是选择“FPGA（逻辑和算法设计）+微控制器（控制和数据处理设计）”模式开发，答案不言而喻。

(5) 电子系统开发涉及了各种各样的开发工具与编程语言，如图 2 所示。有些学习者在开发之前喜欢把每个软件的功能都操作一遍，在具体应用时却不懂得用。其实，正确的方法应该是知道如何入门即可，剩下的功能可以在具体实践中再一个个消化。后者的方法要比前者深刻的多，还能提高学习设计效率。切记，工程师永远不要想“一口吞个大胖子”。

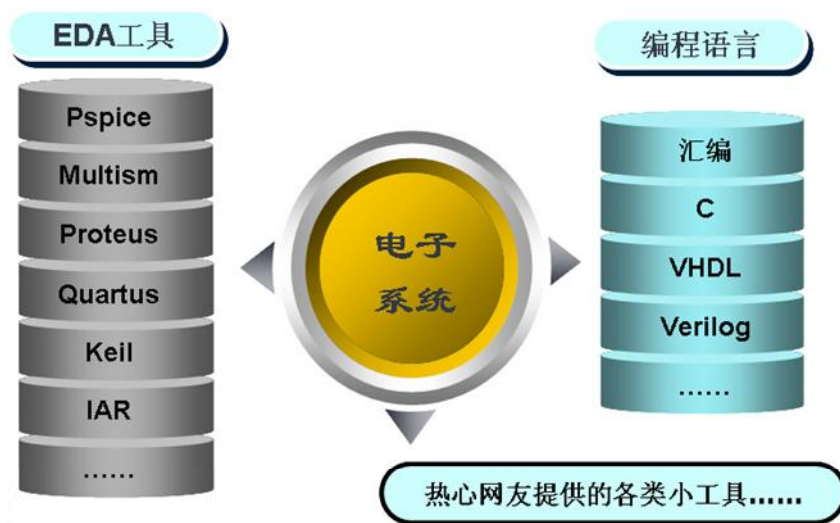


图 2 各种各样的开发工具与编程语言

但是，从学习实践效果来看，一大部分人无法正常完成实践能力要求，甚至产生厌恶情绪，“走过场”的现象比较严重。我们认为，那主要是因为缺乏必要的利器——合适的开发工具与良好的引导。

以上的思路和想法，是凌智电子十几年工程实践经验的总结。也正是这些思路 and 想法，诞生了凌智电子这块几乎囊括了图 1 所有模块的电子系统设计开发板，一个**包含完备的供电系统、FPGA 系统、SoC 新型单片机系统、模拟系统以及良好的共地系统设计的开发板**。这块板不是一朝一夕做成的，从最早期的分散模块搭接→若干模块集成→“小巧玲珑”大集成模式，利用业余时间历经数年完成。因此，板子的每个细节都体现了我们精心设计的过程。比如，模拟系统的精度，不是像目前市售开发板那样能让使用者看现象就好，而是精确到 mV 级，并有具体的国赛（全国大学生电子设计大赛）为实例项目可以验证。我们用通俗形象的语言描述晦涩难懂的技术原理，用言简意赅的语言描述开发工具的使用；例程不是像有

的开发板那样简单堆砌，而全部来自项目实践，但又遵循循序渐进、由浅入深的原则精心挑选。设计过程不但有软件设计过程，更有硬件原理设计等，电子系统设计那种犹如“空中楼阁，可望而不可即”的迷离将荡然无存。凌智电子编写材料的水平，大家不用担心，凌智团队已正式出版过 2 本实践类教程（图 3），并在不久之后，将有电子系统设计相关的教程出版，敬请关注。



图 3 凌智团队曾出版的单片机实践类教程

最后，强调一点：除本开发指南之外，将单独附送 3 个非常详细的国赛项目笔记（每项 40-50 页）和完整源程序，一定让您爱不释手！

愿凌智电子的满腔热情，带给大家的是一股“小清新”，我们一同前进！

凌智电子 

2013 年 8 月

目 录

前 言	I
-----------	---

第 1 章 凌智电子系统设计开发板简介	1
---------------------------	---

1.1 开发板整体架构与特色	1
1.1.1 系统组成	1
1.1.2 开发板主要器件选型	1
1.1.3 开发板特色	4
1.2 开发板硬件资源初探	7
1.3 C8051F020 单片机简介	10
1.1.1 CIP-51 微控制器核	12
1.1.2 振荡器	12
1.1.3 复位源	12
1.1.4 片内存储器	13
1.1.5 JTAG 调试和边界扫描	14
1.1.6 可编程数字 I/O 和交叉开关	14
1.1.7 串行端口	15
1.1.8 可编程计数器阵列 (PCA)	15
1.1.9 12 位模/数转换器	16
1.1.10 8 位模/数转换器	17
1.1.11 比较器	18
1.1.12 12 位电压输出 DAC	19
1.1.13 电压基准	19
1.4 EP2C5T144C8 简介	20
1.5 高速模拟器件简介	20
1.6 主要开发软件和实验项目	20
1.7 开发板使用注意事项	23

第 2 章 凌智电子系统设计开发板硬件电路设计	24
-------------------------------	----

2.1 电源模块电路	24
2.2 C8051F020 单片机系统电路	25
2.2.1 C8051F020 单片机系统核心模块电路	25
2.2.2 ADC、DAC、比较器接口电路及 VREF020 测试点	27
2.2.3 2 个 LED 指示灯电路	27
2.2.4 键盘电路	28
2.2.5 1602 字符型液晶的接口电路	28
2.2.6 带触摸功能的 TFT 液晶显示模块	29
2.2.7 EEPROM (AT24C08) 存储电路	30
2.3 FPGA 开发系统电路	31
2.3.1 FPGA 系统核心模块电路	31

2.3.2	FPGA 系统时钟和复位电路	32
2.3.3	FPGA 系统 AS 和 JTAG 下载电路	32
2.3.4	FPGA 引脚分配	33
2.4	单片机和 FPGA 的 SPI 接口电路	34
2.5	高速模拟系统电路	34
2.5.1	高速比较器模块电路	34
2.5.2	高速 10 位 ADC 模块电路	35
2.5.3	高速 10 位 DAC 模块电路	37
第 3 章 C8051F 单片机软件使用入门		41
3.1	Keil 软件简介	41
3.2	软件安装	41
3.2.1	Keil 软件安装	41
3.2.2	Keil 软件补丁安装	47
3.2.3	基于 Keil 的 C8051F 单片机驱动程序安装	47
3.3	Keil C51 (μVision4) 入门	52
3.3.1	创建 Keil C51 应用程序	52
3.3.2	编译、链接程序文件	57
3.3.3	调试仿真程序	59
3.4	C8051F 单片机下载器使用说明	62
第 4 章 C8051F020 单片机系统功能模块实验		70
4.1	程序延时研究实验	70
4.1.1	实验目的	70
4.1.2	实验内容	70
4.1.3	知识要点	70
4.1.4	实验结论	74
4.2	LED 灯驱动实验	75
4.2.1	实验目的	75
4.2.2	实验内容	75
4.2.3	知识要点	75
4.2.4	硬件连接	78
4.2.5	程序设计	78
4.2.6	实验现象及总结	82
4.3	1602 字符型液晶显示实验	84
4.3.1	实验目的	84
4.3.2	实验内容	84
4.3.3	知识要点	84
4.3.4	硬件连接	90
4.3.5	程序设计	91
4.3.6	实验现象及总结	106
4.4	定时器实验	107

4.4.1	实验目的	107
4.4.2	实验内容	107
4.4.3	知识要点	107
4.4.4	硬件连接	124
4.4.5	程序设计	124
4.5	矩阵式键盘实验	153
4.5.1	实验目的	153
4.5.2	实验内容	153
4.5.3	知识要点	153
4.5.4	硬件连接	155
4.5.5	程序设计	155
4.5.6	实验现象及总结	160
4.6	DAC (12 Bit)实验	161
4.6.1	实验目的	161
4.6.2	实验内容	161
4.6.3	知识要点	161
4.6.4	硬件连接	165
4.6.5	程序设计	165
4.7	ADC0 (12 Bit)及温度测量实验	176
4.7.1	实验目的	176
4.7.2	实验内容	176
4.7.3	知识要点	176
4.7.4	硬件连接	183
4.7.5	程序设计	184
4.7.6	实验现象及总结	208
4.8	ADC1 (8 Bit)实验	210
4.8.1	实验目的	210
4.8.2	实验内容	210
4.8.3	知识要点	210
4.8.4	硬件连接	215
4.8.5	程序设计	215
4.8.6	实验现象及总结	235
4.9	PCAO 实验	237
4.9.1	实验目的	237
4.9.2	实验内容	237
4.9.3	知识要点	237
4.9.4	程序设计	246
4.9.6	实验现象	266
4.10	外部中断实验	267
4.10.1	实验目的	267
4.10.2	实验内容	267
4.10.3	知识要点	267
4.10.4	程序设计	274
4.10.6	实验现象	284

4.11	比较器实验	285
4.11.1	实验目的	285
4.11.2	实验内容	285
4.11.3	知识要点	285
4.11.4	硬件连接	288
4.11.5	程序设计	288
4.11.6	实验现象	293
4.12	EEPROM 实验	294
4.12.1	实验目的	294
4.12.2	实验内容	294
4.12.3	知识要点	294
4.12.4	硬件连接	299
4.12.5	程序设计	299
4.12.6	实验现象及总结	316
4.13	TFT 实验	318
4.13.1	实验目的	318
4.13.2	实验内容	318
4.13.3	知识要点	318
4.13.4	硬件连接	323
4.13.5	程序设计	324
4.13.6	实验现象	357
4.14	触摸屏实验	358
4.14.1	实验目的	358
4.14.2	实验内容	358
4.14.3	知识要点	358
4.14.4	硬件连接	366
4.14.5	程序设计	367
4.14.6	实验现象	382
4.15	SD 卡数据读写实验	384
4.15.1	实验目的	384
4.15.2	实验内容	384
4.15.3	知识要点	384
4.15.4	硬件连接	387
4.15.5	程序设计	387
4.15.6	实验现象	404
第 5 章 Quartus II 软件使用入门		406
5.1	Quartus II 9.0 的安装与破解	406
5.1.1	Quartus II 9.0 软件安装	406
5.1.2	Quartus II 9.0 软件破解	408
5.2	FPGA 项目实践流程简述	414
5.2.1	建立工程	414
5.2.2	设计输入与编译	417

5.2.3	波形仿真.....	420
5.2.4	引脚锁定.....	426
5.2.5	程序下载.....	427
5.3	USB Blaster 的安装与使用.....	427
5.3.1	USB Blaster 安装.....	427
5.3.2	USB Blaster 使用.....	429
5.4	FPGA 文件转换.....	431
5.5	FPGA 配置芯片的选择.....	433
第 6 章 现代数字系统(FPGA 系统)实验.....		436
6.1	组合逻辑电路设计.....	436
6.1.1	数据比较器.....	436
6.1.2	2 路选择器.....	440
6.1.3	4 路选择器.....	444
6.1.4	编码器.....	449
6.1.5	3-8 译码器 (用 case 语句描述).....	453
6.1.6	3-8 译码器 (用 if...else 语句描述).....	455
6.1.7	全加器.....	457
6.1.8	三态双向驱动器.....	459
6.2	时序逻辑电路设计.....	462
6.2.1	4 位计数器.....	462
6.2.2	任意整数分频器.....	464
6.2.3	数据寄存器.....	468
6.2.4	移位寄存器.....	470
6.2.5	并串转换电路.....	473
6.2.6	边沿脉冲发生器.....	475
6.2.7	阻塞赋值和非阻塞赋值.....	478
6.3	存储单元电路设计.....	481
6.3.1	只读存储器 rom 的使用.....	481
6.3.2	随机存储器 ram 的使用.....	490
6.3.3	先进先出 FIFO 存储器的使用.....	496
6.4	基于 FPGA 的 LED 灯实验.....	504
6.4.1	任务要求.....	504
6.4.2	知识要点.....	504
6.4.3	参考代码.....	504
6.4.4	软件仿真.....	505
6.4.5	工程实践.....	505
6.5	巴克码发生器和识别器的设计.....	507
6.5.1	任务要求.....	507
6.5.2	知识要点.....	507
6.5.3	参考代码.....	508
6.5.4	软件仿真.....	511
6.5.5	工程实践.....	515

6.6	循环码编码器和循环码译码器	518
6.6.1	任务要求	518
6.6.2	知识要点	518
6.6.3	参考代码	518
6.6.4	软件仿真	523
6.6.5	工程实践	524
 第7章 综合系统实验		527
7.1	Keil 大型项目工程建立方法	527
7.2	基于 C8051F020 的简易数字频率计	530
7.2.1	任务要求	530
7.2.2	知识要点	530
7.2.3	硬件连接	533
7.2.4	程序设计	533
7.2.5	系统调试与误差分析	536
7.3	基于 FPGA 的高速数据采集系统	539
7.3.1	任务要求	539
7.3.2	知识要点	539
7.3.3	参考代码	540
7.3.4	软件仿真	541
7.3.5	工程实践	545
7.4	基于 DDS 的信号源系统	547
7.4.1	任务要求	547
7.4.2	知识要点	547
7.4.3	参考代码	548
7.4.4	软件仿真	549
7.4.5	工程实践	549
7.5	波形整形与高速计数系统	551
7.5.1	任务要求	551
7.5.2	知识要点	551
7.5.3	参考代码	552
7.5.4	软件仿真	552
7.5.5	工程实践	553
7.6	M 序列发生器	554
7.6.1	任务要求	554
7.6.2	知识要点	554
7.6.3	程序设计	556
7.6.4	软件仿真	558
7.6.5	工程实践	560
7.7	单片机与 FPGA 的 SPI 数据通信	563
7.7.1	任务要求	563
7.7.2	知识要点	563
7.7.3	程序设计	564

7.7.4	工程实践.....	572
7.7.5	几种常用通信方式的比较.....	573
7.8	基于双 DA 的幅值控制系统	575
7.8.1	任务要求.....	575
7.8.2	知识要点.....	575
7.8.3	程序设计.....	577
7.8.4	工程实践.....	579
第 8 章 全国大学生电赛项目实践		582
8.1	简易数字频率计设计(97 国赛 B)	582
8.2	简易逻辑分析仪(2003 国赛 D)	582
8.3	正弦信号发生器(2005 国赛 A)	582
8.4	重要提示	582

第1章 凌智电子系统设计开发板简介

1.1 开发板整体架构与特色

1.1.1 系统组成

凌智电子系统设计开发板主要由电源模块，C8051F020 单片机系统，FPGA 开发系统，以及高速 AD、DA 和比较器模块等组成，开发板简要的组成框图如图 1.1.1.1 所示。

电源模块包括系统供电、电源滤波、模拟数字共地处理等部分，不仅仅为开发板供电，良好的电源滤波共地处理技术更为系统高性能、高可靠性工作提供强有力的保证。电源由 +5V 开关稳压电源输入，为开发板提供所需的 $\pm 5V$ 、3.3V 和 1.2V 电源。整个系统人机通讯，数据处理、显示、存储，低速模拟系统等，由 C8051F020 单片机系统模块提供，该模块以 C051F020 单片机为核心，利用单片机强大的控制能力和丰富的内外部，可以完成很多功能复杂系统的设计。FPGA 开发系统主要完成复杂逻辑系统和算法，高速信号采集和处理，以及与单片机通信的功能，利用 FPGA 灵活多变的特点，可以完美构建高速复杂的数字系统设计。高速 AD、DA 和比较器模块主要完成负责高速信号的调理、采集、输出等功能，优良的高速模拟系统设计，保证了整个系统对高速信号也可以游刃有余。

开发板采用单片机+FPGA 为核心目标板，加上独立功能模块的系统架构。单片机采用 Silabs 公司的 C8051F020；FPGA 采用 Altera 公司的 CycloneII EP2C5T144；外围扩展设备有 DAC 模块、ADC 模块、高速比较器模块，矩阵键盘模块、TFT/1602 显示模块及 EEPROM 模块等。开发板具体的组成框图如图 1.1.1.2 所示。

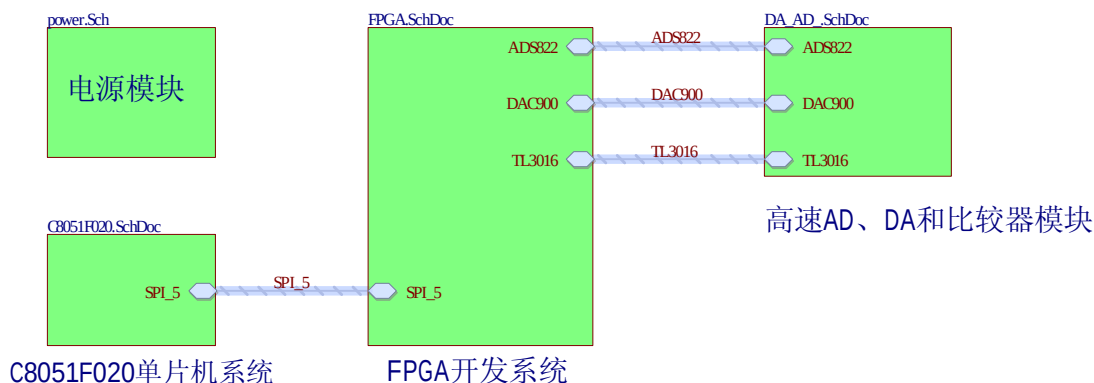


图 1.1.1.1 开发板简要的组成框图

1.1.2 开发板主要器件选型

正如前言所述，开发板的所有芯片都是精心挑选，遵循合适就好的原则。开发板的主要芯片选型如下。

1. 微控制器选型

可能很多人学习完电子技术、单片机和 FPGA（甚至 FPGA 还未学习）后就开始电子系统设计，这时候应该把主要精力放在系统构建上，而不是纠结于微控制器的选择，所以选用单片机作为整个系统的控制核心。

随着单片机技术的发展，SoC 新型单片机使用已开始在业界普及化，比如 C8051F 系列、ADuC812、MSP430、PIC 16F87X 系列、ATmega8 等，前两款芯片均以 8051 为内核。考虑到目前国内 8 位机还是以 8051 内核单片机为主，而 ADuC812 价高且开源资料少，所以本开发板的微控制器选用 C8051F 系列最为经典的 C8051F020 单片机。

C8051F 单片机是完全集成的混合信号系统级芯片(SoC)，具有与 8051 兼容的高速 CIP-51 内核，与 MCS-51 指令集完全兼容，片内集成了数据采集和控制系统中常用的模拟（如 A/D、D/A、基准电源等）、数字外设（如 SMBus 接口、SPI 接口、PCA、EMIF 接口等）及其他功能部件（如 16×16MAC、PLL 等）；内置 FLASH 程序存储器、内部 RAM，大部分器件内部还有位于外部数据存储器空间的 RAM，即 XRAM。C8051F 单片机具有片内调试电路，通过 4 脚的 JTAG 接口可以进行非侵入式、全速的在系统调试。值得一提的是，该单片机的模拟性能优异，可以保证模拟数据的高精度测量和输出。C8051F 单片机如此丰富的片上资源，大大降低了开发工具和硬件仿真工具的开发成本。

除了资源配置上的不同，C8051F 单片机的学习和使用与普通的 8051 单片机一样，这对于已经学过 8051 单片机的学习者来说，入门门槛很低且很容易领会掌握。

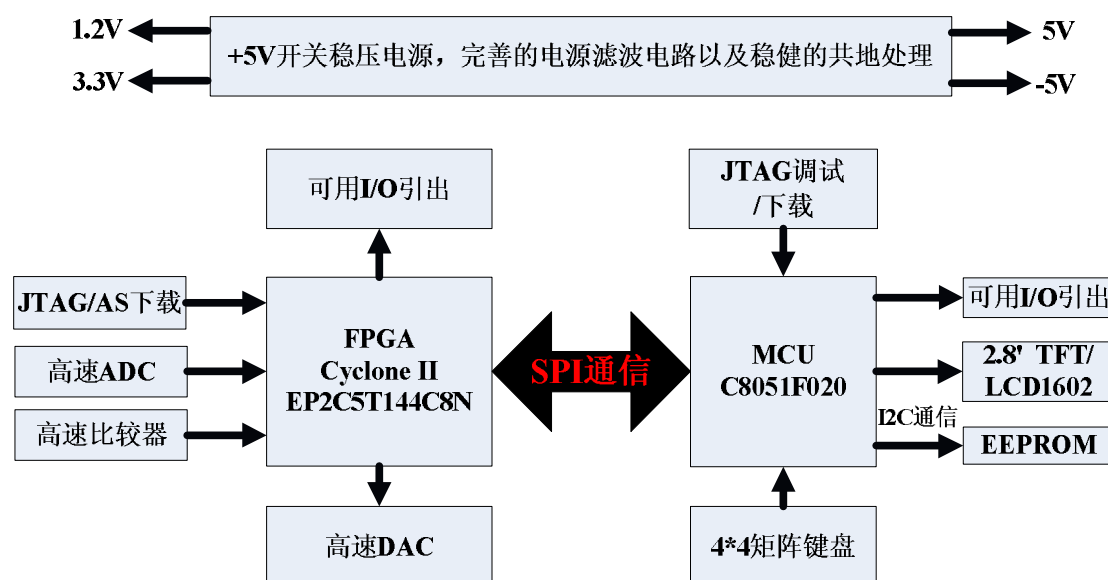


图 1.1.1.2 开发板具体的组成框图

2. FPGA 选型

由于开发板中的 FPGA 主要完成数字系统的逻辑和算法设计，所以 FPGA 选择 EP2C5T144C8N。EP2C5T144C8N 内部资源足够，对于 EP2C5 的大约 5000 个的逻辑资源 (LEs)，如果应用系统中没有 NIOSII 软核，那么要写多少代码才能用到 1000 个逻辑资源 (LEs) 呢？对于一个图像采集卡的程序，其中将近用了 10000 行的代码，但是这个工程只用了 1312 个 LE。对于外部的 I/O 端口，EP2C5T144C8N 独立的 I/O 个数有 70 个（除去时钟、电源、地、JTAG 的 I/O）。

事实上，现在很多公司还在使用资源更少的 CPLD 芯片，就是因为很有项目不需要使用资源那么多的 FPGA 芯片，另外 CPLD 也不需要配置芯片，性价比更高。在凌智团队的项目中，只要不用 FPGA 跑 Nios 系统，还没发现 EP2C5T144C8N 资源不够用的情况。

3. 高速模拟外设选型

配套 FPGA 核心的开发板，少了高速模拟外设，就像少了跑鞋的跑步运动员，失去了 FPGA 鲜明的特色。对于低速信号系统，我们交给 C8051F020 单片机系统模块完成，可以很顺利很圆满的完成预定功能。对于高速模拟系统的地线问题、FPGA 时钟信号干扰等，相信

用过高速外设的亲们应该深有体会，一种叫做“信号完整性”的分析技术，会把我们折腾到“歇斯里地”的无语。现在亲们不用害怕了，我们为大家呈现的是一个可以“随随便便”、“跑得欢”的高速模拟系统，并通过凌智团队项目和国赛题目得到实践验证，可以放心使用，一定让亲们爱不释手！

在凌智团队历年的项目中，曾经用过 maxim、analog、NI（已被 TI 收购）、TI、Burr-Brown（已被 TI 收购）等的 ADC、DAC 和比较器，maxim 和 analog 的这类商品确实给力，性能非常优越，但是价格高啊，有可能一片 maxim 的 10 位高速 ADC 就可以达到一百多大洋。无奈之下，凌智团队在信号调理、pcb 布线下功夫，经过几年的实践，终于定型了这些高速“尤物”，带给大家的一定是惊喜！

（1）高速外设之 ADC 选型

ADC 芯片采用的是 TI 公司的 10 位、最高可达 40MHz 的采样率、具有片内基准的高速模数转换器 ADS822E 芯片。ADS822E 供电电源为 5V；的输入信号可以单端输入信号，也可以一个差分输入信号；有一个内部参考电压，参考电压也可以外部输入。ADS822E 是+3V 或+5V 逻辑 I/O 兼容（通过 VRDV 引脚配置）。

ADC 选用的总原则是 ADC 的性价比，而性能往往和价格成正比。ADC 的性能主要考虑 ADC 的速度和精度。

对于 ADC 的速度应根据输入信号的最高频率 f_m 来确定，要保证 ADC 的采样频率 f_s 和 f_m 间满足采样定理，即

$$f_s \geq 2f_m$$

在智能仪器和工业自动化系统中，由于其工作频率一般较低，为了减少高频干扰的影响，很好的恢复被测信号，减小误差，一般采用较高的采样频率，采样频率至少为最高频率的 7~10 倍，这样可以有效消除混叠现象。若被测信号是高频信号，则需要选择带采样/保持器的 ADC；如果采集直流或者低频信号，可以不需要采样/保持器。

ADC 的精度与系统中所测量、控制的信号范围有关，但估算时要考虑到其它因素，转换器位数应该比总精度要求的最低分辨率高一至两位。

另外，根据被测信号的特点应尽可能选择内部资源多的 ADC，比如，多通道、双极性、低功耗、内部带电压基准和 A/D 转换时钟的 ADC。这样可以尽量减少外部的硬件开销，不但方便电路设计，一般还可以节省整个系统的成本。

（2）高速外设之 DAC 选型

DAC 芯片采用的是 TI 公司的 10 位、165 MSPS 输出更新速率、具有片内基准、高 SFDR（100MSPS 速率输出 5MHz 信号可达 68dB）的高速数模转换器 DAC900E 芯片。DAC900E 采用单一电源供电，工作电源范围为 2.7V~5.5V。鉴于其出色的动态性能，特别适合于高速的数据模拟转换系统中。DAC900E 内部自带基准，为保证输出电压的精度，采用其内部基准，但也可以外接基准源。

可以从分辨率、精度、速度、功耗、输出形式、芯片内部是否含有电压基准与锁存器、接口形式、价格等方面着手选择 DAC。选择中注意以下几个问题：

① 首要考虑的是分辨率。为获得高精度的 DAC，不仅应选择位数较多的高分辨率的 DAC，而且还需要选用高稳定度的电压基准和低零漂、高精度的运算放大器等器件与之配合才能达到要求。

② 对于注重速度的系统，可以选用并行接口；如果注重成本和尺寸，则可选用 SPI 和 I²C 接口，这种器件引脚数较少，可显著降低成本。

③ 一般来说，片内不含电压基准和运算放大器的 DAC 器件（一般是电流型）的转换速率比较高。实际应用时就应该选择内含电压基准的 DAC 器件。这样成本更低、更节省 PCB 板面积。

④ 不同情况下还须考虑 DAC 的其它性能指标。如配合使用 DAC 使用的运算放大器压摆率，高、低温环境下 DAC 的温度系数，高速电路中须考虑其延迟时间，高辐射环境下须考虑其抗干扰能力及安全性等。

总之，使用时应综合考虑 DAC 和被控外设的匹配，选择性价比高的 DAC 器件。

(3) 高速外设之高速比较器选型

在电子系统设计中，人们一般在低速信号转换（如正弦波变成方波）时选用低速比较器、高速信号转换时选用高速比较器，意味着一个系统一个信号的转换就需要两个比较器和配套的开关器件、整形电路等，增加成本不说，还无形给电路设计和程序设计带来很多的不便。

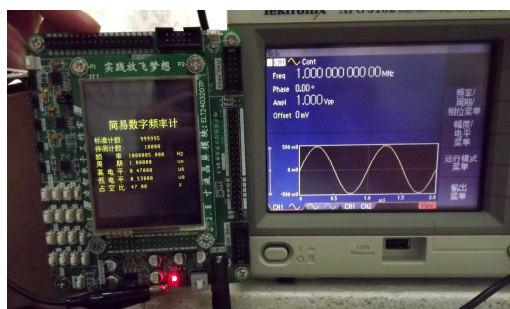
本开发板利用 FPGA 编程可以去毛刺的能力（设计方法和程序见简易数字频率计设计（97 国赛 B，020 版）的项目笔记），选用 TI 公司的 TL3016 作高速比较器，可测量 0.1Hz 到 11MHz 宽频程信号频率，精度至少达 10^{-4} 。TL3016 的传播延迟时间为 7.6 ns。

1.1.3 开发板特色

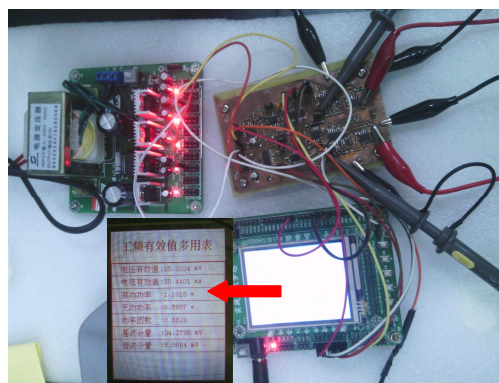
1、凌智电子系统设计开发板是一个**复杂的数模系统混合设计开发板**。开发板中的 C8051F020 单片机系统，FPGA 开发系统，以及高速 AD、DA 和比较器模块自成体系，也就是说本开发板既可以作单片机开发板，也可以作 FPGA 开发板，还可以作高速模拟系统开发板单独使用；但他们又可以有机结合，成为复杂的数字、模拟系统综合的开发板。

2、**第一个吃螃蟹的人**。凌智电子系统设计开发板中**独特的高速和低速模拟系统设计**一定带给大家“耳目一新”的感觉！做过模拟系统设计的工程师都知道，一个模拟系统，可能看似简单，但由于模拟系统设计不仅仅需要理论，更需要经验、实践和技巧，所以一个理论可行的电路但实践却又花很多时间调试直至崩溃的境遇时常发生。模拟系统设计与调试很困难，成本又高，这就是为什么至今为止，淘宝上还未出现模拟和数字系统综合设计开发板的根本原因。

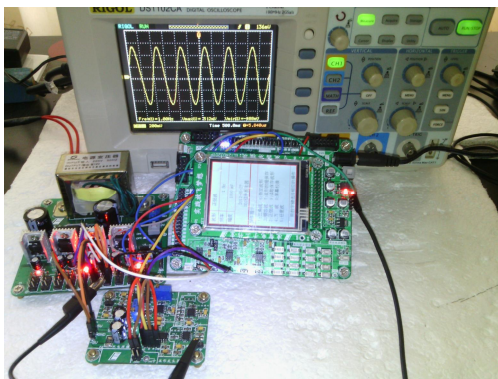
3、**强健的电源滤波电路和共地处理技术**，可以保证本开发板完成许多功能复杂的数模混合系统设计。如下展现本版本及前身开发板所完成的部分**电子竞赛项目实例**，如图 1.1.3.1 所示。一旦拥有，可以**最大程度**帮助大家学习直至**掌握复杂数模混合系统**的设计方法和技巧。



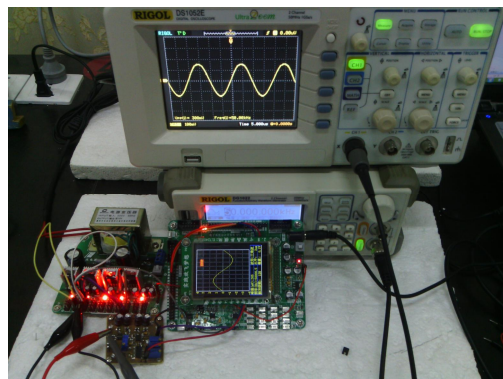
简易数字频率计设计(1997 国赛 B，020 版)



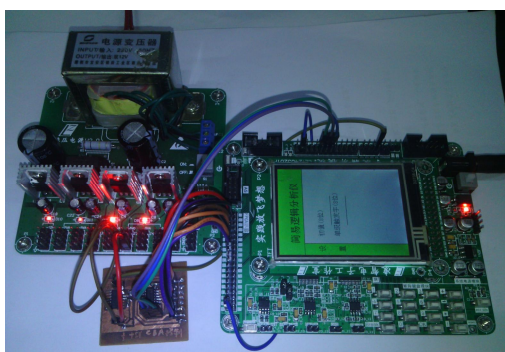
数字式工频有效值多用表 (1999 国赛 B，020 版)



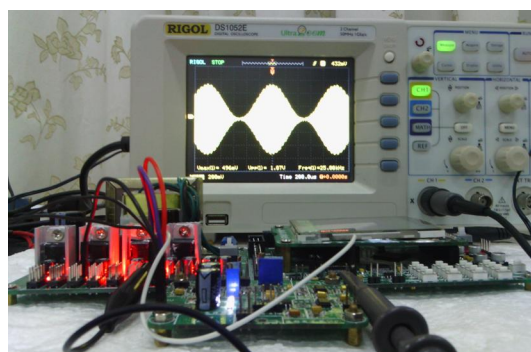
波形发生器-(国赛, 2001 A, 2007 H, 020 版)



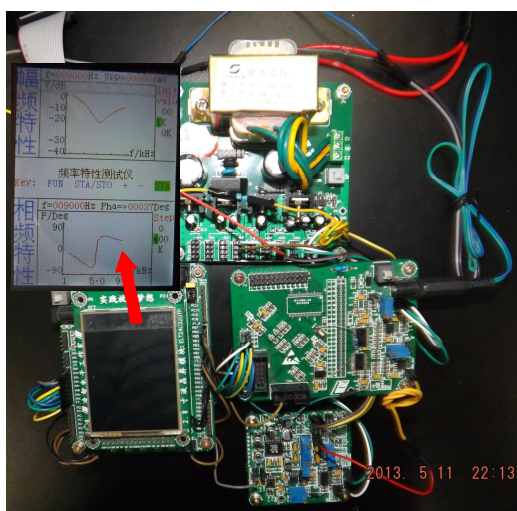
简易数字存储示波器设计(2001 国赛 B, 020 版)



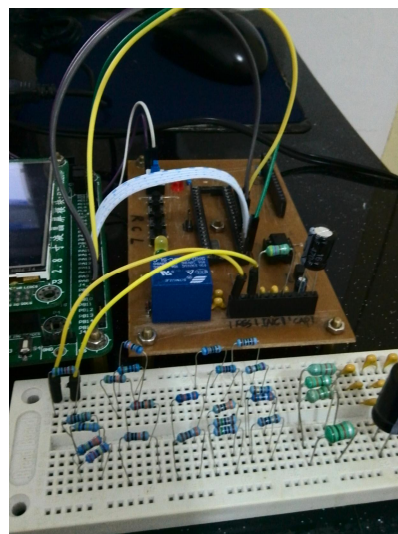
简易逻辑分析仪-(2003 国赛 D, 020 版)



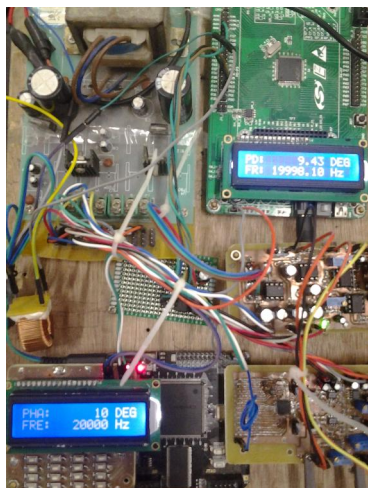
正弦信号发生器 (2005 国赛 A, 020 版)



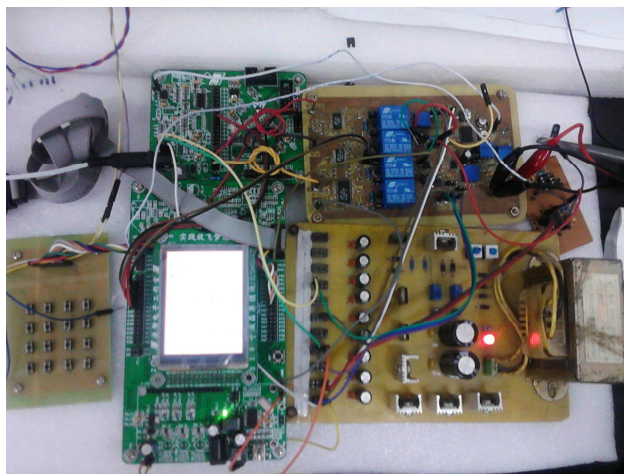
频率特性测试仪(1999 国赛 C, 020 版)



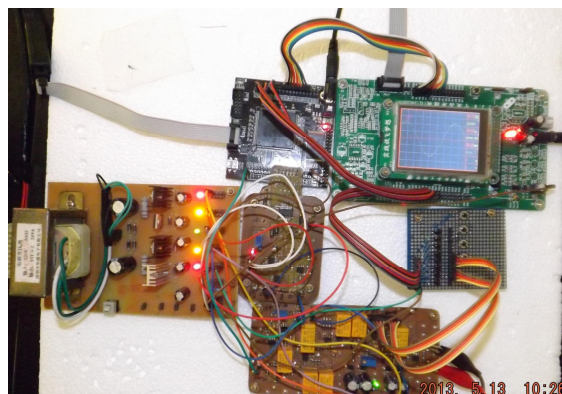
简易电阻、电容和电感测试仪(国赛, 1995 第四题, 2011G, 020 版)



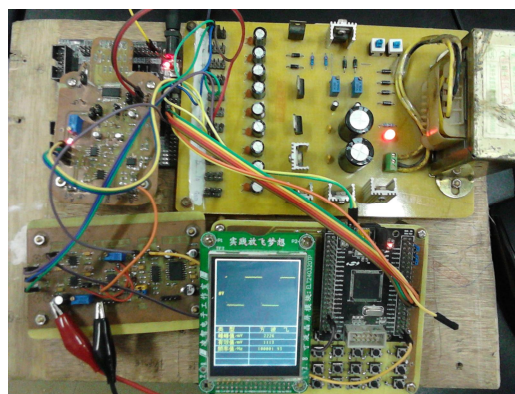
低频数字式相位测量仪(2003 国赛 C, 020 版)



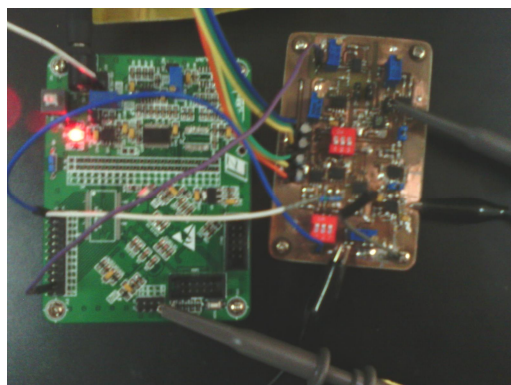
程控滤波器-(2007 国赛 D I, 020 版)



数字示波器(2007 国赛 C, 020 版)



简易信号分析仪设计(2012 福建省电赛 A, 020 版)



简易数字信号传输性能分析仪(2011 国赛 E, 020 版)

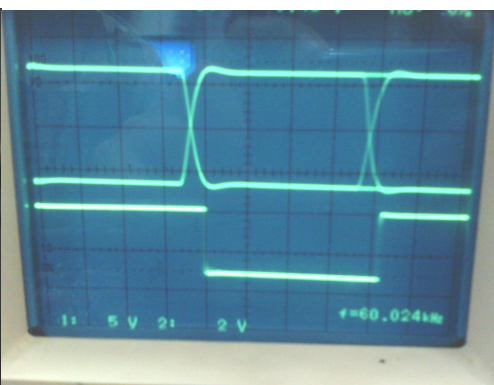


图 1.1.3.1 本版本及前身开发板所完成的部分电子竞技项目实例

4、多电源系统却只需要一个电源输入，而且是只要开关电源就可以。整个系统需要有 1.2V、3.3V、 $\pm 5V$ 电源，但系统仅仅只要一个+5V 开关稳压电源输入即可，完善的电路设计保证电源可靠工作，省去模拟电路必须使用模拟电源供电的麻烦，方便大家使用。

5、“精益求精”的精神。注重整个系统的完整性，拒绝“能让买家看到现象就可以”的做法。比如，ADC、DAC 和高速比较器模块，均带有高速运放等构成的信号调理电路，一方面方便大家实验，另一个方面也可以保证信号的精度。这从我们提供的例程和项目笔记里都可以深刻感受到。

6、由于本版本开发板是数年开发设计的**终极板**，所以整个开发板**布局非常合理**，板的尺寸（124mm×99mm）**紧凑美观**，丝印非常直观明了，如图 1.1.3.2 所示。

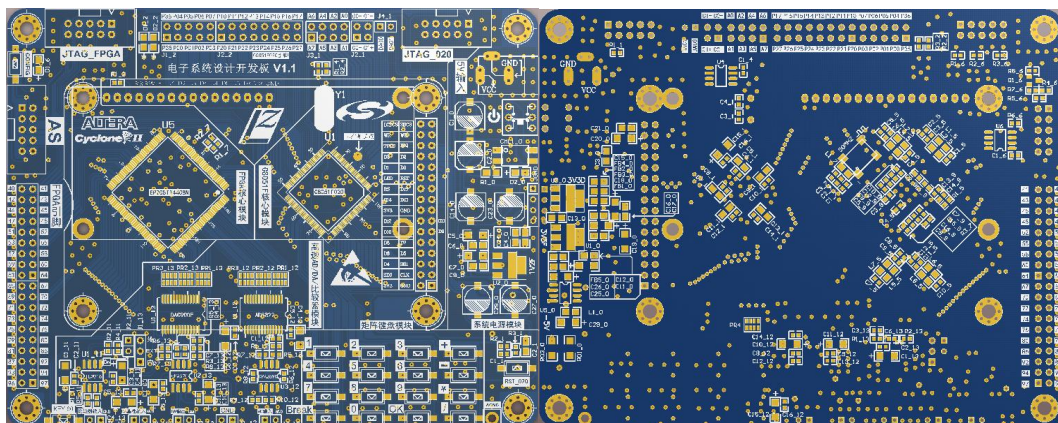


图 1.1.3.2 开发板正面和背面 3D 效果图

7、板子设计非常**注重细节**，为系统调试带来极大方便，列出几处设计细节如图 1.1.3.2 所示。



万用表笔地线插孔



低速模拟 ADC、DAC 基准电压测试点



方便测试的数字地和模拟地独立接口

图 1.1.3.2 设计细节举例

8、**独具特色的开发指南和项目笔记**。例程中详尽阐述了知识要点、设计过程和调试过程。为了更详细说明设计过程，大系统采用专门的项目笔记叙述，设计精华和调试问题在项目笔记下**淋漓尽致**地体现。

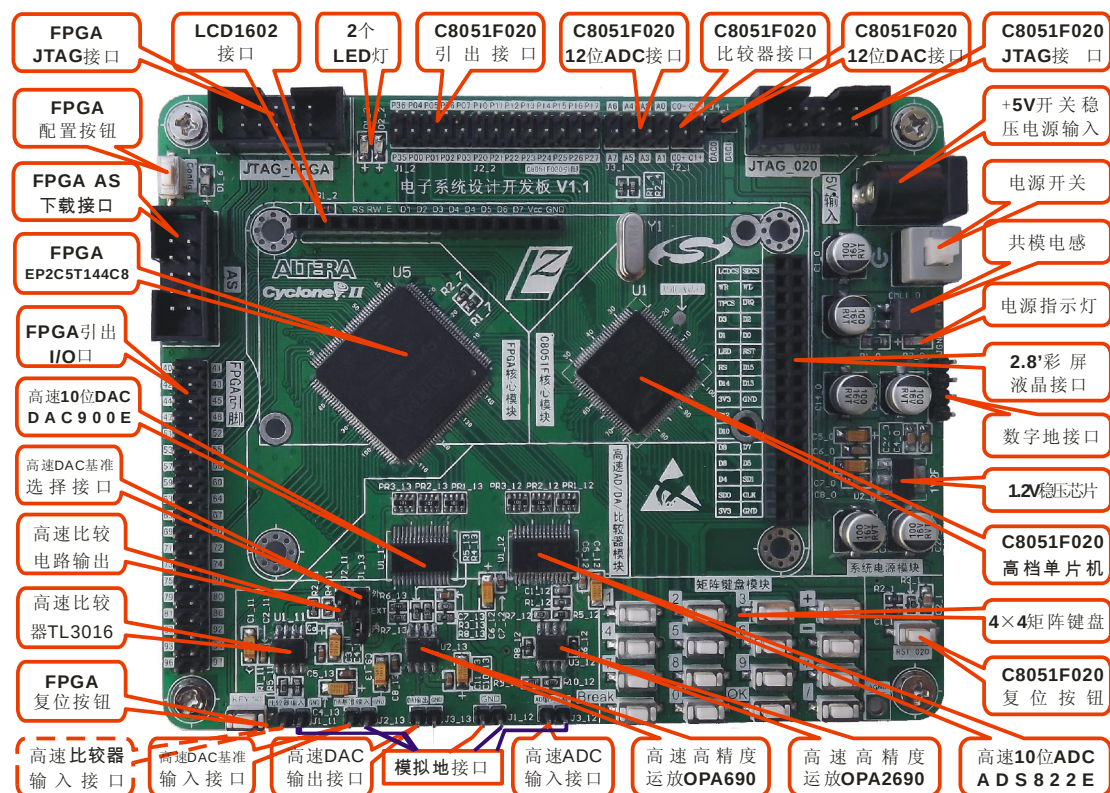
9、配套资料非常**简明扼要**，坚决拒绝堆砌一堆让人无所适从的资料。现在网络高速发达，可以下载到很多资料，但不是所有资料都有用。为了减少大家挑选和消化资料的时间，配套资料都来自经典，也是凌智团队现在还一直参考使用的资料。

还有很多的开发板特色我们就不一一列出，随着对开发板的深入使用，会给大家带来更多的惊喜！套一句赵本山大叔的话：“谁用谁知道”，☺！

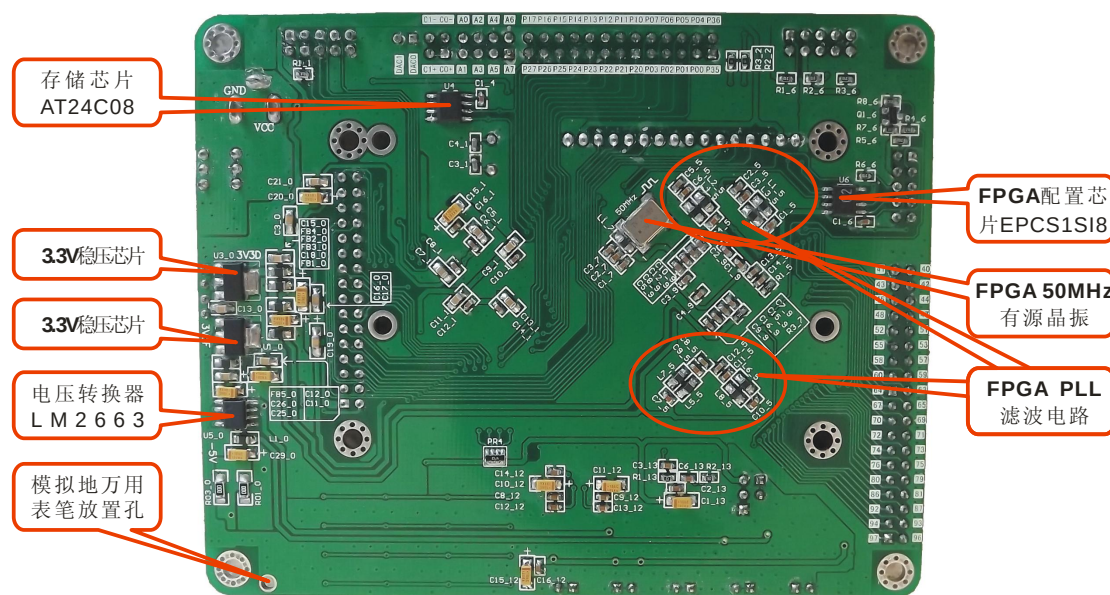
这是一块非常适合作为电子系统设计、学习、项目开发的开发板，也非常适合作为电子设计竞赛、课程实验、课程设计和毕业设计的系统板使用！

1.2 开发板硬件资源初探

凌智电子系统设计开发板的硬件资源如图 1.2.1 所示。



开发板正面资源



开发板背面资源

图 1.2.1 凌智电子系统设计开发板硬件资源

凌智电子系统设计开发板板载主要资源和功能如表 1.2.2~1.2.5 所列。

表 1.2.2 电源模块主要资源

序号	型号/名称	数量	功能
1	+5V 开关稳压电源输入接口	1	为整块板供电，外径 5mm，内径 3.5mm，内正外负
2	电源开关	1	按下接通电源
3	共模电感	1	消除电源共模干扰等
4	电源指示灯	1	开发板通电指示
5	AS1117-1.2	1	1.2V 稳压芯片，为 FPGA 内核和 PLL 提供电源
6	AS1117-3.3	2	3.3V 稳压芯片，分别给 FPGA、C8051F020 等模块供电
7	LM2663	1	电压转换器，+5V 转 -5V，供高速 AD/DA/比较器使用
8	数字地接口	4	系统调试用
9	模拟地接口	5	系统调试用
10	万用表笔地线插孔	1	模拟地万用表笔地线放置孔
11	其它（如磁珠等）	若干	开关电源作模数综合系统的关键所在

表 1.2.3 C8051F020 单片机系统主要资源

序号	型号/名称	数量	功能
1	C8051F020	1	高级 SoC 单片机芯片，作为开发板的微控制器和低速模数系统芯片
2	22.1184MHz 晶振	1	提供 C8051F020 系统工作主时钟
3	C8051F020 12 位 DAC 接口	2	C8051F020 内置 12 位电压型 DAC 的输出接口
4	C8051F020 比较器接口	4	C8051F020 内置比较器的输入接口
5	C8051F020 12 位 ADC 接口	8	C8051F020 内置 12 位 ADC 的输入接口
6	C8051F020 复位按钮	1	C8051F020 单片机的复位
7	C8051F020 JTAG 接口	1	支持在线仿真、调试和下载单片机程序
8	LCD1602 接口	1	字符型 1602 液晶插座
9	2.8'彩屏液晶接口	1	真彩色、2.8 寸 tft 液晶，触摸屏以及 SD 卡插座
10	C8051F020 引出 I/O 口	26	C8051F020 系统未使用的引脚，引出供用户设计用
11	LED 指示灯	2	供用户开发调试用
12	AT24C08	1	EEPROM 存储芯片，8kb，用于数据存储
13	4×4 矩阵键盘	1	用户数据/命令输入

表 1.2.4 FPGA 开发系统主要资源

序号	型号/名称	数量	功能
1	EP2C5T144C8N	1	Altera Cyclone II FPGA 系列芯片，系统逻辑和算法设计
2	50MHz 有源晶振	1	提供 FPGA 系统工作主时钟
3	PLL 滤波电路	若干	提供 FPGA 系统工作的其它时钟
4	EPCS1SI8	1	FPGA 配置芯片，固化程序，1Mbits
5	FPGA 配置按钮	1	按下后，系统重新从 EPCS1 配置芯片中读取程序后工作
6	FPGA 复位按钮	1	复位 FPGA 系统
7	FPGA JTAG 接口	1	JTAG 方式下载.sof 文件，速度快，掉电丢失

序号	型号/名称	数量	功能
8	FPGA AS 接口	1	AS 方式下载.pof 文件，速度较慢，最后固化 FPGA 程序用
9	下载指示灯 D1_6	1	下载 FPGA 程序时灯亮
10	FPGA 引出 I/O 口	38	FPGA 系统未使用的引脚，引出供用户设计用

表 1.2.5 高速 AD、DA 和比较器模块主要资源

序号	型号/名称	数量	功能
1	ADS822E	1	高速 10 位 ADC 芯片，40MHz 采样率，带片内基准
2	高速 ADC 输入接口	1	高速模拟信号输入接口
3	OPA2690	1	ADS822E 前端信号调理的高速运放芯片
4	DAC900E	1	高速 10 位 DAC 芯片，165 MSPS 输出更新速率、带片内基准
5	高速 DAC 输出接口	1	高速模拟信号输出接口
6	OPA690	1	DAC900E 后端信号调理的高速运放芯片
7	高速 DAC 基准选择接口	1	使用短路套选择 DAC900E 使用片内还是片外基准电压
8	高速 DAC 基准输入接口	1	DAC900E 使用片外基准时，片外基准电压的输入端
9	TL3016	1	高速比较器，其传播延迟时间为 7.6 ns
10	高速比较器输入接口	1	外部周期性信号源（如正弦波、方波、三角波等）的输入端口，信号频率最大可达 11MHz
11	高速比较器输出接口	1	高速模拟比较之后，方波输出接口；用短路套连接后，和 FPGA 的引脚直接相连，成为 FPGA 系统的外设

1.3 C8051F020 单片机简介

C8051F020 器件是完全集成的混合信号片上系统型 MCU，具有 64 个数字 I/O 引脚。其内部资源的功能框图如图 1.3.1 所示。下面列出了一些主要特性：

- 高速、流水线结构的 8051 兼容的 CIP-51 内核（可达 25MIPS）
- 全速、非侵入式的在系统调试接口（片内）
- 真正 12 位 100 ksp/s 的 8 通道 ADC，带 PGA 和模拟多路开关
- 两个 12 位电压输出 DAC，可编程更新时序
- 64KB 可在系统编程的 FLASH 存储器
- 4352(4096+256) 字节片内 RAM
- 可寻址 64k 字节地址空间的外部数据存储器接口
- 硬件实现的 SPI、SMBus/I²C、两个 UART 串行接口
- 5 个通用的 16 位定时器
- 具有 5 个捕捉/比较模块的可编程计数器/定时器阵列（PCA）
- 片内上电复位、VDD 监视器和温度传感器
- 片内电压比较器
- 64 个端口 I/O（容许 5V 输入）

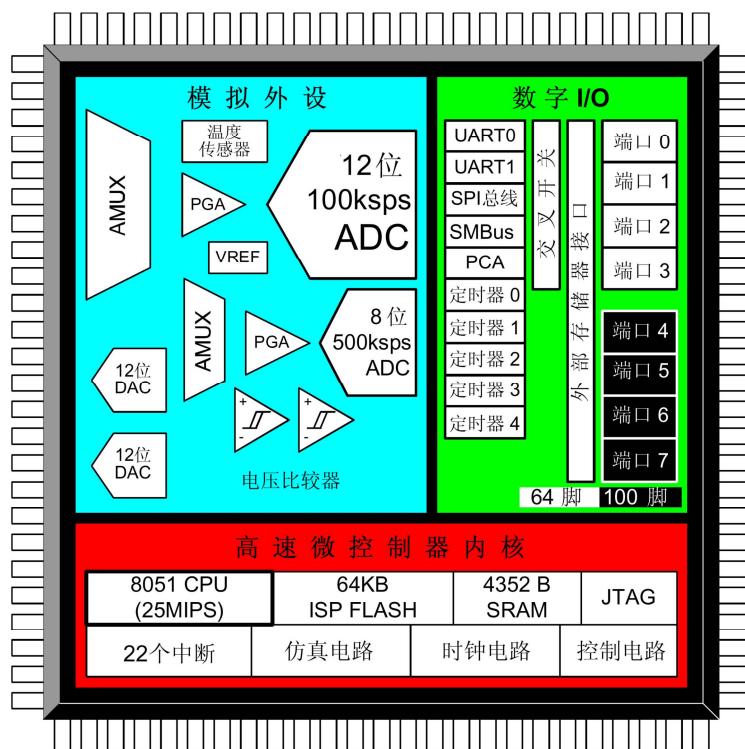


图 1.3.1 C8051F020 功能框图

具有片内上电复位、VDD 监视器、看门狗定时器和时钟振荡器的 C8051F020 是真正能独立工作的片上系统。FLASH 存储器还具有在系统重新编程能力，可用于非易失性数据存储，并允许现场更新 8051 固件。用户软件对所有外设具有完全的控制，可以关断任何一个或所有外设以节省功耗。C8051F020 原理框图如图 1.3.2 所示。

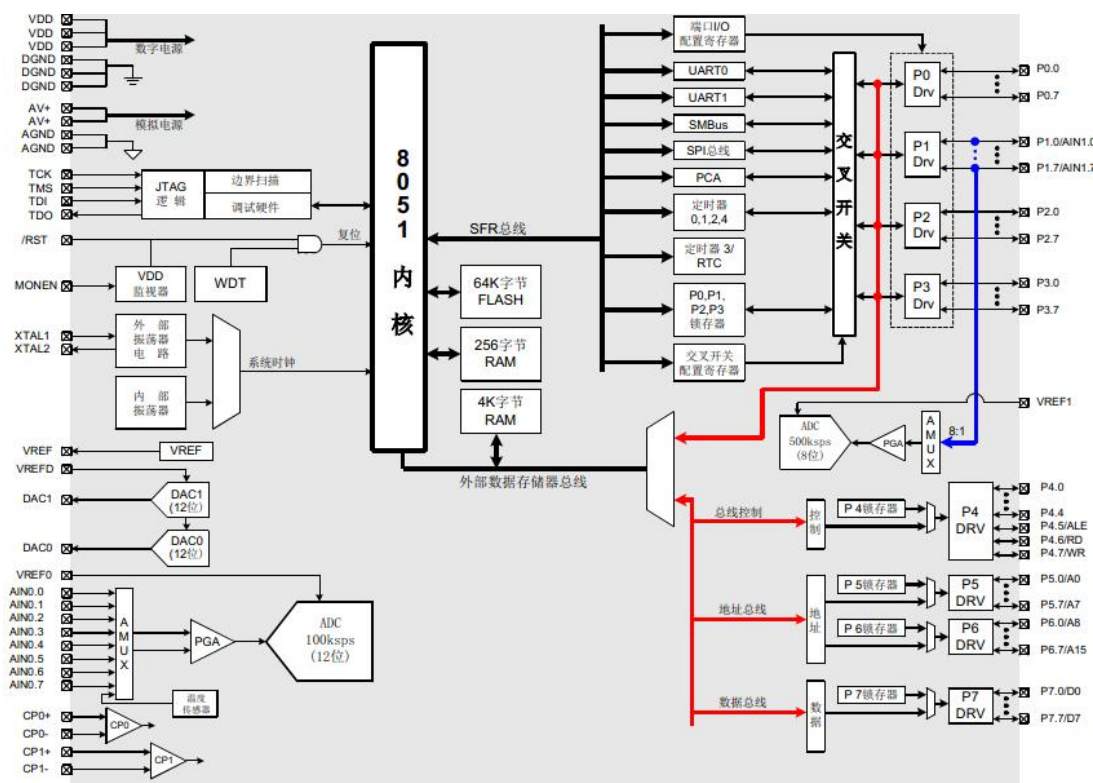


图 1.3.2 C8051F020 原理框图

1.1.1.1 CIP-51 微控制器核

C8051F020 单片机使用 Silabs 的专利 CIP-51 微控制器内核。CIP-51 与 MCS-51 指令集完全兼容，可以使用标准 803x/805x 的汇编器和编译器进行软件开发。CIP-51 内核具有标准 8052 的所有外设部件，包括 5 个 16 位计数器/定时器、两个全双工 UART、256 字节内部 RAM、128 字节特殊功能寄存器（SFR）地址空间及 8 个字节宽的 I/O 端口。

CIP-51 采用流水线结构，与标准的 8051 结构相比指令执行速度有很大的提高。在一个标准的 8051 中，除 MUL 和 DIV 以外所有指令都需要 12 或 24 个系统时钟周期，最大系统时钟频率为 12-24MHz。而对于 CIP-51 内核，70% 的指令的执行时间为 1 或 2 个系统时钟周期。简单说，**C8051F020 的速度可以至少是普通 8051 的单片机 12 倍。**

1.1.1.2 振荡器

C8051F020 单片机有一个内部振荡器和一个外部振荡器驱动电路，每个驱动电路都能产生系统时钟。MCU 在复位后从内部振荡器启动。内部振荡器可以被允许/禁止，其振荡频率可以用内部振荡器控制器(OSCICN)设置，如图 1.1.2.1 所示。

当/RST 引脚为低电平时，两个振荡器都被禁止。MCU 可以从内部振荡器或外部振荡器运行，可使用 OSCICN 寄存器中的 CLKSL 位在两个振荡器之间随意切换。

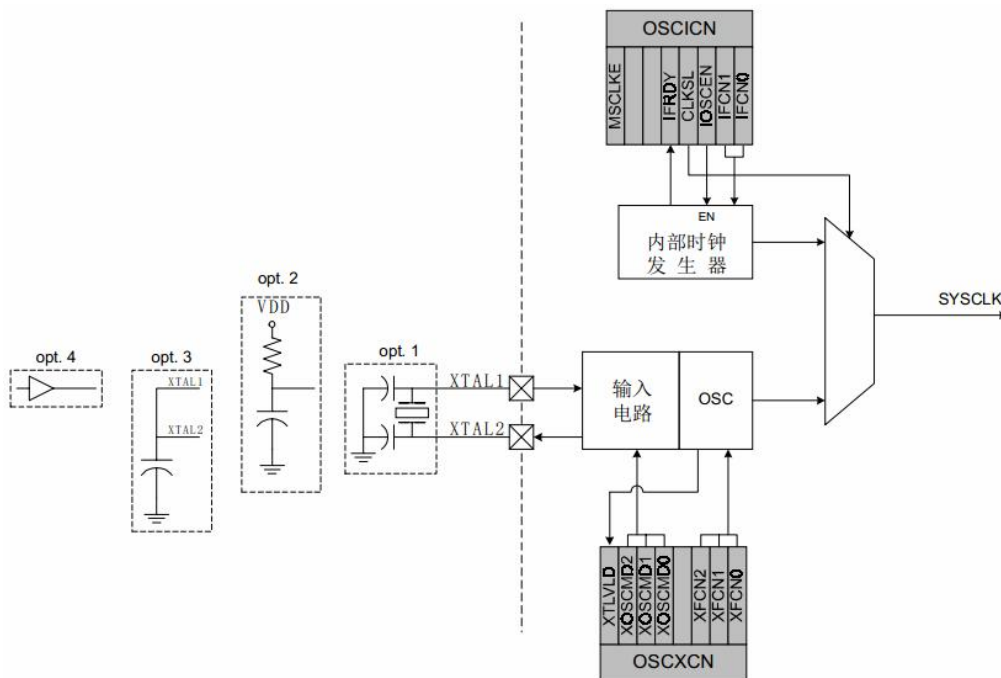


图 1.1.2.1 振荡器框图

1.1.1.3 复位源

复位电路允许很容易地将控制器置于一个预定的缺省状态。在进入复位状态时，将发生以下过程：

- CIP-51 停止程序执行
- 特殊功能寄存器（SFR）被初始化为所定义的复位值
- 外部端口引脚被置于一个已知状态

➤ 中断和定时器被禁止

所有的 SFR 都被初始化为预定值。在复位期间内部数据存储器的内容不发生改变，复位前存储的数据保持不变。但由于堆栈指针 SFR 被复位，堆栈实际上已丢失，尽管堆栈中的数据未发生变化。

端口 I/O 锁存器的复位值为 0xFF（全部为逻辑‘1’），处于漏极开路方式。在复位期间和复位之后弱上拉被使能。对于 VDD 监视器和上电复位，/RST 引脚被驱动为低电平，直到器件退出复位状态。

在退出复位状态时，程序计数器（PC）被复位，MCU 使用内部振荡器运行在 2MHz 作为默认的系统时钟。看门狗定时器被使能，使用其最长的超时时间。一旦系统时钟源稳定，程序从地址 0x0000 开始执行。

有 7 个能使 MCU 进入复位状态的复位源：上电/掉电、外部/RST 引脚、外部 CNVSTR 信号、软件命令、比较器 0、时钟丢失检测器及看门狗定时器。

复位源框图如图 1.1.3.1 所示。

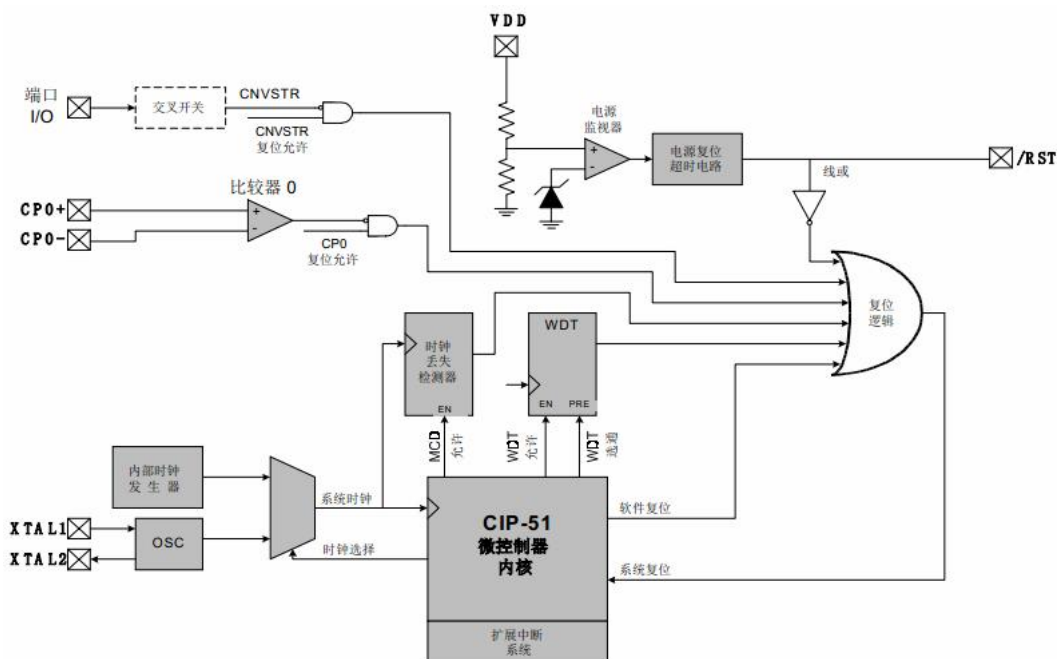


图 1.1.3.1 复位源框图

1.1.4 片内存储器

CIP-51 有标准 8051 的程序和数据地址配置。它包括 256 字节的数据 RAM，其中高 128 字节为双映射。用间接寻址访问通用 RAM 的高 128 字节，用直接寻址访问 128 字节的 SFR 地址空间。数据 RAM 的低 128 字节可用直接或间接寻址方式访问。前 32 个字节为 4 个通用寄存器区，接下来的 16 字节既可以按字节寻址也可以按位寻址。

C8051F020 中的 CIP-51 还另有位于外部数据存储器地址空间的 4K 字节的 RAM 块和一个可用于访问外部数据存储器的外部存储器接口(EMIF)。这个片内的 4K 字节 RAM 块可以在整个 64K 外部数据存储器地址空间中被寻址(以 4K 为边界重叠)。外部数据存储器地址空间可以只映射到片内存储器、只映射到片外存储器、或两者的组合(4K 以下的地址指向片内,4K 以上的地址指向 EMIF)。EMIF 可以被配置为地址/数据线复用方式或非复用方式。

MCU 的程序存储器包含 64K 字节的 FLASH。该存储器以 512 字节为一个扇区，可以在系统编程，且不需特别的编程电压。从 0xFE00 到 0xFFFF 的 512 字节被保留，由工厂使

用。还有一个位于地址 0x10000 - 0x1007F 的 128 字节的扇区，该扇区可作为一个小的软件常数表使用。图 1.1.4.1 给出了 MCU 系统的存储器结构。

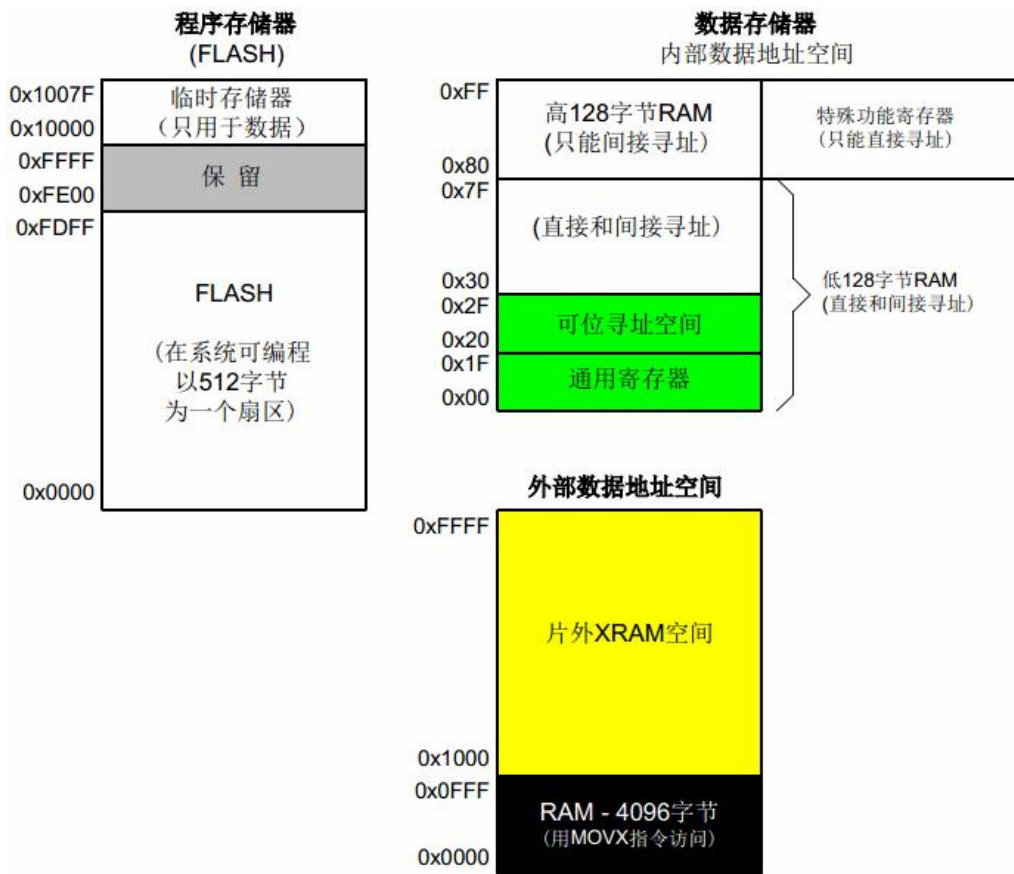


图 1.1.4.1 片内存储器组织

1.1.5 JTAG 调试和边界扫描

C8051F020 系列具有片内 JTAG 边界扫描和调试电路，通过 4 脚 JTAG 接口并使用安装在最终应用系统中的产品器件就可以进行非侵入式、全速的在系统调试。该 JTAG 接口完全符合 IEEE 1149.1 规范，为生产和测试提供完全的边界扫描功能。

Silabs 的调试系统支持观察和修改存储器和寄存器，支持断点、观察点、堆栈指示器和单步执行。不需要额外的目标 RAM、程序存储器、定时器或通信通道。在调试时所有的模拟和数字外设都正常工作。当 MCU 单步执行或遇到断点而停止运行时，所有的外设(ADC 和 SMBus 除外)都停止运行，以保持同步。

对于开发和调试嵌入式应用来说，该系统的调试功能比采用标准 MCU 仿真器要优越得多。标准的 MCU 仿真器要使用在板仿真芯片和目标电缆，还需要在应用板上有 MCU 的插座。Silabs 的调试环境既便于使用又能保证精确模拟外设的性能。

1.1.6 可编程数字 I/O 和交叉开关

该系列 MCU 具有标准 8051 的端口 (0、1、2 和 3)。在 C8051FF020 中有 4 个附加的端口(4、5、6 和 7)，因此共有 64 个通用端口 I/O。这些端口 I/O 的工作情况与标准 8051 相似，但有一些改进。

每个端口 I/O 引脚都可以被配置为推挽或漏极开路输出。在标准 8051 中固定的“弱上拉”可以被总体禁止，这为低功耗应用提供了进一步节电的能力。

可能最独特的改进是引入了数字交叉开关。这是一个大的数字开关网络，允许将内部数字系统资源映射到 P0、P1、P2 和 P3 的端口 I/O 引脚（见图 1.1.6.1）。与具有标准复用数字 I/O 的微控制器不同，这种结构可支持所有的功能组合。

可通过设置交叉开关控制寄存器将片内的计数器/定时器、串行总线、硬件中断、ADC 转换启动输入、比较器输出以及微控制器内部的其它数字信号配置为出现在端口 I/O 引脚。这一特性允许用户根据自己的特定应用选择通用端口 I/O 和所需数字资源的组合。

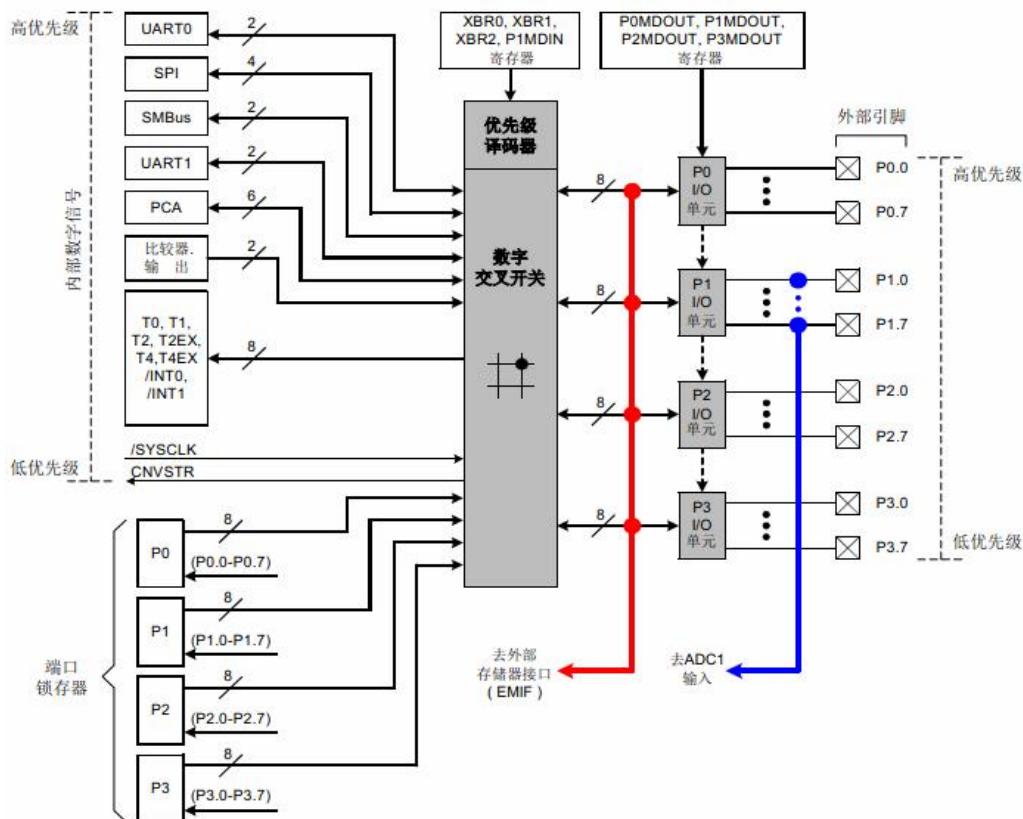


图 1.1.6.1 数字交叉开关原理框图

1.1.7 串行端口

C8051F020 系列 MCU 内部有两个增强型全双工 UART、SPI 总线和 SMBus/I2C。每种串行总线都完全用硬件实现，都能向 CIP-51 产生中断，因此需要很少的 CPU 干预。这些串行总线不“共享”定时器、中断或端口 I/O 等资源，所以可以使用任何一个或全部同时使用。

1.1.8 可编程计数器阵列（PCA）

除了 5 个 16 位的通用计数器/定时器之外，C8051F020 MCU 系列还有一个片内可编程计数器/定时器阵列（PCA）。PCA 包括一个专用的 16 位计数器/定时器时间基准和 5 个可编程的捕捉/比较模块。时间基准的时钟可以是下面的六个时钟源之一：系统时钟/12、系统时钟/4、定时器 0 溢出、外部时钟输入（ECI）、系统时钟和外部振荡源频率/8。

每个捕捉/比较模块都有六种工作方式：边沿触发捕捉、软件定时器、高速输出、频率

输出、8 位脉冲宽度调制器和 16 位脉冲宽度调制器。PCA 捕捉/ 比较模块的 I/O 和外部时钟输入可以通过数字交叉开关连到 MCU 的端口 I/O 引脚。

PCA 原理框图如图 1.1.8.1 所示。

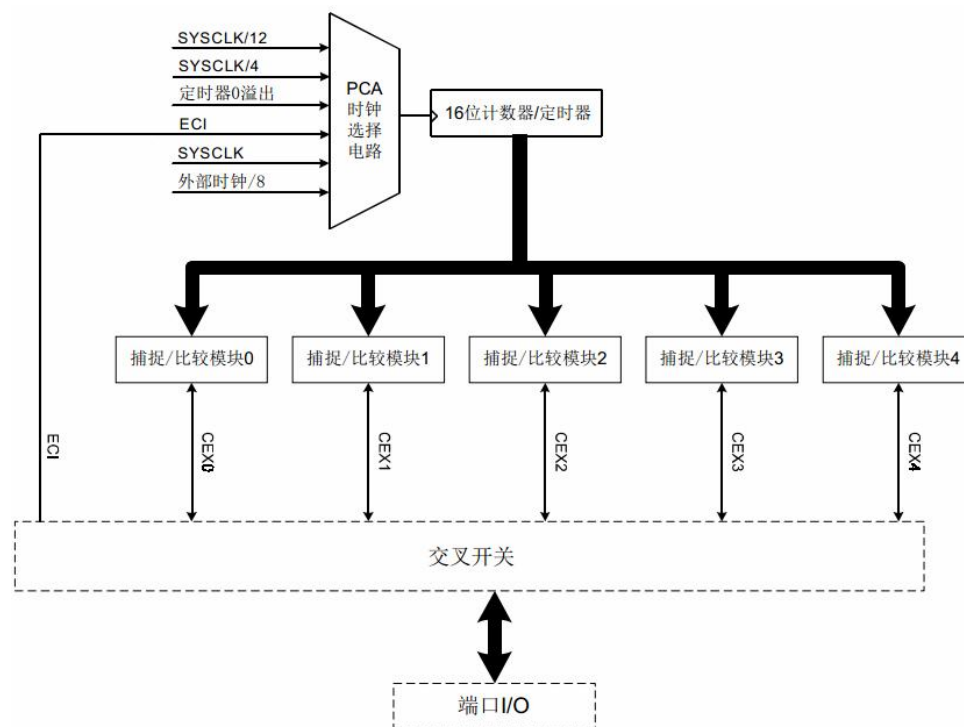


图 1.1.8.1 PCA 原理框图

1.1.9 12 位模/数转换器

C8051F020 有一个片内 12 位 SAR ADC (ADC0)。一个 9 通道输入多路选择开关和可编程增益放大器。该 ADC 工作在 100ksps 的最大采样速率时可提供真正的 12 位精度, INL 为 $\pm 1\text{LSB}$ 。ADC0 的电压基准可以在 DAC0 输出和外部 VREF 引脚之间选择。对于 C8051F020 器件, ADC0 有其专用的 VREF0 输入引脚;

ADC 完全由 CIP-51 通过特殊功能寄存器控制。有一个输入通道被连到内部温度传感器, 其它 8 个通道接外部输入。8 个外部输入通道的每一对都可被配置为两个单端输入或一个差分输入。系统控制器可以将 ADC 置于关断状态以节省功耗。

可编程增益放大器接在模拟多路选择器之后, 增益可以用软件设置, 从 0.5 到 16 以 2 的整数次幂递增。当不同 ADC 输入通道之间输入的电压信号范围差距较大或需要放大一个具有较大直流偏移的信号时 (在差分方式, DAC 可用于提供直流偏移), 这个放大环节是非常有用的。

A/D 转换有 4 种启动方式: 软件命令、定时器 2 溢出、定时器 3 溢出和外部信号输入。这种灵活性允许用软件事件、外部硬件信号或周期性的定时器溢出信号触发转换。一次转换完成可以产生一个中断, 或者用软件查询一个状态位来判断转换结束。在转换完成后, 12 位转换结果数据字被锁存到两个特殊功能寄存器中。这些数据字可以用软件控制为左对齐或右对齐。

窗口比较寄存器可被配置为当 ADC 数据位于一个规定的范围之内或之外时向控制器申请中断。ADC 可以用后台方式监视一个关键电压, 当转换数据位于规定的窗口之内时才向控制器申请中断。

12 位 ADC 原理框图如图 1.1.9.1 所示。

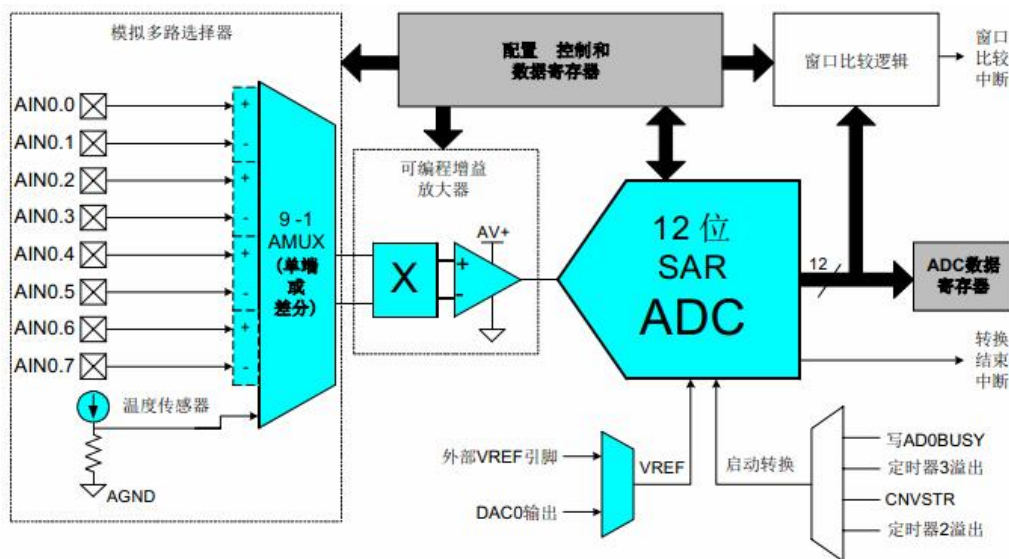


图 1.1.9.1 12 位 ADC 原理框图

1.1.10 8 位模/数转换器

C8051F020 有一个片内 8 位 SAR ADC (ADC1)，带有一个 8 通道输入多路选择器和可编程增益放大器。该 ADC 工作在 500ksps 的最大采样速率时可提供真正的 8 位精度，INL 为 $\pm 1\text{LSB}$ 。有 8 个用于测量的输入端。ADC1 完全由 CIP-51 通过特殊功能寄存器控制。ADC0 的电压基准可以在模拟电源电压 ($AV+$) 和外部 VREF 引脚之间选择。对于 C8051F020 器件，ADC1 有其专用的 VREF1 输入引脚。用户软件可以将 ADC1 置于关断状态以节省功耗。

可编程增益放大器接在模拟多路选择器之后。当不同 ADC 输入通道之间输入的电压信号范围差距较大或需要局部放大一个具有较大直流偏移的信号时（在差分方式，DAC 可用于提供直流偏移），这个放大环节是非常有用的。PGA 增益可以用软件设置为 0.5、1、2 或 4。

灵活的转换控制系统允许用软件命令、定时器溢出或外部信号启动 ADC1 转换。用软件命令可以使 ADC1 与 ADC0 同步转换。一次转换完成可以产生中断（如果被允许），或者用软件查询一个状态位来判断转换结束。在转换完成后，8 位数据字被锁存到一个特殊功能寄存器中。

8 位 ADC 原理框图如图 1.1.10.1 所示。



图 1.1.11.1 比较器原理框图

1.1.12 12 位电压输出 DAC

C8051F020 系列 MCU 内部有两个 12 位 DAC。每个 DAC 的输出摆幅均为 0V 到 (VREF-1LSB)，对应的输入码范围是 0x000 到 0xFFF。MCU 和 DAC 之间的数据和控制接口通过特殊功能寄存器实现。MCU 可以将任何一个 DAC 或比较器置于低功耗关断方式。

DAC 为电压输出方式有灵活的输出更新机制。这一机制允许用软件写和定时器 2、定时器 3 及定时器 4 的溢出信号更新 DAC 输出。C8051F020 的 DAC 之电压基准由专用的 VREFD 输入引脚提供。DAC 在作为比较器的参考电压或为 ADC 差分输入提供偏移电压时非常有用。

12 位 ADC 原理框图如图 1.1.12.1 所示。

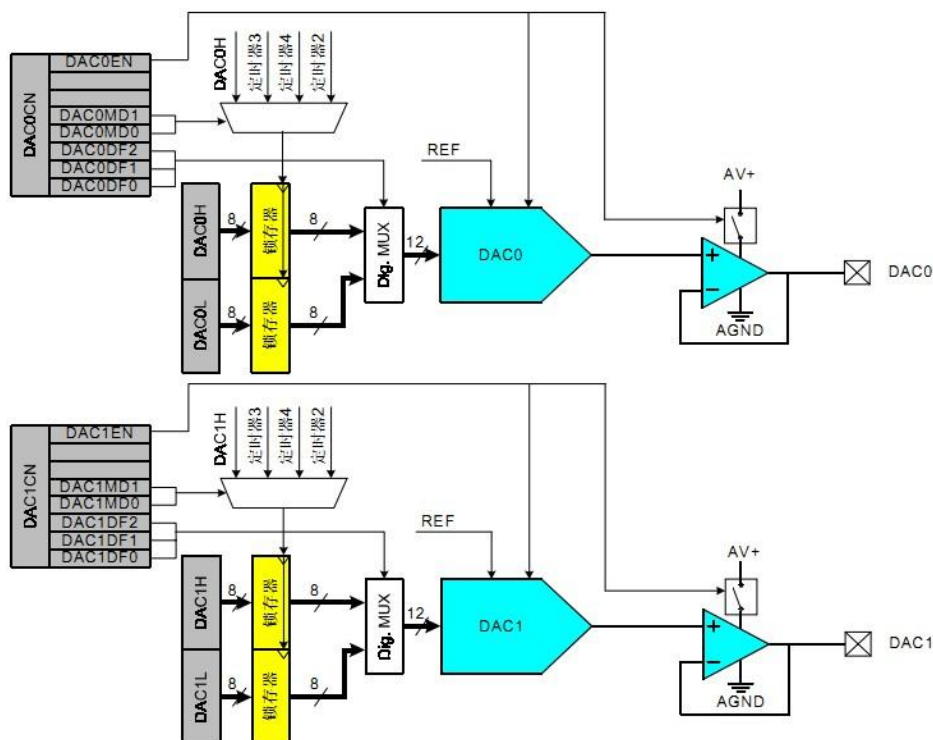


图 1.1.12.1 12 位 DAC 原理框图

1.1.13 电压基准

电压基准电路为控制 ADC 和 DAC 模块工作提供了灵活性。有三个电压基准输入引脚。允许每个 ADC 和两个 DAC 使用一个外部电压基准或片内电压基准输出。通过配置 VREF 模拟开关，ADC0 还可以使用 DAC0 的输出作为内部基准，ADC1 可以使用模拟电源电压作为基准。内部基准电压可以通过 VREF 引脚连到应用系统中的外部器件。如图 1.1.13.1 所示。



EP2C5T144C8 的主要资源如表 1.4.1 所列。

表 1.4.1 EP2C5T144C8 的主要资源

凌智电子系统设计开发板使用了 ADS822E、DAC900E、TL3016、OPA2690 和 OPA690 等高速模拟器件。这些器件的功能、选型理由、结构、电气特性和电路设计等内容分别见本章 1.1.2、1.1.3 小节以及第 2 章 2.5 节，本节不再赘述。

主要开发软件如下:

- C8051F020 单片机开发软件: Keil C51 μ Vision4 V9.06;
- FPGA 开发软件: Quartus II 9.0。

开发板提供了多达 66 个实验/项目例程，如表 1.6.1 所列。

表 1.6.1 开发板提供的实验/项目例程

归类	序号	实验/项目名称	章节	程序文档名称
单片机系统	1	程序延时研究实验	4.1	_1_Delay
	2	点亮一个 LED 灯驱动实验	4.2	_2_LightOneLED
	3	循环逐个点亮 2 个 LED 灯实验	4.2	_3_CircleTwoLED
	4	1602 字符型液晶显示实验	4.3	_4_LCD1602_test
	5	定时器 0 8bit 自动重装载实验	4.4	_5_Timer0_8bitReloadTimer
	6	定时器 0 13bit 门控计数实验	4.4	_6_Timer0_13bitExtTimer
	7	定时器 0 13bit 的定时实验	4.4	_7_Timer0_13bitTimer
	8	定时器 0 16bit 的定时实验	4.4	_8_Timer0_16bitTimer
	9	定时器 0 双 8bit 定时实验	4.4	_9_Timer0_two_8bitTimers
	10	定时器 2 16bit 外部捕捉及定时实验	4.4	_10_Timer2_16bitCaptureTimer
	11	定时器 2 16bit 自动重装载的定时实验	4.4	_11_Timer2_16bitReloadTimer
	12	矩阵式键盘实验	4.5	_12_keyboard_ReverseScan
	13	DAC (12 Bit)实验一：根据软件命令更新输出实验	4.6	_13_DAC 12bit test_1
	14	DAC (12 Bit)实验二：基于定时器 (2、3、4) 溢出的输出更新实验	4.6	_14_SineCosine
	15	ADC0 (12 Bit)实验一：向 ADC0CN 的 AD0BUSY 位写 1 启动 ADC0 实验	4.7	_15_ADC0_AD0BUSYwrite1
	16	ADC0 (12 Bit)实验二：外部 ADC 转换启动信号 CNVSTR 的上升沿启动 ADC0 实验	4.7	_16_ADC0_AD0CNVSTR
	17	ADC0 (12 Bit)实验三：定时器 2 溢出启动 ADC0 实验	4.7	_17_ADC0_AD0Timer2
	18	ADC0 (12 Bit)实验四：定时器 3 溢出启动 ADC0 实验	4.7	_18_ADC0_AD0Timer3andPGA
	19	ADC0 (12 Bit)实验五：片内温度传感器实验	4.7	_19_Internal_Temperature_Sensor
	20	ADC1 (8 Bit) 实验一：向 ADC1CN 的 AD1BUSY 位写 1 启动 ADC1 实验	4.8	_20_ADC1_ADC1BUSUwrite1
	21	ADC1 (8 Bit)实验二：外部 ADC 转换启动信号 CNVSTR 的上升沿启动 ADC1 实验	4.8	_21_ADC1_ADC1CNVSTR
	22	ADC1 (8 Bit)实验三：定时器 2 溢出启动 ADC1 实验	4.8	_22_ADC1_ADC1Timer2
	23	ADC1 (8 Bit)实验四：定时器 3 溢出启动 ADC1 实验	4.8	_23_ADC1_ADC1Timer3andPGA
	24	PCA 实验一：8bit PWM 输出实验	4.9	_24_PCA0_8Bit_PWM_Output
	25	PCA 实验二：16bit PWM 输出实验	4.9	_25_PCA0_16Bit_PWM_Output
	26	PCA 实验三：PCA0 捕获输入 PCA0 捕获输入	4.9	_26_PCA0_Capture_Input
	27	PCA 实验四：PCA0 频率输出实验	4.9	_27_PCA0_Frequency_Output
	28	PCA 实验五：PCA0 高速输出实验	4.9	_28_PCA0_High_Speed_Output
	29	外部中断实验一：外部中断 0、1 中断实验	4.10	_29_External_Interrupts_0_1
	30	外部中断实验二：外部中断 6 中断实验	4.10	_30_External_Interrupts_6
	31	比较器实验：比较器 0 上升沿中断	4.11	_31_CP0

归类	序号	实验/项目名称	章节	程序文档名称
现代 数字 系统	32	EEPROM 实验	4.12	_32_EEPROM
	33	TFT 实验	4.13	_33_TFT 实验
	34	触摸屏实验	4.14	_34_触摸屏实验
	35	SD 卡数据读写实验	4.15	_35_SD 卡数据读写实验
	36	数据比较器	6.1.1	_36_comp
	37	2 路选择器	6.1.2	_37_mux2_1
	38	4 路选择器	6.1.3	_38_mux4_1
	39	编码器	6.1.4	_39_encder
	40	3-8 译码器（用 case 语句描述）	6.1.5	_40_decoder3_8_case
	41	3-8 译码器（用 if...else 语句描述）	6.1.6	_41_decoder_3_8_if_else
	42	全加器	6.1.7	_42_adder4
	43	三态双向驱动器	6.1.8	_43_double_io
	44	4 位计数器	6.2.1	_44_cnt4
	45	任意整数分频器	6.2.2	_45_clk_div_5
	46	数据寄存器	6.2.3	_46_reg_4
	47	移位寄存器	6.2.4	_47_shift_right_4
	48	并串转换电路	6.2.5	_48_pal_serial_4
	49	边沿脉冲发生器	6.2.6	_49_pulse_test
	50	阻塞赋值和非阻塞赋值	6.2.7	_50_block_nonblock
	51	只读存储器 rom 的使用	6.3.1	_51_sin_rom
综合 系统	52	随机存储器 ram 的使用	6.3.2	_52_ram
	53	先进先出 FIFO 存储器的使用	6.3.3	_53_fifo_use
	54	基于 FPGA 的 LED 灯实验	6.4	_54_Led_shift_left
	55	巴克码发生器和识别器的设计	6.5	_55_巴克码发生器、识别器、测试工程
	56	循环码编码器和循环码译码器	6.6	_56_循环码编码和测试、译码和测试
	57	基于 C8051F020 的简易数字频率计	7.2	基于 C8051F020 的简易数字频率计
	58	基于 FPGA 的高速数据采集系统	7.3	基于 FPGA 的高速数据采集系统
国赛 实践	59	基于 DDS 的信号源系统	7.4	基于 DDS 的信号源系统
	60	波形整形与高速计数系统	7.5	波形整形与高速计数系统
	61	M 序列发生器	7.6	M 序列发生器
	62	单片机与 FPGA 的 SPI 数据通信	7.7	单片机与 FPGA 的 SPI 数据通信
	63	基于双 DA 的幅值控制系统	7.8	基于双 DA 的幅值控制系统
	64	简易数字频率计设计(97 国赛 B)	8.1	在“\电子系统设计开发板 V1.1 配套资料\5_全国电赛项目（呕心力作）”文档下
	65	简易逻辑分析仪(2003 国赛 D)	8.2	
	66	正弦信号发生器(2005 国赛 A)	8.3	

1.7 开发板使用注意事项

1、请大家在开始开发之前，详细阅读引言、第1章和第2章的内容，请相信，“砍柴不误磨刀功”。

2、**外接电源必须是+5V 的电源**，插头有极性，内正外负。请使用随板配套的+5V 开关稳压电源，配套电源的纹波系数比较小，而市售大多开关电源的纹波系数很大。

3、为了保证模拟输入保护电路不对开发高速、高精度系统的影响，**本开发板的所有模拟输入部分均没有设计输入保护电路**，使用时请注意：一是系统供电必须是+5V，二是输入信号不要超过相应的输入范围（具体请参考第2章电路设计部分）。

4、高速模拟模块，输入或输出信号脚和地线是用两个连在一起的插针，注意使用时避免短接。

5、板子放置的桌面区域不要有金属物品，以免造成短路。

6、触摸屏属于易碎物品，请注意保护。

7、板子出厂时板载 1997 年全国电子设计竞赛——简易数字频率计程序，供大家开箱测试，测试方法如图 1.7.1 所示。

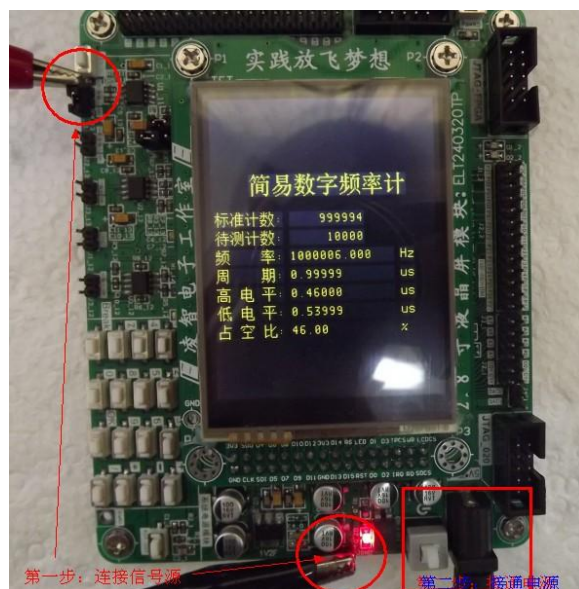


图 1.7.1 开箱测试开发板步骤

8、切忌不要带电拔插板上的下载线，否则容易损坏 C8051F 单片机和 FPGA 芯片！正确操作流程：

- **连接：**断电→连接下载线→上电
- **断开：**断电→拔下下载线