

## 特点

- 兼容MCS<sup>®</sup>51个产品
- 在系统可编程（ISP）闪存程序存储器12K字节
  - 对下载程序的SPI串行接口
  - 耐力：10,000写/擦除周期
- 2K字节的EEPROM数据存储器
  - 耐力：100,000写/擦除周期
- 64字节用户签名数组
- 2.7V至5.5V工作电压范围
- 全静态操作：0 Hz至24 MHz的（在x1和x2模式）
- 三级程序存储器锁定
- 256 × 8位内部RAM
- 32个可编程I/O线
- 3个16位定时器/计数器
- 九中断源
- 增强型UART串行接口与帧错误检测和自动地址识别
- 增强的SPI（双读/写缓冲）串行接口
- 低功耗空闲和掉电模式
- 恢复中断从掉电模式
- 可编程看门狗定时器
- 双数据指针
- 断电标志
- 灵活的SP编程（字节和页模式）
  - 页面模式：64字节/页的程序存储器，32字节/页的数据存储器
- 四级增强型中断控制器
- 可编程和Fuseable X2时钟选项
- 内部上电复位
- 42引脚PDIP封装选项，可降低EMC辐射
- 绿色（无铅/无卤化物）的包装选项

## 1.描述

该AT89S8253是一种低功耗，高性能CMOS 8位微控制器12K字节的系统内可编程（ISP）闪存程序存储器和2K字节EEPROM数据存储器。该器件采用Atmel的高密度非制造非易失性存储器技术，与工业标准的MCS-51兼容指令集和引脚。片上下载Flash允许程序存储器中的存储器，以通过SPI串行接口或通过一个可在系统编程传统的非易失性存储器编程。通过结合一个多功能的8位CPU一个单芯片上可下载的闪存，Atmel的AT89S8253是一款功能强大微控制器提供了一个高度灵活和具有成本效益的解决方案很多嵌入式控制应用。

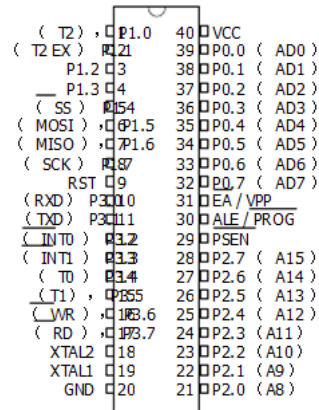


## 产品描述

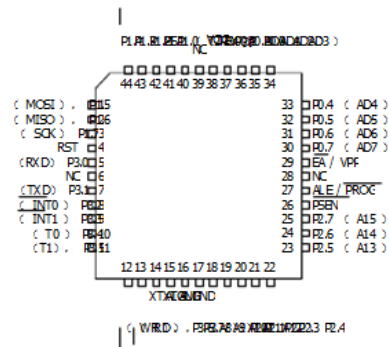
AT89S8253

## 2. 引脚配置

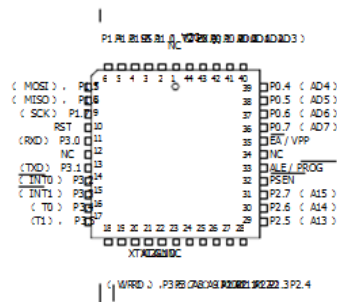
### 2.1 40P6 - 40引脚PDIP



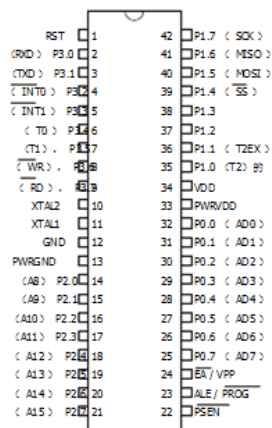
### 2.2 44A - 44引脚TQFP



### 2.3 44J - 44引脚PLCC



## 2.4 42PS6 - PDIP



## 3. 引脚说明

### 3.1 VCC

电源电压（除42 - PDIP所有的包）。

### 3.2 GND

地面（除42 - PDIP所有封装; 42引脚PDIP GND相连只有逻辑核心和嵌入式程序/数据存储器）。

### 3.3 VDD

电源电压为42引脚PDIP，连接唯一的逻辑核心和嵌入式程序/数据存储器。

### 3.4 PWRVDD

电源电压为42引脚PDIP，只有连接的I/O焊盘的驱动程序。应用板**必须**连接VDD和PWRVDD的电路板电源电压。

### 3.5 PWRGND

地面为42引脚PDIP，只有连接的I/O焊盘的驱动程序。PWRGND和GND通过共同的硅衬底的弱连接，但不通过任何金属链接。该应用板**必须**无论GND和PWRGND连接到电路板接地。

### 3.6 端口0

P0口是一个8位漏极开路双向I/O口。作为输出口，每位能驱动6 TTL输入。当1秒写入端口0引脚，引脚可作为高阻抗输入。

端口0也可以被配置成在访问多路复用的低位地址/数据总线外部程序和数据存储器。在这种模式下，P0具有内部上拉电阻。

P0口还可在Flash编程接收的字节代码，并输出代码字节很好地协同荷兰国际集团计划验证。**在程序的验证，需要外部上拉电阻。**

### 3.7 端口1

端口1是一个8位双向I/O和内部上拉电阻的端口。端口1输出缓冲器可  
 汇/源6 TTL逻辑电平。当1秒写入端口1引脚，它们被拉高弱  
 内部上拉，并可以作为输入。作为输入使用时，P1口被外部  
 拉低时将输出电流 (I<sub>OL</sub> 150 μA 一个典型的因为内部弱上拉的)。

一些端口1引脚提供额外的功能。P1.0和P1.1可以被配置为在  
 定时器/计数器2的外部计数输入 (P1.0/T2) 和定时器/计数器2的触发输入 (P1.1/T2EX)  
 分别。此外，P1.4，P1.5，P1.6，P1.7和可配置为SPI的从端口  
 选择，数据输入/输出和移位时钟输入/输出引脚作为示于下表中。

端口引脚	第二功能
P1.0	T2 (外部计数输入到定时器/计数器2)，时钟输出
P1.1	T2EX (定时器/计数器2捕捉/重装触发和方向控制)
P1.4	SS (从端口选择输入)
P1.5	MOSI (主数据输出，从机数据输入引脚SPI通道)
P1.6	MISO (主数据输入，从机数据输出引脚SPI通道)
P1.7	SCK (主控时钟输出，从机时钟输入引脚SPI通道)

端口1也接收过程中的Flash编程和校验低位地址字节。

### 3.8 端口2

端口2是一个8位双向I/O和内部上拉电阻的端口。端口2输出缓冲器可  
 汇/源6 TTL逻辑电平。当1秒写入端口2引脚，它们是拉高由弱  
 内部上拉，并可以作为输入。作为输入使用时，P2口被外部  
 拉低时将输出电流 (I<sub>OL</sub> 150 μA 一个典型的因为内部弱上拉的)。

端口2在从外部程序存储器 and 很好地协同取发出的高位地址字节  
 ING访问到使用16位地址的外部数据存储器 (MOVX @ DPTR)。在这  
 应用程序，P2口使用很强的内部上拉发送1。在外部访问  
 使用8位地址 (MOVX @ RI) 的数据存储器，端口2发出的P2的内容  
 特殊功能寄存器。

端口2还接收闪光期间的高位地址位和一些控制信号  
 编程和VERI网络阳离子。

### 3.9 端口3

端口3是一个8位双向I/O和内部上拉电阻的端口。端口3输出缓冲器可  
 汇/源6 TTL逻辑电平。当1秒写入端口3引脚，它们被拉高弱  
 内部上拉，并可以作为输入。作为输入使用时，P3口被外部  
 拉低时将输出电流 (I<sub>OL</sub> 150 μA 一个典型的因为内部弱上拉的)。

端口3收到对Flash编程和校验一些控制信号。

端口3也可以做其他不同的特殊功能AT89S8253的功能，如图所示  
 下面的表格。

端口引脚	第二功能
P3.0	RXD (串行输入端口)
P3.1	TXD (串行输出端口)
P3.2	INT0 (外部中断0) (1)
P3.3	INT1 (外部中断1) (1)
P3.4	T0 (定时器0外部输入)
P3.5	T1 (定时器1外部输入)
P3.6	WR (外部数据存储器写选通)
P3.7	RD (外部数据存储器读选通)

注意：1. 在端口1和端口2和端口3，几乎所有引脚上的所有引脚 (例外是P3.2 INT0和P3.3  
 INT1) 已在掉电模式下禁止其输入。端口引脚P3.2 (INT0) 和P3.3  
 (INT1) 的活性，即使在掉电模式 (能够检测一个中断请求退出  
 在掉电模式下)，因此仍然有其内部弱上拉开启。

### 3.10 RST

复位输入。高该引脚上至少有两个机器周期振荡器运行时重置设备。

### 3.11 ALE / PROG

地址锁存使能。ALE / PROG是一输出脉冲用于锁存地址的低字节（上在访问外部存储器的下降沿）。该引脚也用作编程输入脉冲（PROG）在Flash编程。

在正常操作中，ALE以1/6的恒定速率的振荡器频率，可以是用于外部定时或时钟的目的。但是请注意，一个ALE脉冲被跳过很好地协同荷兰国际集团每次访问外部数据存储器。

如果需要，ALE操作可以通过设置位的AUXR SFR的0在位置0EH被禁用。同该位设置，只有一条MOVX和MOVC指令ALE激活。否则，该引脚为弱拉高。设置ALE-禁止位没有任何影响，如果微控制器处于外部execu-化模式。

### 3.12 PSEN

程序存储启用。PSEN是读选通外部程序存储器（低电平有效）。

当AT89S8253执行外部程序存储器代码，PSEN被激活两次每个机器周期，除了两个PSEN激活期间，每次访问都被跳过外部数据存储器。

### 3.13 EA / VPP

外部访问允许。EA必须以允许在设备上读取绑定到GND从外部程序存储器位置的代码开始0000H到FFFFH。但是请注意，如果锁定位1被编程，EA将内部锁存复位。

EA应绑V  $\alpha$  内部程序执行。该引脚也接收12伏编程使能电压（V  $\mu$ ）期间，当12伏编程闪存编程选择。

### 3.14 XTAL1

输入到振荡器反相放大器和输入到内部时钟工作电路。

### 3.15 XTAL2

输出振荡器反相放大器。XTAL2应不开车一个板级的时钟，而不是一个缓冲器。