

特性

吞吐量：330 MSPS

三个8位DAC

RS-343A/RS-170兼容输出

互补输出

DAC输出电流范围：2.0 mA至26.5 mA

TTL兼容输入

1.235 V内部基准电压源

+5 V/+3.3 V单电源供电

48引脚LQFP和LFCSP封装

低功耗：30 mW（最小值，3 V）

低功耗（待机模式）：6 mW（典型值，3 V）

工业温度范围：-40°C至+85°C

无铅（Pb）封装

通过汽车应用认证

应用

数字视频系统

高分辨率彩色图形

数字无线电调制

图像处理

仪器仪表

视频信号重构

车载信息娱乐系统

概述

ADV7125 (ADV[®])是一款单芯片、三通道、高速数模转换器，内置三个高速、8位、带互补输出的视频DAC、一个标准TTL输入接口以及一个高阻抗、模拟输出电流源。

它具有三个独立的8位宽输入端口。只需一个+5 V/+3.3 V单电源和时钟便能工作。ADV7125还具有其他视频控制信号：复合SYNC和BLANK；以及省电模式。

ADV7125采用5 V CMOS工艺制造，单芯片CMOS架构

ADV是ADI公司的注册商标。

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

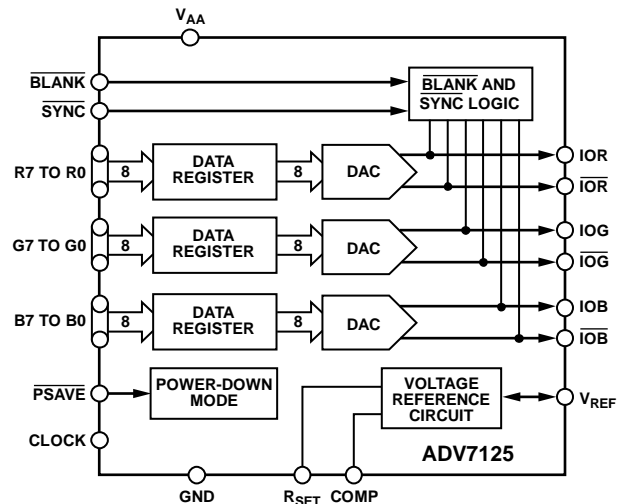


图1

可确保以较低功耗提供更多功能。ADV7125提供48引脚LQFP和48引脚LFCSP两种封装。

产品聚焦

1. 吞吐量：330 MSPS(仅需3.3 V电源)。
2. 保证8位单调性。
3. 与各种高分辨率彩色图形系统兼容，包括RS-343A和RS-170。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2002–2011 Analog Devices, Inc. All rights reserved.

Fax: 781.461.3113 ©2009–2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1
应用.....	1
功能框图.....	1
概述.....	1
产品聚焦.....	1
修订历史.....	2
技术规格.....	3
5 V电气特性.....	3
3.3 V电气特性.....	4
5 V时序规格.....	5
3.3 V时序规格.....	6
绝对最大额定值.....	7
ESD警告.....	7
引脚配置和功能描述.....	8
术语.....	10

修订历史

2011年2月—修订版B至修订版C

更改表6.....	8
-----------	---

2010年7月—修订版A至修订版B

更改“特性”部分.....	1
更改时钟频率参数和表4.....	6
更改图2.....	6
更改图4和图5.....	11
更改表7.....	12
更改订购指南的尾注.....	15
增加“汽车应用级产品”部分.....	15

2009年3月—修订版0至修订版A

更新格式.....	通用
-----------	----

电路描述和工作原理.....	11
数字输入.....	11
时钟输入.....	11
视频同步和控制.....	12
基准输入.....	12
DAC.....	12
模拟输出.....	12
灰阶工作原理.....	13
视频输出缓冲器.....	13
PCB布局考虑.....	13
数字信号互连.....	13
模拟信号互连.....	14
外形尺寸.....	15
订购指南.....	16
汽车应用级产品.....	16

更改“特性”部分、“应用”部分和“概述”部分.....	1
更改图3和表6.....	8
删除“接地层”部分、“电源层”部分和“电源去耦”部分.....	11
更改图5.....	11
更改表7、“模拟输出”部分、图6和图7.....	12
更改“视频输出缓冲器”部分、“PCB布局考虑”部分和图9.....	13
更改“模拟信号互连”部分和图10.....	14
更新外形尺寸.....	15
更改订购指南.....	16

2002年10月—修订版0：初始版

技术规格

5 V电气特性

$V_{AA} = 5 V \pm 5\%$, $V_{REF} = 1.235 V$, $R_{SET} = 560 \Omega$, $C_L = 10 pF$ 。除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX}^1 , $T_{JMAX} = 110^\circ C$ 。

表1

参数	最小值	典型值	最大值	单位	测试条件 ¹
静态性能					
分辨率 (每个DAC)	8			位	
积分非线性(BSL)	-1	±0.4	+1	LSB	
微分非线性	-1	±0.25	+1	LSB	保证单调性
数字和控制输入					
输入高电压 V_{IH}	2			V	
输入低电压 V_{IL}			0.8	V	
输入电流 I_{IN}	-1		+1	μA	$V_{IN} = 0.0 V$ 或 V_{DD}
PSAVE上拉电流		20		μA	
输入电容 C_{IN}		10		pF	
模拟输出					
输出电流	2.0		26.5	mA	绿色 DAC, $\overline{SYNC} =$ 高
	2.0		18.5	mA	RGB DAC, $\overline{SYNC} =$ 低
DAC间匹配		1.0	5	%	
输出顺从电压范围 V_{OC}	0		1.4	V	
输出阻抗 R_{OUT}		100		kΩ	
输出电容 C_{OUT}		10		pF	$I_{OUT} = 0 mA$
失调误差	-0.025		+0.025	% FSR	测试条件: DAC输出 = 0 V
增益误差 ²	-5.0		+5.0	% FSR	FSR = 18.62 mA
内部和外部基准电压					
基准电压范围(V_{REF})	1.12	1.235	1.35	V	
功耗					
数字电源电流 ³		3.4	9	mA	$f_{CLK} = 50 MHz$
		10.5	15	mA	$f_{CLK} = 140 MHz$
		18	25	mA	$f_{CLK} = 240 MHz$
模拟电源电流		67	72	mA	$R_{SET} = 530 \Omega$
		8		mA	$R_{SET} = 4933 \Omega$
待机电源电流 ⁴		2.1	5.0	mA	$\overline{PSAVE} =$ 低, V_{DD} 下的数字和控制输入
电源抑制比		0.1	0.5	%/%	

¹ 温度范围 T_{MIN} 至 T_{MAX} : 50 MHz和140 MHz下为 $-40^\circ C$ 至 $+85^\circ C$, 240 MHz和330 MHz下为 $0^\circ C$ 至 $+70^\circ C$ 。

² 增益误差= ((测得(FSC)/理想(FSC) - 1) × 100), 其中理想值= $V_{REF}/R_{SET} \times K \times (0xFFH) \times 4$ 且 $K = 7.9896$ 。

³ 数字电源使用连续时钟及0 V与 V_{DD} 下的输入电平进行测量, 该连续时钟具有对应于斜坡图样的数字输入。

⁴ 这些最大值/最小值规格在4.75 V至5.25 V范围内通过特性保证。

ADV7125

3.3 V电气特性

$V_{AA} = 3.0\text{ V}$ 至 3.6 V , $V_{REF} = 1.235\text{ V}$, $R_{SET} = 560\ \Omega$, $C_L = 10\text{ pF}$ 。除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} ¹, $T_{JMAX} = 110^\circ\text{C}$ 。

表2

参数 ²	最小值	典型值	最大值	单位	测试条件 ¹
静态性能					
分辨率 (每个DAC)			8	位	$R_{SET} = 680\ \Omega$
积分非线性(BSL)	-1	± 0.5	+1	LSB	$R_{SET} = 680\ \Omega$
微分非线性	-1	± 0.25	+1	LSB	$R_{SET} = 680\ \Omega$
数字和控制输入					
输入高电压 V_{IH}	2.0			V	$V_{IN} = 0.0\text{ V}$ or V_{DD}
输入低电压 V_{IL}		0.8		V	
输入电流 I_{IN}	-1		+1	μA	
PSAVE上拉电流		20		μA	
输入电容 C_{IN}		10		pF	
模拟输出					
输出电流	2.0		26.5	mA	绿色 DAC, $\overline{\text{SYNC}} = \text{高}$
	2.0		18.5	mA	RGB DAC, $\overline{\text{SYNC}} = \text{低}$
DAC间匹配		1.0		%	
输出顺从电压范围 V_{OC}	0		1.4	V	
输出阻抗 R_{OUT}		70		k Ω	
输出电容 C_{OUT}		10		pF	
失调误差		0	0	% FSR	测试条件: DAC输出=0V
增益误差 ³		0		% FSR	FSR = 18.62 mA
外部基准电压源					
基准电压范围(V_{REF})	1.12	1.235	1.35	V	
内部基准电压源					
基准电压(V_{REF})		1.235		V	
功耗					
数字电源电流 ⁴		2.2	5.0	mA	$f_{CLK} = 50\text{ MHz}$
		6.5	12.0	mA	$f_{CLK} = 140\text{ MHz}$
		11	15	mA	$f_{CLK} = 240\text{ MHz}$
		16		mA	$f_{CLK} = 330\text{ MHz}$
模拟电源电流		67	72	mA	$R_{SET} = 560\ \Omega$
		8		mA	$R_{SET} = 4933\ \Omega$
待机电源电流		2.1	5.0	mA	$\overline{\text{PSAVE}} = \text{低}$, V_{DD} 下的数字和控制输入
电源抑制比		0.1	0.5	%/%	

¹ 温度范围 T_{MIN} 至 T_{MAX} : 50 MHz和140 MHz下为 -40°C 至 $+85^\circ\text{C}$, 240 MHz和330 MHz下为 0°C 至 $+70^\circ\text{C}$ 。

² 这些最大值/最小值规格在3.0 V至3.6 V范围内通过特性保证。

³ 增益误差= ((测得(FSC)/理想(FSC) - 1) \times 100), 其中理想值= $V_{REF}/R_{SET} \times K \times (0xFFH) \times 4$ 且 $K = 7.9896$ 。

⁴ 数字电源使用连续时钟及0 V与 V_{DD} 下的输入电平进行测量, 该连续时钟具有对应于斜坡图样的数字输入。

5 V时序规格

$V_{AA} = 5 V \pm 5\%$, $V_{REF} = 1.235 V$, $R_{SET} = 560 \Omega$, $C_L = 10 pF$ 。除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} ², $T_{JMAX} = 110^\circ C$ 。

表3

参数 ³	符号	最小值	典型值	最大值	单位	条件
模拟输出						
模拟输出延迟	t_6		5.5		ns	
模拟输出上升/下降时间 ⁴	t_7		1.0		ns	
模拟输出转换时间 ⁵	t_8		15		ns	
模拟输出偏斜 ⁶	t_9		1	2	ns	
时钟控制						
CLOCK频率 ⁷	f_{CLK}	0.5		50	MHz	50 MHz 级
		0.5		140	MHz	140 MHz 级
		0.5		240	MHz	240 MHz 级
数据和控制设置 ⁶	t_1	0.5			ns	
数据和控制保持 ⁶	t_2	1.5			ns	
CLOCK周期	t_3	4.17			ns	
CLOCK高电平脉宽 ⁶	t_4	1.875			ns	$f_{CLK_MAX} = 240 \text{ MHz}$
CLOCK低电平脉宽 ⁶	t_5	1.875			ns	$f_{CLK_MAX} = 240 \text{ MHz}$
CLOCK高电平脉宽 ⁶	t_4	2.85			ns	$f_{CLK_MAX} = 140 \text{ MHz}$
CLOCK低电平脉宽 ⁶	t_5	2.85			ns	$f_{CLK_MAX} = 140 \text{ MHz}$
CLOCK高电平脉宽	t_4	8.0			ns	$f_{CLK_MAX} = 50 \text{ MHz}$
CLOCK低电平脉宽	t_5	8.0			ns	$f_{CLK_MAX} = 50 \text{ MHz}$
流水线延迟 ⁶	t_{PD}	1.0	1.0	1.0	时钟周期	
PSAVE启动时间 ⁶	t_{10}		2	10	ns	

¹ 最大值和最小值规格在此范围内得到保证。

² 温度范围 T_{MIN} 至 T_{MAX} : 50 MHz和140 MHz下为 $-40^\circ C$ 至 $+85^\circ C$, 240 MHz下为 $0^\circ C$ 至 $+70^\circ C$ 。

³ 5 V和3.3 V两种电源的时序规格均使用3.0 V (V_{IH})和0 V (V_{IL})的输入电平进行测量。

⁴ 上升时间从零至满量程转换的10%测量至90%点, 下降时间从满量程转换的90%测量至10%点。

⁵ 从满量程转换的50%点测量至最终值的2%。

⁶ 通过特性保证。

⁷ f_{CLK} 最大值规格在125 MHz和5 V下进行生产测试。此处指定的限值通过特性保证。

ADV7125

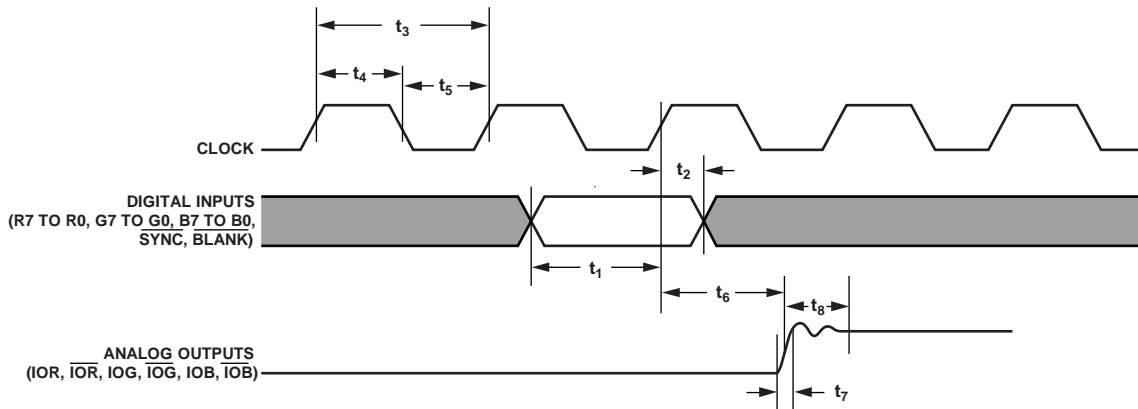
3.3 V时序规格

$V_{AA} = 3.0\text{ V}$ 至 3.6 V 1, $V_{REF} = 1.235\text{ V}$, $R_{SET} = 560\ \Omega$, $C_L = 10\text{ pF}$ 。除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} ², $T_{JMAX} = 110^\circ\text{C}$ 。

表4

参数 ³	符号	最小值	典型值	最大值	单位	条件
模拟输出						
模拟输出延迟	t_6		7.5		ns	
模拟输出上升/下降时间 ⁴	t_7		1.0		ns	
模拟输出转换时间 ⁵	t_8		15		ns	
模拟输出偏斜 ⁶	t_9		1	2	ns	
时钟控制						
CLOCK频率 ⁷	f_{CLK}			50	MHz	50 MHz 级
				140	MHz	140 MHz 级
				240	MHz	240 MHz 级
				330	MHz	330 MHz 级
数据和控制设置 ⁶	t_1	0.2			ns	
数据和控制保持 ⁶	t_2	1.5			ns	
CLOCK周期	t_3	3			ns	
CLOCK高电平脉宽 ⁶	t_4	1.4			ns	$f_{CLK_MAX} = 330\text{ MHz}$
CLOCK低电平脉宽 ⁶	t_5	1.4			ns	$f_{CLK_MAX} = 330\text{ MHz}$
CLOCK高电平脉宽 ⁶	t_4	1.875			ns	$f_{CLK_MAX} = 240\text{ MHz}$
CLOCK低电平脉宽 ⁶	t_5	1.875			ns	$f_{CLK_MAX} = 240\text{ MHz}$
CLOCK高电平脉宽 ⁶	t_4	2.85			ns	$f_{CLK_MAX} = 140\text{ MHz}$
CLOCK低电平脉宽 ⁶	t_5	2.85			ns	$f_{CLK_MAX} = 140\text{ MHz}$
CLOCK高电平脉宽	t_4	8.0			ns	$f_{CLK_MAX} = 50\text{ MHz}$
CLOCK低电平脉宽	t_5	8.0			ns	$f_{CLK_MAX} = 50\text{ MHz}$
流水线延迟 ⁶	t_{PD}	1.0	1.0	1.0	时钟周期	
PSAVE启动时间 ⁶	t_{10}		4	10	ns	

- 1 这些最大值和最小值规格在此范围内得到保证。
- 2 温度范围: T_{MIN} 至 T_{MAX} : 50 MHz和140 MHz下为 -40°C 至 $+85^\circ\text{C}$, 240 MHz和330 MHz下为 0°C 至 $+70^\circ\text{C}$ 。
- 3 3.3 V电源的时序规格使用3.0 V (V_{IH})和0 V (V_{IL})的输入电平进行测量。
- 4 上升时间从零至满量程转换的10%测量至90%点, 下降时间从满量程转换的90%测量至10%点。
- 5 从满量程转换的50%点测量至最终值的2%。
- 6 通过特性保证。
- 7 f_{CLK} 最大值规格在125 MHz和5 V下进行生产测试。此处指定的限值通过特性保证。



NOTES

1. OUTPUT DELAY (t_6) MEASURED FROM THE 50% POINT OF THE RISING EDGE OF CLOCK TO THE 50% POINT OF FULL-SCALE TRANSITION.
2. OUTPUT RISE/FALL TIME (t_7) MEASURED BETWEEN THE 10% AND 90% POINTS OF FULL-SCALE TRANSITION.
3. TRANSITION TIME (t_8) MEASURED FROM THE 50% POINT OF FULL-SCALE TRANSITION TO WITHIN 2% OF THE FINAL OUTPUT VALUE.

图2. 时序图

0397-002

绝对最大额定值

表5

参数	额定值
V_{AA} 至 GND	7 V
任意数字引脚上的电压	$GND - 0.5 V$ 至 $V_{AA} + 0.5 V$
工作环境温度(T_A)	-40°C 至 +85°C
存储温度(T_S)	-65°C 至 +150°C
结温(T_J)	150°C
引脚温度(焊接, 10秒)	300°C
气相焊接(1分钟)	220°C
I_{OUT} 至 GND ¹	0 V 至 V_{AA}

¹ 任何电源或共用GND的模拟输出短路都可能是无限期的。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

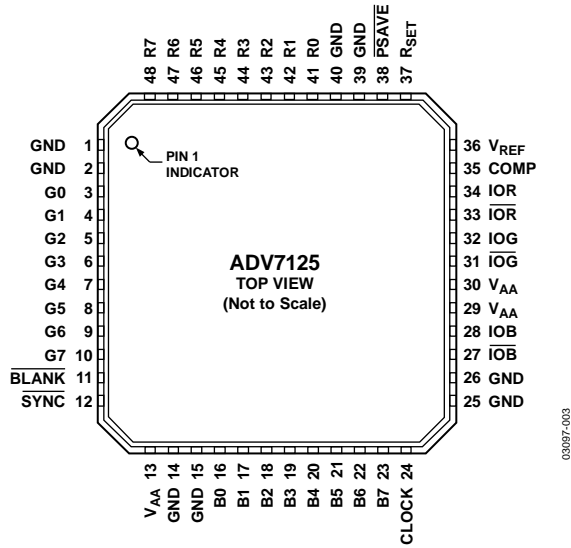
ESD警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES**
1. THE LFCSP_VQ HAS AN EXPOSED PADDLE THAT MUST BE CONNECTED TO GND.

图3. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
1, 2, 14, 15, 25, 26, 39, 40	GND	地。必须连接所有GND引脚。
3 至 10, 16 至 23, 41 至 48	G0 至 G7, B0 至 B7, R0 至 R7	红色、绿色和蓝色像素数据输入（兼容TTL）。像素数据在CLOCK的上升沿锁存。R0、G0和B0是最低有效数据位。未使用的像素数据输入应连接至常规印刷电路板(PCB)电源或接地层。
11	BLANK	复合消隐控制输入（兼容TTL）。该控制输入上的逻辑0将模拟输出、IOR、IOB和IOG驱动至消隐电平。BLANK信号在CLOCK的上升沿锁存。虽然BLANK为逻辑0，但R0至R7、G0至G7、B0至B7像素输入被忽略。
12	SYNC	复合同步控制输入（兼容TTL）。SYNC输入端的逻辑0切断40 IRE电流源。该引脚内部连接至IOG模拟输出。SYNC不会覆盖任何其他控制或数据输入；因此仅应在消隐间隔期间置位。SYNC在CLOCK的上升沿锁存。如果绿色通道上不需要同步信息，SYNC输入应连接到逻辑0。
13, 29, 30	V _{AA}	模拟电源(5 V ± 5%)。必须连接ADV7125上的所有VAA引脚。
24	CLOCK	时钟输入（兼容TTL）。CLOCK的上升沿锁存R0至R7、G0至G7、B0至B7、SYNC及BLANK像素和控制输入。它通常是视频系统的像素时钟速率。CLOCK应由专用TTL缓冲器驱动。
33, 31, 27	$\overline{\text{IOR}}$, $\overline{\text{IOG}}$, $\overline{\text{IOB}}$	差分红色、绿色和蓝色电流输出（高阻抗电流源）。这些RGB视频输出可将RS-343A和RS-170视频电平直接驱动至双端接75 Ω负载。如果不需要互补输出，这些输出应接地。
34, 32, 28	IOR, IOG, IOB	红色、绿色和蓝色电流输出。这些高阻抗电流源能够直接驱动双端接75 Ω同轴电缆。无论是否使用，所有三个电流输出都应具有相似的输出负载。
35	COMP	该引脚是内部基准放大器的补偿引脚。必须在COMP与V _{AA} 之间连接0.1 μF陶瓷电容。
36	V _{REF}	用于DAC或基准电压源输出(1.235 V)的基准电压源输入。

引脚编号	引脚名称	描述
37	R _{SET}	<p>连接于该引脚与GND之间的电阻(R_{SET})可控制满量程视频信号的幅度。请注意，无论满量程输出电流如何，应维持IRE关系。IOG上的R_{SET}与满量程输出电流间的关系（假定I_{SYNC}连接至IOG）由下式给出：</p> $R_{SET} (\Omega) = 11,445 \times V_{REF} (V) / IOG (mA)$ <p>IOR、IOG和IOB上的R_{SET}与满量程输出电流间的关系由下式给出：</p> $IOG (mA) = 11,444.8 \times V_{REF} (V) / R_{SET} (\Omega) \quad (\overline{SYNC} \text{置位})$ $IOR, IOB (mA) = 7989.6 \times V_{REF} (V) / R_{SET} (\Omega)$ <p>不使用SYNC时(即SYNC永久性地接低电平)，IOG的公式与IOR与IOB的公式相同。</p>
38	PSAVE	省电控制引脚。该引脚有效时，ADV7125上的功耗可降低。
49 (EPAD)	EP (EPAD)	LFCSP_VQ具有一个必须连接至GND的裸露焊盘。

术语

消隐电平

即分离SYNC部分与波形视频部分的电平，通常称为前沿和后沿箝位。在0 IRE单元处，该电平关闭图像管道，从而产生最暗图像。

彩色视频(RGB)

表示将红、绿、蓝三原色组合以在正常频谱内产生彩色图像的技术。RGB监视器中需要三个DAC，每种颜色一个。

同步信号(SYNC)

复合视频信号同步扫描过程的位置。

灰阶

视频信号在基准黑色与基准白色电平之间的离散级。8位DAC含256个不同电平。

光栅扫描

最基本的扫描方法，每次扫描CRT一行，以产生和显示影像。

基准黑色电平

视频信号的最大负极性幅度。

基准白色电平

视频信号的最大正极性幅度。

同步电平

SYNC信号的峰值电平。

视频信号

复合视频信号的一部分，其灰阶电平在基准白色与基准黑色间变化。也称为图像信号，即视觉上可观察的部分。

电路描述和工作原理

ADV7125包含三个8位DAC和三个输入通道，每个通道含一个8位寄存器。另外板上集成了基准放大器。ADV7125板上还集成有CRT控制功能：BLANK和SYNC。

数字输入

24位像素数据(颜色信息)在每个时钟周期的上升沿锁存至器件内：R0至R7、G0至G7和B0至B7。此数据被提供给三个8位DAC，然后转换为三个模拟(RGB)输出波形(参见图4)。

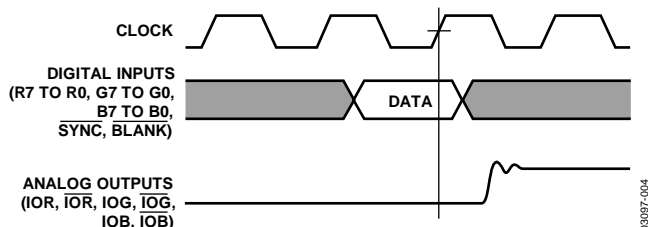
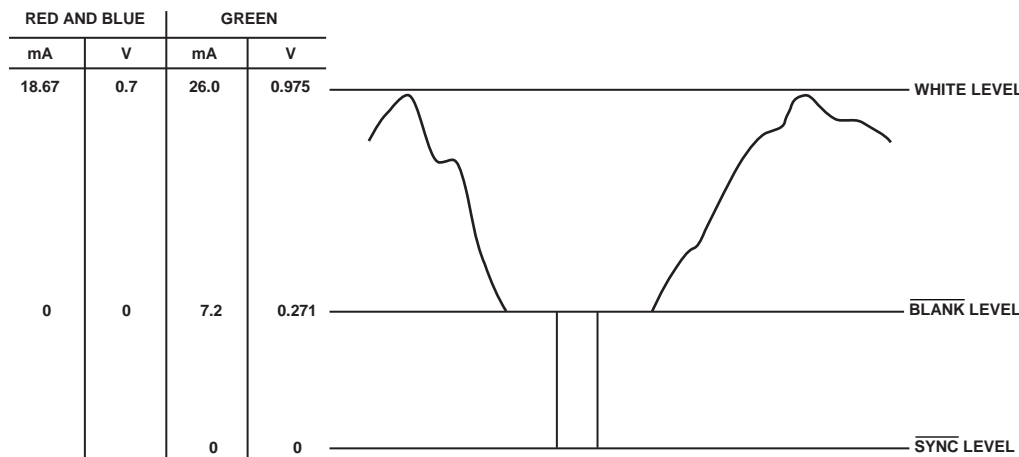


图4. 视频数据输入/输出

ADV7125还有两个附加的控制信号，以相似方式锁存至模拟视频输出。BLANK和SYNC分别在CLOCK的上升沿锁存，以便与像素数据流保持同步。

BLANK和SYNC功能允许将这些视频同步信号编码至RGB视频输出上。具体方法是将适当加权的电流源添加至模拟输出，这些模拟输出取决于BLANK和SYNC数字输入上的逻辑电平。

图5显示了模拟输出，即ADV7125的RGB视频波形。SYNC和BLANK对模拟视频波形的影响如图所示。



NOTES
 1. OUTPUTS CONNECTED TO A DOUBLY TERMINATED 75Ω LOAD.
 2. V_{REF} = 1.235V, R_{SET} = 530Ω.
 3. RS-343 LEVELS AND TOLERANCES ASSUMED ON ALL LEVELS.

图5. 典型RGB视频输出波形

表7详细说明了BLANK和SYNC的模拟输出的最终效果。所有这些数字输入均可接受TTL逻辑电平。

时钟输入

ADV7125的CLOCK输入通常是系统的像素时钟速率，也称为点速率。点速率以及所需的CLOCK频率均由屏幕分辨率决定，依据公式如下：

$$\text{点速率} = (\text{水平分辨率}) \times (\text{垂直分辨率}) \times (\text{刷新速率}) / (\text{回扫因数})$$

其中：

水平分辨率是每一行的像素数量。

垂直分辨率是每一帧的行数量。

刷新速率是水平扫描速率。这是必须刷新屏幕的速率，逐行系统通常是60 Hz，隔行系统通常是30 Hz。

回扫因数是总消隐时间因数。该因数考虑到这一情况：即显示器消隐的持续时间为每一帧总持续时间的一部分(例如0.8)。

因此，对于1024 × 1024分辨率的图形系统，刷新速率为隔行60 Hz，回扫因数为0.8，

$$\text{点速率} = 1024 \times 1024 \times 60 / 0.8 = 78.6 \text{ MHz}$$

所需的CLOCK频率则为78.6 MHz。如“数字输入”部分所述，所有视频数据和控制输入在CLOCK的上升沿锁存至ADV7125内。建议通过TTL缓冲器(例如74F244)将CLOCK输入驱动至ADV7125。

ADV7125

表7. 典型视频输出真值表(RSET = 530 Ω, RLOAD = 37.5 Ω)

视频输出电平	IOG (mA)	iOG (mA)	IOR/IOB (mA)	IOR/IOB (mA)	SYNC	BLANK	DAC输入数据
白色电平	26.0	0	18.67	0	1	1	0xFFH
视频	视频 + 7.2	18.67 - 视频	视频	18.67 - 视频	1	1	数据
视频至BLANK	视频	18.67 - 视频	视频	18.67 - 视频	0	1	数据
黑色电平	7.2	18.67	0	18.67	1	1	0x00H
黑色至BLANK	0	18.67	0	18.67	0	1	0x00H
BLANK电平	7.2	18.67	0	18.67	1	0	0xXXH (任意)
SYNC电平	0	18.67	0	18.67	0	0	0xXXH (任意)

视频同步和控制

ADV7125具有单一复合同步(SYNC)输入控制。许多图形处理器和CRT控制器能够生成水平同步(HSYNC)、垂直同步(VSYNC)和复合SYNC。

在不能自动生成复合SYNC信号的图形系统中, 可通过内置一些其他逻辑电路来生成复合SYNC信号。

同步电流内部直接连接至IOG输出, 从而将视频同步信息编码至绿色视频通道上。如果不需要将同步信息编码至ADV7125上, SYNC输入应连接到逻辑低电平。

基准输入

ADV7125内置片内基准电压源。VREF引脚应按图10所示进行连接。

连接于RSET引脚与GND之间的电阻RSET决定了ADV7125的输出视频电平的幅度, 如公式1和公式2所示:

$$IOG \text{ (mA)} = 11,444.8 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \quad (1)$$

$$IOR, IOB \text{ (mA)} = 7989.6 \times V_{REF} \text{ (V)} / R_{SET} \text{ (}\Omega\text{)} \quad (2)$$

使用SYNC时, 公式1仅适用于ADV7125。如果未将SYNC编码至绿色通道上, 公式1与公式2相似。

由于R_{SET}使用可变值, 模拟输出视频电平可进行精确调节。R_{SET}使用固定560 Ω电阻, 产生“规格”部分所列的模拟输出电平。这些值通常对应于RS-343A视频波形值, 如图5所示。

DAC

ADV7125包含三个匹配的8位DAC。DAC采用先进的高速分段式架构。对应于每个数字输入的位电流通过复杂的解码方案发送至模拟输出(位= 1)或GND(位= 0)。由于该电路是整体单芯片器件, 三个DAC之间的匹配得以优化。除匹配外, 在单芯片设计中使用相同电流源保证了单调性和低毛刺。片内运算放大器保证了满量程输出电流在面对温度和电源变动时的稳定性。

模拟输出

ADV7125具有三个模拟输出, 分别对应于红色、绿色和蓝色视频信号。

ADV7125的红色、绿色和蓝色模拟输出是高阻抗电流源。这三个RGB电流输出均能直接驱动37.5 Ω负载, 例如双端接75 Ω同轴电缆。图6分别显示了连接到双端接75 Ω负载的三个RGB输出的所需配置。该配置在75 Ω监视器两端产生RS-343A视频输出电平。

将RS-170视频电平驱动至75 Ω监视器的建议方法如图7所示。DAC的输出电流电平保持不变, 但三个DAC上的源端接电阻Z_S均从75 Ω增加至150 Ω。

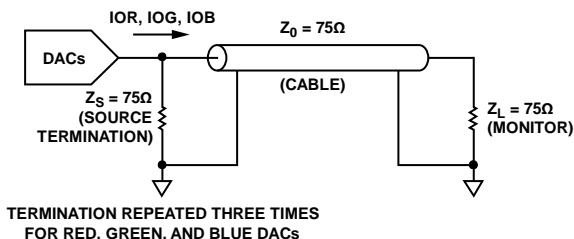


Figure 6. Analog Output Termination for RS-343A

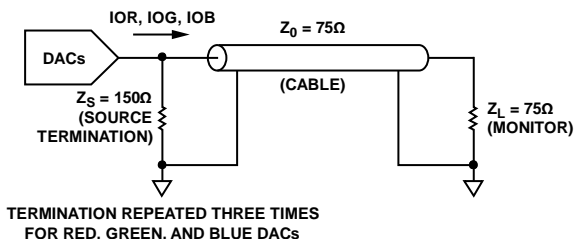


图7. RS-170的模拟输出端接

有关各种输出配置的负载端接(包括RS-343A和RS-170)的详情, 请参见ADI公司的AN-205应用笔记: 视频格式和所需的负载端接, 网址为www.analog.com。

图5显示了与驱动图6中双端接75 Ω负载的三个RGB输出相关的视频波形。除灰阶电平(黑色电平至白色电平)外,图5还显示了SYNC和BLANK对ADV7125的影响。这些控制输入向模拟输出添加适当加权的电流,从而对视频应用提出了具体的输出电平要求。表7详述SYNC和BLANK输入如何修改输出电平。

灰阶工作原理

ADV7125可用于独立、灰阶(单色)或复合视频应用(即仅一个通道用于视频信号)。红色、绿色或蓝色三个通道中的一个可用于输入数字视频数据。两个未使用的视频数据通道应连接到逻辑0。未使用的模拟输出应使用与已用通道相同的负载进行端接,也就是说,如果使用红色通道,并用双端接75 Ω负载(37.5 Ω)端接IOR,则应用37.5 Ω负载端接IOB和IOG(参见图8)。

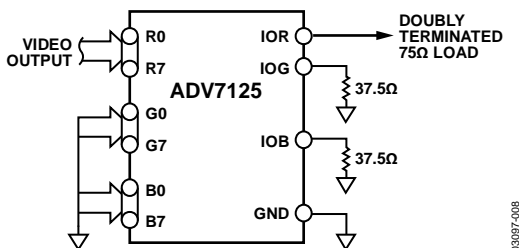


图8. 独立灰阶或复合视频的输入和输出连接

视频输出缓冲器

ADV7125可驱动传输线路负载。驱动此类负载的模拟输出配置在“模拟输出”部分及图9中说明。但在某些应用中,可能需要驱动较长的传输线电缆长度。大于10米的电缆长度可衰减和扭曲高频模拟输出脉冲。内置输出缓冲器可补偿部分电缆失真。缓冲器需要具有较大的全功率带宽和2至4之间的增益。这些缓冲器还需要在整个输出电压摆幅上供应充足电流。ADI公司针对此类应用生产各种适用的运算放大器,其中包括AD843、AD844、AD847和AD848系列单芯片运算放大器。在超高频应用(80 MHz)中,推荐使用AD8061。有关线路驱动器缓冲电路的详细信息,请参考相关运算放大器数据手册。

使用缓冲放大器同样允许实施除RS-343A和RS-170以外的其他视频标准。改变缓冲电路增益元件可产生所需的视频电平。

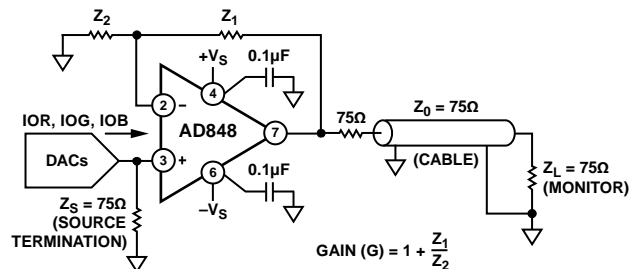


图9. AD848用作输出缓冲器

PCB布局考虑

ADV7125经过最佳设计,可实现最低的噪声,包括辐射和传导噪声。为了配合ADV7125的出色噪声性能,必须对PCB布局予以仔细考量。图10给出了ADV7125的建议连接图。

布局应尽可能降低ADV7125电源和接地线路上的噪声。这一目标可通过屏蔽数字输入并提供良好去耦来实现。应缩短 V_{AA} 与GND引脚组之间的引线长度,并最大程度地减少电感振铃。

建议使用4层印刷电路板和单一接地层。接地层和电源层应将信号走线层与焊接侧层分开。模拟电源层上的噪声可通过使用多个去耦电容得到进一步减少(参见图10)。利用0.1 μF和0.01 μF陶瓷电容可实现最佳性能。使用尽可能短的电容引线,尽可能将电容靠近器件放置,将每个 V_{AA} 引脚单独去耦至地,最大程度地降低引线电感。务必注意,虽然ADV7125包含电源噪声抑制电路,但该抑制能力会随频率而降低。如果使用高频开关电源,请注意减少电源噪声。直流电源滤波器(Murata BNX002)可在开关电源和主PCB之间提供EMI抑制。或者,可考虑使用3引脚稳压器。

数字信号互连

连接至ADV7125的数字信号线路应尽可能与模拟输出和其他模拟电路隔离。数字信号线路不应与模拟电源层重叠。

由于使用高时钟速率,应避免为ADV7125连接长时钟线路,以最大程度地减少噪声拾取。

用于数字输入的任何有源上拉端接电阻应连接至正常PCB电源层(V_{CC}),而不是模拟电源层。

ADV7125

模拟信号互连

ADV7125尽可能靠近输出连接器放置，以便最大程度地减少噪声拾取以及阻抗失配引起的反射。

视频输出信号应与接地层而不是模拟电源层重叠，从而最大化高频电源抑制。

为了实现最佳性能，每个模拟输出应具有连接75 Ω的源端接电阻到地(双端接75 Ω配置)。该端接电阻应尽可能靠近ADV7125以最大程度地减少反射。

有关PCB设计的其他信息请参见ADI公司的AN-333应用笔记：用于降低EMI的视频图形系统设计和布局，网址为www.analog.com。

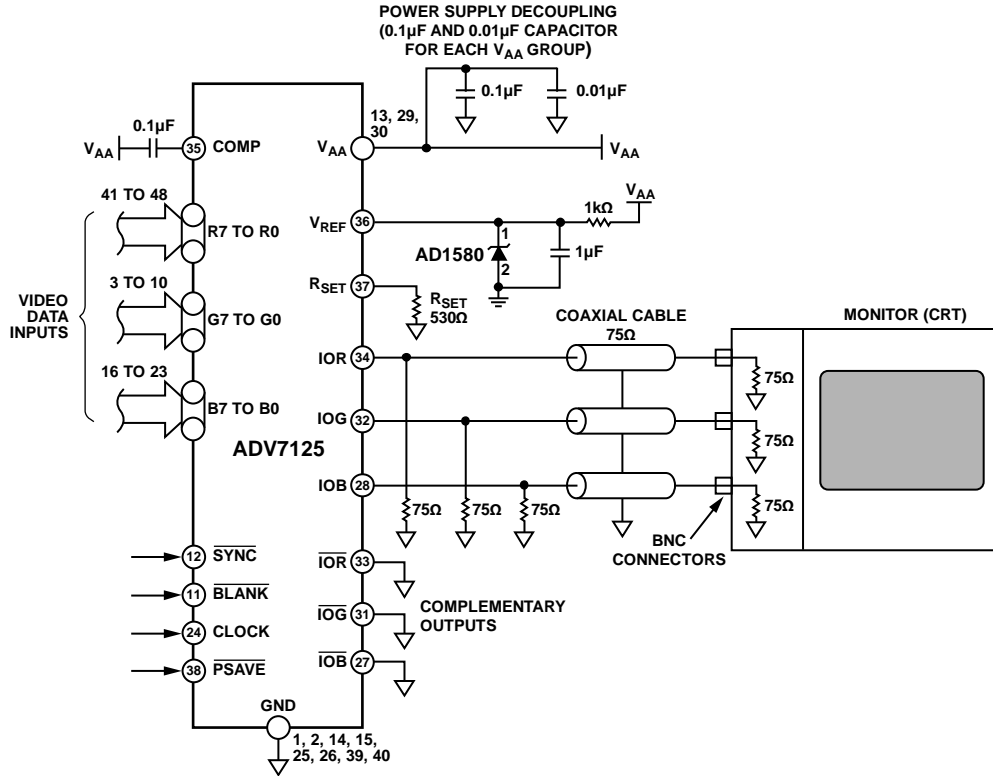
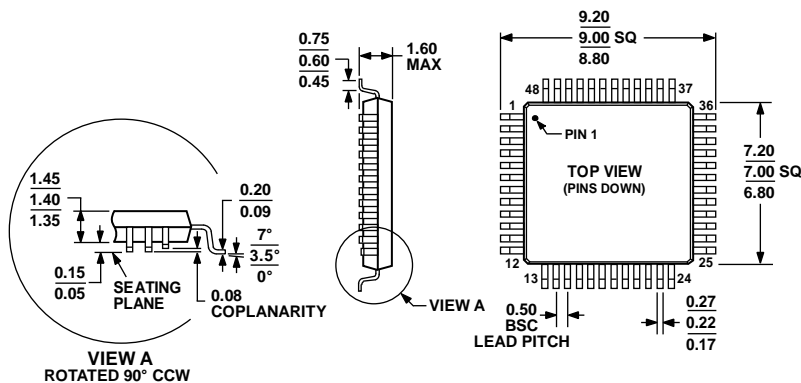


图10. 典型连接图

03097-010

外形尺寸

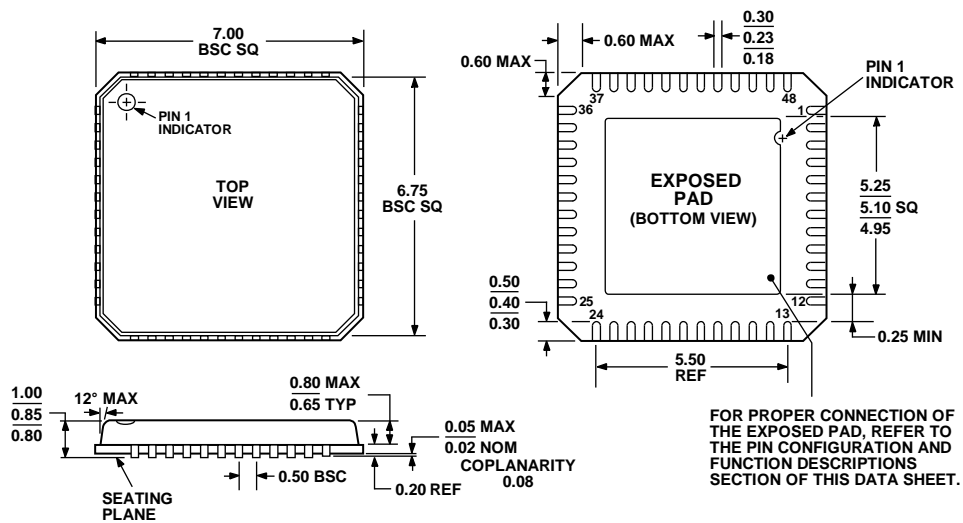


COMPLIANT TO JEDEC STANDARDS MS-026-BBC

图11. 48引脚薄型四方扁平封装[LQFP] (ST-48)

尺寸单位: mm

051706-A



COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2

图12. 48引脚引脚架构芯片级封装[LFCSP_VQ] 7 mm × 7 mm超薄四方体 (CP-48-1)

尺寸单位: mm

080108-A

ADV7125

订购指南

型号 ^{1, 2, 3}	温度范围	封装描述	速度选项	封装选项
ADV7125KSTZ50	-40°C 至 +85°C	48引脚 LQFP	50 MHz	ST-48
ADV7125KSTZ50-REEL	-40°C 至 +85°C	48引脚 LQFP	50 MHz	ST-48
ADV7125KSTZ140	-40°C 至 +85°C	48引脚 LQFP	140 MHz	ST-48
ADV7125JSTZ240	0°C 至 +70°C	48引脚 LQFP	240 MHz	ST-48
ADV7125JSTZ330	0°C 至 +70°C	48引脚 LQFP	330 MHz	ST-48
ADV7125WBSTZ170	-40°C 至 +85°C	48引脚 LQFP	170 MHz	ST-48
ADV7125WBSTZ170-RL	-40°C 至 +85°C	48引脚 LQFP	170 MHz	ST-48
ADV7125BCPZ170	-40°C 至 +85°C	48引脚 LFCSP_VQ	170 MHz	CP-48-1
ADV7125BCPZ170-RL	-40°C 至 +85°C	48引脚 LFCSP_VQ	170 MHz	CP-48-1
ADV7125WBCPZ170	-40°C 至 +85°C	48引脚 LFCSP_VQ	170 MHz	CP-48-1
ADV7125WBCPZ170-RL	-40°C 至 +85°C	48引脚 LFCSP_VQ	170 MHz	CP-48-1

¹ Z = 符合RoHS标准的器件。

² W = 通过汽车应用认证

³ ADV7125JSTZ330仅提供3.3 V选项。

汽车应用级产品

ADV7125W生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。