

谈谈射频电路设计及经验

射频电路板设计由于在理论上还有很多不确定性,因此常被形容为一种“黑色艺术”,但这个观点只有部分正确,RF电路板设计也有许多可以遵循的准则和不应该被忽视的法则。

不过,在实际设计时,真正实用的技巧是当这些准则和法则因各种设计约束而无法准确地实施时如何对它们进行折衷处理。当然,有许多重要的RF设计课题值得讨论,包括阻抗和阻抗匹配、绝缘层材料和层叠板以及波长和驻波等,在全面掌握各类设计原则前提下的仔细规划是一致性成功设计的保证。

RF电路设计的常见问题

1、数字电路模块和模拟电路模块之间的干扰

如果模拟电路(射频)和数字电路单独工作,可能各自工作良好。但是,一旦将二者放在同一块电路板上,使用同一个电源一起工作,整个系统很可能就不稳定。这主要是因为数字信号频繁地在地和正电源(>3 V)之间摆动,而且周期特别短,常常是纳秒级的。由于较大的振幅和较短的切换时间,使得这些数字信号包含大量且独立于切换频率的高频成分。在模拟部分,从无线调谐回路传到无线设备接收部分的信号一般小于 $1\mu\text{V}$ 。因此数字信号与射频信号之间的差别会达到120 dB。显然,如果不能使数字信号与射频信号很好地分离。微弱的射频信号可能遭到破坏,这样一来,无线设备工作性能就会恶化,甚至完全不能工作。

2、供电电源的噪声干扰

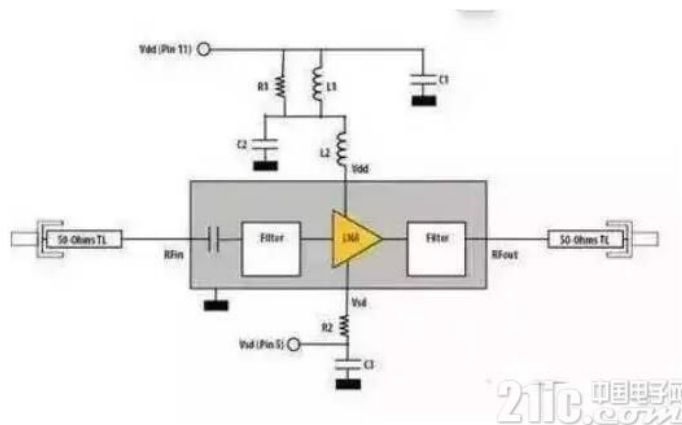
射频电路对于电源噪声相当敏感,尤其是对毛刺电压和其他高频谐波。微控制器会在每个内部时钟周期内短时间突然吸入大部分电流,这是由于现代微控制器都采用CMOS工艺制造。因此,假设一个微控制器以1MHz的内部时钟频率运行,它将以此频率从电源提取电流。如果不采取合适的电源去耦,必将引起电源线上的电压毛刺。如果这些电压毛刺到达电路RF部分的电源引脚,严重时可能导致工作失效。

3、不合理的地线

如果RF电路的地线处理不当,可能产生一些奇怪的现象。对于数字电路设计,即使没有地线层,大多数数字电路功能也表现良好。而在RF频段,即使一根很短的地线也会如电感器一样作用。粗略地计算,每毫米长度的电感量约为1 nH,433 MHz时10 mm PCB线路的感抗约 27Ω 。如果不采用地线层,大多数地线将会较长,电路将无法具有设计的特性。

4、天线对其他模拟电路部分的辐射干扰

在PCB电路设计中,板上通常还有其他模拟电路。例如,许多电路上都有模数转换器(ADC)或数模转换器(DAC)。射频发送器的天线发出的高频信号可能会到达ADC的模拟输入端。如果ADC输入端的处理不合理,RF信号可能在ADC输入的ESD二极管内自激。从而引起ADC偏差。



一、射频电路布局原则

在设计RF布局时,必须优先满足以下几个总原则:

- (1)尽可能地把高功率RF放大器(HPA)和低噪声放大器(LNA)隔离开来,简单地说,就是让高功率RF发射电路远离低功率RF接收电路;
- (2)确保PCB板上高功率区至少有一整块地,最好上面没有过孔,当然,铜箔面积越大越好;
- (3)电路和电源去耦同样也极为重要;
- (4)RF输出通常需要远离RF输入;
- (5)敏感的模拟信号应该尽可能远离高速数字信号和RF信;

二、物理分区、电气分区设计分区

可以分解为物理分区和电气分区。物理分区主要涉及元器件布局、朝向和屏蔽等问题;电气分区可以继续分解为电源分配、RF走线、敏感电路和信号以及接地等的分区。

1、我们讨论物理分区问题

元器件布局是实现一个优秀RF设计的关键，最有效的技术是首先固定位于RF路径上的元器件，并调整其朝向以将RF路径的长度减到最小，使输入远离输出，并尽可能远地分离高功率电路和低功率电路。

最有效的电路板堆叠方法是将主接地面(主地)安排在表层下的第二层，并尽可能将RF线走在表层上。将RF路径上的过孔尺寸减到最小不仅可以减少路径电感，而且还可以减少主地上的虚焊点，并可减少RF能量泄漏到层叠板内其他区域的机会。在物理空间上，像多级放大器这样的线性电路通常足以将多个RF区之间相互隔离开来，但是双工器、混频器和中频放大器/混频器总是有多个RF/IF信号相互干扰，因此必须小心地将这一影响减到最小。

2、RF与IF走线应尽可能走十字交叉，并尽可能在它们之间隔一块地

正确的RF路径对整块PCB板的性能而言非常重要，这也就是为什么元器件布局通常在手机PCB板设计中占大部分时间的原因。在手机PCB板设计上，通常可以将低噪声放大器电路放在PCB板的某一面，而高功率放大器放在另一面，并最终通过双工器把它们在同一面上连接到RF端和基带处理器端的天线上。

3、恰当和有效的芯片电源去耦也非常重要

许多集成了线性线路的RF芯片对电源的噪声非常敏感，通常每个芯片都需要采用高达四个电容和一个隔离电感来确保滤除所有的电源噪声。一块集成电路或放大器常常带有一个开漏极输出，因此需要一个上拉电感来提供一个高阻抗RF负载和一个低阻抗直流电源，同样的原则也适用于对这一电感端的电源进行去耦。

有些芯片需要多个电源才能工作，因此你可能需要两到三套电容和电感来分别对它们进行去耦处理，电感极少并行靠在一起，因为这将形成一个空芯变压器并相互感应产生干扰信号，因此它们之间的距离至少要相当于其中一个器件的高度，或者成直角排列以将其互感减到最小。

4、电气分区原则大体上与物理分区相同，但还包含一些其它因素

手机的某些部分采用不同工作电压，并借助软件对其进行控制，以延长电池工作寿命。这意味着手机需要运行多种电源，而这给隔离带来了更多的问题。

电源通常从连接器引入，并立即进行去耦处理以滤除任何来自线路板外部的噪声，然后再经过一组开关或稳压器之后对其进行分配。手机PCB板上大多数电路的直流电流都相当小，因此走线宽度通常不是问题，不过，必须为高功率放大器的电源单独走一条尽可能宽的大电流线，以将传输压降减到最低。为了避免太多电流损耗，需要采用多个过孔来将电流从某一层传递到另一层。此外，如果不能在高功率放大器的电源引脚端对它进行充分的去耦，那么高功率噪声将会辐射到整块板上，并带来各种各样的问题。

高功率放大器的接地相当关键，并经常需要为其设计一个金属屏蔽罩。在大多数情况下，同样关键的是确保RF输出远离RF输入。这也适用于放大器、缓冲器和滤波器。在最坏情况下，如果放大器和缓冲器的输出以适当的相位和振幅反馈到它们的输入端，那么它们就有可能产生自激振荡。在最好情况下，它们将能在任何温度和电压条件下稳定地工作。

实际上，它们可能会变得不稳定，并将噪声和互调信号添加到RF信号上。如果射频信号线不得不从滤波器的输入端绕回输出端，这可能会严重损害滤波器的带通特性。为了使输入和输出得到良好的隔离，首先必须在滤波器周围布一圈地，其次滤波器下层区域也要布一块地，并与围绕滤波器的主地连接起来。把需要穿过滤波器的信号线尽可能远离滤波器引脚也是个方法。

5、要保证不增加噪声必须从以下几个方面考虑

首先，控制线的期望频宽范围可能从DC直到2MHz，而通过滤波来去掉这么宽频带的噪声几乎是不可能的；其次，VCO控制线通常是一个控制频率的反馈回路的一部分，它在很多地方都有可能引入噪声，因此必须非常小心处理VCO控制线。要确保RF走线下层的地是实心的，而且所有的元器件都牢固地连到主地上，并与其它可能带来噪声的走线隔离开来。

此外，要确保VCO的电源已得到充分去耦，由于VCO的RF输出往往是一个相对较高的电平，VCO输出信号很容易干扰其它电路，因此必须对VCO加以特别注意。事实上，VCO往往布放在RF区域的末端，有时它还需要一个金属屏蔽罩。

谐振电路(一个用于发射机，另一个用于接收机)与VCO有关，但也有它自己的特点。简单地讲，谐振电路是一个带有容性二极管的并行谐振电路，它有助于设置VCO工作频率并将语音或数据调制到RF信号上。所有VCO的设计原则同样适用于谐振电路。由于谐振电路含有数量相当的元器件、板上分布区域较宽以及通常运行在一个很高的RF频率下，因此谐振电路通常对噪声非常敏感。

信号通常排列在芯片的相邻脚上，但这些信号引脚又需要与相对较大的电感和电容配合才能工作，这反过来要求这些电感和电容的位置必须靠得很近，并连回到一个对噪声很敏感的控制环路上。要做到这点是不容易的。

自动增益控制(AGC)放大器同样是一个容易出问题的地方，不管是发射还是接收电路都会有AGC放大器。AGC放大器通常能有效地滤掉噪声，不过由于手机具备处理发射和接收信号强度快速变化的能力，因此要求AGC电路有一个相当宽的带宽，而这使某些关键电路上的AGC放大器很容易引入噪声。设计AGC线路必须遵守良好的模拟电路设计技术，而这跟很短的运放输入引脚和很短的反馈路径有关，这两处都必须远离RF、IF或高速数字信号走线。

同样，良好的接地也必不可少，而且芯片的电源必须得到良好的去耦。如果必须要在输入或输出端走一根长线，那么最好是在输出端，通常输出端的阻抗要低得多，而且也不容易感应噪声。通常信号电平越高，就越容易把噪声引入到其它电路。在所有PCB设计中，尽可能将数字电路远离模拟电路是一条总的原则，它同样也适用于RF PCB设计。公共模拟地和用于屏蔽和隔开信号线的地通常是同等重要的，因此在设计早期阶段，仔细的计划、考虑周全的元器件布局和彻底的布局*估都非常重要，同样应使RF线路远离模拟线路和一些很关键的数字信号，所有的RF走线、焊盘和元件周围应尽可能多填接地铜皮，并尽可能与主地相连。如果RF走线必须穿过信号线，那么尽量在它们之间沿着RF走线布一层与主地相连的地。如果不可能的话，一定要保证它们是十字交叉的，这可将容性耦合减到最小，同时尽可能在每根RF走线周围多布一些地，并把它们连到主地。

三、PCB板设计时应注意几个方面

1、电源、地线的处理

对每个从事电子产品设计的工程人员来说都明白地线与电源线之间噪声所产生的原因，现只对降低式抑制噪声作以表述：

(1)、众所周知的是在电源、地线之间加上去耦电容。

(2)、尽量加宽电源、地线宽度，最好是地线比电源线宽，它们的关系是：地线>电源线>信号线，通常信号线宽为：0.2~0.3mm，最细宽度可达0.05~0.07mm，电源线为1.2~2.5 mm。对数字电路的PCB可用宽的地导线组成一个回路，即构成一个地网来使用(模拟电路的地不能这样使用)

(3)、用大面积铜层作地线用，在印制板上把没被用上的地方都与地相连接作为地线用。或是做成多层板，电源，地线各占用一层。

2、数字电路与模拟电路的共地处理

现在有许多PCB不再是单一功能电路(数字或模拟电路)，而是由数字电路和模拟电路混合构成的。因此在布线时就需要考虑它们之间互相干扰问题，特别是地线上的噪音干扰。数字电路的频率高，模拟电路的敏感性强，对信号线来说，高频的信号线尽可能远离敏感的模拟电路器件，对地线来说，整人PCB对外界只有一个结点，所以必须在PCB内部进行处理数、模共地的问题，而在板内部数字地和模拟地实际上是分开的它们之间互不相连，只是在PCB与外界连接的接口处(如插头等)。数字地与模拟地有一点短接，请注意，只有一个连接点。也有在PCB上不共地的，这由系统设计来决定。

3、信号线布在电(地)层上

在多层印制板布线时，由于在信号层没有布完的线剩下已经不多，再多加层数就会造成浪费也会给生产增加一定的工作量，成本也相应增加了，为解决这个矛盾，可以考虑在电(地)层上进行布线。首先应考虑用电源层，其次才是地层。因为最好是保留地层的完整性。

4、大面积导体中连接腿的处理

在大面积的接地(电)中，常用元器件的腿与其连接，对连接腿的处理需要进行综合的考虑，就电气性能而言，元件腿的焊盘与铜面满接为好，但对元件的焊接装配就存在一些不良隐患。所以兼顾电气性能与工艺需要，做成十字花焊盘，称之为热隔离(heat shield)俗称热焊盘(Thermal)，这样，可使在焊接时因截面过分散热而产生虚焊点的可能性大大减少。多层板的接电(地)层腿的处理相同。

5、布线中网络系统的作用

在许多CAD系统中，布线是依据网络系统决定的。网格过密，通路虽然有所增加，但步进太小，图场的数据量过大，这必然对设备的存贮空间有更高的要求，同时也对象计算机类电子产品的运算速度有极大的影响。而有些通路是无效的，如被元件腿的焊盘占用的或被安装孔、定们孔所占用的等。网格过疏，通路太少对布通率的影响极大。所以要有个疏密合理的网络系统来支持布线的进行。标准元器件两腿之间的距离为0.1英寸(2.54mm)，所以网格系统的基础一般就定为0.1英寸(2.54 mm)或小于0.1英寸的整倍数，如：0.05英寸、0.025英寸、0.02英寸等。

四、高频PCB设计技巧和方法

1、传输线拐角要采用45°角，以降低回损

2、要采用绝缘常数按层次严格受控的高性能绝缘电路板。这种方法有利于对绝缘材料与邻近布线之间的电磁场进行有效管理。

3、要完善有关高精度蚀刻的PCB设计规范。要考虑规定线宽总误差为 ± 0.0007 英寸、对布线形状的下切(undercut)和横断面进行管理并指定布线侧壁电镀条件。对布线(导线)几何形状和涂层表面进行总体管理，对解决与微波频率相关的趋肤效应问题及实现这些规范相当重要。

4、突出引线存在抽头电感，要避免使用有引线的组件。高频环境下，最好使用表面安装组件。

5、对信号过孔而言，要避免在敏感板上使用过孔加工(PTH)工艺，因为该工艺会导致过孔处产生引线电感。

6、要提供丰富的接地层。要采用模压孔将这些接地层连接起来防止3维电磁场对电路板的影响。

7、要选择非电解电镀或浸镀金工艺，不要采用HASL法进行电镀。

8、阻焊层可防止焊锡膏的流动。但是，由于厚度不确定性和绝缘性能的未知性，整个板表面都覆盖阻焊材料将会导致微带设计中的电磁能量的较大变化。一般采用焊坝(solder dam)来作阻焊层的电磁场。

这种情况下，我们管理着微带到同轴电缆之间的转换。在同轴电缆中，地线层是环形交织的，并且间隔均匀。在微带中，接地层在有源线之下。这就引入了某些边缘效应，需在设计时了解、预测并加以考虑。当然，这种不匹配也会导致回损，必须最大程度减小这种不匹配以避免产生噪音和信号干扰。

五、电磁兼容性设计

电磁兼容性是指电子设备在各种电磁环境中仍能够协调、有效地进行工作的能力。电磁兼容性设计的目的是使电子设备既能抑制各种外来的干扰，使电子设备在特定的电磁环境中能够正常工作，同时又能减少电子设备本身对其它电子设备的电磁干扰。

1、选择合理的导线宽度

由于瞬变电流在印制线条上所产生的冲击干扰主要是由印制导线的电感成分造成的，因此应尽量减小印制导线的电感量。印制导线的电感量与其长度成正比，与其宽度成反比，因而短而精的导线对抑制干扰是有利的。时钟引线、行驱动器或总线驱动器的信号线常常载有大的瞬变电流，印制导线要尽可能地短。对于分立元件电路，印制导线宽度在1.5mm左右时，即可完全满足要求;对于集成电路，印制导线宽度可在0.2~1.0mm之间选择。

2、采用正确的布线策略

采用平等走线可以减少导线电感，但导线之间的互感和分布电容增加，如果布局允许，最好采用井字形网状布线结构，具体做法是印制板的一面横向布线，另一面纵向布线，然后在交叉孔处用金属化孔相连。

3、有效地抑制串扰

为了抑制印制板导线之间的串扰，在设计布线时应尽量避免长距离的平行走线，尽可能拉开线与线之间的距离，信号线与地线及电源线尽可能不交叉。在一些对干扰十分敏感的信号线之间设置一根接地的印制线，可以有效地抑制串扰。

4、为了避免高频信号通过印制导线时产生的电磁辐射，在印制电路板布线时，还应注意以下几点：

- (1)尽量减少印制导线的不连续性，例如导线宽度不要突变，导线的拐角应大于90度禁止环状走线等。
- (2)时钟信号引线最容易产生电磁辐射干扰，走线时应与地线回路相靠近，驱动器应紧挨着连接器。
- (3)总线驱动器应紧挨其欲驱动的总线。对于那些离开印制电路板的引线，驱动器应紧紧挨着连接器。
- (4)数据总线的布线应每两根信号线之间夹一根信号地线。最好是紧紧挨着最不重要的地址引线放置地回路，因为后者常载有高频电流。
- (5)在印制板布置高速、中速和低速逻辑电路时，应按照图1的方式排列器件。

5、抑制反射干扰

为了抑制出现在印制线条终端的反射干扰，除了特殊需要之外，应尽可能缩短印制线的长度和采用慢速电路。必要时可加终端匹配，即在传输线的末端对地和电源端各加接一个相同阻值的匹配电阻。根据经验，对一般速度较快的TTL电路，其印制线条长于10cm以上时就应采用终端匹配措施。匹配电阻的阻值应根据集成电路的输出驱动电流及吸收电流的最大值来决定。

6、电路板设计过程中采用差分信号线布线策略

布线非常靠近的差分信号对相互之间也会互相紧密耦合，这种互相之间的耦合会减小EMI发射，通常(当然也有一些例外)差分信号也是高速信号，所以高速设计规则通常也都适用于差分信号的布线，特别是设计传输线的信号线时更是如此。这就意味着我们必须非常谨慎地设计信号线的布线，以确保信号线的特征阻抗沿信号线各处连续并且保持一个常数。

在差分线对的布局布线过程中，我们希望差分线对中的两个PCB线完全一致。这就意味着，在实际应用中应该尽最大的努力来确保差分线对中的PCB线具有完全一样的阻抗并且布线的长度也完全一致。差分PCB线通常总是成对布线，而且它们之间的距离沿线对的方向在任意位置都保持为一个常数不变。通常情况下，差分线对的布局布线总是尽可能地靠近。