

台积电宣布5nm基本完工开始试产：面积缩小45%、性能提升15%

台积电(TSMC)宣布，率先完成5nm的架构设计，基于EUV极紫外微影(光刻)技术，且已经进入试产阶段。

根据官方数据，相较于7nm(第一代DUV)，基于Cortex A72核心的全新5nm芯片能够提供1.8倍的逻辑密度、速度增快15%。同样制程的SRAM也十分优异且面积缩减。

台积电同时宣布提供完整的5nm设计规则手册、SPICE模型、制程设计套件以及通过硅晶圆验证的基材，并且全面支持EDA(电子自动化设计工具)。

Advertised PPA Improvements of New Process Technologies Data announced by companies during conference calls, press briefings and in press releases						
	TSMC					
	16FF+ vs 20SOC	10FF vs 16FF+	7FF vs 16FF+	7FF vs 10FF	7FF+ vs 7FF	5FF vs 7FF
Power	60%	40%	60%	<40%	10%	20%
Performance	40%	20%	30%	?	same (?)	15%
Area Reduction	none	>50%	70%	>37%	~17%	45%

今年初,台积电曾表示, 5nm将于2020年底之前量产, 考虑到还有1年半的时间, 完全可以期待。

据悉,此次的第一代5nm是台积电第二次引入EUV技术, 多达14层;而第二代7nm(预计今年苹果A13、麒麟985/990要用)的EUV, 只有4层规模。

随着格芯(GF)、联电的退出, 目前能够做7nm以及更先进工艺晶圆的厂商就只剩下了三星、台积电和Intel, 但Intel实际上并不和台积电直接竞争, 因为其晶圆厂甚至连满足自家需求都还捉急, 只是保不齐对手AMD会重金下单。

