

# 高频高速PCB设计之实用大全（2）

本期继续给大家分享高频高速PCB设计之实用大全(2): 设计技巧、注意事项、经验分享等等知识点归纳

## 26、当一块 PCB 板中有多个数/模功能块时，常规做法是要将数/模地分开，原因何在？

将数/模地分开的原因是因为数字电路在高低电位切换时会在电源和地产生噪声，噪声的大小跟信号的速度及电流大小有关。如果地平面上不分割且由数字区域电路所产生的噪声较大而模拟区域的电路又非常接近，则即使数模信号不交叉，模拟的信号依然会被地噪声干扰。也就是说数模地不分割的方式只能在模拟电路区域距产生大噪声的数字电路区域较远时使用。

## 27、另一种作法是在确保数/模分开布局，且数/模信号走线相互不交叉的情况下，整个 PCB板地不做分割，数/模地都连到这个地平面上。道理何在？

数模信号走线不能交叉的要求是因为速度稍快的数字信号其返回电流路径(return current path)会尽量沿着走线的下方附近的地流回数字信号的源头，若数模信号走线交叉，则返回电流所产生的噪声便会出现模拟电路区域内。

## 28、在高速 PCB 设计原理图设计时，如何考虑阻抗匹配问题？

在设计高速 PCB 电路时，阻抗匹配是设计的要素之一。而阻抗值跟走线方式有绝对的关系，例如是走在表面层(microstrip)或内层(stripline/double stripline)，与参考层(电源层或地层)的距离，走线宽度，PCB材质等均会影响走线的特性阻抗值。也就是说要在布线后才能确定阻抗值。一般仿真软件会因线路模型或所使用的数学算法的\*\*而无法考虑到一些阻抗不连续的布线情况，这时候在原理图上只能预留一些 terminators(端接)，如串联电阻等，来缓和走线阻抗不连续的效应。真正根本解决问题的方法还是布线时尽量注意避免阻抗不连续的发生。

## 29、哪里能提供比较准确的 IBIS 模型库？

IBIS 模型的准确性直接影响到仿真的结果。基本上 IBIS 可看成是实际芯片 I/O buffer 等效电路的电气特性数据，一般可由 SPICE 模型转换而得(亦可采用测量，但\*\*较多)，而 SPICE 的数据与芯片制造有绝对的关系，所以同样一个器件不同芯片厂商提供，其 SPICE 的数据是不同的，进而转换后的 IBIS 模型内之数据也会随之而异。也就是说，如果用了 A 厂商的器件，只有他们有能力提供他们器件准确模型数据，因为没有其它人会比他们更清楚他们的器件是由何种工艺做出来的。如果厂商所提供的 IBIS 不准确，只能不断要求该厂商改进才是根本解决之道。

## 30、在高速 PCB 设计时，设计者应该从哪些方面去考虑 EMC、EMI 的规则呢？

一般 EMI/EMC 设计时需要同时考虑辐射(radiated)与传导(conducted)两个方面。前者归属于频率较高的部分(>30MHz)后者则是较低频的部分(30MHz)。所以不能只注意高频而忽略低频的部分。一个好的 EMI/EMC 设计必须一开始布局时就要考虑到器件的位置，PCB 叠层的安排，重要联机的走法，器件的选择等，如果这些没有事前有较佳的安排，事后解决则会事倍功半，增加成本。例如时钟产生器的位置尽量不要靠近对外的连接器，高速信号尽量走内层并注意特性阻抗匹配与参考层的连续以减少反射，器件所推的信号之斜率(slew rate)尽量小以减低高频成分，选择去耦合(decoupling/bypass)电容时注意其频率响应是否符合需求以降低电源层噪声。另外，注意高频信号电流之回路路径使其回路面积尽量小(也就是回路阻抗loop impedance 尽量小)以减少辐射。还可以用分割地层的方式以控制高频噪声的范围。最后，适当的选择 PCB 与外壳的接地点(chassis ground)。

## 31、如何选择 EDA 工具？

目前的 pcb 设计软件中，热分析都不是强项，所以并不建议选用，其它的功能 1.3.4 可以选择 PADS 或 Cadence 性能价格比都不错。PLD 的设计的初学者可以采用 PLD 芯片厂家提供的集成环境，在做到百万门以上的设计时可以选用单点工具。

## 32、请推荐一种适合于高速信号处理和传输的 EDA 软件。

常规的电路设计，INNOVEDA 的 PADS 就非常不错，且有配合用的仿真软件，而这类设计往往占据了 70% 的应用场合。在做高速电路设计，模拟和数字混合电路，采用 Cadence 的解决方案应该属于性能价格比较好的软件，当然 Mentor 的性能还是非常不错的，特别是它的设计流程管理方面应该是最为优秀的。(大唐电信技术专家 王升)

## 33、对 PCB 板各层含义的解释

Topoverlay ----顶层器件名称，也叫 top silkscreen 或者 top component legend, 比如 R1 C5,

IC10.bottomoverlay---同理 multilayer----如果你设计一个 4 层板，你放置一个 free pad or via, 定义它作为 multilay 那么它的 pad 就会自动出现在 4 个层上，如果你只定义它是 top layer, 那么它的 pad 就会只出现在顶层上。

## 34、2G 以上高频 PCB 设计，走线,排版,应重点注意哪些方面？

2G 以上高频 PCB 属于射频电路设计，不在高速数字电路设计讨论范围内。而射频电路的布局(layout)和布线(routing)应该和原理图一起考虑的，因为布局布线都会造成分布效应。而且，射频电路设计一些无源器件是通过参数化定义，特殊形状铜箔实现，因此要求 EDA 工具能够提供参数化器件，能够编辑特殊形状铜箔。Mentor 公司的 boardstation 中有专门的 RF 设计模块，能够满足这些要求。而且，一般射频设计要求有专门射频电路分析工具，业界最著名的是 agilent 的 eesoft, 和 Mentor 的工具有很好的接口。

## 35、2G 以上高频 PCB 设计，微带的设计应遵循哪些规则？

射频微带线设计，需要用三维场分析工具提取传输线参数。所有的规则应该在这个场提取工具中规定。

## 36、对于全数字信号的 PCB，板上有一个 80MHz 的钟源。除了采用丝网(接地)外，为了保证有足够的驱动能力，还应该采用什么样的电路进行保护？

确保时钟的驱动能力，不应该通过保护实现，一般采用时钟驱动芯片。一般担心时钟驱动能力，是因为多个时钟负载造成。采用时钟驱动芯片，将一个时钟信号变成几个，采用点到点的连接。选择驱动芯片，除了保证与负载基本匹配，信号沿满足要求(一般时钟为沿有效信号)，在计算系统时时，要算上时钟在驱动芯片内时延。

### 37、如果用单独的时钟信号板，一般采用什么样的接口，来保证时钟信号的传输受到的影响小？

时钟信号越短，传输线效应越小。采用单独的时钟信号板，会增加信号布线长度。而且单板的接地供电也是问题。如果要长距离传输，建议采用差分信号。LVDS 信号可以满足驱动能力要求，不过您的时钟不是太快，没有必要。

### 38、27M,SDRAM 时钟线(80M-90M)，这些时钟线二三次谐波刚好在 VHF 波段，从接收端高频窜入后干扰很大。除了缩短线长以外，还有那些好办法？

如果是三次谐波大，二次谐波小，可能因为信号占空比为 50%，因为这种情况下，信号没有偶次谐波。这时需要修改一下信号占空比。此外，对于如果是单向的时钟信号，一般采用源端串联匹配。这样可以抑制二次反射，但不会影响时钟沿速率。源端匹配值，可以采用下图公式得到。

### 39、什么是走线的拓扑架构？

Topology,有的也叫 routing order.对于多端口连接的网络的布线次序。

### 40、怎样调整走线的拓扑架构来提高信号的完整性？

这种网络信号方向比较复杂，因为对单向，双向信号，不同电平种类信号，拓扑影响都不一样，很难说哪种拓扑对信号质量有利。而且作前仿真时，采用何种拓扑对工程师要求很高，要求对电路原理，信号类型，甚至布线难度等都要了解。

### 41、怎样通过安排叠层来减少 EMI 问题？

首先，EMI 要从系统考虑，单凭 PCB 无法解决问题。层迭对 EMI 来讲，我认为主要是提供信号最短回流路径，减小耦合面积，抑制差模干扰。另外地层与电源层紧耦合，适当比电源层外延，对抑制共模干扰有好处。

### 42、为何要铺铜？

一般铺铜有几个方面原因。1，EMC.对于大面积的地或电源铺铜，会起到屏蔽作用，有些特殊地，如 PGND 起到防护作用。2，PCB 工艺要求。一般为了保证电镀效果，或者层压不变形，对于布线较少的 PCB 板层铺铜。3，信号完整性要求，给高频数字信号一个完整的回流路径，并减少直流网络的布线。当然还有散热，特殊器件安装要求铺铜等等原因。

### 43、在一个系统中，包含了 dsp 和 pld，请问布线时要注意哪些问题呢？

看你的信号速率和布线长度的比值。如果信号在传输在线的时延和信号变化沿时间可比的话，就要考虑信号完整性问题。另外对于多个 DSP，时钟，数据信号布线拓扑也会影响信号质量和时序，需要关注。

### 44、除 protel 工具布线外，还有其他好的工具吗？

至于工具，除了 PROTEL，还有很多布线工具，如 MENTOR 的 WG2000,EN2000 系列和 powerpcb, Cadence 的 allegro, zuken 的 cadstar,cr5000 等，各有所长。

### 45、什么是“信号回流路径”？

信号回流路径,即 return current。高速数字信号在传输时，信号的流向是从驱动器沿 PCB 传输线到负载，再由负载沿着地或电源通过最短路径返回驱动器端。这个在地或电源上的返回信号就称信号回流路径。Dr.Johson 在他的书中解释，高频信号传输，实际上是对传输线与直流层之间包夹的介质电容充电的过程。SI 分析的就是这个围场的电磁特性，以及他们之间的耦合。

### 46、如何对接插件进行 SI 分析？

在 IBIS3.2 规范中，有关于接插件模型描述。一般使用 EBD 模型。如果是特殊板，如背板，需要 SPICE 模型。也可以使用多板仿真软件 (HYPERLYNX 或 IS\_multiboard)，建立多板系统时，输入接插件的分布参数，一般从接插件手册中得到。当然这种方式会不够精确，但只要在接受范围内即可。

### 47、请问端接的方式有哪些？

端接(terminal),也称匹配。一般按照匹配位置分有源端匹配和终端匹配。其中源端匹配一般为电阻串联匹配，终端匹配一般为并联匹配，方式比较多，有电阻上拉，电阻下拉，戴维南匹配，AC 匹配，肖特基二极管匹配。

### 48、采用端接(匹配)的方式是由什么因素决定的？

匹配采用方式一般由 BUFFER 特性，拓普情况，电平种类和判决方式来决定，也要考虑信号占空比，系统功耗等。

### 49、采用端接(匹配)的方式有什么规则？

数字电路最关键的是时序问题，加匹配的目的在于改善信号质量，在判决时刻得到可以确定的信号。对于电平有效信号，在保证建立、保持时间的前提下，信号质量稳定;对延有效信号，在保证信号延单调性前提下，信号变化延速度满足要求。Mentor ICX 产品教材中有关于匹配的一些资料。另外《High Speed Digital design a hand book of blackmagic》有一章专门对 terminal 的讲述，从电磁波原理上讲述匹配对信号完整性的作用，可供参考。

### 50、能否利用器件的 IBIS 模型对器件的逻辑功能进行仿真?如果不能，那么如何进行电路的板级和系统级仿真？

IBIS 模型是行为级模型，不能用于功能仿真。功能仿真，需要用 SPICE 模型，或者其他结构级模型。