

概述

LP55135 是一款高性能的副边同步整流控制芯片，适用于 AC-DC 的同步整流应用，适用于正激系统和反激系统。LP55135 支持 DCM, BCM, QR 和 CCM 多种工作模式。

LP55135 采用专利的整流管开通技术和周期追踪技术，可以有效的避免因激磁振荡引起的驱动芯片误动作以及在 CCM 工作条件下纯电压判定的关断延迟造成的效率损失。

LP55135 采用专利的死区时间外置可编程技术，通过调整一个电阻阻值即可以调节系统在 CCM 模式下同步整流管关断的死区时间。

LP55135 内置 VCC 供电，在不需要辅助绕组供电的情况下，保证 AC-DC 控制器在多种输出电压条件时，芯片 VCC 供电脚都不会欠压。

LP55135 采用 SOT23-6 封装。

典型应用

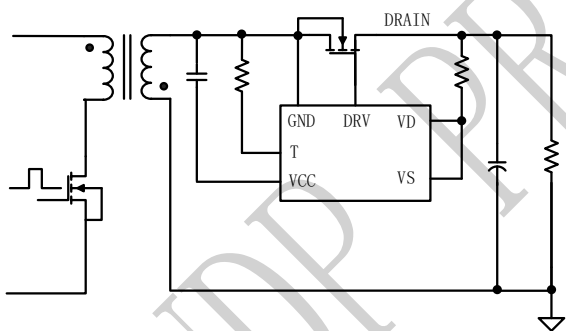


图 1 LP55135 反激典型应用图

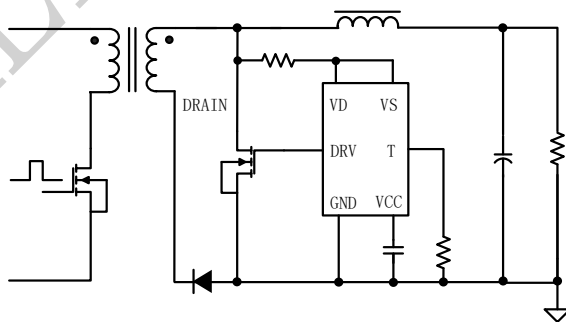


图 2 LP55135 正激典型应用图

订购信息

订购型号	封装	包装形式	打印
LP55135	SOT23-6	盘装 3000 颗/盘	55XXXX

XXXX: 批号

特点

- 隔离型的同步整流控制应用
- 适用正激和反激系统
- 兼容 DCM, BCM, QR, CCM 多种工作模式
- 专利的整流管开通技术和周期追踪技术
- 内置 VCC 供电
- 芯片供电欠压保护
- 芯片过压钳位
- 芯片启动前驱动脚防误导通
- 外围元器件少
- SOT23-6 封装

应用

- 充电器和适配器的同步整流
- 正激控制器和反激控制器

管脚封装

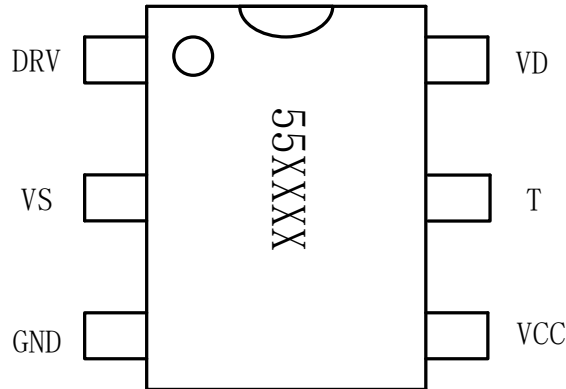


图 3 管脚封装图

管脚描述

管脚号	管脚名称	描述
1	DRV	同步整流驱动脚位，和 MOS 管的栅极连接
2	VS	供电，短接 VD，然后串电阻连接 MOS 管的 DRAIN
3	GND	同步整流驱动器的芯片地，和 MOS 管的源极连接
4	VCC	同步整流管的供电脚位，接旁路电容到 GND
5	T	预关断设置脚位，外接电阻可设置死区时间
6	VD	同步信号检测，短接 VS，然后串电阻连接 MOS 管的 DRAIN

极限参数(注 1)

符号	参数	参数范围	单位
VD	同步信号检测	-0.3~60	V
VS	供电	-0.3~60	V
T	芯片死区时间设置端	-0.3~6	V
VCC	电源电压	-0.3~6	V
DRV	芯片驱动脚位	-0.3~6	V
P_{DMAX}	功耗(注 2)	0.45	W
θ_{JA}	PN结到环境的热阻	240	°C/W
T_J	工作结温范围	-40 to 150	°C
T_{STG}	储存温度范围	-55 to 150	°C
	ESD(注 3)	2	KV

注 1: 最大极限值是指超出该工作范围，芯片有可能损坏。推荐工作范围是指在该范围内，器件功能正常，但并不完全保证满足个别性能指标。电气参数定义了器件在工作范围内并且在保证特定性能指标的测试条件下的直流和交流电参数规范。对于未给定上下限值的参数，该规范不予保证其精度，但其典型值合理反映了器件性能。

注 2: 温度升高最大功耗一定会减小，这也是由 T_{JMAX} , θ_{JA} , 和环境温度 T_A 所决定的。最大允许功耗为 $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ 或是极限范围给出的数字中比较低的那个值。

注 3: 人体模型，100pF 电容通过 1.5KΩ 电阻放电。

电气参数(注 4,5) (无特别说明情况下, $V_{CC}=5.2V, T_A=25^{\circ}C$)

符号	描述	说明	最小值	典型值	最大值	单位
电源电压						
V_{CC}	V_{CC} 工作电压	D=40V, Other Floating		5.2		V
V_{CC_ON}	V_{CC} 启动电压	V_{CC} 上升		3.6		V
V_{CC_UVLO}	V_{CC} 欠压保护阈值	V_{CC} 下降		3.2		V
I_{ST}	V_{CC} 启动电流	$V_{CC}=V_{CC_ON}-0.5V$		120		μA
I_{CC}	V_{CC} 工作电流			260		μA
V_{CC_clamp}	V_{CC} 钳位电压	$I_{CC}=40mA$		6.0		V
阈值电压设置						
V_{ON}	整流管开通电压阈值			-0.20		V
V_{OFF1}	整流管第一关断阈值	快速比较器		-5		mV
T_{b1}	快速比较器屏蔽时间			3.6		μs
T_{d1}	快速比较器响应时间				10	ns
T_d	总关断延迟		快速比较器, $C_g=5nF$		30	
V_{OFF2}	整流管第二关断阈值	慢速比较器		-5		mV
T_{b2}	慢速比较器屏蔽时间			1.6		μs
判定设置						
T_{DEAD}	整流管最小死区时间	T 短路到 GND	100	350	500	ns
驱动能力						
T_{RISE}	驱动上升时间	$C_g=5nF$			25	ns
T_{FALL}	驱动下降时间	$C_g=5nF$			10	ns

注 4: 典型参数值为 25°C 下测得的参数标准。

注 5: 规格书的最小、最大规范范围由测试保证, 典型值由设计、测试或统计分析保证。

内部结构框图

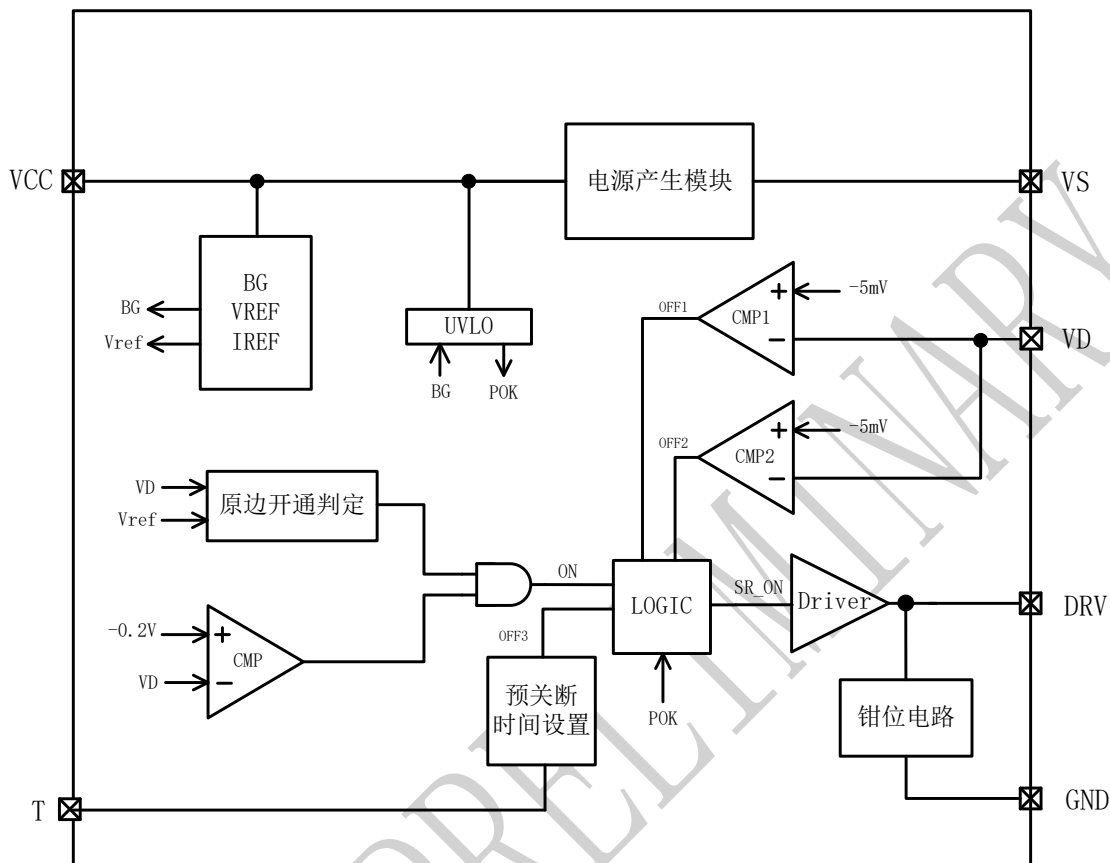


图 4 LP55135 内部框图

应用信息

LP55135 是一款高性能的副边同步整流芯片，适用于隔离型的同步整流应用，适用于正激和反激系统，支持 DCM, BCM, CCM 和 QR 多种工作模式。LP55135 采用专利的整流管开通技术和周期追踪技术，可以有效避免因激磁振荡引起的驱动芯片误动作以及在 CCM 工作条件下纯电压判定的关断延迟造成的效率损失。LP55135 内置 VCC 供电技术，在不需要辅助绕组供电的情况下，保证 AC-DC 控制器在多种输出电压条件时，芯片 VCC 供电脚都不会欠压。

启动

当系统上电后，通过内置 MOS 的体二极管对输出电容充电，输出电压上升。LP55135 通过 VS 脚连接输出电压，当输出电压上升时，经过芯片内部供电电路，给 VCC 电容充电，当 VCC 的电压充到开启阈值电压时，芯片内部控制电路开始工作，MOS 正常的导通和关断。MOS 正常的导通时，电流不再从体二极管流过，而从 MOS 的沟道流过。芯片正常工作时，所需的工作电流仍然会通过 VS 脚，给 VCC 供电。

VCC 供电技术

反激系统:

情况 1 (典型应用): MOS 管, $C_{iss} \leq 6nF$ 时, 通过 D 脚给 VCC 供电。如图 5、图 6

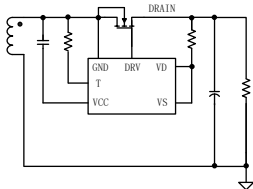


图 5 输出上端

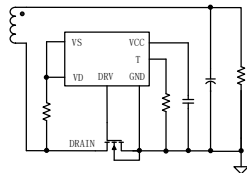


图 6 输出下端

此种方式供电, 芯片的带载能力 30W~60W。

情况 2: $C_{iss} > 6nF$ 时, VCC 可外加 CVF 电路加强供电, 如图 7、图 8

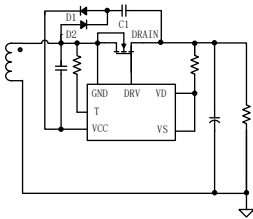


图 7 输出上端

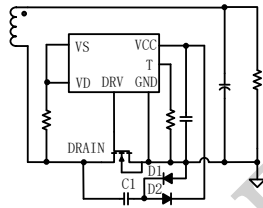


图 8 输出下端

C1: 取值 MOS 管 C_{iss} 的 1/10, C1 可以适当调整, 尽量使 VCC 工作于 5.0V~5.4V; D1、D2: 用 1N4148。此种方式供电, 芯片的带载能力 60W~120W。

情况 3: 输出电压 $V_o \approx 5.0V$ 时, 驱动器的地和输出的地连接应用, VCC 与输出电容正端之间串接 500Ω~1KΩ 电阻如图 9

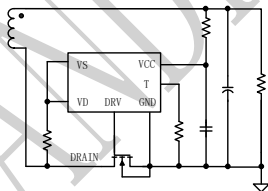


图 9 输出下端

此种方式供电, 建议 MOS 管的 C_{iss} 小于 8nF, 芯片的带载能力 100W~200W。说明: VCC 与输出电容正端之间串接 500Ω~1KΩ 电阻的作用是防止 VCC 与输出电容正端连接走线过长, 较强的干扰信号导致 VCC 脚损伤。

正激系统:

情况 1 (典型应用): MOS 管 $C_{iss} \leq 6nF$, 通过 VS 脚给 VCC 供电, 如图 10

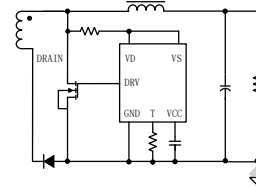


图 10

此种方式供电, 芯片的带载能力 30W~60W。

情况 2: $C_{iss} > 6nF$ 时, VCC 可外加 CVF 电路加强 VCC 供电, 如图 11

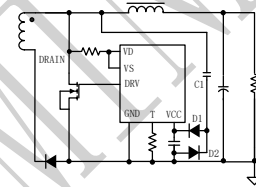


图 11

C1: 取值 MOS 管 C_{iss} 的 1/10, C1 可以适当调整, 尽量使 VCC 工作于 5.0V~5.4V; D1、D2: 用 1N4148。此种方式供电, 芯片的带载能力 60W~120W。

情况 3: 输出电压 $V_o \approx 5.0V$ 时, VCC 与输出电容正端之间串接 500Ω~1KΩ 电阻, 如图 12

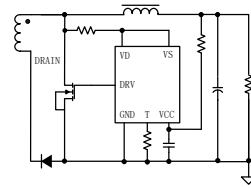


图 12

此种方式供电, 建议 MOS 管的 C_{iss} 小于 8nF, 芯片的带载能力 100W~200W。说明: VCC 与输出电容正端之间串接 500Ω~1KΩ 电阻的作用是防止 VCC 与输出电容正端连接走线过长, 较强的干扰信号导致 VCC 脚损伤。

备注:

1) 以上供电方式: MOS 管的 C_{iss} 越小, V_{DS} 平台电压越低, 频率越小 (建议频率小于 66KHz), 芯片的温升效果越好, 即带载能力越强

2) 同步整流放输出下端, VCC 通过电阻与系统输出 V_o 正端连接时, V_o 必须 $< 5.5V$

同步整流管导通

DCM 工作时，由于电感的激磁作用，当初级芯片关断时，会产生振荡。为了防止误检测振荡信号，导致同步整流管的异常开启，LP55135 采用专利的整流管开通技术。

当初级芯片关断时，次级 LP55135 的漏极 D 与 GND 之间的电压迅速下降。LP55135 通过检测 D 和 GND 之间的下降电压阈值和下降速率，能准确的判断同步整流管的开启。

同步整流管关断

为了避免同步整流管导通时，因激磁振荡幅度较大，导致误检测关断信号，使同步整流管异常的关断；LP55135 采用专利的周期追踪技术以及设定的整流管关断第一电压阈值和第二电压阈值，能准确地判断同步整流管的关断。

可编程的死区时间设置

LP55135 的死区时间可以通过 T 脚位外接电阻灵活设置。当 T 脚位悬空时，无死区时间；当 T 脚位接电阻时，死区时间设置公式如下：

$$T_{Det} = 350 + 10R;$$

$$R \leq 200K \Omega;$$

其中 T_{Det} 要设置的死区时间（单位 nS），R 为 T

脚位接的外部电阻（单位 K Ω ）。

MOS 管的 DRAIN 与芯片的 VD 和 VS 之间电阻取值

MOS 管的 DRAIN 与芯片的 VD 和 VS 之间电阻取值：10 Ω ~200 Ω ；增强系统可靠性。

保护功能

LP55135 集成了 VCC 欠压保护，过压钳位，以及驱动脚去干扰等技术。

PCB 设计

在设计 LP55135 PCB 时，需要遵循以下指南：

主功率回路走线要短粗；

主功率回路不要包围芯片；

DRV 与功率管栅极的连线越短越好；

GND 与功率管源极的连线越短越好；

VCC 旁路电容紧靠芯片 VCC 管脚和 GND 管脚；

T 脚电阻紧靠芯片 T 脚和 GND 管脚；

D 引脚的铺铜面积适当大些以提高芯片散热。

封装信息

