

➤ 特征

- 射频输入频率范围：33GHz 至 38GHz
- 分数 N 合成器和整数 N 合成器
- 高分辨率 24 位分数模
- 典型杂散 PFD: -50dBc
- 相位噪声: -78dBc/Hz@10kHz
- 锁定时间: < 30 μ s
- 模拟和数字电源: 3.3V/1.0V
- VCO 电源: 1.2V
- 输出功率: -5dBm
- 外形尺寸: 1.6 \times 1.8mm²

➤ 应用

- 测试设备和仪器
- 时钟脉冲振荡

➤ 功能框图

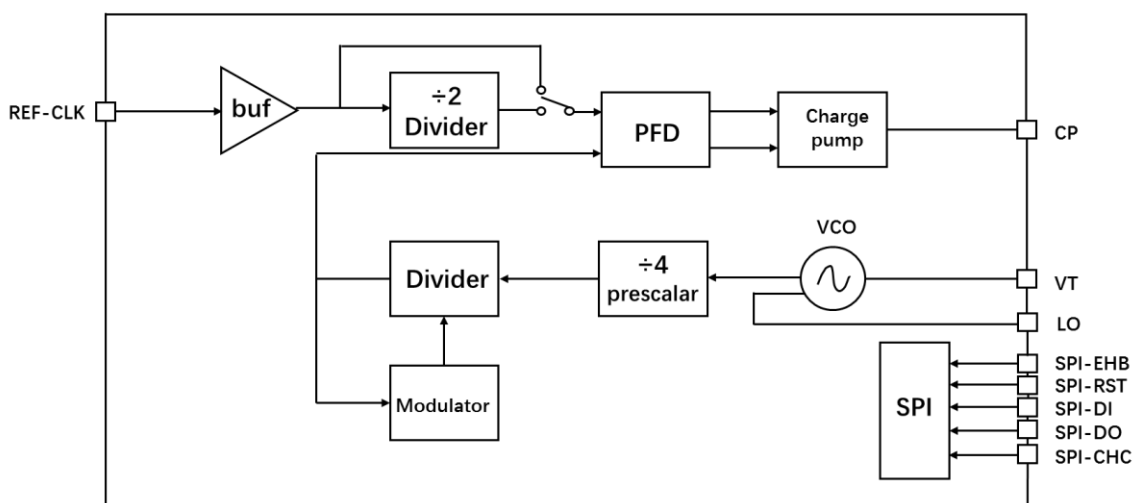


图 1. 功能框图

➤ 产品简介

YP7011MB 可以实现分数 N 和整数 N 锁相环 (PLL) 频率合成器，与外部环路滤波器和外部基准时钟一起使用。宽带毫米波压控振荡器 (VCO) 的设计可以产生 33GHz 到 38GHz 的频率。

YP7011MB 集成压控振荡器、预分频器、分频器、PFD、电荷泵、分数 N 调制器和 SPI 接口，整体芯片尺寸小于 3mm²。

集成的高性能分数 N 调制器保证了输出具有低的带内杂散和忽略的带外杂散。

所有片内寄存器的控制都是通过一个标准的 SPI 接口实现的。此外，该芯片还优化了电源计划，以简化外部电源。

目 录

特征.....	1
应用.....	1
产品简介.....	1
功能框图.....	1
修订记录.....	2
规格.....	3
定时规格.....	4
时序图.....	4
绝对最大额定值.....	5
引脚配置和功能描述.....	6
典型性能特征.....	8
寄存器总结.....	9
寄存器详述.....	9
操作.....	11
合成器输出频率.....	11
电荷泵.....	12
环路滤波器.....	13
外部 PLL 配置.....	14
电源.....	14
PCB 设计指南.....	14
输出匹配.....	14

➤ 修订记录

8/2019 – 修订 0: 初始版本

➤ 规格

表 1. 规格

参数	符号	最小值	典型值	最大值	单位	测试条件/意见
REFP 和 REFN 特征						
输入频率	f_{REF}	10	40	200	MHz	参考时钟分频器已禁用
输入灵敏度	P_{REF}	-5	0	10	dBm	
相位检测器频率				100		
电荷泵						
电荷泵电流, 下拉和上拉电流	I_{CP}					$0.5V \leq CP$ 引脚电压 (V_{CP}) $\leq V_{DD33} - 0.5V$ $V_{CP} = 1.8V$
高值			3.6		mA	
低值			0.4		mA	
电流匹配			5		%	
逻辑输入						
输入高电压	V_{INH}	$V_{DD33}-0.3$	$V_{DD33}+0.3$		V	SPI_ENB, SPI_RST, SPI_DI, SPI_CLK
输入低电压	V_{INL}	-0.3	0.3		V	
输入电流	I_{INH}/I_{INL}			± 1	μA	
输入电容	C_{IN}		5		pF	
逻辑输出						
输出高电压	V_{OH}	$V_{DD33}-0.3$			V	SPI_DO, PLL_LD
输出低电压	V_{OL}			0.4	V	
电源						
VDD12_VCO, VDD12_PRE	V_{DD12}	1.14	1.2	1.26		V
VDD10_LO1, VDD10_LO2, VDD10_DIV, VDD10_SDM, VDD10_XO, VDD VDDPST, VDD33_PFD, VDD33_VT	V_{DD10}	0.95	1.0	1.05		
	V_{DD33}	3.15	3.3	3.45		
射频输出特性						
压控振荡器频率范围		33		38	GHz	
压控振荡器灵敏度	K_{VCO}		1.5		GHz/V	
保持锁定温度范围		-45		105	$^{\circ}C$	
射频输出功率变化			-5			$f_{VCO} = 34.56GHz$
射频输出功率变化 (超过频率)	P_{VCO}	-14		0	dBm	
噪声特性						
基本压控振荡器相位噪声			-50		dBc	$f_{VCO} = 34.56GHz,$ 偏移 @10kHz
整芯片相位噪声			-80		dBc	$f_{VCO} = 34.56GHz,$ 偏移 @10kHz
			-80		dBc	$f_{VCO} = 34.56GHz,$ 偏移 @100kHz
整数边界毛刺				-60	dBc	在 40MHz 偏移量下 测量($f_{REF}=40MHz$) 在 2.5MHz 偏移量下 测量
带内整数边界毛刺 (未过滤)				-65	dBc	

参数	符号	最小值	典型值	最大值	单位	测试条件/意见
频率锁定时间				30	μs	环路带宽= 300kHz

➤ 定时规格

表 2. 定时规格

参数	符号	最小值	典型值	最大值	单位
串口接口 (SPI) 定时					
SCLK 频率	tSLCK			50	MHz
SCLK 周期	tSLCK	20			ns
SCLK 脉宽高	tPWH	10			ns
SCLK 脉宽低	tPWL	10			ns
SDIO 设置时间	tDS	2.5			ns
SDIO 保持时间	tDH	2.5			ns
SCLK 下降边缘到 SDIO 有效传播	tDV	2.5			ns
SCLK_ENB 下降至 SPI_CLK 上升设置时间	tPCS	10			ns

时序图

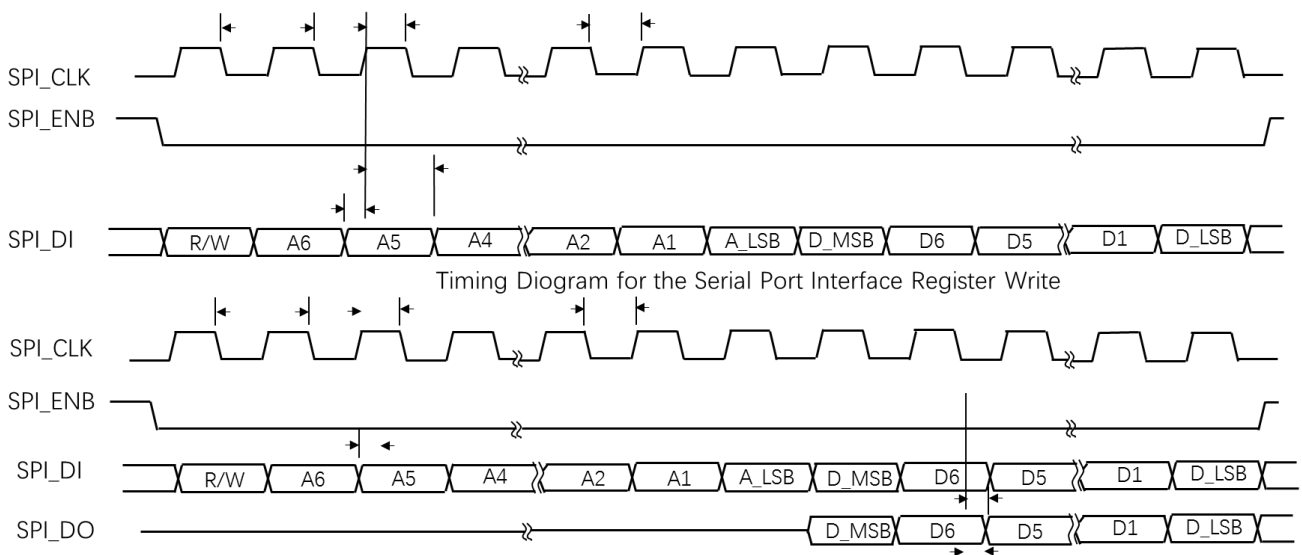


图 2. 时序图

➤ 绝对最大额定值

表 3. 绝对最大额定值 (T_A = 25°C)

参数	范围
VDD12_VCO 至 VSS12_VCO	-0.3V 至 +1.3V
VDD10_LO1 至 VSS10_LO1	-0.3V 至 +1.2V
VDD10_LO2 至 VSS10_LO2	-0.3V 至 +1.2V
VDD12_PRE 至 VSS12_PRE	-0.3V 至 +1.3V
VDD10_DIV 至 VSS10_DIV	-0.3V 至 +1.2V
VDD10_SDM 至 VSS10_SDM	-0.3V 至 +1.2V
VDD10_XO 至 VSS10_XO	-0.3V 至 +1.2V
VDD 至 VSS	-0.3V 至 +1.2V
VDDPST 至 VSSPST	-0.3V 至 +3.6V
VDD33_PFDPCP 至 VSS33_PFDPCP	-0.3V 至 +3.6V
VDD33_VT 至 VSS33_VT	-0.3V 至 +3.6V
CP to VSS33_PFDPCP	-0.3V 至 VDD33_PFDPCP+0.3V
VT 至 VSS33_VT	-0.3V 至 VDD33_VT+0.3V
DIV4 至 VSS12_PRE	-0.3V 至 VSS12_PRE+0.3V
REF_CLK 至 VSS10_XO	-0.3V 至 VSS10_XO+0.3V
LD 至 VSS33_PFDPCP	-0.3V 至 VDD33_PFDPCP+0.3V
VSSPST 的数字输入和输出电压	-0.3V 至 VDDPST+0.3V
工作温度范围	-45°C 至 +105°C
存储温度范围	-65°C 至 +125°C
最大烧结温度	125°C
静电放电人体模型	2.0kV

ESD 警告



静电敏感设备 注意操作注意事项

➤ 引脚配置和功能描述

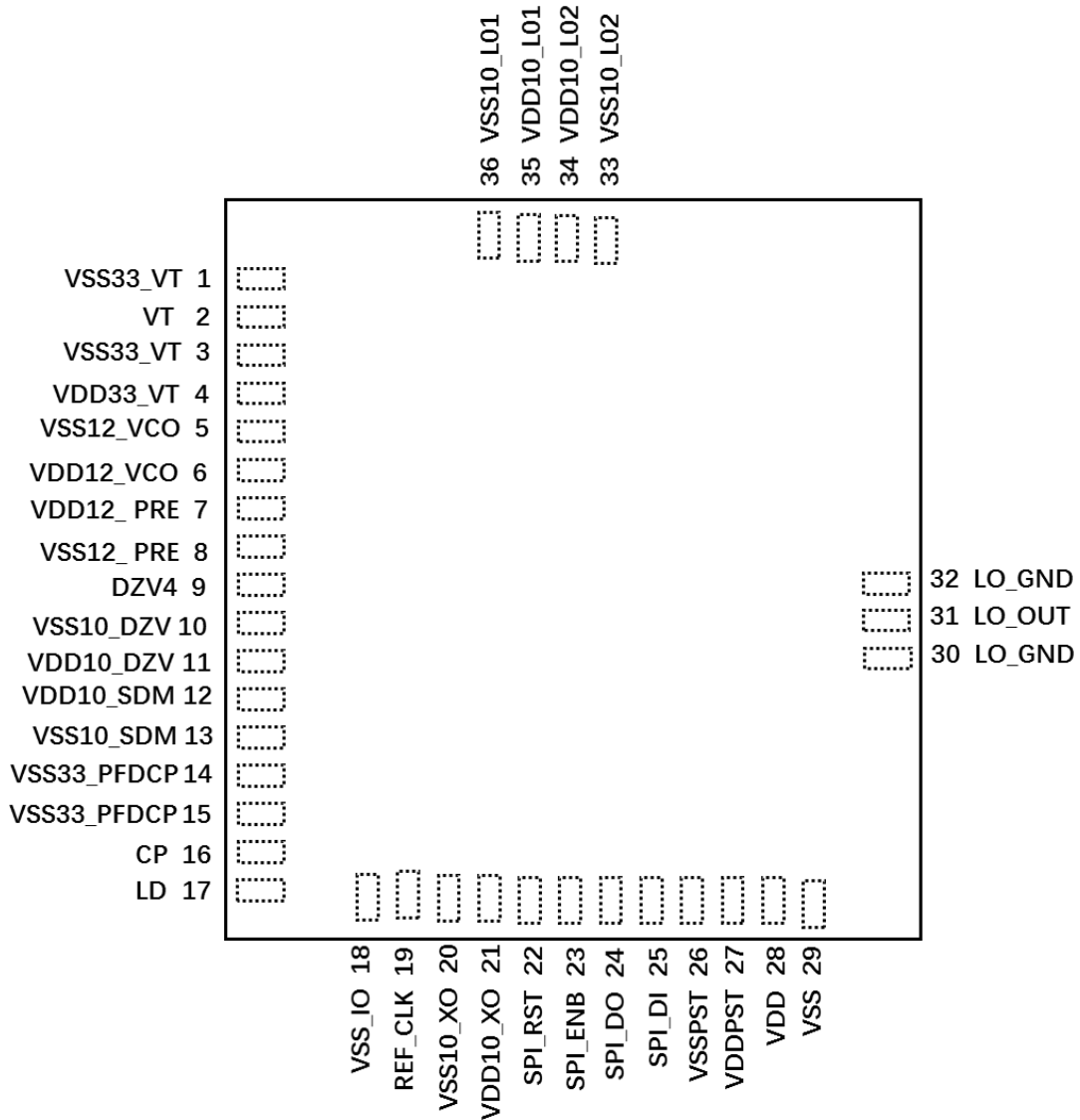


图 3. 引脚配置

表 4. 引脚功能描述

引脚号	名称	描述
1,3	VSS33_VT	VT 引脚 ESD 接地。
2	VT	VCO 频率调谐输入引脚。
4	VDD33_VT	VT 引脚 ESD 电源。
5	VSS12_VCO	VCO 接地。
6	VDD12_VCO	VCO 电源。
7	VDD12_PRE	预分频器电源。
8	VSS12_PRE	预分频器接地。
9	DIV4	预分频器输出。
10	VSS10_DIV	分频器接地。
11	VDD10_DIV	分频器电源。
12	VDD10_SDM	调频器电源。
13	VSS10_SDM	调频器接地。
14	VSS33_PFDCCP	电荷泵接地。
15	VDD33_PFDCCP	电荷泵电源。
16	CP	电荷泵输出引脚。
17	LD	锁相环锁存检测输出，高电平表示锁相环锁存。
18	VSS_IO	接地。
19	REF_CLK	参考时钟输入，外部需要交流耦合盖。
20	VSS10_XO	参考缓冲器接地。
21	VDD10_XO	参考缓冲器电源。
22	SPI_RST	SPI 复位，活动 0。
23	SPI_ENB	SPI 启动，活动 0。
24	SPI_DO	SPI 数据输出。
25	SPI_DI	SPI 数据输入。
26	VSSPST	SPI 接地。
27	VDDPST	SPI 电源。
28	VDD	电源。
29	VSS	接地。
30,32	LO_GND	LO 信号接地。
31	LO_OUT	LO 信号输出。
33	VSS10_LO2	LO 缓冲器接地。
34	VDD10_LO2	LO 缓冲器电源。
35	VDD10_LO1	LO 缓冲器接地。
36	VSS10_LO1	LO 缓冲器电源。

➤ 典型性能特征

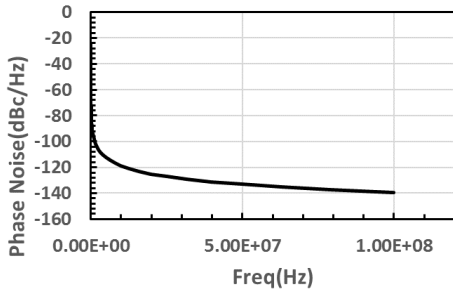


图 4. 开环 VCO 相位噪声

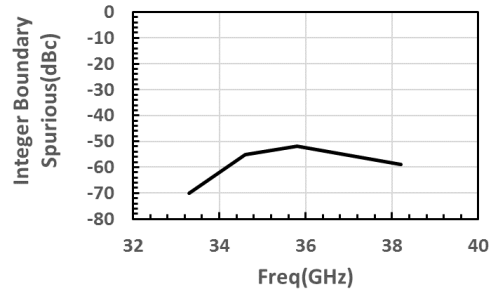


图 6. 整数边界杂散(环路带宽 = 200kHz)

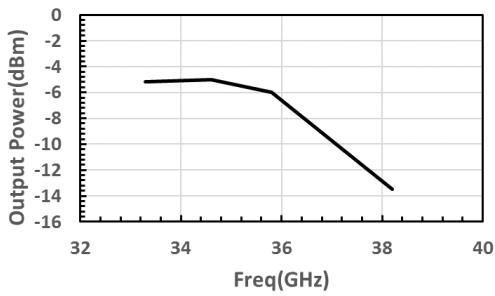


图 5. 输出功率

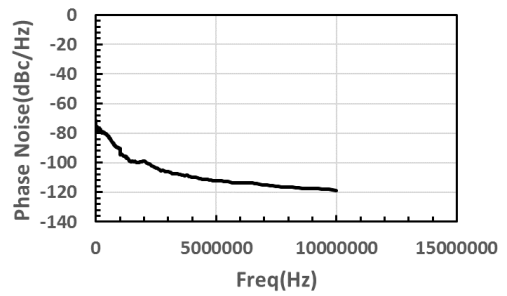


图 7. 闭环 PLL 相位噪声
($f_{LO}=34.56\text{GHz}$, 环路带宽 = 200kHz)

➤ 寄存器功能总结

表 5. 寄存器功能总结

Reg	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	默认	R/W
0x00	INT_P <7>	INT_P <6>	INT_P <5>	INT_P <4>	INT_P <3>	INT_P <2>	INT_P <1>	INT_P <0>	0x00	R/W
0x01	Reserve d	EN_EX _PLL	SDM_ RSTN	SDM_E N	Reserved	EN_REF _DIV2	IN_P <9>	INT_P <8>	0x00	R/W
0x02	INT_S <7>	INT_S <6>	INT_S <5>	INT_S <4>	INT_S <3>	INT_S <2>	INT_S <1>	INT_S <0>	0x00	R/W
0x03	FRAC <7>	FRAC <6>	FRAC <5>	FRAC <4>	FRAC <3>	FRAC <2>	FRAC <1>	FRAC <0>	0x00	R/W
0x04	FRAC <15>	FRAC <14>	FRAC <13>	FRAC <12>	FRAC <11>	FRAC <10>	FRAC <9>	FRAC <8>	0x00	R/W
0x05	FRAC <23>	FRAC <22>	FRAC <21>	FRAC <20>	FRAC <19>	FRAC <18>	FRAC <17>	FRAC <16>	0x00	R/W
0x06	ICP_O SP<2>	ICP_O SP<1>	ICP_O SP<0>	ICP_O SN<4>	ICP_OSN <3>	ICP_OS N<2>	ICP_O SN<1>	ICP_O SN<0>	0x00	R/W
0x07	PFDCP _EN	ICP_O S_EN	ICP<3>	ICP<2>	ICP<1>	ICP<0>	ICP_O SP<4>	ICP_O SP<3>	0x00	R/W

➤ 寄存器功能详述

表 6. 寄存器 0x00 详述

Bit(s)	Bit 名称	描述	默认	访问权限
<7:0>	INT_P<7:0>	分频器 P 计数器设置	0x00	R/W

表 7. 寄存器 0x01 详述

Bit(s)	Bit 名称	描述	默认	访问权限
<7>	保留	保留	0x0	R/W
<6>	EN_EX_PLL	预分频输出使能。0:禁用;1:启用	0x0	R/W
<5>	SDM_RSTN	分频器复位。0:复位;1:正常操作	0x0	R/W
<4>	SDM_EN	分数调制器启用。0:启用; 1:禁用	0x0	R/W
<3>	保留	保留	0x0	R/W
<2>	EN_REF_DIV2	参考时钟除以 2 使能。0:禁用;1:启用	0x0	R/W
<1:0>	INT_P<9:8>	分频器 P 计数器设置	0x0	R/W

表 8. 寄存器 0x02 详述

Bit(s)	Bit 名称	描述	默认	访问权限
<7:0>	INT_S<7:0>	分频器 S 计数器设置	0x00	R/W

表 9. 寄存器 0x03 详述

Bit(s)	Bit 名称	描述	默认	访问权限
<7:0>	FRAC<7:0>	分数分频比设置	0x00	R/W

表 10. 寄存器 0x04 详述

Bit(s)	Bit 名称	描述	默认	访问权限
<7:0>	FRAC<15:8>	分数分频比设置	0x00	R/W

表 11. 寄存器 0x05 详述

Bit(s)	Bit 名称	描述	默认	访问权限
<7:0>	FRAC<23:16>	分数分频比设置	0x00	R/W

表 12. 寄存器 0x06 详述

Bit(s)	Bit 名称	描述	默认	访问权限
<7:5>	ICP_OSP<2:0>	电荷泵上拉电流偏移设置	0x0	R/W
<4:0>	ICP_OSN<4:0>	电荷泵下拉电流偏移设置	0x00	R/W

表 13. 寄存器 0x07 详述

Bit(s)	Bit 名称	描述	默认	访问权限
<7>	PFDCP_EN	电荷泵和 PFD 启用。0: 禁用; 1: 启用	0x0	R/W
<6>	ICP_OS_EN	电荷泵偏移电流启用。0: 禁用; 1: 启用	0x0	R/W
<5:2>	ICP<3:0>	电荷泵电流设置	0x0	R/W
<1:0>	ICP_OSP<4:3>	电荷泵源电流偏移设置	0x0	R/W

➤ 操作

合成器输出频率

使用以下公式设置输出频率：

$$f_{LO} = \frac{f_{REF_CLK}}{1 + EN_REF_DIV2} \times (15 \times (INT_P + 1) + INT_S + \frac{SDM_ENB \times FRAC}{2^{24}}) \quad (1)$$

其中：

f_{LO} 是合成器输出频率；

f_{REF_CLK} 是输入参考时钟频率；

EN_REF_DIV2 是参考时钟除以 2 使能寄存器值；

INT_P 是 P 计数器寄存器值；

INT_S 是 S 计数器寄存器值；

SDM_ENB 是分数调制器使能寄存器值；

FRAC 是分数除法寄存器值。

注：

INT_S 在整数模式下不能大于 INT_P，在分数模式下不能大于 INT_P-4 或小于 3。

例如，在整数模式下，如果参考时钟频率为 40MHz 时需要 34.56GHz 输出频率，则两个可选设置如下：

表 14. 当 $f_{LO} = 34.56\text{GHz}$ 的分频器配置

f_{LO} (GHz)	f_{REF_CLK} (MHz)	EN_REF_DIV2	INT_P	INT_S	SDM_ENB
34.56	40	0	0x00D	0x06	1
		1	0x01C	0x0C	

如果需要 33.44GHz 输出，则只允许一个设置如下：

表 15. 当 $f_{LO} = 33.44\text{GHz}$ 的分频器配置

f_{LO} (GHz)	f_{REF_CLK} (MHz)	EN_REF_DIV2	INT_P	INT_S	SDM_ENB
33.44	40	1	0x01B	0x0D	1

在分数模式下，如果参考时钟频率为 40MHz 时需要 34.57GHz 输出频率，则两个可选设置如下：

表 16. 当 $f_{LO} = 34.57\text{GHz}$ 的分频器配置

f_{LO} (GHz)	f_{REF_CLK} (MHz)	EN_REF_DIV2	INT_P	INT_S	FRAC	SDM_ENB
34.57	40	0	0x00D	0x06	0x10000	0
		1	0x01C	0x0C	0	

在分数模式下，如果需要 33.61GHz 输出频率，则只允许一个设置如下：

表 17. 当 $f_{LO} = 33.61\text{GHz}$ 的分频器配置

f_{LO} (GHz)	f_{REF_CLK} (MHz)	EN_REF_DIV2	INT_P	INT_S	FRAC	SDM_ENB
33.61	40	1	0x01C	0x0F	0x200000	0

电荷泵

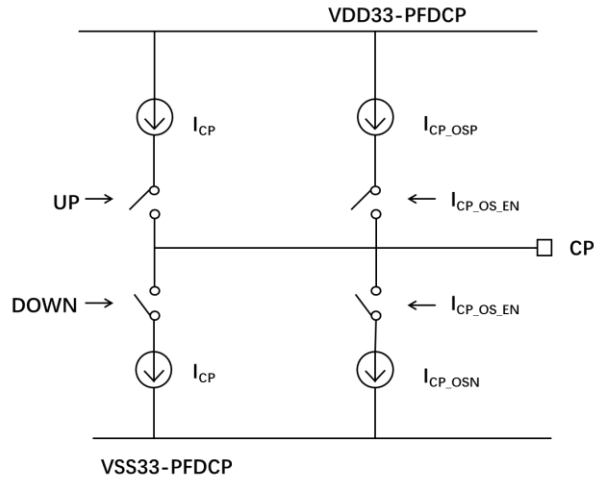


图 8. 电荷泵

通过 $I_{CP}<3:0>$ 可以将电荷泵电流 I_{CP} 从 0.4mA 调节到 3.4mA，调谐步长为 0.2mA，如表 18 所示。大 I_{CP} 适用于 PLL 带内相位噪声，但低电荷泵电流有利于省电和小型滤波电容。

表 18. 电荷泵电流设置

$I_{CP}<3:0>$	I_{CP} (mA)
0000	0.4
0001	0.6
0010	0.8
0011	1.0
0100	1.2
0101	1.4
0110	1.6
0111	1.8
1000	2.0
1001	2.2
1010	2.4
1011	2.6
1100	2.8
1101	3.0
1110	3.2
1111	3.4

电荷泵偏移电流 (I_{CP_OSP}/I_{CP_OSN}) 用于调节稳定状态下电荷泵上拉和下拉电流脉冲边沿, 从而使电路失配引起的不对称上拉和下拉电流脉冲边沿对齐。更好地对称上拉和下拉电流脉冲边沿有利于整数边界毛刺。此外, 偏移电流调谐可用于找到最佳电荷泵线性度, 以改善分数边界杂散性能。电荷泵上拉/下拉偏移电流可以分别通过 $I_{CP_OSP}<4:0>$ 和 $I_{CP_OSN}<4:0>$ 从 0 调谐到 620uA。调谐步长为 20uA。

环路滤波

环路滤波器设置将影响合成器的性能。较大的环路带宽有利于 VCO 相位噪声抑制, 但会恶化杂散性能。滤波器的阶数最好为 4 或更高以抑制分数模式中的量化噪声。一些推荐的过滤器选择如下:

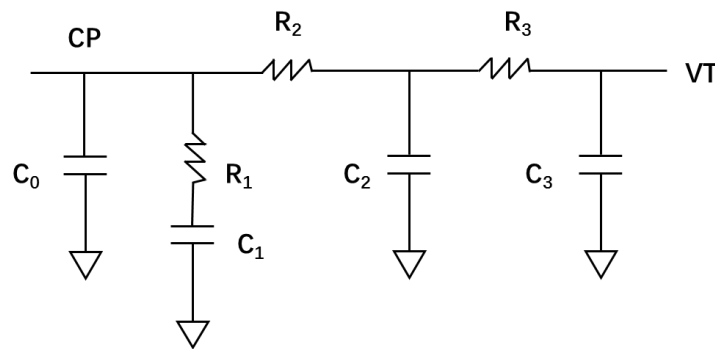


图 9. 推荐的环路滤波器配置

表 19. 推荐的环路滤波器参数

f_{LO} (GHz)	EN_REF_DIV2	C0 (nF)	C1 (nF)	C2 (pF)	C3 (pF)	R1 (ohm)	R2 (kohm)	R3 (kohm)
33.28	0	0.19	9.5	83	13	280	370	4.5
34.56	0	0.19	9.1	80	13	290	380	4.7
35.84	0	0.18	8.8	77	13	300	390	4.9
37.12	0	0.17	8.5	74	12	315	400	5.0
38.24	0	0.17	8.3	72	12	325	420	5.2
33.28	1	0.096	4.7	41	6.8	565	730	9.0
34.56	1	0.093	4.6	40	6.6	590	760	9.4
35.84	1	0.089	4.4	38	6.3	610	790	9.8
37.12	1	0.086	4.2	37	6.0	630	820	10.1
38.24	1	0.084	4.1	36	5.9	650	840	10.4

注:

建议值在 $I_{CP}=3.4mA$, 环路带宽 = 300kHz 的条件下。

外部 PLL 配置

YP7011MB 可以使用外部锁相环与内部 VCO 和预分频器来实现其他所需功能。预分频器输出 (DIV4) 引脚用于外部 PLL 分频器信号输入, 其频率为 VCO 频率的四分之一。

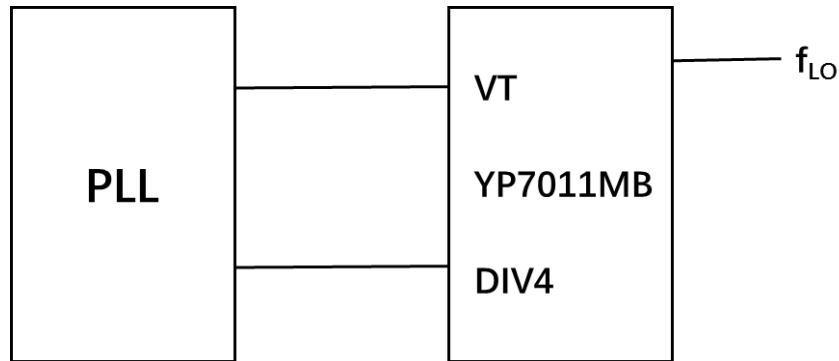


图 10. 外部 PLL 配置

电源

为实现最佳 VCO 相位噪声性能, 建议将低噪声调节器(如 ADM7150)连接至 VDD12_VCO 和 VDD12_PRE 引脚。建议每个电源引脚使用 1uF 去耦电容, 并尽可能靠近引脚放置。

PCB 设计指南

PCB 上的热垫必须至少与芯片一样大。对于最短键合和最小寄生, 所有 VSS 引脚都可以连接到热垫。注意 RF 输出走线, 以最大限度地减少不连续性并确保最佳信号完整性。通过放置和接地是至关重要的。Rogers 4350, Rogers 4003 或 Rogers 3003 的介电材料适用于 PCB 制造。

输出匹配

LO 输出引脚内部匹配为 50 欧姆, 不需要额外的去耦, 因此建议负载匹配 50 欧姆以获得更好的功率传输。