

特点

- 符合 HART 通信协议物理层要求
- 单芯片半双工 1200b/s 的 FSK 调制解调器
- 符合 Bell202 标准载波 1200Hz 和 2200Hz
- HART 波形整形输出具有额外驱动能力
- 可接 3.6864MHz 晶振或使用外部时钟源
- 工作电压 2.7V~5.5V
- 低功耗，调制模式下最大功耗为 90μA
- -55℃至+125℃工作温度范围
- 32 脚 LQFP 封装
- 满足 RoHS 环保要求

SD2017 使用相位连续的频移键控 FSK 技术，传输速率为 1200 位/秒，采用半双工通信，符合 HART 协议物理层要求。芯片调制模式的最大电源电流在 5.5V 电压及外部 3.6864MHz 时钟下为 90μA。

该芯片管脚与 SD2015、HT2015 及 A5191HRT 具有兼容性，可直接替代上述三种产品，只需简化外围电路以及修改部分电阻电容参数，而无需改动 PCB 板，具体参考“SD2017 替代 SD2015”段。

描述

SD2017 是一款专为实现 HART 协议而设计的 CMOS 单片调制解调器芯片，用于支持 HART 协议的现场仪表和控制器中。芯片只需外加少量无源元件，即可满足 HART 物理层规范功能要求，包括调制与解调，输入信号滤波，载波检测和发送信号波形整形等。

订购信息

封装形式	订货名称
LQFP32 (7mm x 7mm)	SD2017B

管脚图和管脚描述

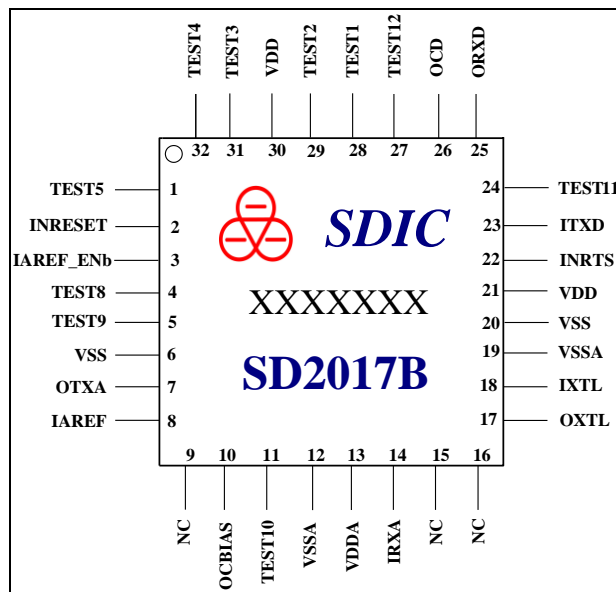


图 1. LQFP32 管脚图

表 1. 管脚描述

管脚名称	属性	LQFP	管脚描述
TEST1	-	28	悬空或连接到 VSS。
TEST2	-	29	悬空或连接到 VSS。
TEST3	-	31	悬空或连接到 VSS。
TEST4	-	32	悬空或连接到 VSS。
TEST5	-	1	连接到 VSS。
INRESET	数字输入	2	芯片复位，低电平有效。
IAREF_ENb	数字输入	3	基准电压源使能端。低电平状态使能内部 1.5V 基准电压源和缓冲器；高电平状态禁用内部基准电压源和缓冲器，并需在 REF 引脚上外加 2.5V 外部缓冲基准电压源。
TEST8	-	4	连接到 VSS。
TEST9	-	5	连接到 VSS。
OTXA	模拟输出	7	HART FSK 信号输出端，连接到 4-20 毫安电流环回路。
IAREF	模拟输出	8	内部 1.5V 基准电压输出端，应接 1 μ F 电容至 VSSA。
NC	-	9	悬空或连接到 VSS。
OCBIAS	模拟输出	10	设置偏置电流。
TEST10	-	11	悬空或连接到 VSS。
VDDA	模拟电源	13	模拟电源，应与 VDD 同一电压。
IRXA	模拟输入	14	HART FSK 信号输入端，信号来自 4-20 毫安电流环回路端口。
NC	-	15	悬空或连接到 VSS。
NC	-	16	悬空或连接到 VSS。
OXTL	模拟输出	17	晶体振荡器输出。
IXTL	模拟输入	18	晶体振荡器输入。
VSS	数字地	6,20	数字地，应与 VSSA 同一电压。
VDD	数字电源	21,30	数字电源，应与 VDDA 同一电压。
INRTS	数字输入	22	发送请求，低电平有效。
ITXD	数字输入	23	待发送数据，即调制器的数据输入端，调制后经 OTXA 发送。
TEST11	-	24	悬空或连接到 VSS。
ORXD	数字输出	25	解调后的 HART 数据，送到外部 UART 接口。
OCD	数字输出	26	载波检测，IRXA 有效时高电平。
TEST12	-	27	悬空或连接到 VSS。
VSSA	模拟地	12,19	模拟电路地，应与 VSS 同一电压。

功能描述

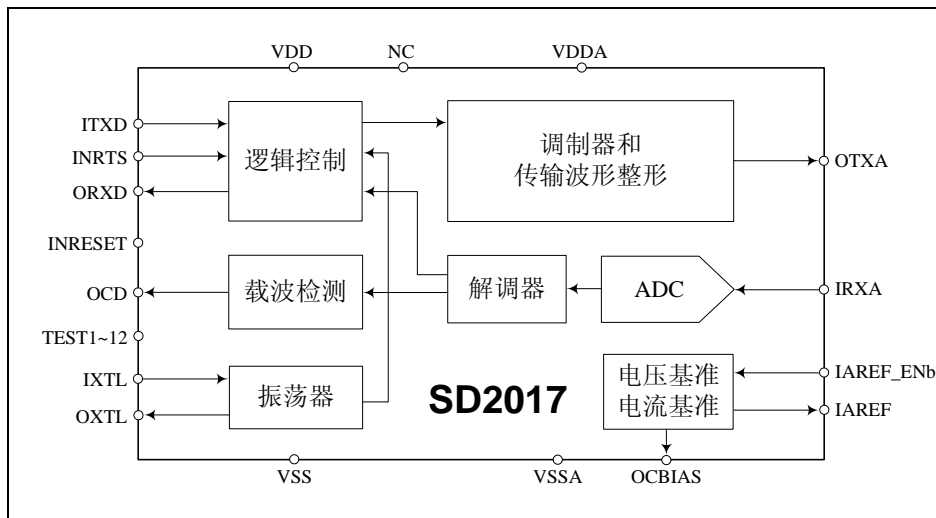


图2. 功能框图

图 2 是 SD2017 的功能模块框图，SD2017 是一款单芯片、低功耗、HART FSK 半双工调制解调器，符合 HART 物理层要求。内部集成了用于发送数据的调制器和波形整形器，用于接收数据的 ADC、解调器及载波检测电路。另外，还内置基准电压源、晶振荡器电路和电流基准模块。

SD2017 能够发送或接收 1200Hz 和 2200Hz FSK 信号，1200Hz 信号表示数字“1”，2200Hz 信号表示数字“0”，比特率为 1200 位/秒。

振荡电路通过外接一个 3.6864MHz 晶振或时钟源，给整个电路提供时钟基准。

调制器和传输波形整形

当 INRST 信号设为低电平，SD2017 处于发送模式，调制器通过波形整形电路，将 ITXD 输入端的非归零制(NRZ)数字信号，进行调制和波形整形，并转换成一系列 1200Hz 和 2200Hz 符合 HART 协议要求、相位连续的梯形波，输出至 OTXA 引脚，如图 3 与图 4 所示。OTXA 输出的梯形波摆幅为 0.5V~1.0V，直流电平为 0.75V。

OTXA 引脚可以直接对地接容性负载，此时，驱动纯容性负载时，负载应在 4.7nF 至 68nF

范围之内，容性负载越大，SD2017 需要消耗更多的电流，表 3 中的功耗规格是基于 SD2017 的 OTXA 驱动 4.7nF 容性负载的情况。

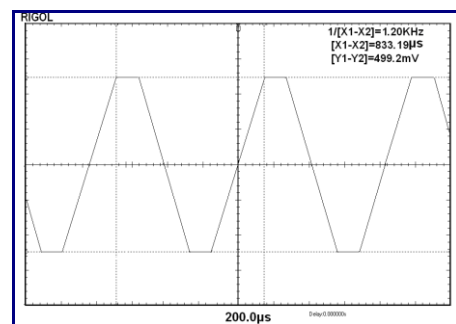


图3. OTXA 波形(1200HZ)逻辑1

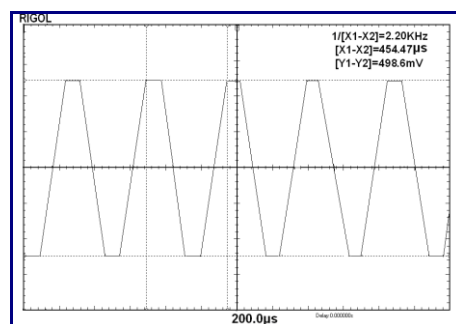


图4. OTXA 波形(2200HZ)逻辑0

如果要驱动带有阻性元件的负载，建议在 OTXA 引脚和地之间连接一个 22nF 电容，而阻性负载应通过一个 2.2µF 串联电容进行耦合隔离。对于低阻抗器件，阻性负载 R_{LOAD} 范围通常

为200Ω至600Ω，具体的连接如图5所示。

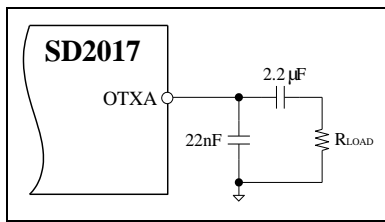


图5. OTXA驱动阻性负载

解调器和载波检测

当INRTS信号设为高电平，SD2017处于接收模式。HART信号通过外部带通滤波器进行抗混叠滤波之后到达IRXA，OCD高电平表示检测到载波有效，解调器接收IRXA的FSK信号，通过ADC和数字解调器，最终在ORXD上恢复出原始信号，并在此引脚输出到外部UART。信号的比特率为1200bps，解调器的解调波形如图6所示。

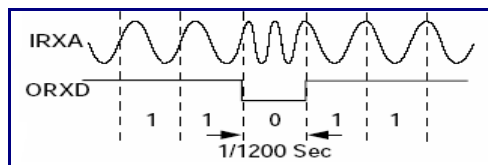


图6. 解调器信号时序

载波检测电路一方面通过检测 IRXA 信号幅度是否达到协议要求，以确定载波是否出现，并在 OCD 上输出判断结果；另一方

面根据 OCD 输出是否为高电平而决定是否在 ORXD 输出解调结果。

只有当IRXA信号大于一定值(典型值为105mVp-p)，被载波检测电路判定为有效后，才会在ORXD输出接收到的数据。根据HART协议，在时钟频率为3.6864MHz(±1.0%)，IRXA输入波形对称的条件下，最大解调抖动不会超过ORXD输出码率一个位元宽度的12%。

当INRTS设为高电平并且载波检测电路中的数字比较器输出四个连续的脉冲后，OCD才会变成高电平。只有INRTS保持在高电平，并且在2.5ms内有下一个脉冲到来，OCD才会维持在高电平。

当OCD变为低电平后，只有在载波检测数字比较器再次输出四个连续脉冲后OCD才会再次变为高电平。

解调接收滤波器

外部带通滤波器配置如图7所示。输入端包含200 kΩ电阻，将电流限制在足够低水平。这种情况下，输入端具有很高的瞬态电压保护能力，即使在要求最苛刻的工业环境中，也无需额外的保护电路。假设电阻精度选择1%，电容精度选择10%，构成的滤波器对载波检测影响仍可忽略。

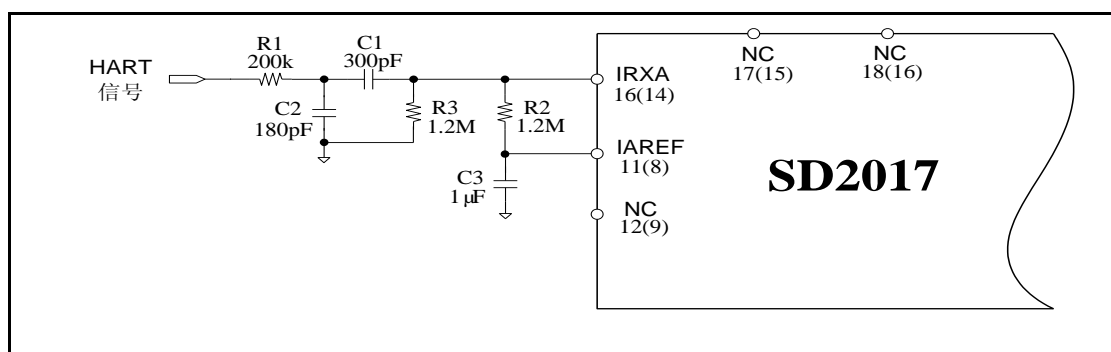


图7. SD2017外部滤波器的连接

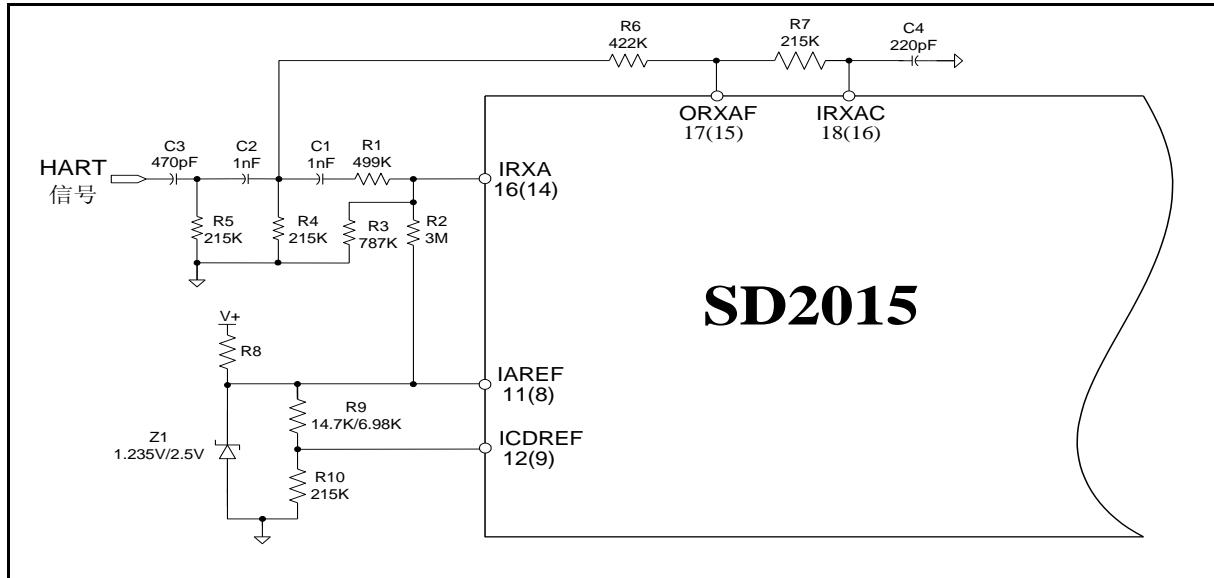


图8. SD2015外部滤波器的连接

SD2017 替代 SD2015

由于管脚的兼容性，SD2017在替换SD2015时，可以直接替换，只需简化外围电路以及修改部分电阻电容参数，而无需改动PCB板。下面以图8所示的SD2015外部滤波器连接图为基础，描述SD2017替换SD2015时，PCB板上的外围器件修改内容：

- 去掉 C4、R7、R6、R5、R8、Z1
- 将 R1、R10、C3 改成 0Ω 电阻
- 将 R2 和 R3 均改成 1.2MΩ 电阻
- 将 C2 改成 200kΩ 电阻
- 将 C1 改成 300pF 电容
- 将 R4 改成 180pF 电容
- 将 R9 改成 1μF 电容

另外，460.8kHz 的时钟源需替换成 3.6864MHz 时钟源，具体见“时钟配置”段。

偏置电阻

SD2017 需要一个偏置电阻 R_{BIAS} 连接在 OC_{BIAS} 引脚和 V_{SSA} 之间以产生偏置电流 I_{OCB} ($I_{OCB} = V_{IAREF} / R_{BIAS}$)，用于设定内部模块的工作点，该电流值约为 $4.5\mu A$ ， V_{IAREF} 典型值为 1.5V，因此， R_{BIAS} 推荐值是 330KΩ。

时钟配置

SD2017 提供两种时钟配置选项：外部晶振和 CMOS 时钟输入。

外部晶振的典型连接如图9所示，晶振采用 3.6864MHz，晶振和电容应尽量靠近 SD2017。

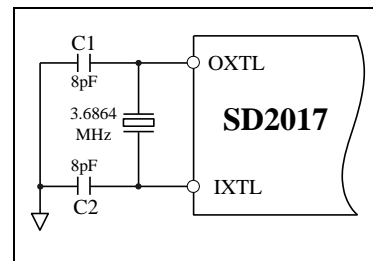


图9. 晶振连接

CMOS 时钟输入的典型连接如图10所示，外部 3.6864MHz 时钟源需要连接到 OXTL 引脚，而 IXTL 引脚接地。

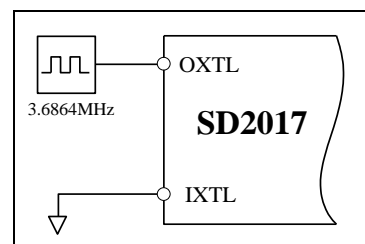


图10. 外灌 CMOS 时钟连接

使用SD2017

典型应用图

图11显示利用SD2017与SD2421(4-20mA环路供电型DAC)实现的带HART协议的智能变送器典型应用电路。电源通过并联的1 μ F电容和0.1 μ F电容去耦至地，IAREF引脚接1 μ F电容去耦至地。

HART信号从电流环LOOP+端进入智能变送器，经过外围带通滤波到达HART调制解调

器SD2017的IRXA引脚，SD2017将信号解调并经ORXD引脚传输到微处理器。

要发送HART数据时，微处理器将逻辑信号传至SD2017的ITXD引脚，SD2017进行调制以及波形整形后，经OTXA引脚和C_c耦合至SD2421的C3引脚上，再通过SD2421发送到电流环路上。

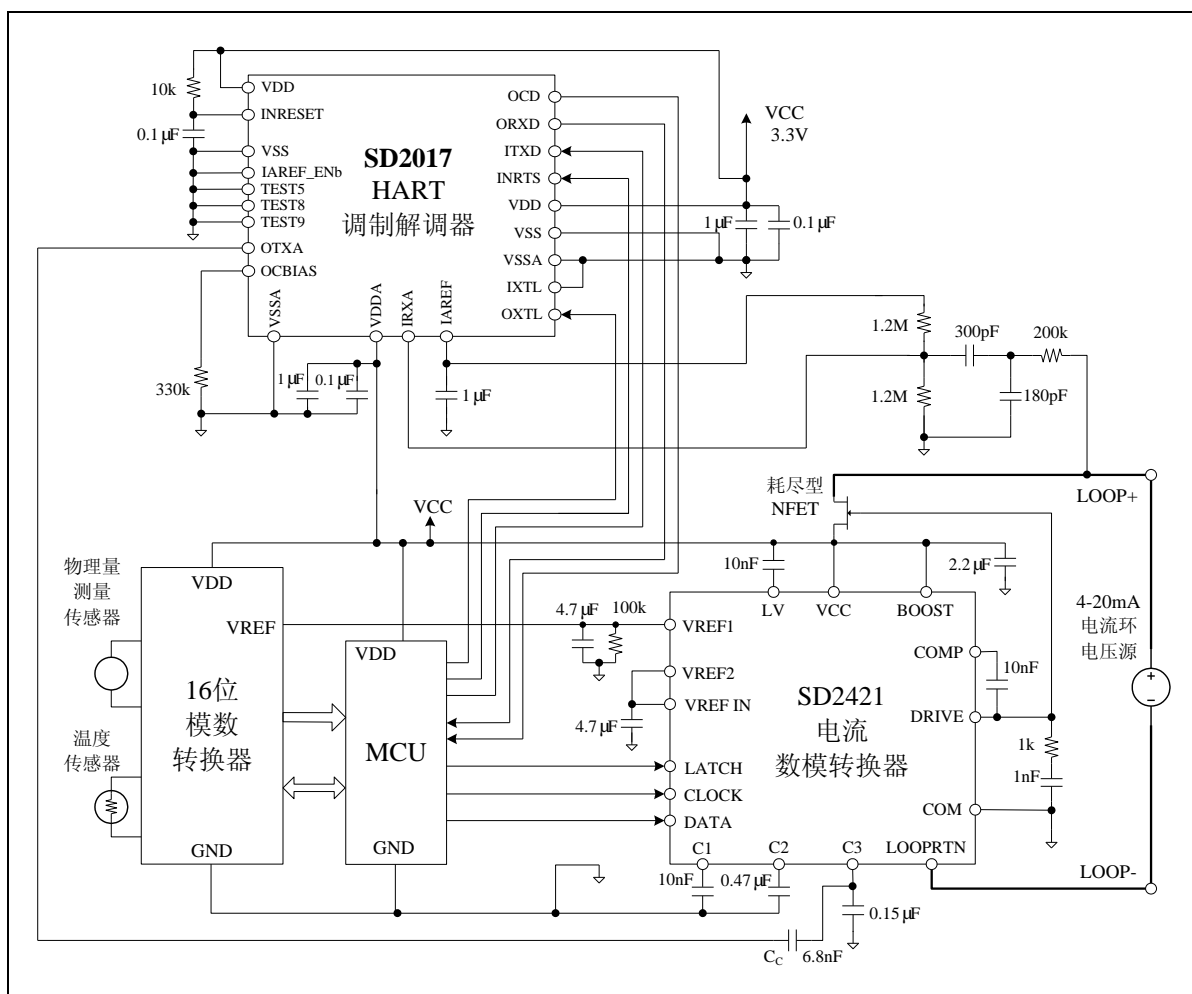


图11. 带HART数字通信功能的典型4-20mA智能变送器

电气特性

表 2. 极限参数

标识	参数	最小值	最大值	单位
T _A	工作温度	-55	+125	°C
T _S	储存温度	-65	+150	°C
VDDA, VDD	供电电压	-0.3	+7.0	V
V _{IN} , V _{OUT}	输入输出端口偏压	-0.3	VDD+0.3 或+7(取较小者)	V
TL	回流焊温度曲线		参考 IPC/JEDECJ-STD-020C	°C
ESD	人体模型	4000		V
	机械模型	400		V

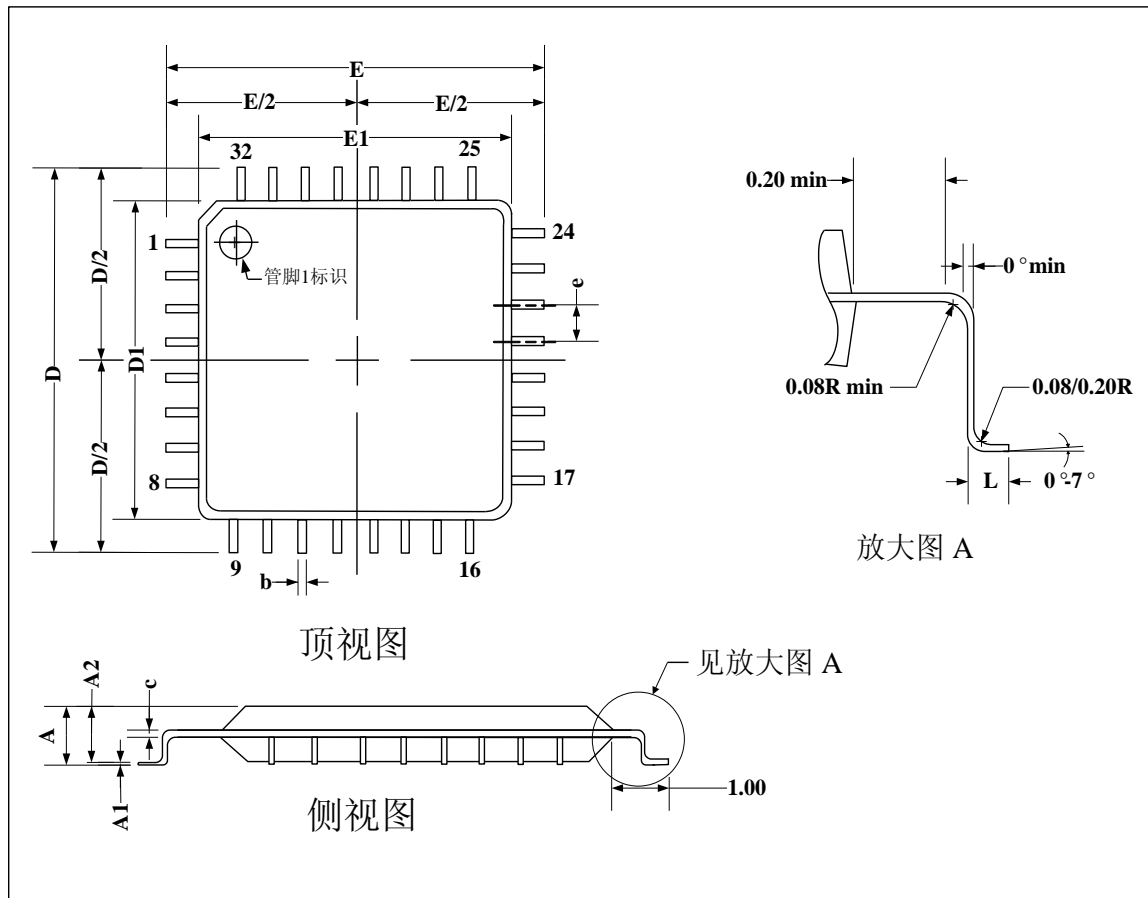
注意:

1. CMOS 器件易被高能静电损坏, 芯片必须储存在导电泡沫, 注意避免工作电压超出范围。
2. 在插拔芯片前请关闭电源。

表 3. 电气参数 (除非另有说明, VDDA=VDD=+2.7V~+5.5V; T_A=-55°C~+125°C; VSSA=VSS=0V; 外部晶振, IXTL/OXTL 分别对地接 8pF 电容; OXTA 带 4.7nF 负载。)

标识	参数名称	最小值	典型值	最大值	单位	条件/备注
VDDA VDD	电源电压	2.7	3.3	5.5	V	
IDD	VDDA+VDD 功耗 解调模式		97	135	μA	外部时钟、-55°C至+85°C
				140	μA	外部时钟、-55°C至+125°C
			150	220		外部晶振、-55°C至+85°C
				240		外部晶振、-55°C至+125°C
	VDDA+VDD 功耗 调制模式		67	85	μA	外部时钟、-55°C至+85°C
				90	μA	外部时钟、-55°C至+125°C
		112	175		外部晶振、-55°C至+85°C	
			190		外部晶振、-55°C至+125°C	
VIAREF	初始精度	1.48	1.5	1.52	V	
	负载调整率		1.5		ppm/μA	利用 500μA 负载测试
	电压调整率		60		μV/V	
I _{OCB}	偏置电流		4.5		μA	
OCD 位置	载波有效幅度	90	105	115	mVp-p	
IRXA	输入范围	0		1.5	V	
OTXA	输出幅度		500		mVp-p	
	逻辑“1”频率		1200		Hz	
	逻辑“0”频率		2200		Hz	
	相位连续性误差			0	度	
	最大阻性负载		160		Ω	负载如图 5 所示的 R _{LOAD}
外部时钟	频率精度	3.6496	3.6864	3.7232	MHz	
数字输入参数						
V _{IH}	逻辑高电平	0.7*VDD			V	
V _{IL}	逻辑低电平			0.3*VDD	V	
I _{IH}	高电平电流			±0.1	μA	
I _{IL}	低电平电流			±0.1	μA	

封装规格



尺寸: 毫米

标识	最小值	典型值	最大值
A	—	—	1.6
A1	0.05	0.10	0.15
A2	1.35	1.40	1.45
D	—	9.00	—
D/2	—	4.50	—
D1	—	7.00	—
E	—	9.00	—
E/2	—	4.50	—
E1	—	7.00	—
L	0.45	0.60	0.75
e	—	0.80	—
b	0.30	0.37	0.45
c	0.09	—	0.20

图 12. LQFP32 封装外形图