

Haawking DSC2802x 数字信号控制器 数据手册

编号:



北京中科昊芯科技有限公司

2021年7月

V1.1

历史版本记录

版本号	时间	起草人	内容描述	审核人	批准人
V0.1	2021. 1. 19	吴军宁	初版, 手册框架		
V0.2	2021. 2. 26	吴军宁	增加模块功能描述		
V0.3	2021. 4. 20	吴军宁	整合不同版本		
V0.4	2021. 4. 21	吴军宁	添加模拟器件描述, 调整目录结构		
V0.5	2021. 4. 22	陈骅, 吴军宁	一校修订版		
V0.6	2021. 4. 25	芯片研发中心	校对修订版		
V0.7	2021. 4. 29	王继超	校对修订版	吴军宁	
V0.8	2021. 5. 6	吴军宁	替换页眉处 logo		
V0.9	2021. 5. 17	茹涵阳	更改图片和数据	周沈刚	
V1.0	2021. 5. 19	周沈刚	修改部分内容		
V1.1	2021. 7. 20	茹涵阳	修改部分参数		

目录

1. 器件概述.....	5
1.1 产品特性.....	5
1.2 应用.....	6
2. DSC2802X 简介.....	7
2.1 器件特性.....	7
2.2 产品编码.....	8
2.3 引脚分配.....	8
2.4 信号说明.....	8
3. 功能概述.....	16
3.1 系统架构.....	16
3.2 内存映射.....	16
3.3 简要说明.....	17
3.3.1 HXS320F2802x DSC.....	18
3.3.2 内存总线.....	18
3.3.3 外设总线.....	18
3.3.4 实时 JTAG 和分析.....	18
3.3.5 闪存.....	19
3.3.6 M0、M1、L0、L1 SARAM.....	19
3.3.7 引导 ROM.....	20
3.3.7.1 JTAG 引导模式.....	20
3.3.7.2 GetMode 获取模式.....	21
3.3.7.3 引导加载器使用的外设引脚.....	21
3.3.8 安全性.....	21
3.3.9 外设中断扩展 (PIE) 模块.....	22
3.3.10 外部中断 (XINT1-XINT3)	23
3.3.11 内部振荡器、外部振荡器和 PLL.....	23
3.3.12 看门狗.....	23
3.3.13 外设时钟.....	23
3.3.14 低功耗模式.....	24
3.3.15 通用输入/输出 (GPIO) 复用器.....	24
3.3.16 32 位 CPU 定时器 (0, 1, 2)	24
3.3.17 控制外设.....	25
3.3.18 串行端口外设.....	26
3.4 寄存器映射.....	26
3.5 器件仿真寄存器.....	27

3.6 中断系统.....	27
3.7 VREG/BOR/POR.....	31
3.7.1 VREG.....	31
3.7.1.1 使用片上 VREG.....	31
3.7.1.2 不使用片上 VREG.....	31
3.7.2 片上上电复位 (POR) 和掉电复位 (BOR) 电路.....	31
3.8 系统控制.....	32
3.8.1 内部零引脚振荡器.....	35
3.8.2 晶体振荡器选项.....	36
3.8.3 基于 PLL 的时钟模块.....	37
3.9 低功耗模块.....	37
4. 外设.....	39
4.1 模拟器件.....	39
4.1.1 特性.....	39
4.1.2 ADC 顺序和同时时序信息.....	43
4.1.3 ADC MUX 多路复选.....	45
4.1.4 比较器模块.....	46
4.2 同步串行通信接口 (SPI) 模块.....	47
4.3 异步串行通信接口 (SCI) 模块.....	49
4.4 内部集成电路接口 (I2C) 模块.....	51
4.5 增强型 PWM 模块 (ePWM1/2/3/4)	53
4.6 高分辨率 PWM 模块 (HRPWM)	56
4.7 增强型脉冲捕获模块 (eCAP)	56
4.8 增强型正交编码器模块 (eQEP)	58
4.9 JTAG 端口.....	61
4.11 GPIO 控制寄存器.....	63
4.12 直接存储访问存储单元 (DMA)	67
5. 开发支持.....	71
5.1 集成开发环境 Haawking IDE.....	71
5.2 仿真器.....	72
5.2.1 简介.....	72
5.2.2 概览.....	73
5.2.2.1 特性.....	73
5.3 串口下载器.....	75
6. 电气规范.....	76
6.1 绝对最大额定值.....	76
6.2 建议的运行条件.....	76

6.3 ESD 额定值.....	77
6.4 电气特性.....	77
6.5 功耗.....	79
6.6 散热设计考虑.....	80
7. 热特性/机械数据.....	81
7.1 QFP48.....	81
8. 参考文献.....	82

中科昊芯

1. 器件概述

1.1 产品特性

高效 32 位处理器 (H28x 内核)

- ✓ 主频 120MHz (周期 8.33ns)
- ✓ 哈佛 (Harvard) 总线架构
- ✓ 硬件乘法/除法单元
- ✓ 4 通道高速 DMA
- ✓ 快速中断响应和处理
- ✓ 统一存储器编程模型
- ✓ 高效代码 (使用 C/C++ 和汇编语言)

增强型控制外设

- ✓ 增强型脉宽调制器 (ePWM)
- ✓ 高分辨率 PWM (HRPWM)
- ✓ 增强型捕获 (eCAP)
- ✓ 增强型正交编码器脉冲 (eQEP)
- ✓ 模数转换器 (ADC)
- ✓ 片载温度传感器
- ✓ 比较器

芯片及系统开销

- ✓ 3.3V 单电源供电
- ✓ 无上电顺序要求
- ✓ 集成上电和掉电复位
- ✓ 代码安全模块
- ✓ 无模拟支持引脚

时钟和系统控制

- ✓ 两个内部 12MHz 零引脚振荡器
- ✓ 片载振荡器/外部时钟输入

- ✓ 看门狗定时器模组功能
- ✓ 支持锁相环路 (PLL) 倍频系数动态调整
多达 22 个具有输入滤波功能、可单独编程的多路复用 GPIO
- ✓ 可支持所有外设中断的外设中断扩展 (PIE) 模块
- ✓ 三个 32 位 CPU 定时器
- ✓ 每个 ePWM 模块中包含独立的 32 位定时器

片载存储器

- ✓ 闪存, SRAM, OTP, 引导 ROM 可用

128 位安全密钥/锁

- ✓ 保护安全内存块
- ✓ 防止固件逆向工程

串行端口外设

- ✓ 一个 SCI (UART) 模块
- ✓ 一个 SPI 模块
- ✓ 一个内部集成电路 (I2C) 总线

高级仿真特性

- ✓ 分析和断点功能

封装选项

- ✓ 48 引脚薄型四方扁平 (LQFP) 封装

温度选项

- ✓ 工作温度: -40° 至 105°

1.2 应用

- 电器
- 楼宇自动化
- 电动汽车、混合动力电动汽车 (EV/HEV) 动力传动
- 工厂自动化
- 电网基础设施
- 医疗、保健与健身
- 电机驱动器
- 电力传送
- 电信基础设施
-

中科昊芯

2. DSC2802X 简介

2.1 器件特性

表 2-1 列出了 DSC2802x 器件的特性

功能	HXS320F28021	HXS320F28023	HXS320F28027
封装类型	48 引脚 PN LQFP	48 引脚 PN LQFP	48 引脚 PN LQFP
时钟主频 (MHz)	60	96	120
指令周期 (ns)	16.67ns	10.41ns	8.33ns
硬件乘法/除法单元	32-bit	32-bit	32-bit
片内闪存 (Byte)	128K	128K	128K
片载 SRAM (Byte)	20K	20K	20K
代码安全 CSM 模块	支持	支持	支持
引导 ROM	支持	支持	支持
一次可编程 OTP	8K	8K	8K
高速 DMA 模块通道	4	4	4
ePWM 模块	4	4	4
ePWM 通道	4×2	4×2	4×2
eCAP 模块	1	1	1
eQEP 模块	1	1	1
看门狗定时器	支持	支持	支持
12 位 ADC	采样频率 Msps	2Msps	2Msps
	转换时间	1 μ s ⁽¹⁾	1 μ s ⁽¹⁾
	通道	16	16
	温度传感器	支持	支持
32 位 CPU 定时器	3	3	3
高分辨率 HRPWM 模块	4	4	4
集成 DAC 的比较器	2	2	2
内部集成电路 I2C	1	1	1
串行外设接口 SPI	1	1	1
串行通信接口 SCI	1	1	1
IO 引脚	GPIO	22	22
	AIO	6	6
外部中断	3	3	3
电源电压 (标称值)	3.3v	3.3v	3.3v
工作温度	-40° 至 105°	支持	支持

(1) : ADC 转换器的转换频率是 1MHz, 但是同时可以采样两个数据, 故最高采样率为 2Msps。

2.2 产品编码

HXS 320 F 28027

2.3 引脚分配

下图所示为 DSC2802x 48-pin LQFP 封装，引脚分配示意图。

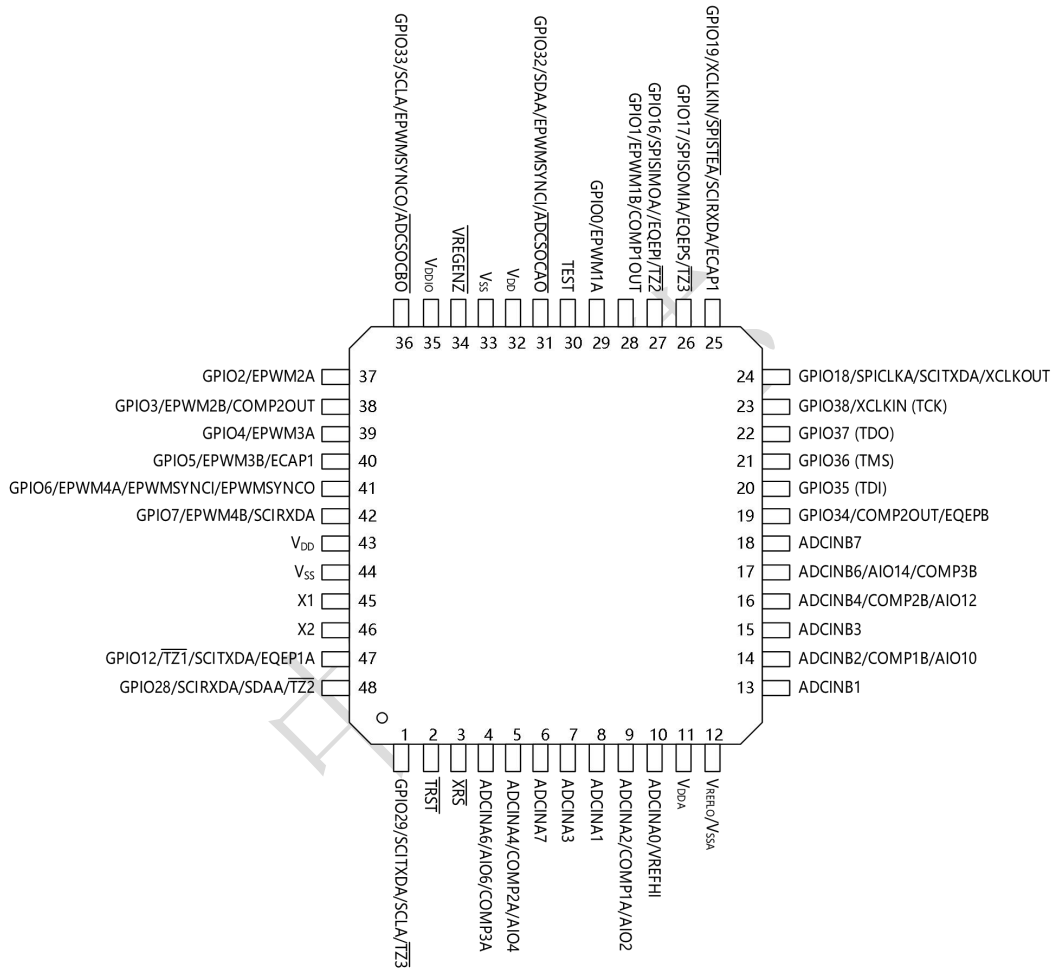


图 2-1 DSC2802x 48 引脚 PN LQFP (顶视图)

2.4 信号说明

表 2-2 对这些信号进行了说明。除 JTAG 引脚以外，引脚的 GPIO 功能是复位时的默

认功能，除非另外注明。下面列出的外设信号是供替换的功能。有些外设功能并不在所有器件上提供。详细信息请见表 2-1。输入是 3.63V 耐压（**5V 耐压，仅限部分芯片型号**）。所有 GPIO 引脚为 I/O/Z 且有一个内部上拉电阻器，此内部上拉电阻器可每个引脚上有选择性的启用/禁用。这一特性只适用于 GPIO 引脚。PWM 引脚上的上拉电阻在复位时并不启用。其它 GPIO 引脚上的上拉电阻复位时被启用。AIO 引脚没有内部上拉电阻。

表 2-2 信号说明

名称	引脚编号	说明
	LQFP48	
GPIO29 SCITXDA SCLA $\overline{\text{TZ3}}$	1	通用输入/输出 29 引脚 SCI-A 传输引脚 I2C 时钟开漏双向端口 (I/OC) 故障区输入 3 引脚
$\overline{\text{TRST}}$	2	使用内部下拉电阻进行 JTAG 测试复位，当被驱动为高电平时，使扫描系统获得器件运行的控制权。如果这个信号未连接或者被驱动至低电平，此器件在功能模式下运转，并且测试复位信号被忽略。 注释：是一个高电平有效测试引脚并且必须在正常器件运行期间一直保持低电平。在这个引脚上需要一个外部下拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。通常一个 2.2k Ω 电阻器可提供足够的保护。由于这是应用专用的，建议针对调试器和应用正确运行对每个目标板进行验证。
$\overline{\text{XRS}}$	3	器件复位。导致器件终止执行。PC 将指向包含在位置 0x3FFFC0 中的地址。当被置为高电平时，在 PC 指向的位置开始执行。当一个安全装置复位发生时，这个引脚被 DSP 驱动至低电平。安全装置复位期间，在 512 个 OSCCLK 周期的安全装置复位持续时间内，引脚被驱动为低电平。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏器件。建议由一个开漏器件驱动这个引脚。

TDI	20	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 的上升沿上所选择的寄存器 (指令或者数据) 内计时。
TDO	22	JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或者数据) 的内容被从 TCK 下降沿上的 TDO 移出。(O/Z 8mA 驱动)
XCLKIN (TCK)	23	通用输入输出引脚 38 JTAG 测试时钟引脚, 带有内部上接电阻器
ADCINA6/ AI06	4	ADC 组 A, 通道 6 输入引脚 模拟输入/输出 6 引脚
ADCINA4/ COMP2A/ AI04	5	ADC 组 A, 通道 4 输入引脚 比较器输入 2A 模拟输入/输出 4 引脚
ADCINA7	6	ADC 组 A, 通道 7 输入引脚
ADCINA3	7	ADC 组 A, 通道 3 输入引脚
ADCINA1	8	ADC 组 A, 通道 1 输入引脚
AI02/ ADCINA2/ COMP1A	9	模拟输入/输出 2 引脚 ADC 组 A, 通道 2 输入引脚 比较器输入 1A
ADCINA0/ V _{REFHI}	10	ADC 组 A, 通道 0 输入引脚 外部参考电压正极 (只有 ADC 模块于外部参考电压模式时有效)
V _{DDA}	11	模拟电源引脚

$V_{SSA}/$ V_{REFLO}	12	模拟地引脚 外部参考电压负极
ADCINB1	13	ADC 组 B, 通道 1 输入引脚
ADCINB2/ COMP1B/ AI010	14	ADC 组 B, 通道 2 输入引脚 比较器 1 输入 B 模拟输入/输出 10 引脚
ADCINB3	15	ADC 组 B, 通道 3 输入引脚
ADCINB4/ COMP2B/ AI012	16	ADC 组 B, 通道 4 输入引脚 比较器 2 输入 B 模拟输入/输出 12 引脚
ADCINB6/ AI014	17	ADC 组 B, 通道 6 输入引脚 模拟输入/输出 14 引脚
ADCINB7	18	ADC 组 B, 通道 7 输入引脚
GPI034/ COMP2OUT/ EQEPB	19	通用输入/输出引脚 34 比较器 2 输出引脚 增强型正交编码脉冲器 B
GPI035/ TDI	20	通用输入/输出引脚 35 带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 的上升沿上所选择的寄存器 (指令或者数据) 内计时。
GPI036/ TMS	21	通用输入/输出引脚 36 带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。这个串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。

GPIO37/ TDO	22	通用输入/输出引脚 37 JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或者数据) 的内容被从 TCK 下降沿上的 TDO 移出。(0/Z 8mA 驱动)
GPIO38/ XCLKIN (TCK)	23	通用输入/输出引脚 38 JTAG 测试时钟引脚, 带有内部上接电阻器
GPIO18/ SPICLKA/ SCITXDA/ XCLKOUT	24	通用输入/输出引脚 18 SPI-A 时钟输入/输出引脚 SCI-A 输出引脚 取自 SYSCLKOUT 的输出时钟。XCLKOUT 或者 SYSCLKOUT 的频率一样、或者为其一半, 或为其四分之一。这是由位 18: 16 (XTIMCLK) 和在 XINTCNF2 寄存器中的位 2 (CLKMODE) 控制的。复位时, XCLKOUT=SYSCLKOUT/4。通过将 XINTCNF2 [CLKOFF] 设定为 1, XCLKOUT 信号可被关闭。与其它 GPIO 引脚不同, 复位时, 不将 XCLKOUT 引脚置于一个高阻抗状态。(0/Z, 8mA 驱动)
GPIO19/ XCLKIN/ SPISTEA/ SCIRXDA/ ECAPI	25	通用输入/输出引脚 19 这个引脚被用于从一个外部 3.3V 振荡器反馈入一个时钟。在这种情况下, X1 引脚必须连接到 GND。如果使用到了晶振/谐振器 (或 1.9V 外部振荡器被用来把时钟馈入 X1 引脚), 此引脚必须连接到 GND。 SPI-A 从器件发送使能 (I/O) SCI-A 接收 (I) 增强型捕获 1 输入/输出
GPIO17/ SPISOMIA EQEPS TZ3	26	通用输入/输出引脚 17 SPI-A 从器件输出 (O), 主器件输入 (I) 增强型正交编码脉冲器 S 故障区输入 3 引脚 (I)

GPI016/ SPISIMOA/ EQEPI/ $\overline{TZ2}$	27	通用输入/输出引脚 16 SPI-A 主器件输出 (O)，从器件输入 (I) 增强型正交编码脉冲器 I 故障区输入 2 引脚 (I)
GPI01/ EPWM1B/ COMP1OUT	28	通用输入/输出引脚 1 增强型 PWM1 输出 B (O) 引脚 比较器 1 输出引脚
GPI00/ EPWM1A	29	通用输入/输出引脚 0 增强型 PWM1 输出 A (O) 引脚
TEST	30	未使用，悬空
GPI032/ SDAA/ EPWMSYNCl/ $\overline{ADCSOCAO}$	31	通用输入/输出引脚 32 I2CA 数据开漏双向端口 (I/OC) 增强型 PWM 外部同步脉冲输入 (I) ADC 转换启动 A(O)
V_{DD}	32	CPU 和逻辑数字电源引脚
V_{SS}	33	CPU 和逻辑数字电源地引脚
$\overline{VREGENZ}$	34	内部 VREG 启用/禁用。拉低启用内部电压调节器 (VREG)， 拉高禁用 VREG。
V_{DDIO}	35	数字 I/O 电源引脚
GPI033/ SCLA/ EPWMSYNCO/ $\overline{ADCSOCBO}$	36	通用输入/输出引脚 33 I2C 时钟开漏双向端口 (I/OC) 增强型 PWM 外部同步脉冲输出 (O) ADC 转换启动 B(O)

GPI02/ EPWM2A/	37	通用输入/输出引脚 2 增强型 PWM2 输出 A (O) 引脚
GPI03/ EPWM2B/ COMP2OUT/	38	通用输入/输出引脚 3 增强型 PWM2 输出 B (O) 引脚 比较器 2 输出引脚
GPI04/ EPWM3A/	39	通用输入/输出引脚 4 增强型 PWM3 输出 A 引脚(O)
GPI05/ EPWM3B/ ECAP1/	40	通用输入/输出引脚 5 增强型 PWM3 输出 B (O) 引脚 增强型捕获 1 输入/输出
GPI06/ EPWM4A/ EPWMSYNCI/ EPWMSYNCO	41	通用输入/输出引脚 6 增强型 PWM4 输出 A 引脚(O) 增强型 PWM 外部同步脉冲输入 (I) 增强型 PWM 外部同步脉冲输出 (O)
GPI07/ EPWM4B/ SCIRXDA	42	通用输入/输出引脚 7 增强型 PWM4 输出 B (O) 引脚 SCI 接收数据 (I)
V _{DD}	43	CPU 和逻辑数字电源引脚
V _{SS}	44	CPU 和逻辑数字电源地引脚
X ₁	45	内部/外部振荡器输入。 为了使用这个振荡器，一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2 上。X1 引脚以 1.9V 内核数字电源为基准。一个 1.9V 外部振荡器也可被连接至 X1 引脚。在这种情况下，XCLKIN 引脚必须接地。如果一个 3.3V 外部振荡器与 XCLKIN 引脚一起使用的话，X1 必须接至 GND。 (I)
X ₂	46	内部振荡器输出。 可将一个石英晶振或者一个陶瓷电容器

		连接在 X1 和 X2。如果 X2 未使用，它必须保持在未连接状态。(0)
GPI012/ TZ1/ SCITXDA/ EQEP1A	47	通用输入/输出引脚 12 故障区输入 1 引脚 (I) SCI 传输数据 (O) 增强型正交编码脉冲器 1A
GPI028/ SCIRXDA/ SDAA/ TZ2	48	通用输入/输出引脚 28 SCI 接收数据 (I) I2C 数据开漏双向端口 (I/OC) 故障区输入 2 引脚 (O)

中科昊芯

3. 功能概述

3.1 系统架构

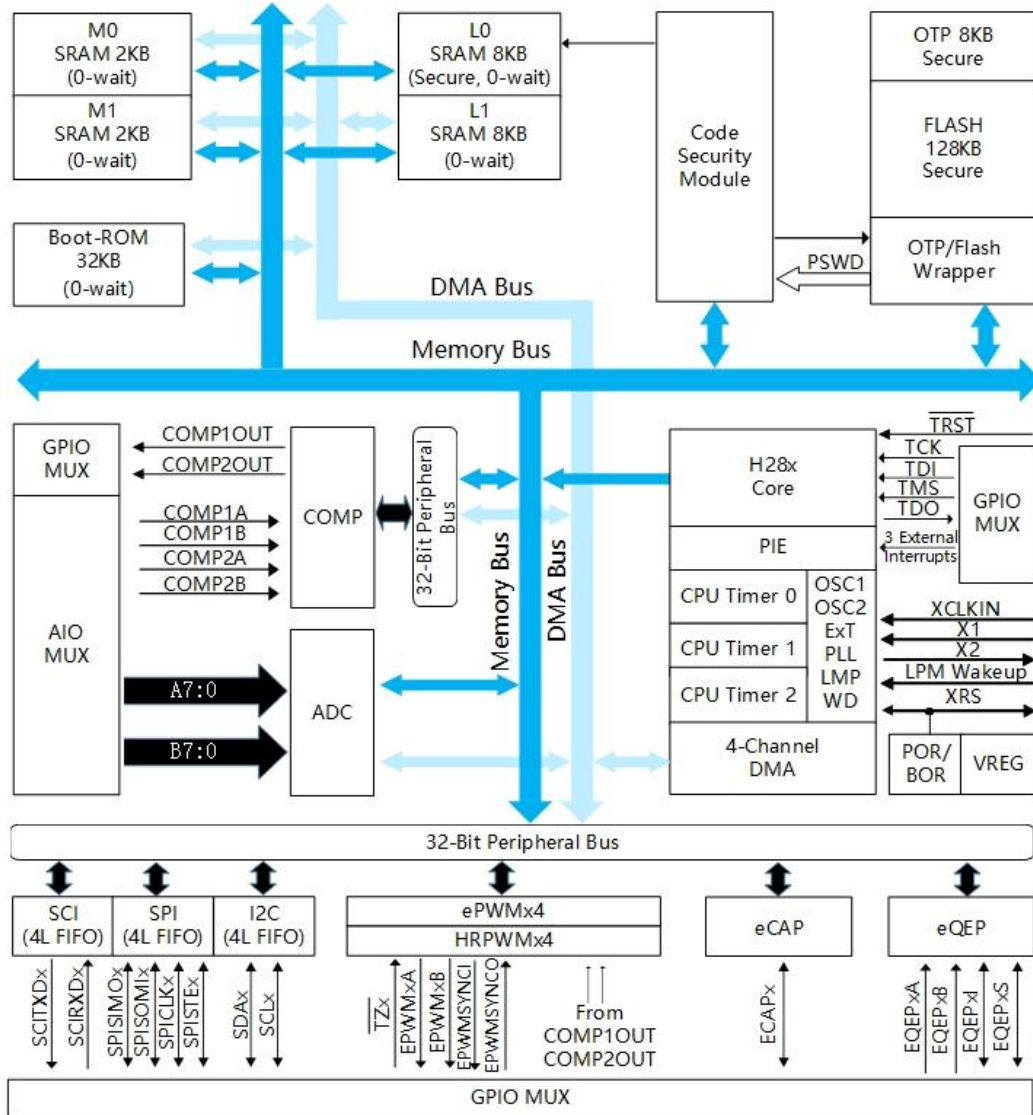


图 3-1 HXS320F2802X 芯片架构图

3.2 内存映射

表 3-1 Peripheral frame 0 模块内存映射

序号	设备	地址范围 (不含最高地址)	大小 (Bytes)
1.	M0	0x00 0000~0x00 0800	2K
2.	M1	0x00 0800~0x00 1000	2K
	Res.	0x00 1000~0x00 1400	

3.	ADC	0x00 1400~0x00 1800	1K
4.	Timer/PIE	0x00 1800~0x00 1C00	1K
5.	DMA	0x00 1C00~0x00 2000	1K
	Res.	0x00 2000~0x00 A000	
8.	L0(0)	0x01 0000~0x01 2000 (Dual Mapped)	8K
9.	L1	0x01 2000~0x01 4000	8K
	Res.	0x01 8000~0x70 0000	
10.	Flash	0x7C 0000~0x7E 0000	128K
	OTP	0x7A 0000~0x7A 2000	8K
	Flash Register	0x7A F800~0x7A F900	256
11.	L0(1)	0x7F 0000~0x7F 2000 (Dual Mapped)	8K
	Res.	0x7F 4000~0x7F C000	
12.	Bootrom	0x7F 8000~0x80 0000	32K

表 3-2 peripheral frame 1 模块内存映射

序号	设备	地址范围 (不含最高地址)	大小 (Bytes)
1.	Debug	0x00 A000~0x00 B000	4K
2.	PWMx4	0x00 B000~0x00 C000	4K
3.	Comparator	0x00 C000~0x00 C400	1K
	Res.	0x00 C400~0x00 D000	
4.	CAP	0x00 D000~0x00 D400	1K
5.	QEP	0x00 D400~0x00 D800	1K
6.	GPIO	0x00 D800~0x00 DC00	1K
7.	SYSCTRL	0x00 DC00~0x00 E000	1K

表 3-3 peripheral frame 2 模块内存映射

序号	设备	地址范围 (不含最高地址)	大小 (Bytes)
1.	SCI	0x00 E000~0x00 E400	1K
2.	I2C	0x00 E400~0x00 E800	1K
3.	SPI	0x00 E800~0x00 EC00	1K

3.3 简要说明

3.3.1 HXS320F2802x DSC

HXS320F2802X DSC 系列是中科昊芯定点 DSC 平台上的最新产品，基于 RISC-V 开放指令集架构 H28x。它是一款非常高效的 C/C++ 引擎，此引擎不但能够让用户能够用高级语言开发他们的控制系统软件，还能够使用 C/C++ 开发数学算法。此器件在处理 DSP 算术任务时与处理系统控制任务时同样有效，而系统控制任务通常由微控制器器件处理。这样的效率在很多系统中省却了对第二个处理器的需要。

3.3.2 内存总线

与很多 DSP 类型器件一样，多总线被用于在内存和外设以及 CPU 之间移动数据。HXS320F2802x 内存总线架构包含一个程序总线、数据总线和 DMA 总线。程序总线由 32 条地址线路和 32 条数据线路组成。数据总线由 23 条地址线和 64 条数据线路组成。多总线结构，通常称为哈佛总线，使得 HXS320F2802x 能够在单周期内取一个指令、读写一个数据值。对所有连接在内存总线上的外设和内存访问时具有一定的优先级。总的来说，内存总线访问的优先级可概括如下：

- 1、数据总线具有最高优先级；
- 2、程序总线和 DMA 总线具有较低的平等优先级。

3.3.3 外设总线

为了实现不同中科昊芯 DSP 系列器件间的外设迁移，HXS320F2802x 器件采用一个针对外设互连的外设总线标准。外设总线桥复用了多种总线。

3.3.4 实时 JTAG 和分析

HXS320F2802x 器件使用标准的 IEEE1149.1 JTAG 接口。此外，器件支持实时运行模式，在处理器正在运行、执行代码并且处理中断时，可修改存储器内容、外设寄存器内容。用户

也可以通过非时间关键代码进行单步操作，同时可在没有干扰的情况下启用即将被处理的时间关键中断。此器件在 CPU 内硬件实现实时模式。这是 HXS320F2802x 器件的独特功能，无需软件监控。此外，还提供了特别分析硬件以实现硬件断点或者数据/地址观察点的设置并当一个匹配发生时生成不同的用户可选断点事件。

这些设备不支持边界扫描；但是，如果有 IDCODE 和旁路功能，则可用考虑到以下因素。默认情况下 IDCODE 不提供。用户必须经过一系列的移位 IR 和移位 JTAG 的 DR 状态以获得 IDCODE。用于旁路指令，第一个移位的 DR 值将为 1。

3.3.5 闪存

HXS320F2802X 器件包含 128KB 的嵌入式闪存存储器，其地址范围为 0x7C0000-0x7E0000，被分别放置在 64 个 2KB 扇区内。该器件还包含一个 8KB 的 OTP 内存，其地址范围为 0x7A0000-0x7A2000。用户能够在不改变其它扇区的同时单独擦除、编辑和验证一个闪存扇区。然而，不能使用闪存的一个扇区或者这个 OTP 来执行擦除/编辑其它扇区的闪存算法。

HXS320F2802X 器件提供了特殊内存流水线操作以使闪存模块实现更高的性能。闪存/OTP 被映射到程序和数据空间；因此它可被用于执行代码或者存储数据信息。

地址 0x7DFFE8-0x7DFFFF 为数据变量保留且不能包含程序代码，此处为密码区和复位向量区。

3.3.6 M0、M1、L0、L1 SARAM

所有器件包含这四块单周期访问内存 M0、M1、L0、L1。复位时堆栈指针指向块 M1 的开始位置。M0 和 M1 块与所有其它 HXS320F2802X 器件上的内存块一样被映射到程序和数据空间。因此，用户能够使用 M0 和 M1 来执行代码或者存储数据变量。分区在连接器内执行。HXS320F2802X 器件提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。

HXS320F2802X 内置四个 SARAM 存储器:

- M0: SRAM 2K x 8 (0-wait), 映射到程序和数据地址空间, 既可用于执行程序又可用于存储器数据。
- M1: SRAM 2K x 8 (0-wait), 映射到程序和数据地址空间, 既可用于执行程序又可用于存储器数据。
- L0: SRAM 8K x 8 (0-wait), 代码安全区域, 同样映射到程序和数据存储器。
- L1: SRAM 8K x 8 (0-wait), 同样映射到程序和数据存储器。

以上存储器均连接 peripheral frame 0

3.3.7 引导 ROM

引导 ROM 由厂家使用引导载入软件进行设定。引导 ROM 程序在器件复位并检查了几个 GPIO 引脚后执行以确定应该进入哪一个引导模式。例如, 用户可以选择执行已经出现在内部闪存中的代码或者通过几个串行端口中的一个将全新的软件下载至内部 RAM。还有其它的引导模式。引导 ROM 还包含用于数学相关算法中的标准表, 例如 SIN/COS 波形。

表格 3-4 引导模式选择

模式	GPIO37/TDO	GPIO34/COMP2OUT	TRSTn	模式
3	1	1	0	取模式 (GetMode)
2	1	0	0	等待模式
1	0	1	0	SCI 模式
0	0	0	0	FLASH 启动
JTAG	x	x	1	JTAG 模式

3.3.7.1 JTAG 引导模式

当仿真器被连接时, GPIO37/TDO 引脚不能被用于引导模式选择。在这种情况下, 引导 ROM 检测一个被连接的仿真器并使用 PIE 矢量表中两个被保留的 SARAM 位置内的内容来确定引导模式。如果两个位置内的内容均无效, 那么使用等待引导选项。可在仿真引导中访问所有引导模式选项。

3.3.7.2 GetMode 获取模式

GetMode 的默认运行状态选项为引导至闪存。通过在 OTP 中设定两个位置，这个运行状态能够被改变为其它的引导选项。如果两个 OTP 位置的内容均为无效，那么引导至闪存。可指定下列加载器中的一个：SCI、SPI、I2C 或者 OTP。

3.3.7.3 引导加载器使用的外设引脚

表格 3-5 显示了每一个外设引导加载器所使用的 GPIO 引脚。

表格 3-5 外设引导加载引脚使用情况

引导加载器	外设加载器引脚
SCI	SCIRXDA (GPIO28) SCITXDA (GPIO29)
并行引导	数据(GPIO[7:0]) HXS320F2802X 控制(AI06) 主机控制(AI012)
SPI	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA (GPIO19)
IIC	SDAA (GPIO32) SCLA (GPIO33)

3.3.8 安全性

此器件支持高级安全性以保护用户固件不受反向工程的损坏。这个安全性特有一个 128 位密码（针对 16 个等待状态的硬编码），此密码由用户编辑入闪存。一个代码安全模块(CSM)用于保护闪存/OTP 和 LOSARAM 块。这个安全特性防止未经授权的用户通过 JTAG 端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存密码位置内的值相匹配的正

确的 128 位 KEY（密钥）值。除了 CSM，仿真代码安全逻辑电路（ECSL）也已经被实现来防止未经授权的用户安全代码。在仿真器连接时，任何对于闪存、用户 OTP，或者 L0 内存的代码或者数据访问将触发 ECSL 错误并返回 0 值。为了实现安全代码仿真，同时保持 CSM 安全内存读取，用户必须向 KEY 寄存器的低 64 位写入正确的值，这个值与存储在闪存密码位置的 64 位的值相符合。请注意仍须执行闪存内所有 128 位密码的读取。如果密码位置的 64 位为全 1（未被编辑），那么无须符合 KEY 值。当使用闪存内设定的密码位置开始调试一个器件时（也就是说，调试是安全的），仿真器需一些时间来控制 CPU。在此期间，CPU 将开始运行，并可能执行一个访问受保护 ECSL 区的指令。如果这一情况发生，ECSL 将发生错误并使仿真器读取返回 0。这个问题有两个解决方案：

1. 首先是使用在等待中复位的仿真模式，该模式将保持器件在复位状态直到仿真器获得控制权。仿真器必须支持此选项的这种模式。

2. 第二种选择是使用“分支至检查引导模式”引导选项。这将进入一个路，并不断轮询引导模式选择引脚。通过重新映射 PC 到另一个地址，或通过把引导模式选择引脚更改为所需的引导模式，用户可以选择此引导模式，然后在仿真器被连接时退出这种模式。

注：

- 此处有关于 CSM 当代码安全密码被编辑时，0x7DFFF0 到 0x7DFFFC 间的所有地址不能被用作程序代码或者数据。这些位置必须被设定为 0xFFFFFFFF。
- 地址 0x7DFFF0-0x7DFFFC 为数据保留且不能包含程序代码。128 位密码（位于 0x7DFFF0-0x7DFFFF）不能被设定为全 0，否则将永久锁住此器件。

3.3.9 外设中断扩展（PIE）模块

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。

在 HXS320F2802X 中，96 个中断中的 36 个被外设使用。96 个中断被分成 8 组，每组被提供 12 个 CPU 中断线（INT1 或者 INT12）中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的矢量支持。在处理这个中断时，这个矢量由 CPU 自动抽取。抽取这个矢量以及保存关键 CPU 寄存器将花费 8 个 CPU 时钟周期。因此 CPU 能

够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用或禁用。

3.3.10 外部中断 (XINT1-XINT3)

器件 HXS320F2802X 支持三个屏蔽的外部中断 (XINT1 - XINT3)。选择用于负, 正或负和正边沿触发, 也可以选择启用/禁用这些中断, 它还包含一个 16 位自由运行计数器, 该计数器重置为零, 可用于为中断准确地打上时间戳。没有用于外部中断的专用引脚, XINT1, XINT2 和 XINT3 中断可以配置为 GPIO0 - GPIO31 引脚的输入。

3.3.11 内部振荡器、外部振荡器和 PLL

该器件可以由两个内部零引脚振荡器, 一个外部振荡器或一个晶体连接到片上振荡器电路 (仅限 48 引脚器件), 并提供了一个 PLL, 最多可支持 12 个输入时钟缩放比例, PLL 比例可以在软件中即时更改, 从而使用户能够如果需要低功率运行, 则按比例缩小工作频率, 可以在旁路模式下设置 PLL 模块。

3.3.12 看门狗

每个 HXS320F2802X 器件包含一个看门狗电路——内部监控 CPU 看门狗。用户软件必须在特定的周期内定期复位 CPU 看门狗计数器; 否则 CPU 看门狗将产生一个复位信号复位处理器。如果需要可将 CPU 看门狗禁用。

3.3.13 外设时钟

在外设闲置时, 到每一个独立外设的时钟可被启用或禁用以减少功耗。此外, 到串行

端口（除了 I2C 之外）和 ADC 时钟的系统时钟可相对于 CPU 时钟进行缩放。这样可去除外设时序到逐渐增加的 CPU 时钟速度的耦合。

3.3.14 低功耗模式

HXS320F2802X 器件是完全静态 CMOS 器件。提供三个低功耗模式：

- **IDLE:** 将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在 IDLE 期间必须运行的外设保持运行状态。来自使能外设的已启用的中断或者看门狗将处理器从 IDLE 模式中唤醒。
- **STANDBY:** 关闭到 CPU 和外设的时钟。在这个模式下振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。唤醒操作在检测到中断事件之后的下一个时钟周期执行。
- **HALT:** 该模式会关断器件并将器件置于尽可能低的功耗模式中。HALT 模式在内部零引脚振荡器被用作时钟源时默认关闭。为了防止这些振荡器被关闭，可配置 CLKCTL 寄存器内的 INTOSCnHALTI 位。这样零引脚振荡器可在这个模式下被用于为 CPU 看门狗计时。如果片载晶体振荡器被用作时钟源，在这个模式中它将被关闭。在此模式下可由一个复位信号或者外部信号（通过一个 GPIO 引脚）以及 CPU 看门狗唤醒。

在试图将器件置于 HALT 或者 STANDBY 模式前，CPU 时钟 (OSCCLK) 和 WDCLK 信号应来自同一个时钟源。

3.3.15 通用输入/输出 (GPIO) 复用器

HXS320F2802X 大多数的外设信号与通用输入/输出 (GPIO) 信号复用。这个复用使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时所有 GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式，用户能够独立设定每一个引脚。对于特定的输入引脚，用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪音毛刺脉冲。GPIO 信号也可被用于使器件脱离特定低功耗模式。

3.3.16 32 位 CPU 定时器 (0, 1, 2)

CPU 定时器 0、1 和 2 是完全一样的 32 位定时器，这些定时器带有可预先设定的周期和

16 位时钟预分频。此定时器有一个 32 位倒计时寄存器，此寄存器在计数器达到 0 时生成一个中断。这个计数器的减量为被预分频值设置所分频的 CPU 时钟速度的值。当此计数器达到 0 时，它自动重新载入一个 32 位的周期值。

CPU 定时器 0 为通用定时器，并连接到 PIE 模块。CPU 定时器 1 同样为通用定时器，并可以被连接到 CPU 的 INT13。CPU 定时器 2 为 DSP 预留，并且连接到 CPU 的 INT14。如果 DSP 未被使用，CPU 定时器 2 也可作为通用定时器使用。

CPU 定时器 2 可由下列任何一种方式进行计时：

- SYSCLKOUT（默认）
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- 外部时钟源

3.3.17 控制外设

HXS320F2802X 支持以下用于嵌入式控制和通信的外设：

- **ePWM:** 增强型 PWM 外设支持针对前缘/后缘边沿、被锁存的/逐周期机制的独立的/互补的 PWM 生成，可调节死区生成。一些 PWM 引脚支持 HRPWM 高分辨率占空比和周期特性。HXS320F2803X 器件上的类型 1 模块也支持增强的死区分辨率、增强型片上系统 (SOC) 和中断生成和包括基于比较器输出的触发功能的高级触发。
- **eCAP:** 此增强型捕获外设使用一个 32 位时基并在连续/单次捕获模式中记录多达四个可编程事件。这个外设也可被配置为生成一个辅助 PWM 信号。
- **eQEP:** 增强型 QEP 外设使用一个 32 位位置计数器，使用捕获单元和一个 32 位单元定时器分别支持低速测量和高速测量。这个外设有一个看门狗定时器来检测电机停转和输入错误检测逻辑电路来识别 QEP 信号中的同步边沿转换。
- **ADC:** ADC 模块是一个 12 位转换器。根据器件的不同它有多达 16 个单端通道输出引脚。它包含两个用于同步采样的采样保持单元。
- **比较器:** 每个比较器块由一个模拟比较器连同一个为比较器的输入供电的内部 10 位基准组成。

3.3.18 串行端口外设

HXS320F2802X 器件支持下列的串行通信外设：

- **SPI:** SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1 至 16 位）的串行比特流移入和移出器件。SPI 常用于 MCU 和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器和 ADC 等器件的外设扩展。多器件通信由 SPI 主控/受控操作支持。SPI 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。
- **SCI:** 串行通信接口是一个两线制异步串行端口，通常被称为 UART。SCI 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。
- **I2C:** 内部集成电路（I2C）模块提供一个 MCU 和其它器件（符合飞利浦半导体内部 IC 总线(I2C-bus) 规范版本 2.1 并由一个 I2C-bus 相连）间的接口。通过这个 I2C 模块，连接在这个两线制总线上的外部组件能够发送 8 位数据到 MCU 或者从 MCU 接收 8 位数据。I2C 包含一个用于减少中断处理开销的 4 级接收和发送 FIFO。

3.4 寄存器映射

表 3-7 HXS320F2802X 寄存器映射表

名称	地址范围	大小（字节）	EALLOW 保护
Flash 控制寄存器	0x7AF800—0x7AF900	256	是
CSM 寄存器	0x7AF804—0x7AF810	16	是
ADC 结果寄存器（只读）	0x149C—0x1800	868	否
CPU 定时器 0/1/2	0x1800—0x1900	256	是
PIE 寄存器	0x1900—0x1968	104	是
PIE 向量表	0x1A00—0x1C00	512	是
DMA 寄存器	0x1C00—0x2000	512	否
比较器 1	0xC000—0xC080	128	是
比较器 2	0xC080—0xC0C0	128	是
ePWM1+HRPWM1	0xB000—0xB400	1024	是
ePWM2+HRPWM2	0xB400—0xB800	1024	是
ePWM3+HRPWM3	0xB800—0xBC00	1024	是
ePWM4+HRPWM4	0xBC00—0xC000	1024	是
eCAP1 寄存器	0xD000—0xD400	1024	否

eQEP1 寄存器	0xD400—0xD800	1024	否
GPIO 寄存器	0xD800—0xDC00	1024	是
系统控制寄存器	0xDC00—0xE000	1024	是
SPI-A 寄存器	0xE800—0xEC00	1024	否
SCI-A 寄存器	0xE000—0xE400	1024	否
外部中断	0x1968—0x19E4	124	是
ADC 寄存器	0x1400—0x149C	156	是
IIC-A 寄存器	0xE400—0xE800	1024	否

注释：

1. 如果寄存器受 EALLOW 保护，则在执行 EALLOW 指令之前，无法执行写操作。EDIS 指令禁用写操作以防止杂散代码或指针损坏寄存器内容。
2. 闪存寄存器也受到代码安全模块（CSM）的保护。

3.5 器件仿真寄存器

表 3-8 器件仿真寄存器映射

名称	地址范围	大小	说明
DEVICECNF	0xDC80	4 字节	设备配置寄存器
PARTID	0x7A3BFC	4 字节	芯片型号
CLASSID	0xDC84	4 字节	芯片系列号
REVID	0xDC88	4 字节	芯片版本号

3.6 中断系统

下图显示了各种中断源是如何复用的。

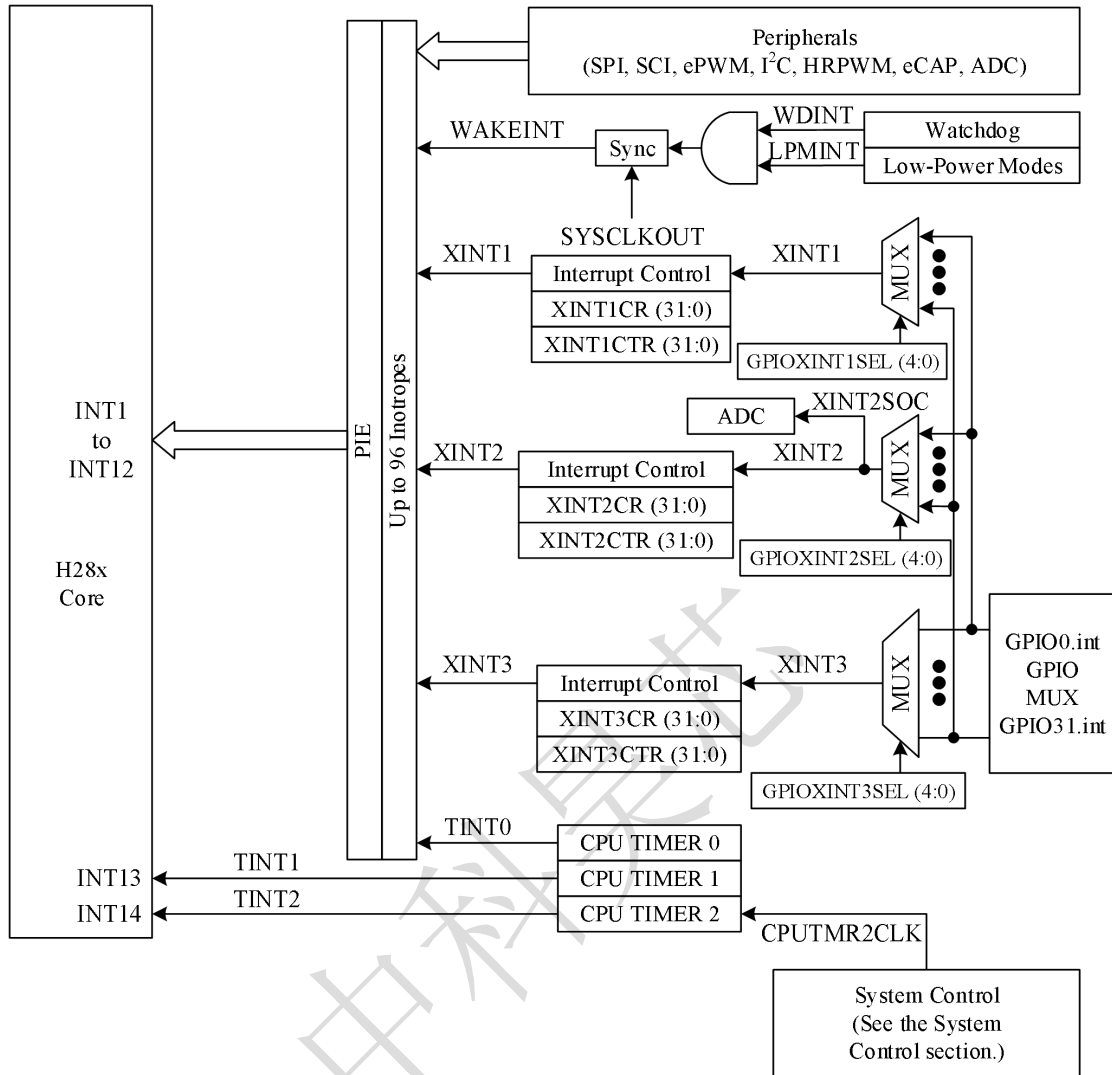


图 3-2 PIE 模块互联示意图

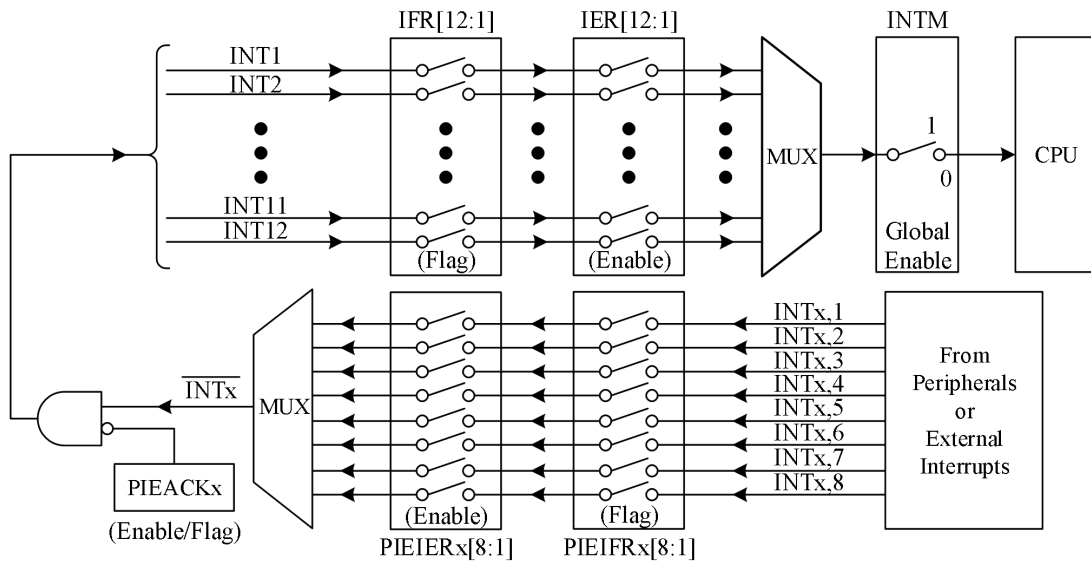


图 3-3 PIE 中断映射示意图

表 3-9 PIE 外设中断向量表

中断向量入口 0x1800	INTx. 8	INTx. 7	INTx. 6	INTx. 5	INTx. 4	INTx. 3	INTx. 2	INTx. 1
INT1.y	WAKEINT (LPM/WD) 0x21C	TINT0 (TIMER0) 0x218	ADCINT9 (ADC) 0x214	XINT2 Ext int 2 0x210	XINT1 Ext int 1 0x20C	Reserved - 0x208	ADCINT2 (ADC) 0x204	ADCINT1 (ADC) 0x200
INT2.y	Reserved - 0x23C	Reserved - 0x238	Reserved - 0x234	Reserved - 0x230	EPWM4_TZINT (ePWM4) 0x22C	EPWM3_TZINT (ePWM3) 0x228	EPWM2_TZINT (ePWM2) 0x224	EPWM1_TZINT (ePWM1) 0x220
INT3.y	Reserved - 0x25C	Reserved - 0x258	Reserved - 0x254	Reserved - 0x250	EPWM4_INT (ePWM4) 0x24C	EPWM3_INT (ePWM3) 0x248	EPWM2_INT (ePWM2) 0x244	EPWM1_INT (ePWM1) 0x240
INT4.y	Reserved - 0x27C	Reserved - 0x278	Reserved - 0x274	Reserved - 0x270	Reserved - 0x26C	Reserved - 0x268	Reserved - 0x264	ECAP1_INT (ECAP1) 0x260
INT5.y	Reserved - 0x29C	Reserved - 0x298	Reserved - 0x294	Reserved - 0x290	Reserved - 0x28C	Reserved - 0x288	Reserved - 0x284	EQEP1_INT (eQEP1) 0x280
INT6.y	Reserved - 0x2BC	Reserved - 0x2B8	Reserved - 0x2B4	Reserved - 0x2B0	Reserved - 0x2AC	Reserved - 0x2A8	SPITXINTA (SPI-A) 0x2A4	SPIRXINTA (SPI-A) 0x2A0
INT7.y	Reserved - 0x2DC	Reserved - 0x2D8	Reserved - 0x2D4	Reserved - 0x2D0	DINCH4 (DMA) 0x2CC	DINTCH3 (DMA) 0x2C8	DINTCH2 (DMA) 0x2C4	DINTCH1 (DMA) 0x2C0
INT8.y	Reserved - 0x2FC	Reserved - 0x2F8	Reserved - 0x2F4	Reserved - 0x2F0	Reserved - 0x2CC	Reserved - 0x2C8	I2CINT2A (I2C-A) 0x2C4	I2CINT1A (I2C-A) 0x2E0
INT9.y	Reserved - 0x31C	Reserved - 0x318	Reserved - 0x314	Reserved - 0x310	Reserved - 0x318	Reserved - 0x314	Reserved (SCI-A) 0x310	Reserved (SCI-A) 0x300
INT10.y	ADCINT8 (ADC) 0x33C	ADCINT7 (ADC) 0x338	ADCINT6 (ADC) 0x334	ADCINT5 (ADC) 0x330	ADCINT4 (ADC) 0x32C	ADCINT3 (ADC) 0x328	ADCINT2 (ADC) 0x324	ADCINT1 (ADC) 0x320
INT11.y	Reserved - 0x35C	Reserved - 0x358	Reserved - 0x354	Reserved - 0x350	Reserved - 0x34C	Reserved - 0x348	Reserved - 0x344	Reserved - 0x340
INT12.y	Reserved - 0x37C	Reserved - 0x378	Reserved - 0x374	Reserved - 0x370	Reserved - 0x36C	Reserved - 0x368	Reserved - 0x264	XINT3 Ext int3 0x360
INT13.y	Reserved - 0x39C	Reserved - 0x398	Reserved - 0x394	Reserved - 0x390	Reserved - 0x38C	Reserved - 0x388	Reserved - 0x384	TIMER1 (TIMER) 0x380
INT14.y	Reserved - 0x3BC	Reserved - 0x3B8	Reserved - 0x3B4	Reserved - 0x3B0	Reserved - 0x3AC	Reserved - 0x3A8	Reserved - 0x3A4	TIMER2 (TIMER) 0x3A0

表 3-10 PIE 配置和控制寄存器（基地址为 0x1800）

名称	偏移地址	描述
PIECTRL	0x100	PIE 控制寄存器
PIEACK	0x104	PIE 确认寄存器
PIEIER1	0x108	PIE, 中断第 1 组使能寄存器

PIEIFR1	0x10C	PIE 中断第 1 组标志寄存器
PIEIER2	0x110	PIE 中断第 2 组使能寄存器
PIEIFR2	0x114	PIE 中断第 2 组标志寄存器
PIEIER3	0x118	PIE 中断第 3 组使能寄存器
PIEIFR3	0x11C	PIE 中断第 3 组标志寄存器
PIEIER4	0x120	PIE 中断第 4 组使能寄存器
PIEIFR4	0x124	PIE 中断第 4 组标志寄存器
PIEIER5	0x128	PIE 中断第 5 组使能寄存器
PIEIFR5	0x12C	PIE 中断第 5 组标志寄存器
PIEIER6	0x130	PIE 中断第 6 组使能寄存器
PIEIFR6	0x134	PIE 中断第 6 组标志寄存器
PIEIER7	0x138	PIE 中断第 7 组使能寄存器
PIEIFR7	0x13C	PIE 中断第 7 组标志寄存器
PIEIER8	0x140	PIE 中断第 8 组使能寄存器
PIEIFR8	0x144	PIE 中断第 8 组标志寄存器
PIEIER9	0x148	PIE 中断第 9 组使能寄存器
PIEIFR9	0x14C	PIE 中断第 9 组标志寄存器
PIEIER10	0x150	PIE 中断第 10 组使能寄存器
PIEIFR10	0x154	PIE 中断第 10 组标志寄存器
PIEIER11	0x158	PIE 中断第 11 组使能寄存器
PIEIFR11	0x15C	PIE 中断第 11 组标志寄存器
PIEIER12	0x160	PIE 中断第 12 组使能寄存器
PIEIFR12	0x164	PIE 中断第 12 组标志寄存器
XINT1CR	0x168	外部中断 1 配置寄存器
XINT2CR	0x16C	外部中断 2 配置寄存器

XINT3CR	0x170	外部中断 3 配置寄存器
XINT1CTR	0x174	外部中断 1 计数器寄存器
XINT2CTR	0x178	外部中断 2 计数器寄存器
XINT3CTR	0x17C	外部中断 3 计数器寄存器

3.7 VREG/BOR/POR

虽然核心和 I/O 电路在两种不同的电压下工作，但这些设备具有片上稳压器（VREG）从 V_{DDIO} 电源产生 V_{DD} 电压。这消除了在使用第二个外部稳压器的成本和空间。此外，内部上电复位（POR）在通电和运行模式下，掉电复位（BOR）电路同时监视 V_{DD} 和 V_{DDIO} 轨道。

3.7.1 VREG

线性稳压器从 V_{DDIO} 电源产生核心电压（ V_{DD} ）。因此，尽管每个 V_{DD} 引脚上都需要电容器来稳定所产生的电压，但并不需要向这些引脚供电来操作设备。相反，如果电源或冗余成为应用程序的主要考虑因素，则可以禁用 VREG。

3.7.1.1 使用片上 VREG

为了采用片载 VREG，VREGNZ 引脚应该被接至低电平并且适当的建议运行电压应该被用于 V_{DDA} 和 V_{DDIO} 引脚。在这个情况下，内核逻辑所需的 V_{DD} 电压将由 VREG 生成。为了实现 VREG 正确的调节，每一个 V_{DD} 引脚需要电容值为 $1.2 \mu F$ 的电容器。这些电容应该被放置在尽可能接近 V_{DD} 引脚的位置。

3.7.1.2 不使用片上 VREG

为了节约能耗，也可禁用片载 VREG 并使用一个效率更高的外部稳压器将内核逻辑电压提供给 V_{DD} 引脚。为了启用这个选项，VREGNZ 引脚必须被接至高电平。

3.7.2 片上上电复位（POR）和掉电复位（BOR）电路

两个片上监控电路，上电复位（POR）和掉电复位（BOR）从应用板上移除了监控 V_{DD} 和 V_{DDIO} 电源的负担。POR 的目的是在整个上电过程中，在整个设备中创建一个干净的复位。此触发点是一个非固定的，比 BOR 更低的触发点，将在器件运行期间监视 V_{DD} 或 V_{DDIO} 电源轨道的骤减操作 POR 功能总是出现在 V_{DD} 和 V_{DDIO} 电源轨道上。设备首次上电后 BOR 功能总是出现

在 V_{DDIO} 上，并且当内部 VREG 启用时，出现在 V_{DD} 上（VREGENZ 引脚被接至低电平）。当其中一个电压低于它们各自的触发点时两个功能连接至 XRS 引脚低电平。此外，当内部电压稳压器被启用时，一个过压保护电路将连接至 XRS 低电平，此时 V_{DD} 电源轨道上升至高于其触发点。图 3-4 显示 VREG、POR 和 BOR。

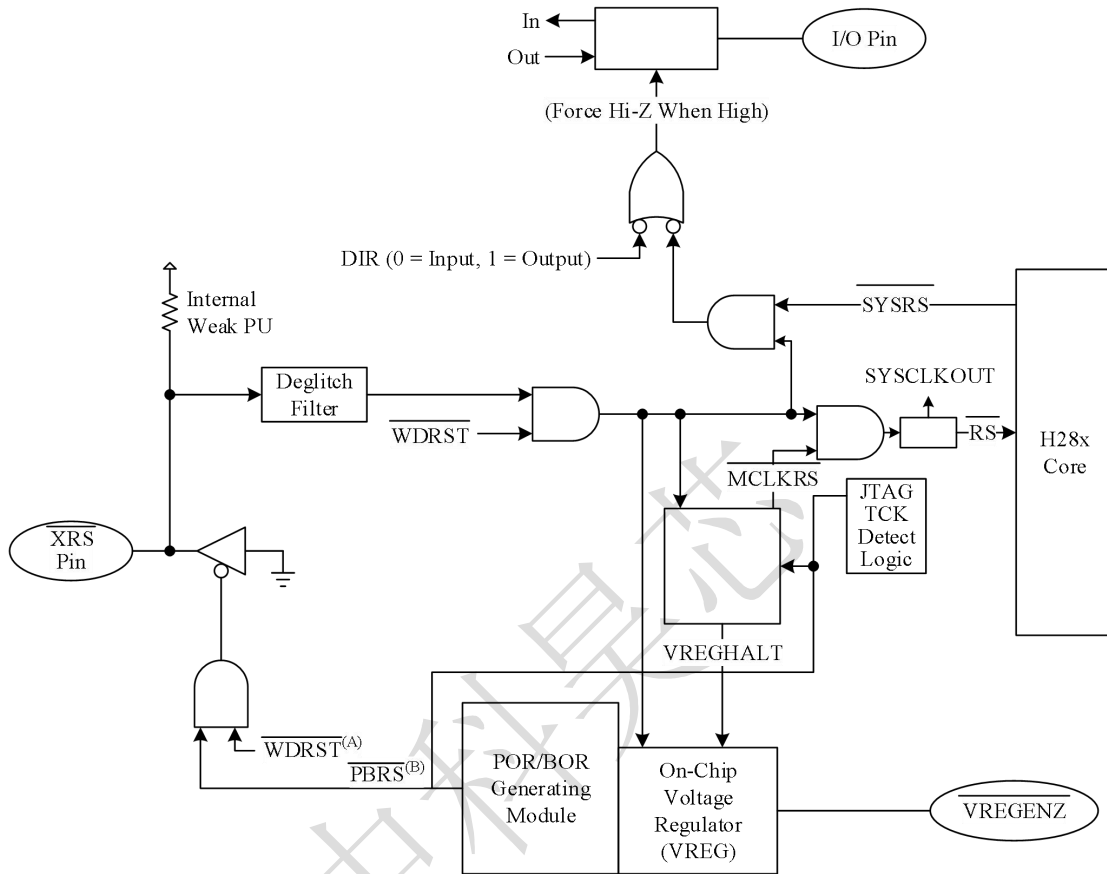


图 3-4 VREG+POR+BOR+复位信号连接

- A. WDRST 为从 CPU-看门狗发出的复位信号
- B. PBRS 是从 POR/BOR 发出的复位信号

3.8 系统控制

这一部分对振荡器和时钟机制、看门狗功能以及低功耗模式进行了说明。

所有系统控制寄存器都是 EALLOW-Protected 寄存器，系统控制寄存器的基址地址为：

0x0000DC00

表 3-11 系统控制寄存器映射

地址偏移	寄存器	描述
0h	XCLK	XCLKOUT/XCLKIN 时钟控制
4h	PLLSTS	PLL 状态寄存器

8h	PCLKCR0	外设时钟控制寄存器 0
ch	PCLKCR1	外设时钟控制寄存器 1
10h	PCLKCR2	外设时钟控制寄存器 2
14h	PCLKCR3	外设时钟控制寄存器 3
18h	LOSPCP	低速外设时钟预分频寄存器
1ch	INTOSC1TRIM	内部晶振校准寄存器 1
20h	INTOSC2TRIM	内部晶振校准寄存器 2
24h	CLKCTL	时钟控制寄存器
28h	PLLCR	PLL 控制寄存器
2ch	PLLLOCKPRD	PLLLOCKPRD 寄存器
30h	LPMCR0	低功耗模式控制寄存器
34h	SCSR	系统控制状态寄存器
38h	WDCNTR	看门狗计数器寄存器
3ch	WDKEY	看门狗复位密钥寄存器
40h	WDCR	看门狗控制寄存器
44h	JTAGDEBUG	JTAG 控制寄存器
60h	BORCFG	BOR 配置寄存器
80h	DEVICECNF	器件配置寄存器
84h	CLASSID	CLASSID 寄存器
88h	REVID	芯片版本寄存器

注 1: 这个表中的所有寄存器是受 EALLOW 保护的。

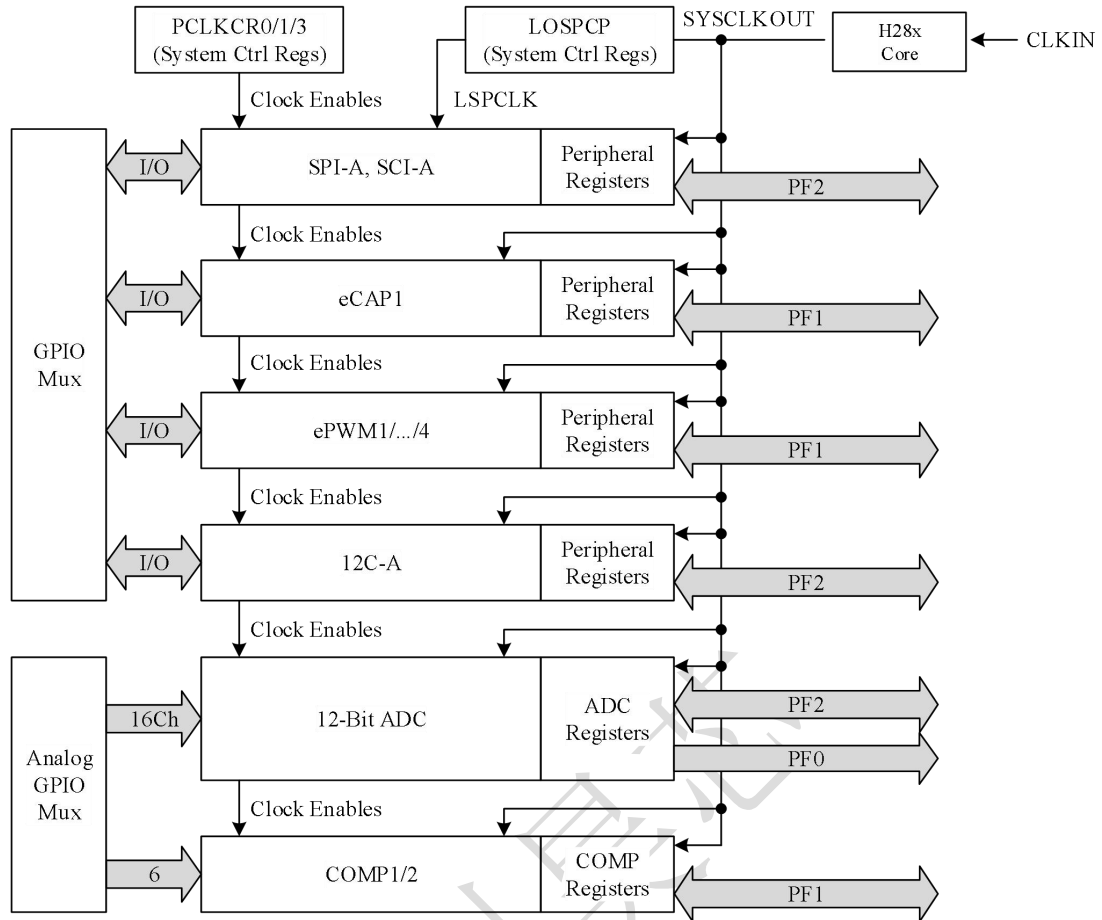


图 3-5 时钟及复位域

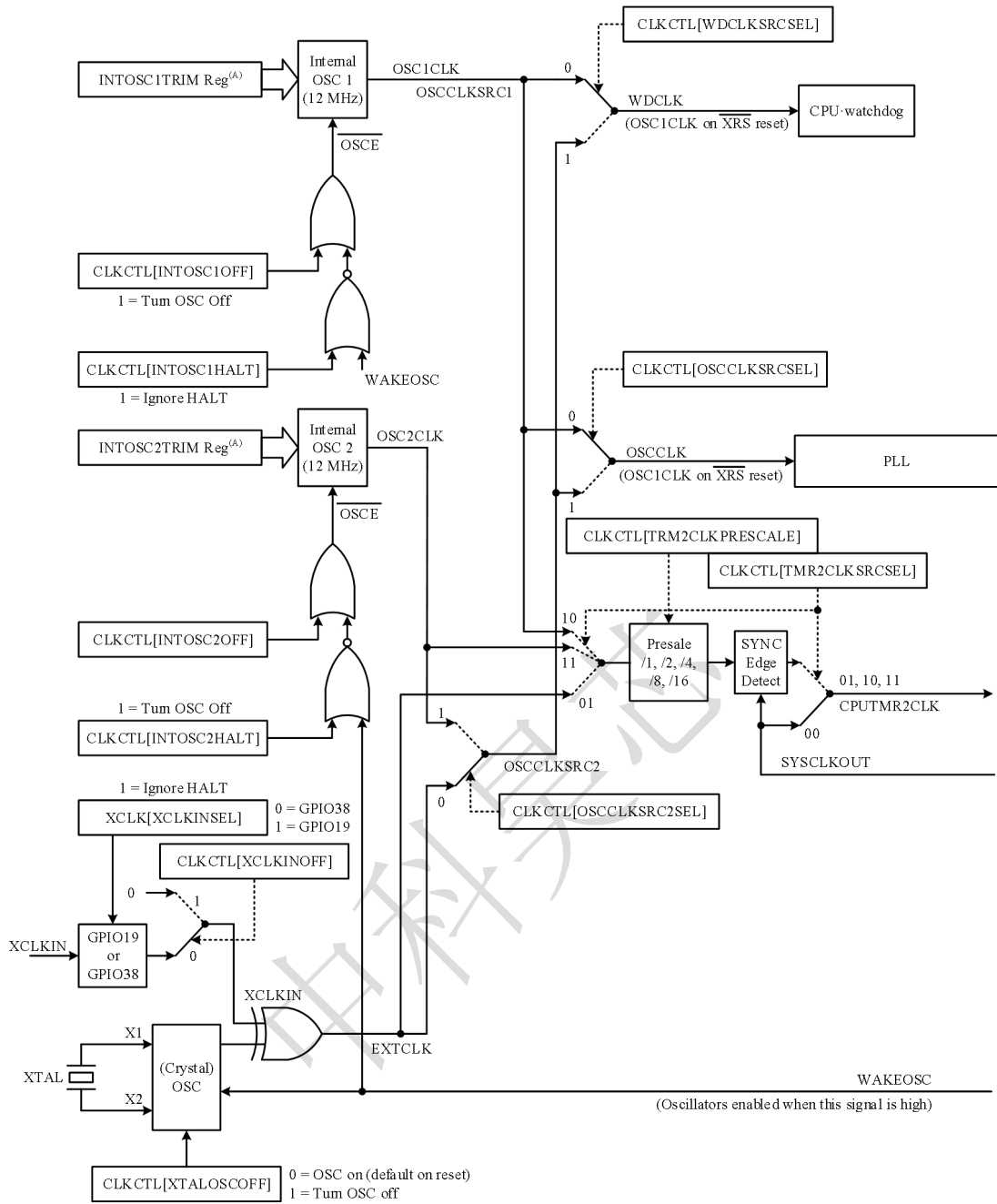


图 3-6 时钟树

A. 由 OTP 中的校正程序载入寄存器

3.8.1 内部零引脚振荡器

HXS20F2802X 器件包含两个独立的内部零引脚振荡器。默认情况下两个振荡器在上电时全都打开，此时内部振荡器 1 是默认时钟源。为了降低功耗，用户可将不使用的振荡器关断。这些振荡器的中心频率由它们各自的振荡器调整寄存器决定，此寄存器在校准例程中被写入作为引导 ROM 执行的一部分。

3.8.2 晶体振荡器选项

片上晶体振荡器 X1 和 X2 引脚为 1.8V 电平信号，并且绝对不能为 3.3V 电平。如果将系统 3.3V 外部振荡器用作时钟源，则应将 XCLKIN 用作时钟源。X1 引脚不打算用作单端时钟输入，它是应与 X2 和晶体一起使用。

外部石英晶体的典型规格（基本模式，并联谐振）在以下列表中列出。此外，ESR 范围 = 30 至 150 Ω。

表格 3-12 外部石英晶体的典型规格

频率 (MHz)	$R_d(\Omega)$	$C_{L1}(pF)$	$C_{L2}(pF)$
5	2200	18	18
10	470	15	15
15	0	15	15
20	0	12	12

注： C_{shunt} 应该小于或等于 5pF。

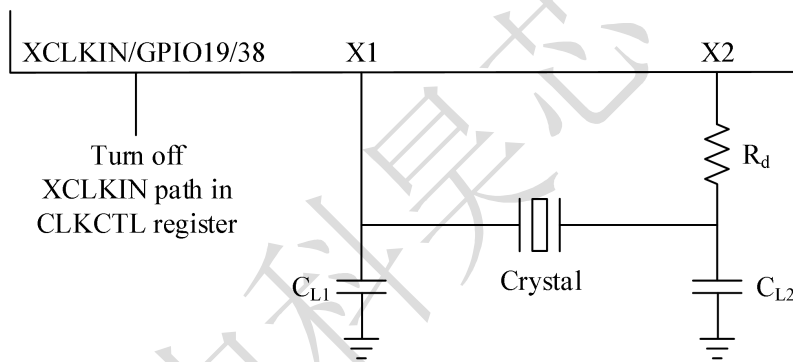


图 3-7 使用片上晶体振荡器

- C_{L1} 和 C_{L2} 是电路板和不包括电容的组件的总电容，该值通常约为晶体负载值的两倍电容。
- 晶体的负载电容在晶振制造商的晶体规格中有所描述。
- 中科昊芯建议客户让谐振器/晶体供应商来表征他们的设备使用 MCU 芯片进行操作。谐振器/晶体供应商拥有调整震荡电路的设备和专业知识。供应商还可以建议客户关于适当的元器件值将产生正确的启动整个工作范围内的稳定性。

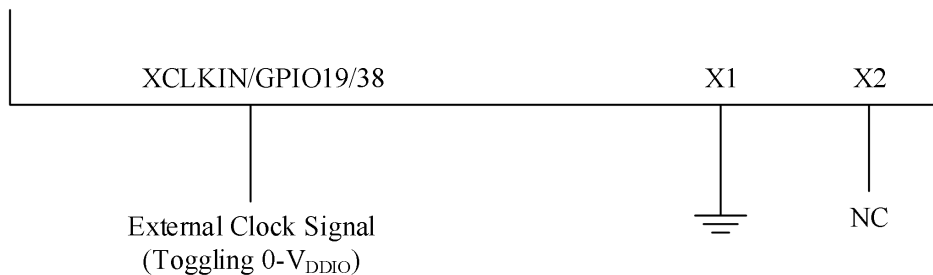


图 3-8 使用 3.3v 片外晶体振荡器

3.8.3 基于 PLL 的时钟模块

HXS320F2802X 有一个基于片载 PLL 的时钟模块。这个模块为器件提供所有需要的时钟信号以及对进入低功耗模式的控制。PLL 有一个 4 位比率控制 PLLCR[DIV] 来选择不同的 CPU 时钟速率。在写入 PLLCR 寄存器之前，看门狗模块应该被禁用。在 PLL 模式稳定后，它可被重新启用（如果需要的话），重新启用的时间为 1ms。输入时钟和 PLLCR[DIV] 位的选择方法应该是在 PLL (VCOCLK) 的输出频率至少为 50MHz 的时候再选择。

3.9 低功耗模块

HXS320F2802X 处理器的低功耗模式如下：

表 3-13 低功耗模式列表

模式	LPMCRO[1:0]	OSCCLK	CLKIN	SYSCLKOUT	Exit
IDLE	00	On	On	On	XRS, 看门狗中断, 任何中断
STANDBY	01	On (看门狗还在运行)	Off	Off	XRS, 看门狗中断, GPIO 端口 A 信号, Debugger
HALT	1X	Off (osc 和 PLL 关断, 看门狗停止)	Off	Off	XRS, GPIO 端口 A 信号, Debugger, 看门狗

在各种低功耗模式下，处理器进行的操作如下表所示：

IDLE 模式：处理器识别的任何使能的中断都存在该模式。只要 LPMCRO 位设置为 0，LPM 模块就不会在此模式下执行任何操作。

STANDBY 模式：任何一个 GPIO 端口 A 信号 (GPIO[31:0]) 能够将器件从 STANDBY 模式中唤醒。用户必须通过 GPIOLPMSSEL 寄存器选择哪一个信号将器件唤醒。唤醒设备之前，OSCCLK 还可以对选定的信号进行确认。OSCCLK 的数量在 LPMCRO 寄存器中指定

HALT 模式：CPU 看门狗，XRS 和任何一个 GPIO 端口 A 信号 (GPIO[31:0]) 可将器件从 HALT 模式中唤醒。用户在 GPIOLPMSSEL 寄存器中选择信号。

HXS320F2802X 处理器提供了两种选项在没有外部激励的情况下，可自动从 HALT 和 STANDBY 模式唤醒

- 从 HALT 模式唤醒：将 CLKCTL 寄存器中 WDHALTI 位置 1，通过处理器看门狗复位将处理

器从 HALT 模式唤醒。WDCR 寄存器中的 WDFLAG 位用来区别处理器的看门狗复位和设备复位。

- 从 STANDBY 模式唤醒：将寄存器 LPMCRO 中的 WDINTE 位置 1，通过 WAKEINT 中断将处理器从 STANDBY 模式唤醒。

中科昊芯

4. 外设

4.1 模拟器件

图 4-1 显示了模拟器件与 H28x 系统其余部分的交互。

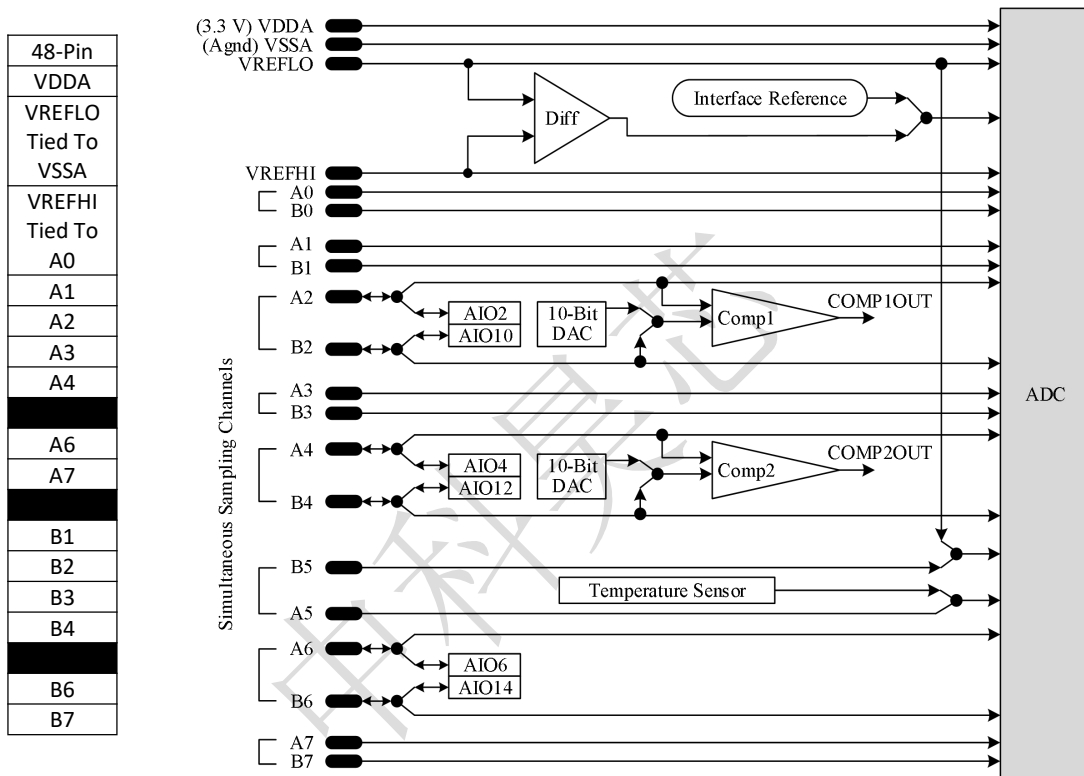


图 4-1 模拟引脚配置

4.1.1 特性

ADC 的核包含一个 12 位转换器, 转换器由两个采样保持电路供电。采样保持电路可以同时采样, 也可以按顺序采样。ADC 总共有多达 16 个模拟输入通道。转换器可被配置为使用一个内部带隙基准来创建真正的基于电压的转换, 或者使用一对外部电压基准

(VREFHI/VREFLO) 来创建基于比率的转换。

与之前的 ADC 类型不同此 ADC 不是基于序列器的。用户很容易从单个触发器创建一系列

转换。然而，操作的基本原理是围绕配置的单个转换的开始，称为 SOC 或转换的开始。

ADC 模块的功能包括：

内置双采样保持 (S/H) 的 12 位 ADC 核心

同时采样或顺序采样模式全量程模拟输入：0V 至 3.3V 固定，或 VREFHI/VREFLO 比率。

模拟输入的数字值

电压由以下公式得出：

当 输入 $\leq 0V$ ， 数字值 = 0

当 $0V < \text{输入} < 3.3 V$ ， 数字值 = $4096 \times \frac{\text{模拟输入电压} - V_{REFLO}}{3.3}$

当 输入 $\geq 3.3 V$ ， 数字值 = 4095

- 最多 16 通道，多路输入
- 16 个 SOC，可配置触发器、采样窗口和通道
- 16 个结果寄存器（可单独寻址），用于存储转换值
- 多触发源
 - 软件 - 软件立即启动
 - ePWM 1 - 4
 - GPIO XINT2
 - CPU 计时器 0/1/2
 - ADC 中断 1/2
- 9 个灵活的 PIE 中断，可配置任意转换后的中断请求

表 4-1 ADC 配置和控制寄存器

名称	地址	EALLOW 保护	描述
ADCCTL1	0x1400	是的	控制 1 寄存器
ADCCTL2	0x1404	是的	控制 2 寄存器
ADCINTFLG	0x1408	不	中断标志寄存器
ADCINTFLGCLR	0x140C	不	中断标志清除寄存器
ADCINTOVF	0x1410	不	中断溢出寄存器
ADCINTOVFCLR	0x1414	不	中断溢出清除寄存器
INTSEL1N2	0x1418	是的	中断 1 和 2 选择寄存器

INTSEL3N4	0x141C	是的	中断 3 和 4 选择寄存器
INTSEL5N6	0x1420	是的	中断 5 和 6 选择寄存器
INTSEL7N8	0x1424	是的	中断 7 和 8 选择寄存器
INTSEL9N10	0x1428	是的	中断 9 选择寄存器(保留中断 10 选择)
SOCPRCTL	0x142C	是的	SOC 优先级控制寄存器
ADCSAMPLEMODE	0x1430	是的	采样模式寄存器
ADCINTSOCSEL1	0x1434	是的	中断 SOC 选择 1 寄存器 (8 通道)
ADCINTSOCSEL2	0x1438	是的	中断 SOC 选择 2 寄存器 (8 通道)
ADCSOCFLG1	0x143C	不	SOC 标志 1 寄存器 (16 通道)
ADCSOCFRC1	0x1440	不	SOC 力 1 寄存器 (16 通道)
ADCSOCOVF1	0x1444	不	SOC 溢出 1 寄存器 (用于 16 通道)
ADCSOCOVFCLR1	0x1448	不	SOC 溢出清除 1 寄存器(用于 16 通道)
ADCSOC0CTL ~ADCSOC15CTL	0x144C - 0x1488	是的	SOC0 控制寄存器到 SOC15 控制寄存器
ADCREFTTRIM	0x148C	是的	参考微调寄存器
ADCOFFTRIM	0x1490	是的	偏移微调寄存器
COMPHYSTCTL	0x1494	是的	比较器滞后控制寄存器
ADCREV	0x1498	不	ADC 版本号

ADC 结果寄存器寄存器

名称	地址	EALLOW 保护	描述
ADCRESULT0~ ADCRESULT15	0x149C 至 0x1800	否	ADC 结果寄存器

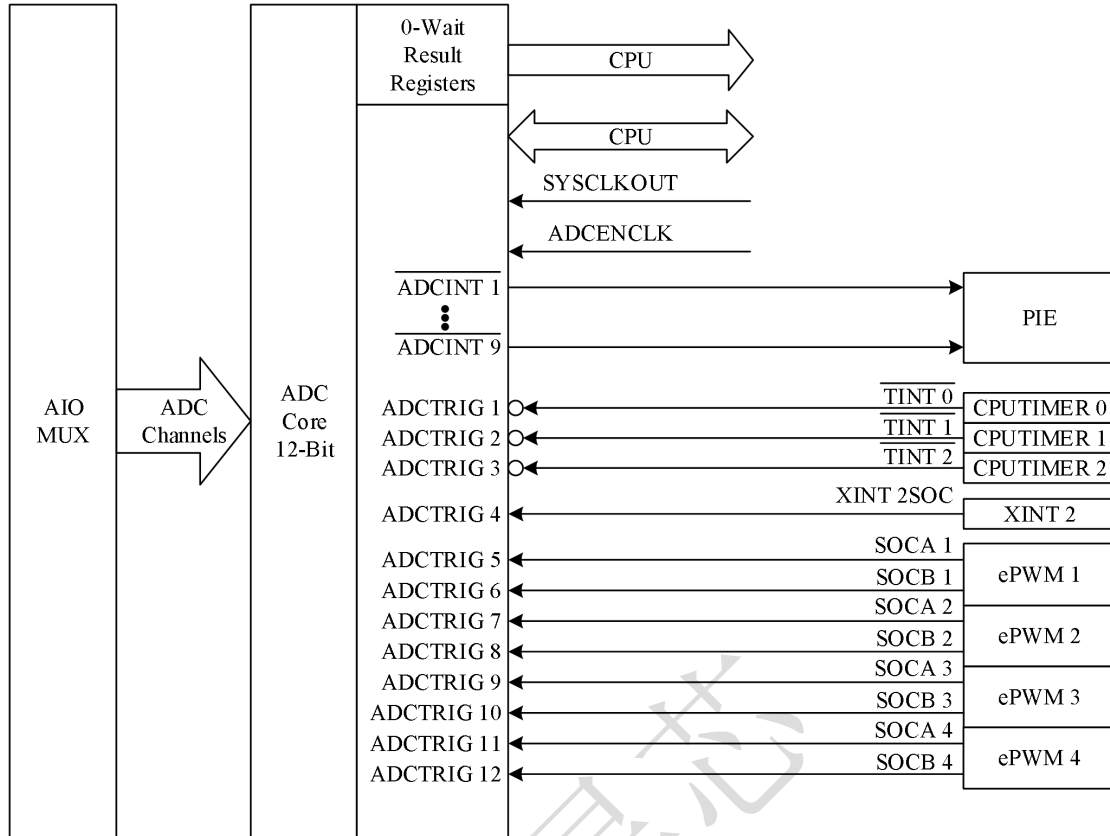


图 4-2 ADC 模块连接图

ADC 连接（如果未使用 ADC）

中科昊芯建议保持模拟电源引脚的连接，即使未使用 ADC。下面是一个如果应用程序中未使用 ADC，则应如何连接 ADC 引脚的摘要：

- VDDA - 连接到 VDDIO
- VSSA - 连接到 VSS
- VREFLO - 连接到 VSS
- ADCIN_n、ADCIN_{Bn}、VREFHI - 连接到 VSSA

在应用中使用 ADC 模块时，未使用的 ADC 输入引脚应连接到模拟地（VSSA）。

注意：

与 AIO 功能多路复用的未使用的 ADCIN 引脚不应直接连接到模拟地。它们应通过 1-k Ω 电阻器接地。这是为了防止错误代码将这些引脚配置为 AIO 输出，并将接地引脚驱动到逻辑高状态。

当不使用 ADC 时，确保 ADC 模块的时钟未打开以实现节能。

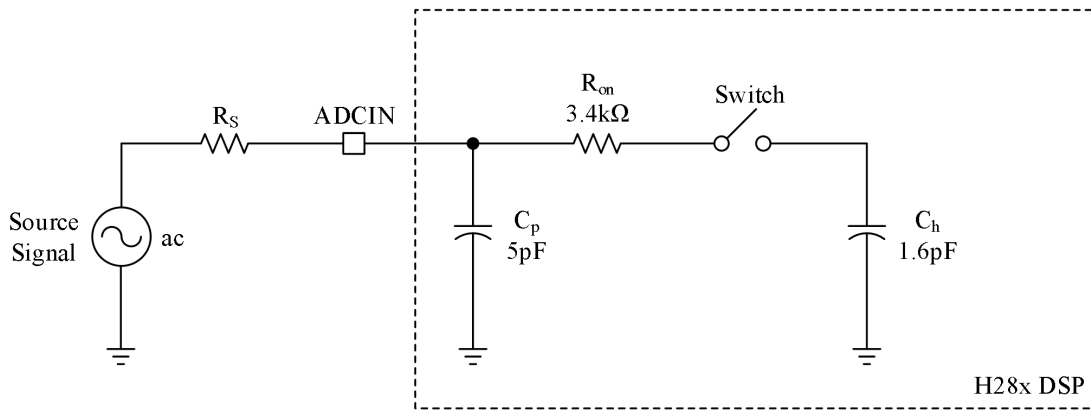


图 4-3 ADC 输入阻抗模型

输入电路元件的典型值:

- 开关电阻 (Rs) : 3.4 kΩ
- 采样电容器 (Cp) : 1.6 pF
- 寄生电容 (Cp) : 5 pF
- 源电阻 (Rs) : 50 Ω

4.1.2 ADC 顺序和同时时序信息

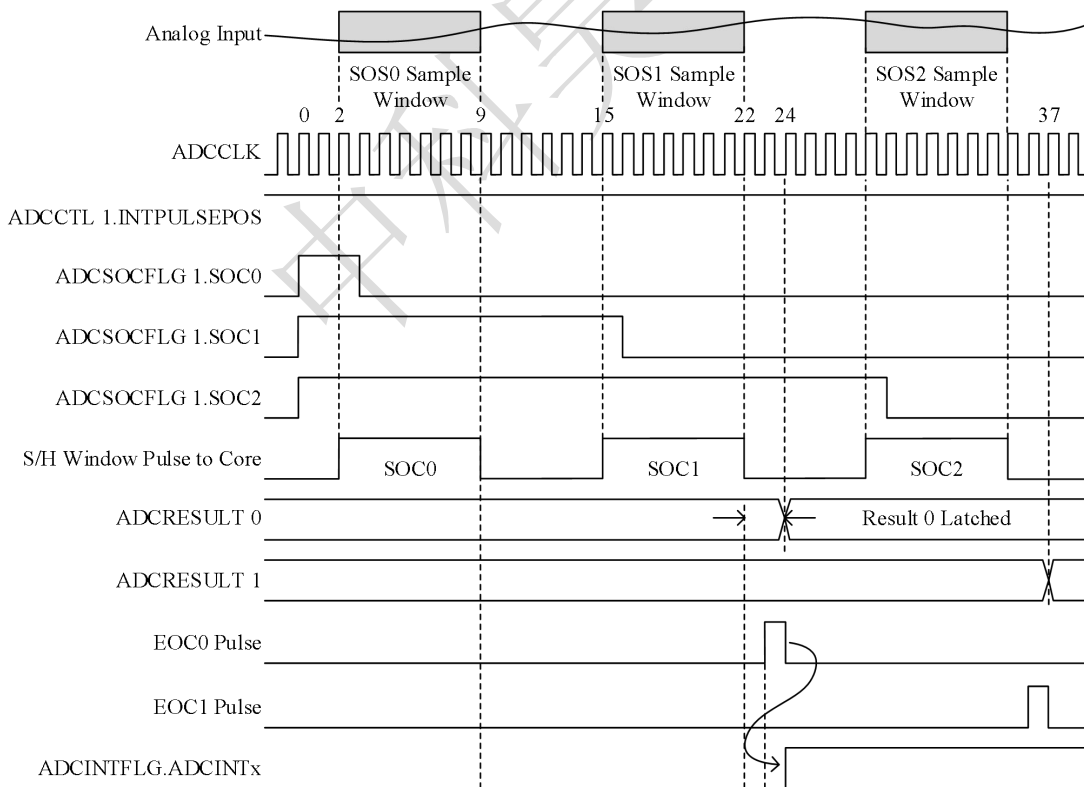


图 4-4 顺序模式/延迟中断脉冲的时序示例

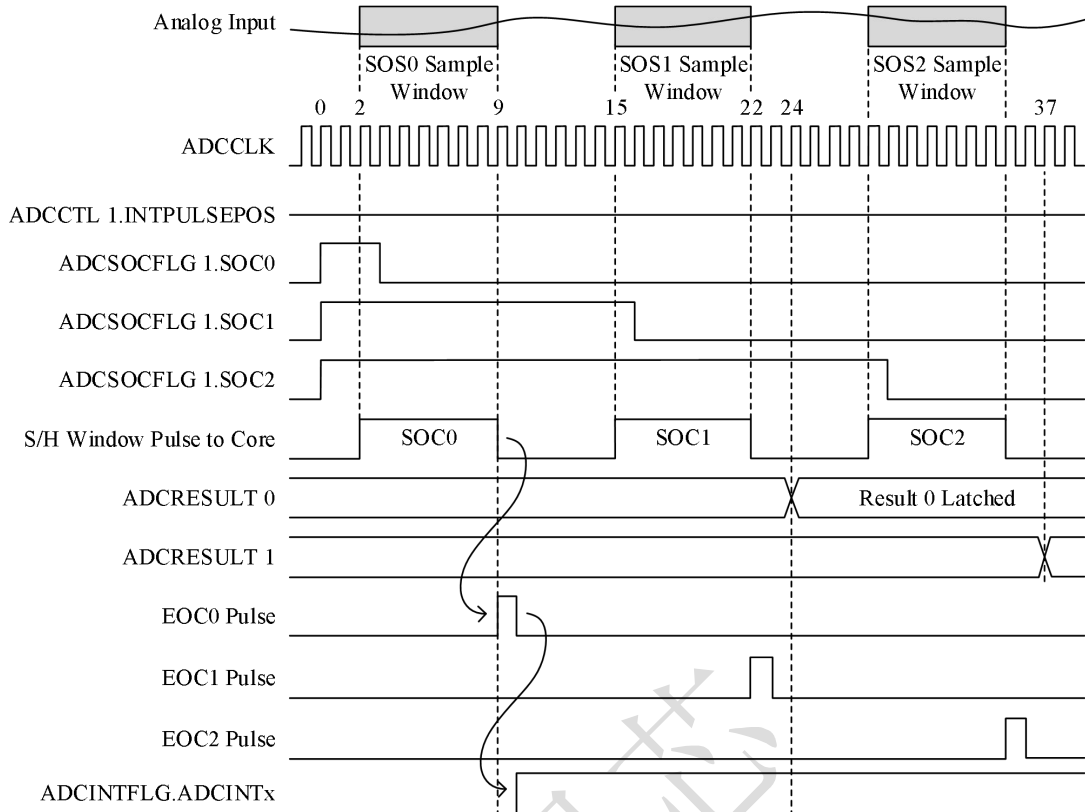


图 4-5 顺序模式/早期中断脉冲的时序示例

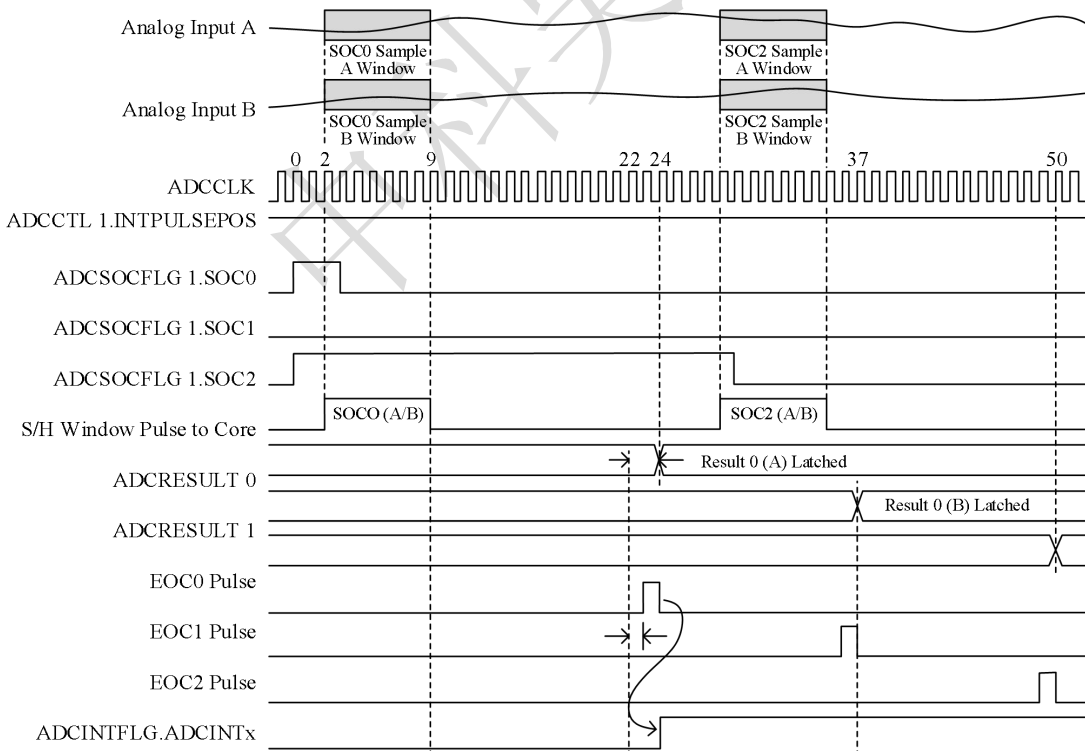


图 4-6 同步模式/延迟中断脉冲的时序示例

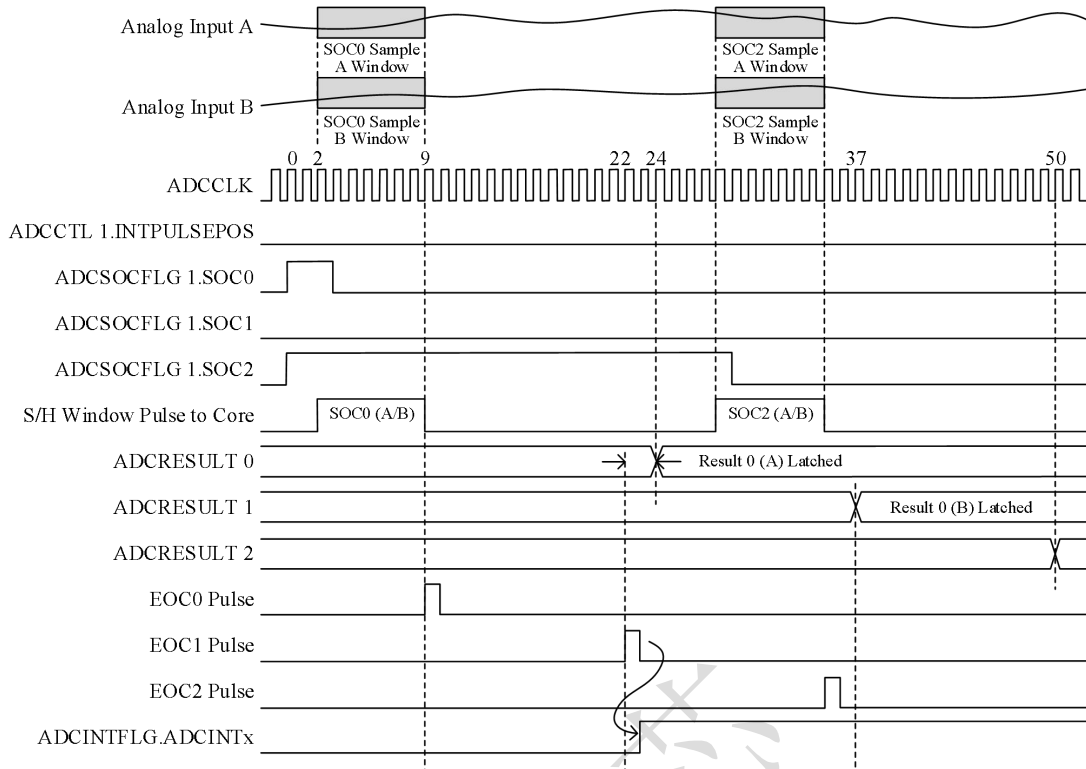


图 4-7 同步模式/早期中断脉冲的时序示例

4.1.3 ADC MUX 多路复选

ADC 通道和比较器功能始终可用。数字 I/O 功能仅在以下情况下可用 AIOMUX1 寄存器中的相应位为 0。在这种模式下，读取 AIODAT 寄存器反映实际的 pin 状态。

当 AIOMUX1 寄存器中的相应位为 1 时，数字 I/O 功能被禁用。在此模式下，读取 AIODAT 寄存器反映 AIODAT 寄存器的输出锁存，并且输入数字 I/O 缓冲区被禁用防止模拟信号产生噪音。

复位时，数字功能被禁用。如果引脚用作模拟输入，用户应保留 AIO 该 pin 的功能已禁用。

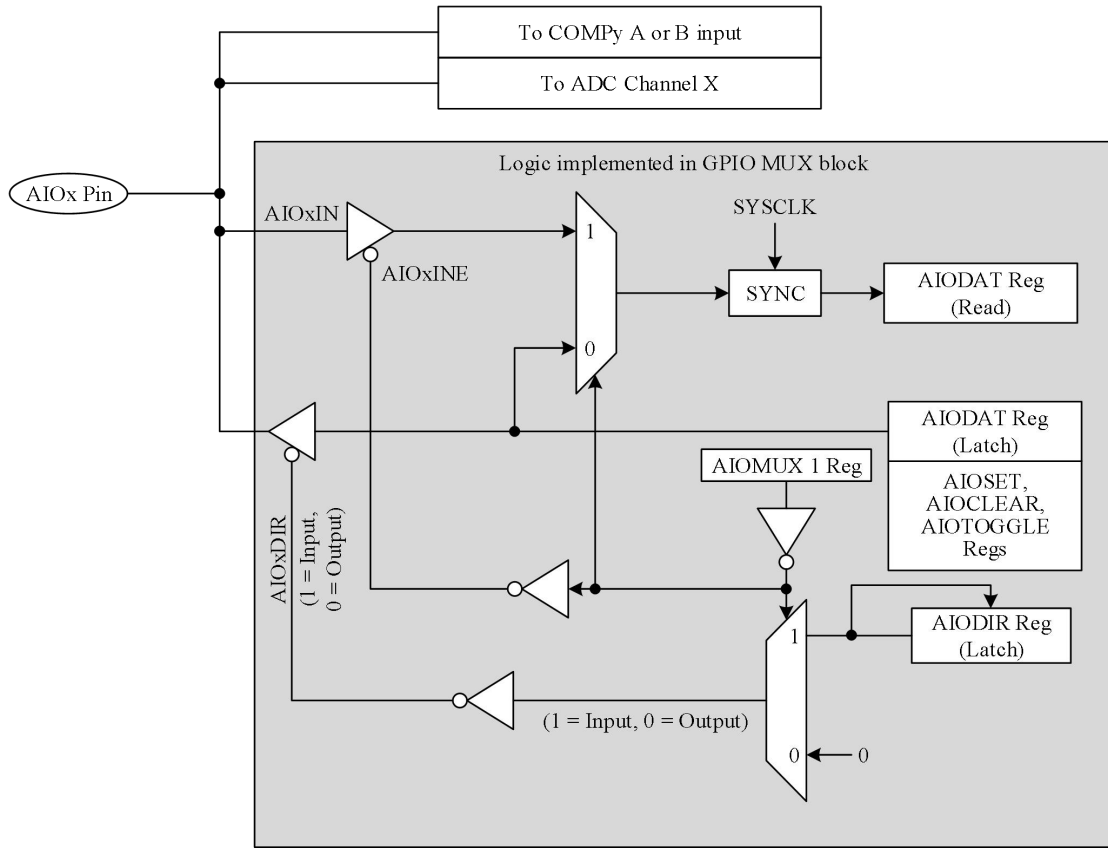


图 4-8 AIOx 引脚复用

4.1.4 比较器模块

下图显示了比较器模块与系统其余部分的交互。

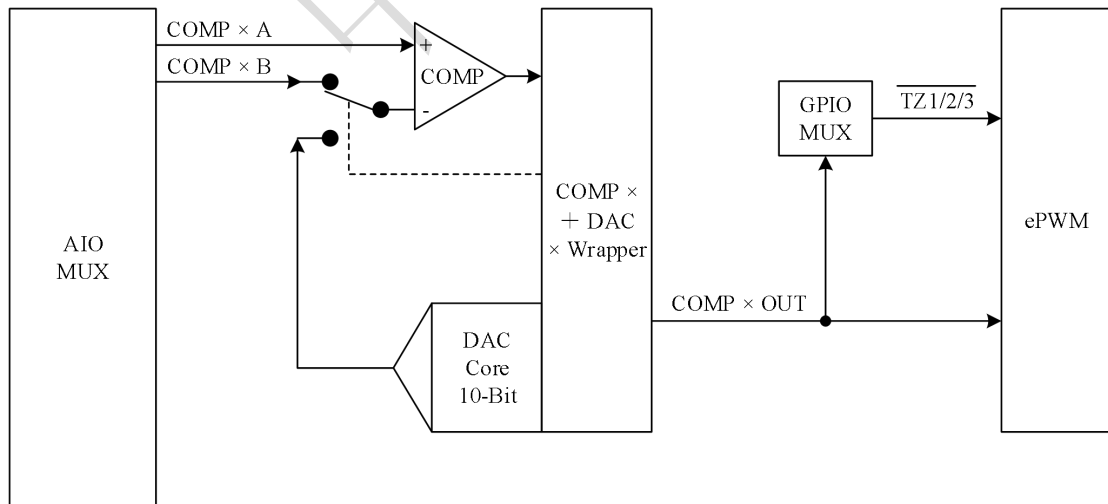


图 4-9 比较器模块结构框图

表 4-2 比较器模块寄存器映射

名称	比较器 1	比较器 2	EALLOW 保护	描述
COMPCTL	0xC000	0xC080	是的	比较器控制寄存器
COMPSTS	0xC004	0xC084	不	比较器状态寄存器
DACCTL	0xC008	0xC088	不	DAC 控制寄存器
DACVAL	0xC00C	0xC08C	不	DAC 值寄存器
RAMPMAXREF_ACTIVE	0xC010	0xC090	不	斜坡发生器最大值
RAMPMAXREF_SHDW	0xC014	0xC094	不	参考（活动）寄存器
RAMPDECVAL_ACTIVE	0xC018	0xC098	不	斜坡发生器最大值
RAMPDECVAL_SHDW	0xC01C	0xC09C	不	参考（阴影）寄存器
RAMPSTS	0xC020	0xC0A0	不	斜坡发生器衰减
DACEX	0xC024	0xC0A4	不	（活动）寄存器

注释：比较器 2 仅适用于 48 针 PT 封装。

4.2 同步串行通信接口（SPI）模块

DSC2802X 器件包括 1 个四引脚的同步串行通信接口 (SPI) 模块。SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度（1 至 16 位）的串行比特流移入和移出器件。通常，SPI 用于 DSP 和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。

SPI 模块的特性包括：

- 四个外部引脚：
 - SPISOMI：SPI 从器件输出/主器件输入引脚
 - SPISIMO：SPI 从器件输入/主器件输出引脚
 - SPISTE：SPI 从器件发送使能引脚
 - SPICLK：SPI 串行时钟引脚

注释：如果 SPI 模块未被使用，所有四个引脚可被用作 GPIO。

- 两个运行模式：主机模式和从机模式
- 波特率：共 125 个可编程的不同波特率以供使用。计算公式为：

当 SPIBRR = 3 到 127 时:

$$\text{SPI 波特率} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)}$$

当 SPIBRR = 0, 1, 或 2 时:

$$\text{SPI 波特率} = \frac{\text{LSPCLK}}{4}$$

其中:

LSPCLK = 设备低速外设时钟频率

SPIBRR = SPI 主机的 SPIBRR 的值

- 数据字长度: 1~16 数据位
- 包括 4 种时钟模式 (由时钟极性和时钟相位的位控制):
 - 无相位延迟的下降沿: SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据, 而在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿: SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿的一半周期之前发送数据, 而在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿: SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据, 而在 SPICLK 信号的下降沿上接收数据。
 - 有相位延迟的上升沿: SPICLK 低电平无效。SPI 在 SPICLK 信号下降沿之前的半个周期发送数据, 而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作 (发送功能可在软件中被禁用)
- 通过中断驱动或者轮询算法来完成发射器和接收器运行
- 9 个 SPI 模块控制寄存器: 位于控制寄存器内, 帧开始地址 0xE800。

增强型特性:

- 4 级发送/接收 FIFO
- 经延迟的发送控制
- 支持双向 3 线 SPI 模式
- 借助 SPISTE 翻转的音频数据接收支持

表格 4-3 SPI-A 寄存器

地址	缩写	大小	受 EALLOW 保护	寄存器名称
0xE800h	SPICCR	32bit	否	SPI-A 配置控制寄存器

0xE804h	SPICTL	32bit	否	SPI-A 运行控制寄存器
0xE808h	SPISTS	32bit	否	SPI-A 状态寄存器
0xE80ch	SPIBRR	32bit	否	SPI-A 波特率寄存器
0xE810h	SPIRXEMU	32bit	否	SPI-A 接收仿真缓存寄存器
0xE814h	SPIRXBUF	32bit	否	SPI-A 串行输入缓存寄存器
0xE818h	SPITXBUF	32bit	否	SPI-A 串行输出缓存寄存器
0xE81ch	SPIDAT	32bit	否	SPI-A 串行数据寄存器
0xE820h	SPIFFTX	32bit	否	SPI-A FIFO 发送寄存器
0xE824h	SPIFFRX	32bit	否	SPI-A FIFO 接收寄存器
0xE828h	SPIFFCT	32bit	否	SPI-A FIFO 控制寄存器
0xE82ch	SPIPRI	32bit	否	SPI-A 优先级控制寄存器

4.3 异步串行通信接口 (SCI) 模块

SCI 的基本功能如下:

- 对外两个数据信号与 GPIO 复用: SC ITXD (Output); SCIRXD (input);
- 波特率通过 16bit 寄存器可配置;
- 数据格式: start (1bit)+data (1~8bit 可配置)+地址数据标示 (1bit, 仅 address mode) 奇偶位 (奇/偶/无)+结束位 (1/2 bit)
- 四种错误检测: parity, overrun, framing, 和 break detection
- 全双工和半双工
- 接收发送双缓存
- 接收发送可中断触发或者轮询状态寄存器触发
- 接收发送中断分别使能 (BRKDT 除外)
- NRZ 格式传输

增强的功能:

- 硬件自动检测波特率
- 4 级接收发送 FIFO

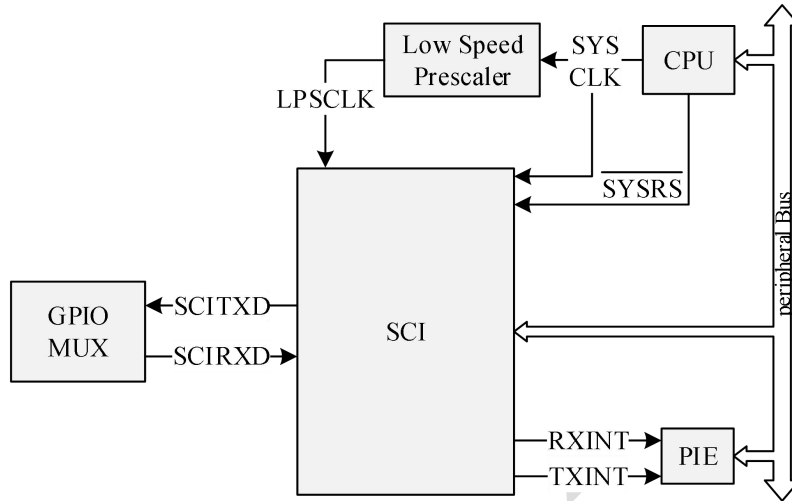


图 4-10 SCI 连接关系图

理想波特率	BRR	LSPCLK 时钟频率, 100MHz 实际波特率	误差%
2400	5207(1457h)	2400	0
4800	2603(A2Bh)	4800	0
9600	1301(515h)	9601	0.01
19200	650(28Ah)	19201	0.01
38400	324(144h)	38462	0.16

表 4-4 波特率配置

串行传输的时钟由 LSPCLK 根据 16bit 配置寄存器生成。最大比达特为 LSPCLK/16.

$$BRR = (SCIHBAUD \ll 8) + (SCILBAUD)$$

$$SCI \text{ Asynchronous Baud} = LSPCLK / ((BRR + 1) * 8)$$

$$BRR = LSPCLK / (SCI \text{ Asynchronous Baud} * 8) - 1, \quad 0 < BRR < 65536$$

$$BRR=0 \text{ 时, } SCI \text{ Asynchronous Baud} = LSPCLK / 16$$

表 4-5 SCI-A 寄存器

名称	偏移地址	大小 (x32)	说明
SCICCR	0h	1	SCI-A 通信控制寄存器
SCICTL1	4h	1	SCI-A 控制寄存器 1
SCIHBAUD	8h	1	SCI-A 波特率寄存器高位
SCILBAUD	Ch	1	SCI-A 波特率寄存器低位
SCICTL2	10h	1	SCI-A 控制寄存器 2
SCIRXST	14h	1	SCI-A 接收状态寄存器
SCITXEMU	18h	1	SCI-A 模拟缓冲寄存器
SCIRXBUF	1Ch	1	SCI-A 数据接收缓冲器
SCITXBUF	20h	1	SCI-A 数据传输寄存器

SCIFFTX	24h	1	SCI-A FIFO 发送寄存器
SCIFFRX	28h	1	SCI-A FIFO 接收寄存器
SCIFFCT	2Ch	1	SCI-A FIFO 控制寄存器
SCIPRI	30h	1	SCI-A 优先级寄存器

4.4 内部集成电路接口（I2C）模块

I2C 主要功能如下：

- 兼容 NXP I2C 标准规范 v2.1:
- 支持 8bit (1~7) 字节传输
- 支持 7 位寻址和 10 位寻址
- 支持广播
- 支持 START 模式
- 支持多主机-发送器和从机-接收器模式
- 支持多从机-发送器和主机-接收器模式
- 支持主机-发送/接受和从机-接受/发送的组合
- 速率 10kbps~400kbps (快速)
- 支持 4 X 16bit 接收和发送 FIFO
- 支持两个中断：
 - I2C 中断 (接收数据 ready; 发送数据 ready; 寄存器访问 ready; 未收到 ACK; 仲裁失败; 检测到停止位; 从机被寻址)
 - I2C FIFO 中断 (发送 FIFO 中断; 接收 FIFO 中断)
- 模块使能和禁止
- 支持自由数据传输模式
- 不支持的功能有：
 - 高速模式
 - CBUS 模式

I2C 模块结构：

I2C 模块结构上包含以下部分：

- 串行数据接口：SDA 和 SCL;
- 数据寄存器和数据 FIFO，用于缓存 SDA 与 CPU 之间的数据；

- 控制和状态寄存器；
- 配置总线接口，用于 CPU 配置 I2C 寄存器和 FIFO；
- 噪音滤波器，过滤 SDA 和 SCL 噪声；
- 仲裁器；
- FIFO 中断产生逻辑；

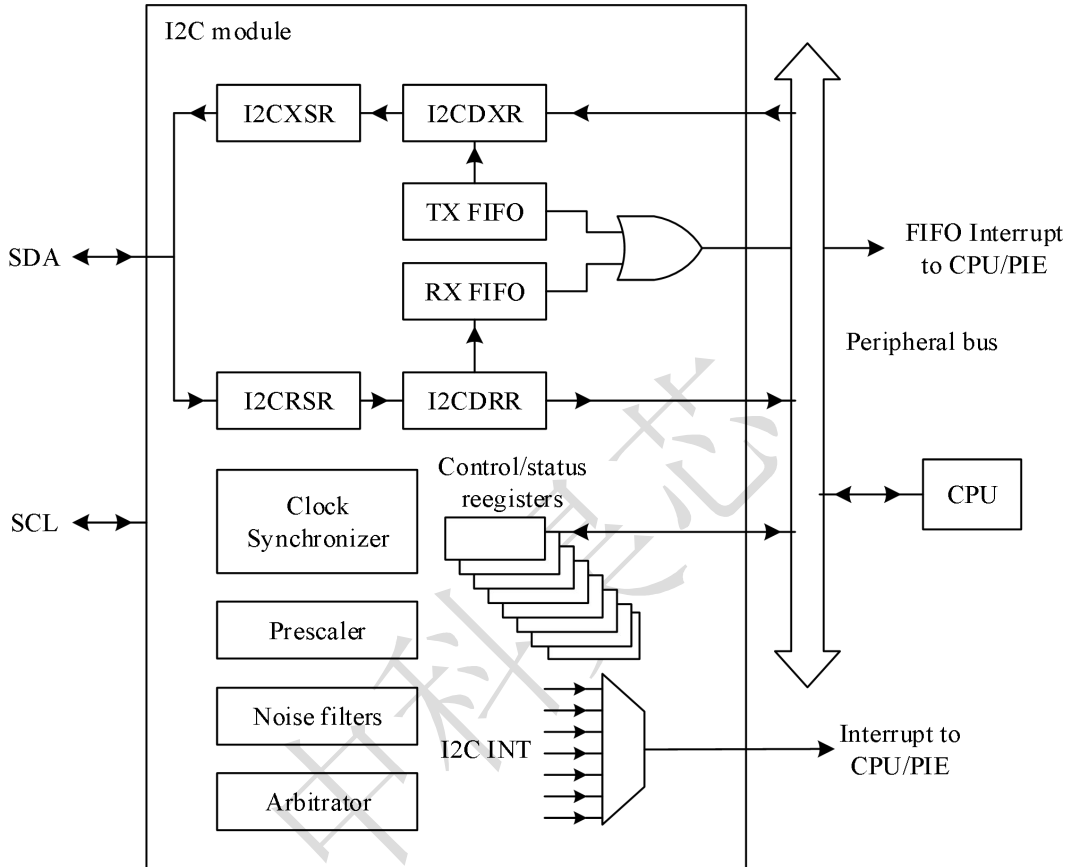


图 4-11 I2C 模块结构图

表 4-6 IIC 模块寄存器映射

相对位移	名称	说明
0h	I2COAR	I2C 自有地址寄存器
4h	I2CIER	I2c 中断寄存器
8h	I2CSTR	I2c 状态寄存器
Ch	I2CCLKL	I2C 时钟分频器低 32 位寄存器
10h	I2CCLKH	I2C 时钟分频器高 32 位寄存器
14h	I2CCNT	I2C 数据计数器寄存器
18h	I2CDRR	I2C 数据接收寄存器
1Ch	I2CSAR	I2C 从机地址寄存器
20h	I2CDXR	I2C 数据传输寄存器
24h	I2CMODR	I2C 模式寄存器
28h	I2CISRC	I2C 中断源寄存器
2Ch	I2CEMDR	I2C 扩展模式寄存器

30h	I2CPSC	I2C 预分频寄存器
34h	I2CFCTX	I2C FIFO 传输寄存器
38h	I2CFFRX	I2C FIFO 接收寄存器

4.5 增强型 PWM 模块 (ePWM1/2/3/4)

DSC28027 器件包括 4 路增强 PWM 模块每个 ePWM 模块支持：

- 专用 16 位 time-base 计数器，周期和频率可控；
- 每个 ePWM 模块有两个 PWM 输出 (EPWMxA, EPWMxB)，可配置为：
 - 两个独立的单沿 PWM
 - 两个独立的双沿对称 PWM
 - 一个独立的双沿非对称 PWM
- 通过软件异步改写 PWM 信号。
- 相对于其他 ePWM 模块，可以编程对相位进行控制，从而支持滞后或超前操作。
- 逐周期地进行相位同步。
- 对上升沿和下降沿可以独立控制延迟，产生死区 (Dead Band)。
- 故障发生时，可以编程控制进行逐周期 (cycle-by-cycle) 或一次触发 (one-shot) 跳闸 (trip)。
- 跳闸能够强制 PWM 输出为高，低或高阻状态。
- 比较器模块的输出和跳闸区域的输入可以生成事件，已过滤的事件或跳闸条件。
- 所有事件都可以触发 CPU 中断和 ADC 开始转换 Start Of Conversion, SOC
- 可编程的事件预分频可最大程度地减少中断对 CPU 开销。
- 通过高频载波信号对 PWM 进行斩波。

多个 ePWM 模块通过时钟信号连接起来，通过同步机制使得多个 ePWM 模块在需要时，能够作为一个系统协同工作。另外，这种同步机制可以扩展到 eCAP 模块。模块也可以单独 (stand-alone) 运行。

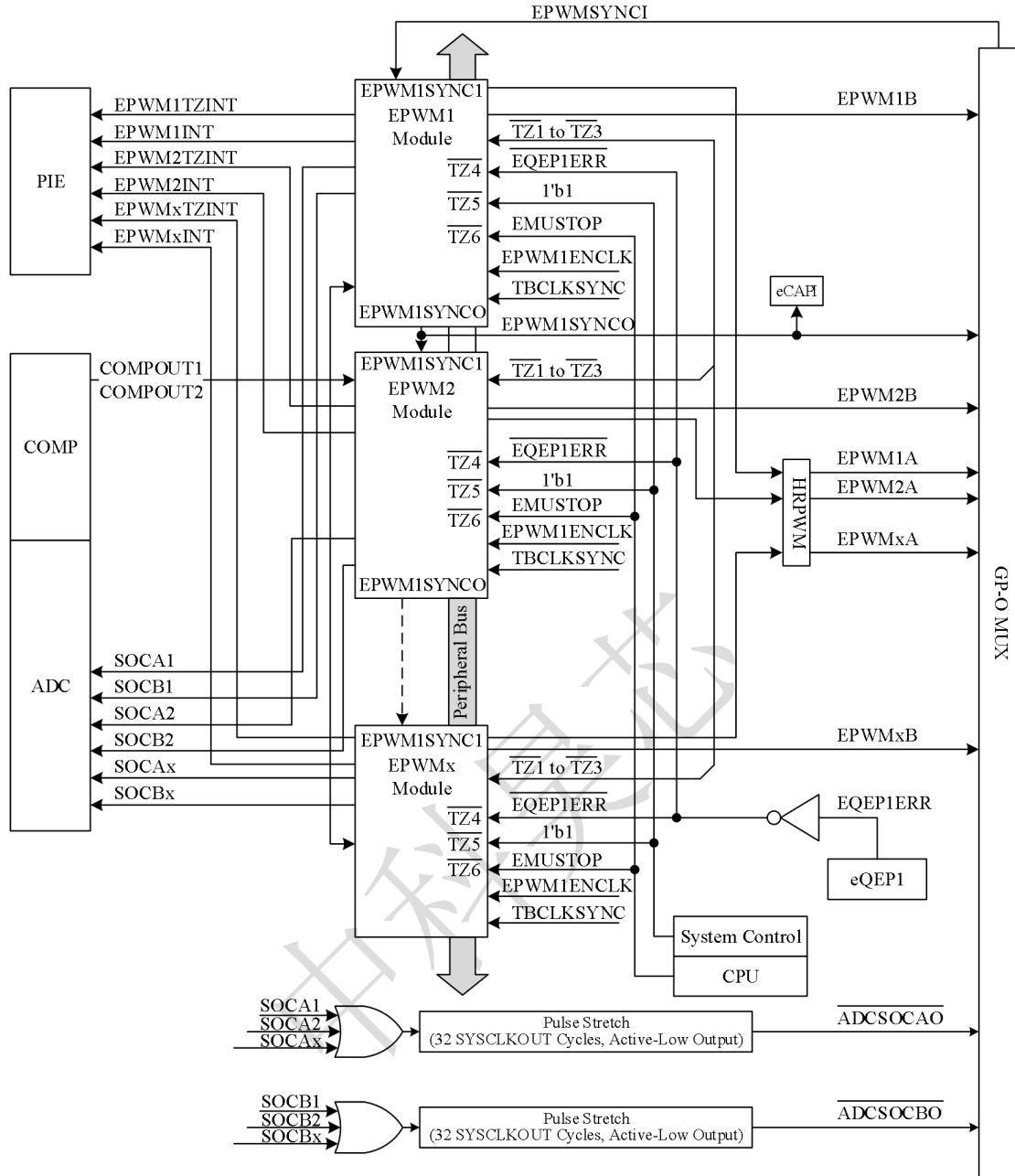


图 4-12 ePWM 结构图

表 4-7 ePWM 模块寄存器映射

名称	ePWM1	ePWM2	ePWM3	ePWM4	
TBCTL	0xB000	0xB400	0xB800	0xBC00	时基控制寄存器
TBSTS	0xB004	0xB404	0xB804	0xBC04	时基状态寄存器
TBPHS	0xB008	0xB408	0xB808	0xBC08	时基相位寄存器
TBCTR	0xB010	0xB410	0xB810	0xBC10	时基计数器寄存器
TBPRD	0xB014	0xB414	0xB814	0xBC14	时基周期寄存器集
CMPCTL	0xB01C	0xB41C	0xB81C	0xBCC	时基周期高分辨率寄存器
CMPA	0xB020	0xB420	0xB820	0xBC20	计数器比较控制寄存器
CMPB	0xB028	0xB428	0xB828	0xBC28	时基比较 HRPWM 寄存器

CMPAM	0xB0B0	0xB4B0	0xB8B0	0xBCB0	计数器比较寄存器集
AQCTLA	0xB02C	0xB42C	0xB82C	0xBC2C	计数器比较 B 寄存器集
AQCTLB	0xB030	0xB430	0xB830	0xBC30	Output 的操作限定符控制寄存器
AQSFRC	0xB034	0xB434	0xB834	0xBC34	Output 的操作限定符控制寄存器
AQCSFRC	0xB038	0xB438	0xB838	0xBC38	动作限定符软件强制寄存器
DBCTL	0xB03C	0xB43C	0xB83C	0xBC3C	死区发生器控制寄存器
DBRED	0xB040	0xB440	0xB840	0xBC40	死区发生器上升沿延迟计数寄存器
DBFED	0xB044	0xB444	0xB844	0xBC44	死区发生器下降沿延迟计数寄存器
TZSEL	0xB048	0xB448	0xB848	0xBC48	跳闸区选择寄存器
TZDCSEL	0xB04C	0xB44C	0xB84C	0xBC4C	跳闸区数字比较寄存器
TZCTL	0xB050	0xB450	0xB850	0xBC50	跳闸区控制寄存器
TZEINT	0xB054	0xB454	0xB854	0xBC54	跳闸区启用中断寄存器
TZFLG	0xB058	0xB458	0xB858	0xBC58	跳闸区标志寄存器
TZCLR	0xB05C	0xB45C	0xB85C	0xBC5C	跳闸区清除寄存器
TZFRC	0xB060	0xB460	0xB860	0xBC60	跳闸区力寄存器
ETSEL	0xB064	0xB464	0xB864	0xBC64	事件触发器选择寄存器
ETPS	0xB068	0xB468	0xB868	0xBC68	事件触发器预刻度寄存器
ETFLG	0xB06C	0xB46C	0xB86C	0xBC6C	事件触发标志寄存器
ETCLR	0xB070	0xB470	0xB870	0xBC70	事件触发器清除寄存器
ETFRC	0xB074	0xB474	0xB874	0xBC74	事件触发力寄存器
PCCTL	0xB078	0xB478	0xB878	0xBC78	PWM 斩波器控制寄存器
DCTRIPSEL	0xB0C0	0xB4C0	0xB8C0	0xBCC0	数字比较跳闸选择寄存器
DCACTL	0xB0C4	0xB4C4	0xB8C4	0xBCC4	数字比较控制寄存器
DCBCTL	0xB0C8	0xB4C8	0xB8C8	0xBCC8	数字比较 B 控制寄存器
DCFCTL	0xB0CC	0xB4CC	0xB8CC	0xB8CC	数字比较滤波器控制寄存器
DCCAPCTL	0xB0D0	0xB4D0	0xB8D0	0xBCD0	数字比较跳闸选择寄存器
DCFOFFSET	0xB0D4	0xB4D4	0xB8D4	0xBCD4	数字比较捕获控制寄存器
DCFOFFSET CNT	0xB0D8	0xB4D8	0xB8D8	0xBCD8	数字比较滤波器偏移寄存器
DCFWINDOW	0xB0DC	0xB4DC	0xB8DC	0xBCDC	数字比较滤波器偏移计数器寄存器
DCFWINDOW CNT	0xB0E0	0xB4E0	0xB8E0	0xBCE0	数字比较滤波器窗口寄存器
DCCAP	0xB0E4	0xB4E4	0xB8E4	0xBCE4	数字比较滤波器窗口计数器寄存器

4.6 高分辨率 PWM 模块 (HRPWM)

该模块将多条延迟线组合在一个模块中，并使用一个简化的校准系统专用校准延迟线。每个 ePWM 模块有一条 HR 延迟线。

HRPWM 模块提供的 PWM 分辨率（时间粒度）明显优于现有的分辨率采用传统的数字 PWM 方法实现。HRPWM 模块的要点是：

- 显著扩展了传统衍生数字 PWM 的时间分辨率能力
- 此功能既可用于单边（占空比和相移控制）也可用于双边频率/周期调制的边缘控制。
- 更精细的时间粒度控制或边缘定位是通过通过对 CMPA 以及 ePWM 模块的相位寄存器的扩展来控制的。
- 在特定设备上可用时，HRPWM 功能仅在设备的 a 信号路径上提供（即，在 EPWMxA 输出上）。EPWMxB 输出具有传统的 PWM 功能。

4.7 增强型脉冲捕获模块 (eCAP)

eCAP 包含以下功能：

- 4 个 32bit 事件捕获寄存器；
- 可选择 4 个沿触发采集事件；
- 每个采集事件可触发中断；
- 最大支持 4 个事件的单发射捕获；
- 支持 4 深度缓存的循环模式捕获；
- 绝对时间捕获；
- 差分模式捕获；
- 1 个信号输入；
- 不工作在捕获模式时，可配置为单通道 PWM 输出；

eCAP 主要包括以下资源：

- 专用信号输入；
- 32bit 计数器；
- 4X32bit 捕获器；

- 4 级序列发生器 (mod4)，与外部序列沿同步；
- 4 个捕获事件均可独立选择上下沿触发；
- 信号输入可做 2~62 预分频；
- 通过单发射寄存器在 1~4 捕获事件后停止捕获；
- 通过 4 个 CAP 寄存器实现连续捕获；
- 四个捕获事件均可触发中断；

eCAP 可配置为捕获模式或者 APWM 模式，APWM 模式下，cap1、cap2 分配为周期寄存器和比较寄存器，cap3 和 cap4 是其 shadow 寄存器。

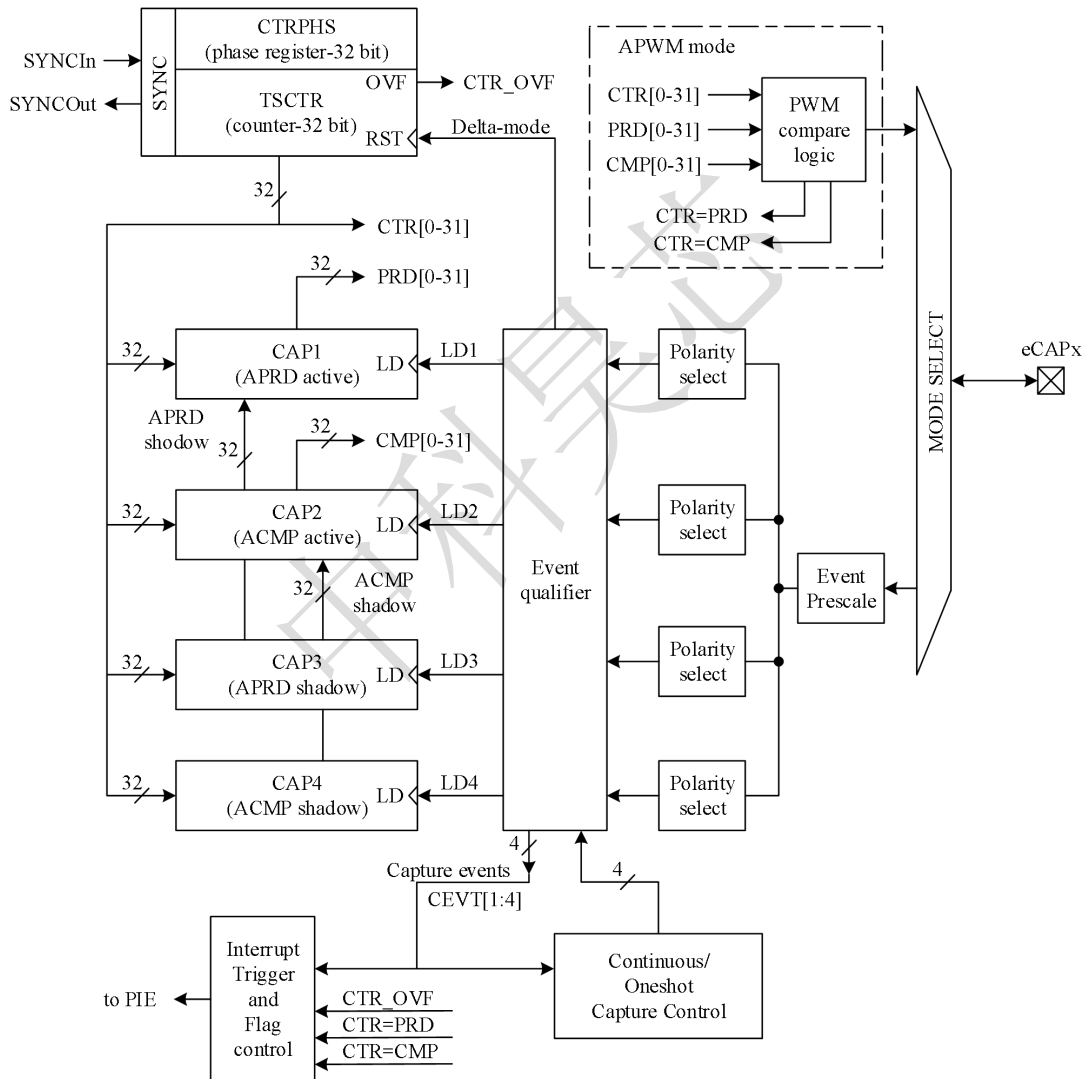


图 4-13 eCAP 功能结构图

表 4-8 eCAP 模块寄存器映射

eCAP 寄存器基地址: 0x0000D000

地址偏移	寄存器	描述
0h	TSCTR	ECAP 时基计数器
4h	CTRPHS	Counter Phase Offset Value Register
8h	CAP1	CAP 寄存器 1
Ch	CAP2	CAP 寄存器 2
10h	CAP3	CAP 寄存器 3
14h	CAP4	CAP 寄存器 4
18h	ECCTL1	CAP 控制寄存器 1
1Ch	ECCTL2	CAP 控制寄存器 2
20h	ECEINT	CAP 中断使能寄存器
24h	ECFLG	CAP 中断标志寄存器
28h	ECCLR	CAP 中断清除器
2Ch	ECFRC	CAP 中断强制寄存器

4.8 增强型正交编码器模块 (eQEP)

eQEP 主要功能单元有:

- GPIO MUX: 选择端口信号 (由 GPIO 实现);
- QDU: 正交解码器;
- PCCU: 用于位置测量的位置计数器和控制单元;
- QCAP: 用于低速测量的正交边沿捕获单元;
- UTIME: 用于测量速度或者频率的单位时间单元;
- QWDOG: 用于停止检测的看门狗;

		内 IEL 定义，在索引 (index) 事件发生时将位置计数器的值锁存在此寄存器。
14h	QPOSSLAT	选通位置锁存寄存器，32bit，只读，SYSRSn 下复位位 0h，根据 QEPCTL 内 SEL 定义，在选通 (strobe) 事件发生时，将位置计数器的值锁存到该寄存器。
18h	QPOSLAT	位置计数器锁存寄存器，32bit，只读，SYSRSn 下复位位 0h，在单位事件超时事件发生时，将位置计数器的值锁存在此寄存器。
1Ch	QUTMR	单位定时器寄存器，32bit，可读写，SYSRSn 下复位位 0h，为单位事件产生提供基准，当其值与单位周期值匹配时，产生单位时间事件。
20h	QUPRD	单位周期寄存器，32bit，可读写，SYSRSn 下复位位 0h，为单位定时器提供周期值，用于周期性的产生单位事件，周期性的锁存位置信息，并产生中断。
24h	QWDTMR	看门狗定时器寄存器，16bit，可读写，SYSRSn 下复位位 0h，为看门狗提供时间基准检测电机是否停转，当其值与看门狗周期值匹配时，产生看门狗超时中断，该寄存器在正交时钟边沿跳变时复位。
28h	QWDPRD	看门狗周期寄存器，16bit，可读写，SYSRSn 下复位位 0h，存放看门狗周期值，用于产生看门狗超时中断。
2Ch	QDECCTL	编码控制器
30h	QEPCTL	控制寄存器，详见本章第二节
34h	QCAPCTL	捕获控制寄存器，详见本章第三节
38h	QPOSCTL	位置比较控制寄存器，详见本章第四节
3Ch	QEINT	中断使能寄存器，Bit15:12，bit0 只读为 0，Bit11-1 分别为 UTO（单元事件超时）、IEL（index 事件锁存）、SEL（strobe 事件锁存）、PCM（位置比较匹配中断）、PCR（位置比较备好）、PCO（位置计数器上溢）、PCU（位置计数器下溢出）、WTO（看门狗超时）、QDC（正交方向转向）、PHE（正交相位错误）、PCE（位置计数器错误）等中断使能
40h	QFLG	中断标志寄存器，Bit15:12 只读为 0，Bit11:0 分别为 UTO（单元事件超时）、IEL（index 事件锁存）、SEL（strobe 事件锁存）、PCM（位置比较匹配中断）、PCR（位置比较备好）、PCO（位置计数器上溢）、PCU（位置计数器下溢出）、WTO（看门狗超时）、QDC（正交方向转向）、

		PHE（正交相位错误）、PCE（位置计数器错误）、INT 等中断使能
44h	QCLR	中断清除寄存器，对应中断清零
48h	QFRC	中断强制寄存器，对应中断强制为 1
4Ch	QEPSTS	状态寄存器，详见本章第五节
50h	QCTMR	捕获计时器，16bit，可读写，SYSRSn 复位为 0，为沿捕获单元提供时间基准
54h	QCPRD	捕获周期寄存器，16bit，可读写，SYSRSn 复位为 0，在两个连续的 eqep 位置事件之间，保存捕获周期计数值
58h	QCTMRLAT	捕获定时器锁存寄存器，16bit，可读写，SYSRSn 复位为 0，发生单位事件超时事件或者读取位置计数器时，将捕获计数器的值锁存在此寄存器中
5Ch	QCPRDLAT	捕获周期锁存寄存器，16bit，可读写，SYSRSn 复位为 0，发生单位时间超时事件或者读取位置计数器时，将捕获周期锁存在此寄存器中

4.9 JTAG 端口

JTAG 有 5 个端口：TRST，TCK，TDI，TMS，TDO，其中 TCK，TDI，TMS 及 TDO 同时作为 GPIO 端口，TRST 选择要么作为 JTAG 端口要么作为 GPIO 端口，如图 4-15 所示。

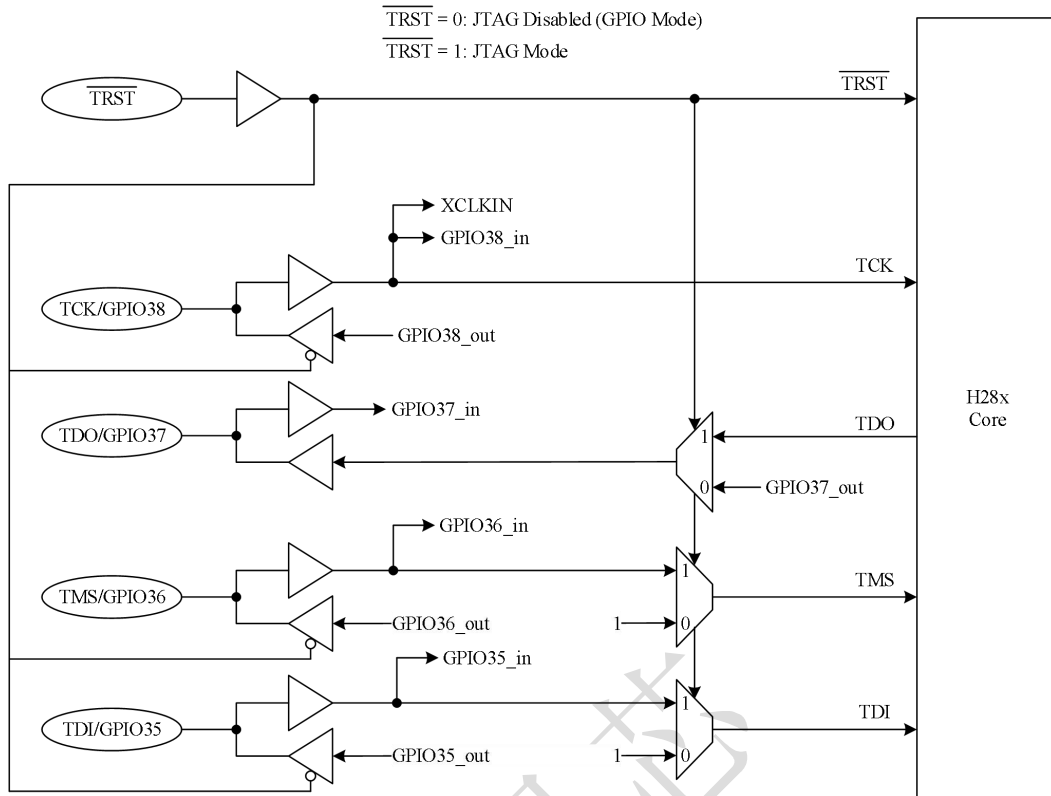


图 4-15 JTAG 端口多路复用示意图

注意：JTAG 端口也可以作为 GPIO 端口，在板级设计时，需注意连接这些端口的电路不能影响 JATG 仿真，不能影响仿真器驱动这些端口进行调试。

TRST 信号结合 JTAG DEBUG 寄存器内的 JTAGDIS 位选择 JTAG 的功能。

TRST	JTAGDIS bit	JTAG Port Mode
0	X	GPIO mode enabled, JTAG port disabled
1	0	JTAG port enabled(GPIOs should be configured as inputs)
1	1	GPIO mode enabled, JTAG port disabled

其中 JTAG DEBUG 寄存器地址为 0xDC44，受 EALLOW 保护。

JTAG DEBUG 寄存器位宽 16bits, bit[15:1]保留只读为0, bit0 为 JTAGDIS- JTAG disable bit, 0- JTAG enable, 1-JTAG disable, 当 JTAG disable 时, JATG 端口可用于 GPIO 功能, 当 TRST=0 时, JTAGDIS 被复位为 0, 当 TRST=1 时, 可以通过 CPU 配置 JTAGDIS。

4.11 GPIO 控制寄存器

GPIO 可以复用于片内的外设，并具有上下拉控制、输入信号滤波等功能。

GPIO MUX 寄存器

表 4-10 GPIO 寄存器映射及说明

名称	地址	描述		
GPIO 控制寄存器 (EALLOW 保护)				
GPACTRL	0xD810	GPIO A 控制寄存器 (GPIO0 到 31)		
GPAQSEL1	0xD818	GPIO A 限定符选择 1 寄存器 (GPIO0 到 15)		
GPAQSEL2	0xD81C	GPIO A 限定符选择 2 寄存器 (GPIO16 到 31)		
GPAMUX1	0xD800	GPIO A MUX 1 寄存器 (GPIO0 to 15)		
GPAMUX2	0xD804	GPIO A MUX 2 寄存器 (GPIO0 to 15)		
GPADIR	0xD824	GPIOA 方向寄存器 (GPIO0 to 31)		
GPAPUD	0xD830	GPIO A 上拉禁用寄存器 (GPIO0 到 31)		
GPBCTRL	0xD814	GPIO B 控制寄存器 (GPIO32 到 38)		
GPBQSEL1	0xD820	GPIO B 限定符选择 1 寄存器 (GPIO32 到 38)		
GPBMUX1	0xD808	GPIO B MUX 1 寄存器 (GPIO32 至 38)		
GPBDIR	0xD828	GPIO B 方向寄存器 (GPIO32 至 38)		
GPBPUD	0xD834	GPIO B 上拉禁用寄存器 (GPIO32 到 38)		
AIOMUX1	0xD80C	模拟, I/O mux 1 寄存器 (AI00 至 AI015)		
AIODIR	0xD82C	模拟, I/O 方向寄存器 (AI00 到 AI015)		
GPIO 数据寄存器 (非 EALLOW 保护)				
GPADAT	0xD838	GPIO A 数据寄存器 (GPIO0 到 31)		
GPASET	0xD844	GPIO A 数据置位寄存器 (GPIO0 到 31)		
GPACLEAR	0xD848	GPIO A 数据清除寄存器 (GPIO0 到 31)		
GPATOGGLE	0xD84C	GPIO A 数据翻转寄存器 (GPIO0 至 31)		
GPBDAT	0xD83C	GPIO B 数据寄存器 (GPIO32 至 38)		
GPBSET	0xD850	GPIO B 数据置位寄存器 (GPIO32 至 38)		
GPBCLEAR	0xD854	GPIO B 数据清除寄存器 (GPIO32 至 38)		
GPBTOGGLE	0xD858	GPIO B 数据翻转寄存器 (GPIO32 至 38)		
AIODAT	0xD840	模拟 I/O 数据寄存器 (AI00 至 AI015)		
AIOSET	0xD85C	模拟 I/O 数据置位寄存器 (AI00 到 AI015)		
AIOCLEAR	0xD860	模拟 I/O 数据清除寄存器 (AI00 到 AI015)		
AIOTOGGLE	0xD864	模拟 I/O 数据翻转寄存器 (AI00 至 AI015)		
GPIO 中断和低功耗模式选择寄存器 (EALLOW 保护)				
GPIOXINT1SEL	0xD868	XINT1 GPIO 输入选择寄存器 (GPIO0 到 31)		
GPIOXINT2SEL	0xD86C	XINT2 GPIO 输入选择寄存器 (GPIO0 到 31)		
GPIOXINT3SEL	0xD870	XINT3 GPIO 输入选择寄存器 (GPIO0 到 31)		
GPIOLPMSSEL	0xD874	LPM GPIO 选择寄存器 (GPIO0 到 31)		
GPIOA MUX 选择				
	复位默认功能	外设 1	外设 2	外设 3

GPAMUX1 位	GPAMUX1=00	GPAMUX1=01	GPAMUX1=10	GPAMUX1=11
1-0	GPI00	EPWM1A (O)	Reserved	Reserved
3-2	GPI01	EPWM1B (O)	Reserved	COMP1OUT (O)
5-4	GPI02	EPWM2A (O)	Reserved	Reserved
7-6	GPI03	EPWM2B (O)	Reserved	COMP2OUT (O)
9-8	GPI04	EPWM3A (O)	Reserved	Reserved
11-10	GPI05	EPWM3B (O)	Reserved	ECAP1 (I/O)
13-12	GPI06	EPWM4A (O)	EPWMSYNCI (I)	EPWMSYNCO (O)
15-14	GPI07	EPWM4B (O)	SCIRXDA (I)	Reserved
17-16	Reserved	Reserved	Reserved	Reserved
19-18	Reserved	Reserved	Reserved	Reserved
21-20	Reserved	Reserved	Reserved	Reserved
23-22	Reserved	Reserved	Reserved	Reserved
25-24	GPI012	TZ1 (I)	SCITXDA (O)	EQEP1A
27-26	Reserved	Reserved	Reserved	Reserved
29-28	Reserved	Reserved	Reserved	Reserved
31-30	Reserved	Reserved	Reserved	Reserved
GPAMUX2 位	GPAMUX2=00	GPAMUX2=01	GPAMUX2=10	GPAMUX2=11
1-0	GPI016	SPISIMOA (I/O)	EQEPI	TZ2 (I)
3-2	GPI017	SPISOMIA (I/O)	EQEPS	TZ3 (I)
5-4	GPI018	SPICLKA (I/O)	SCITXDA (O)	XCLKOUT (O)
7-6	GPI019/XCLKIN	SPISTEA (I/O)	SCIRXDA (I)	ECAP1 (I/O)
9-8	Reserved	Reserved	Reserved	Reserved
11-10	Reserved	Reserved	Reserved	Reserved
13-12	Reserved	Reserved	Reserved	Reserved
15-14	Reserved	Reserved	Reserved	Reserved
17-16	Reserved	Reserved	Reserved	Reserved
19-18	Reserved	Reserved	Reserved	Reserved
21-20	Reserved	Reserved	Reserved	Reserved
23-22	Reserved	Reserved	Reserved	Reserved
25-24	GPI028	SCIRXDA (I)	SDAA (I/OD)	TZ2 (I)
27-26	GPI029	SCITXDA (O)	SCLA (I/OD)	TZ3 (I)
29-28	Reserved	Reserved	Reserved	Reserved
31-30	Reserved	Reserved	Reserved	Reserved

表 4-11 GPIOB MUX 选择

	复位默认功能	外设 1	外设 2	外设 3
GPBMUX1 位	GPBMUX1=00	GPBMUX1=01	GPBMUX1=10	GPBMUX1=11
1-0	GPI032	SDAA (I/OC)	EPWMSYNCI (I)	ADCSOCA0 (O)
3-2	GPI033	SCLA (I/OC)	EPWMSYNCO (O)	ADCSOCB0
5-4	GPI034	COMP2OUT (O)	Reserved	EQEPB
7-6	GPI035 (TDI)	Reserved	Reserved	Reserved

9-8	GPI036 (TMS)	Reserved	Reserved	Reserved
11-10	GPI037 (TDO)	Reserved	Reserved	Reserved
13-12	GPI038/XCLKIN (TCK)	Reserved	Reserved	Reserved
15-14	Reserved	Reserved	Reserved	Reserved
17-16	Reserved	Reserved	Reserved	Reserved
18-19	Reserved	Reserved	Reserved	Reserved
21-20	Reserved	Reserved	Reserved	Reserved
23-22	Reserved	Reserved	Reserved	Reserved
25-24	Reserved	Reserved	Reserved	Reserved
27-26	Reserved	Reserved	Reserved	Reserved
29-28	Reserved	Reserved	Reserved	Reserved
31-30	Reserved	Reserved	Reserved	Reserved

表 4-12 模拟 IO MUX 选择 (48 脚 PT 封装)

AIOMUX1 位	AIOMUX1=0, x	AIOMUX1=1, x
1-0	ADCINA0 (I) (VREFHI)	ADCINA0 (I) (VREFHI)
3-2	ADCINA1 (I)	ADCINA1 (I)
5-4	AI02 (I/O)	ADCINA2 (I), COMP1A (I)
7-6	ADCINA3 (I)	ADCINA3 (I)
9-8	AI04 (I/O)	ADCINA4 (I), COMP2A (I)
11-10	-	-
13-12	AI06 (I/O)	ADCINA6 (I)
15-14	ADCINA7 (I)	ADCINA7 (I)
17-16	-	-
19-18	ADCINB1 (I)	ADCINB1 (I)
21-20	AI010 (I/O)	ADCINB2 (I), COMP1B (I)
23-22	ADCINB3 (I)	ADCINB3 (I)
25-24	AI012 (I/O)	ADCINB4 (I), COMP2B (I)
27-26	-	-
29-28	AI014 (I/O)	ADCINB6 (I)
31-30	ADCINB7 (I)	ADCINB7 (I)

用户可以通过 GPxQSEL1/2 寄存器从四个选项中选择每个 GPIO 引脚的输入限定类型：

仅同步到 SYSCLKOUT (GPxQSEL1/2=0, 0)：这是复位时所有 GPIO 引脚的默认模式，它只是将输入信号同步到系统时钟 (SYSCLKOUT)。

- 使用采样窗口 (GPxQSEL1/2=0, 1 和 1, 0) 进行确认：在这种模式下，输入信号在与系统时钟 (SYSCLKOUT) 同步后，在允许更改输入之前，通过指定的周期数进行确认。
- 采样周期由 GPxCTRL 寄存器中的 QUALPRD 位指定，可配置为 8 个信号组。它指定用于对输入信号进行采样的 SYSCLKOUT 周期的倍数。采样窗口为 3 个采样或 6 个采样宽，只有当所有采样相同 (所有 0 或所有 1) 时，输出才会更改，如图 6-42 所示 (对于 6 采样模式)。
- 无同步 (GPxQSEL1/2=1, 1)：此模式用于不需要同步的外设 (同步在外设内执行)。

由于设备上需要多级复用，可能存在外围输入信号可以映射到多于一个 GPIO 管脚的情况。另外，当没有选择输入信号时，根据外围设备的不同，输入信号将默认为 0 或 1 状态。

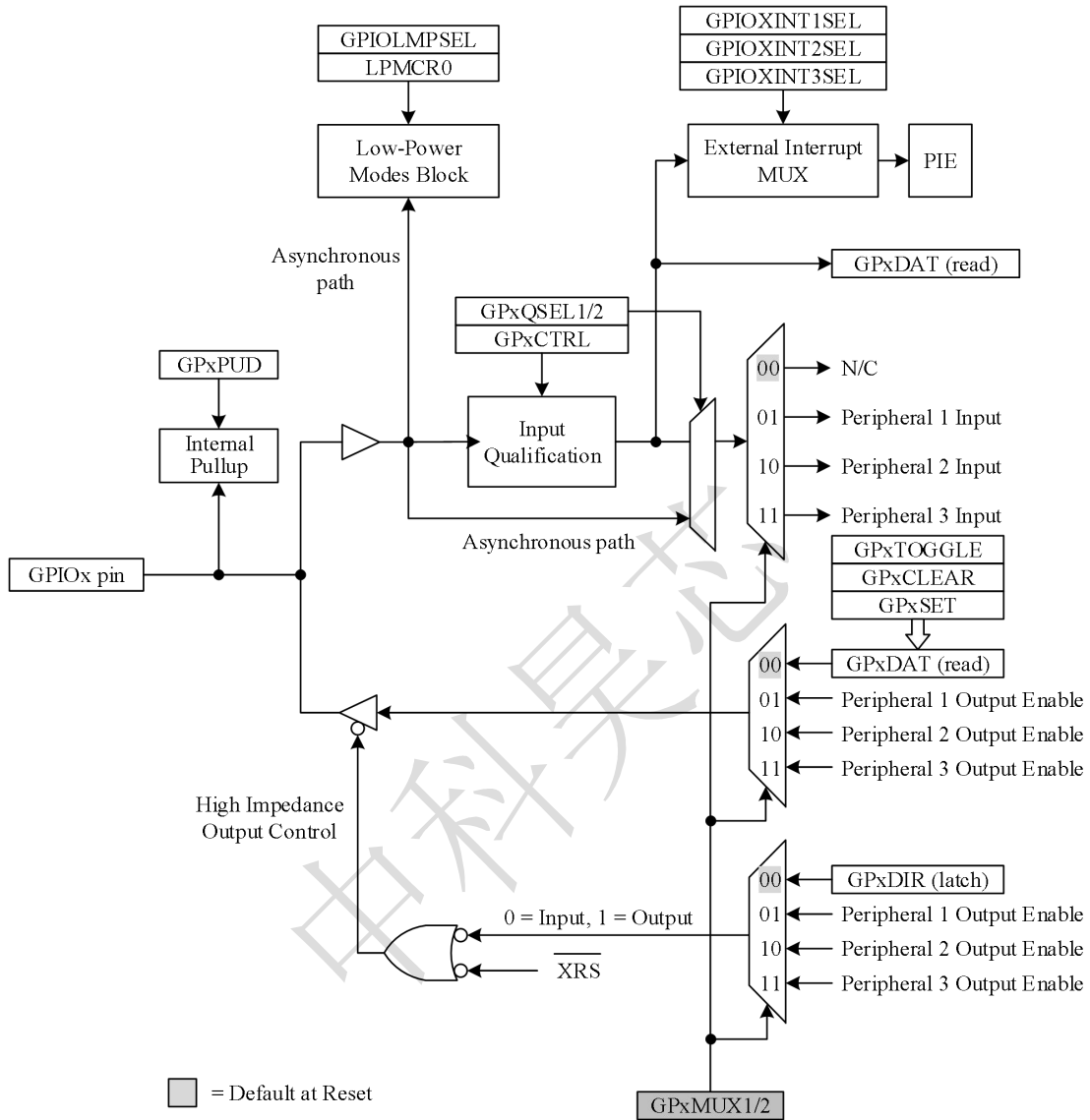


图 4-16 GPIO 复用模块连接示意图

- x 代表端口 A 或 B。例如, GPxDIR 指的是 GPADIR 和 GPBDIR 寄存器取决于所选的特定 GPIO 引脚。
- 在同一内存位置访问 GPxDAT 锁存/读取。
- 这是一个通用的 GPIO MUX 框图。并非所有选项都适用于所有 GPIO 引脚。

4.12 直接存储访问存储单元 (DMA)

28027 内 DMA 基本功能，其触发源包括：

- 4 通道，每个通道有独立的 PIE；
- 外设中断触发源有：
- ADC sequencer1 和 sequencer2；
- XINT1-XINT3；
- CPU timers
- ePWM1-4 ADCSOCA 和 ADCSOCB
- SPI/SCI/I2C
- 软件

数据源/目的可以是下列模块：

- L1 SRAM
- M0/M1 SRAM
- ADC 结果寄存器
- ePWM1-4/HRPWM1-4 寄存器
- SPI
- SCI
- I2C
- 数据宽度：8/16/32bit
- 吞吐率：4cycle/word

表 4-13 DMA 寄存器列表

名称	地址	所占大小 (x32)	寄存器描述
DmaCfgReg	0x1F98	1	DMA 配置寄存器
ChEnReg	0x1FA0	1	DMA 通道使能寄存器
名称	地址	所占大小 (x32)	寄存器描述
CFG0	0x1C40 (L32) 0x1C44 (H32)	2	通道 x 配置寄存器
CFG1	0x1C98 (L32) 0x1C9C (H32)	2	
CFG2	0x1CF0 (L32) 0x1CF4 (H32)	2	

CFG3	0x1D48 (L32) 0x1D4C (H32)	2	
CTL0	0x1C18 (L32) 0x1C1C (H32)	2	通道 x 控制寄存器
CTL1	0x1C70 (L32) 0x1C74 (H32)	2	
CTL2	0x1CC8 (L32) 0x1CCC (H32)	2	
CTL3	0x1D20 (L32) 0x1D24 (H32)	2	
SAR0	0x1C00	1	通道 x 源地址寄存器
SAR1	0x1C58	1	
SAR2	0x1CB0	1	
SAR3	0x1D08	1	
DAR0	0x1C08	1	通道 x 目的地址寄存器
DAR1	0x1C60	1	
DAR2	0x1CB8	1	
DAR3	0x1D10	1	
DSR0	0x1C50		通道 x 目的传播寄存器
DSR1	0x1CA8		
DSR2	0x1D00		
DSR3	0x1D58		
DSTAT0	0x1C28		通道 x 目的状态寄存器
DSTAT1	0x1C80		
DSTAT2	0x1CD8		
DSTAT3	0x1D30		
DSTATAR0	0x1C38		通道 x 目的地址状态寄存器
DSTATAR1	0x1C90		
DSTATAR2	0x1CE8		
DSTATAR3	0x1D40		
LLP0	0x1C10		通道 x 链表指针寄存器
LLP1	0x1C68		
LLP2	0x1CC0		
LLP3	0x1D18		
SGR0	0x1C48		通道 x 源混合寄存器
SGR1	0x1CA0		
SGR2	0x1CF8		
SGR3	0x1D50		
SSTAT0	0x1C20		通道 x 源状态寄存器
SSTAT1	0x1C78		
SSTAT2	0x1CD0		
SSTAT3	0x1D28		
SSTATAR0	0x1C30		通道 x 源地址状态寄存器
SSTATAR1	0x1C88		
SSTATAR2	0x1CE0		
SSTATAR3	0x1D38		
名称	地址	所占大小 (x32)	寄存器描述
RawBlock	0x1EC8	1	DMA 块传输完全中断原

			始数据
RawDstTran	0x1ED8	1	DMA 目的传输完全中断原始数据
RawErr	0x1EE0	1	DMA 传输错误原始数据
RawSrcTran	0x1ED0	1	DMA 源传输完全中断原始数据
RawTfr	0x1EC0	1	DMA 传输完全中断原始数据
StatusBlock	0x1EF0	1	DMA 块传输完全中断状态
StatusDstTran	0x1F00	1	DMA 目的传输完全中断状态
StatusErr	0x1F08	1	错误传输状态
StatusSrcTran	0x1EF8	1	DMA 源传输完全中断状态
StatusTfr	0x1EE8	1	DMA 传输完全中断状态
MaskBlock	0x1F18	1	DMA 块传输完全中断掩码
MaskDstTran	0x1F28	1	DMA 目的传输完全中断掩码
MaskErr	0x1F30	1	错误传输掩码
MaskSrcTran	0x1F20	1	DMA 源传输完全中断掩码
MaskTfr	0x1F10	1	DMA 传输完全中断掩码
ClearBlock	0x1F40	1	清除 DMA 块传输完全中断
ClearDstTran	0x1F50	1	清除 DMA 目的传输安全中断
ClearErr	0x1F58	1	清除错误中断
ClearSrcTran	0x1F48	1	清除 DMA 源传输完全中断
ClearTfr	0x1F38	1	清除 DMA 传输完全中断
StatusInt	0x1F60	1	组合中断状态寄存器
INTCTL0	0x1FB8	1	CHx DMA 中断控制寄存器
INTCTL1	0x1FBC	1	
INTCTL2	0x1FC0	1	
INTCTL3	0x1FC4	1	
名称	地址	所占大小 (x32)	寄存器描述
LstDstReg	0x1F90	1	结尾目的传输请求寄存器
LstSrcReg	0x1F88	1	结尾源传输请求寄存器
ReqDstReg	0x1F70	1	软件目的传输请求寄存器
ReqSrcReg	0x1F68	1	软件源传输请求寄存器
SglReqDstReg	0x1F80	1	单独目的传输请求寄存器
SglReqSrcReg	0x1F78	1	单独源传输请求寄存器
名称	地址	所占大小	寄存器描述

		(x32)	
DmaIdReg	0x1FA8	1	DMA ID 寄存器
DmaTestReg	0x1FB0	1	DMA 测试寄存器
DMA_COMP_PAR AMS_4	0x1FD8	1	DMA 参数构成寄存器 4
DMA_COMP_PAR AMS_3	0x1FE0	1	DMA 参数构成寄存器 3
DMA_COMP_PAR AMS_2	0x1FE8	1	DMA 参数构成寄存器 2
DMA_COMP_PAR AMS_1	0x1FF0	1	DMA 参数构成寄存器 1
DMA Component ID Register	0x1FF8		DMA ID 构成寄存器

中科昊芯

5. 开发支持

5.1 集成开发环境 Haawking IDE

用户可以从中科昊芯官方网站 (<http://haawking.com/haawking-tools>) 下载到最新版本的 Haawking IDE 软件和相关的驱动库。首次使用，请下载完整包

([Haawking-IDE-Eclipse-CDT.win32.x86_64.zip](#))，包括编译器、JRE 环境、J-Link 驱动以及 OpenOCD 等工具。

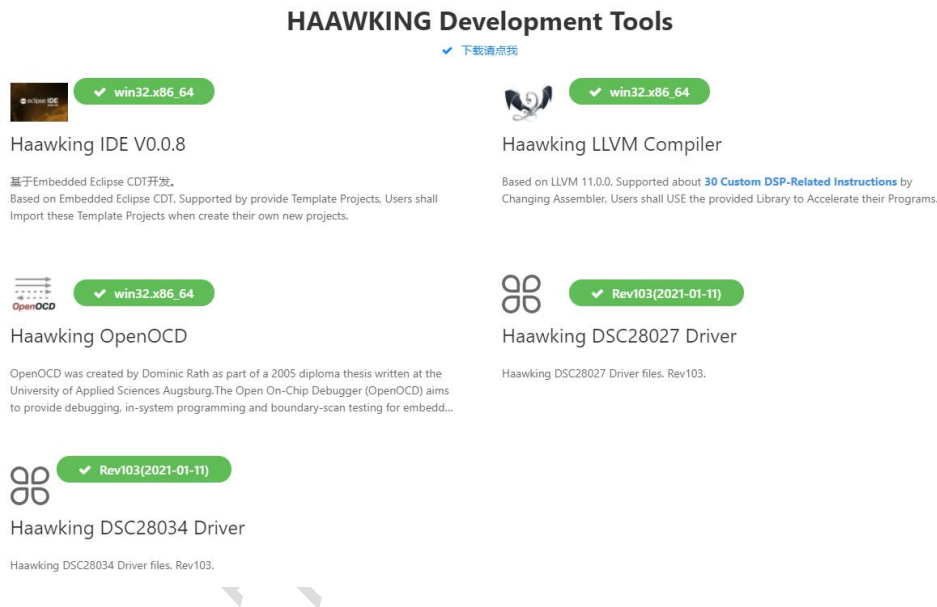


图 5-1 Haawking IDE 包括组件

解压之后，将会得到下图所示的文件，包括说明文档 doc、eclipse、示例工程 examples 和开发工具 haawking-tools。根目录下的 ReadMe.txt 会介绍编译器、调试器、链接器等的基本信息，以及 Haawking IDE 发布时的驱动库版本。



名称	修改日期	类型	大小
doc	2021/1/18 14:48	文件夹	
eclipse	2020/10/22 17:53	文件夹	
examples	2020/12/23 15:26	文件夹	
haawking-tools	2020/11/17 20:26	文件夹	
Haawking-IDE-用户手册-北京中科昊芯科技有限公司-v0.0.9.pdf	2021/1/18 14:48	PDF Document F...	2,036 KB
open_ide.bat	2020/11/18 17:31	Windows 批处理...	1 KB
ReadMe.txt	2021/1/6 11:36	文本文档	1 KB

图 5-2 Haawking IDE 目录结构

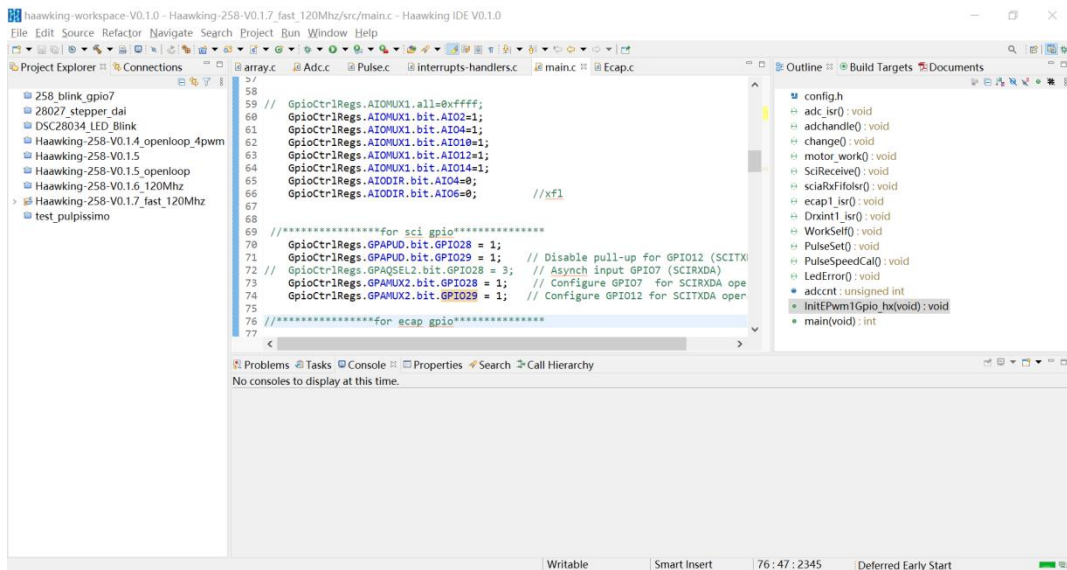


图 5-3 Haawking IDE 界面示例

具体使用和操作指南，欢迎查看 Haawking IDE 目录下的说明文档《[Haawking-IDE-用户手册-北京中科昊芯科技有限公司-vx. x. x](#)》。

在 <https://gitee.com/haawking/haawking-tools> 下面会有使用教程的视频链接，可以在使用之前或使用过程中作为参考。

如使用过程中遇到问题，欢迎联系中科昊芯客服或者在 <https://gitee.com/haawking/haawking-tools/issues> 提交反馈。

5.2 仿真器

5.2.1 简介

HX100V2 一款小巧便携、安全可靠、低成本的仿真器，支持 HX 中科昊芯 (HDSC) 旗下所有的 HXS320F2802X 系列 DSP 产品。

5.2.2 概览

HX100V2 仿真器调试框图如下图所示。

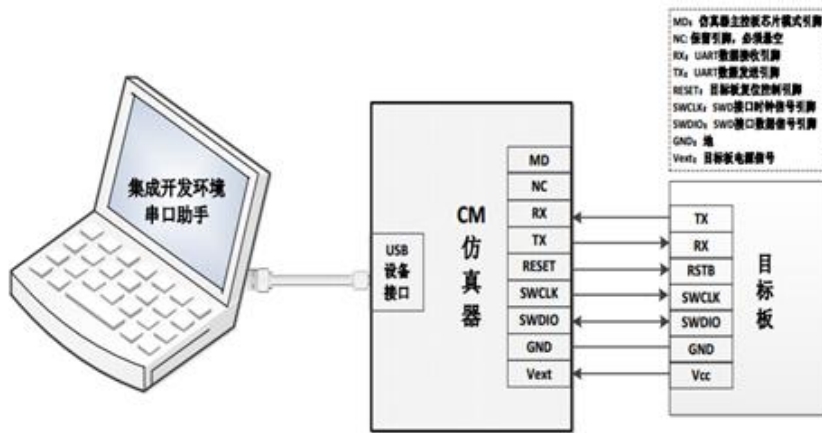


图 5-4 HX-LINK 连接示意图

5.2.2.1 特性

HX100V2 仿真器具有如下特点：在线调试的功能——即插即用，不需安装驱动，可直接在 Haawking IDE V1.0.0 集成开发环境下调试；

HX100V2 仿真器正面如图所示，内含状态指示灯

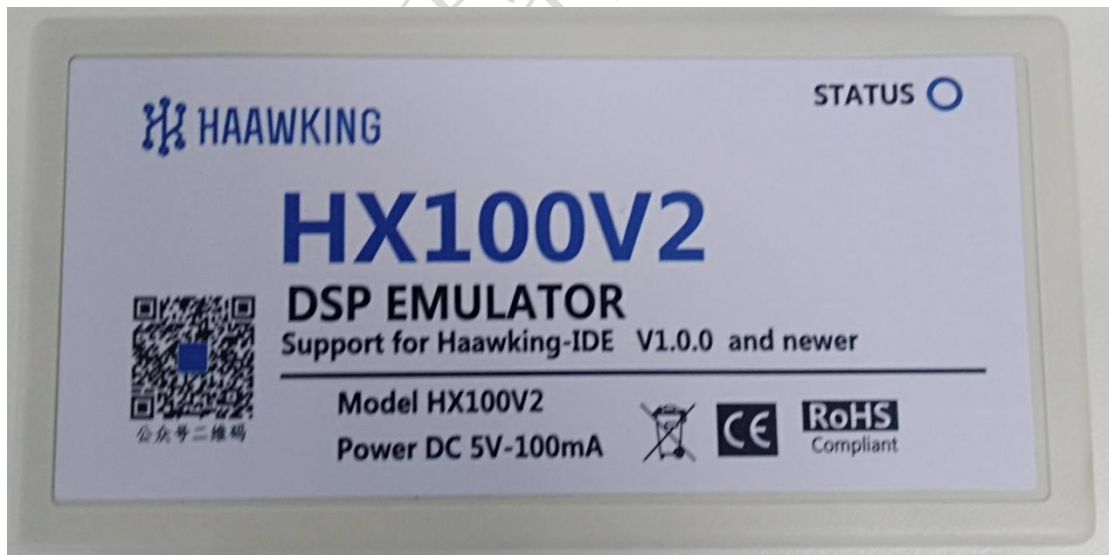


表 5-1 HX 仿真器引脚说明

	引脚	功能	备注
TMS	1	测试模式选择	该串行控制输入被计时到 TCK 上升沿的 TAP 控制器中。
TDI	3	目标板信号输入	仿真器连接至目标 CPU 的数据输入信号, 建议在目标板上上拉到 VDD
VREF	5	目标参考电压信号	目标表参考电压信号, 用于检测目标板是否供电, 直接与目标板 VDD 相连, 并不向外提供输出电压
TDO	7	目标板数据输出	目标板返回给仿真器的数据信号;
TCK	9	时钟信号	时钟信号, 建议在目标板上将此引脚上拉
$\overline{\text{TRST}}$	2	复位	JTAG 复位, 连接到目标板 CPU 的 nTRST 引脚, 用于复位 CPU 调试接口的 TAP 控制器; 目标板上应该将此脚上拉到高电位, 避免意外复位, 可选引脚;
NC	4	悬空	
GND	6	地	连接目标板 DSP 接地引脚
GND	8	地	连接目标板 DSP 接地引脚
GND	10	地	连接目标板 DSP 接地引脚

5.3 串口下载器

中科昊芯自研串口下载工具，用户可以用来烧写片内闪存。

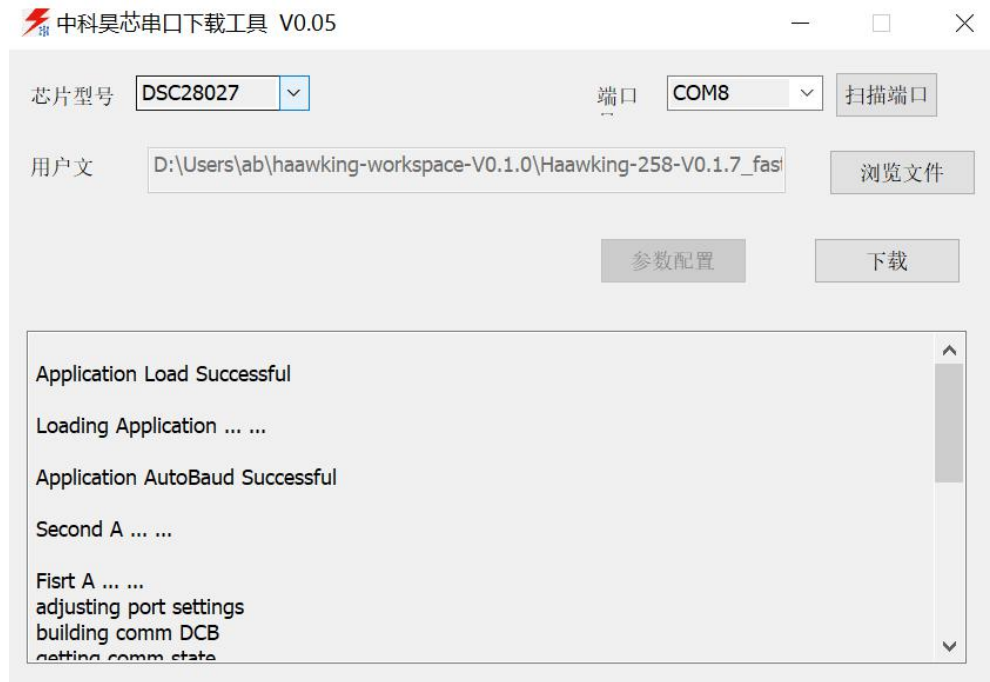


图 5-5 中科昊芯串口下载工具界面

串口下载工具支持中科昊芯自研处理器 DSC28027 和 DSC28034 的程序烧录，用户只需要提供 Haawking IDE 编译生成的 elf 文件即可。

如果对烧录文件有保密需求，用户可以选择二进制 bin 文件烧录版本。

6. 电气规范

6.1 绝对最大额定值

表 6-1 HXS320F2802X 芯片绝对最大额定值

电源电压范围, V_{DDIO} , (I/O 和闪存)	-0.3V 至 3.63V
电源电压范围, V_{DD}	-0.3 V 至 2.5V
模拟电压范围, V_{DDA}	-0.3V 至 3.63V
输入电压范围, V_{IN} (3.3V)	-0.3V 至 3.63V
输出电压范围, V_O	-0.3V 至 3.63V
输入钳制电流, I_{IK} ($V_{IN} < 0$ 或者 $V_{IN} > V_{DDIO}$)	$\pm 20\text{mA}$
输出钳制电流, I_{OK} ($V_O < 0$ 或者 $V_O > V_{DDIO}$)	$\pm 20\text{mA}$
环境温度范围, T_A	T : -40°C 至 105°C
	S : -40°C 至 125°C
贮存温度范围, T_{stg}	-65°C 至 150°C
结温, T_J	-40°C 至 150°C

注:

1. 上述数据仅供参考。

6.2 建议的运行条件

表 6-2 HXS320F2802X 芯片建议运行条件

	最 小 值	典 型 值	最大 值	单 位
器件电源电压, I/O, V_{DDIO}	2.97	3.3	3.63	V
器件电源电压 CPU, VDD (当内部 VREG 被禁用, 使用外部 1.8V 电压)	1.71	1.8	1.995	V
电源接地, V_{SS}		0		V

模拟电源电压, V_{DDA}		2.97	3.3	3.63	V
模拟接地, V_{SSA}			0		V
$f_{SYSCLKOUT}$ 器件时钟频率(系统时钟)				120	MHz
高电平输入电压, V_{IH} (3.3V)		2		VDDIO +0.3	V
低电平输入电压, V_{IL} (3.3V)		V_{SS} -0.3		0.8	V
高电平输出拉电流, $V_{OH}=V_{OH}$ (最小值), I_{OH}	所有 GPIO/AIO 引脚			-4	mA
	组 2			-8	
低电平输出灌电流 $V_{OL}=V_{OL}$ 最大值, I_{OL}	所有 GPIO/AIO 引脚			4	mA
	组 2			8	
结温, T_J		-40		150	° C

注:

1. 上述数据仅供参考。

6.3 ESD 额定值

表 6-3 HXS320F2802X 芯片 ESD 额定值

		数值	单位
HXS320F2802X 48 脚 PT 封装			
$V_{(ESD)}$ 静电放电	人体模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
	充电装置型号 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	V

注:

1. JEDEC 文件 JEP155 规定, 500-V HBM 允许通过标准 ESD 控制工艺进行安全制造。
2. JEDEC 文件 JEP157 指出, 250-V CDM 允许采用标准 ESD 控制工艺进行安全制造。
3. 上述数据仅供参考。

6.4 电气特性

表 6-4 HXS320F2802X 芯片电气特性

参数	测试条件	最小值	典型值	最大值	单位

V _{OH} 高电平 输出电压		I _{OH} =I _{OH} 最大值		2.4			V
		I _{OH} =50 μA		V _{DDIO} -0.2			
V _{OL} 低电平 输出电压		I _{OL} =I _{OL} 最大值				0.4	V
I _{IL} 输入电 流 (低电 平)	带有上拉电阻器	V _{DDIO} =3.3V, V _{IN} =0V	所有 GP IO	-70	-150	-225	μA
			X R 引脚	-120	-220	-325	
	带有下拉电阻器	V _{DDIO} =3.3V, V _{IN} =0V				±2	
I _{IH} 输入电 流 (高电 平)	上拉电阻器被启用	V _{DDIO} =3.3V, V _{IN} = V _{DDIO}				±2	μA
	下拉电阻器被启用	V _{DDIO} =3.3V, V _{IN} = V _{DDIO}	20	34	60		
IOZ 输出 电流, 高阻 抗状态(关 闭状态)		VO=V _{DDIO} 或者 0V				±2	μA

Ci 输入电容			2		pF
V _{DDIOBOR} 触发点	下降的 V _{DDIO}		2.78		V
V _{DDIOBOR} 滞后			35		mV
监视器复位延迟时间	延迟时间过后, BOR/POR/OVR 事件被移除以释放 XRS		500		μs
VREG V _{DD} 输出	内部 VREG 打开		1.9		V
片载 LDO 输出			1.51		V

注:

1. 上述数据仅供参考。

6.5 流耗

表 6-5 HXS320F2802X 芯片流耗信息

模式	测试条件	VREG 被启用				VREG 被禁用					
		I _{DDIO} (1)		I _{DDA} (2)		I _{DD}		I _{DDIO} (1)		I _{DDA} (2)	
		典型值 (3)	最大值	典型值 (3)	最大值	典型值 (3)	最大值	典型值 (3)	最大值	典型值 (3)	最大值
可用 (闪存)	下列的外设时钟被启用: ePWM1/2/3/4 eCAP1 eQEP1 HRPWM SCI-A SPI-A ADC I2C COMP1/2 CPU-TIMERO/1/2	70mA	/	17mA	/	30mA	/	20mA	/	17mA	/
IDLE	闪存休眠: XCLKOUT 被关	7.5mA	/	15uA	/	7.5mA	/	600uA	/	15uA	/

	闭； 所有外设时钟 被关闭。										
STANDBY	闪存休眠； 外设时钟被 关闭。	2.5mA	/	15uA	/	1.8m A	/	600u A	/	15uA	/
HALT	闪存休眠； 外设时钟被 关闭； 输入时钟被 禁用。	900uA		15uA	/	250u A		600u A	/	15uA	/

注：

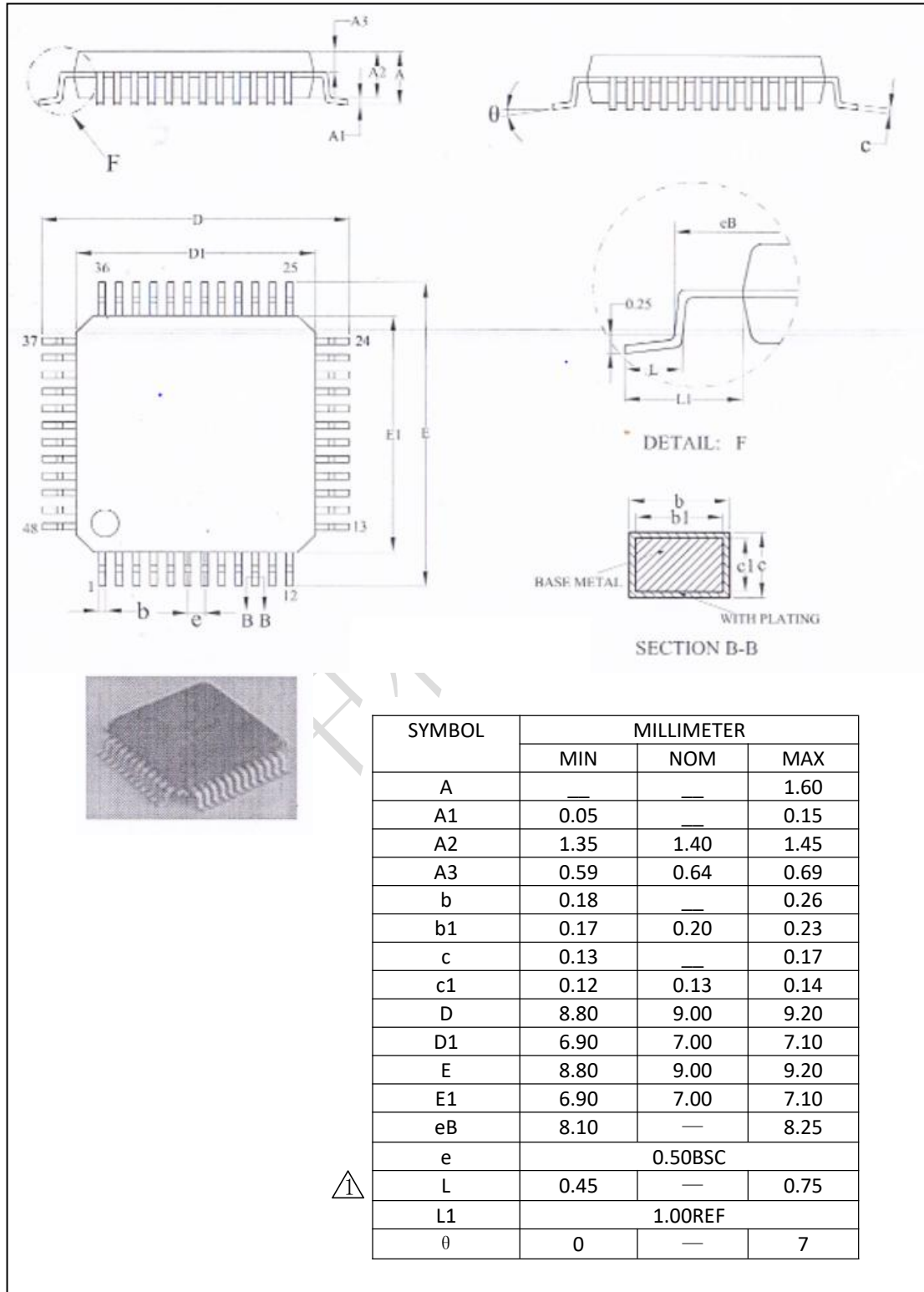
1. I_{DDIO} 电流取决于 I/O 引脚上的电气负载；
2. 为了实现所显示的用于 IDLE, STANDBY, 和 HALT 的 I_{DDA} 电流, 必须通过写入 PCLKCRO 寄存器来明确关闭到 ADC 模块的时钟。
3. 典型值数据适用于常温和表压。
4. 上述数据仅供参考。

6.6 散热设计考虑

根据最终应用设计和运行情况, I_{DD} 和 I_{DDIO} 电流不能相同。最终应用中超过建议最大功率耗散的系统也许需要额外的散热增强。环境温度(T_A) 随着最终应用和产品设计而变化。影响可靠性和功能性的关键参数是 T_J , 结温, 而非环境温度。因此, 应该注意将 T_J 保持在额定限值内。应该测量 T 外壳温度以估计运行结温 T_J 。

7. 热特性/机械数据

7.1 QFP48



8. 参考文献

中科昊芯

备注

“**智由芯生 创享未来**”的中科昊芯作为中国科学院科技成果转化企业，是国产数字信号处理器专业供应商，瞄准集成电路**完全自主可控的国家战略**，依托科研国家队的雄厚实力和深厚底蕴，以一种开放包容的积极心态，基于开源指令集架构 RISC-V，打造多个系列数字信号处理器产品，并构建完善的处理器产品生态系统，产品可广泛应用于图形图像处理、数字信号处理、工业控制及电机驱动、数字电源、运动控制等领域。



公众号

B 站

联系方式

公司网址：www.haawking.com

联系邮箱：haawking@mail.haawking.com

销售联系电话：010-61934561

公司总部地址：北京市海淀区财智国际大厦 A-1808