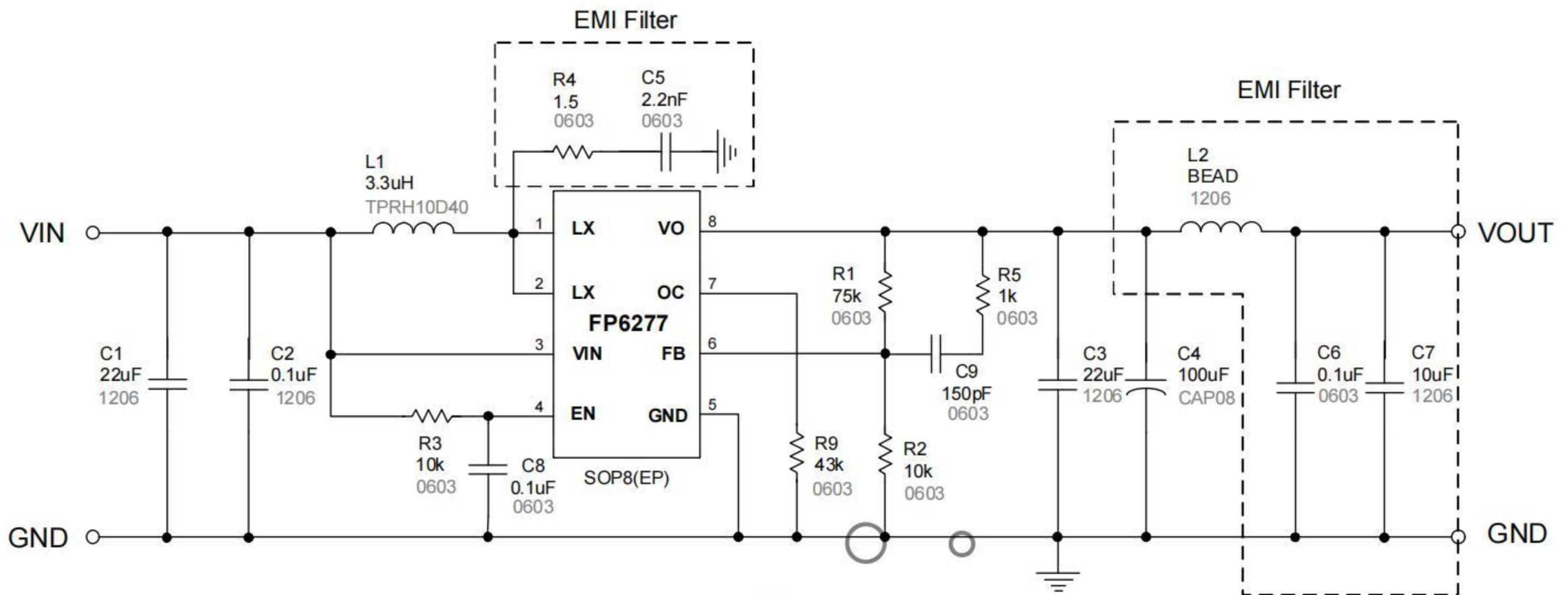


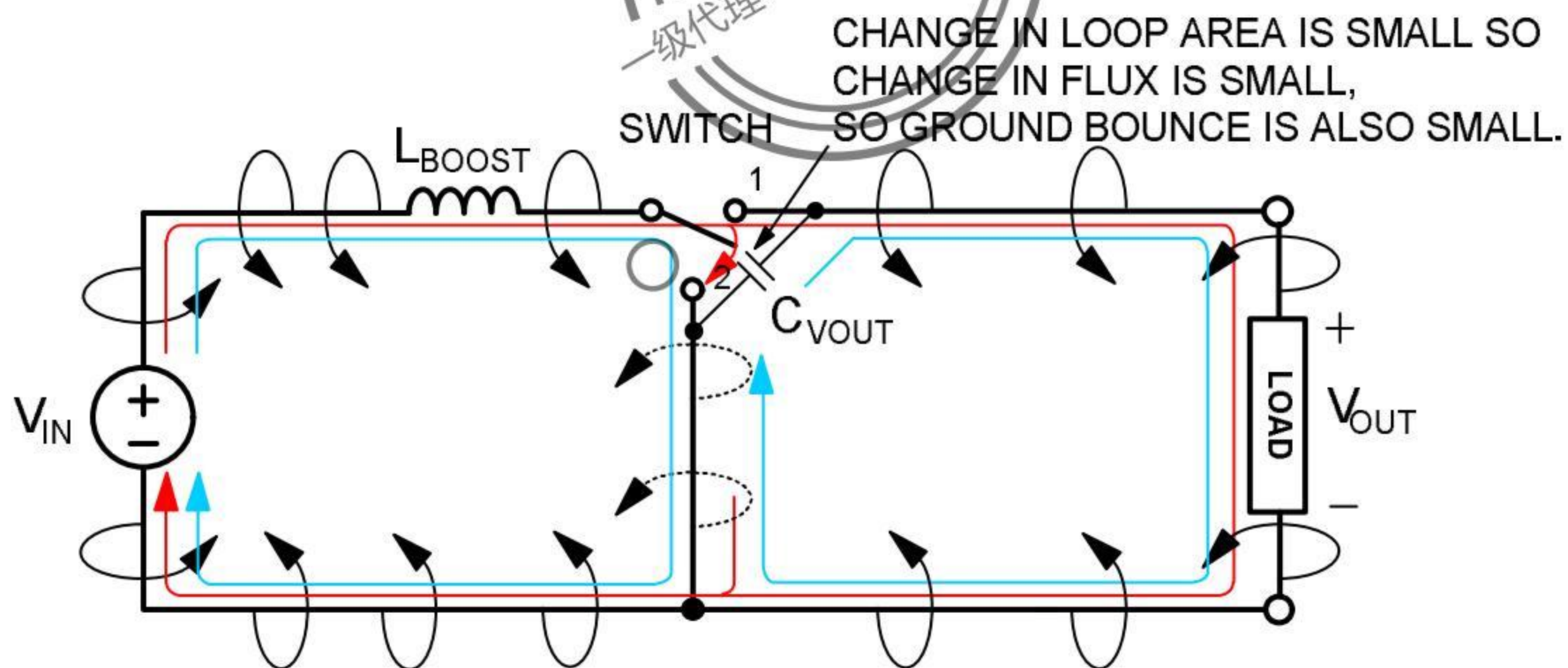
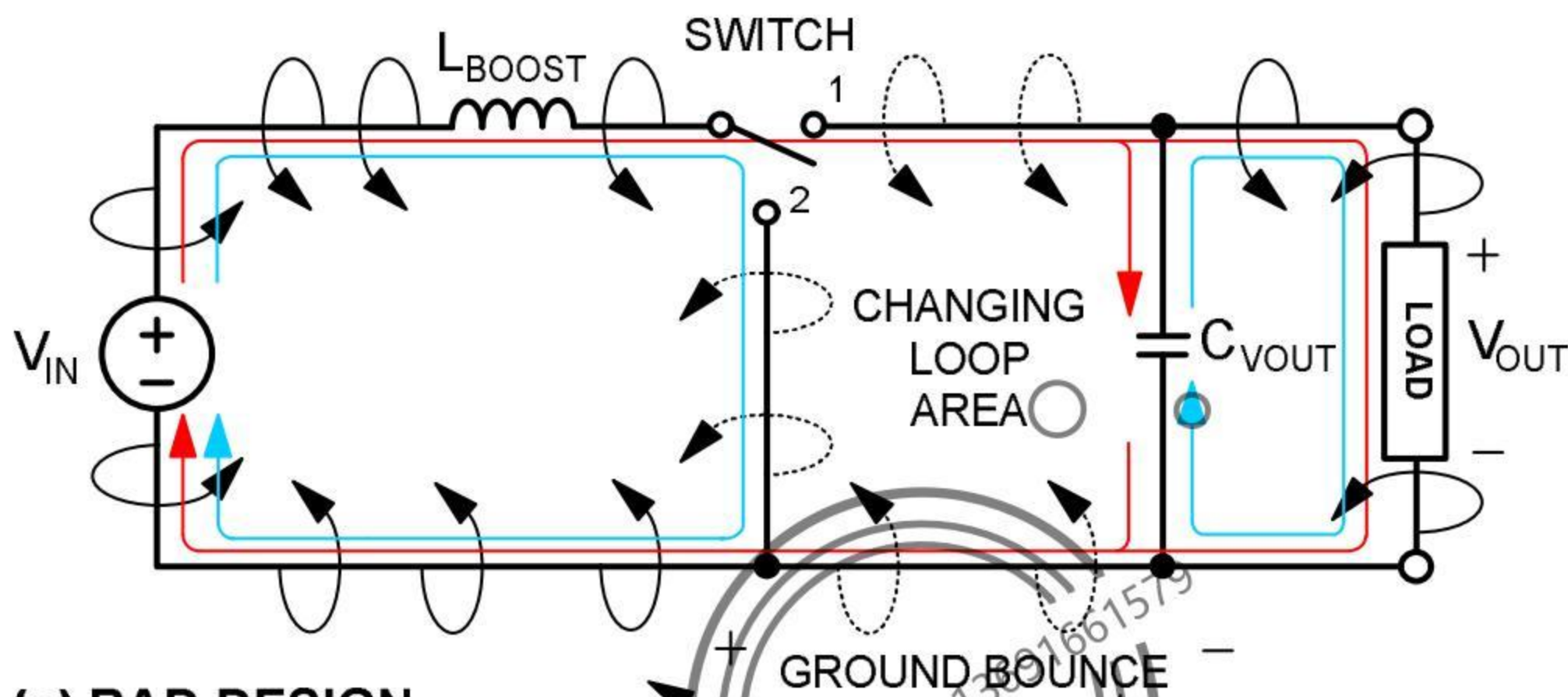
1. Typical Application Circuit:



2. Layout Guide:

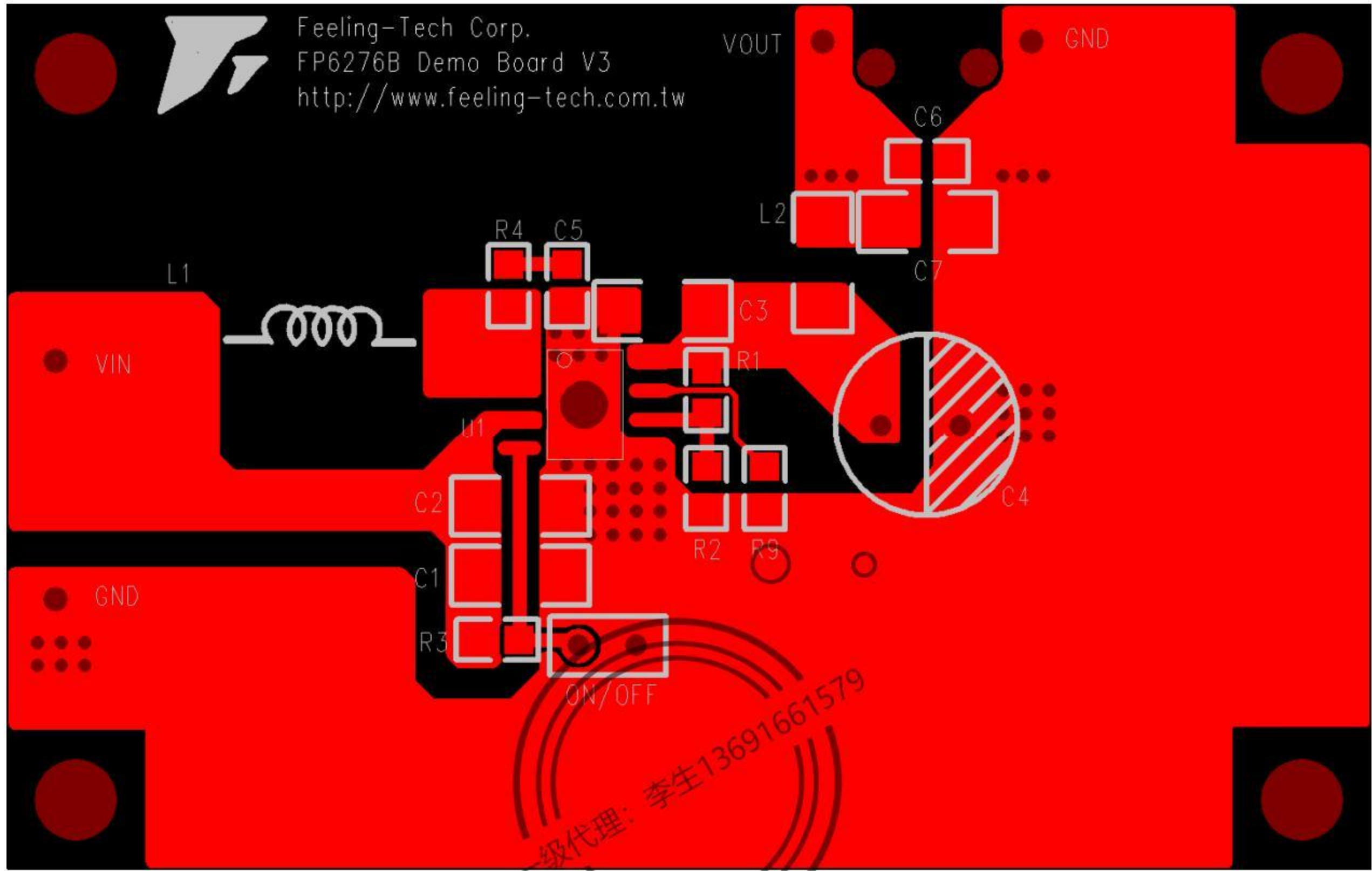
1. 大電流路徑 V_{IN} 到 L1 到 LX, VO 到 V_{OUT} 走線要粗, 鋪銅走線最佳。
2. 電感 L1 到 IC 的 LX 鋪銅走線面積盡量小, 降低切換時產生的突波電壓。
3. 輸出電容 C3/C4 要靠近 IC 的 PGND, 減少 VO - C3&C4 - PGND 的電流迴路面積, 可有效抑制 EMI 輻射。(註一)
4. 輸入電容盡量靠近 VIN PIN 與 GND PIN。
5. R4 要靠近 LX, C5 要靠近 PGND, R4 與 C5 之間一定要靠近。
6. 盡可能加大 PGND(GND)面積, 加大 IC 散熱面積; PCB 的 Top 與 Bottom 層剩餘的空間全部鋪 GND, 上下層多打 VIA 連接, 吸收高頻雜訊。
7. FB PIN 訊號敏感, 要避開 LX 切換點, 避免受到干擾。
8. 分壓電阻 R1/R2 走線要短, 盡量靠近 FB PIN。
9. L2/C6/C7 盡量靠近 USB port, 避免濾波完的電壓受到其他雜訊影響而產生電磁輻射。

註一、 IC 在昇壓時輸出電容(C3/C4)會一直有充放電的動作，在 VO – C3&C4 – PGND 會產生一個電流迴路，這地方會產生快速的磁通量變化，而磁通量 \propto 電流迴路面積，在 PCB 板上的磁通量變化會產生與磁通量呈正比的突波電壓，所以盡可能減少電流迴路面積，降低在 PCB 板產生的磁通量，可有效抑制 EMI 輻射。

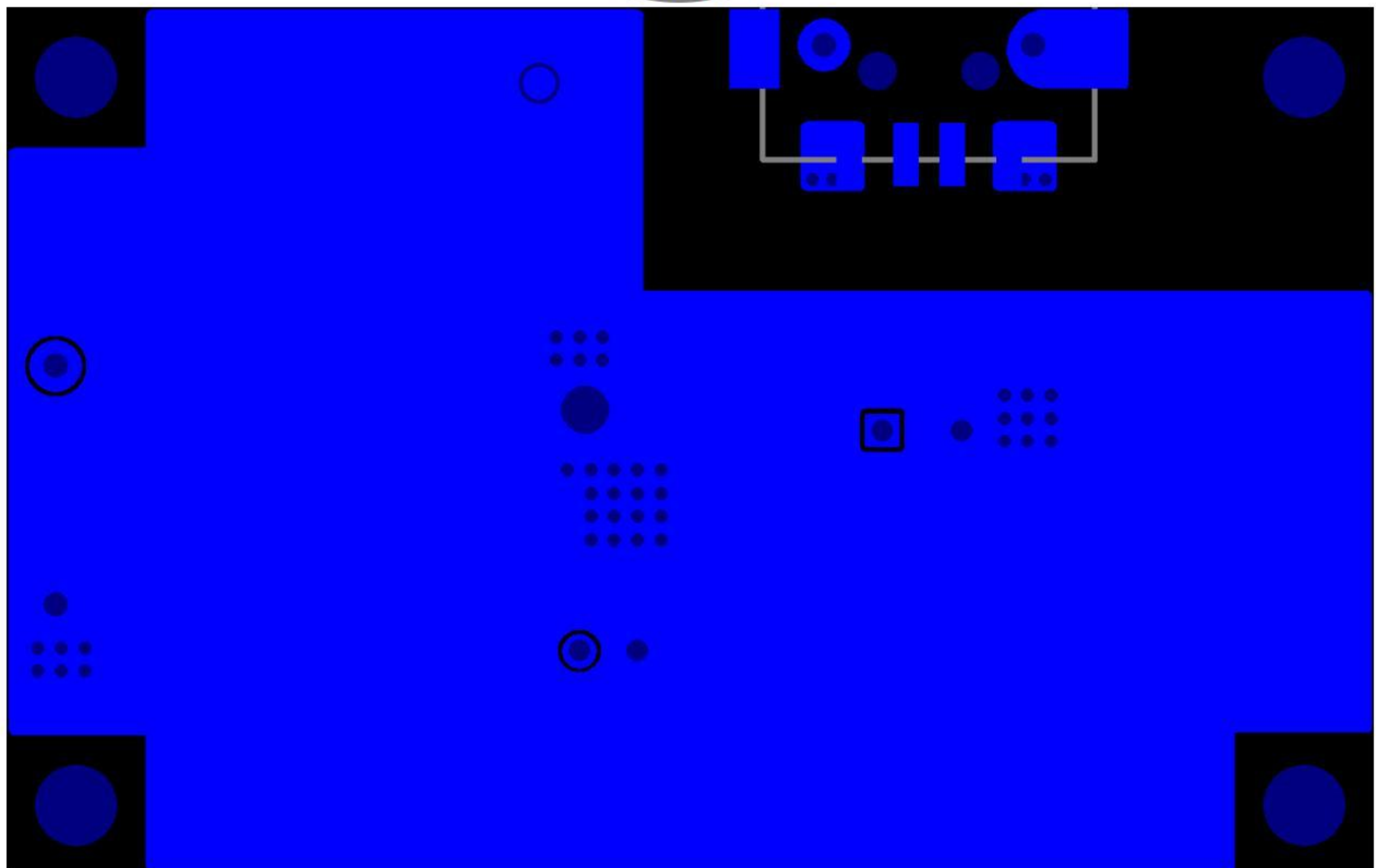


	文件名稱	日期
	FP6277 Layout Guide 與 EMI 對策	20170217
		版別

TOP

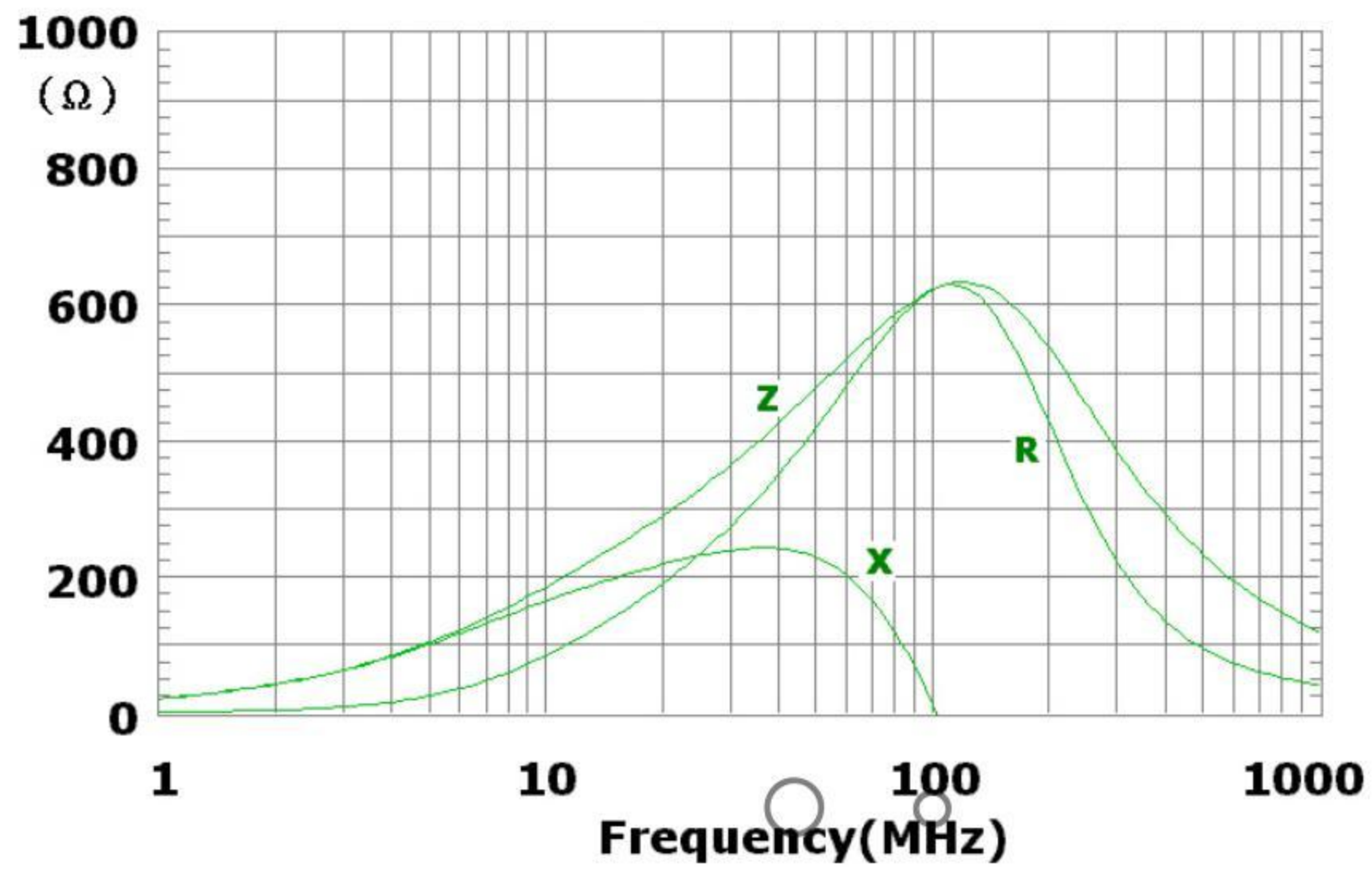


BOTTOM



	文件名稱		日期
	FP6277 Layout Guide 與 EMI 對策		20170217
			版別

挑選 BEAD 數值參考如下圖：



說明：建議挑選阻抗對頻率關係峰值落在 100MHz~200MHz 中間，峰值阻抗越大抑制效果越好。

