

逻辑器件
应用手册
产品特性
和应用见解
设计工程师指南

nexperia

逻辑器件应用手册

产品特性和应用见解

设计工程师指南



编著者

Christian Backhaus

Burkhard Laue

Michael Lyons

Thomas Wolf

Ashish Jha

Ghislaine Jilisen Janssen

Sven Walczyk

Vikram Singh Parihar

Robby Ferdinandus

Roland Peters

Olaf Vogt

逻辑器件应用手册
产品特性和应用见解
设计工程师指南

版权所有©Nexperia
2020年10月

www.nexperia.com

ISBN 978-0-9934854-6-6

保留所有权利。
未经作者事先书面许可,不得以任何形式或通过
任何方式复制或分发本出版物的任何内容。

引言

逻辑器件基础, 通用逻辑产品特性

CMOS和BiCMOS逻辑器件的功率考量

分立器件的时序详情

逻辑器件的接口详情

模拟和逻辑产品细分

封装

车规品质

逻辑器件系列

常见问题

附录

缩写词

索引

法律信息

1

2

3

4

5

6

7

8

9

10

前言

Nexperia是二极管、双极性晶体管、ESD保护器件、MOSFET器件、氮化镓场效应晶体管(GaN FET)以及模拟IC和逻辑IC方面的领先专家。

Nexperia非常注重效率，能持续不断地满足全球各类电子设计基础器件的生产需求：年产量高达900亿件。其产品在效率（如工艺、尺寸、功率及性能）方面已经成为行业基准，拥有业内最小尺寸的封装技术，可有效节省功耗及空间。

我们丰富的标准性能产品组合可满足当今的最新应用需求以及汽车行业的严格标准。通过持续创新、提升可靠性和服务支持，我们在所有关键产品细分市场均保持领先地位，包括：二极管和晶体管、ESD保护器件、MOSFET以及模拟IC和逻辑IC。作为恩智浦和飞利浦的原标准器件事业部，我们秉承60多年半导体行业专业经验，开发并交付符合当代及未来市场需求的标杆性解决方案。

我们在创新方面的成功记录是多样化精简研发取得的成果。我们将最新技术与高效工艺相结合，以出色品质的产品满足严苛的行业要求。

Nexperia设计工程师指南：

我们的设计工程师指南计划的主要目标是：我们希望与您分享我们的专业知识，并帮助您优化电子设计。它是“从工程师到工程师”的技术和应用见解的集合。

2017年发布的第一本Nexperia设计工程师指南是我们的*MOSFET应用手册*。在该手册中，我们的工程师重点说明如何在特定应用领域使用MOSFET，以及有哪些关键和重要的MOSFET参数，同时还考虑散热条件等因素。

2018年发布的该系列第二本技术指南是：我们的*ESD应用手册*。这本ESD应用手册重点阐述了现代接口保护概念、测试和仿真。到目前为止，我们已在工程师社区中从代表全球各行各业的客户那里得到了很多积极的反馈。除了该ESD应用手册之外，Nexperia还提供ESD现场技术研讨会，与客户分享我们的见解，涉及汽车、移动通信、消费电子、计算和工业等应用。最终，我们希望能最大限度地降低ESD损坏的风险——为系统设计提供支持，以保护应用和产品免受ESD问题的影响。这两本设计工程师指南也都有中文版。

逻辑器件应用手册简介

“为何要推出逻辑器件手册？”您可能会问。尽管逻辑器件自工程师还在使用计算尺时已经大量涌现，但逻辑器件如今仍是许多嵌入式设计的主要器件。

它当然是I/O扩展以及模拟和数字领域连接的首选资源，但在许多情况下，如今的设计师需要使用的逻辑器件比以往更多。为什么？因为现在的系统需要比过去更加小巧、节能和更加便携。这意味着需要管理紧密的布局并处理回路走线，这些都可能造成串扰并产生信号完整性问题。此外，这还需要使用多层电路板、实现实时响应现实事件以及支持多任务操作。在很多情况下，使用正确的逻辑器件可以更轻松地处理这些问题，并且有助于优化操作。

实际上，逻辑器件非常适合在后期设计阶段进行微小改动和性能微调，但其功能远远不止如此。如今的逻辑器件使开发人员可以添加功能并改善功能，从而一开始就能满足设计要求，即便在他们需要考虑最后修改之前。

- 在使用特定应用集成电路(ASIC)的系统中，可以使用逻辑栅极来提供控制或“胶合”功能。现代逻辑系列产品包括过压容限等特性，使其能够用作使用不同电源电压的ASIC之间的胶合逻辑器件。在某些情况下，这可以延长传统ASIC的使用寿命。
- 在使用微控制器(MCU)的系统中，逻辑器件产品用于低成本I/O口扩展。移位寄存器用于数字I/O口扩展，模拟开关用于多路复用模拟传感器输入。两者组合使用可以通过较少的模数转换器实现较少引脚数MCU。在此情况下使用时，标准逻辑器件可以使应用实现真正的成本优化。
- 在平板电脑和笔记本中，逻辑器件可以用于电池充电和放电模块，并且可以提供待机模式、掉电以及顺序启动控制。在扩展坞和支持多个显示器的系统中，逻辑器件提供总线开关、复位和音频模块，从而降低噪声干扰，并且可以用于缓冲时钟和数据信号。
- 在诸如智能手机、平板电脑和摄像机之类的移动设备中，逻辑器件为基带、RF接口、存储器和其他外设提供多路复用、缓冲和电平转换功能。

- 在外部扬声器和其他高端音频设备中，使用逻辑缓冲器可以缓冲发送至音频接口和扩展坞的时钟同步和数据信号。

在过去的60年里，Nexperia（从飞利浦半导体开始，再到融合了Signetics的经验）满足了全球范围内日益增长的逻辑产品需求。如今，作为全球第一大逻辑器件供应商，Nexperia提供大量的业界领先解决方案，服务的客户遍布各类市场，令人引以为傲。我们在汽车行业位居首位，进一步巩固了我们享有的高质量可靠供应商的美誉。

我们诚邀您阅读我们的第三本Nexperia设计工程师指南*逻辑器件应用手册*。目录可帮助您轻松导航到您感兴趣的关键章节。本书是构建Nexperia技术百科全书的另一个重要里程碑。

Olaf Vogt

Nexperia应用市场营销总监

Nexperia

Robby Ferdinandus

Nexperia全球营销主管

Nexperia

目录

第1章

引言	18
----------	----

第2章

逻辑器件基础，通用逻辑产品特性

2.1	基本的逻辑门功能	25
2.2	逻辑门	26
2.3	存储元件	32
2.4	开关	33
2.5	逻辑器件数据手册参数	34
2.6	限值	35
2.7	建议工作条件	35
2.8	静态特性	36
2.9	动态特性	38

第3章

CMOS和BiCMOS逻辑器件的功率考量

3.1	静态考量	42
3.2	动态考量	44
3.2.1	输出不平衡时的占空比考量	46
3.2.2	缓慢输入的上升/下降时间引起的功耗	46
3.2.3	与工艺系列相关的动态功耗	47
3.3	功耗电容	48
3.4	使用 C_{PD} 计算功耗	51
3.4.1	CMOS器件计算	51
3.4.2	BiCMOS器件计算	52
3.5	结果与结论	53

第4章**分立器件的时序详情**

4.1	同步和异步逻辑	58
4.2	器件的传播延迟时间	59
4.3	触发器和锁存器的时序参数	60
4.4	偏移定义	61
4.4.1	输出偏移tSK(o)	61
4.4.2	工艺偏移tSK(x)	62
4.4.3	脉冲偏移tSK(p)	62
4.5	亚稳态及其缓解措施	62
4.6	最大频率信息	64

第5章**逻辑器件的接口详情**

5.1	接口的应用要求	66
5.2	施密特触发器输入	77
5.3	IOFF机制和用途	79
5.4	接地反弹和VCC反弹	80
5.5	总线保持	82
5.6	源端接	84

第6章**模拟和逻辑产品细分**

6.1	模拟IC	90
6.2	异步接口逻辑器件	93
6.2.1	缓冲器、驱动器和反相器	93
6.2.2	收发器	94
6.2.3	施密特触发器	95
6.2.4	电压转换器	96
6.2.5	提供自动感应功能的双向转换	98

6.3	同步逻辑器件	106
6.3.1	触发器	106
6.3.2	提供电平控制使能的锁存器或D触发器	107
6.3.3	边沿触发型触发器和寄存器	109
6.3.4	边沿控制D触发器	109
6.3.5	JK触发器	110
6.3.6	并行寄存器	111
6.3.7	FIFO寄存器	112
6.3.8	计数器	112
6.3.9	单稳态多谐振荡器	115
6.4	同步接口逻辑器件的使用场合	116

第7章**封装**

7.1	标准逻辑器件封装	124
7.2	微型逻辑器件封装	130
7.2.1	MicroPak (极薄小型无引脚封装)	130
7.2.2	PicoGate (在小封装中提供单门、双门和三门功能)	137
7.2.3	有引脚(PicoGate)还是无引脚(MicroPak)?	141
7.3	封装焊接考量	143
7.4	封装的热阻	149
7.5	封装的热特性——说明和可能的设置	153

第8章

车规品质	158
-------------	-----

第9章

逻辑器件系列	162
---------------	-----

9.1	HC/HCT/HCU逻辑器件系列	165
9.2	AHC/AHCT逻辑器件系列	175
9.3	LVC逻辑器件系列	185
9.4	AVC逻辑器件系列	201
9.5	AUP逻辑器件系列	212
9.6	AXP逻辑器件系列	227
9.7	LVT/ALVT逻辑器件系列	237

第10章	
常见问题	258
附录	270
缩写词	300
索引	304
法律信息	308

第1章 引言

Nexperia逻辑器件的历史始于20世纪70年代收购Signetics，获取了一些早期的集成逻辑器件。Nexperia技术构建于Signetics、飞利浦、恩智浦以及Nexperia数十年的逻辑器件研发基础之上。

Nexperia已经提供了非常丰富的逻辑器件产品组合，并将进一步扩展。支持分立逻辑器件应用、涵盖应用设计的所有重要考虑因素的通用文档，对工程师而言非常有用，有助于Nexperia和客户建立共识。

本手册旨在面向开发和使用电子电路的应用与设计工程师，他们通常是在嵌入式系统中实现各种应用。对分立逻辑器件的需求非常广泛。由于需要适合系统和电路板设计的众多因素，逻辑器件的使用经常会产生一些仅通过数据手册无法解决的问题和支持要求。为了提供一份紧凑易用的文档，本指南从应用笔记、客户支持经验和通用逻辑器件知识中进行了浓缩提炼，旨在为使用逻辑器件的开发工程师提供支持。

数字系统的运行速度正变得越来越快，工作电压更低，并且其集成度越来越高。许多功能都可以集成到FPGA或ASIC/SOC中，但这并不意味着通用标准逻辑器件将消失。设计人员可能会出于以下原因选择使用标准逻辑进行设计：

- 在下一代产品中以更低功耗实现新增特性
- 空间受限，需要小封装
- 总线驱动能力
- 多种电压系统与电平转换的接口
- 需要热插拔功能
- 需要总线开关
- 需要I/O口扩展的嵌入式系统

为了使创建的内容适合于使用Nexperia逻辑器件的应用工程师，我们力图从设计人员的角度出发。

本书的每一章节都针对逻辑器件及使用其的系统的各个设计方面。我们从逻辑单元理论和电路元件的基础知识开始：介绍了逻辑方程、二进制代码与基本逻辑功能，以及诸如CMOS门电路设计方面的内容。提供了数据手册项目的解释及其与逻辑工艺系列相关联的特性。

另一个方面是嵌入式电路中逻辑器件的功耗，我们在此提供了计算方法，并解释了功耗与工艺技术和拓扑的依赖关系。

除功耗外，还需要计算时序行为，在电路设计中必须了解这一点。我们在时序章节中为此提供了信息和解释。

使用逻辑器件与其他器件连接时，需要解决许多逻辑器件动作方面的问题。这些影响在“接口详情”章节中进行了阐释。

有关封装类型、焊接和管脚尺寸的背景信息，请参见“封装”章节。对于进一步的系统集成项目（如PCB设计仿真），我们提供了一个额外的章节，以帮助用户成功地将Nexperia的逻辑器件集成到他们的嵌入式系统中，并在生产前对系统进行验证。

我们将在另一章节中介绍有关逻辑工艺系列及其具体特性的信息，其中包括有关I/O口特性以及所有技术方面的具体信息，这些信息可用于为专用功能选择合适的工艺系列。

最后，提供一个章节汇总了客户的常见问题，以解决最常见的支持问题。

第2章

**逻辑器件基础，
通用逻辑产品特性**

数字电子数据处理使用二进制数。只有0和1两个状态。这两个状态也称为true（真）和false（假）。在数字电子中，将输入电压范围定义为代表逻辑低电平（0）和逻辑高电平（1）。逻辑产品的输入可以描述为高有效或低有效。1 = true的输入称为高有效输入，而0 = true的输入称为低有效输入。

二进制代码

二进制数字系统是以2为基数的数字进位系统。二进制系统中的一个数字代表 2^n ，其中 $n \geq 0$ $2^0, 2^1, 2^2, 2^3, 2^4, \dots$ ，在十进制中= 1, 2, 4, 8, 16, ...

下面是一个将十进制数转换为二进制数的示例：

$$1317_{(10)} = 1 * 2^{10} + 0 * 2^9 + 1 * 2^8 + 0 * 2^7 + 0 * 2^6 + 1 * 2^5 + 0 * 2^4 + 0 * 2^3 + 1 * 2^2 + 0 * 2^1 + 1 * 2^0$$

$$1317_{(10)} = 10100100101_{(2)}$$

在逻辑术语中，将二进制数的每一个数字称为位。标准计算（如加、减、乘、除）的方法与十进制相同。例如，两个数相加可以依序将每位数字进行相加，并加上单步运算中的进位。

下面的示例是1011加0011（十进制：11 + 3）。从最低位开始，1+1为0，并向下一位进。1+1+1为1，再向下一位进。在下一位数字中，进位1加上0，所以结果是1。对于最高位的数字，1+0为1。

$$\begin{array}{r} 1011 \\ +0011 \\ \hline \text{进位} \quad \blacktriangleright 11 \\ 1110 \end{array}$$

布尔代数

初等代数通常以数字形式来记录表达式。布尔代数使用的是真值false和true。这些值也可以用位或二进制数字（以逻辑0或1表示）来表示。

布尔代数中的基本运算是AND（与）和OR（或）运算，如表1所示。如果所有输入值均等于1，那么AND运算的结果为true或1。以两个输入变量为例，只有A和B均等于1时，结果才会为1，所有其他组合得到的结果则均为0。

对于OR运算，只有所有输入均为0时，结果才会为0。如果至少有一个输入变量为1或true，则OR运算的结果为1。

表1：具有两个输入值A和B的基本布尔运算AND和OR

A	B	与	或
		$A \wedge B$	$A \vee B$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	1

如果涉及两个以上的变量，AND和OR运算的方式也相同。

另一个非常重要的布尔运算是非运算。该运算如表2所示，非常简单。输入变量为0时，结果为1，反之亦然，输入为1则结果为0。

表2：布尔运算的非运算

A	\bar{A}
0	1
1	0

在布尔代数中，如果将 \vee 运算（OR运算）替换为加法，将 \wedge 运算（AND运算）替换为乘法，则其许多规则都是相同的。以下在普通代数中已知的定律也适用于布尔代数，并称其为单调定律。

\wedge 运算结合律。 $A \wedge (B \wedge C) = (A \wedge B) \wedge C$
 \vee 运算结合律。 $A \vee (B \vee C) = (A \vee B) \vee C$
 \wedge 运算交换律。 $A \wedge B = B \wedge A$
 \vee 运算交换律。 $A \vee B = B \vee A$
 \wedge 的 \wedge 运算分配律。 $A \wedge (B \vee C) = (A \wedge B) \vee (A \wedge C)$
 \wedge 运算同一律。 $A \wedge 0 = 0$
 \vee 运算同一律。 $A \vee 1 = 1$

还有一些在布尔代数中有效，但不适用于普通代数的定律：

\vee 运算湮灭。 $A \vee 1 = 1$
 \wedge 运算幂等律。 $A \wedge A = A$
 \vee 运算幂等律。 $A \vee A = A$
 吸收律。 $A \vee (A \wedge B) = A$
 $A \wedge (A \vee B) = A$
 \wedge 的 \vee 运算分配律。 $A \wedge (B \vee C) = (A \wedge B) \vee (A \wedge C)$

互补律则为：

$$A \wedge \bar{A} = 0$$

$$A \vee \bar{A} = 1$$

一个非常重要的定律是所谓的德摩根定律。它可用于逻辑涉及的优化和重组。如果对输入取反进行AND运算处理，则等价于对这些变量进行OR运算处理并对其结果取反。如果对输入变量取反进行OR运算处理，则也可以应用相同的定律，即等价于对变量进行AND运算并对其结果取反。

德摩根定律：

$$\bar{A} \wedge \bar{B} = \overline{(A \vee B)}$$

$$\bar{A} \vee \bar{B} = \overline{(A \wedge B)}$$

其中：

\wedge =逻辑AND, \vee =逻辑OR

2.1 基本的逻辑门功能

反相器/非门

最简单的门功能就是反相器。以下是一个反相器的简单逻辑表。

表3: 反相器或非门

输入A	输出Y
0	1
1	0

通常有两种样式的逻辑门符号。一种采用ANSI/IEEE标准91/91a-1991型符号，另一种则采用IEC 60617-12图形符号。在英文出版物及美国出版物中，IEC符号很罕见，所以它们不如IEEE样式的符号那样更具国际相关性。

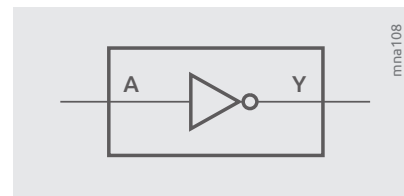


图2.1a | 反相器的IEEE符号

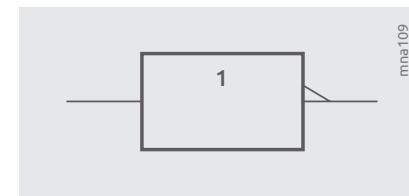


图2.1b | 反相器的IEC符号

2.2 逻辑门

逻辑器件产品组合提供了一些基本功能来实现布尔代数的直接应用。例如，用于AND运算的逻辑器件称为与门。在电气系统中，这些门通常指的是逻辑控制器件。

与门

表4描述的是2输入AND功能。只有当所有输入均为高电平时，与门的输出才会是高电平(1)。所有其他输入组合得到的输出均为低电平(0)。在使能高电平有效的电子系统中，与门输出可以用来防止系统激活，直到满足在与门输入端监控的某些条件（例如电源和温度状态）。如果将其中一个输入保持为高电平，则输出将与另一输入的状态相同。因此，可以将一个输入用作高有效使能，实现对另一输入上的数据流进行门控制。

图2.2所示为一个二输入与门的符号。

表4: 2输入与门功能表

输入A	输入B	输出Y
0	0	0
0	1	0
1	0	0
1	1	1

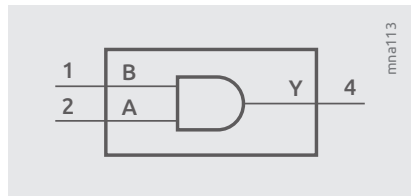


图2.2a | 与门的IEEE符号

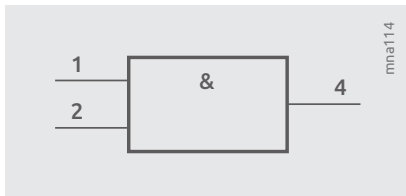


图2.2b | 与门的IEC符号

与非门

如果将与门的输出进行反相，则将实现另一个基本功能，即与非门。表5描述的是二输入NAND功能。只有当所有输入均为高电平时，与非门的输出才会是低电平。所有其他输入组合得到的输出均为高电平。在使能高电平有效的电子系统中，如果在与非门输入端监控到满足某些不良条件的组合，则可以使用与非门输出来禁用系统。如果将其中一个输入保持为高电平，则输出将与另一输入的状态反相。这提供了一个高电平有效的门控制反相器功能。

图2.3所示为一个二输入与非门的符号。

表5: 2输入与非门功能表

输入A	输入B	输出Y
0	0	1
0	1	1
1	0	1
1	1	0

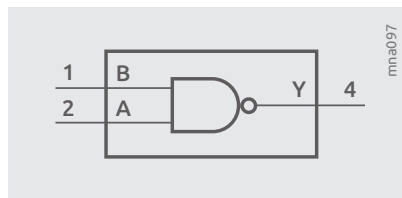


图2.3a | 与非门的IEEE符号

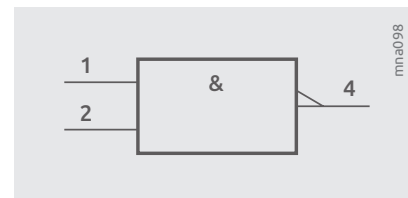


图2.3b | 与非门的IEC符号

或门

表6描述的是二输入OR功能。只有当所有输入均为低电平时，或门的输出才会是低电平。所有其他输入组合得到的输出均为高电平。在使能高电平有效的电子系统中，如果在或门输入端监控到一个或多个条件（例如自动或手动启动）为真，则可以使用或门输出使能系统。如果将其中一个输入保持为低电平，则输出将与另一输入的状态相同。因此，可以将一个输入用作低电平有效使能，实现对另一输入上的数据流进行门控制。

图2.4所示为一个二输入或门的符号。

表6：2输入或门功能表

输入A	输入B	输出Y
0	0	0
0	1	1
1	0	1
1	1	1

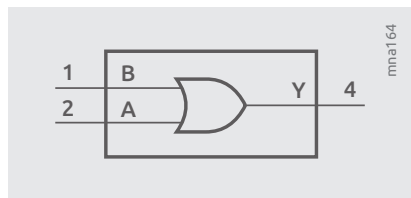


图2.4a | 或门的IEEE符号

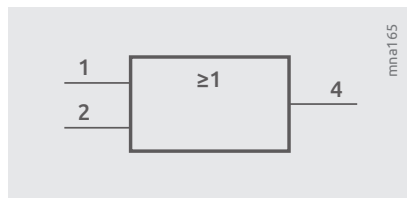


图2.4b | 或门的IEC符号

或非门

如果对或门的输出进行反相，则将实现另一个基本功能，即或非门。表7描述的是二输入NOR功能。只有当所有输入均为低电平时，或非门的输出才会是高电平。所有其他输入组合得到的输出均为低电平。在使能高电平有效的电子系统中，如果在或非门输入端监控到满足任何不良条件，则可以使用或非门输出来禁用系统。如果将其中一个输入保持为低电平，则输出将与另一输入的状态反相。这提供了一个低电平有效的门控反相器功能。

图2.5所示为一个2输入或非门的符号。

表7：2输入或非门功能表

输入A	输入B	输出Y
0	0	1
0	1	0
1	0	0
1	1	0

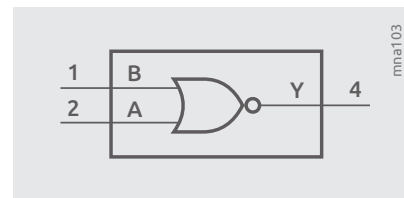


图2.5a | 或非门的IEEE符号

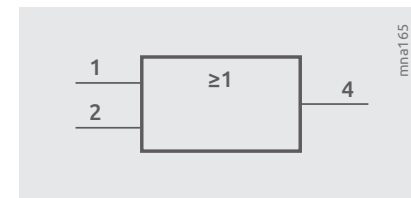


图2.5b | 或非门的IEC符号

异或(XOR)门

表8描述的是2输入异或(XOR)功能。只有输入之一为高电平时，异或门的输出才是高电平。所有其他输入组合得到的输出均为低电平。在使能高电平有效的电子系统中，如果在异或门输入端监控到仅满足一个条件，则可以使用异或门输出使能系统。如果将其中一个输入保持为低电平，则输出将与另一输入的状态相同。如果将其中一个输入保持为高电平，则输出将与另一输入的状态反相。这将提供一个动态控制器件，可使数据流过或对其进行反相。

图2.6所示为一个二输入异或门的符号。

表8：2输入异或门

输入A	输入B	输出Y
0	0	0
0	1	1
1	0	1
1	1	0

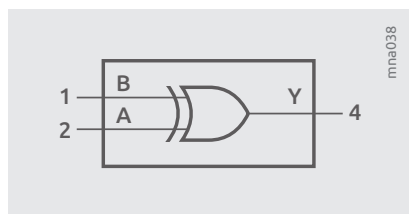


图2.6a | 异或门的IEEE符号

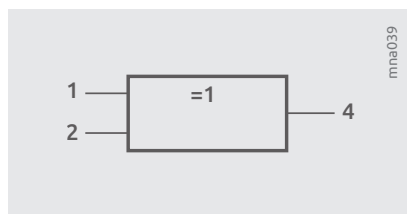


图2.6b | 异或门的IEC符号

异或非(XNOR)门

如果在异或后面添加一个反相器，则可实现异或非(XNOR)功能。表9描述了二输入异或非(XNOR)功能。只有当两个输入相同时，异或非门的输出才是高电平。所有其他输入组合得到的输出均为低电平。在使能高电平有效的电子系统中，如果在异或非门输入端监控到的两个条件相同，则可以使用异或非门输出使能系统。如果将其中一个输入保持为高电平，则输出将与另一输入的状态相同。如果将其中一个输入保持为低电平，则输出将与另一输入的状态反相。这将提供一个动态控制器件，可使数据流过或对其进行反相。

图2.7所示为一个二输入异或非门的符号。

表9：2输入异或非门

输入A	输入B	输出Y
0	0	1
0	1	0
1	0	0
1	1	1

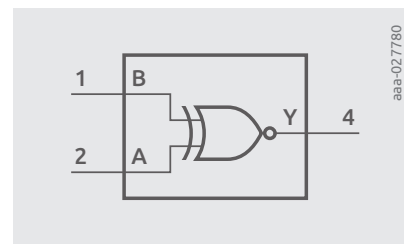


图2.7a | 异或非门的IEEE符号

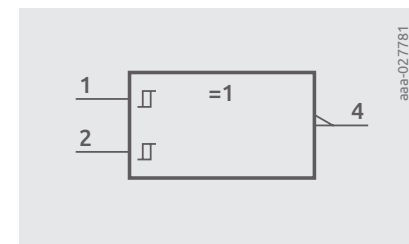


图2.7b | 异或非门的IEC符号

2.3 存储元件

触发器

触发器是在输出端具有两个稳定状态的电路。输出处于低稳定态或高稳定态的逻辑条件不仅取决于控制输入的实际设置，还取决于历史状态。只要存在电源电压，触发器可以无限期地存储一个状态。因此它可以存储一个位的信息。

有几种不同拓扑的触发器。

最简单的是所谓的RS触发器。它可以通过两个受工作电平控制的输入端进行置位和复位。

另一类比较重要的触发器是D触发器。它们具有数据输入端D，可以存储该信号线的状态。可以通过使能信号进行存储控制。只要使能信号设置为高电平，这类触发器从输入到输出都是透明的。一旦关闭使能信号，则将存储最后的逻辑状态。

最重要的一类触发器是与所谓的时钟信号CLK一起使用的触发器。通过时钟的上升沿或下降沿对输入信号进行采样和存储。时钟驱动触发器是逻辑设计中许多重要电路的基本模块。这些多位存储器件称为寄存器、计数器以及移位寄存器。

具有存储状态的标准系列的逻辑器件没有内部上电电路，无法对IC中的触发器进行复位。如果需要为此类器件定义启动条件，则必须在应用中进行处理，当电源电压升至建议的V_{cc}范围后，应向IC提供适当的控制，以使其进入所需状态。

如果产品具有一个复位引脚，则该控制端可用于清除设计中包含的触发器。这使得创建一个清除状态上电条件变得很轻松。必须遵守复位的时序要求。将低电平有效的复位引脚直接连接到电源是行不通的。V_{cc}和复位引脚会一起上升，器件没有机会执行安全复位。有关如何在必要时确保目标应用可靠的上电行为，请参见“常见问题”章节，以了解更多建议。

有关触发器类型和使用基本功能设计更复杂的电路的详细说明，请查看本手册的第6章。

2.4 开关

模拟开关

模拟开关是双向传输门，由一个PMOS和一个NMOS晶体管并联组成。它们用于在轨对轨模拟和低频数字信号之间进行切换。模拟开关具有多种可用配置。单刀单掷(SPST)用于隔离应用。一个数字控制引脚用于将开关导通或断开，以连接或隔离信号路径。在SP8T配置中，使用三个数字控制引脚将一个输入/输出连接到八个输出/输入中的一个。由于模拟开关具有双向功能，因此SP8T配置也称为8:1模拟多路复用器/多路解复用器。图2.8显示了一个SPDT配置。两个传输门具有一个公共端子即极点和两个独立的投掷端子。该配置使用单个数字控制信号S来将极点端子Z切换到投掷端子Y1或Y2。

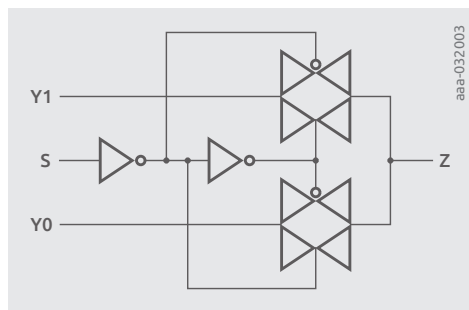


图2.8 | SPDT模拟开关

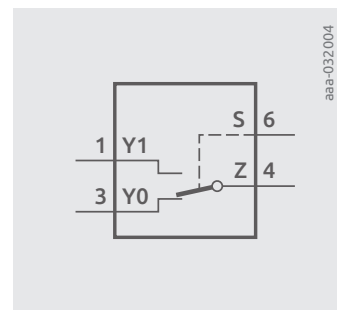


图2.9 | 逻辑图SPDT开关

许多产品都包含一个控制引脚，以允许使能或禁用多路复用器。禁用时，所有开关均不导通（关断）。这使得多个器件的极点可以连接起来，以创建更多路数的复用器/解复用解决方案。具有此性能的器件用SPxT-Z标识，-Z表示它们可以被禁用。

多路复用器配置广泛用于模拟输入扩展应用中。许多微处理器的模数转换器(ADC)输入数量有限。模拟多路复用器可用于使用同一ADC输入顺序监控许多模拟传感器。数据手册中提供了导通电阻(RON)和开关时间(t_{en})的规格，以便对应用的适用性进行评估。

模拟开关还可以被用于数字信号隔离和多路复用/解复用。由于它们是传输门，因此它们不能充当中继器并重新生成数字信号，必须注意确保数字信号不受任何模拟开关带宽限制的影响。模拟开关数据手册包含-3 dB带宽规格，以便评估对数字信号的影响，以确保应用中信号的完整性。

总线开关

如果并联使用多个SPxT-Z模拟开关，则可以将来自多个源的数据多路复用到同一条数据线上。从系统角度来看，将极点连接在一起确实会增加对于数据信号的有效负载电容。这将会降低解决方案的带宽。总线开关具有与上述模拟开关相同的关键参数和相同的配置。它们可用于隔离和多路复用应用。为了在现代应用中支持更高的数据速率，总线开关具有更低的开关电容CS(ON)，从而使带宽增加。总线开关的其他特性还包括提供电压电平转换和开关信号高于总线开关电源电压。

2.5 逻辑器件数据手册参数

每款逻辑器件都对应一份数据手册，详细解释所发布的数据参数。逻辑器件数据手册的开头部分是对器件的一般描述，接下来的部分是有关主要特性和优势。通过产品名称末尾的Q100可以轻松地识别出符合汽车标准的器件。

所有逻辑器件均至少超过2 kV HBM（人体模型）和1 kV CDM（带电器件模型）的ESD额定值，以确保在组装和生产过程中的安全操作。

随后是订购信息部分，涉及该产品不同封装的型号。接下来将提供标记代码信息，然后是上文所述的功能框图。数据手册中提供了每种封装选项的引脚信息以及引脚说明。

功能表详细描述了器件如何根据所有控制输入和/或时钟信号精确地工作。

2.6 限值

限值的提供依据是绝对最大额定值系统(IEC 60134)。在这些条件下，并不能保证器件正常工作，但只要应力保持在限值范围内，就能保证其性能不下降。

第一个限值是从Vcc（最小值）到Vcc（最大值）的允许电源电压范围。如果遵守此范围，则不会对器件造成任何损坏，但不保证其功能正常。在大多数情况下，Vcc（最小值）等于-0.5V。当然，这不是工作电源。下一个列出的限值参数是输入电压Vi和输出电压Vo的范围。只要遵守相关的钳位电流限值Ik和Iok，就可以超过这些值。

还提供了单路输出电流的限值以及Icc和Icnd限值（例如，如果多路输出驱动一个相对低阻值电阻负载，则会达到该限值）。如果将输出端直接接地，则当输出状态为高电平时，会出现Icc电流。如果是将输出端接至Vcc，则当输出状态为低电平时，会产生额外的接地电流。

逻辑器件的存储温度范围为-65°C至150°C。在定义的温度范围内，器件的功耗限制为Ptot值。对于某些封装选项，会在脚注中提及以功率降低因子表示的线性降额，例如温度高于118°C开始为7.8 mW/K。在Tamb = 150°C时，Ptot达到0 mW。带有金键合线的电子器件，其芯片温度或Tj不得高于150°C。

2.7 建议工作条件

在逻辑器件数据手册的此部分中，说明了Vcc、Vi和Vo的范围。对于支持Ioff特性的产品，可以查看Vo的范围。如果断开电源电压(Vcc = 0 V)，这些器件输出状态将为高阻抗。在掉电或挂起模式下，可以建议电源电压范围调至最大值。

建议工作条件部分中的一个重要参数是允许的最大输入转换和下降速率 $\Delta t/\Delta V$ 。如果不满足此条件，则可能会增加时钟触发器件的电流消耗，并有可能发生故障，或者会出现噪声覆盖了信号。

2.8 静态特性

静态特性章节介绍了针对特定电源电压 V_{CC} 的高电平输入信号的最小电压 V_{IH} （最小值）和低电平输入信号的最大电压 V_{IL} （最大值）。这些参数指示输入电压范围的哪些区域为未定义或禁用。

图2.10显示逻辑器件AUP系列的最终输入电压范围取决于 V_{CC} 。信号必须保持在其中一个蓝色区域内，才能作为低电平或高电平进行处理。

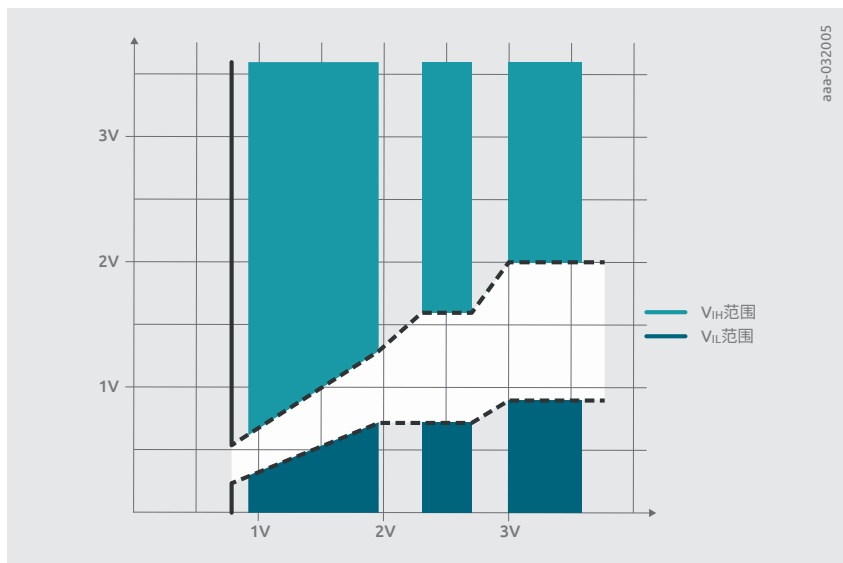


图2.10 | 逻辑系列AUP的输入电压范围取决于 V_{CC}

对于施密特触发器输入，正向阈值电压 V_{T+} 和负向阈值电压 V_{T-} 显示为传输特性，用于定义数字输入的行为。施密特触发器输入提供了一个迟滞特性，如图2.11所示。施密特触发器输入具有平稳的转换能力，并且对输入信号上的噪声具有抗扰性。许多逻辑器件具有所谓的施密特触发器动作输入。这类输入的迟滞虽然不像全性能施密特触发器输入那样宽，但与传统的输入特性相比，在转换期出现噪声覆盖时会表现得更加安全。

数据手册中的静态特性还针对定义的输出电流和电源电压，提供逻辑高电平 V_{OH} 和低电平 V_{OL} 的输出电压。为使从逻辑器件输出到逻辑器件输入能正确操作，输出电压和输入电压之间的关系必须符合表10的第1行和第4行。

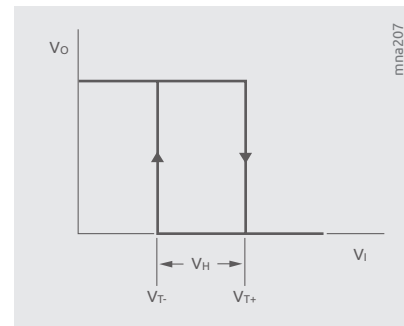


图2.11 | 施密特触发器的输入特性

表10: 为确保正确运行，从输出到输入的电压要求

器件1	器件2	运行	
V_{OH} (最小值)	>	V_{IH} (最小值)	功能得到保证
V_{OH} (最小值)	<	V_{IH} (最小值)	功能无法得到保证
V_{OL} (最大值)	>	V_{IL} (最大值)	功能无法得到保证
V_{OL} (最大值)	<	V_{IL} (最大值)	功能得到保证

其他静态参数包括开路输出下的最大电源电流 I_{CC} （最大值）和最大输入漏电流 I_I （最大值）。对于支持 I_{OFF} 特性的器件，列出了当 $V_{CC} = 0$ V时的最大断电电流 I_{OFF} （最大值），而 V_{CC} 从0 V至0.2 V时的最大 ΔI_{OFF} 则意味着 V_{CC} 关断不是理想状态。

对于输入电压偏离理想0 V或 V_{CC} 低电平或高电平条件的附加电源电流参数，可以找到其最大 ΔI_{CC} 电流值。

许多逻辑器件在不同温度范围内的上述静态特性由单独的表格提供。

2.9 动态特性

传播延迟 t_{PD} 是逻辑器件非常重要的一个动态参数。对于门或缓冲器，它是输入端变化到输出端逻辑状态变化的简单延迟。图2.12显示了一个二输入与门的示例。该图描绘了负向边沿的传播延迟 t_{PHL} 以及反向从低到高状态的 t_{PLH} 。传播延迟从相关转换的50%电平开始测量。

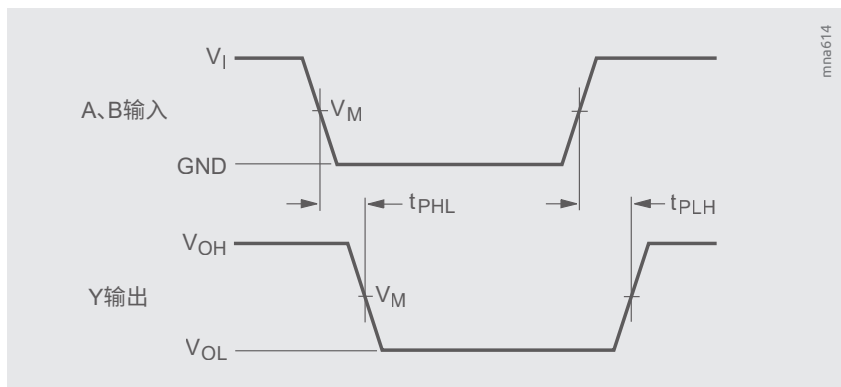


图2.12 | 数据输入至输出的传播延迟

对于边沿触发型器件，传播延迟定义为有效时钟转换与输出端状态变化之间的时间。图2.13显示一个触发器的时序图。传播延迟是从上升沿到输出信号变化的时间。除传播延迟外，图中还显示了其他重要的时序参数。在有效时钟转换前，数据输入D至少需要在建立时间 t_{su} 内保持稳定，并且至少需要在保持时间 t_h 内也保持稳定。 f_{max} 是逻辑器件的最大时钟频率。该值很好地表明了所考虑的逻辑器件系列的逻辑门所能处理的最大信号速度。参数 t_w 定义了时钟输入CP低电平状态的最小脉冲宽度以及置位和复位信号的宽度。所有这些参数都可以在数据手册的“动态特性”章节中找到。

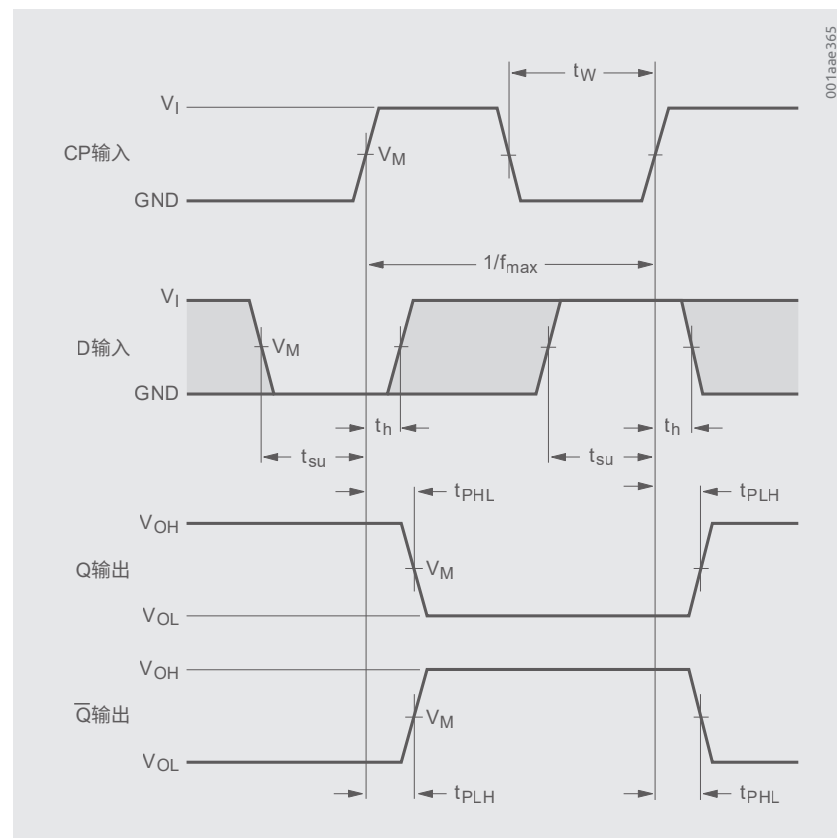


图2.13 | 触发器的时序图

该章节列出了针对不同电源电压 (V_{CC}) 的动态参数。电压越高，CMOS逻辑器件的速度越快。温度降低会使 t_{pd} 降低。

C_{PD} 是等效功耗电容，用于动态功耗计算：

$$P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \sum [C_L \times V_{CC}^2 \times f_o]$$

f_i = 输入频率(MHz)

V_{CC} = 电源电压(V)

f_o = 输出频率(MHz)

N = 输入数

C_L = 输出负载电容(pF)

Sum [$C_L \times V_{CC}^2 \times f_o$] = 所有输出的总和

有关时序方面的更多详细信息，请参见“时序详情”一章。

其他信息

逻辑器件数据手册提供详细的波形图和测试电路原理图，说明数据手册的值和参数的获得方法和测试方法。数据手册的最后部分显示产品所有不同版本的封装外形以及公差信息。

第3章

CMOS和BiCMOS 逻辑器件的功率考量

作为通用型元件，逻辑器件可用于许多不同应用中各种不同的频率和电源电压。这种多样性需要提供单一的参数，用于确定器件在给定应用中的功耗。本章节介绍功耗的不同组成部分以及如何对其进行计算。

3.1 静态考量

CMOS

当CMOS器件没有切换且输入电平为GND或V_{CC}时，p沟道和n沟道晶体管不会同时导通；V_{CC}和GND之间不存在直接的MOS晶体管通道路径。但实际上，热生成的少数载流子（存在于所有反向偏置二极管结中）允许在V_{CC}和GND之间有非常小的漏电流流过。由于该漏电流通常为几纳安，因此静态CMOS功耗非常低。上述条件下的最大静态功耗计算如下：

$$P_D = V_{CC} \times I_{CC} \quad (1)$$

其中：

I_{CC} = 器件数据手册中的规定值

BiCMOS

对于BiCMOS（Bipolar CMOS）器件，当输出设为高电平或低电平时，输出双极性级中的电流不同。这导致在数据手册中有两个静态电流规格：I_{CC}（对于输出低电平）和I_{CC}（对于输出高电平）。GND或V_{CC}输入电平的静态功耗计算如下：

$$P_D = V_{CC} \times (n_1 I_{CC(\text{对于输出低电平})} + n_2 I_{CC(\text{对于输出高电平})}) / (n_1 + n_2) \quad (2)$$

其中：

n₁ = 低电平输出数

n₂ = 高电平输出数

GND < V_I < V_{CC}引起的输入级电流

在器件的输入电平未保持于GND或V_{CC}的情况下，V_{CC}和GND之间会存在直接的MOS晶体管电流路径；这会导致额外的电源电流流经CMOS器件的输入缓冲级，并产生额外的功耗。在器件数据手册中，这表示为ΔI_{CC}，这是由V_{CC}或GND以外的输入电平引起的额外电流。对于5.5 V逻辑器件系列，通常在V_{CC} -2.1的输入电压下对此参数进行测量；对于3.3 V逻辑器件系列，则在V_{CC} -0.6 V的输入电压下对此参数进行测量。静态功耗计算如下：

$$P_D = V_{CC} \times [(n_1 I_{CC(\text{对于输出低电平})} + n_2 I_{CC(\text{对于输出高电平})}) / (n_1 + n_2) + n \Delta I_{CC}] \quad (3)$$

其中：

N = 中间电平下的输入数

说明：

对于CMOS，I_{CC}L = I_{CC}H = I_{CC}，简化等式(3)：P_D = V_{CC} × [I_{CC} + nΔI_{CC}]

表1显示不同逻辑器件系列的'244（八路缓冲器）功能的 I_{CC} 和 ΔI_{CC} 的比较。

表1: 逻辑工艺系列的功耗

CMOS系列						
器件	电压	I_{CCQ}	V_I	ΔI_{CC}	单位	
74HC244	6V	80	$V_{CC}-2.1V$	450	μA	
74AHC244	5.5V	40	$V_{CC}-2.1V$	1500	μA	
74LV244	5.5V	20	$V_{CC}-0.6V$	500	μA	
74LVC244	3.6V	10	$V_{CC}-0.6V$	500	μA	
74ALVC244	3.6V	10	$V_{CC}-0.6V$	750	μA	

BiCMOS系列							
器件	电压	I_{CCZ}	I_{CCL}	I_{CCH}	V_I	ΔI_{CC}	单位
74LVT244	3.6V	0,19	12	0,19	$V_{CC}-0.6V$	0,2	mA

3.2 动态考量

当为器件提供时钟或器件状态改变时，芯片上寄生电容和负载电容的充电和放电都会产生功耗。当p沟道和n沟道晶体管均为部分导通时，当输出开关时也会产生功耗。由于是寄生电容，这种瞬态能耗通常只有10%。

每个器件的总动态功耗是：

$$P_D = \Sigma(C_{PD}V_{CC}^2 f_i) + \Sigma(C_L V_{CC}^2 f_o) \quad (4)$$

其中：

C_{PD} = 每个缓冲器的功耗电容

f_o = 输出频率

f_i = 输入频率

C_L = 每次输出的总外部负载电容

从等式(4)中可以注意到， C_{PD} 是一个有用的参数，可用于确定功率损耗与频率之间为线性函数的任何器件的功率损耗。图3.1显示了表1中所列器件的 I_{CC} 与频率的关系。由此可得出结论，对于所有CMOS和BiCMOS逻辑器件系列，可以使用 C_{PD} 来确定器件在指定应用中的最坏状况下的功耗。

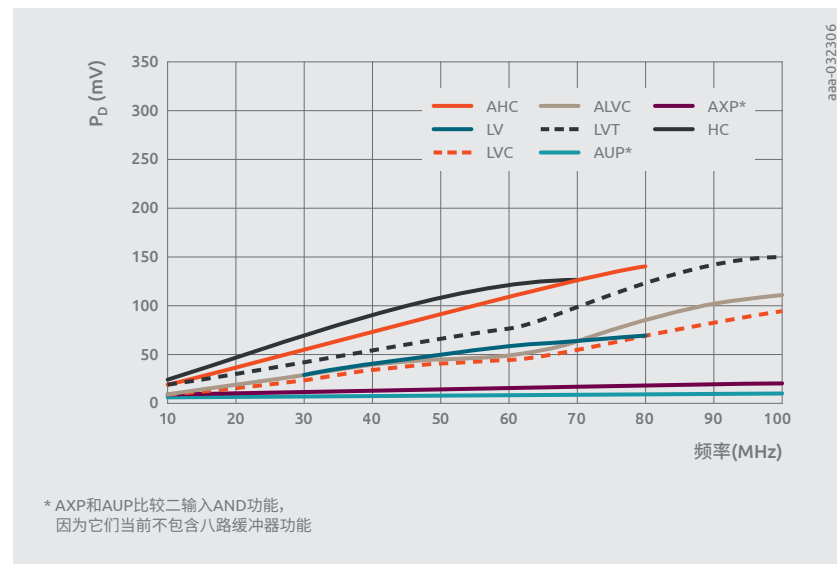


图3.1 | 各种逻辑工艺系列功耗随频率的变化

3.2.1 输出不平衡时的占空比考量

在输出驱动不平衡的情况下（例如BiCMOS），可能还需要考虑输出占空比。图3.2显示占空比对74LVT244功耗的影响。从这些测量结果可以得出结论，占空比对总功耗的影响很小。这是由于相较稳态电流而言，BiCMOS产品中的开关电流更占主导地位。

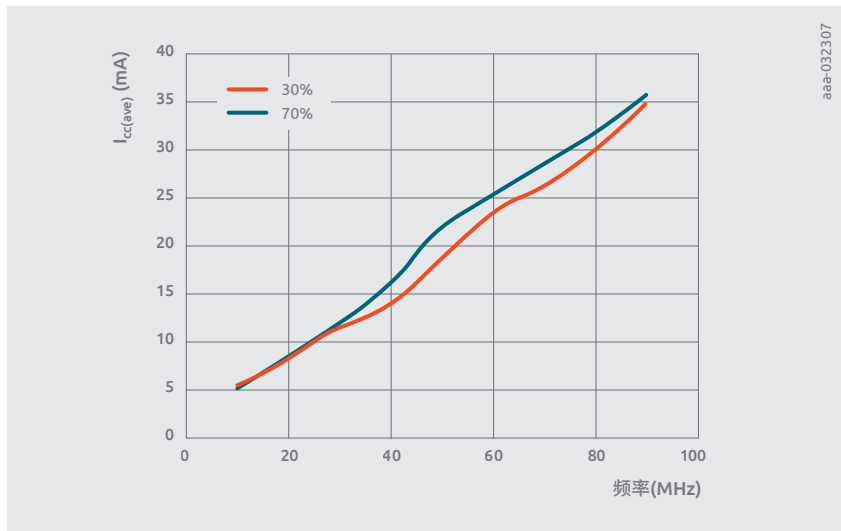


图3.2 | 不同占空比下的电流消耗

3.2.2 缓慢输入的上升/下降时间引起的功耗

当CMOS推挽级开关时，两个输出晶体管在很短的时间内会同时导通。产生的直通电流是正常电源电流的叠加电流，并会导致功耗随输入的上升或下降时间线性增加。只要输入电压小于n沟道晶体管阈值电压，或高于V_{cc}减去p沟道晶体管阈值电压，其中一个输入晶体管就始终处于关断状态，并且没有直通电流。当输入电压等于n沟道晶体管的阈值电压（典型值为0.7 V）时，n沟道晶体管开始导通，有直通电流流过，在V_I = 0.5 V_{cc}时达到最大值。对于具有CMOS输入的器件，最大电流取决于输入晶体管的几何结构。当将施密特触发器用于具有较长上升/下降时间的方形脉冲时，施密特触发器输入端的直通电流会增加功耗（见施密特触发器数据手册）。

3.2.3 与工艺系列相关的动态功耗

使用更先进的工艺技术可以降低动态功耗。下表显示了基于二输入AND功能的各种工艺系列器件的传播延迟和动态功耗的比较。相比之下，AUP和AXP的功耗最低，通常可以明显看出新工艺系列的低功耗趋势。

	4.5 V至5.5 V				3.0 V至3.6 V			
	最小值	典型值	最大值	P _D (mW)	最小值	典型值	最大值	P _D (mW)
	t _{PD} (ns)				t _{PD} (ns)			
HC(T)	-	9.0	23.0	750	-	-	-	-
AHC(T)	1.0	4.6	9.0	550	1.0	6.5	14.0	240
LVC	0.5	1.7	4.0	525	0.5	2.1	4.5	229
AUP	-	-	-	-	0.9	2.2	4.3	98
AXP	-	-	-	-	-	-	-	-

	2.3 V至2.5 V				1.65 V至1.95 V			
	最小值	典型值	最大值	P _D (mW)	最小值	典型值	最大值	P _D (mW)
	t _{PD} (ns)				t _{PD} (ns)			
HC(T)	-	-	-	-	-	-	-	-
AHC(T)	-	-	-	-	-	-	-	-
LVC	0.5	2.2	5.5	111	1.0	3.4	8.0	68
AUP	1.0	2.4	4.8	45	1.3	3.0	6.1	26
AXP	0.9	2.0	3.0	41	1.2	2.6	4.1	24

	1.4 V至1.6 V				1.1 V至1.3 V				0.75 V至0.85 V			
	最小值	典型值	最大值	P _D (mW)	最小值	典型值	最大值	P _D (mW)	最小值	典型值	最大值	P _D (mW)
	t _{PD} (ns)				t _{PD} (ns)				t _{PD} (ns)			
HC(T)	-	-	-	-	-	-	-	-	-	-	-	-
AHC(T)	-	-	-	-	-	-	-	-	-	-	-	-
LVC	-	-	-	-	-	-	-	-	-	-	-	-
AUP	1.5	3.7	7.5	17.6	2.1	5.1	11.7	11.1	-	17	-	4.8
AXP	1.5	3.2	5.0	16.7	1.8	4.3	7.3	10.7	1.8	11	122	4.7

3.3 功耗电容

CMOS器件数据手册中规定了 C_{PD} ，所发布的值根据本章节描述的测试结果计算得出。测试设置如图3.3所示。在数据手册所列的限制范围内，始终选择 C_{PD} 最坏情况下的工作条件，并同时切换内部和输出电路的最大数量。可分为独立部分的器件按各部分逐一测量，其他的则按单个器件进行测量。

确定 C_{PD} 的建议测试频率为10 MHz，占空比为50%。加载开关输出可提供更真实的 C_{PD} 值，因为它可以防止输出级中的瞬态直通电流。

数据手册中提供的 C_{PD} 值使用以下公式计算：

$$C_{PD} = \frac{(I_{CC(ave)} \times V_{CC}) - [(C_L \times V_{CC}^2 \times f_o) + V_{CC} \times I_{STAT}]}{V_{CC}^2 \times f_i} \quad (5)$$

其中：

C_{PD} = 功耗电容（每个缓冲器）

f_o = 输出频率

$I_{CC(ave)}$ = 电源电流

f_i = 输入频率

V_{CC} = 电源电压

I_{STAT} = 直流电源电流（对于CMOS约为零）

C_L = 输出负载电容

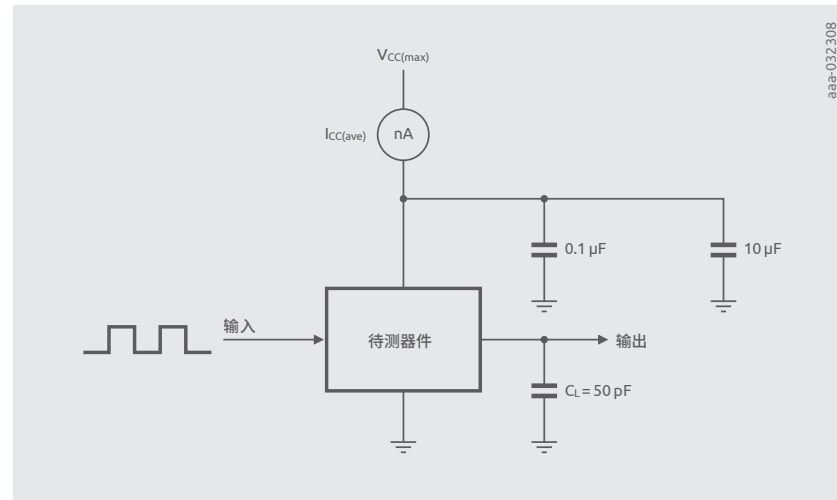


图3.3 | 确定 C_{PD} 的测试设置

3.3.1 CPD计算示例

CMOS

对于74LVC244， I_{STAT} 可以忽略不计，并且为了计算 C_{PD} ，可以将其视为零。使用了 C_{PD} 测试条件中指定的244测试设置，其负载如图3.3所示。当 $V_{CC} = 3.6$ V时， $f_i = 10$ MHz；可得到 $I_{CC(ave)}$ 为2.24 mA。

使用等式(5)：

$$C_{PD} = \frac{(2.24 \text{ mA} \times 3.6 \text{ V}) - [(50 \text{ pF} \times 3.6 \text{ V}^2 \times 10 \text{ MHz}) + 0 \text{ mW}]}{3.6 \text{ V}^2 \times 10 \text{ MHz}}$$

$$C_{PD} = 12.2 \text{ pF}$$

BiCMOS

对于74LVT244，不能认为在低频下可以将 I_{STAT} 忽略不计。因此，建议使用较高的频率对其 C_{PD} 进行建模。使用图3.3所示的测试设置，但采用30 MHz频率。可得到 $I_{CC(ave)}$ 为11.53 mA。然后，假设 I_{STAT} 可以忽略，应用等式(5)。

使用等式(5)：

$$C_{PD} = \frac{(11.53 \text{ mA} \times 3.6 \text{ V}) - (50 \text{ pF} \times 3.6 \text{ V}^2 \times 30 \text{ MHz})}{3.6 \text{ V}^2 \times 30 \text{ MHz}}$$

$$C_{PD} = 56.8 \text{ pF}$$

说明：

在20 MHz下执行测量和计算会导致 C_{PD} 为66 pF。由于给定配置中 I_{STAT} 的不确定性，建议在估算BiCMOS器件功耗时使用5%至10%的保护带。

3.4 使用 C_{PD} 计算功耗

3.4.1 CMOS器件计算

考虑一个3.6 V的应用，其中每40 ms使用一个74LVC244A器件来缓冲四个40 MHz、75%正占空比信号和两个80 MHz、75%正占空比信号，持续时间为25 ms。将未使用的输入端连接至3.6 V，输出端驱动30 pF负载，并在不进行缓冲时，将四个输入端保持为3.0 V，两个输入端保持为GND。

在计算平均功耗时，我们既要考虑器件未进行缓冲的15 ms内的功耗，又要考虑缓冲器处于工作状态的25 ms内的功耗。

在前15 ms内，器件处于静态，使用简化公式(3)计算功耗。在本示例中，我们有四个输入端连接至 $V_{CC}-0.6V$ 。

$$\begin{aligned} P_{D1} &= 3.6 \text{ V} \times 10 \mu\text{A} + 4 \times 3.6 \text{ V} \times 500 \mu\text{A} \\ &= 7.24 \text{ mW} \end{aligned}$$

在接下来的25 ms内，总功耗可以估算为动态功耗的组合，包括由四个缓冲器和输出在40 MHz下开关而产生的动态功耗，以及两个缓冲器和输出在80 MHz下开关而产生的动态损耗。

$$\begin{aligned} P_{D2} &= 4 \times (C_{PD} + C_L) \times 3.6^2 \times 40 \text{ MHz} + 2 \times (C_{PD} + C_L) \times \\ &\quad 3.6^2 \times 80 \text{ MHz} \\ &= 87.1 \text{ mW} + 87.1 \text{ mW} \\ &= 174.2 \text{ mW} \end{aligned}$$

平均功耗则为：

$$\begin{aligned} P_{D(ave)} &= (15 \times 7.24 \text{ mW} + 25 \times 174.2 \text{ mW}) / 40 \\ &= 111.6 \text{ mW} \end{aligned}$$

3.4.2 BiCMOS器件计算

考虑在同样的应用中使用LVT244的情况。

对于BiCMOS器件，由于 I_{cCL} 和 I_{cCH} 不相同，因此必须考虑占空比。在应用的前15 ms中，使用公式(2)计算静态功耗，以确定静态功耗，并加上由连接至 V_{cc} -0.6 V的四个输入引起的功耗。

$$\begin{aligned} P_{D1} &= 3.6 V \times (6 \times I_{cC(\text{对于输出高电平})} + 2 \times I_{cC(\text{对于输出低电平})}) / 8 + 4 \times 3.6 V \times \Delta I_{cC} \\ &= 11.3 mW + 2.9 mW \\ &= 14.2 mW \end{aligned}$$

接下来的25 ms内的功耗，除了与74LVC244A示例中相同的功耗外，还包含 I_{STAT} 组成部分。 I_{STAT} 可使用 P_{D1} 作为近似值。

$$\begin{aligned} P_{D2} &= 4 \times (C_{PD} + C_L) \times 3.6^2 \times 40 MHz + 2 \times (C_{PD} + C_L) \times \\ &\quad 3.6^2 \times 80 MHz + 3.6 \times I_{STAT} \\ &= 180 mW + 180 mW + 14.2 mW \\ &= 374.2 mW \end{aligned}$$

应该注意的是，在使用公式3来确定动态功耗组成部分时，我们假设器件为轨对轨输出摆幅。由于BiCMOS输出不会在轨对轨之间转换，因此会产生更差的近似值。

计算得到的平均功耗为：

$$\begin{aligned} P_{D(\text{ave})} &= (15 \times 14.2 mW + 25 \times 374.2 mW) / 40 \\ &= 239.2 mW \end{aligned}$$

3.5 结果与结论

表2：测量结果和计算结果的比较

器件	静态 15 ms			动态 25 ms			总计	
	$I_{cC(\text{ave})}$ (mA)	P_{D1} (mW)		$I_{cC(\text{ave})}$ (mA)	P_{D2} (mW)		$P_{D(\text{ave})}$ (mW)	
		测量值	计算值		测量值	计算值	测量值	计算值
74LVC244A	0,008	0,028	7,24	48,2	173,5	174,2	108,4	111,6
74LVT244	2,5	9	14,2	102,4	368,6	374,2	233,8	239,2

确定功耗是系统设计的重要组成部分。通过了解功耗的静态和动态成分以及如何对其进行建模，系统设计人员能够估算应用的最差情况功耗。

表2显示了测量结果与计算结果的比较。计算出的静态和动态电流值在测量值的10%以内。重要的是，计算值高于测量值。这是由于计算值使用的是数据手册限值规定的更糟的情况。这在系统级功率计算中被认为是有利的，因为它可在应用中提供额外的功率预算裕量。从介绍的示例中可以得出结论，可以将任何电源电流与频率具有线性关系的器件建模为单一的功率耗散电容 C_{PD} ，以用来在任何应用中对该器件进行功耗计算。

CPD测试条件**逻辑门**

除一个输入端外，所有其他输入端均保持在V_{CC}或GND，具体取决于引起输出切换的状态。另一输入端在已知频率下切换。C_{PD}按每个逻辑门规定。

解码器

切换一个输入端，使输出以相同的速率切换（通常在使能解码器时切换其中一个选址引脚）。所有其他输入端均连接至V_{CC}或GND（具体取决于使能操作）。C_{PD}按每个独立解码器规定。

多路复用器

一个数据输入端连接为高电平，另一个数据输入端连接为低电平。配置选址输入和使能输入，以便切换一个地址输入会交替选择两个数据输入，从而导致输出切换。对于三态多路复用器，C_{PD}按使能输出端的每个输出功能规定。

双向开关

开关输入端和输出端开路。使能输入端有效时，选择其中一个输入端进行切换，其他输入端连接为高电平或低电平。C_{PD}按每个开关规定。

三态缓冲器和收发器

C_{PD}按在输出使能时的每个缓冲器规定。测量方法与简单逻辑门相同。

锁存器

为器件提供时钟，数据基于交替时钟脉冲切换。保留其他预设或清零输入端，以便启用输出切换。如果器件具有多个共锁锁存器，则时钟会切换一个锁存器。在其输出端使能时测量三态锁存器。C_{PD}按每个锁存器规定。

触发器

测量方法与锁存器相同。切换器件的输入端，并且将任何预设或清零输入端均保持为无效状态。

移位寄存器

为寄存器提供时钟，串行数据输入基于交替时钟脉冲切换（同锁存器部分所述）。保持清零和负载输入端为无效状态，并行数据保持在V_{CC}或GND。在输出端使能时测量三态器件。如果该器件仅用于并行加载，则对其加载101010.....，提供时钟将数据移出，然后重新加载。

计数器

将信号施加至时钟输入端，但保持其他清零或负载输入端为无效状态。为器件中的每个计数器提供单独的C_{PD}值。

算术电路

当仅切换一个或两个输入端时，加法器、幅值比较器、编码器、奇偶发生器、ALU和其他电路将获得最大数量的同步切换输出端。

显示驱动器

LED驱动器通常不需要C_{PD}，因为LED的功耗太大，以致于C_{PD}的影响可以忽略不计。而且，当显示为空白时，驱动器极少具有明显的驱动速率。若有需要，在灯具测试和空白（如提供）之间或显示数字6和7之间进行切换，在使能和禁用输出端的情况下测量C_{PD}。

通过切换控制显示段和背板波形输出的相位输入来测试LCD驱动器。如果任何一种驱动器（LCD或LED）具有锁存输入，则将锁存器设置为流通模式。

单次电路

在某些情况下，当器件的I_{CC}很大时，不规定C_{PD}。若需规定，通过切换一个触发输入端，使输出为方波来测量C_{PD}。时序电阻与独立电源（等于V_{CC}）相连，以消除其功耗影响。

第4章

分立器件的时序详情

在电路设计中，所有参与器件的正确时序对于功能实现至关重要。一个元件的延迟计算错误或对其时序行为的误解，最终可能会导致整个系统故障。本章将解释所需的基础知识，以了解逻辑器件的时序详情并将其成功应用于设计流程中。

4.1 同步和异步逻辑

异步电路或自定时电路是不受时钟电路或全局时钟信号支配的数字逻辑电路。相反，该电路信号通常用来表示指令和操作的完成，采用简单的数据传输协议进行规定。此类电路与同步电路形成对比，在后者中，电路的信号值变化由称为时钟信号的单个或重复脉冲触发。当今大多数的数字器件都使用同步电路。但是，异步电路可能速度更快，并且在大型系统中还具有功耗更低、电磁干扰更小以及更易于模块化等优势。异步和同步逻辑电路的示例如图4.1和图4.2所示。

图4.1显示异步逻辑的符号。与仅进行逻辑组合不同，该电路可以存储逻辑状态，因此需要反馈回路。这种元件的一个示例是简单的RS触发器。

对于同步逻辑元件，反馈回路由额外的时钟信号同步，如图4.2所示。

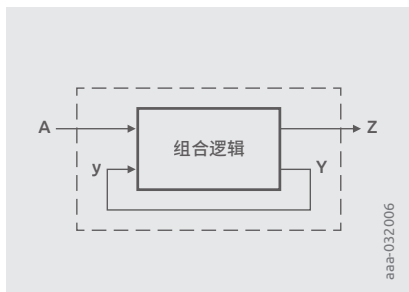


图4.1 | 异步逻辑元件

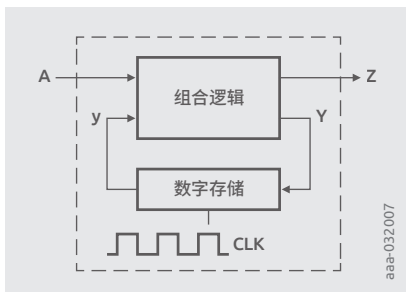


图4.2 | 同步逻辑元件

4.2 器件的传播延迟时间

在数字电路中，传播延时（或门延时）是指从逻辑门的输入变得稳定且发生有效变化开始，到该逻辑门的输出变得稳定且发生有效变化为止，这两者之间的时间长度。在逻辑器件数据手册中，这指的是当输入变为其最终输入电平的50%时，输出达到其最终输出电平的50%所需的时间。减少数字电路中的门延时可以加快其数据处理速率，并提高整体性能。确定组合电路的传播延时，需要确定从输入到输出的最长传播延时路径，并沿此路径加上各个 t_{PD} 时间。

逻辑元件传播延时的差异是异步电路中因竞争条件导致毛刺的主要影响因素。

脉冲宽度 t_w 是信号的上升沿和下降沿之间的时间间隔。测量时间的参考信号电平是高电平和低电平之间幅度的50%。图4.3显示了传播延时（如果 $t_{PHL} = t_{PLH}$ 时为 t_{pd} ）、上升和下降时间（ $t_r = t_{TLH}$ ， $t_f = t_{THL}$ ）的测量参数。转换时间的测量为从信号电平的10%到90%。

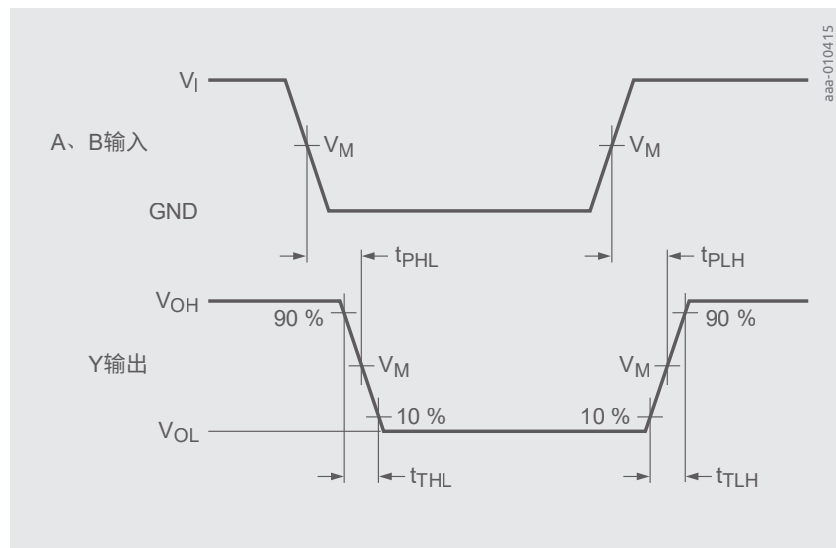


图4.3 | 传播延时测量

4.3 触发器和锁存器的时序参数

触发器和锁存器是具有两个稳定状态的电路，可用于存储状态信息。触发器可以是电平触发（异步、透明或不透明），也可以是边沿触发（同步或时钟）。

传播延时——触发器的传播延迟是指时钟事件（上升沿或下降沿）与输出信号变化之间的时间。与逻辑门一样，使用50%的信号电平作为测量窗口。

建立时间 t_{su} ——建立时间是指在发生时钟事件（上升沿或下降沿）之前数据输入应保持稳定的最短时间，从而使时钟能够可靠地对数据进行采样。

保持时间 t_h ——保持时间是指发生时钟事件之后数据输入应保持稳定的最短时间，从而使时钟能够可靠地对数据进行采样。建立时间和保持时间如图4.4所示。

时序参数建立时间和保持时间与接口信号电平有关，并且是由内部门延时引起的，这意味着时钟信号需要在内部传播才能对数据信号进行采样。

孔径时间(Aperture)是建立时间和保持时间的总和。在这段时间内，数据输入应始终保持稳定。

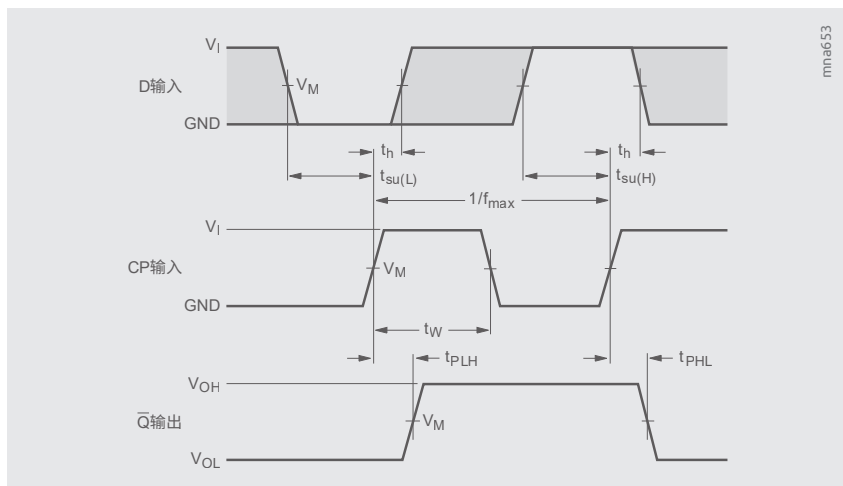


图4.4 | 时钟输入(CP)至输出(Q)的传播延时、时钟脉冲宽度、D至CP的建立时间和保持时间以及最大时钟输入频率

恢复时间是在发生时钟事件之前异步置位或复位输入应处于无效状态的最短时间，以便使时钟能够进行可靠地数据采样。因此，异步置位或复位输入的恢复时间类似于数据输入的建立时间。

删除时间是发生时钟事件之后异步置位或复位输入应处于无效状态的最短时间，以便使时钟能够进行可靠地数据采样。

4.4 偏移定义

偏移规范的测量是在特定条件下进行，这些条件可能（或很可能）会与系统应用中的特定条件不相符。但是，与其他AC规格一样，偏移规范作为估计某些电路特性的“基准”也很有价值。偏移规范在时钟驱动应用和占空比特性很重要的应用中最具价值。三种特定的偏移规格描述如下：

4.4.1 输出偏移 $t_{SK(o)}$

JEDEC定义：“从两个输入中的单个输入切换或两个输入同时切换开始，终止于不同的输出端，这两个并发传播延时时间之间的差值。”

这种偏移通常仅代表单个IC的上升沿。它比较两路或更多路输出数据路径的 t_{PLH} 与 t_{PLH} （或 t_{PHL} 与 t_{PHL} ）。此参数在描述一款器件的输出分配功能时非常有用。当设计人员将该器件用作时钟驱动器来分配时钟信号时， $t_{SK(o)}$ 将对其最具价值。 $t_{SK(o)}$ 可以进一步细分为 $t_{SK(LH)}$ （输出上升沿）和 $t_{SK(HL)}$ （输出下降沿）偏移，如图4.5所示。

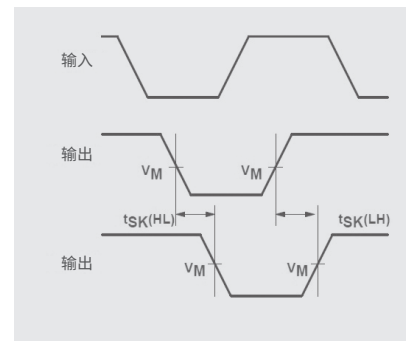


图4.5 | 输出偏移示意图

4.4.2 工艺偏移 $t_{SK}(x)$

JEDEC定义：“在相同的工作条件下，一款IC的任意两个样品规定为相同传播延时时间之间的差异。”

此参数通过量化批次间差异引起的传播延时之间的差异来解决工艺差异的问题。它不包括由电源电压、工作温度、输出负载、输入边沿速率等区别引起的差异。

该参数可以看作是数个类似器件的 $t_{SK}(o)$ 偏移。图4.6显示了两个带有工艺偏移能力的器件的示例。

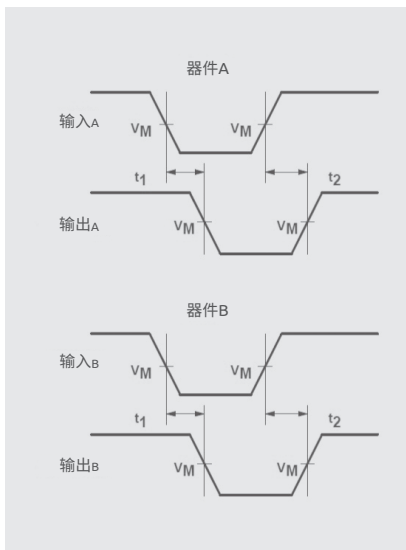


图4.6 | 工艺偏移

4.4.3 脉冲偏移 $t_{SK}(p)$

JEDEC定义：“当单个切换输入引起一个或多个输出进行切换时，传播延时时间 t_{PHL} 和 t_{PLH} 之间的差。”

此参数用于量化占空比特性。一些应用需要接近理想状态的50%占空比。 $t_{SK}(p)$ 规定了器件的占空比保持特性。

4.5 亚稳态及其缓解措施

电子学中的亚稳态是数字电子系统在无限时间内持续处于不稳定的平衡状态或亚稳定状态的特性。在数字逻辑电路中，要求数字信号处于特定的电压或电流限值范围内，以表示逻辑“0”或“1”，从而确保电路正常工作。如果信号处于禁止的中间范围内，则可能会在施加了信号的逻辑门中引起错误的行为。在亚稳态下，电路可能无法在所需时间内建立稳定的“0”或“1”逻辑电平，以使电路正常运行。结果，可能会无法预测该电路的工作方式，并可能会导致系统故障，有时也称为“毛刺”。

亚稳态的成因

在大多数情况下，逻辑器件出现未定义内部状态的原因是没有输入驱动。所有逻辑器件的基本元件是反相器，该反相器具有一个PMOS晶体管和一个NMOS晶体管，它们通过公共漏极和公共栅极相连接。在稳定状态下，其中一个处于导通状态，而另一个则处于禁用状态。在输入信号将公共栅极驱动至 V_{CC} 与 GND 之间的某个中间电压电平的情况下，PMOS和NMOS晶体管均部分导通。该中间状态通常发生在开关转换期间。如果该状态保持静止，则该器件处于亚稳态，并且从晶体管引出的电流保持恒定。除了未定义的逻辑状态之外，增加的电流消耗是另一个必须避免逻辑电路中亚稳态的原因。

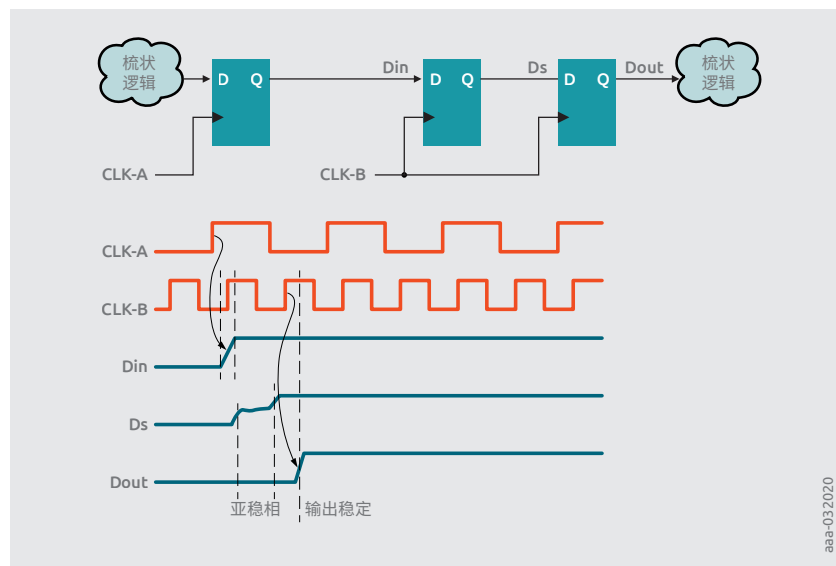


图4.7 | 同步器的数据在2个时钟域之间交叉时的亚稳态

亚稳态的缓解措施

针对由输入信号引起的亚稳态，对电路设计人员来说，重要的是要确保驱动信号处于定义状态，即逻辑高电平或低电平。

如图4.7所示，与内部器件配置有关的原因必须由设计人员采取设计措施来防止。未使用的输入端应始终通过适当的限流电阻连接至 V_{CC} 或接地。

4.6 最大频率信息

逻辑器件的工作频率和相关的数据速率在很大程度上取决于工艺技术。

在与时序相关器件（例如触发器和计数器）的数据手册中规定了最大时钟频率或工作频率。通常，Nexperia网页上“同步接口逻辑”产品分类下的器件都提供频率规格。

对于其他器件，确定工作频率的最佳方法是与同一工艺系列中的时序相关器件进行比较。

第5章

逻辑器件的接口详情

分立逻辑器件的用法与各个接口因素相关。上一章节已经讨论了时序。除时序之外，将分立逻辑器件集成到应用设计中时，还需要考虑许多其他方面的因素。尤其需要解决电压电平转换问题。逻辑器件的各种特性（例如总线保持、 I_{OFF} 和施密特触发器输入）也与接口相关。物理效应会影响分立器件的接口，因此也将在本章节中予以介绍，包括接地反弹和 V_{CC} 反弹。

5.1 接口的应用要求

系统的高性能通常是彻底的系统集成的结果。在系统集成过程中，需要将系统的所有部件组成一个功能单元。使器件适合系统的基本要求则应面向其接口属性，例如时序、电压和其他特性等。在以下子章节中，我们将解释分立逻辑器件最重要的接口属性，以支持其集成。

电平转换

电平转换器用在具有不同电源电压和输入输出电压电平的器件之间的接口电路。一个典型的例子是一个电源电压为1.8 V的微控制器和一个电源电压为3.3 V的外围器件，如传感器。如果传感器的使能信号由微控制器的GPIO（为1.8 V）驱动，则需要将其电平转换为3.3 V。有多种电平转换机制。

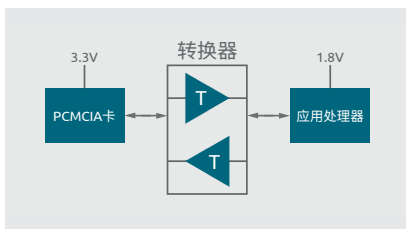


图5.1 | 转换收发器接口

输入和输出电平

逻辑器件具有输入电平要求（ V_{input} 高电平= V_{IH} ， V_{input} 低电平= V_{IL} ），并提供输出电平（ V_{OH} 和 V_{OL} ）。电平取决于电源电压以及工艺技术和设计。表1显示了说明这些数值的数据手册摘录。

表1: 规定的输入和输出逻辑电平

符号	参数	条件	T_{amb} 25°C			单位
			最小值	典型值	最大值	
V_{IH}	高电平 输入电压	$V_{CC}=0.8V$	$0.70 \times V_{CC}$	-	-	V
		$V_{CC}=0.9$ 至 $1.95V$	$0.65 \times V_{CC}$	-	-	V
		$V_{CC}=2.3$ 至 $2.7V$	1.6	-	-	V
		$V_{CC}=3.0$ 至 $3.6V$	2.0	-	-	V
V_{IL}	低电平 输入电压	$V_{CC}=0.8V$	-	-	$0.30 \times V_{CC}$	V
		$V_{CC}=0.9$ 至 $1.95V$	-	-	$0.35 \times V_{CC}$	V
		$V_{CC}=2.3$ 至 $2.7V$	-	-	0.7	V
		$V_{CC}=3.0$ 至 $3.6V$	-	-	0.9	V
V_{OH}	高电平 输入电压	$V_I = V_{IH}$ 或 V_{IL}				
		$I_O = -20 \mu A$; $V_{CC} = 0.8$ 至 $3.6V$	$V_{CC} - 0.1$	-	-	V
		$I_O = -1.1 mA$; $V_{CC} = 1.1V$	$0.75 \times V_{CC}$	-	-	V
		$I_O = 1.7 mA$; $V_{CC} = 1.4V$	1.11	-	-	V
		$I_O = 1.9 mA$; $V_{CC} = 1.65V$	1.32	-	-	V
		$I_O = 2.3 mA$; $V_{CC} = 2.3V$	2.05	-	-	V
		$I_O = 3.1 mA$; $V_{CC} = 2.3V$	1.9	-	-	V
		$I_O = 2.7 mA$; $V_{CC} = 3.0V$	2.72	-	-	V
V_{OL}	低电平 输出电压	$V_I = V_{IH}$ 或 V_{IL}				
		$I_O = -20 \mu A$; $V_{CC} = 0.8$ 至 $3.6V$	-	-	0.1	V
		$I_O = -1.1 mA$; $V_{CC} = 1.1V$	-	-	$0.3 \times V_{CC}$	V
		$I_O = 1.7 mA$; $V_{CC} = 1.4V$	-	-	0.31	V
		$I_O = 1.9 mA$; $V_{CC} = 1.65V$	-	-	0.31	V
		$I_O = 2.3 mA$; $V_{CC} = 2.3V$	-	-	0.31	V
		$I_O = 3.1 mA$; $V_{CC} = 2.3V$	-	-	0.44	V
		$I_O = 2.7 mA$; $V_{CC} = 3.0V$	-	-	0.31	V
	$I_O = 4.0 mA$; $V_{CC} = 3.0V$	-	-	0.44	V	

V_{IH} 为高电平输入电压，如果施加的电压 V_{IH} ，则该电压将视为逻辑高电压。 V_{IL} 为低电平输入电压，如果施加的电压 V_{IL} ，则该电压将视为逻辑低电压。 V_{OH} 为额定输出电流条件下的高电平输出电压。 V_{OL} 为额定输出电流条件下的低电平输出电压。

表2显示了在各种电源电压下，TTL和CMOS产品的输入和输出电平。

表2: CMOS和TTL输入和输出电压电平

电压	TTL				CMOS			
	输入电压		输出电压		输入电压		输出电压	
	V_{IH}	V_{IL}	V_{OH}	V_{OL}	V_{IH}	V_{IL}	V_{OH}	V_{OL}
5.0-15.0V					$0.7 \times V_{CC}$	$0.3 \times V_{CC}$		
5.0V	2.00	0.80	2.40	0.50	3.50	1.50	4.50	0.40
3.3V	2.00	0.80	2.40	0.55	2.31	0.99	2.55	0.45
1.8V					1.27	0.68	1.30	0.35
1.5V					0.98	0.78	1.30	0.35
1.2V					0.78	0.42	1.03	0.36

如表3所示，为保证功能，驱动器的 V_{OH} 必须高于接收器的 V_{IH} 。同样，驱动器的 V_{OL} 必须低于接收器的 V_{IL} 。

表3: 功能所需的输出和输入电压关系

器件1		器件2	运行
V_{OH} (最小值)	>	V_{IH} (最小值)	功能得到保证
V_{OH} (最小值)	<	V_{IH} (最小值)	功能无法得到保证
V_{OL} (最大值)	>	V_{IL} (最大值)	功能无法得到保证
V_{OL} (最大值)	<	V_{IL} (最大值)	功能得到保证

当试图将多个电路连接在一起时，同时存在多个电压节点会产生问题。图5.2描述了3个不同工艺系列器件（在本示例中为LVC、AUP和AXP类型）之间的H-L和L-H转换。可以看出，当在电路中将这些工艺类型的器件连接在一起时，必须进行电平转换。

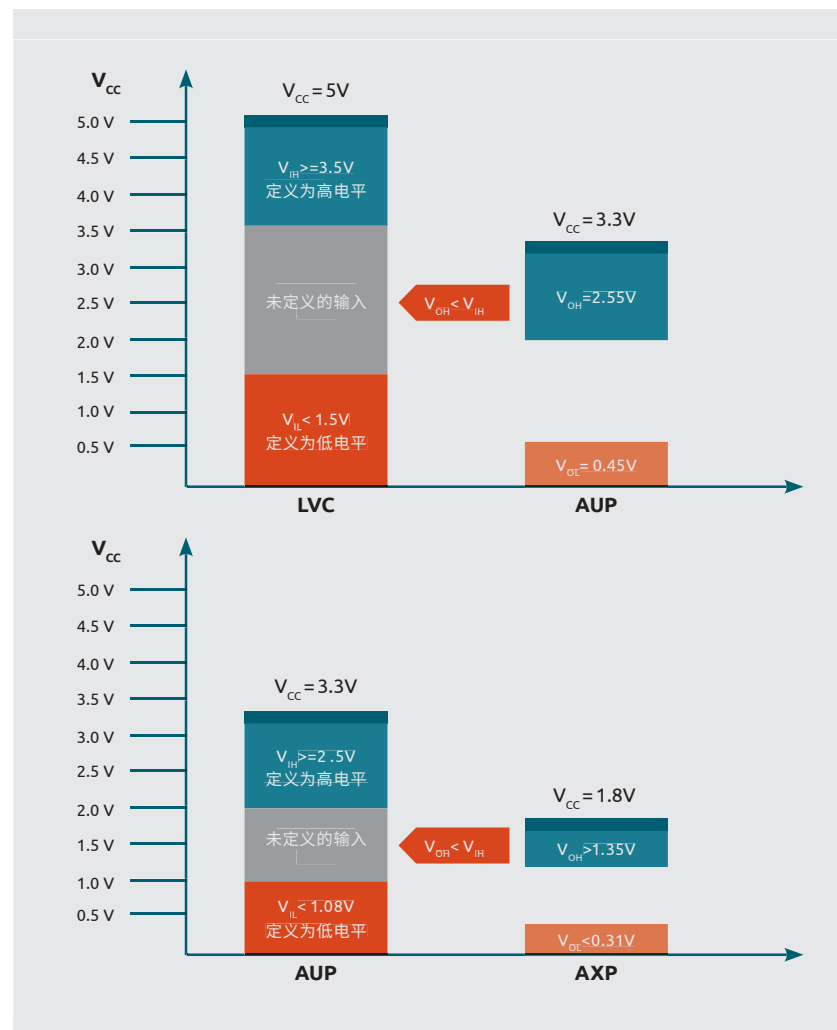


图5.2 | LVC、AUP和AXP的I/O口电平概览

转换类型

单向

单向转换器可以是高电平到低电平转换器，也可以是低电平到高电平转换器，但信号方向是固定的。其优点是，如果两个域之间的电压差在 $<2\text{ V}$ 的范围内，则这些转换器仅需要一个电源域。

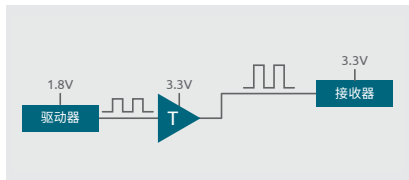


图5.3 | 单向低电平至高电平电压转换

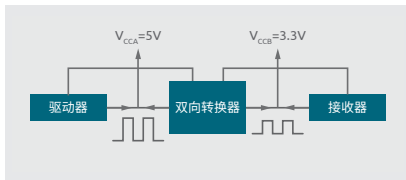


图5.4 | 双向低电平至高电平与高电平至低电平电压转换

双向

双向转换器更灵活，支持两个方向，它需要双电源域。

可以利用方向控制引脚或通过方向自动感应来实现双向转换。方向控制引脚需要由其中一个参与者驱动，并且需要在双电源电压转换器中提供正确的电压电平，在大多数情况下，这将是 V_{CCA} 域。

自动方向转换器无需方向控制引脚，可以使用以下方法之一来实现：

- 内部电路，用来检测驱动器
- 低功耗反馈回路，可保留最后使用的方向，并可对其进行覆盖
- 本征方向控制，如传输晶体管

双电源电压转换器

双电源器件具有在不同电压范围内的两种电源电压。这些转换器可用于单向或双向电压电平转换。双电源器件设计用于不同工作电压下运行器件之间的异步通信，亦称为双电源电压转换器。双电源电压转换器可用于低电平至高电平以及高电平至低电平电压转换。这些器件可用于 V_{CCA} 和 V_{CCB} 条件下，并可连接在不同电压域中运行的数据端口A和B。它们带有用于控制信号方向的DIR引脚，能效比单电源解决方案更高。

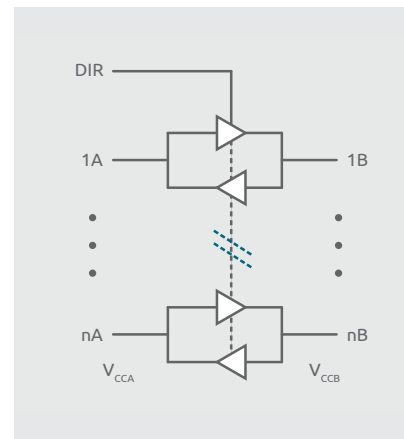


图5.5 | 双电源电压转换收发器

转换机制

钳位二极管输入

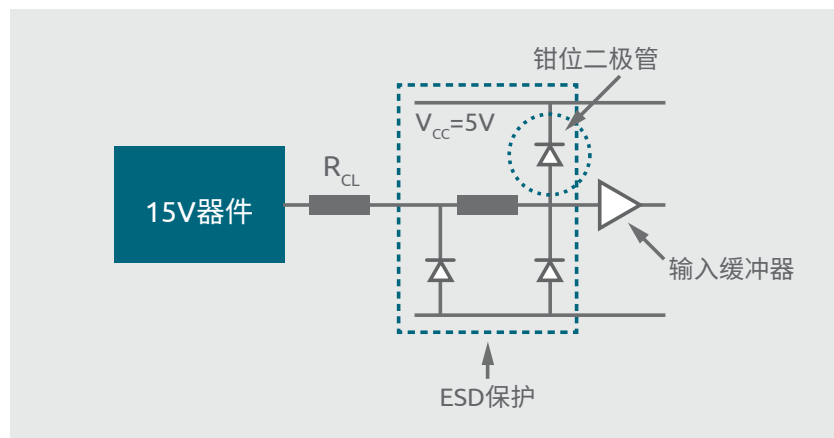


图5.6 | 采用限流电阻的钳位输入二极管

通过在内部钳位二极管中使用输入限流电阻，可实现高电平至低电平电压转换。

许多CMOS输入端的输入ESD保护结构中包含接至 V_{CC} 的二极管。如果使用了限流电阻，这些二极管就可以对高于 V_{CC} 的电压进行钳位操作。这样就可以采用限流电阻进行高电平至低电平电压转换。当电压高于 V_{CC} 时，必须确保电源电压能够补偿较高的输入电压，并且不会增加器件的 V_{CC} 。

限流电阻 R_{CL} 值可使用驱动器和接收器的 V_{CC} 值计算得出。输入钳位二极管还可用作ESD保护器件。

表4：功能所需的输出和输入电压关系

符号	参数	条件	最小值	最大值	单位
I_{IK}	输入钳位电流	$V_I < -0.5V$ 或 $V_I > V_{CC} + 0.5V$	-	± 20	mA
I_{CC}	电源电流		-	50	mA
I_{GND}	电源电流		-50	-	mA

输入ESD二极管接至 V_{CC} 的器件

如果 I_{IK} 的数据手册限值包含条件 $V_I > V_{CC} + 0.5V$ ，且建议的 $V_I = V_{CC}$ （参见表4），则该器件具有接至 V_{CC} 的输入ESD二极管。

如欲将ESD二极管用作钳位二极管，则限流电阻 R_{CL} 的设置值应确保不会超过 I_{IK} 的限值。如果存在多个输入，则确保组合电流不超过 I_{CC} 的限值。

优势：

- 可用于连接任何电压

劣势：

- 需要外部元件

过压容限输入

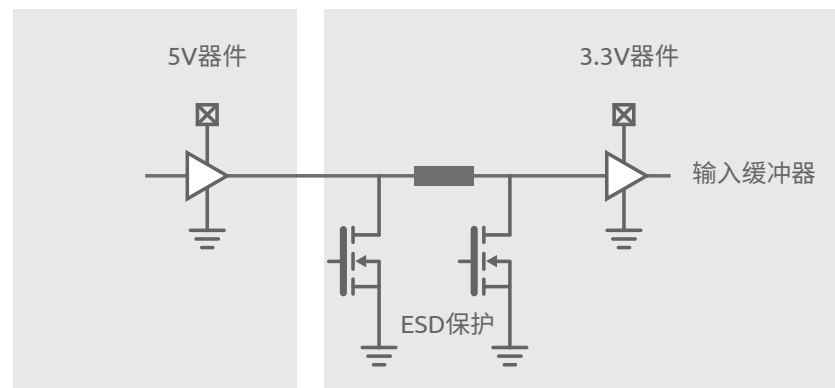


图5.7 | 使用过压容限输入实现高电平至低电平转换

现代CMOS ESD保护电路可在不采用接至 V_{CC} 二极管情况下提供同等的ESD保护功能。这些器件具有过压容限输入，因为建议的 V_I 值不是 V_{CC} ，但与建议的 V_{CC} 最大值相同。指定在1.65至5.5 V电源电压范围内运行的器件可在电源电压为3.3V且输入端施加5.5V电源电压的条件下使用。提供过压容限输入的器件适用于高电平至低电平转换。

如果 I_{IK} 的数据手册限值不包括条件 $V_I > V_{CC} + 0.5V$ ，且建议的最大 V_I 并不是 V_{CC} ，则器件具有过压容限输入。

优势：

- 不需要任何外部元件
- 系统功率比钳位二极管解决方案更低

劣势：

- 在电压高于建议的 V_{CC} 最大值条件下，无法驱动输入

开漏输出

在低电平至高电平电压转换过程中，可将开漏输出上拉至所需电压电平。开漏输出本身只能下拉，因为它的实现方式是一个NMOS晶体管，开漏连接至器件的输出端。在导通模式下，NMOS将输出导通至GND。在提供开漏输出的器件中，将输出上拉至与其驱动的器件的输入要求相匹配的上拉电压电平。上拉电阻用于电平转换的输出端。

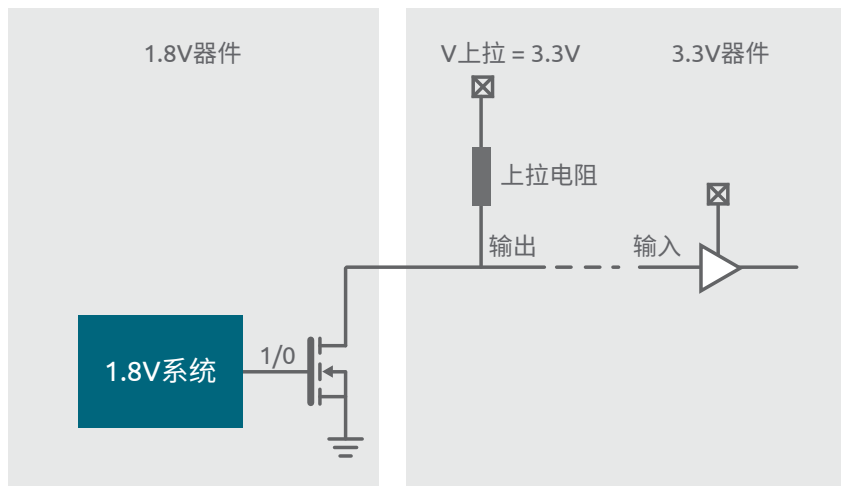


图5.8 | 用于电平转换的开漏输出和上拉电阻

考虑利用开漏输出和上拉电阻进行电平转换时应注意的重要方面：

- 输出上升和下降时间取决于所使用的上拉电阻值
- 上拉电压可能高于或低于器件电源电压
- 在利用掉电功能节省电池电量的设计中，应使用静态特性中包含 I_{OFF} 的器件
- 如何通过数据手册属性对提供开漏输出的器件进行检测：
- 提供开漏输出的逻辑器件将不包含数据手册静态特性中所列的 V_{OH} 参数

优势：

- 高-低电平或低-高电平转换

劣势：

- 需要外部元件
- 附加系统功率

低阈值输入

CMOS器件输入开关阈值设置为低于典型的 $V_{CC}/2$ 时可用于低电平至高电平转换。图5.9显示了低阈值器件的输入结构。N1选型和二极D1上的压降共同决定输入阈值。P2 PMOS可降低通过反相器的交叉开关电流。AHCT和HCT系列在5 V电压条件下运行，且输入端可连接至5 V TTL或3.3V CMOS输出端。AUP1T在3.3V电压条件下运行，且可用于连接1.8 V CMOS输出端。

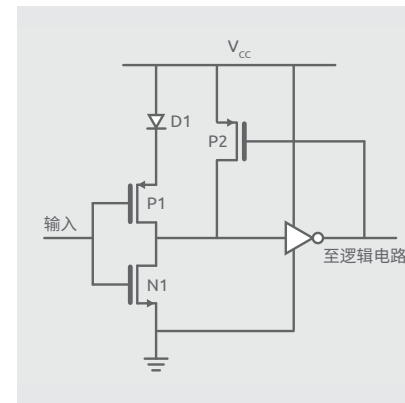


图5.9 | 低阈值输入的CMOS输入结构

提供低阈值输入的器件可以通过数据手册属性检测：其数据手册中列出的静态特性将包含 ΔI_{CC} 。由于输入端电压低于 V_{CC} ，所以这是额外的静态电流。表5显示了数据手册中规定附加 ΔI_{CC} 的部分。

表5：具有低阈值输入的器件参数

符号	参数	条件	最小值	典型值	最大值	典型值
ΔI_{CC}	附加电源电流	$V_I = V_{CC} - 0.6V$; $I_O = 0A$; $V_{CC} = 3.3V$	-	-	50	μA

必须将输入的默认状态应设置为低，以确保实现最低功耗。

优势：

- 不需要任何外部元件
- 与标准功能的尺寸相同

劣势：

- ΔI_{CC} 会增加功耗

转换功能组合的示例

提供开漏输出的过压容限输入

有些情况下，模块化系统可能由处于三个不同电压节点的电路组成。可能需要控制逻辑，以确保所有模块的功能正确。可将提供过压容限输入和开漏输出的器件连接在三个电压域之间。

图5.10显示74AUP2G07采用2.5V电源电压并连接3.3V与1.2V电路间的控制信号。

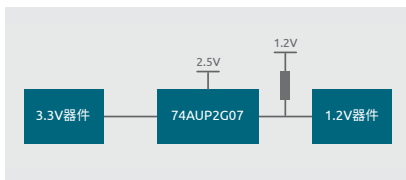


图5.10 | OVT输入及开漏输出

具有开漏输出的钳位二极管输入。可将具有ESD保护二极管和开漏输出的器件连接在三个电压域之间。图5.11显示74HC3G07采用5.0 V电源电压在12 V电路和具有开漏输出的低阈值输入3.3 V电路间作为接口信号控制。

可将提供低阈值输入和开漏输出的器件连接在三个电压域之间。图5.12显示74HCT3G07采用5.0 V电源电压并连接3.3V与1.8 V电路间的控制信号。

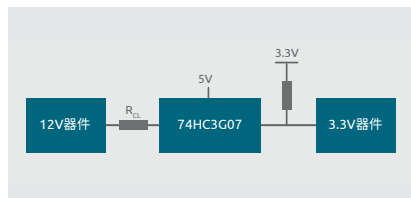


图5.11 | 提供开漏输出的钳位二极管输入

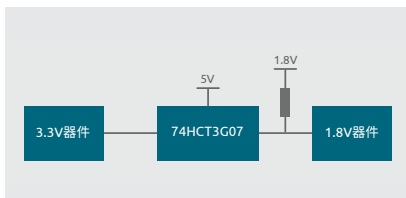


图5.12 | 提供开漏输出的低阈值输入

5.2 施密特触发器输入

施密特触发器是提供迟滞功能的比较器电路。它是一个有源电路，可以将模拟输入信号转换为数字输出信号。当输入高于所选阈值时，输出为高电平。当输入低于另一个（较低的）所选阈值时，输出为低电平，而当输入介于这两个电平之间时，输出将保留其值。这种双阈值作用称为迟滞。

施密特触发器器件通常用于信号调节，以消除数字电路信号中的噪声，尤其是开关中的机械式触点反弹。该器件还用于闭环负反馈配置中，以实现张弛振荡器，该振荡器用于函数发生器和开关电源。

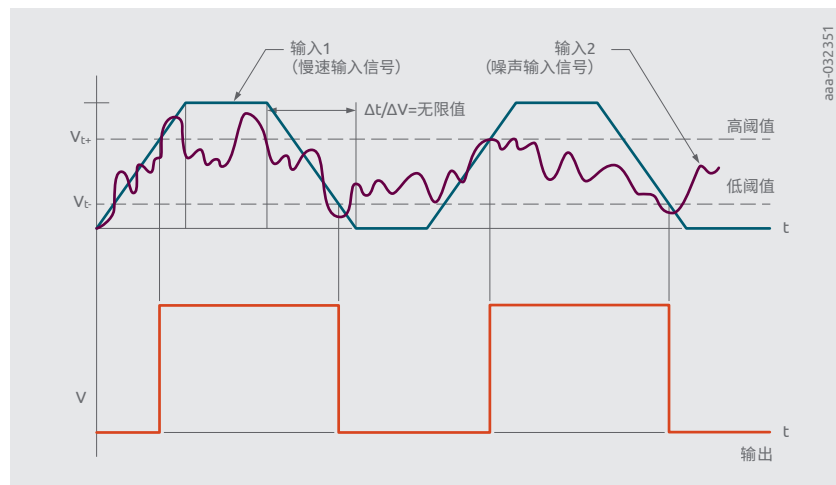


图5.13 | 借助施密特触发器输入实现的噪声补偿效果

配备施密特触发器输入的器件在静态特性表中具有阈值电压电平的规范，如图5.14所示：

一个类似的输入功能是施密特触发器动作，它的迟滞比施密特触发器更小，可提高抗噪性，但是会有一个输入和上升时间限值。

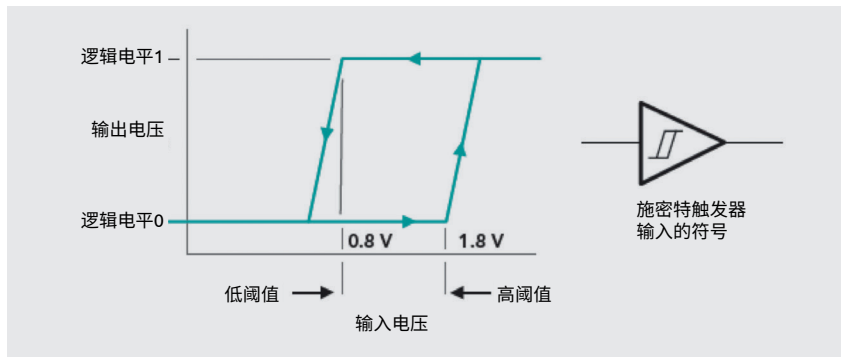


图5.14 | 施密特触发器符号和输入电压特性

表6: 施密特触发器数据手册值 V_{T+} 、 V_{T-} 和 V_H

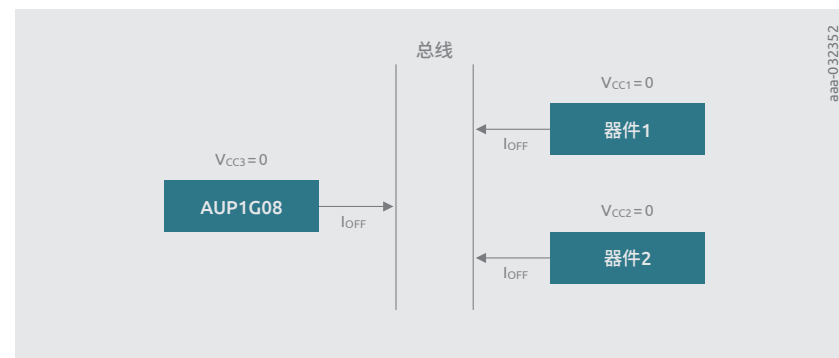
符号	参数	条件	T_{amb} -40°C至 +85°C			T_{amb} -40°C至 +125°C		单位
			最小值	典型值	最大值	最小值	最大值	
V_{T+}	正向阈值电压	$V_{CC}=1.8V$	0,82	1	1,14	0,79	1,14	V
		$V_{CC}=2.3V$	1,03	1,2	1,4	1	1,4	V
		$V_{CC}=3.0V$	1,29	1,5	1,71	1,26	1,71	V
		$V_{CC}=4.5V$	1,84	2,1	2,36	1,81	2,36	V
		$V_{CC}=5.5V$	2,19	2,5	2,79	2,16	2,79	V
V_{T-}	负向阈值电压	$V_{CC}=1.8V$	0,46	0,6	0,75	0,46	0,78	V
		$V_{CC}=2.3V$	0,65	0,8	0,96	0,65	0,99	V
		$V_{CC}=3.0V$	0,88	1	1,24	0,88	1,27	V
		$V_{CC}=4.5V$	1,32	1,5	1,84	1,32	1,87	V
		$V_{CC}=5.5V$	1,58	1,8	2,24	1,58	2,27	V
V_H	迟滞电压	$V_{CC}=1.8V$	0,26	0,4	0,51	0,19	0,51	V
		$V_{CC}=2.3V$	0,28	0,4	0,57	0,22	0,57	V
		$V_{CC}=3.0V$	0,31	0,5	0,64	0,25	0,64	V
		$V_{CC}=4.5V$	0,4	0,6	0,77	0,34	0,77	V
		$V_{CC}=5.5V$	0,47	0,6	0,88	0,41	0,88	V

摘要:

- 在数据手册中提供了施密特触发器输入的 V_{T+} 和 V_{T-} 的规格描述
- 在数据手册中没有施密特触发器动作的 V_t 规格
- 施密特触发器动作将在建议的工作条件下对输入规定了上升时间和下降时间的限制

5.3 I_{OFF}机制和用途

在标准的CMOS输出电路中，即使NMOS和PMOS晶体管未处于导通模式，其体二极管也处于导通状态。当电路切换至部分掉电模式时，如果输出连接至某个电压电平，则PMOS晶体管的体二极管仍将导通至 V_{CC} 节点。这是不希望看到的，可使用I_{OFF}机制来缓解该影响。

图5.15 | 总线系统与具有I_{off}特性的逻辑器件

5.4 接地反弹和VCC反弹

如果没有采取充分的预防措施，为逻辑门接地提供足够低的电阻（或足够大的电容），通常会在集成电路中出现接地反弹。在这种现象中，当晶体管导通时，流经晶体管电路的电流足够大，使得紧邻接地连接的硅芯片被局部拉高，有时达到几伏特，从而提高了本地接地电位，使得在栅极处所见的值大大高于实际接地电位。相对于该本地接地电位，栅极电压可能为负，从而关断晶体管。随着过量的局部电荷消散，晶体管重新导通，可能会导致这一现象重复出现，有时甚至会反弹几次。

Vcc反弹是一种类似的效应，它是由电源轨驱动电流的能力不足或相邻器件的电感效应引起的。

电子系统中的Vcc节点相对于逻辑接地应该处于恒定电位或恒定电压。有功功率子系统从中获取的不同的电流。有功功率子系统具有非零阻抗。这两者结合会导致“纹波”或Vcc轨反弹。在使用CMOS驱动器的任何位于逻辑电平1的信号线上，都会产生此纹波且不会衰减。

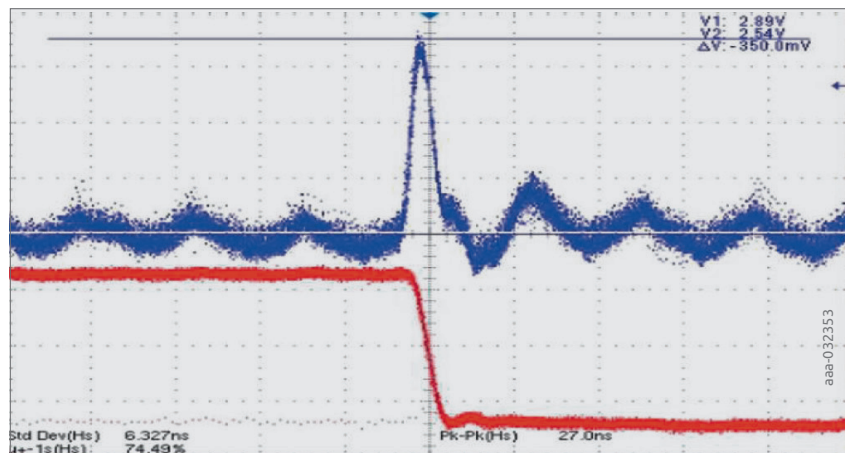


图5.16 | 信号开关引起的接地反弹效应

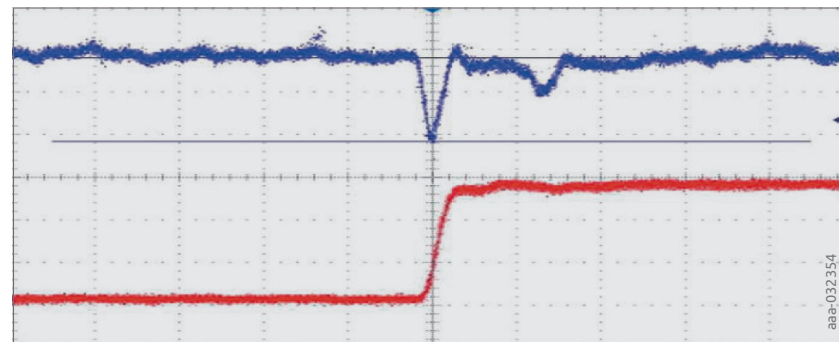


图5.17 | 信号开关引起的Vcc反弹效应

接地反弹和Vcc反弹的缓解措施：

- Vcc与接地之间的去耦电容为IC提供了一个临时的低阻抗稳定电势，并将反弹效应局部化，以防止其扩散到电路的其余部分。通过使电容靠近IC，可以最大程度地减小PCB走线中的感应环路面积并降低干扰
- 串联限流电阻，以防止过多电流流入和流出器件
- 解决布局/路由实施中的接地反弹。信号与返回路径之间任何不必要的分离都会增加该信号线的电感及接地反弹的后续影响
- 减少Vcc反弹的措施同减少接地反弹一样。

5.5 总线保持

CMOS器件的输入端与NMOS和PMOS晶体管的栅极氧化物相连，具有很高的阻抗。CMOS的优势在于静态条件下的极低功耗，这取决于定义的栅极输入电压电平。在下面的图5.18中，我们可以看到CMOS输入原理图和 ΔI_{CC} 电流随 V_{in} 变化的关系曲线。当 V_i 的值为 $\sim V_{DD}/2$ 时， I_{CC} 达到峰值，这应该只在开关过程中发生。如果输入浮动且输入电压的值接近 $V_{DD}/2$ ，则将会有不需要的 ΔI_{CC} 电流流过，从而产生不希望的功耗。

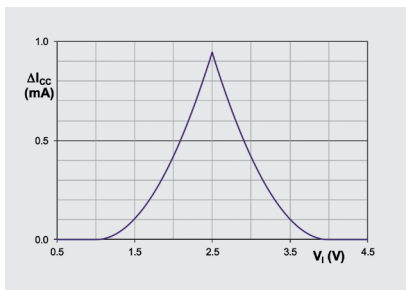


图5.18 | ΔI_{CC} 随 V_i 的变化

它为输入提供了一个弱内部反馈反相器，与输入级一起形成了一个锁存器（见图5.20）。这样，即使没有外部电压供应，也会存储最后的输入电平（低电平或高电平），因此输入电压电平处于定义状态。由于反馈反相器相对较弱，因此输入端所需的外部信号驱动器强度没有增加多少。利用此特性，可以避免浮动输入信号情况以及相关的 ΔI_{CC} 的增大。

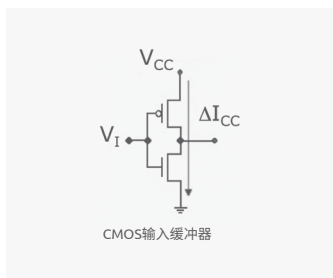


图5.19 | ΔI_{CC} 电流图示

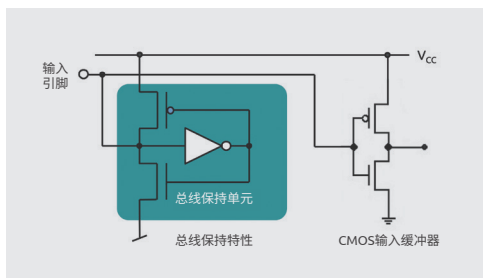


图5.20 | 总线保持电路

缓解这种情况的一种方法是施加外部上拉或下拉电路。然而，如果无法采取这些措施，则可提供防止总线输入浮动的内部功能，即总线保持功能。

- 总线保持是Nexperia的LVT和ALVT总线接口产品的标准功能。Nexperia的LVC、ALVC和AVC总线接口产品均提供此选项。采用“H”标识总线保持功能（例如LVCH）
- Nexperia的总线接口解决方案包括8位、16位、18位和32位缓冲器/反相器/驱动器、触发器、锁存器/寄存驱动器、电平移位器/转换器和收发器

数据手册中的静态特性表（表7）描述了总线保持特性。图5.20显示了一个示例。高、低保持电流分别是器件处于高、低电平状态下的漏电流，该电流流入反馈反相器的公共漏极，如图5.20所示。需要过驱动电流以迫使逻辑状态改变为相应的相反方向。

表7：具有总线保持功能的收发器的静态特性表

符号	参数	条件	T_{amb} -40°C至 +85°C			T_{amb} -40°C至 +125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
I_{BHL}	总线保持 低电平电流	$V_{CC}=1.65V$; $V_i=0.58V$	10	-	-	10	-	μA
		$V_{CC}=2.3V$; $V_i=0.7V$	30	-	-	25	-	μA
		$V_{CC}=3.0V$; $V_i=0.8V$	75	-	-	60	-	μA
I_{BHH}	总线保持 高电平电流	$V_{CC}=1.65V$; $V_i=1.07V$	-10	-	-	-10	-	μA
		$V_{CC}=2.3V$; $V_i=1.7V$	-30	-	-	-25	-	μA
		$V_{CC}=3.0V$; $V_i=2.0V$	-75	-	-	-60	-	μA
I_{BHL0}	总线保持 低电平过 驱动电流	$V_{CC}=1.95V$	200	-	-	200	-	μA
		$V_{CC}=2.7V$	300	-	-	300	-	μA
		$V_{CC}=3.6V$	500	-	-	500	-	μA
I_{BHH0}	总线保持 高电平过 驱动电流	$V_{CC}=1.95V$	-200	-	-	-200	-	μA
		$V_{CC}=2.7V$	-300	-	-	-300	-	μA
		$V_{CC}=3.6V$	-500	-	-	-500	-	μA

* 所有典型值均在 $T_{amb} = 25^\circ C$ 下测量。

5.6 源端接

随着系统速度的提高和逻辑器件更快速，互连特性变得越来越重要。更快速的器件的信号转换时间会增加印刷电路板走线和导线对传输线的影响。如果不加以考虑，信号衰减会导致系统中的数据错误。

集中式和分布式系统

对所谓的分布式系统进行端接的多种方法之一是串行端接

电子系统可以被视为集中式系统或分布式系统。确定一个系统是集中式系统还是分布式系统的因素包括施加信号的上升时间和导线的延时时间。

如果导线上的所有点同时对电势作出反应，则该系统是集中式系统。集中式系统的走线长度较短。

如果导线上的所有点并未同时对电势作出反应，则该系统是分布式系统。分布式系统的走线长度较长。

$$l_{con} = \frac{t_r}{6T_{con}}$$

l_{con} 是导线长度(in)
 t_r 是信号上升时间(ps)
 T_{con} 是导线延时(ps/in)

通常，当走线长度超过信号上升(ps)除以导线延时时间 (ps/in) 6倍时，就会出现集中式系统和分布式系统之间的边界，如图5.21中的公式所示。

图5.21 | 导线长度的计算

与集中式系统不同，分布式负载不能使用单个集总电容来建模。必须使用传输线模型来确定分布式系统的特性阻抗。

如果末端接，则会在分布式系统中发生反射。这是由于输出与其正在驱动的负载之间的阻抗不匹配所致。反射会导致信号上的振铃。末端接的分布式系统可能会导致应用内部的信号完整性问题。

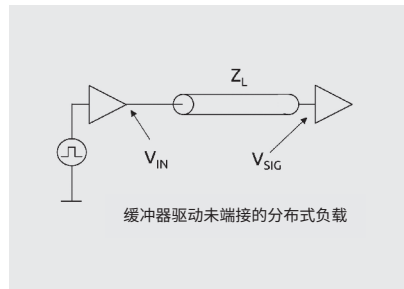


图5.22 | Z_L = 分布负载的特性阻抗

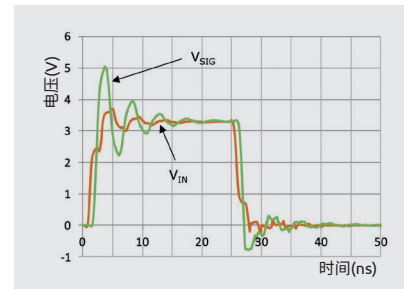


图5.23 | 分布式负载驱动器的信号图

源端接

为了避免信号完整性问题，端接分布式系统的一种常用方法是源端接。在源端接中，将驱动器的输出电阻与分布式系统的特性阻抗相匹配

通过在驱动器输出和分布式负载之间添加一个串联电阻 R_S 来实现匹配。串联电阻的值设置为 $Z_L - R_{OUT}$ 。 Z_L 是分布式系统的特性阻抗， R_{OUT} 是驱动器的输出电阻。更新后的电路图如图5.24所示，改进后的信号行为如图5.25所示。

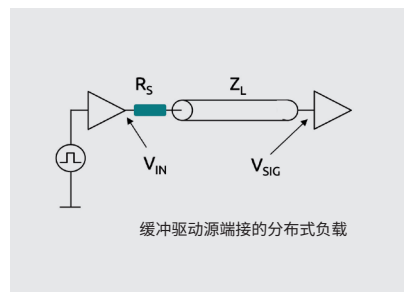


图5.24 | 配备串联电阻的驱动器和负载的更新电路

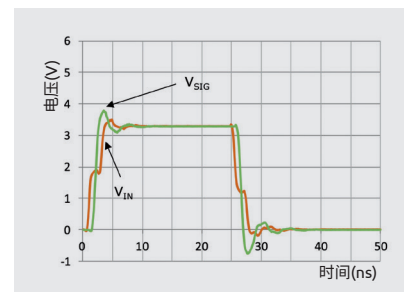


图5.25 | 增加串联电阻后得到改善的信号性能

驱动器的数据手册中未给出Rout的值，但可以从数据手册的数值中得出。在静态特性表中，为某些电平的IO和V_{CC}规定了输出高电平电压V_{OH}。Rout是输出级的欧姆电阻，可以按照 $R_{out} = (V_{CC} - V_{OH}) / I_O$ 进行计算，V_{CC}、V_{OH}和I_O的值可以取自数据手册中的静态特性，如下面的表8所示。

表8: V_{OH}规格

符号	参数	条件	T _{amb} -40 °C至 +85 °C		T _{amb} -40 °C至 +125 °C		单位	
			最小值	典型值*	最大值	最小值		最大值
V _{OH}	高电平输出电压	V _I = V _{IH} 或V _{IL}						
		I _O = -100 μA; V _{CC} = 1.65 V至3.6 V	V _{CC} - 0.2	-	-	V _{CC} - 0.3	-	V
		I _O = -4 mA; V _{CC} = 1.65 V	1.2	-	-	1.05	-	V
		I _O = -8 mA; V _{CC} = 2.3 V	1.8	-	-	1.65	-	V
		I _O = -12 mA; V _{CC} = 2.7 V	2.2	-	-	2.05	-	V
		I _O = -18 mA; V _{CC} = 3.0 V	2.4	-	-	2.25	-	V
		I _O = -24 mA; V _{CC} = 3.0 V	2.2	-	-	2.0	-	V

* 所有典型值均在T_{amb} = 25 °C下测量。

集成源端接

Nexperia提供支持输出阻抗匹配的解决方案。通常，输出阻抗匹配特性是50欧姆，适合一系列常见的PCB走线和电缆阻抗。虽然不能为所有负载提供完美的阻抗匹配，但它们可用于空间受限的应用中，以减小反射幅度。对于阻抗特性为50至75欧姆的分布式系统，这种欠冲和过冲性能是可以接受的。

Nexperia的高级低压BiCMOS LVT和ALVT系列以及高级低压CMOS系列LVC、ALVC和AVC(M)均集成了源端接。许多Nexperia的8位、16位和32位产品提供源端接选项。这些产品包括缓冲器/反相器/驱动器、触发器、锁存器/寄存驱动器和收发器。若一款收发器器件包含源端接功能，则两个端口均包含此功能。

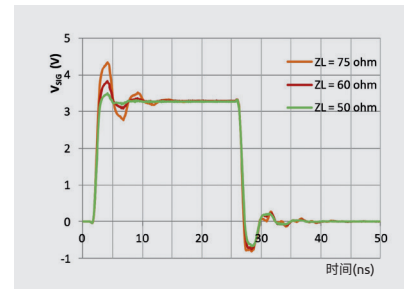


图5.26 | 使用3种不同内部源端接电阻的信号行为

当产品系列中提供源端接选项时，在8位器件的系列名称后加上一个2。在诸如74LVC16244的16位器件中，“16”后面加了一个“2”。16244变为162244，以表示提供源端接特性。

第6章

模拟和逻辑产品细分

在本章节中，描述了分立逻辑和模拟器件的功能和特性。涵盖内容与Nexperia的产品组合基本对应，并采用与Internet门户类似的方式进行分组。针对各种产品系列，提供典型应用示例，以支持对产品系列的理解和实际使用。

6.1 模拟IC

模拟开关

模拟开关可用于传输模拟和数字信号。在输入和输出之间建立欧姆传导，由MOSFET实现并由逻辑门控制。模拟开关的结构本质上是一个P沟道FET与一个N沟道FET的并联，它允许信号沿任一方向传递，如图6.1所示。

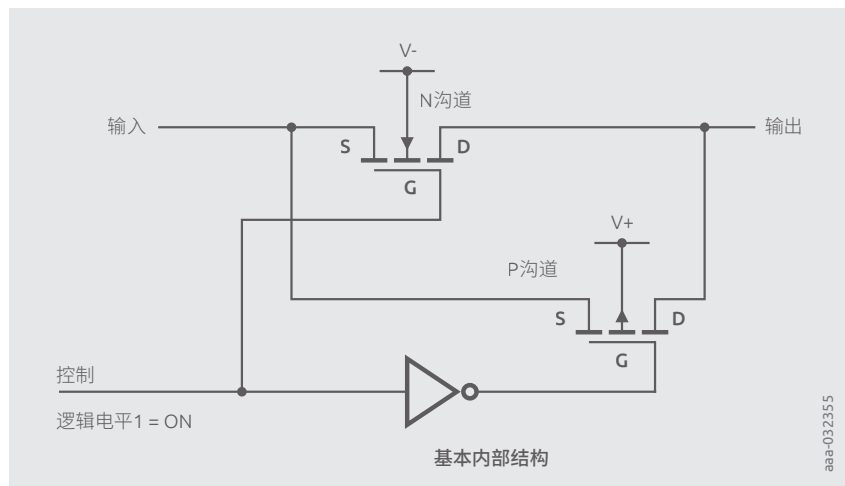


图6.1 | 模拟开关电路

模拟开关有很多种，可分类为：

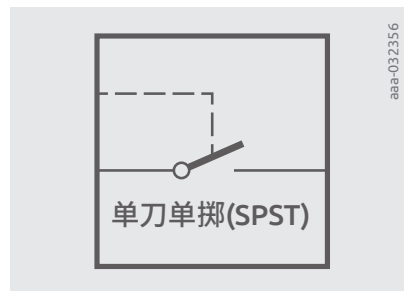


图6.2a | 单刀单掷开关：一个输入端对一个输出端进行切换

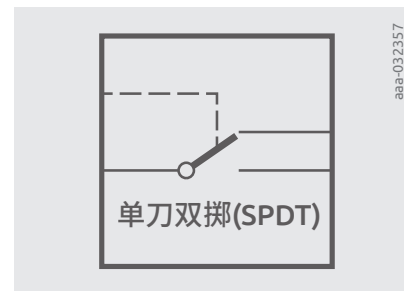


图6.2b | 单刀双掷开关：一个输入端在两个输出端之间切换

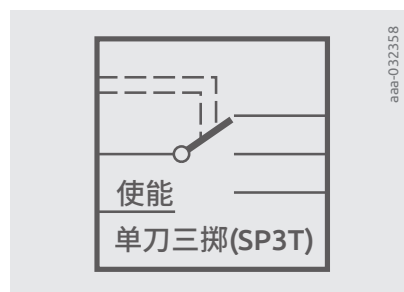


图6.2c | 单刀三掷开关：一个输入端在三个输出端之间切换

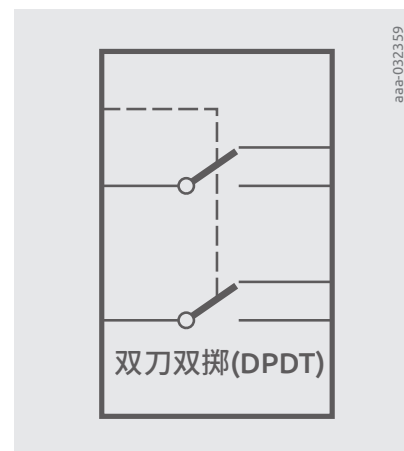


图6.2d | 双刀双掷：两个输入端分别对两个输出端进行切换

还有更多排列组合方式可用，例如单刀4掷、单刀8掷和单刀16掷等。在所有情况下，开关都是双向的，因此输入端和输出端可以互换。

表1: 模拟开关的重要参数

参数	描述	解释
V_I	输入电压范围	确定可通过的无削波模拟信号幅度
V_{IH}/V_{IL}	开关控制信号电平	数字控制引脚逻辑电平
$R_{ON(peak)}$	导通电阻 (峰值)	导通时开关的最大电阻
$R_{ON(Flat)}$	导通电阻 (平坦度)	指定 R_{ON} 随输入电压的变化量
$C_{S(ON)}/C_{S(OFF)}$	导通态/关断态电容	总开关和负载电容将影响响应时间、建立时间和扇出限值
$f_{(-3dB)}$	-3dB频率响应	开关带宽
THD	总谐波失真	开关引起的典型信号失真
Xtalk	串扰	开关之间的隔离品质因数
Q	电荷注入	定义导通/关断时耦合到通道FET的电荷量
MBB	先断后通	确保当信号路径改变时, 两个多路复用器路径永远不会打开。此解决方案的缺点是2个输入可能会暂时短路
BBM	先通后断	确保一次只有一个通道处于有效状态, 不会同时有一个以上的通道处于有效状态, 这可避免在转换期间发生两个输入端连通的情况

总线开关

总线开关与模拟开关类似, 在端子之间建立欧姆连接。在功能方面, 它与普通模拟开关存在各种重叠和相似之处。其主要区别在于总线开关必须能够在断电模式下正确断开连接。在有多个参与者共享同一总线的系统中, 必须控制对总线的访问, 即使在断电模式下也能断开信号线, 这是一项基本功能。与模拟开关相比, 总线开关的传输速度通常更高, 可达500 MHz。

6.2 异步接口逻辑器件

在异步逻辑器件中, 信号不与时钟信号同步。该系列包括:

- 1位拓扑和多位拓扑的缓冲器、反相器和驱动器。
- 收发器
- 施密特触发器
- 电压转换器

低驱动微控制器信号通常无法控制高负载外设。异步接口逻辑器件具有高阻抗输入和高驱动输出, 因此可用于提高信号的完整性。此部分除了缓冲器和反相器之外, 还包括电压转换器。

6.2.1 缓冲器、驱动器和反相器

缓冲器在技术上是由两个反相器组成的系列, 用于刷新微弱的数字信号, 这些信号通常是由连接到相当大的电容性负载或许多并联输入端的低强度驱动输出产生的。缓冲器的输出应当能重建一个适当形状的数字波形并改善信号完整性。提供同相和反相两种功能。图6.3显示缓冲器的刷新效果。

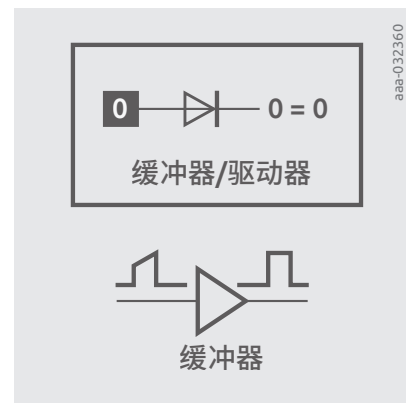


图6.3 | 缓冲器符号

6.2.2 收发器

收发器是一个双向缓冲器，用于从数据总线接收和/或向数据总线发送数据。使用方向控制引脚选择数据流的方向。

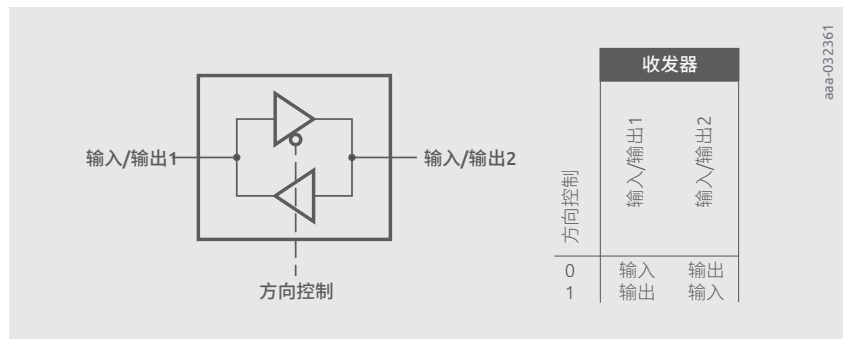


图6.4 | 收发器符号和真值表

简单的收发器由两个缓冲器和方向控制电路组成。其他类型的收发器还包括锁存器或寄存器，可以存储输入值并在需要时将其释放到输出端。

收发器具有多种拓扑，例如与总线连接要求有关的1、2、4、8、16或18位版本。

收发器可提供多种相关功能：

- 开漏输出
- 输入总线保持功能可在输入端未获有效驱动时保持输入值
- 施密特触发器和施密特动作输入提供输入迟滞

有关接口功能的更多信息，请参见“接口”章节。

6.2.3 施密特触发器

施密特触发器器件对在输入端检测到的逻辑状态施加一个迟滞行为，具体取决于状态变化的方向。输入状态和与其相应的逻辑功能输出并不会在特定电压下切换。如果输入电压在状态变化中增加或减小，则状态的改变相比简单输入会发生得较晚。

状态变化的转换电压间的距离定义了迟滞宽度，称为 V_H 。 V_{T+} 是输入状态从低电平变为高电平的电压，而 V_{T-} 是输入状态从高电平变为低电平的输入电压。图6.5显示了一个施密特触发器反相器的示例。施密特触发器的状态变化电压取决于先前的状态，由于迟滞，输入趋向于保持当前状态。

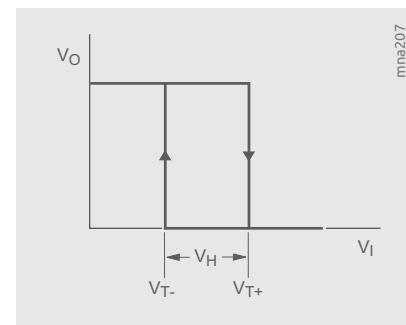


图6.5 | 施密特触发器反相器的输入输出传递曲线

因此，对于带有噪声的输入信号，施密特触发器的输入更加稳定。普通逻辑器件要求输入信号具有一个最小上升和下降速率。施密特触发器器件没有这种限制，因为如果在平滑变化的输入信号上存在噪声，并不会发生意外开关的风险。

对于施密特触发器器件，可以在数据手册的输入特性中查看其参数 V_H 、 V_{T+} 和 V_{T-} 。迟滞宽度小到仅为10 mV的器件称为施密特（触发器）动作器件。在数据手册中并未对这一小迟滞进行量化，但会在特性列表中提及。

在应用中，施密特触发器用于转换缓慢的输入信号以及噪声叠加情况。利用施密特触发器反相器、与非门或非门，可以实现简单的振荡器。图6.6显示了基于与非门电路（例如74HCT132）的示例。左侧的与非门通过一个电阻将输出耦合回一个输入端。该输入端通过一个电容接地。由于具有反相功能，将对电容充电直到输出状态变为低电平为止，然后再将电容放电至输出切换回高电平为止。所示电路可用作矩形脉冲发生器。振荡时间常数取决于 $\tau = R \cdot C$ 。该逻辑门的另一个输入用作使能。如果使能

设为低电平，则振荡停止。在振荡器后施加第二个逻辑门，用作缓冲器。

应用示例：

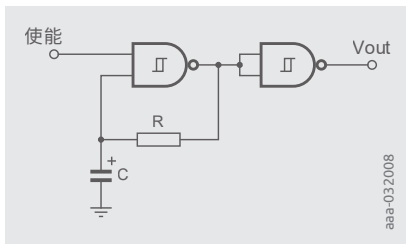


图6.6 | 带有输出缓冲门的施密特触发器与非门振荡器

6.2.4 电压转换器

现代应用中共存多种电压域的现象是由诸多因素导致的。在模块化设计中，新款低压处理器可能需要与成熟的外围器件搭配工作，后者的工作电压更高。通过转换器可以将不同电压域的信号连接在一起。

在这个产品分类中，可以找到具有不同拓扑的电压转换器或电平转换器。转换器可以是单向的，也可以是双向的（提供数据流方向控制附加引脚）。

转换类型

单向

单向转换器可以是高电平到低电平转换器，也可以是低电平到高电平转换器，但信号方向是固定的。对于单向转换，即可以使用单电源电压拓扑，也可以使用双电源电压拓扑。

有些单电源转换器通过在输入端设置过电压容限，可以将电压转换为更低的电压。举例来说，这意味着逻辑器件的电源电压为2.5 V，并提供来自3.3 V驱动器器件的输入信号。

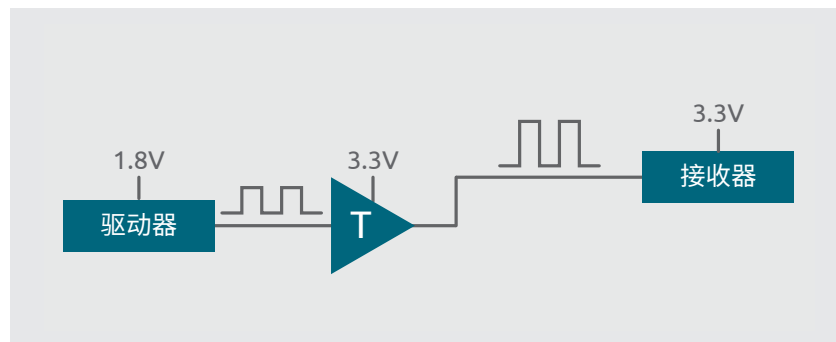


图6.7 | 电压转换器示例

为了实现从低电压到高电压的转换，需要 V_{IH} 额定值相当低的逻辑输入。在这种情况下，尽管电源电压相对较高，但低压（相较而言）驱动器仍可以在逻辑状态之间安全地切换。对于开漏输出器件，如果最大上拉电压的限值相当高，那么从低电平到高电平的转换也很简单。

双电源电压转换器为电平上拉和下拉提供了更大的灵活性。其优点是输入电平始终与 V_{CCA} 完全匹配，而 V_{CCB} 则定义输出电压。

专用电压转换器器件可以通过型号名称中的字母T轻松识别，例如74AUP1T08是一款单向单电源器件。

双向

双向转换器更灵活，支持两个方向。这需要双电源电压，单电源无法实现双向转换。双向双电源器件的一个示例是74AUP1T45。

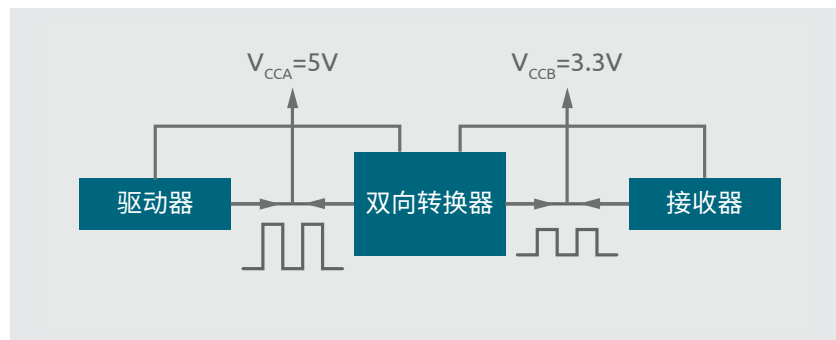


图6.8 | 双向转换收发器

双电源与单电源转换

双电源电压转换器可用于低电平至高电平以及高电平至低电平电压转换。这些器件可用于 V_{CCA} 和 V_{CCB} 条件下，并可连接在不同电压域中运行的数据端口 A 和 B。它们具有输出使能 (OE) 和方向控制 (DIR) 引脚，以使能或禁用输出端和控制信号方向。能效比单电源解决方案更高。门、缓冲器和移位寄存器通常通过内置的转换器功能实现。

优势

- 不存在 ΔI_{CC} 问题，因为它在适当的输入电压电平下总是可以工作
- 降低电池供电型和手持型系统的功耗
- 相同的接口（关于固件和硬件）
- 在各种电压节点间双向灵活转换

劣势

- 不同的尺寸导致布局改变。
- 需要更大的封装，且需要用于第二电源的附加引脚。

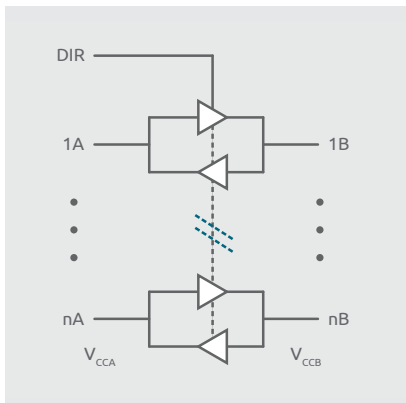


图6.9 | 多位双电源收发器

6.2.5 提供自动感应功能的双向转换

如果需进行双向转换，但系统器件未提供方向信号，则可以使用自动感应转换器来解决该问题。一对 I/O 跨电压域可以根据外部激励充当输入或输出，而无需专用方向控制引脚。在器件内部，一个额外的电流检测电路会检测方向，并相应地配置转换电路。

LSF转换器

LSF010x 转换器系列是带有内部传输晶体管的双向多电压电平转换器。它有一个参考通道，并根据不同型号提供多个可以独立使用的转换通道。通道的独立使用是指支持不同的电压电平以及不同的方向。

使用参考通道和使能引脚

以带有一个转换通道的 LSF0101 为例，LSF 转换器的内部结构如图 6.10 所示。参考通道的源极由 V_{ref_A} 提供，从而在 V_{ref_B} 的源极和 IC 中所有传输晶体管的栅极产生一个 $V_{ref_A} + V_{TH}$ (~ 0.8 V) 的电压电平。因此，所有传输晶体管的栅极电压电平由 V_{ref_A} 决定。

LSF 转换器的使能引脚应与 V_{ref_B} 引脚在外部短路。如果需要动态控制使能引脚，则此引脚不应由推挽级驱动，因为在高电平驱动的情况下，使能引脚电压将被强制为驱动器的电源电压电平。取而代之的是，应使用开漏驱动器驱动使能引脚，且无需上拉电阻，因为它已经由 V_{ref_B} 提供。

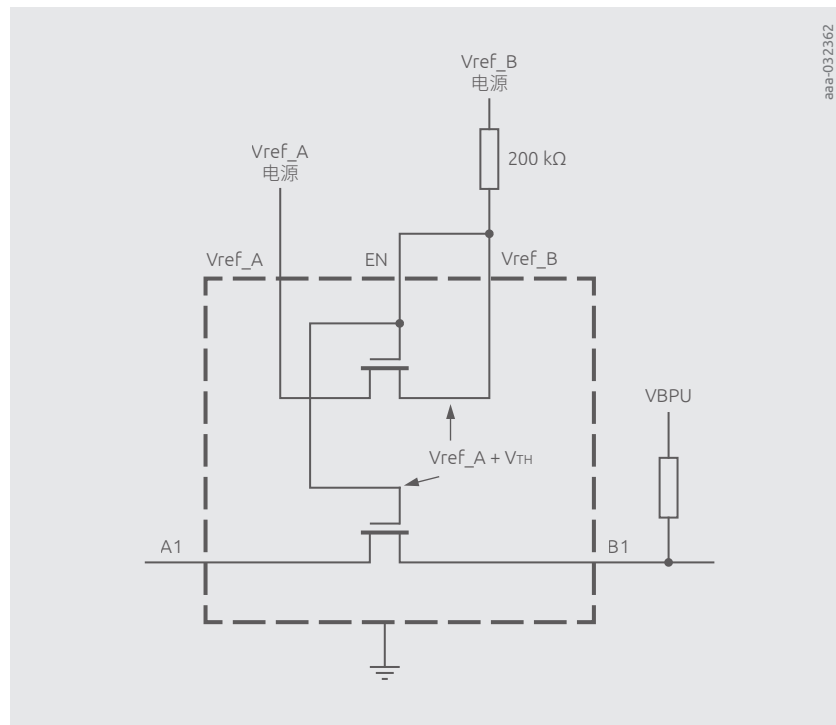


图6.10 | 使用LSF0101转换器的使能和参考电压

转换通道的使用

如果发射器使用推挽级，则可以省略外部上拉电阻。对于开漏传输驱动器，外部上拉电阻是必不可少的，因为开漏输出只能有效驱动低电平状态。

向下转换

建议将B侧连接到高电压。在向下转换方案中，B侧为驱动端，A侧为接收端。

当驱动器驱动低电压时，转换器的输入端被拉至低电平，从而使内部传输FET导通。这将打开与晶体管输出的连接，电流将从输出端通过传输晶体管流入驱动器开路漏极。结果会将A侧的输出下拉至低电平。

当驱动器输出高电平时，输出电压将跟随输入，直至FET关断。然后，通过A侧的上拉电阻将输出电压拉高。

向上转换

在这种用例中，A侧为驱动端，B侧为接收端。当发射器驱动输入低电平时，内部传输晶体管将导通，从而拉低转换器的输出，同向下转换方案相同。当驱动器驱动高电平时，输出电压将跟随输入，直至FET关断。然后，通过B侧的上拉电阻将输出电压拉高。

多电压转换应用实例

LSF转换器还可用于按每个通道转换不同的电压电平，如图6.11中的示例。它显示的场景具有一个微控制器和三个通信搭档器件，每个搭档器件在不同的电压电平下工作。在A侧，将每个通道通过一个电阻上拉至3.3V。这一点很重要，因为如果微控制器处于接收模式，则其输入端为高阻抗，如果在A侧没有上拉电阻，微控制器的I/O输入电压就会变为来自B侧对应发射器的高电平，而不是所需的自身输入电压电平。

将Vref_A电源电压选择为系统中的最低电压，这一点也很重要，在图6.11的示例中，由接收器2将其确定为1.2V（用红色圆圈标出）。

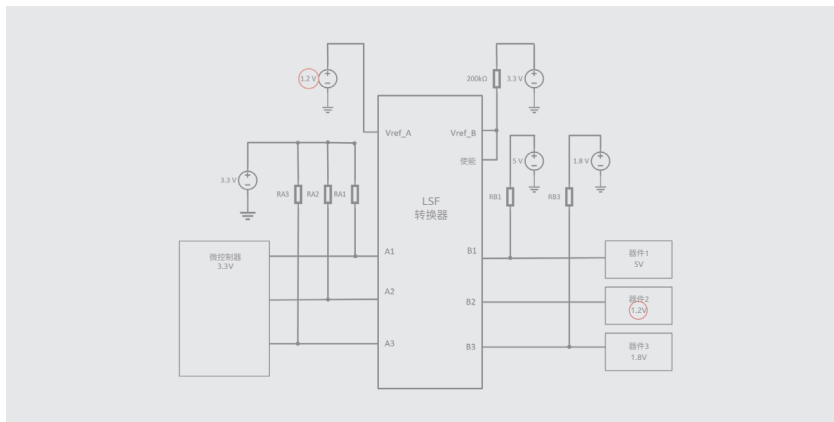


图6.11 | 提供多电压接收器的LSF转换

计算上拉电阻阻值

在A侧，仅当A侧器件的Vref_A < Vcc时才需要上拉电阻。否则，A侧高电平电压将由Vref_A确定。如果每侧只有一个电压域，则在A侧无需上拉电阻。

为了计算外部上拉电阻，我们假设Vref可将传输晶体管的沟道充分打开，以便我们可以使用数据手册中的Ron值。

可以使用以下假设来计算图6.12所示的B侧上拉电阻：

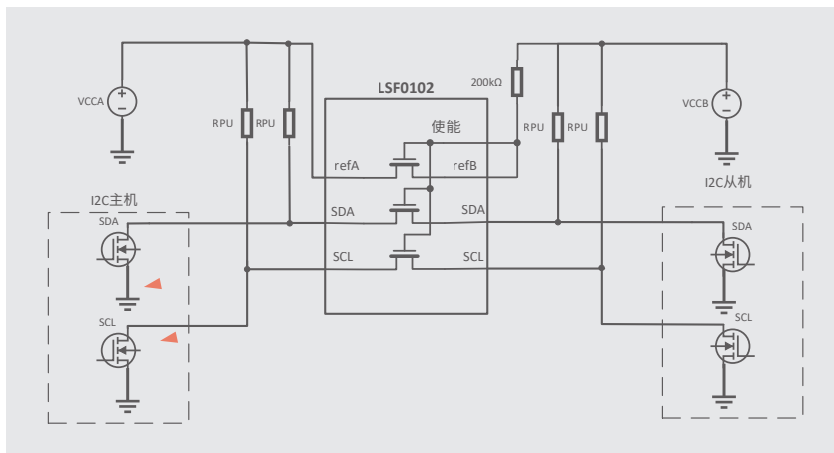


图6.12 | 传输模式下的主机I2C转换示例

A侧下拉电压电平，电流从B流向A，或者B侧拉低，电流直接从VCCB流入B侧的目标器件。

当按照上述假设将B侧拉低时，将存在指定的 $V_{OL(B)}$ 高于 $V_{IL(A)}$ 这一条件，因此，为了使解决方案可以工作，将 $V_{OL(B)}$ 降至等于 $V_{IL(A)}$ ，以使I/O寄存一个低电平。因此，必须计算得到B1处电压为 $V_{IL(A)}$ 。由于没有电流流过开关，因此B1处的电压等于A1处的电压，因此可以满足I/O要求。电流路径如图6.12所示。 $I_{D(B)}$ 等于B侧驱动器吸电流。

当置位B侧生效时，使用公式3计算 R_{pu} 。

$$R_{pu} = \frac{V_{PU} - V_{IL(A)}}{I_{D(s)}} = \frac{3.3\text{ V} - 0.15\text{ V}}{15\text{ mA}} = 210\ \Omega \quad (3)$$

上拉电阻的下限值由 V_{IL} 电平和器件的驱动电流决定。上拉电阻的上限值由频率要求决定，电阻过高会使最大频率降低。

NXS转换器

我们将介绍的第二个自动感应转换器系列是NXS系列。与LSF一样，它支持双向转换和多电压电平转换。NXS具有内部传输晶体管和附加单次电路，可加速输入信号的上升沿。10 k Ω 的内部上拉电阻可将通道的输出电压提升至相应的上拉电压。

为了使通过器件的数据速率更快，这些转换器集成了上升沿速率加速电路，在从低电平至高电平信号转换期间，可通过低阻抗路径绕过集成的10 k Ω 上拉电阻，为上升沿提供更强的驱动力。单次(O.S.)电路具有相关联的T1/T2 PMOS晶体管，该电路用于提高上升沿输入信号的开关速度。当O.S.电路检测到上升沿时，T1/T2 PMOS晶体管瞬间导通，将端口快速驱动至高电平，从而有效降低了该端口上所呈现的输出阻抗并加快了上升沿输入。

N通道传输门晶体管用于打开和关闭A端口和B端口之间的连接。当连接到A端口或B端口的驱动器为低电平时，对应的另一端口又被N2传输门晶体管拉低。将传输门晶体管(T3)的栅极偏置电压设置为比低压侧的 V_{CC} 电平高大约一个阈值电压。在从低电平至高电平转换期间，通过打开PMOS晶体管(T1和T2)、绕过10 k Ω 上拉电阻并提高电流驱动能力，输出单次电路可以加速输出转换。一旦输入转换达到约 $V_{CCI}/2$ 时，便激活单次电路，并在输出达到 $V_{CCO}/2$ 后经过约50 ns时停用单次电路。在加速期间，驱动器的输出电阻约为50至70 Ω 。为避免信号争用，并最大限度地减小动态ICC，用户应等待单次电路关断后，再施加相反方向的信号。当VGS大于 V_T 时，传输门晶体管T3导通。当外部驱动器将T3的一侧保持为低电平时，T3的输入为0 V，由于存在T3导通电阻，T3将导通且其输出保持为接近0 V。当输入电压随上升沿而上升时，T3的输出电压会跟踪输入，直到输入电压达到VGATE减去 V_T 且T3关闭为止。T3停止导通后，由于内部上拉电阻的作用，输入和输出端口继续上升至各自的电源电压。在第二种情况下，两个端口都以高电平开始，这是因为集成的上拉电阻将输入端与各自的电源电压 $V_{CC(A)}$ 和 $V_{CC(B)}$ 连接在一起。当外部驱动器将输入端口拉低时，T3在VGS大于 V_T 时开始导通，并且输出开始跟踪输入。此操作所需的源电流必须由连接到A端口或B端口的外部驱动器提供。

输入驱动器要求

由于NXS电平转换器是开关型电平转换器，因此输入驱动器的属性直接影响输出信号。应用于I/O的外部开漏或推挽驱动器决定了系统的静态电流吸收能力；最大数据速率从高电平至低电平的输出转换时间(t_{THL})和传播延时(t_{PHL})取决于输出阻抗和外部驱动器的边沿速率。数据手册中提供的这些参数的限值是假设使用输出阻抗低于50 Ω 的驱动器。

输出负载考量

可驱动的最大集总电容负载取决于单次脉冲持续时间。在电容负载非常大的情况下，输出有可能在单次脉冲持续时间内无法达到正电压轨。使用NXS电平转换器，可以驱动高达150 pF的电容负载，而不会出现任何问题。

NXB转换器

Nexperia的第三个双向自动检测转换器系列是NXB转换器。

图6.13显示NXB电平转换器的一个I/O通道的架构。该转换器将弱缓冲器与单次电路结合在一起，以提高上升沿和下降沿的开关速度。当将A端口连接至系统驱动器并驱动至高电平时，4 kΩ弱缓冲器将B端口与上方的单次电路一起驱动为高电平，当它检测到上升沿时便进入工作状态。缓冲器和T1 PMOS两者将B端口驱动为高电平，从而降低了单次电路处于激活状态时B端口上的输出阻抗。在下降沿时，下方的单次电路被触发，当单次电路运行且输出驱动至低电平时，缓冲器与T2 NMOS一起降低了在B端口上呈现的输出阻抗。图6.14显示了从低电平至高电平和从高电平至低电平的转换期间NXB I/O通道中的有源电路。

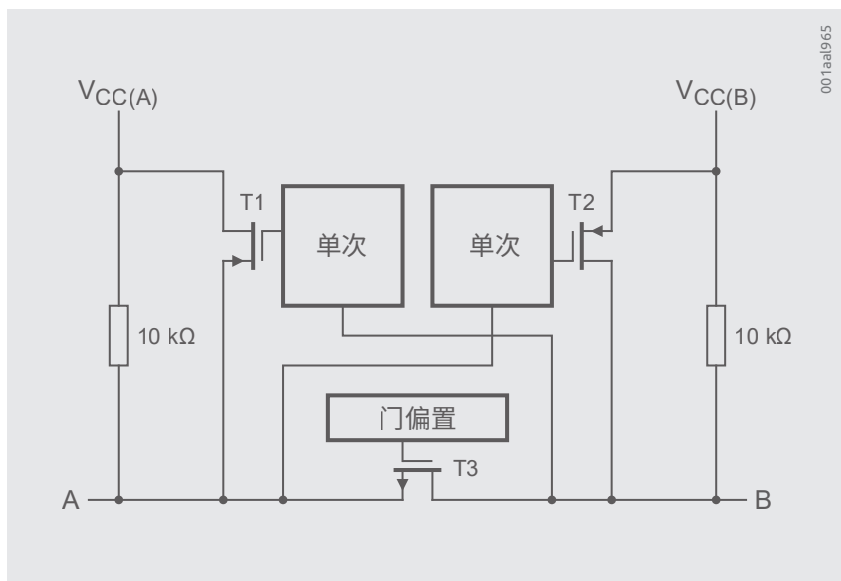


图6.13 | 基本NXS架构

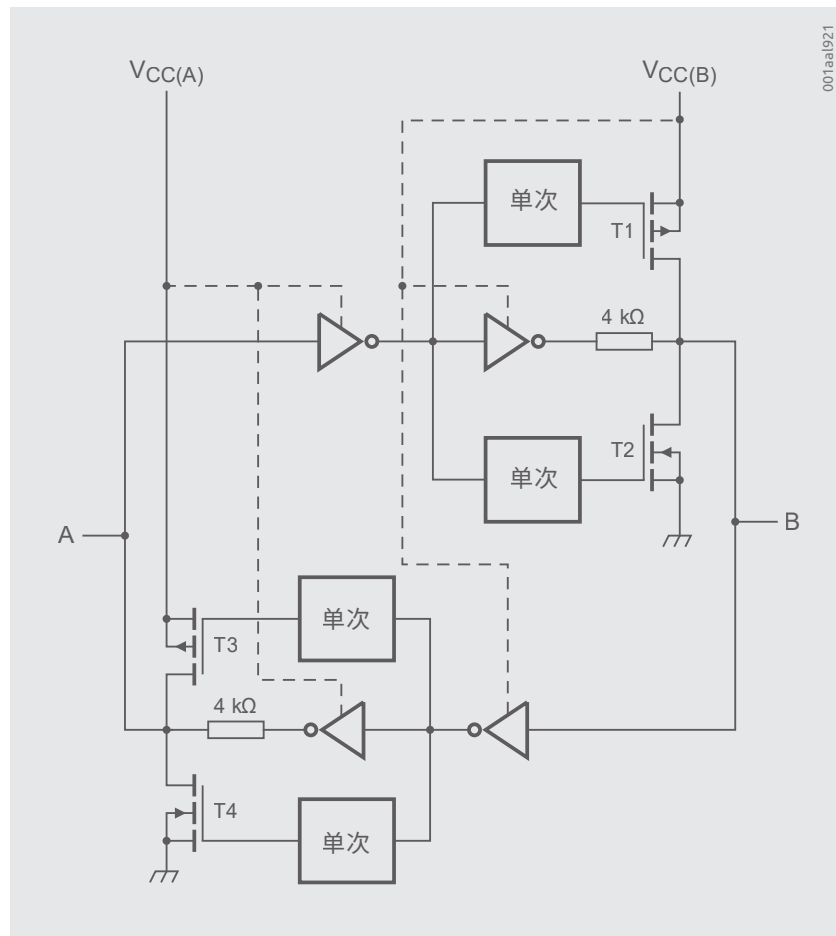


图6.14 | NXB IO单元架构

6.3 同步逻辑器件

6.3.1 触发器

触发器是在输出端具有两个稳定状态的电路。

RS触发器可通过基本逻辑门来实现。图6.15显示了通过两个或非门的实现。表2显示了输出对控制输入端S（置位）和R（复位）设置的反应方式。输入引脚实现正控制，因此可以使用相应输入引脚上的高电平置位和复位触发器。当两个输入均为低电平时，将存储之前的设置状态。

如果两个控制引脚同时置于高电平状态，则两个输出都将提供低电平状态，这不是一个理想状态，因为Q和QN不再反相。从该输入控制状态改变为存储状态后，输出将获取随机逻辑状态。因此，不建议同时将两个输入都设置为高电平。

表2：使用二个或非门创建的触发器的控制表

输入S	输入R	输出Y	输出QN
1	0	1	0
0	1	0	1
0	0	存储	存储
1	1	0	0

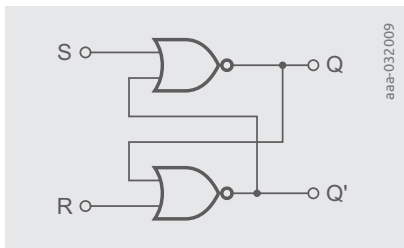


图6.15 | 使用或非门创建的RS触发器

如果以与上述或非门方法相同的结构连接2个与非门，则可实现如图6.16所示的电路。我们再次获得了一个RS触发器，不同的是它具有负控制逻辑。这意味着置位或复位输入端的低电平将设置触发器的状态。当两个输入均为高电平时，将建立存储条件。禁止将两个输入引脚都设置为低电平，这会在改变至存储状态后导致随机状态。

表3：使用2个与非门创建的触发器的控制表

输入S	输入R	输出Q	输出 \bar{Q}
0	1	1	0
1	0	0	1
1	1	存储	存储
0	0	1	1

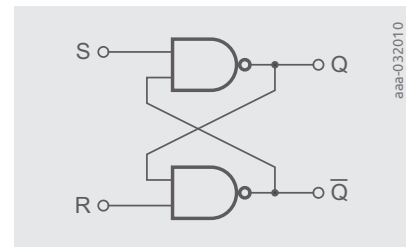


图6.16 | 使用与非门创建的RS触发器

6.3.2 提供电平控制使能的锁存器或D触发器

RS触发器一个简单扩展是创建一个D触发器或锁存器，其原理图如图6.17所示。数据输入是与门的一个输入信号，该门的另一个输入端连接至使能信号。将反相数据信号连接到第二个与门，该门的另一个输入端也连接至使能端。在两个与门后面放置一个RS触发器。

如果使能处于高电平状态，则触发器将根据D输入端的状态置位或复位。当使能信号为高电平时，在输出端Q上获得输入的D信号，锁存器是透明的。如果使能为低电平，则存储最后一个状态。

表4：锁存器或电平控制D触发器的功能表

输入D	输入E	输出Q
0	1	0
1	1	1
X	0	存储最后状态

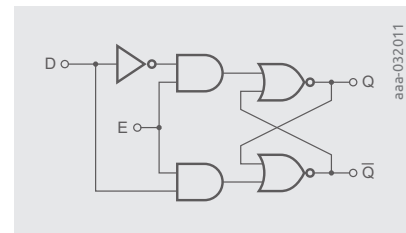


图6.17 | 电平控制锁存器或D触发器的原理图

与图6.17的原理图不同，透明锁存器可设计为图6.18所示。对于处于高电平状态的锁存器使能(LE)，输入信号D向输出端馈送至反相器，左侧开关处于导通状态。反馈回路中的开关处于关断状态。如果关断LE，数据输入端的开关处于关断状态，则输入数据将通过此开关断开连接。第二个开关将反相QN信号反馈至输出反相器的输入端，因此可使当前状态保持稳定并对其进行存储。

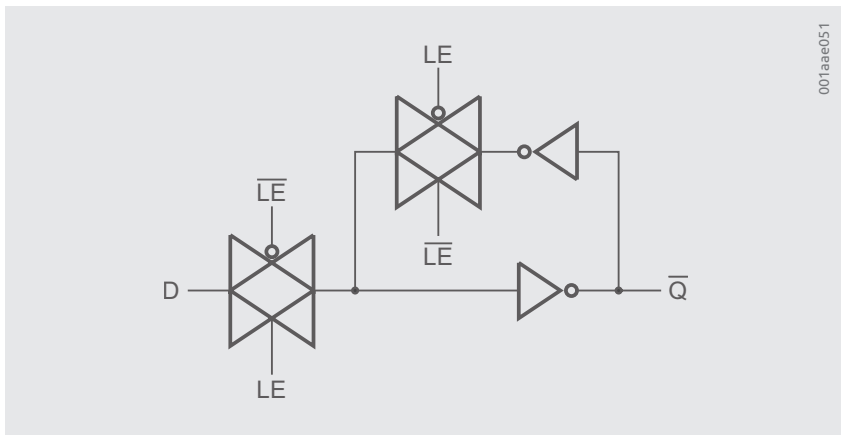


图6.18 | 透明锁存器

我们还会发现，所述的电平控制D触发器可以与更大的多位透明锁存器组合起来，用于更宽的数据总线。图6.19显示一个8位示例，具有锁存器使能控制引脚LE和一个附加输出使能OE控制选项，提供了两种版本的符号。

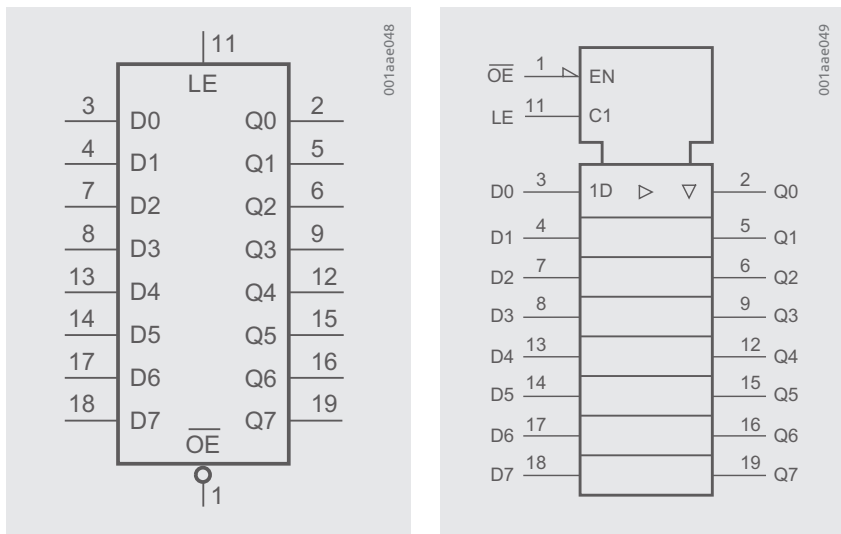


图6.19 | 8位透明锁存器的符号

6.3.3 边沿触发型触发器和寄存器

同步数字网络需要实现更复杂和高速的逻辑设计。为了应对传播延时随温度、工艺扩展和电源电压的变化，有必要采用边沿驱动的设计方法。按照定义的方式将数据采样到存储元件中（例如随主时钟的上升沿），可重新同步设计中的不同延时，使电路能够可靠地工作。总的处理延时取决于边沿控制存储元件的串联使用数量，为时钟周期时间的倍数。

6.3.4 边沿控制D触发器

同步设计的基本元件是边沿控制D触发器。图6.20显示了该触发器的逻辑图。两个锁存器串联运行。现在由时钟信号CP（C和反相并缓冲后的CN）驱动锁存器使能信号，信号工作方式同前一部分所述。与输入的锁存器相比，第二个锁存器的控制为反相的。当时钟处于低电平状态时，位于数据输入侧的锁存器是透明的。第二个锁存器处于存储模式，并输出前一个时钟周期的逻辑状态。一旦时钟信号变为高电平状态，第一个锁存器将存储来自输入端的最新状态，第二个锁存器将变为透明的，并以相对于时钟上升沿较短的延时输出该逻辑状态。

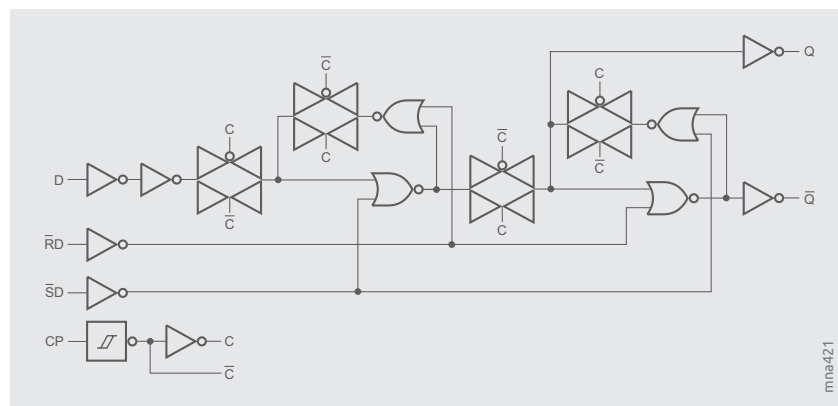


图6.20 | 时钟上升沿触发的D触发器逻辑图

图6.20中的原理图包括一个非同步的（所以是直接的）有效低电平状态驱动的置位和复位功能，因此可使电路中的锁存器立即置于所需状态。

图6.21显示所述D触发器的IEC符号，提供所有的控制引脚，包括用于上升沿运行的时钟输入、正相逻辑输出和反相输出、需采样信号的D输入以及低电平有效置位和复位引脚，以实现触发器的非同步初始化。

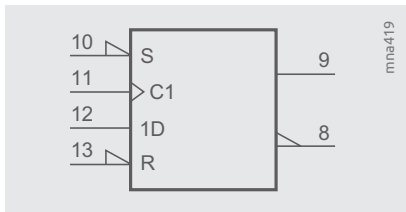


图6.21 | 边沿触发型D触发器的IEC符号

6.3.5 JK触发器

另一种形式的边沿控制触发器称作JK触发器。表5显示了取决于J输入和K输入设置的触发器动作。如果将输入J置位为1同时将K清零，则将在时钟的下一个有效沿置位触发器。在这种情况下，假设触发器在时钟的上升沿工作。如果将J清零并置位K，则触发器将准备好在下一个有效时钟沿复位。如果将两个输入都清零，则触发器将存储位于前一个时钟沿后的逻辑状态。

表5: 提供时钟上升沿动作的JK触发器的功能表

操作	时钟	J	K	Q	\bar{Q}
置位	▲	1	0	1	0
复位	▲	0	1	0	1
保持/存储	▲	0	0	q	\bar{q}
切换	▲	1	1	\bar{q}	q

产品提供触发器型号的各种变体，可以是有效下降沿时钟运行，或是反相的J输入和K输入。图6.22显示了一个示例，具有正极性J输入和负极性K输入。该器件还通过负极激活输入支持异步置位和复位功能。

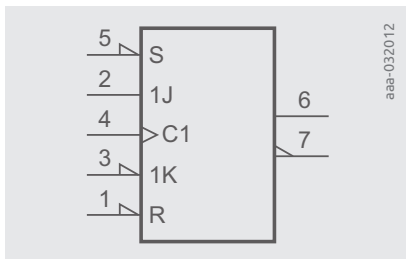


图6.22 | JK触发器的符号示例

6.3.6 并行寄存器

如果将许多触发器并联，则可创建一个寄存器。它不仅存储一个位，而且可以存储多个位，因此可以存储一个多位字。我们可以在寄存器中看到相同的基本触发器类型，同以上各部分所述。大多数寄存器对边沿触发型输入数据进行采样。图6.23显示一个8位D触发器寄存器的示例，该寄存器由时钟信号的上升沿触发。如果输入 \overline{OE} 为低电平，则使能输出。

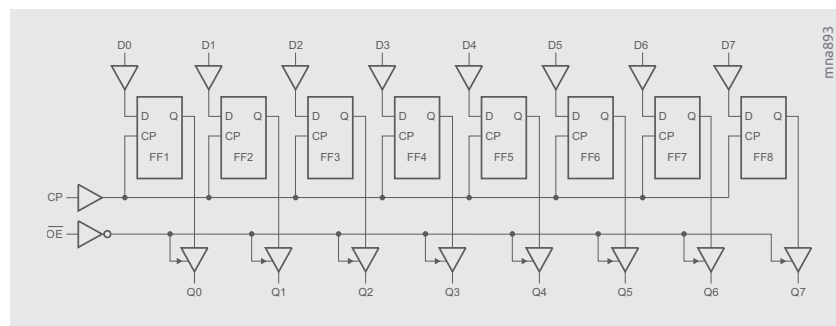


图6.23 | 上升沿时钟触发的8位寄存器的逻辑图

图6.24描述了基于透明锁存器的等效寄存器器件。当LE为高电平且输出使能时，输入数据出现在输出端上。一旦LE设置为低电平后，将存储最新的8位状态。

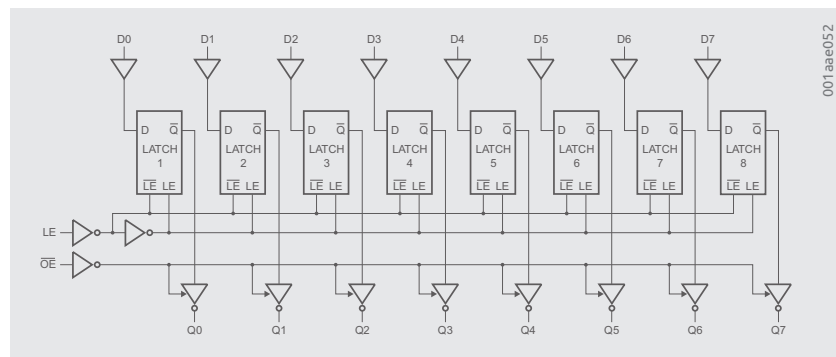


图6.24 | LE控制的8位透明锁存器寄存器的逻辑图

6.3.7 FIFO寄存器

FIFO代表先进先出。FIFO寄存器将先存储的数据先传送至输出端。简单移位寄存器使用单一时钟，可用作一个简单的FIFO。它们通过若干个时钟产生一个恒定的延时，这就是移位寄存器的长度，以位为单位。

更复杂一种灵活存储具有独立的输入和输出时钟。存储到FIFO中的数据通过下一个输出时钟出现在输出端。可以存储最大数量的数据字。如果读写时钟不相同，则可以利用此类FIFO作为缓冲器。需要正确控制输入和输出指针，并且需要指示FIFO是空还是满。以CD播放器为例，其输出数据必须采用精确的晶振时钟运行，但从光盘上读取的数据与从旋转光盘上读取数据的光学激光装置会有一定的速度差异。必须控制旋转速度，以便缓冲FIFO可以补偿转速带来的偏差，从而可以始终向输出提供数据。平均来说，缓冲区应填充一半，以提供最大的安全缓冲区。

6.3.8 计数器

纹波计数器

如果将边沿触发型触发器的反相输出反馈到D输入端，则输出将以时钟频率的一半进行切换，从而可创建一个因数为2的时钟分频器。图6.25显示一个开关触发器的简单方式。输出状态随着时钟的每个上升沿而改变状态。

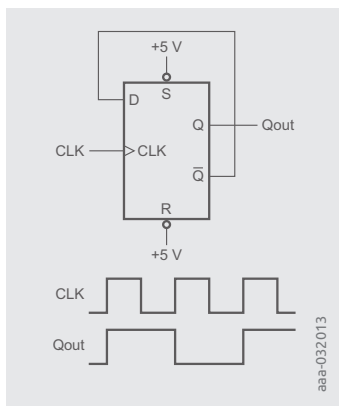


图6.25 | 开关触发器

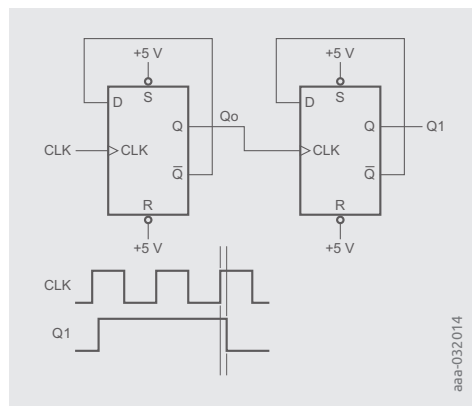


图6.26 | 两级纹波计数器

如果将图6.25所示的每一级串联，则可以实现更高因数的时钟分频。如果有N级，则将在串联结构的最后一级创建一个 $1/2^N$ 的分频。图6.26显示的简单示例是一个两级纹波计数器，它将时钟以因数4进行分频。第二个触发器以第一级的输出信号作为时钟信号。因此，对从数据输入端到每个触发器的输出端的传播延时求和，可得到输出 Q_N 的延时，计算公式为： $tpd_N = (N + 1) * tpd$

此行为是“纹波计数器”的名称由来，因为状态变化会在整个计数器中如同纹波一样推进，从串联结构的第一个触发器直至最后一个触发器。如果使用连接至输出端的门选择了某个特定状态，则可能会导致在最终计数器条件建立期间出现尖峰。

同步计数器

对于同步计数器，所有触发器都在同一时刻发生状态改变。每个触发器都接收到相同的时钟信号。图6.27显示一个4级同步计数器的示例。该计数器支持同步并行加载和复位操作。该计数器提供一个特殊的进位输出，可支持构建更大型的计数器。

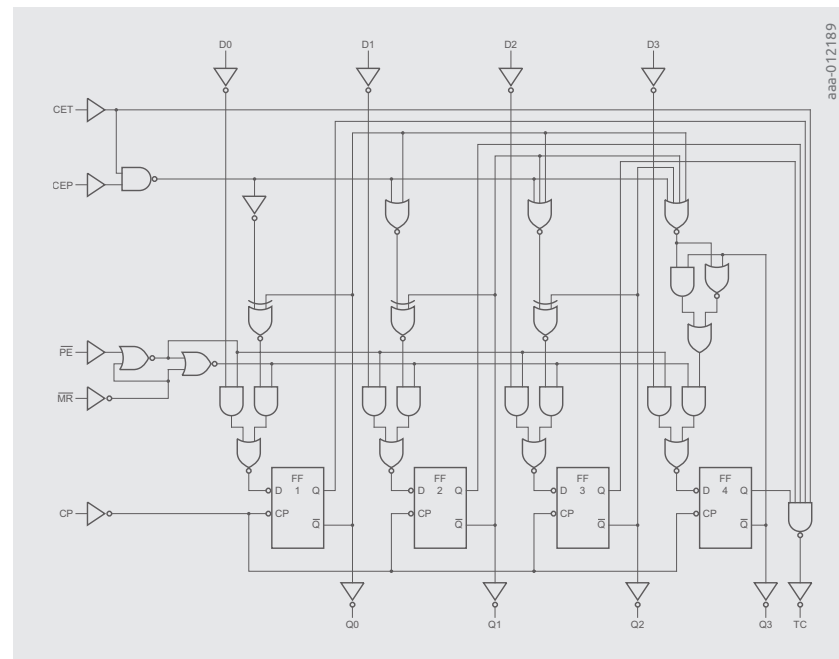


图6.27 | 提供并行加载和复位功能的4位同步计数器的逻辑图

表6显示计数器的控制方法。表中的小写变量表示，至少在出现时钟的下一个上升沿前的建立时间内，输入端必须处于所列的逻辑状态。如果将复位引脚MR设置为低电平，则计数器将在下一个有效时钟沿清零。这意味着所有输出端均获得一个低电平状态，如表中的大写字母L所示。复位功能具有最高优先级，将覆盖所有其他功能。如果将输入端PE设置为低电平，则在下一个时钟上升沿时，触发器将接收施加到Dn输入端的数据。如果计数器要执行计数，CP和CET两个输入端都应设置为高电平，同时不会进行并行加载或复位动作的初始化。对于级联计数器，只需将Tc输出端连接至下一个计数器的CET输入端。如果计数器1到达状态15，Tc跳变至高电平状态，第二个计数器将在下一个时钟周期将其计数器状态递增1。

可使用预设选项和复位操作修改计数器序列。这意味着计数器可以借助并行加载从比零大的值开始，或反之也可以在达到最大值15之前将其复位。

表6：图6.27所示的同步计数器的功能表

工作模式	输入						输出	
	MR	CP	CEP	CET	PE	Dn	Qn	TC
复位	l	▲	X	X	X	X	L	L
并行加载	h	▲	X	X	l	l	L	L
	h	▲	X	X	l	h	H	L
计数	h	▲	h	h	h	X	计数	
保持(不执行任何操作)	h	X	l	l	X	X	qn	L
	h	X	X	X	l	X	qn	L

计数器用于多种应用中。它们可用于获取来自精准时钟源的精确计时窗口、创建数字延时或生成多个控制信号，如图6.28所示。该信号可以在两个复位信号之间的范围内具有任何波形。例如，计数器可以用作数字电视的水平定时控制器，以创建存储器控制信号。输出寄存器对来自计数器后面的解码块输出进行采样，并确保所有信号在时钟和输出之间具有相同的延时。

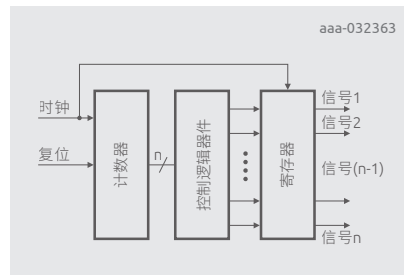


图6.28 | 同步计数器搭配解码控制网络和输出寄存器的应用示例

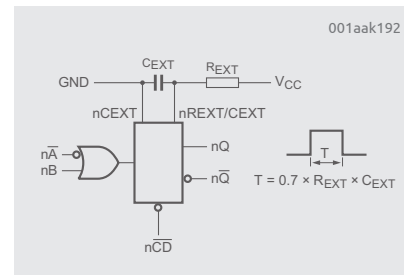


图6.29 | 单稳态多谐振荡器

6.3.9 单稳态多谐振荡器

单稳态多谐振荡器产生一个输出脉冲，该脉冲由数字信号的边沿触发。脉冲长度由时间常数定义，该常数通过选择适当的电阻和电容组合来实现。许多单稳态多谐振荡器具有所谓的重触发功能。输出脉冲会延长一个额外的时间窗口，保持输出为高电平，可通过RC组合进行调节，在每次触发事件来临时重新启动。此功能可用于检测是否在给定时间内出现输入脉冲。在传统的汽车中，如果没有点火脉冲，则必须关闭电动燃油泵电源。利用所述逻辑器件，可以轻松实现这一功能。

图6.29显示单稳态多谐振荡器的框图，该振荡器可以在数字信号的上升沿或下降沿触发（如表7所示）。当nA设置为高电平时，输入端nB的上升沿将触发器件，并将输出切换至高电平，根据下面的公式选定其持续时间。

表7：图6.29所示单稳态多谐振荡器的功能表

输入			输出	
nA	nB	nCD	nQ	nQ
▼	L	H		
H	▲	H		
X	X	L	L	H

大电容往往会在使用寿命期间内发生容量变化，并在高温条件下常会出现漏电流。这限制了产生的脉冲长度的准确性，如果要将其应用于非常长的脉冲，则需考虑这一因素。

6.4 同步接口逻辑器件的使用场合

同步逻辑器件设计采用的是一个公共时钟信号，将该时钟信号提供给边沿驱动触发器，可在处理模块之间和整个设计中实现完全可重复的时序。必须将一个复杂的数字设计划分为时钟信号的离散时间步长。例如，如果存在一个复杂的解码级，则该模块的输出需要随时就绪，可在下一个时钟上升沿处由相连的触发器级安全接管。对于每个假定的工艺范围和设计的目标工作温度，触发器的信号采样都必须是安全且可预知的。如果异步数字处理所花费的时间太长，则有必要引入一个额外的触发器来保证信号的安全采样。

IO扩展逻辑器件

在应用中，如果核心处理器的IO引脚数有限，则可使用IO扩展逻辑器件来生成额外的接口引脚。

模拟开关和总线开关

模拟开关和总线开关可用于IO扩展，在“模拟”部分已经进行了介绍。

解码器/解复用器

解码器是将数字输入格式转换为另一种输出格式的逻辑器件。例如，一个BCD 4位输入可以解码为10路单独的输出。对于10种可能的输入组合，恰好都只有一路输出将改变状态。图6.30显示了此类器件的示例。解码器的其他示例还包括任意组合的3位输入转换为8路输出或4位输入转换为16路输出。

例如，在应用中，解码器可用于选择和激活SSD应用中的存储库。

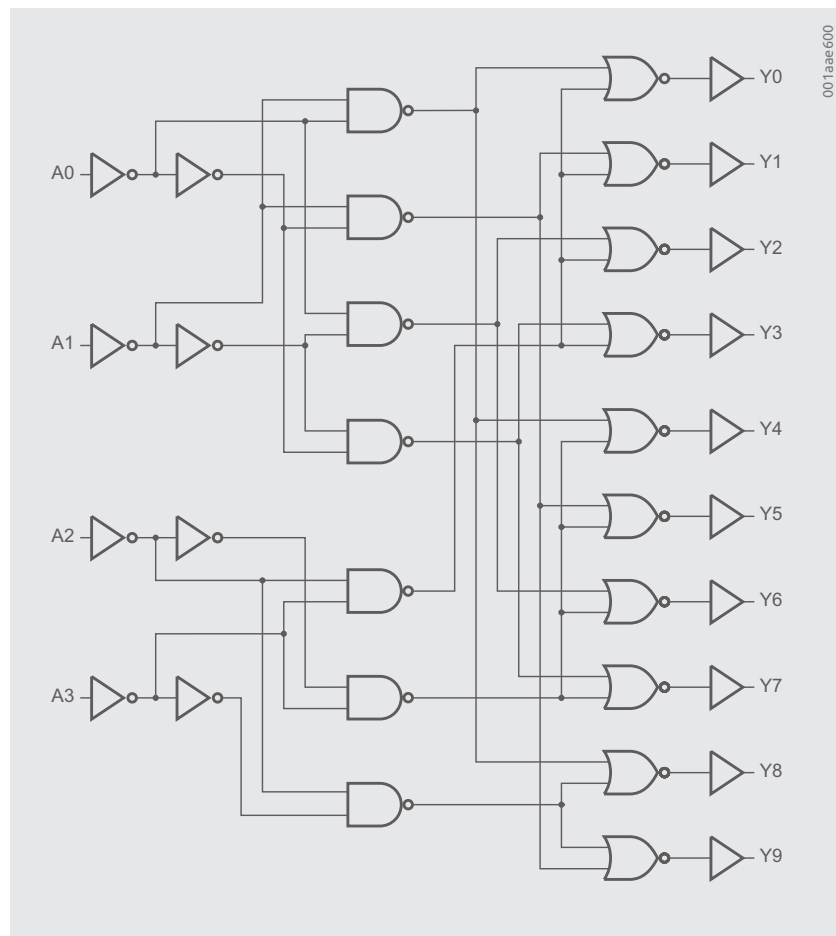


图6.30 | BCD至十进制10输出解码器

数字多路复用器

数字多路复用器具有多路数字输入，如同一个具有 V_{IL} （最大值）和 V_{IH} （最小值）额定值的逻辑门。通过选择引脚，可以选择一路输入并将输入数据流连接至输出端。这意味着从输入到输出的数据将经过重构，而不是像模拟开关那样简单地通过连接进行直通。数字多路复用器具有不同的拓扑，可以选择不同数量的输入。如果将多个多路复用器并联，则可以实现完整的总线开关。图6.31显示一个8输入到单输出的多路复用器的示例。

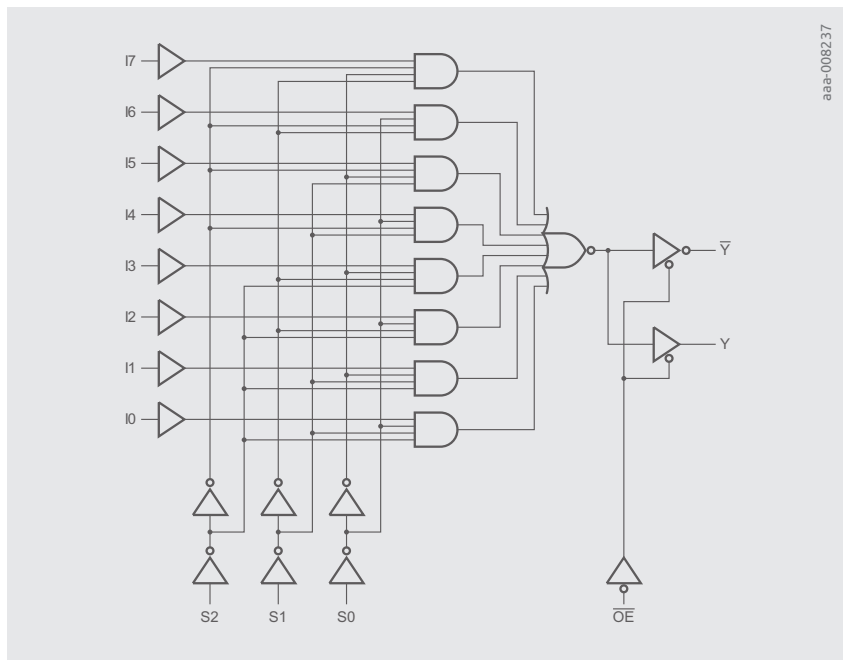


图6.31 | 8:1数字多路复用器

移位寄存器

如果将边沿触发型D触发器串联（如图6.32所示），则可创建一个移位寄存器。在该示例中，一个与门具有2个输入，它为链中的第一个D触发器提供输入。如果CPB位于逻辑高电平，则移位输入DSA处的输入数据信号将随时钟信号CP的上升沿被接管。每一次时钟周期都会将每个触发器的状态移位至串联结构中的下一个触发器。在Q0端从FF1中采样得到的数据，经过7个时钟周期后出现在Q7输出端。可以通过MR输入端对整个移位寄存器清零。

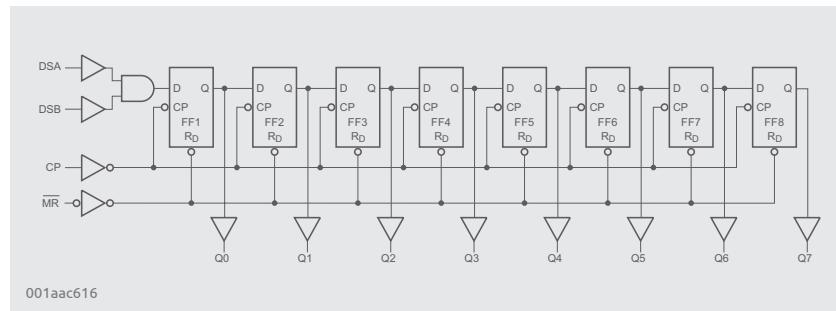


图6.32 | 8位移位寄存器的逻辑图

移位寄存器的主要应用领域是串行数据到并行数据的转换。因此我们发现，移位寄存器搭配一个与输出端相连的附加寄存器是支持此功能的有用配置。一旦将一个字节移位到移位寄存器中的所需位置，输出寄存器就会接管该值。在移位寄存器中完成一个新的字节后，将对新的值进行采样。图6.33显示了此类器件的一个示例。SHCP是移位寄存器的移位时钟。数据随STCP的上升沿被存储到输出寄存器中。

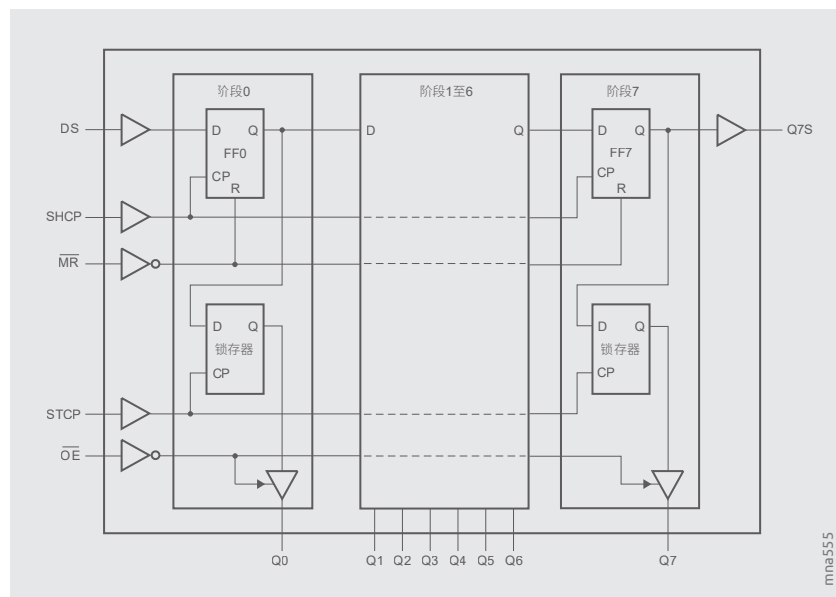


图6.33 | 提供输出锁存器的移位寄存器的逻辑图

移位寄存器也可以用于并行到串行的转换。该功能可以通过具有并行加载功能的移位寄存器来实现。

图6.34显示了一款合适的器件，该器件可以将输入的8位字转换为串行数据流。并行数据随STCP的上升沿被存储到输入寄存器中。如果并行加载输入PL为低电平，则时钟STCP将输入数据直接加载到移位寄存器中。如果在PL为低电平时没有上升时钟沿，则会存储存储在输入锁存器中的数据传输到移位寄存器。移位时钟SHCP将数据从Q_{n-1}移位至Q_n，并从串行输入DS接收新的输入数据。

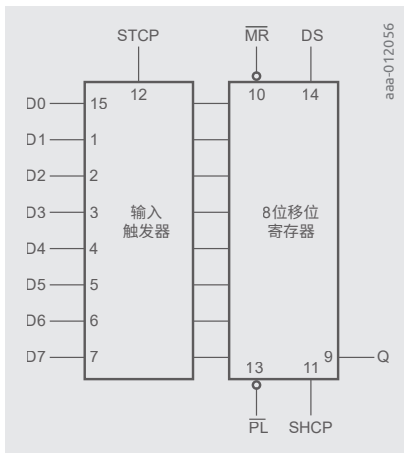


图6.34 | 提供并行加载功能的移位寄存器的逻辑图（以74HC/HCT597为例）

控制逻辑器件

控制逻辑器件部分的主要器件是逻辑门和一些数字比较器。

逻辑门

逻辑门产品系列涵盖简单的门，例如与门、与非门、或门、或非门、异或门、异或非门、一些组合门和可配置逻辑门。基本门功能详述请参见第2章：逻辑器件基础。

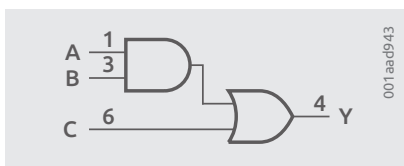


图6.35 | 与门和或门的组合

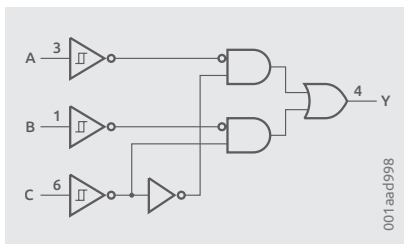


图6.36 | 可配置逻辑门74AUP1G97

组合门是在单一逻辑解决方案中集成两个或更多分立逻辑门。集成的逻辑门可以在内部连接，以生成特定布尔函数或保持独立。该器件包括过压容限输入功能和开漏输出功能，可帮助在不同的电压节点之间建立连接。图6.35显示一个组合门的示例，该逻辑功能为0832：08代表与门，32代表或门。

可配置逻辑门在单个器件中提供不同的逻辑功能，其功能选择取决于外部引脚配置。这可以提供一个优势，特别是当需要使器件在应用中符合使用场景时。使用的灵活性会成为节约成本的一个因素。可配置门的一个示例是74AUP1G97，它可提供多种可配置逻辑功能。输出状态由3位输入的8种模式决定。用户可以选择逻辑功能多路复用器、与门、或门、与非门、或非门、反相器和缓冲器。所有输入端都可以连接至V_{CC}或GND。图6.36所示框图为1G97的内部电路。

可实现的逻辑功能如下图所示：

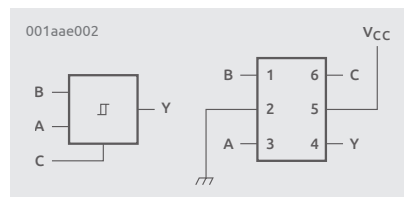


图6.37a | 2输入多路复用器

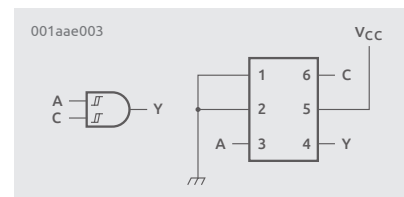


图6.37b | 2输入与门

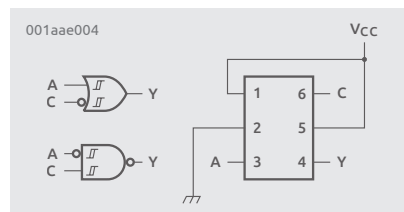


图6.37c | 2输入与非门或2输入或门

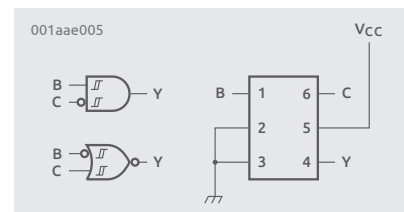


图6.37d | 2输入或非门或2输入与门

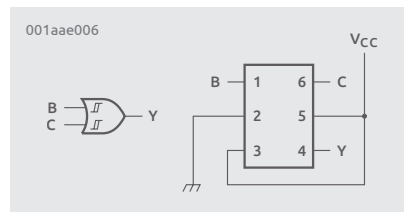


图6.37e | 2输入或门

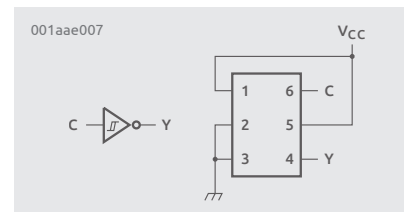


图6.37f | 反相器

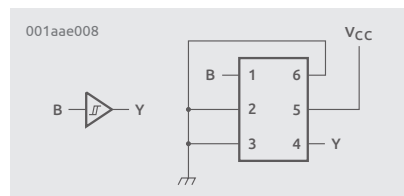


图6.37g | 缓冲器

数字比较器

数字比较器对两个输入的字（4位或8位）进行成对比较。输出位结果是1，表示两个输入数据字相等。在处理器的输入引脚不可用并且仅需要简单比较数据字的情况下，该器件非常有帮助。

第7章 封装

本章节说明并讨论了逻辑IC封装的各个方面。这部分内容分为最多10引脚的微型逻辑器件封装和可多于10个引脚的标准逻辑器件封装。

7.1 标准逻辑器件封装

现代应用需要更佳的电气和机械性能、更小的尺寸和更低的成本。

大部分逻辑IC封装选项支持更宽的温度范围（-40°C至+125°C），并且许多封装还符合AEC-Q100（1级）汽车行业标准。多数设计中都使用了诸如SO和TSSOP之类的传统逻辑器件封装，并且预期将来会继续支持这些封装。

当下，在将更多功能压缩到更小的空间中时，超紧凑型设计将会是一个挑战，DHVQFN和XQFN无引脚封装可减小尺寸并改善机械性能。此类无引脚封装使用焊盘代替引线。这些焊盘具有更大的可焊面积，因而与PCB的焊接互连更为牢靠，从而造就一种更紧凑且有望更持久的设计。无引脚封装在诸如剪切、拉力、弯曲和板级热循环等机械测试中表现更好。

对于需要10个以上引脚的功能，建议在向无引脚封装过渡时采用DHVQFN。它们采用与TSSOP相同的芯片，封装面积缩小多达76%。

表1：使用标准逻辑器件封装的逻辑器件功能

分类	类别	SOT762	DHVQFN-14	SOT763	DHVQFN-16	SOT764	DHVQFN-20	SOT815	DHVQFN-24	SOT108	SO-14	SOT109	SO-16	SOT163	SO-20	SOT137	SO-24	SOT402	TSSOP-14	SOT403	TSSOP-16	SOT360	TSSOP-20	SOT355	TSSOP-24	SOT362	TSSOP-48	SOT480	TVSOP-48	SOT364	TSSOP-56	SOT1174	XQFN-12	SOT1161	XQFN-16			
		异步接口	缓冲器/反相器/驱动器	•		•				•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
异步接口	电平转换器	•	•	•	•					•				•		•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•		
	打印机接口																										•											
	施密特触发器	•						•						•				•				•																
	收发器					•								•								•				•	•	•	•									
控制逻辑器件	数字比较器											•	•								•	•																
	逻辑门	•						•											•														•					
	奇偶生成器/校验器									•																												
I/O扩展	模拟开关	•	•			•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•		•														
	总线开关	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•										•		
	解码器/解复用器			•		•			•					•								•			•													
	数字复用器			•									•									•																
	移位寄存器	•	•							•	•	•	•								•	•	•															
同步接口	计数器/分频器	•	•					•	•	•	•								•	•																		
	FIFO寄存器											•										•																
	触发器	•		•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
	锁存/寄存驱动器			•	•					•	•										•	•				•	•	•	•	•	•	•	•	•	•	•	•	•
	多谐振荡器		•							•	•											•																
	锁相环												•									•																

SO

小型表贴封装的逻辑功能

SO或SOIC逻辑产品组合在8引脚、14引脚、16引脚、20引脚和24引脚封装中集成了所有功能。它们是包含鸥翼式引脚的表贴封装。SO封装的引脚间距典型值为1.27 mm，相比DIP解决方案可节省30%至50%的空间。封装高度比DIP解决方案低70%。

TSSOP

超薄小型表贴封装的逻辑功能

TSSOP逻辑产品组合在8引脚、14引脚、16引脚、20引脚和24引脚封装中集成了许多功能，在48引脚和56引脚封装中集成了16位功能。它们是包含鸥翼式引脚的表贴封装。TSSOP封装的引脚间距典型值为0.65 mm，相比SO解决方案可节省35%至65%的空间。封装高度比SO解决方案低35%。

DHVQFN

缩减的超薄四侧扁平无引脚

DHVQFN（有时也缩写为DQFN）封装与大型SO、SSOP和TSSOP封装中的硅芯片相同。这可确保采用更小的管脚尺寸仍能获得相同的电气性能。由于封装寄生电感较低，信号完整性可以得到提升。其小尺寸可节省宝贵的电路板空间，同时0.5 mm焊盘间

主要特性与优势

- 表面贴装
- 1.27 mm间距
- 无铅、符合RoHS和“深绿”标准
- 温度范围为-40°C至125°C
- 符合AEC-Q100（1级）标准
- 实现零分层

主要特性与优势

- 小尺寸
- 表面贴装
- 0.65 mm间距
- 无铅、符合RoHS和“深绿”标准
- 温度范围为-40°C至125°C
- 符合AEC-Q100（1级）标准
- 实现零分层

距使其可用于现有0.5 mm间距封装工艺。

该封装是电路板空间和低成本组装都很重要的空间受限应用的理想选择。借助更大的焊盘，DHVQFN封装可提供更简单的元件布局，以及更高的强度、可靠性和热性能。

DHVQFN具有一个中心焊盘，该焊盘可以接地，也可以连接至VCC或浮空，具体取决于数据手册中的建议。最重要的是要注意，不要将该焊盘意外连接至错误的极性，因为较大的焊盘往往代表其是接地焊盘。通常建议让中心焊盘保持浮空。

为了支持自动光学检测，在适合汽车应用的器件上实施了可湿锡焊接侧焊盘。

XQFN

超薄四侧扁平封装

XQFN逻辑产品组合在12和16引脚封装中实现多种功能。其小尺寸可节省宝贵的电路板空间，同时0.4 mm焊盘间距使其可用于现有0.4 mm间距封装工艺。此外，XQFN封装非常薄，适合高度受限的应用。



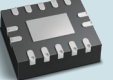


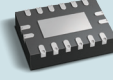

主要特性与优势


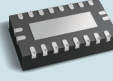


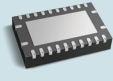


- 极小尺寸
- 易于封装的0.5 mm引脚间距
- 无引脚，无弯曲引脚
- 无共面性问题
- 无铅、符合RoHS和“深绿”标准
- 温度范围为-40°C至125°C
- 符合AEC-Q100（1级）标准
- 零分层
- 出色的板级可靠性性能
- 可提供侧边可上锡版本

主要特性与优势

- 极小尺寸
- 易于封装的0.4 mm引脚间距
- 无引脚，无弯曲引脚
- 无共面性问题
- 无铅、符合RoHS和“深绿”标准
- 温度范围为-40°C至125°C
- 极薄（高度<0.5 mm）
- 符合AEC-Q100（1级）标准
- 零分层正在开发中（2020年第3季度）

表2: 标准逻辑器件封装

封装后缀	D	PW	BQ	D	PW	BQ	D
	SO14	TSSOP14	DQFN14	SO16	TSSOP16	DQFN16	SO20
							
封装	SOT108-1	SOT402-1	SOT762-1	SOT109-1	SOT403-1	SOT763-1	SOT163-1
宽度(mm)	6.00	6.40	2.50	6.00	6.40	2.50	10.30
长度(mm)	8.65	5.00	3.00	9.90	5.00	3.50	12.80
高度(mm)	1.75	1.10	1.00	1.75	1.10	1.00	2.65
间距(mm)	1.27	0.65	0.50	1.27	0.65	0.50	1.27

封装后缀	PW	BQ	D	PW	BQ	DGG	DGV
	TSSOP20	DQFN20	SO24	TSSOP24	DQFN24	TSSOP48	TVSOP48
							
封装	SOT360-1	SOT764-1	SOT137-1	SOT355-1	SOT815-1	SOT362-1	SOT480-1
宽度(mm)	6.40	2.50	10.30	6.40	3.50	8.10	6.40
长度(mm)	6.50	4.50	15.40	7.80	5.50	12.50	9.70
高度(mm)	1.10	1.00	2.65	1.10	1.00	1.20	1.10
间距(mm)	0.65	0.50	1.27	0.65	0.50	0.50	0.40

说明: HEF4000B系列采用的封装后缀与其他系列不同。

封装后缀D对应于HEF4000B封装后缀T, PW对应于TT。

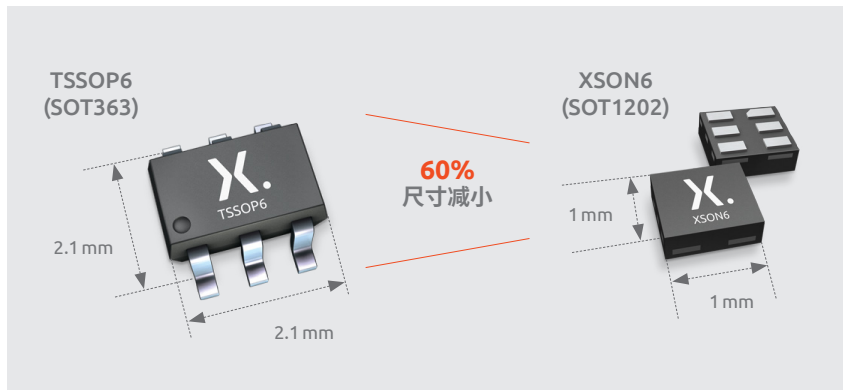


图7.1 | TSSOP6和XSON6的比较

MicroPak封装是无引脚微型逻辑器件封装，与尺寸更大的PicoGate有引脚封装（请参见PicoGate部分）采用相同的硅芯片。该封装利用更小的封装面积，可确保相同的电气性能。由于封装寄生电感更低，信号完整性也将得到改善。

MicroPak无引脚微型逻辑器件封装是电路板空间、高度和低成本组装都很重要的空间受限应用的理想选择。借助更大的焊盘，MicroPak相比同等尺寸的BGA解决方案，可提供更简单的元件布局，以及更高的强度、可靠性和热性能。

MicroPak产品系列非常丰富，包括逻辑门、模拟开关、缓冲器/反相器/驱动器、总线开关、转换器、触发器、解码器/解复用器、多路复用器、锁存器、电平转换器和施密特触发器器件。

得益于0.5 mm以及最先进的0.35 mm和0.30 mm焊盘间距，MicroPak解决方案的小尺寸可节省宝贵的电路板空间，同时可在器件和PCB之间提供更可靠的键合。X2SON解决方案可提供 ≥ 0.4 mm的焊盘间距，易于批量生产而无需使用向下掩模。

MicroPak封装的版本包括4引脚X2SON、5引脚X2SON、6引脚XSON和X2SON、8引脚XSON和X2SON以及10引脚XQFN。

主要特性与优势

- 极小尺寸
- 0.5 mm、0.35 mm和0.30 mm的间距选择
- 低封装高度（0.5 mm或0.35 mm）
- 无引脚封装
- 无共面性问题
- 无铅、符合RoHS和“深绿”标准
- 温度范围为 -40°C 至 125°C
- 提供AEC-Q100（1级）选项
- 提供零分层版本

表4: 现有MiroPak封装概览

封装后缀	GX4	GX	GX	GN
	X2SON4	X2SON5	X2SON6	XSON6
封装	SOT1269-2	SOT1226	SOT1255	SOT1115
宽度(mm)	0.60	0.80	0.80	1.00
长度(mm)	0.60	0.80	1.00	0.90
高度(mm)	0.32	0.35	0.35	0.35
间距(mm)	≥ 0.4	≥ 0.4	≥ 0.4	0.30

封装后缀	GS	GM	GX	GN
	XSON6	XSON6	X2SON8	XSON8
封装	SOT1202	SOT886	SOT1233	SOT1116
宽度(mm)	1.00	1.00	0.80	1.00
长度(mm)	1.00	1.45	1.35	1.20
高度(mm)	0.35	0.50	0.35	0.35
间距(mm)	0.35	0.50	≥ 0.4	0.30

封装后缀	GS	GT	GU	
	XSON8	XSON8	XQFN10	
封装	SOT1203	SOT833-1	SOT1160-1	
宽度(mm)	1.00	1.00	1.80	
长度(mm)	1.35	1.95	1.40	
高度(mm)	0.35	0.50	0.50	
间距(mm)	0.35	0.50	0.40	

MicroPak X2SON封装

最小的无引脚逻辑器件封装

首款X2SON (GX) 5引脚封装于2012年推出，旨在为逻辑功能提供最小封装面积的同时，保持焊盘间距为0.4 mm或更大，从而无需向下掩模。X2SON (GX)封装提供4、5、6或8引脚，并提供低功耗AUP、AXP、LV和LVC技术系列，涵盖百余种逻辑功能。X2SON4于2018年推出；该款4引脚封装选项相比5引脚X2SON5，可进一步将封装面积缩小44%。

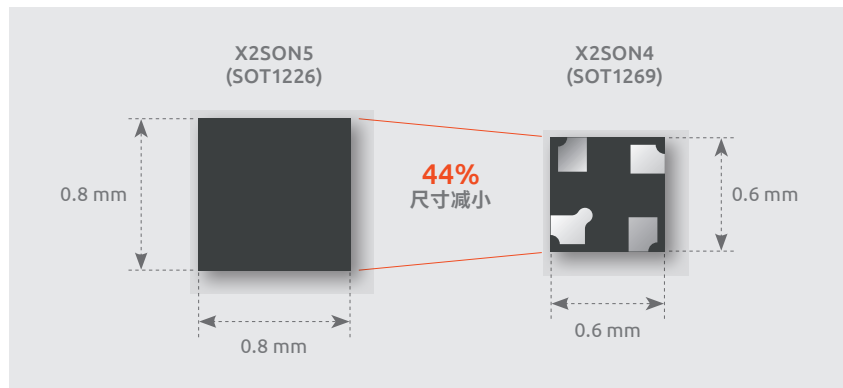


图7.2 | X2SON5和X2SON4封装的比较

X2SON封装属于MicroPak封装，封装后缀GX对应于X2SON8、X2SON6和X2SON5，或GX4对应于X2SON4。X2SON封装的小尺寸可节省宝贵的电路板空间，并支持微型化趋势（另请参见下一部分有关焊料钢网厚度的信息）。提供单门、双门和三门以及转换器。

主要特性与优势

- 封装面积非常小（相比GF封装缩小36%，相比GN封装缩小25%）
- 高接触面积-芯片面积比和增强的耐用性
- 使用NiPdAu引线框架涂层，符合RoHS和“深绿”标准
- 低封装高度(0.35 mm)和窄宽度(0.8 mm)
- 降低PCB成本，易于放置和小型化
- 零分层

表5: Micropak X2SON (GX)封装详细信息

封装名称	封装版本	L (mm)	W (mm)	H (mm)	P (mm)	后缀
X2SON4	SOT1269	0.6	0.6	0.32	≥ 0.4	GX4
X2SON5	SOT1226	0.8	0.8	0.35	≥ 0.4	GX
X2SON6	SOT1255-2	1.0	0.8	0.35	≥ 0.4	GX
X2SON8	SOT1233-2	1.35	0.8	0.35	≥ 0.4	GX

权衡取舍：引脚间距与DFM的关系（包括掩模/钢网设计）

X2SONx封装仅0.35 mm高，当然非常紧凑；但其最重要的特性是触点的新颖放置——利用封装角上的空间，对于某些版本，在器件中心处提供一个或两个端子。Nexperia开发的封装提供极小的尺寸，且所有这些X2SONx版本都保持大于0.4 mm的间距。

为了彻底理解这种创新设计的意义，我们需要考虑一些与PCB装配程序有关的细节。

可制造性设计(DFM)是大批量产品成功的关键因素。同时，消费者希望产品不断微型化，尤其是便携式和可穿戴设备，例如手机、智能平板电脑和生物识别传感器等。当封装微型化需要的引脚或焊盘间距小于0.4 mm时，就会产生冲突，因为该间距是实际标准制造变得昂贵和不可靠的近似阈值。

器件的引脚间距小于0.4 mm时，可能需要修改电路板装配过程，以确保回流焊不会导致引脚之间短路。首先，细间距器件更需要昂贵的类型4锡膏，而不是标准的类型3锡膏。类型4锡膏粘度更高、粒度更小，在较小的钢网孔径中效果更好。

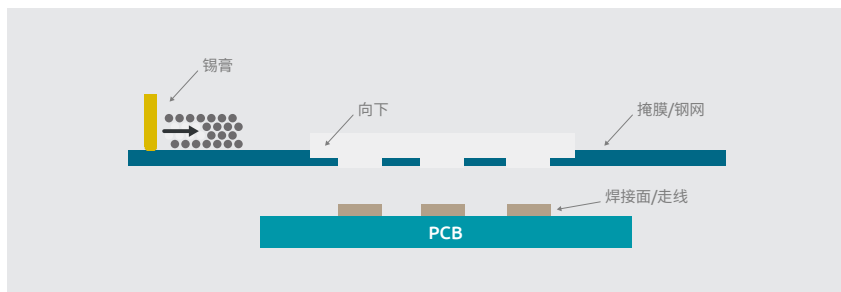


图7.3 | 向下掩膜技术

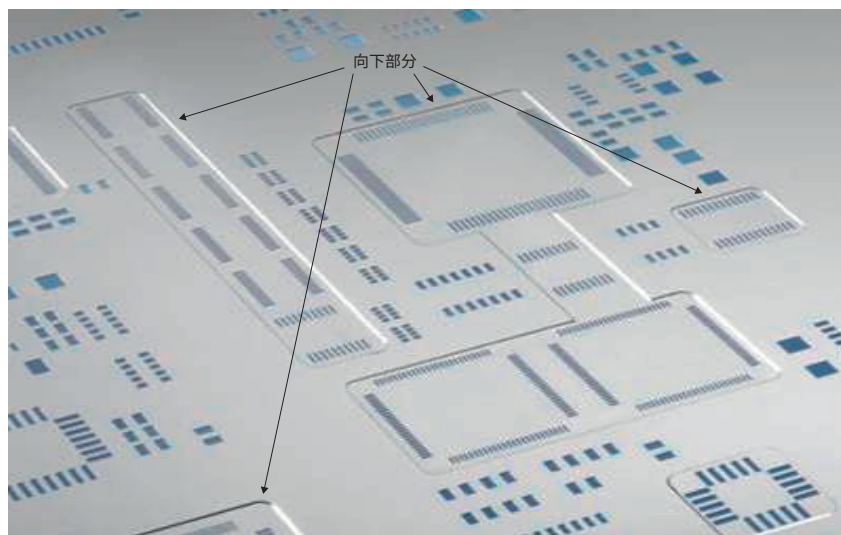


图7.4 | PCB上的向下掩膜

其次，必须减小焊料钢网的厚度。减小钢网厚度导致沉积在焊盘上的焊料量相应减少，这些少量的焊料不太可能在相邻焊盘之间形成桥接。为了确保足够的机械强度并适应更小或更紧密间距的器件，这些间距很细的器件在装配过程中将采用所谓的“向下”钢网或掩膜。

这样的钢网当然制造起来更复杂，因此也更昂贵。它们也更脆弱，可能需要更频繁地更换。除了成本增加外，采用向下钢网还对器件放置造成麻烦的限制——间距较小的组件必须放置于在与钢网较薄部分相对应的PCB区域中。

节省空间，降低成本

从前述讨论中我们可以看到，X2SONx器件标志着IC封装技术的一个里程碑：相同的功能，更小的电路板空间，更高的可制造性。与GN或GF封装相比，其封装尺寸大大减小，而间距已增加为> 0.4 mm，足以消除DFM问题。

7.2.2 PicoGate（在小封装中提供单门、双门和三门功能）

在小尺寸封装中提供单门、双门和三门功能

Picogate产品组合包括单门、双门和三门功能，采用5、6、8或10引脚的小型有引脚封装。与传统的四门解决方案相比，PicoGate允许您仅选择所需功能数量。这些有引脚微型逻辑封装让您可以轻松创建复杂的线路布局模式，同时节省高达85%的电路板空间。

PicoGate提供AXP、AUP、AVC、LVC、AHC(T)、HC(T)、LV1T和CBTLV(D)等技术系列。PicoGate封装包含与较大的SO、TSSOP和DHVQFN封装相同的逻辑功能，但允许使用单个门，而不是仅使用四门器件的一个门。借助广泛的解决方案组合，可在更小的电路板空间实现更低的功耗。

这些产品都是无铅的，符合RoHS和“深绿”标准，可在-40°C至125°C的温度范围内使用。满足AEC-Q100标准（1级）的汽车版本，适合一系列PicoGate解决方案。

PicoGate的封装间距为0.95 mm、0.65 mm或0.5 mm。

Nexperia提供业界最广泛的PicoGate产品组合，包括逻辑门、电平移位器/转换器、模拟开关、缓冲器/反相器/驱动器、总线开关、解码器/解复用器、触发器、多路复用器、锁存器和施密特触发器器件。可提供8个技术系列的PicoGate解决方案。

我们的PicoGate封装系列包括TSOP、TSSOP和VSSOP有引脚封装（5至10引脚）。

主要特性与优势



- 小尺寸
- 简化电路板布局
- 0.95 mm、0.65 mm和0.50 mm的间距选择
- 无铅、符合RoHS和“深绿”标准
- 温度范围为-40°C至125°C
- 符合AEC-Q100（1级）标准

表6: Picogate产品组合参数和特性

系列	HC(T)	AHC(T)	AUP	AVC	AXP	CBT(D)	CBTLV	LV1T
电源电压(V)	2至6.0	2至5.5	0.8至3.6	1.2至3.6	0.7至2.75	4.5至5.5	2.3至3.6	1.6至5.5
传播延迟典型值(ns)	9	5	3.4	3.5	2.9	0.15	0.15	4.6
输出驱动(mA)	±8	±8	±1.9	±8	±4.5	N/A	N/A	±8
待机电流(µA)	80	40	0.9	1.2	0.6	3	10	10
温度范围(°C)	-40至+125	-40至+125	-40至+125	-40至+125	-40至+85	-40至+85	-40至+125	-40至+125
车规级	•	•	•	•		•	•	•
特性								
过压容限输入	•	•	•	•	•	•	•	
施密特触发器输入	•	•	•		•			•
低阈值输入	•	•	•		•			•
输入钳位二极管	•							•
TTL输入	•	•				•		
总线保持								
断电漏电流(off)			•	•	•			
源端接								
开漏输出	•	•	•		•			•
低延时隔离								•

表7: PicoGate封装系列包括TSOP、TSSOP和VSSOP有引脚封装 (5至10引脚)

封装后缀	GW	GV	GW	GV
	TSSOP5	TSOP5	TSSOP6	TSOP6
				
封装	SOT353-1	SOT753	SOT363	SOT457
宽度(mm)	1.25	1.5	1.25	1.5
长度(mm)	2.1	2.9	2.1	2.9
高度(mm)	0.95	1	0.95	1
间距(mm)	0.65	0.95	0.65	0.95

封装后缀	DP	DC	DP
	TSSOP8	VSSOP8	TSSOP10
			
封装	SOT505-2	SOT765-1	SOT552-1
宽度(mm)	3	2.3	3.3
长度(mm)	3	2	3.3
高度(mm)	1.1	1	1.1
间距(mm)	0.65	0.50	0.50

7.2.3 有引脚(PicoGate)还是无引脚(MicroPak)?

X2SONx与Nexperia的多种其他逻辑器件封装一样,是无引脚封装,也就是说,它通过金属焊盘或“焊接面”连接到PCB,而不是使用突出的引线。无引脚封装有许多优势。这些优势不只特定适用于X2SONn器件,更重要的是需要意识到,这些封装相比有引脚封装,不仅可提供已经讨论过的DFM改进,而且还可提供以下优势:

- 与对应的有引脚封装相比,无引脚封装的机械强度更高;焊盘的接触面积更大,因此键合更牢固。Nexperia积累了丰富的经验数据,可证实X2SONn等无引脚封装的可靠性。
- X2SON和其他无引脚封装器件的连接焊盘采用封装底部的平坦金属表面;这消除了有引脚封装在引脚弯曲或未充分达到共面性时可能出现的装配困难。
- 回流焊会自动校正器件放置位置或方向上的小误差,因为熔融焊料的表面张力会自然促进器件与其对应的PCB焊盘之间的良好对准。不过,这种效应在无引脚封装中更为明显,因为它们比同类的有引脚封装更小、更轻。
- 从有引脚器件转向无引脚器件时,甚至还可以改善电气性能:无引脚封装的寄生电感较小,因此可以提高高速应用的信号完整性。

接触面积比芯片面积:机械强度的关键所在

如上一部分所述,无引脚封装相比有引脚封装,耐用性更高。其主要原因很简单:焊料可在器件与PCB之间提供机械连接,相对于封装/IC尺寸而言,接触面积与封装面积之比更高的封装将使用更多的焊料。

无引脚封装的接触面积与芯片面积之比远高于对应的有引脚器件。此外,Nexperia的测试已证实,无引脚器件在承受拉力和剪切力方面的性能均超过有引脚器件。

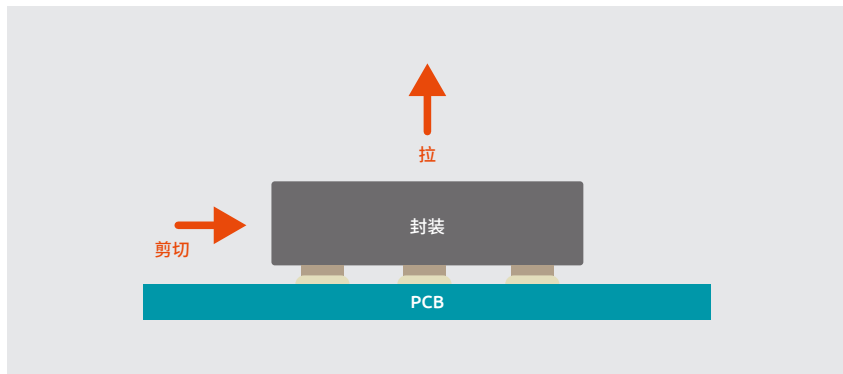


图7.5 | 封装上的拉力和剪切力

X2SONn器件无引脚，因此其耐用性增强。而且，带有中心焊盘的GX封装的独特几何形状，进一步提高了接触面积与封装面积之比。这意味着X2SONn封装系列可能不仅是世界上最小的封装，而且是最牢固的逻辑器件封装。

X2SON (GX和GX4) 结论

微控制器、FPGA和复杂的ASIC提供了高集成度，空间受限的应用从中获益匪浅。尽管如此，分立逻辑器件在现在和未来都将是一个重要的因素，使设计人员能够生产出低成本、高性能的设备，以满足不断增长的便携性和持续创新的市场期望。Nexperia致力于提供工程师所需的逻辑器件，而X2SONn封装——IC封装技术真正的突破——正是这一承诺的主要体现。

7.3 封装焊接考量

引言

PicoGate和MicroPak封装相比与传统的SO14封装，其尺寸缩小约10至15倍，可在空间受限的应用中实现显著的小型化。它们可提供广泛的逻辑功能和多种选择，并可实现合适的性能水平。

PicoGate和MicroPak器件可提供单、双和三门功能，采用4、5、6、8和10引脚封装，并提供可选功能。为了支持最广泛的应用，该产品组合中的每款产品都具备宽额定工作温度范围（-40°C到+125°C）。由于它们执行最常见的功能，并符合或超过竞争规格，因此消除了单一来源的问题。

Picogate与MicroPak对比和焊接限制

Picogate（或有引脚SMD器件）可以采用两种不同的焊接工艺（称为回流焊或波峰焊）焊接至PCB上。波峰焊只能适用于没有裸露焊盘且引线间距 $\geq 0.65\text{mm}$ 的有引脚封装。将无引脚封装（MicroPak以及标准逻辑器件DHVQFN）固定到电路板上，只能采用回流焊，而不能采用波峰焊工艺，因为其引线间距小于或等于 0.5mm 。此外，任何带有裸露焊盘的封装都需要钢网印刷（回流焊工艺）。

以下说明描述了MicroPak封装的安装方法，因此需使用回流焊工艺。

MicroPak概述

由电路板安装空间非常小的应用驱动，MicroPak逻辑器件系列为空间受限的系统（例如手机和其他便携式消费类产品）提供了最常用逻辑功能。它们还可以用作简单的胶合/修复逻辑，以在最后时刻实现设计更改，或消除对复杂的线路布局模式的依赖并简化布线。

MicroPak封装是一种带有铜引线框架底座的塑料封装。该封装没有引脚或凸块，而是在封装底部提供外围焊接面端子。锡膏沉积后，将端子焊接到印刷电路板(PCB)的焊接面上。

MicroPak焊接信息

锡膏

目前，Nexperia器件使用的大多数锡膏都是无铅的(Pb-free)或称为SAC。建议使用“免清洗”型，因为MicroPak的间隙高度很小，无法在封装下方进行适当的清洗。

尽管低铅含量的焊料（Pb约为36-38%，如Sn63Pb37）仍在使用中，但建议使用无铅锡膏，因为举例来说，欧洲法规自2006年7月起，已对此进行了规定。

市场上的无铅焊膏的种类繁多，其成分包含锡、铜、铋、银、铟和其他元素的组合。不同类型的无铅焊膏的熔点温度范围很广。高熔点焊料可能更适合汽车行业，而低熔点焊料则可用于焊接消费类IC封装。

最常见的SnPb焊料替代品是无铅锡膏SAC，它是锡(Sn)、银(Ag)和铜(Cu)的组合。这三种元素的含量范围通常是1%至4%的银和0%至1%的铜，接近共晶钎料。众所周知的类型包括SAC105、305和405，分别含有1%、3%和4%的Ag及0.5%的Cu。SAC的熔点温度通常约为217°C，要求回流焊温度高于235°C。

以下显示了最广泛使用的无铅锡膏：

典型的无铅焊料	
焊料类型	成分
SAC 105锡膏	98.5%锡, 1%银, 0.5%铜
SAC 305锡膏	96.5%锡, 3%银, 0.5%铜
SAC 405锡膏	95.5%锡, 4%银, 0.5%铜

免清洗锡膏在回流焊后无需清洗。如果使用免清洗锡膏，则回流焊后板上可能会有助焊剂残留。有关锡膏的更多信息，请联系您的锡膏供应商。

潮湿敏感度等级和存储

MicroPak器件具有非常好的封装耐湿性。根据JEDEC J-STD-020D，其潮湿敏感度等级(MSL)为MSL1，即在< 30°C/85%RH条件下具有无限的车间寿命，换句话说，它分类为对潮湿不敏感，无需干燥包装。

钢网

下表给出了关于MicroPak封装建议电铸钢网厚度的第一条准则，分为端子间距大于或等于0.5 mm、介于0.4 mm至0.5 mm和小于或等于0.4 mm三种情况。应保持孔径侧壁粗糙度平滑，以改善锡膏的释放。

典型的钢网厚度	
封装端子间距	钢网厚度
≥0.5 mm	150 μm
0.4 mm至0.5 mm	100 μm或125 μm
≤0.4 mm	80 μm或100 μm

MicroPak放置

封装所需的放置精度取决于多项因素，例如封装尺寸和端子间距，还取决于封装类型本身。在回流焊期间，当焊料熔化时，未完全放正的封装可能会自动居中放置于焊盘上，这称为自对准。下表给出了典型的放置容差，该容差是封装端子间距的函数。

典型的放置精度	
封装端子间距	放置容差
≥0.65 mm	50 μm
<0.65 mm	100 μm

回流焊

回流焊最重要的步骤是回流本身，这是锡膏沉淀融化并形成焊点时。这可以通过让板子通过烤箱并将其暴露在随时间变化的温度曲线设置下来实现。温度曲线本质上由三个阶段组成：

1. 预热：将板加热到一个低于焊料合金熔点的温度。均热阶段在预热阶段之后，并在下一阶段回流焊之前，其目的是蒸发溶剂并活化助焊剂。
2. 回流：将电路板加热至峰值温度，该温度远高于焊料的熔点，但低于器件和电路板的有机可焊性防腐剂(OSP)涂层受损的温度
3. 冷却：电路板迅速冷却，因此，在电路板离开烤箱之前，焊点会凝结

回流焊期间的峰值温度有上限值和下限值：

- 峰值温度下限值；最低峰值温度必须至少在足以使焊料形成可靠的焊点的温度以上；这取决于锡膏的特性；请与您的锡膏供应商联系以获取详细信息
- 峰值温度的上限值必须低于：
 - 器件根据规格书可承受的最高温度
 - 使电路板或电路板上的器件受损的温度（有关详细信息，请与您的电路板供应商联系）

以下用于湿敏度特性的温度曲线基于IPC/JEDEC联合行业标准：J-STD-020D。所示数据适用于封装厚度 < 2.5 mm 和封装体积 < 350 mm³ 的器件。回流焊工艺的温度曲线如图7.6所示。内侧曲线用于快速焊接，外侧曲线用于慢速焊接。

表8：湿敏度特性的温度曲线

曲线特性	SnPn共晶装配	无铅装配
平均升温速度 (T _{smax} 至TP)	3°C/s最大值	3°C/s最大值
预热	温度最小值(T _{smin})	100°C
	温度最大值(T _{smax})	150°C
	时间 (t _{smin} 至t _{smax})	60 s至120 s
保持时间以上	温度(T _L)	183°C
	时间(t _L)	60 s至150 s
峰值/分类温度(T _p)	235°C	260°C
允许的回流焊次数	3	3
实际峰值温度为5°C的时间(t _p)	10 s至30 s	20 s至40 s
降温速度	6°C/s最大值	6°C/s最大值
25°C至峰值温度的时间	最多6分钟	最多8分钟

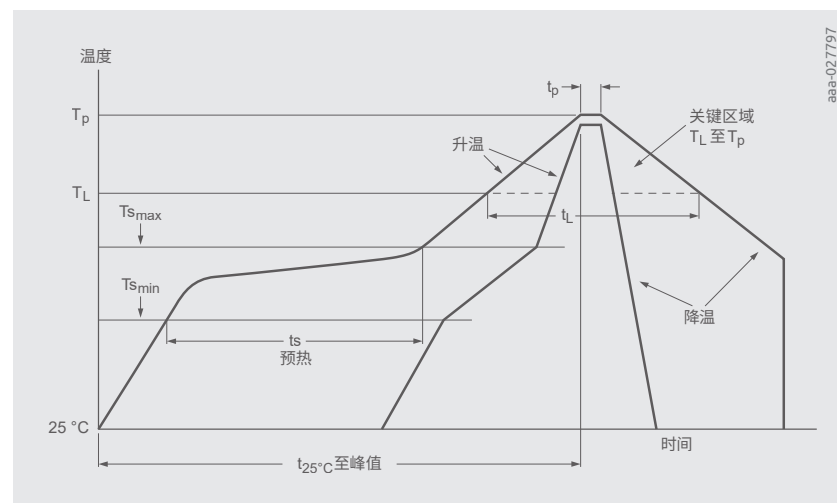


图7.6 | XSON6封装回流焊的温度曲线

每种封装都有自己的焊接面信息，也称为回流焊面积。该信息通常作为外形图的一部分加以说明，可从Nexperia网站上获得。图7.7显示一个X2SON6(SOT1255-2)的示例。

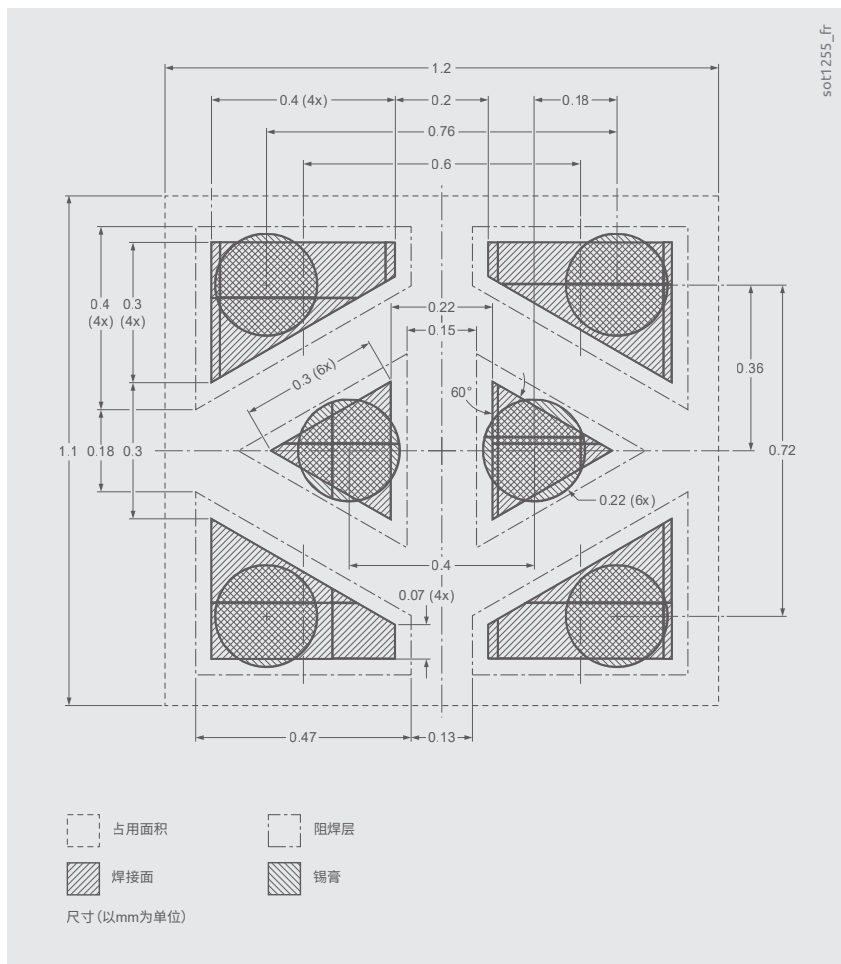


图7.7 | XSON6封装的焊接面信息

7.4 封装的热阻

逻辑器件通常不需要或不会产生大量的电能或热能，但是了解封装的热阻在最终应用中的影响仍然很有益处。在大多数情况下，印刷电路板(PCB)充当表面贴装器件的散热片，而封装（芯片载体到引线框架）的裸露焊盘（或散热片）（如果适用）直接焊接至PCB上。这些封装在芯片或管芯与封装的散热片之间的热阻称为 $R_{th(j-c)}$ （结至壳的热阻），单位为[K/W]。下一部分将说明如何测量该参数。

为了易于使用，我们首先介绍从结（芯片或管芯）到PCB的热路径在其应用中的静态特性。封装的内部结构（简化版）由引线框架上的芯片组成，该芯片通过PCB上的焊料层连接到外部环境（参见图7.8）。

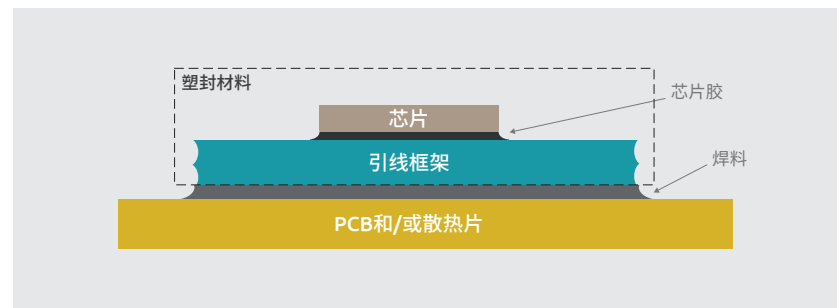


图7.8 | 封装的简化结构

该静态等效电路（例如，无引线键合）类似于下面的电气方案：

芯片功耗 P_D 采用电流源符号表示，而所有热阻(R_{th})均使用欧姆电阻符号表示。从上面的草图可以看出，主要的热阻是按次序放置的，而将覆盖整个结构或封装的塑封材料热阻并联放置。在大多数情况下，可以忽略此并联路径，对低功耗的逻辑器件封装来说，这一点更为有效。

在下面的方案中，环境温度 T_a 用电压源表示。通过图7.9所示的散热布局草图，可以清楚地地区分外壳和环境对性能的影响。

在PN结中产生的大部分热量是通过传导而不是对流传递至外壳的。衡量热传导有效性的一个指标是上述的结至壳的热阻 $R_{th(j-c)}$ ，该值由器件的封装结构决定。从外壳到周围空气的任何热传递都涉及辐射、对流和传导。这种外部传递的有效性由 $R_{th(应用)}$ （壳至环境或应用相关值的热阻）定义。因此，结至环境的总热阻为

$$R_{th(j-a)} = R_{th(j-c)} + R_{th(应用)}$$

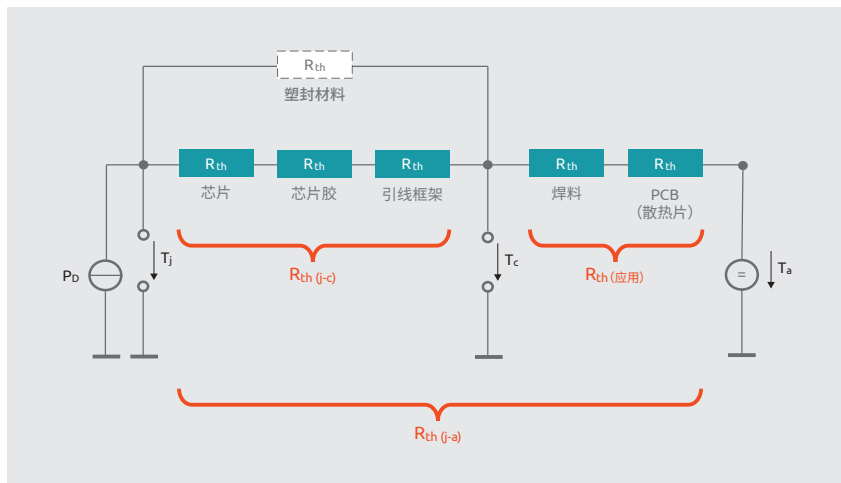


图7.9 | 结至环境的热阻

因此，总的封装热阻与环境的连接取决于应用，因此PCB和封装与板（其焊料）的连接很重要。封装供应商通常不了解后者的影响（环境条件）。作为Nexperia，我们每次计算 $R_{th(j-a)}$ （结至环境的热阻）时，都只能使用某款已知的PCB配置进行假设，我们通常假设PCB为（1）由JEDEC规定的4层配置、尺寸为100×100 mm；（2）上/下传热路径= 15(W/m²*K)；（3）无电镀通孔。

半导体器件的总最大功率 P_{Dmax} 可以表示如下

$$P_{Dmax} = \frac{T_{jmax} - T_a}{R_{th(j-a)}} = \frac{T_{jmax} - T_a}{R_{th(j-c)} + R_{th(应用)}}$$

其中

T_{jmax} 为最高结温， T_a 是在最不利条件下可能达到的最高环境温度。函数 $P_{Dmax} = f(T_a)$ 或

$$P_{Dmax} = \frac{-T_a}{R_{th(j-a)}} + \frac{T_{jmax}}{R_{th(j-a)}}$$

显示其为一条下降的直线，斜率为：

$$\frac{-1}{R_{th(j-a)}}$$

其零点在 T_{jmax} 处。

降额系数

应该注意的是，在Nexperia的产品数据手册中，总功耗是封装（外壳）温度 T_c 的函数，因为特定应用的热阻未知。与上一函数一样，此函数是一条下降的直线。现在的斜率值则为 $1/R_{th(j-c)}$ 。零点位于 T_{jmax} 处，即 150°C 。该直线的斜率称为降额因数，单位为 $[\text{mW}/\text{K}]$ 。总功耗 P_{Dmax} 或 P_{tot} 保持恒定，直到达到特定的 T_c 为止，在该温度条件下，功耗开始线性下降，直至 150°C 的 T_{jmax} 。在下面的示例中，封装由从 118°C 的壳温 T_c 开始的 $7.8 \text{ mW}/\text{K}$ 的降额系数确定。

极限壳温 T_c 由管芯结温 T_{jmax} 减去热阻 $R_{th(j-c)}$ 与总功耗 P_{Dmax} 的乘积确定，而降额系数取决于总功率除以芯片结温 T_{jmax} 与上面定义的“极限”壳温 T_c 之间的温度差。

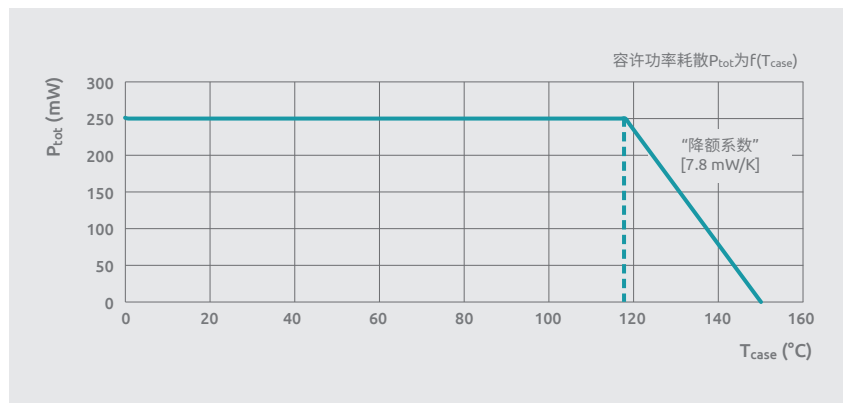


图7.10 | 从 118°C 开始降额系数为 $7.8 \text{ mW}/\text{K}$ 的封装示例

7.5 封装的热特性——说明和可能的设置

我们的所有逻辑器件封装都仅表现为（或消耗）低的热功率，但是在某些应用情况下，我们在必要时希望对热测量进行更多说明，包括一些背景知识。一般而言，仅有一部分热能会表现在器件顶部，但出于完整性考虑，我们将说明测量该热能的测量方法及其应用场合：

PN结到封装的 $\Psi_{th(j-top)}$

该参数提供了芯片温度与封装顶部温度之间的相关性。它用于估算某些应用中的芯片温度，请务必不要与热阻 $R_{th(j-c)}$ 混淆！

设置：

必须将封装安装在标准电路板上（例如，JEDEC定义的4层板FR4 PCB），并在封装顶部安装一个热电偶。在标准测试环境（如风洞）下驱动该封装时，必须向芯片施加一个数值已知的功率，同时对芯片结温（ T_j 或 $T_{junction}$ ）和封装顶部的温度（ T_{top} ）进行测量（通过热电偶）。

计算：

$$\Psi_{th(j-top)} = \frac{T_j - T_{top}}{\text{功率}}$$

再次强调：必须指出的是，该 $\Psi_{th(j-top)}$ 并非热阻，它仅用于在实际应用中根据封装顶部的测量值来估算结温。

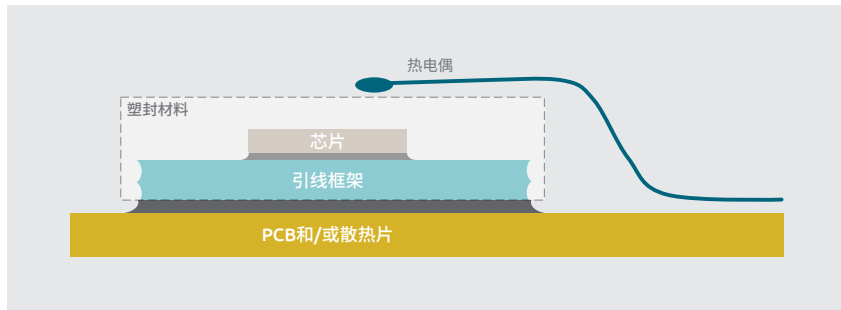


图7.11 | 壳温的测量

PN结到壳体的热阻 $R_{th(j-c)}$

该参数更受关注且更重要，因为它可以更好地反映实际应用的现场状况，包括外部散热片的使用。它表示“现实世界”中芯片结温和封装壳温之间的热阻，包括封装上可能存在的外部散热片。在前一部分中讨论了诸如芯片、芯片连接材料（粘合剂或焊料）以及引线框架等因素。

测量设置：

必须将封装安装在标准电路板（例如，JEDEC定义的4层板FR4 PCB）或插座上，而封装必须与温度稳定的板面（最好是水冷）具有“完美的”物理（热）接触。必须最大限度地减少封装周围的任何空气流动，以确保来自封装的整个热通量都显示在冷板面上，而不会通过对流和蒸发重新定向。同时，还必须在此向芯片施加一个数值已知的功率，同时对芯片结温（ T_j 或 T_{case} ）和封装壳温（ T_c 或 T_{case} ）进行测量。与 T_{top} 相比， T_{case} 有所不同，因为它代表的是将封装连接至散热片位置处的封装（外壳）温度，并假设大部分热量仅流向顶部或底部（具体取决于在应用和设计），因此不存在明显的辐射或侧壁传导部分。因此，强烈建议在封装与PCB和/或外部散热片之间使用导热油脂或导热垫，但仅在必要时使用。

计算：

$$R_{th(j-c)} = \frac{T_j - T_c}{\text{功率}}$$

热阻 $R_{th(j-c)}$ 低表示从芯片到散热片的热通量较高，因此可以确保较高的热量吸收（热功率）。 $R_{th(j-c)}$ 测量的一种可能设置如下：

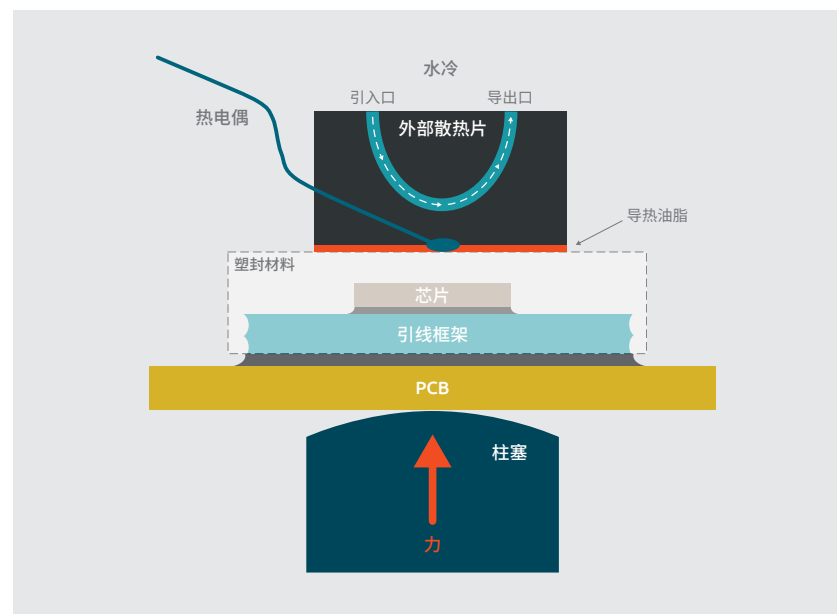


图7.12 | 测量散热片下方的壳温

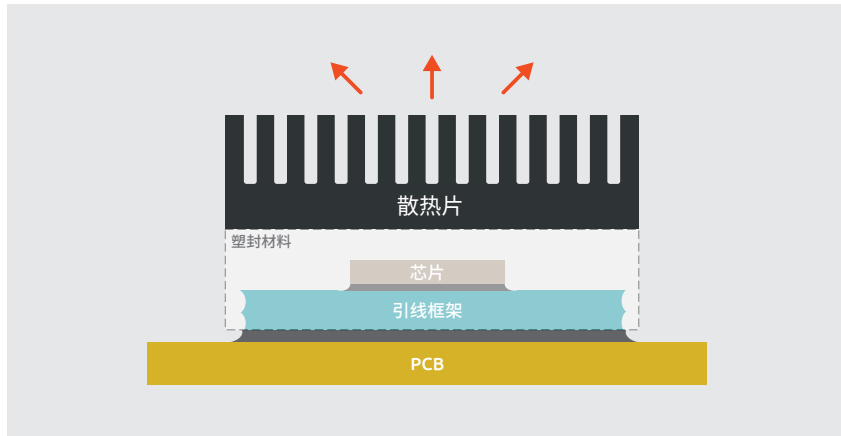


图7.13 | 封装上的外部散热片

对于大功率应用（不太可能发生在逻辑IC设计中），应在封装上连接一个外部散热片，以改善应用特定器件的结至环境的热阻 $R_{th(j-a)}$ ，提高热性能。请参见示意图。

第8章 车规品质

与家用或便携式应用中使用的半导体相比，车用半导体器件的工作环境更为严酷。例如，电视机在0°C至40°C的环境温度下通常就能确保其使用寿命。其半导体器件由于内部发热的关系，工作温度范围为20°C至60°C。相比之下，汽车能在温度低于-20°C时启动，并且在某些情况下，还能在发动机舱内温度接近150°C时工作。

为确保汽车电子产品的可靠性，汽车电子委员会推出了由其制定的AEC-Q100标准，该标准列出了应遵循的程序，以确保集成电路满足汽车应用所需的质量和可靠性水平。Nexperia在汽车行业拥有悠久的历史，其汽车(-Q100)产品组合满足所有要求，甚至超出某些要求。

汽车电子产品组合优势

AEC-Q100产品质量标准和可靠性监控

在高温下工作会降低半导体的寿命，且温度循环会对封装的稳定性产生负面影响。如果产品在汽车应用中的可靠性还未经证实，则必须施加用于在汽车环境中模拟生命周期的一系列应力，以保证符合AEC-Q100标准。

为确保持续可靠，Nexperia逻辑器件一直采用广泛的可靠性监控程序，该程序通常超出AEC的要求；其结果每半年公布一次。这些QSUM报告可根据需要通过Nexperia销售代表获取。



图8.1 | 产品生命周期

严格的制造工艺控制

Q100器件在通过TS16949认证和VDA认可的生产设施中制造；这些器件标记为汽车批次，以此确保其获得最高优先级，有助于提供可追溯性，从而提高质量分析功能。此外，汽车器件遵照针对批次处理和边际批次处理的额外工艺流程质量门和更严格的规则，以确保将任何outlier的批次（即通过质量门但并不在可接受的分布之内）分配到标准的非汽车类型。

六西格玛设计、零缺陷测试和检验方法

六西格玛设计理念适用于所有Q100器件。这确保根据数据手册限值设计的最终用户应用可接受Nexperia的制造过程中达到一个半西格玛的偏移。由于过程控制限值要比一个半西格玛更为严格，因此几乎可保证无故障的最终用户应用。电气测试过程中，平均测试限值或统计测试限值会用于屏蔽离散过大的outliers。图8.2以黄色显示通过测试的器件分布以及计算得出的统计测试限值。虽然离散度大的outliers在规格的上下限之间，但其不作为Q100产品交付。

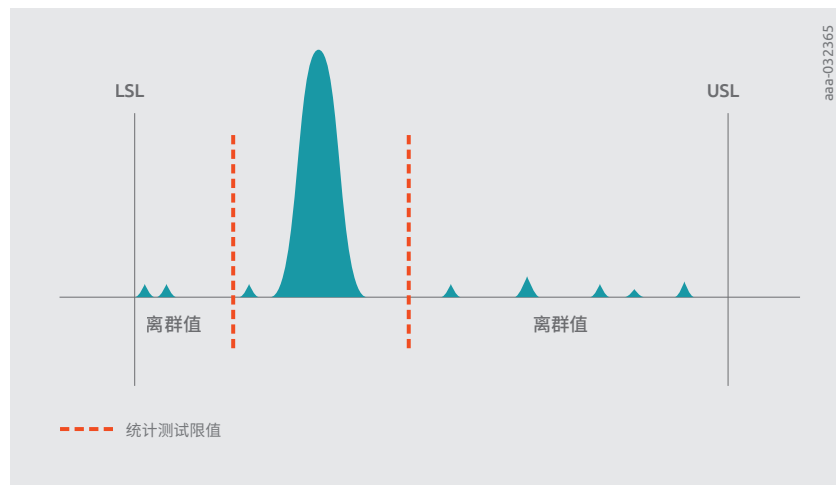


图8.2 | 统计测试限值的应用

专用网站和数据手册

Nexperia逻辑器件Q100产品组合的概要可通过www.nexperia.com/products/automotive/logic进行查询，其中包括了按功能搜索和每个功能的参数搜索，并且与标准类型不同的是，每个Q100器件都具有专用数据手册，可确认其已获得AEC-Q100认证并适用于汽车应用。

优先技术支持

Nexperia的一线和二线技术支持团队根据需要优先提供Q100产品设计协助。提供AEC-Q100生产零件批准过程(PPAP)资质数据。由于汽车最终用户应用的资质要求更为严格，Q100产品适用于180天过程变更通知(PCN)审批周期而非针对标准类型的90天PCN审批周期。万一Q100产品组合出现质量问题，Nexperia逻辑器件可保证其产出时间为10天并在24小时内得到初步验证。

第9章

逻辑器件系列

Nexperia提供广泛的逻辑工艺系列。下表列出了所有系列的特性和功能。在下述章节中，将更详细地介绍最重要的重点工艺系列。每章节的结构为：

逻辑工艺系列章节的结构

- 构建工艺：简述工艺特性，例如栅极长度、输入容量和该系列器件的其他共有特性
- 输入输出结构：一些接口结构特有的信息，例如电压和功能
- 输入输出图形：此部分将显示I/V曲线的仿真图形。这对于分析接口行为非常有用。
- 工作条件：表中列出了数据手册中规定的特性，例如限制条件和建议条件以及静态/动态特性。对相应工艺系列的器件普遍有效
- 功率计算：在这里和数据手册中均提供了公式
- 特殊功能：某些系列提供特殊功能，例如总线保持输入。这部分将描述这些功能。

Nexperia逻辑工艺系列产品组合概述：

表1：高电压系列

系列	ABT	AHC(T)	CBT(D)	HC(T)	HEF	LV-A(T)	LVnT	LVC	NPIC
电源电压(V)	4.5至5.5	2至5.5	4.5至5.5	2至6.0	3至15	2至5.5	1.6至5.5	1.6至5.5	4.5至5.5
传播延迟典型值(ns)	2	5	0,25	9	90	3,4	3,1	1,7	5
输出驱动(mA)	-0,5	±8	无	±8	±3	±12	±8	±24	±100
待机电流(µA)	500	40	3	80	600	20	10	10	200
温度范围(°C)	-40至+85	-40至+125	-40至+85	-40至+125	-40至+85	-40至+125	-40至+125	-40至+125	-40至+125
汽车选项	•	•	•	•	•	•	•	•	•
产品组合									
标准逻辑器件	•	•	•	•	•	•	•	•	•
微型逻辑器件		•	•	•			•	•	
特性									
过压容限输入		•	•	•*		•	•	•	•
施密特触发器输入		•		•	•	•		•	
低阈值输入		•		•			•		
TTL输入	•	•	•	•		•			
输入钳位二极管				•	•				•
断电源电流(loff)	•					•		•	
开漏输出		•		•				•	•
低延时隔离			•						

*此功能仅适用于4049和4050

表2: 低电压系列

系列	ALVC	ALVT	AUP	AVC	AXP	CB3Q	CBTLV(D)	AUP1T	LVC	LVT
电源电压(V)	1.2至3.6	2.3至3.6	0.8至3.6	1.2至3.6	0.7至2.75	2.3至3.6	2.3至3.6	2.3至3.6	1.2至3.6	2.7至3.6
传播延时典型值(ns)	2	1,5	3,4	1	2,9	0,2	0,15	4	4	2
输出驱动(mA)	±24	-32/64	±1,9	±8	±4,5	N/A	N/A	±4	±24	-32/64
待机电流(µA)	40	90	0,9	20	0,6	400	10	1,5	20	120
温度范围(°C)	-40至+85	-40至+85	-40至+125	-40至+85	-40至+85	-40至+85	-40至+125	-40至+125	-40至+125	-40至+85
汽车选项	•		•	•			•	•	•	•
产品组合										
标准逻辑器件	•	•		•		•	•		•	•
微型逻辑器件			•	•	•		•	•		
特性										
过压容限输入	•*	•	•	•	•	•	•	•	•	•
施密特触发器输入	•	•	•	•	•	•	•	•	•	•
低阈值输入			•		•			•		
输入钳位二极管								•		
总线保持	•	•	•	•	•	•	•	•	•	•
断电漏电流(off)	•	•	•	•	•	•	•	•	•	•
源端接	•	•	•						•	•
开漏输出			•		•				•	•
低延时隔离						•	•			

*仅适用于无总线保持版本

9.1 HC/HCT/HCU逻辑器件系列

系列介绍/概述

74HC/HCT/HCU高速硅基栅极CMOS逻辑器件系列兼具HEF4000B系列的低功耗优势以及低功耗肖特基CMOS的高速、高驱动能力。该系列具有与旧版74系列相同的引脚布局,并提供相同的电路功能。

缓冲器件的基本系列命名为74HC,工作于CMOS输入逻辑电平,可实现高噪声抗扰度、可忽略的典型静态电源和输入电流。其工作电源电压为2至6 V。

该系列的一个子集名为74HCT,它具有与“HC类型”相同的特性和功能,可工作于标准TTL电源电压(5 V±10%)和逻辑输入电平(0.8至2.0 V)下,作为与CMOS器件引脚兼容的替代品,从而既能降低功耗而又不会牺牲速度。此类型也适用于从TTL到CMOS的转换开关。

另一个子集74HCU由单级无缓冲CMOS兼容器件组成,可用于RC或晶体控制振荡器以及线性模式工作的其他类型的反馈电路。

构建工艺

HC/HCT/HCU系列器件采用5 V CMOS技术构建,栅极长度为1.2微米。该工艺技术为无铅制成,符合RoHS和深绿色。键合布线采用铜线。

输入输出结构

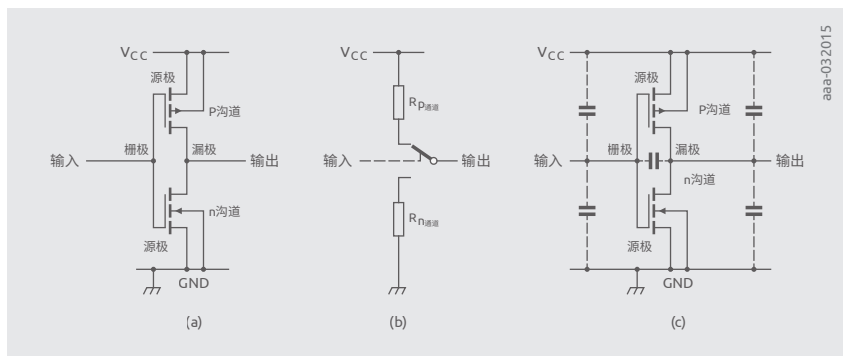


图9.1 | HC(T)系列器件的输入结构

HC/HCT/HCU逻辑器件系列的输入结构可提供ESD保护和低电容耦合

闩锁保护输入：

闩锁是由于输入、输出或电源过电压触发寄生双极性结构(SCR)，从而会在电源轨之间创建一个低阻抗路径。这些过电压产生的电流可能会超过器件的最大额定值。当触发电压消除后仍存在低阻抗路径时，则称该器件发生闩锁。

过压保护输入：

输入端包含钳位二极管。这样就可以使用限流电阻将输入端连接到超过V_{CC}的电压。

ESD保护：输入结构具有轨对轨二极管，如图9.2所示。

建议使用定义的值驱动所有逻辑输入，不要使其浮空

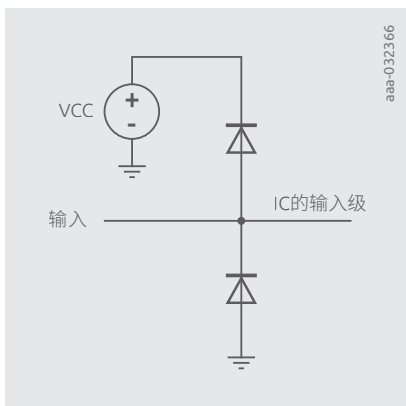


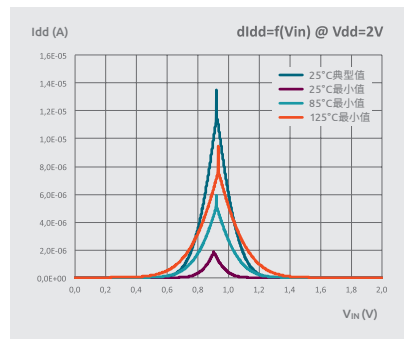
图9.2 | HC(T)输入级的ESD保护电路

HBM JESD22-A114F超过2000 V

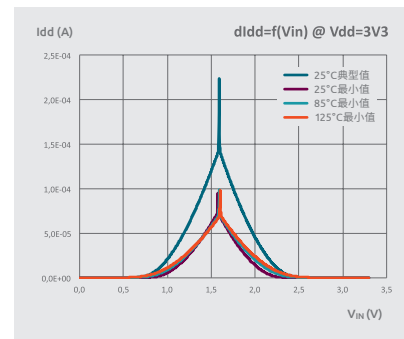
MM JESD22-A115-A超过200 V

输入输出特性

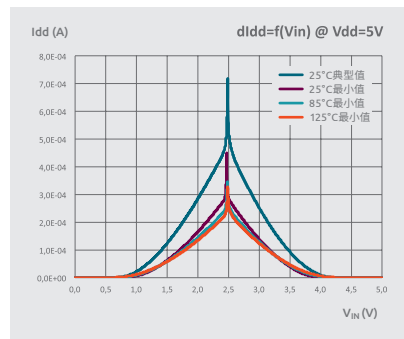
输入特性



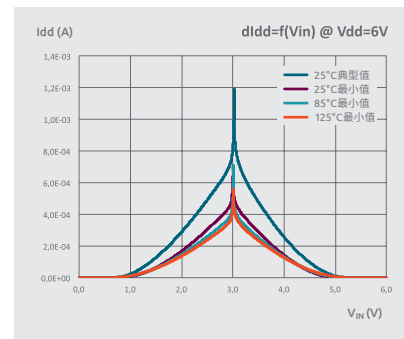
2V时的HC输入曲线



3.3V时的HC输入曲线

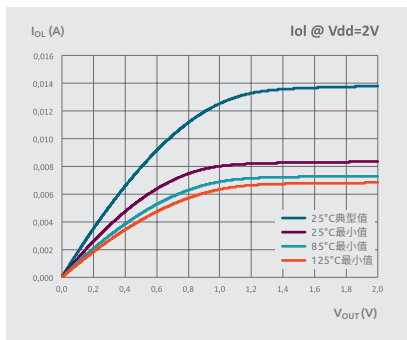


5V时的HC输入曲线

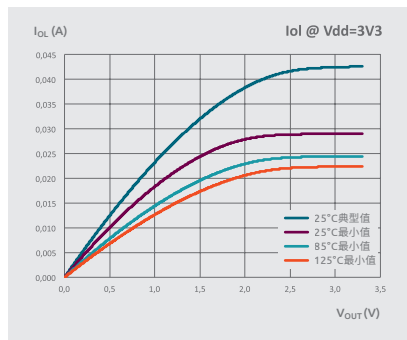


6V时的HC输入曲线

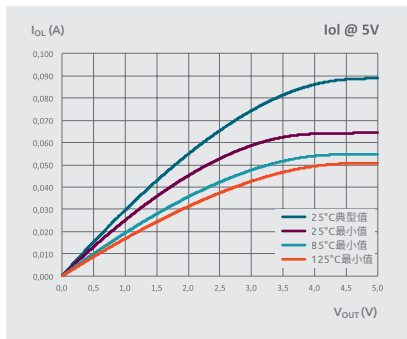
输出特性



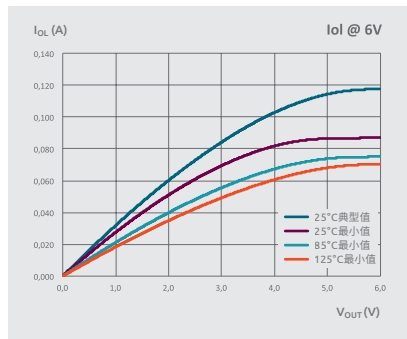
2V时的HC输出曲线



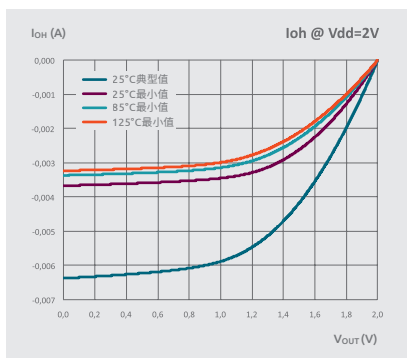
3.3V时的HC输出曲线



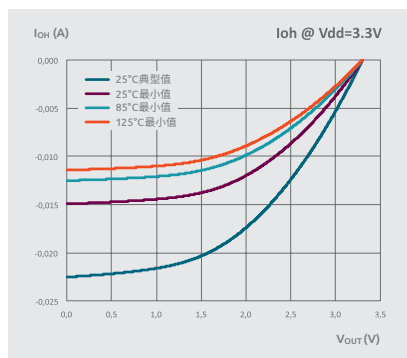
5V时的HC输出曲线



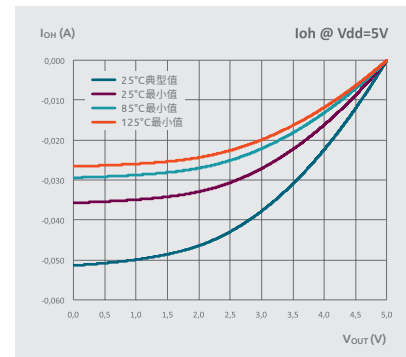
6V时的HC输出曲线



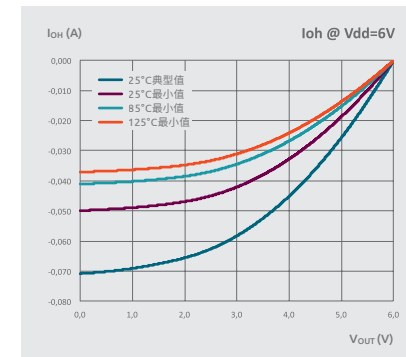
2V时的HC输出曲线



3.3V时的HC输出曲线



5V时的HC输出曲线



6V时的HC输出曲线

工作条件

表3: 限值

符号	参数	条件	最小值	最大值	单位
V_{CC}	电源电压		-0.5	+7	V
I_{IK}	输入钳位电流	$V_I < -0.5V$ 或 $V_I > V_{CC} + 0.5V$	-	± 20	mA
I_{OK}	输出钳位电流	$V_O < -0.5V$ 或 $V_O > V_{CC} + 0.5V$	-	± 20	mA
I_O	输出电流	$V_O = -0.5V$ 至 $(V_{CC} + 0.5V)$	-	± 25	mA
I_{CC}	电源电流		-	+100	mA
I_{GND}	接地电流		-100	-	mA
T_{stg}	存储温度		-65	+150	$^{\circ}C$
P_{tot}	总功耗		-	500	mW

表4: 建议工作条件

符号	参数	条件	74HC74-Q100			74HCT74-Q100			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
V _{CC}	电源电压		2,0	5,0	6,0	4,5	5,0	5,5	V
V _I	输入电压		0	-	V _{CC}	0	-	V _{CC}	V
V _O	输出电压		0	-	V _{CC}	0	-	V _{CC}	V
T _{amb}	环境温度		-40	+25	+125	-40	+25	+125	°C
Δt/ΔV	输入转换上升和下降速率	V _{CC} =2.0V	-	-	625	-	-	-	ns/V
		V _{CC} =4.5V	-	1,67	139	-	1,67	139	ns/V
		V _{CC} =6.0V	-	-	83	-	-	-	ns/V

表5: 静态特性

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C			单位
			最小值	典型值*	最大值	最小值	最大值		
74HC74-Q100									
V _{IH}	高电平输入电压	V _{CC} =2.0V	1,5	1,2	-	1,5	-	V	
		V _{CC} =4.5V	3,15	2,4	-	3,15	-	V	
		V _{CC} =6.0V	4,2	3,2	-	4,2	-	V	
V _{IL}	低电平输入电压	V _{CC} =2.0V	-	0,8	0,5	-	0,5	V	
		V _{CC} =4.5V	-	2,1	1,35	-	1,35	V	
		V _{CC} =6.0V	-	2,8	1,8	-	1,8	V	
V _{OH}	高电平输出电压	V _I =V _{IH} 或V _{IL}							
		I _O =-4.0mA; V _{CC} =4.5V	3,84	4,32	-	3,7	-	V	
		I _O =-5.2mA; V _{CC} =6.0V	5,34	5,81	-	5,2	-	V	

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C			单位
			最小值	典型值*	最大值	最小值	最大值		
V _{OL}	低电平输出电压	V _I =V _{IH} 或V _{IL}							
		I _O =4.0mA; V _{CC} =4.5V	-	0,15	0,33	-	0,4	V	
		I _O =5.2mA; V _{CC} =6.0V	-	0,16	0,33	-	0,4	V	
I _I	输入漏电流	V _I =V _{CC} 或GND; V _{CC} =6.0V	-	-	±1.0	-	±1.0	μA	
I _{CC}	电源电流	V _I =V _{CC} 或GND; I _O =0A; V _{CC} =6.0V	-	-	40	-	80	μA	
C _I	输入电容		-	3,5	-	-	-	pF	
74HCT74-Q100									
V _{IH}	高电平输入电压	V _{CC} =4.5至5.5V	2,0	1,6	-	2,0	-	V	
V _{IL}	低电平输入电压	V _{CC} =4.5至5.5V	-	1,2	0,8	-	0,8	V	
V _{OH}	高电平输出电压	V _I =V _{IH} 或V _{IL} ; V _{CC} =4.5V							
		I _O =-4mA	3,84	4,32	-	3,7	-	V	
V _{OL}	低电平输出电压	V _I =V _{IH} 或V _{IL} ; V _{CC} =4.5V							
		I _O =4.0mA	-	0,15	0,33	-	0,4	V	
I _I	输入漏电流	V _I =V _{CC} 或GND; V _{CC} =5.5V	-	-	±1.0	-	±1.0	μA	
I _{CC}	电源电流	V _I =V _{CC} 或GND; I _O =0A; V _{CC} =5.5V	-	-	40	-	80	μA	
ΔI _{CC}	附加电源电流	V _I =V _{CC} -2.1V; 其他输入接至V _{CC} 或GND; V _{CC} =4.5至5.5V; I _O =0A							
		每个输入引脚; nD、nRD输入	-	70	315	-	343	μA	
		每个输入引脚; nSD、nCP输入	-	80	360	-	392	μA	
C _I	输入电容		-	3,5	-	-	-	pF	

* 所有典型值均在T_{amb} = 25°C下测量。

表6: 动态特性

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C			单位
			最小值	典型值*	最大值	最小值	最大值		
74HCT74-Q100									
t _w	脉冲宽度	nCP高电平或低电平							
		V _{CC} =2.0V	100	19	-	120	-	ns	
		V _{CC} =4.5V	20	7	-	24	-	ns	
		V _{CC} =6.0V	17	6	-	20	-	ns	
		nSD、nRD低电平							
		V _{CC} =2.0V	100	19	-	120	-	ns	
		V _{CC} =4.5V	20	7	-	24	-	ns	
V _{CC} =6.0V	17	6	-	20	-	ns			
t _{rec}	恢复时间	nSD, nRD							
		V _{CC} =2.0V	40	3	-	45	-	ns	
		V _{CC} =4.5V	8	1	-	9	-	ns	
		V _{CC} =6.0V	7	1	-	8	-	ns	
t _{su}	建立时间	nD至nCP							
		V _{CC} =2.0V	75	6	-	90	-	ns	
		V _{CC} =4.5V	15	2	-	18	-	ns	
		V _{CC} =6.0V	13	2	-	15	-	ns	
t _h	保持时间	nD至nCP							
		V _{CC} =2.0V	3	-6	-	3	-	ns	
		V _{CC} =4.5V	3	-2	-	3	-	ns	
		V _{CC} =6.0V	3	-2	-	3	-	ns	
f _{max}	最大频率	nCP							
		V _{CC} =2.0V	4,8	23	-	4,0	-	MHz	
		V _{CC} =4.5V	24	69	-	20	-	MHz	
		V _{CC} =5V; C _L =15 pF	-	76	-	-	-	MHz	
		V _{CC} =6.0V	28	82	-	24	-	MHz	
C _{PD}	功耗电容	C _L =50 pF; f=1 MHz; V _I =GND 至V _{CC} [3]	-	24	-	-	-	pF	

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C			单位
			最小值	典型值*	最大值	最小值	最大值		
74HCT74-Q100									
t _{pd}	传播延时	nCP至nQ, nQ [1]							
		V _{CC} =4.5V	-	18	44	-	53	ns	
		V _{CC} =5V; C _L =15 pF	-	15	-	-	-	ns	
		nSD至nQ, nQ [1]							
		V _{CC} =4.5V	-	23	50	-	60	ns	
		V _{CC} =5V; C _L =15 pF	-	18	-	-	-	ns	
		nRD至nQ, nQ [1]							
V _{CC} =4.5V	-	24	50	-	60	ns			
V _{CC} =5V; C _L =15 pF	-	18	-	-	-	ns			
t _t	转换时间	nQ, nQ [1]							
		V _{CC} =4.5V	-	7	19	-	22	ns	
t _w	脉冲宽度	nCP高电平或低电平							
		V _{CC} =4.5V	23	9	-	27	-	ns	
		nSD、nRD低电平							
V _{CC} =4.5V	20	9	-	24	-	ns			
t _{rec}	恢复时间	nSD, nRD							
		V _{CC} =4.5V	8	1	-	9	-	ns	
t _{su}	建立时间	nD至nCP							
		V _{CC} =4.5V	15	5	-	18	-	ns	
t _h	保持时间	nD至nCP							
		V _{CC} =4.5V	3	-3	-	3	-	ns	
f _{max}	最大频率	nCP							
		V _{CC} =4.5V	22	54	-	18	-	MHz	
		V _{CC} =5V; C _L =15 pF	-	59	-	-	-	MHz	
C _{PD}	功耗电容	C _L =50 pF; f=1 MHz; V _I =GND 至V _{CC} -1.5V [3]	-	29	-	-	-	pF	

* 所有典型值均在T_{amb} = 25°C下测量。[1] t_{pd}与t_{PLH}和t_{PHL}相同。[2] t_t与t_{THL}和t_{TLH}相同。[3] C_{PD}用于确定动态功耗 (P_D, 单位为μW)。

功率计算

静态功耗可以采用以下方式计算：

P_s (静态功耗) = I_{CC} (电源电流) + ΔI_{CC} (每输入, $V_{in} = V_{CC} - 2.1$ V时) + I_i ($V_{in} = 0$ 或5 V时每输入的输入漏电流) + I_{out} (所有输出电流的总和)

器件的动态功耗可以使用以下公式计算：

C_{PD} 用于确定动态功耗 (P_D , 单位为 μW)：

$$P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \sum [C_L \times V_{CC}^2 \times f_o]$$

其中：

f_i = 输入频率(MHz)

V_{CC} = 电源电压(V)

f_o = 输出频率(MHz)

N = 切换输入数

C_L = 输出负载电容(pF)

$\sum [C_L \times V_{CC}^2 \times f_o]$ = 输出总和

特殊功能

总线保持、无缓冲输出、施密特与施密特动作（特别是对于LVC系列容易混淆）以及该特定系列专有的板载转换

总结

- 输入电平：
 - 74HC00：CMOS电平
 - 74HCT00：TTL电平
- 符合JEDEC标准号7A
- 多种封装选项
- 额定温度范围为-40°C至+125°C

9.2 AHC/AHCT逻辑器件系列

系列介绍/概述

AHC/AHCT系列是HC/HCT系列的高级版本，其噪声更低、功耗更小、速度更快（传播延时更小）且输出驱动电流更高，并提供过压保护输入。功能与HC/HCT器件引脚兼容，并提供标准版本（4/6/8门）和MiniLogic版本（单/双/三门）。

应用

AHC系列旨在适合2.0至5.5 V工作电压 该逻辑器件系列适合于关键应用：

- 通用工业应用
 - 消费类电子产品
 - 计算机外设
 - 通信
- 范围，支持CMOS电平设计，而AHCT系列则针对在TTL电平（4.5至5.5 V）下进行进行了优化。所有器件均可支持高达8 mA的输出驱动电流。

构建工艺

AHC/AHCT器件采用1.2微米工艺，在8英寸晶圆生产设施中制造。所有器件均使用铜线键合。

输入输出结构

所有AHC/AHCT器件均具有过压容限输入，允许输入信号超过 V_{CC} 电源电压（无论 V_{CC} 如何， $V_{in} = 5.5$ V最大值）。输出引脚的外部驱动应以 V_{CC} 为限值。

保护输入免受ESD损坏（HBM EIA/JESD22-A114E超过2000 V，MM EIA/JESD22-A115-A超过200 V，CDM EIA/JESD22-C101C超过1000 V）。

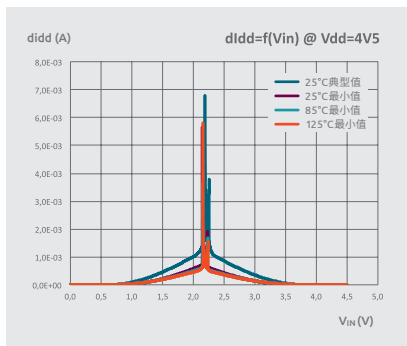
输入/输出钳位电流必须以20 mA为限值，以防损坏ESD保护电路。请注意，如果遵守了输入和输出电流额定值，则可能会超出输入和输出电压额定值

除了10个具有真正施密特触发器的器件（74AHC/AHCT132、-14、-1G14、-1G17和-3G14）以外，所有输入均提供施密特触发器动作。施密特触发器动作输入提供了更好的输入噪声容限，但是上升/下降时间没有真正的施密特触发器长。数据手册中使用转换特性 V_{t+} 、 V_{t-} 和 V_h 来表示施密特触发器动作。

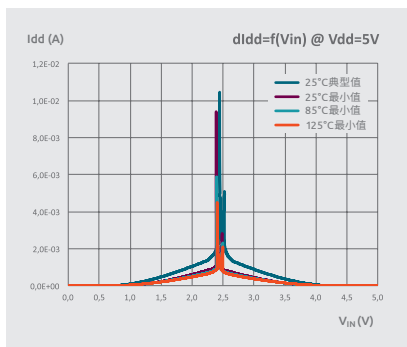
建议使用定义的值驱动所有逻辑输入，不要让其浮空。

AHC/AHCT输入输出特性

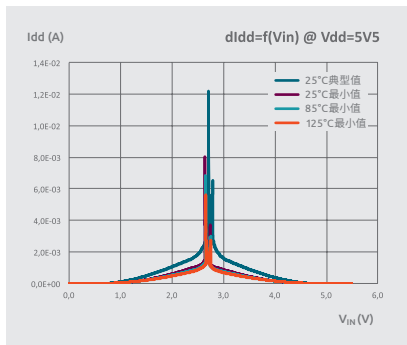
AHC输入图形



4.5V时的AHC输入曲线

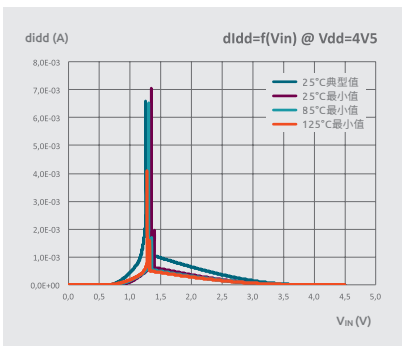


5V时的AHC输入曲线

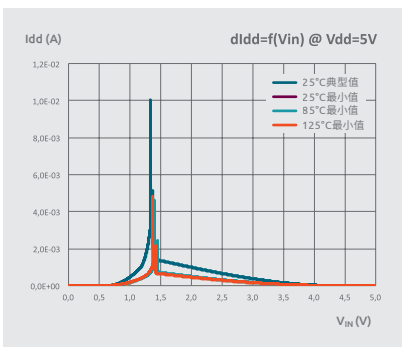


5.5V时的AHC输入曲线

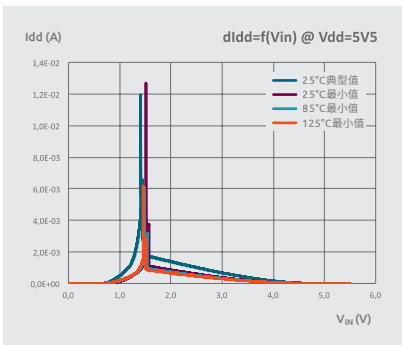
AHCT输入图形



4.5V时的AHCT输入曲线

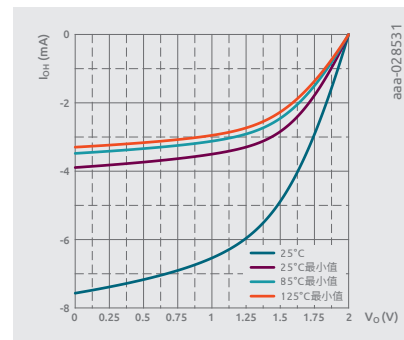


5V时的AHCT输入曲线

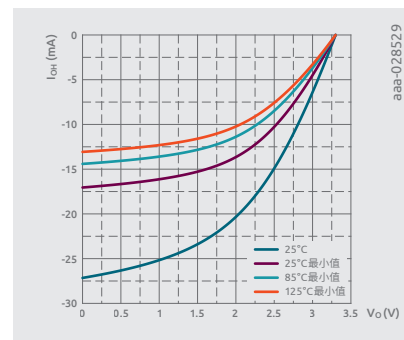


5.5V时的AHCT输入曲线

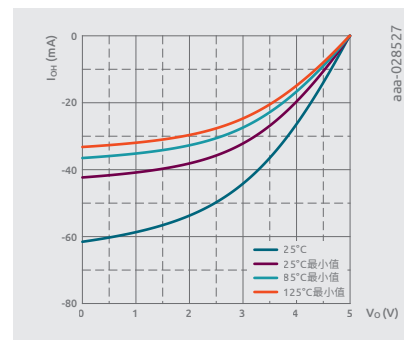
输出



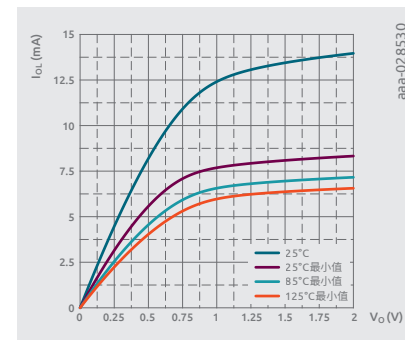
2.0 V时的IOH



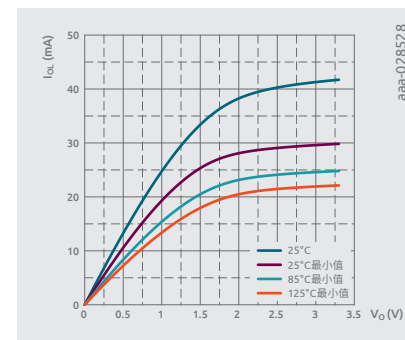
3.3 V时的IOH



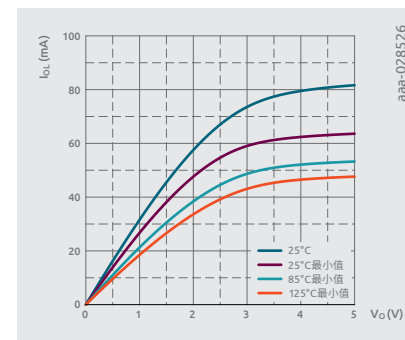
5.0 V时的IOH



2.0 V时的IOL



3.3 V时的IOL



5.0 V时的IOL

工作条件

表7: 限值

依照绝对最大额定值系统(IEC 60134)。电压参考接至GND (地=0V)。

符号	参数	条件	最小值	最大值	单位
V _{CC}	电源电压		-0,5	+7,0	V
V _I	输入电压		-0,5	+7,0	V
I _{IK}	输入钳位电流	V _I < -0.5V*	-20	-	mA
I _{OK}	输出钳位电流	V _O < -0.5V或 V _O > V _{CC} + 0.5V*	-20	+20	mA
I _O	输出电流	V _O = -0.5V至(V _{CC} + 0.5V)	-25	+25	mA
I _{CC}	电源电流		-	+75	mA
I _{GND}	接地电流		-75	-	mA
T _{stg}	存储温度		-65	+150	°C
P _{tot}	总功耗	T _{amb} = -40°C至+125°C**	-	500	mW

* 如果遵守了输入和输出电流额定值, 则可能会超出输入和输出电压额定值。

** 对于SOT108-1 (SO14)封装: 超过100°C时, P_{tot}将以10.1 mW/K线性降低。

对于SOT402-1 (TSSOP14)封装: 超过81°C时, P_{tot}将以7.3 mW/K线性降低。

对于SOT762-1 (DHVQFN14)封装: 超过98°C时, P_{tot}将以9.6 mW/K线性降低。

表8: 建议工作条件

符号	参数	条件	74AHC74			74AHCT74			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
V _{CC}	电源电压		2,0	5,0	5,5	4,5	5,0	5,5	V
V _I	输入电压		0	-	5,5	0	-	5,5	V
V _O	输出电压		0	-	V _{CC}	0	-	V _{CC}	V
T _{amb}	环境温度		-40	+25	+125	-40	+25	+125	°C
Δt/ΔV	输入转换上升和下降速率	V _{CC} = 3.0至3.6V	-	-	100	-	-	-	ns/V
		V _{CC} = 4.5至5.5V	-	-	20	-	-	20	ns/V

表9: 静态特性

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至+85°C		T _{amb} -40°C至+125°C		单位
			最小值	Typ	最大值	最小值	最大值	最小值	最大值	
74AHC74										
V _{IH}	高电平 输入电压	V _{CC} = 2.0V	1,5	-	-	1,5	-	1,5	-	V
		V _{CC} = 3.0V	2,1	-	-	2,1	-	2,1	-	V
		V _{CC} = 5.5V	3,85	-	-	3,85	-	3,85	-	V
V _{IL}	低电平 输入电压	V _{CC} = 2.0V	-	-	0,5	-	0,5	-	0,5	V
		V _{CC} = 3.0V	-	-	0,9	-	0,9	-	0,9	V
		V _{CC} = 5.5V	-	-	1,65	-	1,65	-	1,65	V
V _{OH}	高电平 输出电压	V _I = V _{IH} 或V _{IL}								
		I _O = -50 μA; V _{CC} = 2.0V	1,9	2,0	-	1,9	-	1,9	-	V
		I _O = -50 μA; V _{CC} = 3.0V	2,9	3,0	-	2,9	-	2,9	-	V
		I _O = -50 μA; V _{CC} = 4.5V	4,4	4,5	-	4,4	-	4,4	-	V
		I _O = -4.0 mA; V _{CC} = 3.0V	2,58	-	-	2,48	-	2,40	-	V
I _O = -8.0 mA; V _{CC} = 4.5V	3,94	-	-	3,80	-	3,70	-	V		
V _{OL}	低电平 输出电压	V _I = V _{IH} 或V _{IL}								
		I _O = 50 μA; V _{CC} = 2.0V	-	0	0,1	-	0,1	-	0,1	V
		I _O = 50 μA; V _{CC} = 3.0V	-	0	0,1	-	0,1	-	0,1	V
		I _O = 50 μA; V _{CC} = 4.5V	-	0	0,1	-	0,1	-	0,1	V
		I _O = 4.0 mA; V _{CC} = 3.0V	-	-	0,36	-	0,44	-	0,55	V
I _O = 8.0 mA; V _{CC} = 4.5V	-	-	0,36	-	0,44	-	0,55	V		
I _I	输入 漏电流	V _I = 5.5V或 GND; V _{CC} = 0 至5.5V	-	-	0,1	-	1,0	-	2,0	μA

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至+85°C		T _{amb} -40°C至+125°C		单位
			最小值	Typ	最大值	最小值	最大值	最小值	最大值	
I _{CC}	电源电流	V _I =V _{CC} 或GND; I _O =0A; V _{CC} =5.5V	-	-	2,0	-	20	-	40	μA
C _I	输入电容	V _I =V _{CC} 或GND	-	3	10	-	10	-	10	pF
74AHCT74										
V _{IH}	高电平输入电压	V _{CC} =4.5至5.5V	2,0	-	-	2,0	-	2,0	-	V
V _{IL}	低电平输入电压	V _{CC} =4.5至5.5V	-	-	0,8	-	0,8	-	0,8	V
V _{OH}	高电平输出电压	V _I =V _{IH} 或V _{IL} ; V _{CC} =4.5V								
		I _O =-50 μA	4,4	4,5	-	4,4	-	4,4	-	V
		I _O =-8.0 mA	3,94	-	-	3,80	-	3,70	-	V
V _{OL}	低电平输出电压	V _I =V _{IH} 或V _{IL} ; V _{CC} =4.5V								
		I _O =50 μA	-	0	0,1	-	0,1	-	0,1	V
		I _O =8.0 mA	-	-	0,36	-	0,44	-	0,55	V
I _I	输入漏电流	V _I =5.5V或GND; V _{CC} =0至5.5V	-	-	0,1	-	1,0	-	2,0	μA
I _{CC}	电源电流	V _I =V _{CC} 或GND; I _O =0A; V _{CC} =5.5V	-	-	2,0	-	20	-	40	μA
ΔI _{CC}	附加电源电流	每个输入引脚; V _I =V _{CC} -2.1V; 其他引脚为V _{CC} 或GND; I _O =0A; V _{CC} =4.5至5.5V	-	-	1,35	-	1,5	-	1,5	mA
C _I	输入电容	V _I =V _{CC} 或GND	-	3	10	-	10	-	10	pF

表10: 动态特性

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至+85°C		T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	最小值	最大值	
74AHC74										
t _{pd}	传播延时	nCP至nQ, nQ; [1]								
		V _{CC} =3.0至3.6V; C _L =15 pF	-	5,2	11,9	1,0	14,0	1,0	15,0	ns
		V _{CC} =3.0至3.6V; C _L =50 pF	-	7,4	15,4	1,0	17,5	1,0	19,5	ns
		V _{CC} =4.5至5.5V; C _L =15 pF	-	3,7	7,3	1,0	8,5	1,0	9,5	ns
		V _{CC} =4.5至5.5V; C _L =50 pF	-	5,2	9,3	1,0	10,5	1,0	12,0	ns
		nSD, nRD至nQ, nQ								
		V _{CC} =3.0至3.6V; C _L =15 pF	-	5,4	12,3	1,0	14,5	1,0	15,5	ns
		V _{CC} =3.0至3.6V; C _L =50 pF	-	7,7	15,8	1,0	18,0	1,0	20,0	ns
		V _{CC} =4.5至5.5V; C _L =15 pF	-	3,7	7,7	1,0	9,0	1,0	10,0	ns
		V _{CC} =4.5至5.5V; C _L =50 pF	-	5,3	9,7	1,0	11,0	1,0	12,5	ns
f _{max}	最大频率	V _{CC} =3.0至3.6V; C _L =15 pF	80	125	-	70	-	70	-	MHz
		V _{CC} =3.0至3.6V; C _L =50 pF	50	75	-	45	-	45	-	MHz
		V _{CC} =4.5至5.5V; C _L =15 pF	130	170	-	110	-	110	-	MHz
		V _{CC} =4.5至5.5V; C _L =50 pF	90	115	-	75	-	75	-	MHz
t _w	脉冲宽度	CP高电平或低电平; nSD、nRD低电平								
		V _{CC} =3.0至3.6V	6,0	-	-	7,0	-	7,0	-	ns
		V _{CC} =4.5至5.5V	5,0	-	-	5,0	-	5,0	-	ns

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C			单位
			最小值	典型值*	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _{su}	建立时间	nD至nCP										
		V _{CC} =3.0至3.6V	6,0	-	-	7,0	-	7,0	-	-	ns	
		V _{CC} =4.5至5.5V	5,0	-	-	5,0	-	5,0	-	-	ns	
t _h	保持时间	nD至nCP										
		V _{CC} =3.0至3.6V	0,5	-	-	0,5	-	0,5	-	-	ns	
		V _{CC} =4.5至5.5V	0,5	-	-	0,5	-	0,5	-	-	ns	
t _{rec}	恢复时间	nRD至nCP										
		V _{CC} =3.0至3.6V	5,0	-	-	5,0	-	5,0	-	-	ns	
		V _{CC} =4.5至5.5V	3,0	-	-	3,0	-	3,0	-	-	ns	
C _{PD}	功耗电容	f _i =1 MHz; V _i =GND至V _{CC} [2]	-	12	-	-	-	-	-	-	pF	

74AHCT74

t _{pd}	传播延时	nCP至nQ, nQ [1]											
		V _{CC} =4.5至5.5V; C _L =15 pF	-	3,3	7,8	1,0	9,0	1,0	10,0	ns			
		V _{CC} =4.5至5.5V; C _L =50 pF	-	4,8	8,8	1,0	10,0	1,0	11,0	ns			
		nSD, nRD至nQ, nQ											
		V _{CC} =4.5至5.5V; C _L =15 pF	-	3,7	10,4	1,0	12,0	1,0	13,0	ns			
f _{max}	最大频率	V _{CC} =4.5至5.5V; C _L =15 pF	100	160	-	80	-	80	-	MHz			
		V _{CC} =4.5至5.5V; C _L =50 pF	80	140	-	65	-	65	-	MHz			
t _w	脉冲宽度	CP高电平或低电平; nSD、nRD低电平											
		V _{CC} =4.5至5.5V	5,0	-	-	5,0	-	5,0	-	ns			
t _{su}	建立时间	nD至nCP											
		V _{CC} =4.5至5.5V	5,0	-	-	5,0	-	5,0	-	ns			

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C			单位
			最小值	典型值*	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _h	保持时间	nD至nCP										
		V _{CC} =4.5至5.5V	0	-	-	0	-	0	-	-	ns	
t _{rec}	恢复时间	nRD至nCP										
		V _{CC} =4.5至5.5V	3,5	-	-	3,5	-	3,5	-	-	ns	
C _{PD}	功耗电容	f _i =1 MHz; V _i =GND至V _{CC} [2]	-	16	-	-	-	-	-	-	pF	

* 典型值在标称电源电压下侧量 (V_{CC} = 3.3 V和V_{CC} = 5.0 V)。

[1] t_{pd}与t_{PLH}和t_{PHL}相同。

[2] C_{PD}用于确定动态功耗 (P_D, 单位为μW)。

功率计算

静态功耗可以采用以下方式计算:

P_S (静态功耗) = I_{CC} (电源电流) + ΔI_{CC} (每输入, V_{in} = V_{CC} - 2.1 V时) + I_i (V_{in} = 0或5 V时每输入的输入漏电流) + I_{out} (所有输出电流的总和)

器件的动态功耗可以使用以下公式计算:

$$P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \sum [C_L \times V_{CC}^2 \times f_o]$$

其中:

f_i = 输入频率(MHz)

V_{CC} = 电源电压(V)

f_o = 输出频率(MHz)

N = 切换输入数

C_L = 输出负载电容(pF)

∑ [C_L × V_{CC}² × f_o] = 输出总和

特殊功能

AHC逻辑器件系列可提供的功能概述:

- 8位总线接口功能
- MiniLogic[™]门
- 模拟开关功能
- TTL电平输入/输出 (AHCT系列)
- 施密特触发器输入
- 移位寄存器
- 时钟分频器
- 开漏输出
- 过压容限输入

总结

高级高速CMOS AHC(T)逻辑系列是HC(T)系列的速度升级版, 提供过压容限输入, 适合真正的混合电压应用。Nexperia的AHC产品适合2.0V至6.0 V的CMOS应用, AHCT产品适合4.5V至5.5 V的TTL应用。

- 5 ns典型传播延时
- 输出驱动能力: IOH/IOL = ±8 mA
- 低功率
- 5 V容限输入
- 低噪声: VOLP = 0.8 V (最大)

9.3 LVC逻辑器件系列

系列介绍/概述

Nexperia提供功能丰富的低压CMOS (LVC)逻辑器件产品组合, 帮助电子解决方案从5.5 V迁移至更低功率的5.5 V/3.3 V (或更低电压) 混合系统。LVC系列包括电源电压范围为1.65 V至3.3 V的标准逻辑器件功能以及电源电压范围为1.65 V至5.5 V的微型逻辑器件功能。与旧款逻辑器件系列相比, 其I_{cc}大幅降低。由于其CPD非常小, 比竞争对手的器件更低, 因此功耗极低。LVC系列提供的功能包括过压容限输入和I_{off}电路, 并且许多器件还提供施密特触发器 (动作) 输入功能。

应用

LVC逻辑器件系列支持更低电源电压的发展趋势。因此, 它的应用领域包括

- 计算机、服务器
- 电信和网络设备
- 高级总线接口
- 工业和汽车

构建工艺

LVC系列器件采用5 V CMOS125技术构建, 栅极长度为600 nm。该工艺技术为无铅制成, 符合RoHS和深绿色。键合布线采用铜线。

输入输出结构

输入

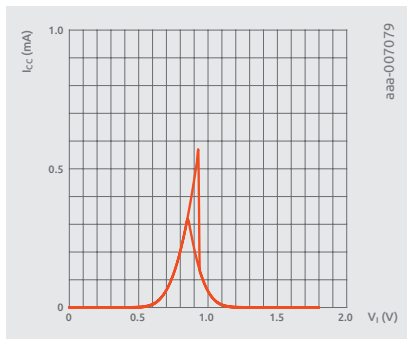
LVC系列具有两种类型的输入电路。

施密特触发器动作输入该输入在输入开关电平中内置了少量迟滞。该迟滞并未明确指定, 但实际在V_{CC} = 1.65 V至2.7 V时输入的容限可达20 ns/V输入转换率, 而在V_{CC} = 2.7 V至5.5 V时则可达10 ns/V。可以在施密特触发动作输入前使用一个总线保持单元, 以定义未使用的输入。该总线保持单元不会影响器件的性能。

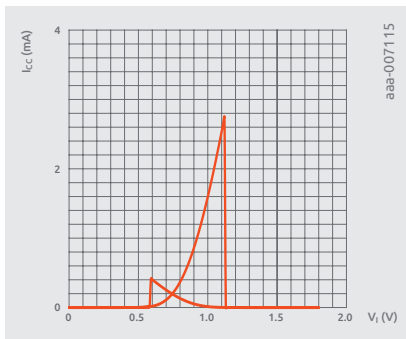
施密特触发器输入。该输入具有更高的输入迟滞，并已在数据手册中明确规定。真正的施密特触发器输入的优点是它们可以承受非常慢的边沿。下图显示了施密特触发器动作输入和施密特触发器输入的IV特性的对比。

所有输入的容压均为5 V。

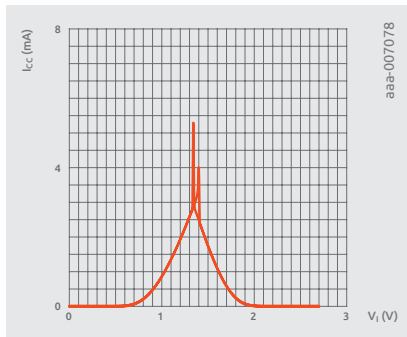
建议使用定义的值驱动所有逻辑输入，不要让其浮空。



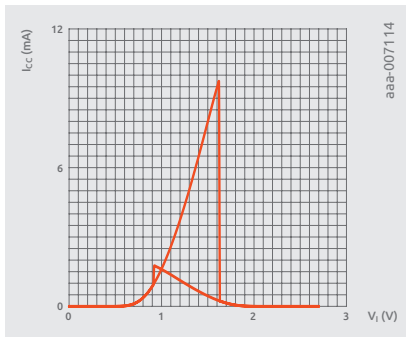
1.8 V施密特动作



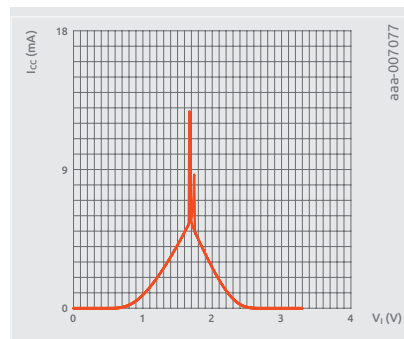
1.8 V施密特触发器



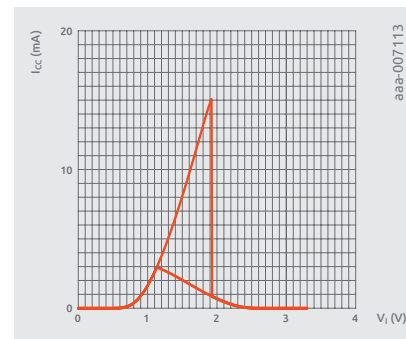
2.7 V施密特动作



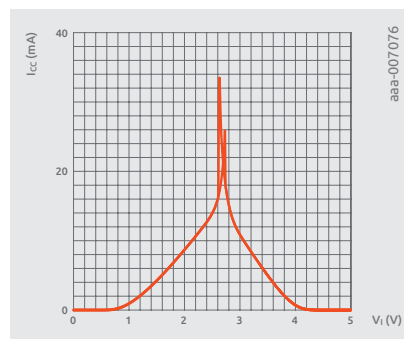
2.7 V施密特触发器



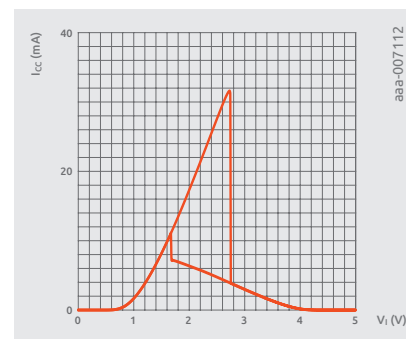
3.3 V施密特动作



3.3 V施密特触发器



5.0 V施密特动作



5.0 V施密特触发器

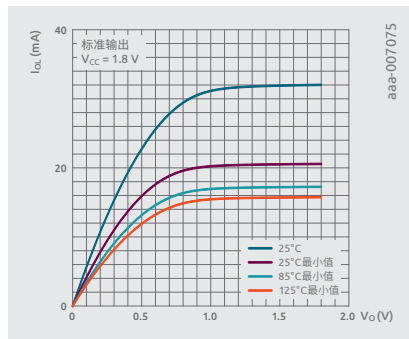
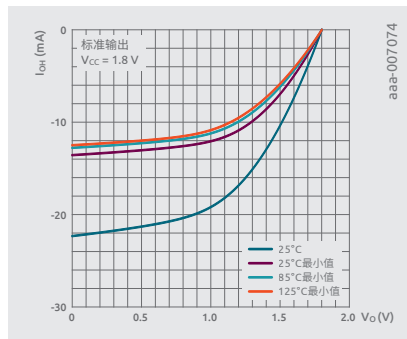
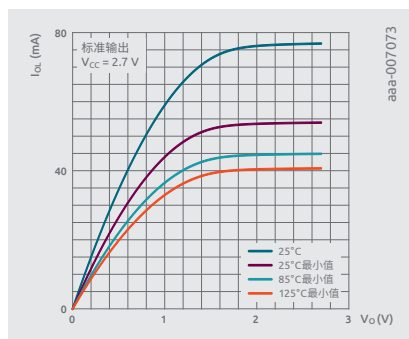
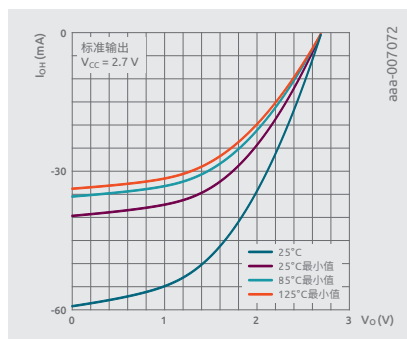
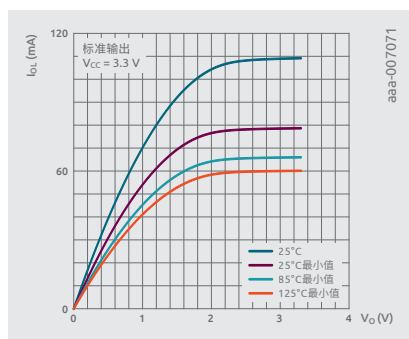
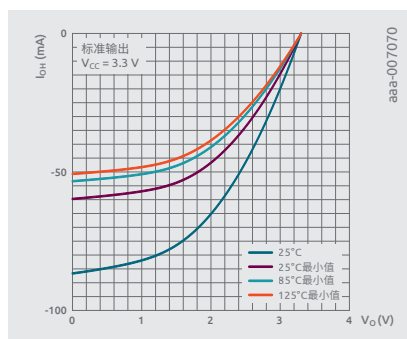
输出

在LVC系列中采用了三种类型的输出驱动器。

标准输出用于标准逻辑器件。它在3.3 V下可提供24 mA平衡输出驱动。

源端接输出用于具有源端接功能的标准逻辑器件中，以便在传输线等分布式负载应用中提供更好地匹配。它在3.3 V下可提供12 mA平衡输出驱动。

微型逻辑器件输出适合用于更宽的电源电压范围。它在3.3 V下可提供24 mA平衡输出驱动，在5.0 V可提供32 mA平衡输出驱动。下图显示了所有三个输出的IV特性的对比。

1.8 V时的 I_{OL} 1.8 V时的 I_{OH} 2.7 V时的 I_{OL} 2.7 V时的 I_{OH} 3.3 V时的 I_{OL} 3.3 V时的 I_{OH}

工作条件

表11: LVC系列器件的限值

符号	参数	条件	最小值	最大值	单位
V_{CC}	电源电压		-0,5	+6,5	V
I_{IK}	输入钳位电流	$V_I < 0\text{ V}$	-50	-	mA
V_I	输入电压	*	-0,5	+6,5	V
I_{OK}	输出钳位电流	$V_O > V_{CC}$ 或 $V_O < 0\text{ V}$	-	± 50	mA
V_O	输出电压	工作模式*	-0,5	$V_{CC} + 0.5$	V
		掉电模式; $V_{CC} = 0\text{ V}$ *	-0,5	+6,5	V
I_O	输出电流	$V_O = 0\text{ V}$ 至 V_{CC}	-	± 50	mA
I_{CC}	电源电流		-	100	mA
I_{GND}	接地电流		-100	-	mA
P_{tot}	总功耗	$T_{amb} = -40\text{ °C}$ 至 $+125\text{ °C}$ **	-	300	mW
T_{stg}	存储温度		-65	+150	°C

* 如果遵守了输入和输出电流额定值, 则可能会超出输入和输出电压额定值。

** 对于TSSOP8封装: 超过55°C时, P_{tot} 的值将以2.5 mW/K线性降低。

对于VSSOP8封装: 超过110°C时, P_{tot} 的值将以8.0 mW/K线性降低。

对于XSON8和XQFN8封装: 超过118°C时, P_{tot} 的值将以7.8 mW/K线性降低。

建议工作条件

表12: 微型LVC逻辑器件 (≤ 10 引脚) 的建议工作条件

符号	参数	条件	最小值	最大值	单位
V_{CC}	电源电压		1,65	5,5	V
V_I	输入电压		0	5,5	V
V_O	输出电压	工作模式	0	V_{CC}	V
		掉电模式; $V_{CC} = 0\text{ V}$	0	5,5	V
T_{amb}	环境温度		-40	+125	°C
$\Delta t/\Delta V$	输入转换上升和下降速率	$V_{CC} = 1.65$ 至 2.7 V	-	20	ns/V
		$V_{CC} = 2.7$ 至 5.5 V	-	10	ns/V

表13: 标准LVC逻辑器件 (>10引脚) 的建议工作条件

符号	参数	条件	T _{amb}			单位
			最小值	典型值	最大值	
V _{CC}	电源电压	适合于最高速度性能	1,65	-	3,6	V
		适合于低电压应用	1,2	-	3,6	V
V _I	输入电压		0	-	5,5	V
V _O	输出电压		0	-	V _{CC}	V
T _{amb}	环境温度		-40	-	+125	°C
Δt/ΔV	输入转换上升和下降速率	V _{CC} =1.65V至2.7V	0	-	20	ns/V
		V _{CC} =2.7V至3.6V	0	-	10	ns/V

静态特性

表14: 微型逻辑器件 (≤10引脚) 的静态特性

符号	参数	条件	T _{amb}			T _{amb}		单位
			-40°C至+85°C			-40°C至+125°C		
			最小值	典型值*	最大值	最小值	最大值	
V _{IH}	高电平输入电压	V _{CC} =1.65至1.95V	0.65V _{CC}	-	-	0.65V _{CC}	-	V
		V _{CC} =2.3至2.7V	1,7	-	-	1,7	-	V
		V _{CC} =2.7至3.6V	2,0	-	-	2,0	-	V
		V _{CC} =4.5至5.5V	0.7V _{CC}	-	-	0.7V _{CC}	-	V
V _{IL}	低电平输入电压	V _{CC} =1.65至1.95V	-	-	0.35V _{CC}	-	0.35V _{CC}	V
		V _{CC} =2.3至2.7V	-	-	0,7	-	0,7	V
		V _{CC} =2.7至3.6V	-	-	0,8	-	0,8	V
		V _{CC} =4.5至5.5V	-	-	0.3V _{CC}	-	0.3V _{CC}	V

符号	参数	条件	T _{amb}			T _{amb}		单位
			-40°C至+85°C			-40°C至+125°C		
			最小值	典型值*	最大值	最小值	最大值	
V _{OH}	高电平输出电压	V _I =V _{IH} 或V _{IL}						
		I _O =-100μA; V _{CC} =1.65至5.5V	V _{CC} -0.1	-	-	V _{CC} -0.1	-	V
		I _O =-4mA; V _{CC} =1.65V	1,2	1,54	-	0,95	-	V
		I _O =-8mA; V _{CC} =2.3V	1,9	2,15	-	1,7	-	V
		I _O =-12mA; V _{CC} =2.7V	2,2	2,50	-	1,9	-	V
		I _O =-24mA; V _{CC} =3.0V	2,3	2,62	-	2,0	-	V
V _{OL}	低电平输出电压	V _I =V _{IH} 或V _{IL}						
		I _O =100μA; V _{CC} =1.65至5.5V	-	-	0,10	-	0,10	V
		I _O =4mA; V _{CC} =1.65V	-	0,07	0,45	-	0,70	V
		I _O =8mA; V _{CC} =2.3V	-	0,12	0,30	-	0,45	V
		I _O =12mA; V _{CC} =2.7V	-	0,17	0,40	-	0,60	V
		I _O =24mA; V _{CC} =3.0V	-	0,33	0,55	-	0,80	V
I _I	输入漏电流	V _I =5.5V或GND; V _{CC} =0至5.5V	-	±0.1	±1	-	±1	μA
		I _{OFF}	断电漏电流	V _I 或V _O =5.5V; V _{CC} =0V	-	±0.1	±2	-

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
I _{CC}	电源电流	V _I =5.5V或GND; V _{CC} =1.65至5.5V; I _O =0A	-	0,1	4	-	4	μA
ΔI _{CC}	附加电源电流	每个引脚; V _I =V _{CC} -0.6V; I _O =0A; V _{CC} =2.3 至5.5V	-	5	500	-	500	μA
C _I	输入电容		-	4,0	-	-	-	pF

* 所有典型值均在T_{amb} = 25°C下测量。

表15: 标准逻辑器件 (>10引脚) 的静态特性

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
V _{IH}	高电平 输入电压	V _{CC} =1.2V	1,08	-	-	1,08	-	V
		V _{CC} =1.65至 1.95V	0.65 × V _{CC}	-	-	0.65 × V _{CC}	-	V
		V _{CC} =2.3至2.7V	1,7	-	-	1,7	-	V
		V _{CC} =2.7至3.6V	2,0	-	-	2,0	-	V
V _{IL}	低电平 输入电压	V _{CC} =1.2V	-	-	0,12	-	0,12	
		V _{CC} =1.65至 1.95V	-	-	0.35 × V _{CC}	-	0.35 × V _{CC}	
		V _{CC} =2.3至2.7V	-	-	0,7	-	0,7	
		V _{CC} =2.7至3.6V	-	-	0,8	-	0,8	

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
V _{OH}	高电平 输出电压	V _I =V _{IH} 或V _{IL}						
		I _O =-100 μA; V _{CC} =1.65至3.6V	V _{CC} -0.2	-	-	V _{CC} -0.3	-	V
		I _O =-4 mA; V _{CC} =1.65V	1,2	-	-	1,05	-	V
		I _O =-8 mA; V _{CC} =2.3V	1,8	-	-	1,65	-	V
		I _O =-12 mA; V _{CC} =2.7V	2,2	-	-	2,05	-	V
		I _O =-18 mA; V _{CC} =3.0V	2,4	-	-	2,25	-	V
V _{OL}	低电平 输出电压	V _I =V _{IH} 或V _{IL}						
		I _O =100 μA; V _{CC} =1.65至3.6V	-	-	0,2	-	0,3	V
		I _O =4 mA; V _{CC} =1.65V	-	-	0,45	-	0,65	V
		I _O =8 mA; V _{CC} =2.3V	-	-	0,6	-	0,8	V
		I _O =12 mA; V _{CC} =2.7V	-	-	0,4	-	0,6	V
		I _O =24 mA; V _{CC} =3.0V	-	-	0,55	-	0,8	V
I _I	输入 漏电流	V _{CC} =3.6V; V _I =5.5V或GND	-	±0.1	±5	-	±20	μA
I _{CC}	电源电流	V _{CC} =3.6V; V _I =V _{CC} 或GND; I _O =0A	-	0,1	10	-	40	μA

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
ΔI _{CC}	附加电源电流	每个输入引脚; V _{CC} =2.7至3.6V; V _I =V _{CC} -0.6V; I _O =0A	-	5	500	-	5000	μA
C _I	输入电容	V _{CC} =0至3.6V; V _I =GND至V _{CC}	-	4	-	-	-	pF

动态特性

表16: 微型逻辑器件的动态特性

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
t _{pd}	传播延时	CP至Q, Q;[1]						
		V _{CC} =1.65至1.95V	1,5	6,0	13,4	1,5	13,4	ns
		V _{CC} =2.3至2.7V	1,0	3,5	7,1	1,0	7,1	ns
		V _{CC} =2.7V	1,0	3,5	7,1	1,0	7,1	ns
		V _{CC} =3.0至3.6V	1,0	3,5	5,9	1,0	5,9	ns
		V _{CC} =4.5至5.5V	1,0	2,5	4,1	1,0	4,1	ns
		SD至Q, Q;[1]						
		V _{CC} =1.65至1.95V	1,5	6,0	12,9	1,5	12,9	ns
		V _{CC} =2.3至2.7V	1,0	3,5	7,0	1,0	7,0	ns
		V _{CC} =2.7V	1,0	3,5	7,0	1,0	7,0	ns
		V _{CC} =3.0至3.6V	1,0	3,0	5,9	1,0	5,9	ns
		V _{CC} =4.5至5.5V	1,0	2,5	4,1	1,0	4,1	ns

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
t _{pd}	传播延时	RD至Q, Q;[1]						
		V _{CC} =1.65至1.95V	1,5	5,0	12,9	1,5	12,9	ns
		V _{CC} =2.3至2.7V	1,0	3,5	7,0	1,0	7,0	ns
		V _{CC} =2.7V	1,0	3,5	7,0	1,0	7,0	ns
		V _{CC} =3.0至3.6V	1,0	3,0	5,9	1,0	5,9	ns
		V _{CC} =4.5至5.5V	1,0	2,5	4,1	1,0	4,1	ns
t _w	脉冲宽度	CP高电平或低电平						
		V _{CC} =1.65至1.95V	6,2	-	-	6,2	-	ns
		V _{CC} =2.3至2.7V	2,7	-	-	2,7	-	ns
		V _{CC} =2.7V	2,7	-	-	2,7	-	ns
		V _{CC} =3.0至3.6V	2,7	1,3	-	2,7	-	ns
		V _{CC} =4.5至5.5V	2,0	-	-	2,0	-	ns
		SD和RD低电平						
		V _{CC} =1.65至1.95V	6,2	-	-	6,2	-	ns
		V _{CC} =2.3至2.7V	2,7	-	-	2,7	-	ns
		V _{CC} =2.7V	2,7	-	-	2,7	-	ns
t _{rec}	恢复时间	SD或RD						
		V _{CC} =1.65至1.95V	1,9	-	-	1,9	-	ns
		V _{CC} =2.3至2.7V	1,4	-	-	1,4	-	ns
		V _{CC} =2.7V	1,3	-	-	1,3	-	ns
		V _{CC} =3.0至3.6V	+1,2	-3,0	-	+1,2	-	ns
		V _{CC} =4.5至5.5V	1,0	-	-	1,0	-	ns

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
t _{SU}	建立时间	D至CP						
		V _{CC} =1.65至1.95V	2,9	-	-	2,9	-	ns
		V _{CC} =2.3至2.7V	1,7	-	-	1,7	-	ns
		V _{CC} =2.7V	1,7	-	-	1,7	-	ns
		V _{CC} =3.0至3.6V	1,3	0,5	-	1,3	-	ns
		V _{CC} =4.5至5.5V	1,1	-	-	1,1	-	ns
t _H	保持时间	D至CP						
		V _{CC} =1.65至1.95V	1,5	-	-	1,5	-	ns
		V _{CC} =2.3至2.7V	1,0	-	-	1,0	-	ns
		V _{CC} =2.7V	1,0	-	-	1,0	-	ns
		V _{CC} =3.0至3.6V	1,0	0,6	-	1,0	-	ns
		V _{CC} =4.5至5.5V	1,0	-	-	1,0	-	ns
f _{max}	最大频率	CP						
		V _{CC} =1.65至1.95V	80	-	-	80	-	MHz
		V _{CC} =2.3至2.7V	175	-	-	175	-	MHz
		V _{CC} =2.7V	175	-	-	175	-	MHz
		V _{CC} =3.0至3.6V	175	280	-	175	-	MHz
		V _{CC} =4.5至5.5V	200	-	-	200	-	MHz
C _{PD}	功耗电容	V _I =GND至V _{CC} ; V _{CC} =3.3V [2]	-	15	-	-	-	pF

* 典型值在T_{amb} = 25°C和V_{CC} = 1.8 V、2.5 V、2.7 V、3.3 V和5.0 V下分别测量。

[1] t_{pd}与t_{PLH}和t_{PHL}相同。

[2] C_{PD}用于确定动态功耗 (P_D, 单位为μW)。

表17: 标准逻辑器件的动态特性

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
t _{pd}	传播延时	nCP至nQ, nQ [1]						
		V _{CC} =1.2V	-	15	-	-	-	ns
		V _{CC} =1.65至1.95V	1,0	5,0	10,3	1,0	11,9	ns
		V _{CC} =2.3至2.7V	1,8	2,9	5,8	1,8	6,7	ns
		V _{CC} =2.7V	1,0	2,7	6,0	1,0	7,5	ns
		V _{CC} =3.0至3.6V	1,0	2,6	5,2	1,0	6,5	ns
		nSD至nQ, nQ						
		V _{CC} =1.2V	-	15	-	-	-	ns
		V _{CC} =1.65至1.95V	0,5	4,0	10,6	0,5	12,2	ns
		V _{CC} =2.3至2.7V	1,0	2,4	6,1	1,0	7,1	ns
		V _{CC} =2.7V	1,0	2,9	6,4	1,0	8,0	ns
		V _{CC} =3.0至3.6V	1,0	2,2	5,4	1,0	7,0	ns
		nRD至nQ, nQ						
		V _{CC} =1.2V	-	15	-	-	-	ns
		V _{CC} =1.65至1.95V	0,5	4,1	10,7	0,5	12,4	ns
		V _{CC} =2.3至2.7V	1,0	2,4	6,1	1,0	7,1	ns
V _{CC} =2.7V	1,0	3,0	6,4	1,0	8,0	ns		
V _{CC} =3.0至3.6V	1,0	2,2	5,4	1,0	7,0	ns		
t _w	脉冲宽度	时钟高电平或低电平						
		V _{CC} =1.65至1.95V	5,0	-	-	5,0	-	ns
		V _{CC} =2.3至2.7V	4,0	-	-	4,0	-	ns
		V _{CC} =2.7V	3,3	-	-	4,5	-	ns
		V _{CC} =3.0至3.6V	3,3	1,3	-	4,5	-	ns
		置位或复位低电平						
		V _{CC} =1.65至1.95V	5,0	-	-	5,0	-	ns
		V _{CC} =2.3至2.7V	4,0	-	-	4,0	-	ns
		V _{CC} =2.7V	3,3	-	-	4,5	-	ns
		V _{CC} =3.0至3.6V	3,3	1,7	-	4,5	-	ns

符号	参数	条件	T _{amb} -40°C至+85°C			T _{amb} -40°C至+125°C		单位
			最小值	典型值*	最大值	最小值	最大值	
t _{rec}	恢复时间	置位或复位						
		V _{CC} = 1.65至1.95 V	1,5	-	-	1,5	-	ns
		V _{CC} = 2.3至2.7 V	1,5	-	-	1,5	-	ns
		V _{CC} = 2.7 V	1,5	-	-	1,0	-	ns
t _{su}	建立时间	nD至nCP						
		V _{CC} = 1.65至1.95 V	3,0	-	-	3,0	-	ns
		V _{CC} = 2.3至2.7 V	2,5	-	-	2,5	-	ns
		V _{CC} = 2.7 V	2,2	-	-	2,2	-	ns
t _h	保持时间	nD至nCP						
		V _{CC} = 1.65至1.95 V	2,0	-	-	2,0	-	ns
		V _{CC} = 2.3至2.7 V	1,5	-	-	1,5	-	ns
		V _{CC} = 2.7 V	1,0	-	-	1,0	-	ns
f _{max}	最大频率	nCP						
		V _{CC} = 1.65至1.95 V	100	-	-	80	-	MHz
		V _{CC} = 2.3至2.7 V	125	-	-	100	-	MHz
		V _{CC} = 2.7 V	150	-	-	120	-	MHz
t _{sk(o)}	输出偏置时间	V _{CC} = 3.0至3.6 V [2]	-	-	1,0	-	1,5	ns
C _{PD}	功耗电容	每个触发器; V _I = GND至V _{CC} [3]						
		V _{CC} = 1.65至1.95 V	-	12,4	-	-	-	pF
		V _{CC} = 2.3至2.7 V	-	16,0	-	-	-	pF
		V _{CC} = 3.0至3.6 V	-	19,1	-	-	-	pF

* 典型值在T_{amb} = 25°C和V_{CC} = 1.2 V、1.8 V、2.5 V、2.7 V和3.3 V下分别测量。

[1] t_{pd}与t_{PLH}和t_{PHL}相同。

[2] 同一封装的两个输出之间的偏移在同方向上切换。该参数由设计保证。

[3] C_{PD}用于确定动态功耗 (P_D, 单位为μW)。

功率计算

静态功耗的计算很大程度上取决于输入电压电平：如果将其正确设置为V_{CC}或GND电平，则可以使用静态电源电流I_{CC}来计算功耗：P_{static} = V_{CC} × I_{CC}

如果V_{in}处于某个中间电压水平，则器件工作在未定义状态，输入级的NMOS和PMOS两个晶体管可能都会导通，这时我们就需要使用

动态功耗，其计算如下：

$$P_{dyn} = C_{PD} \times V_{CC}^2 \times f_i \times N + \sum [C_L \times V_{CC}^2 \times f_o]$$

其中：

f_i = 输入频率(MHz)

V_{CC} = 切换输入数

f_o = 输出频率(MHz)

Σ(C_L × V_{CC}² × f_o) = 输入总和

C_L = 输出负载电容(pF)

以接近 V_{CC}/2的电压驱动器件可能会产生一个额外电流通过器件，从而导致输入级的NMOS和PMOS两个晶体管都处于导通状态（尽管不是完全导通）。I_{CC}的值在静态特性中列出。

这些特性通常对LVC系列器件有效，获取更多功率计算的详细信息，请查看相应的数据手册。

特殊功能

为了降低待机电流，许多应用使用高级电源管理，使应用内未使用的电路掉电。为了支持这种部分掉电架构，逻辑器件系列在电源电压(V_{CC})为0 V时，不得存在任何通往电源轨的漏电路径。LVC包含 I_{OFF} 电路，该电路可在 $V_{CC} = 0$ V时阻止电流通过输入和输出。

一些16/32位缓冲器/线路驱动器(LVCH)具有输入总线保持功能，当输入临时断开时，保持最后一个输入级。

AUP逻辑器件系列可提供的功能概述：

- 总线保持输入
- 施密特触发器/施密特动作输入
- 过压容限输入
- 开漏输出
- 源端接
- 双电源转换器

总结

Nexperia提供功能丰富的低压CMOS (LVC)逻辑器件产品组合，帮助电子解决方案从5.5 V迁移至更低功率的5.5 V/3.3 V（或更低电压）混合系统。LVC系列包括电源电压范围为1.65 V至3.3 V的标准逻辑器件功能以及电源电压范围为1.65 V至5.5 V的微型逻辑器件功能。一些主要特性包括：

- 4 ns典型传播延时
- 24 mA平衡输出驱动
- 宽电源范围
- 5 V容差I/O
- 串联端接功能
- 总线保持功能
- 过压容限输入
- I_{OFF} 电路
- 符合AEC-Q100标准可选
- 额定温度范围为-40°C至+125°C
- 无铅、符合RoHS和“深绿”标准

9.4 AVC逻辑器件系列

系列介绍/概述

Nexperia的AVC（高级极低电压CMOS）逻辑器件系列针对高性能总线接口应用进行了优化。AVC运行时的传播延时不到2 ns，可满足新型数字系统的要求，包括低功耗、超过100 MHz的极高总线速度和低噪声。AVC适用于新型高性能工作站、PC、电信设备和数据通信设备。

率先开发出的新电路技术为AVC提供了独特的性能。AVC针对2.5 V系统进行了优化，同时也可以工作在3.3 V和1.8 V下工作，以支持混合电压系统。AVC还具有断电禁用输出电路，该电路可在掉电模式下将输出隔离。本章节将为设计人员提供更深入的理解，以便在其应用中使用。

构建工艺

AVC系列采用3.3 V CMOS技术，栅极长度为0.35 μm 。该工艺技术为无铅制成，符合RoHS和深绿色。键合布线采用铜线。

输入和输出结构

输入结构

AVC的输入采用CMOS图腾柱反相器，如图9.3所示。该电路没有从输入到 V_{CC} 的过冲钳位二极管，这一点与经典CMOS电路不同。由于没有流向 V_{CC} 的电流路径，因此电压可以升高到 V_{CC} 电平以上，从而支持1.8 V至3.3 V系统中的连接。

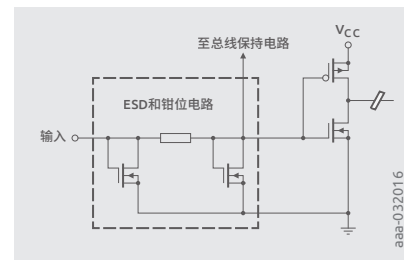


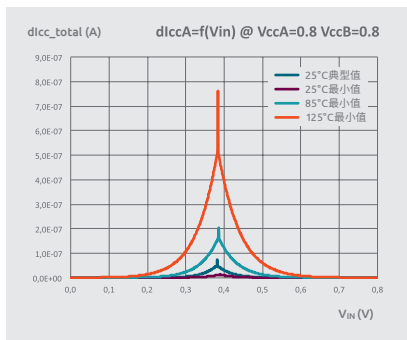
图 9.3 | 简化的AVC输入结构

由于该电路采用CMOS技术，因此仍然必须注意确保不要将输入浮空。当输入浮空时，电压电平可能会达到阈值电平，使得图腾柱结构中的两个晶体管同时导通，有电流从 V_{CC} 和地流过，从而浪费了功率。

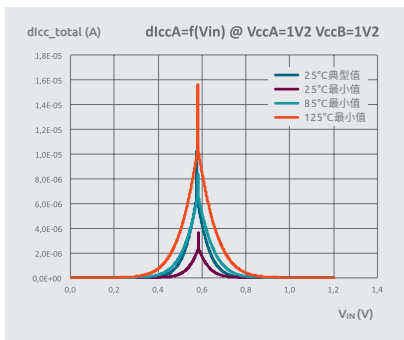
建议使用定义的值驱动所有逻辑输入，不要让其浮空。

输入和输出图形

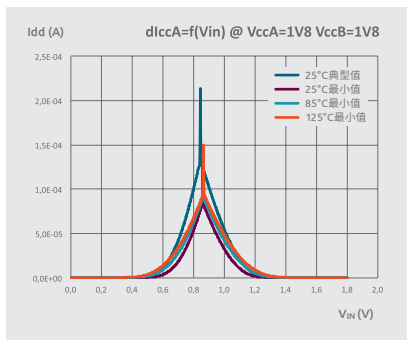
AVC输入图形



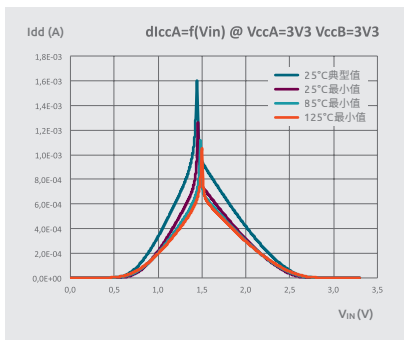
0.8V时的AVC输入



1.2V时的AVC输入

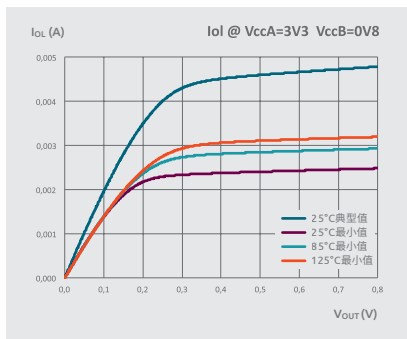


1.8V时的AVC输入

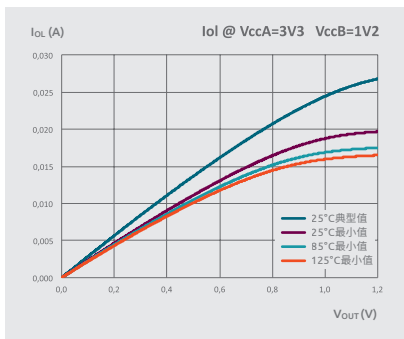


3.3V时的AVC输入

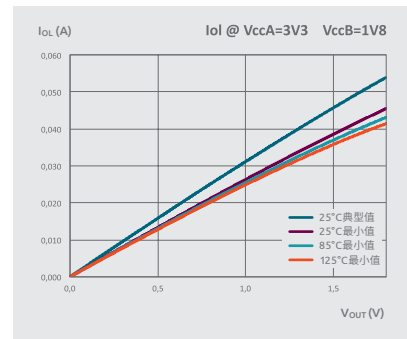
输出图形



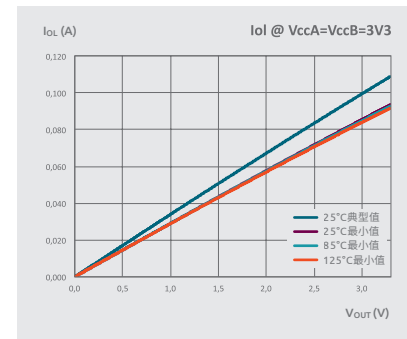
0.8V时的AVC输出



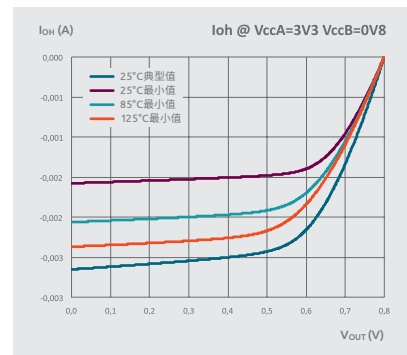
1.2V时的AVC输出



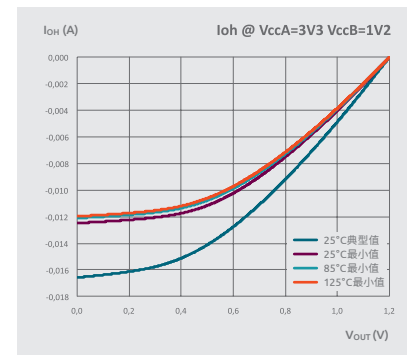
1.8V时的AVC输出



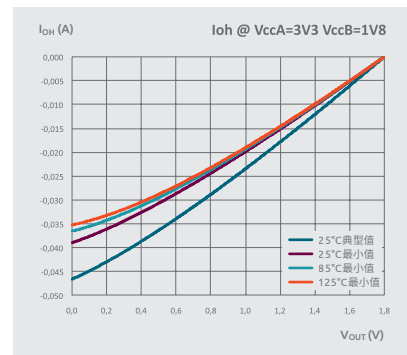
3.3V时的AVC输出



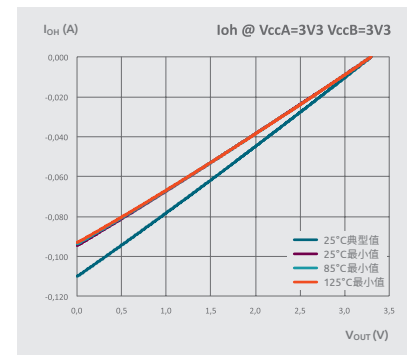
0.8V时的AVC输出



1.2V时的AVC输出



1.8V时的AVC输出



3.3V时的AVC输出

工作条件

表18: 限值

符号	参数	条件	最小值	最大值	单位
V _{CC}	电源电压		-0.5	+4,6	V
I _{IK}	输入钳位电流	V _I < 0V	-	-50	mA
V _I	输入电压	*	-0.5	+4,6	V
I _{OK}	输出钳位电流	V _O < 0V	-50	-	mA
V _O	输出电压	输出高电平或低电平*	-0.5	V _{CC} +0.5	V
		输出三态*	-0.5	+4,6	V
I _O	输出电流	V _O = 0V至V _{CC}	-	±50	mA
I _{CC}	电源电流		-	+100	mA
I _{GND}	接地电流		-100	-	mA
T _{stg}	存储温度		-65	+150	°C
P _{tot}	总功耗	T _{amb} = -40°C至+85°C**	-	500	mW

* 如果遵守了输入和输出电流额定值, 则可能会超出输入和输出电压额定值。

** 超过60°C时, P_{tot}的值将以5.5 mW/K线性降低。

表19: 建议工作条件

符号	参数	条件	最小值	典型值	最大值	单位
V _{CC}	电源电压	按照JEDEC低电平电压标准	1,4	-	1,6	V
			1,65	-	1,95	V
			2,3	-	2,7	V
		3,0	-	3,6	V	
		适合于低电压应用	1,2	-	3,6	V
V _I	输入电压		0	-	3,6	V
V _O	输出电压	高电平或低电平	0	-	V _{CC}	V
		输出三态	0	-	3,6	V
T _{amb}	环境温度	在自由空气中	-40	-	+85	°C
Δt/ΔV	输入转换上升和下降速率	V _{CC} = 1.4至1.6V	0	-	40	ns/V
		V _{CC} = 1.65至2.3V	0	-	30	ns/V
		V _{CC} = 2.3至3.0V	0	-	20	ns/V
		V _{CC} = 3.0至3.6V	0	-	10	ns/V

表20: 静态特性

符号	参数	条件	T _{amb} -40°C至+85°C			单位
			最小值	典型值*	最大值	
V _{IH}	高电平输入电压	V _{CC} = 1.2V	V _{CC}	-	-	V
		V _{CC} = 1.4至1.6V	0.65 × V _{CC}	0,9	-	V
		V _{CC} = 1.65至1.95V	0.65 × V _{CC}	0,9	-	V
		V _{CC} = 2.3至2.7V	1,7	1,2	-	V
		V _{CC} = 3.0至3.6V	2,0	1,5	-	V
V _{IL}	低电平输入电压	V _{CC} = 1.2V	-	-	GND	V
		V _{CC} = 1.4至1.6V	-	0,9	0.35 × V _{CC}	V
		V _{CC} = 1.65至1.95V	-	0,9	0.35 × V _{CC}	V
		V _{CC} = 2.3至2.7V	-	1,2	0,7	V
		V _{CC} = 3.0至3.6V	-	1,5	0,8	V
V _{OH}	高电平输出电压	V _I = V _{IH} 或V _{IL}				
		I _O = -100 μA; V _{CC} = 1.65至3.6V	V _{CC} - 0.20	V _{CC}	-	V
		I _O = -3 mA; V _{CC} = 1.4V	V _{CC} - 0.35	V _{CC} - 0.23	-	V
		I _O = -4 mA; V _{CC} = 1.65V	V _{CC} - 0.45	V _{CC} - 0.25	-	V
		I _O = -8 mA; V _{CC} = 2.3V	V _{CC} - 0.55	V _{CC} - 0.38	-	V
		I _O = -12 mA; V _{CC} = 3.0V	V _{CC} - 0.70	V _{CC} - 0.48	-	V
V _{OL}	低电平输出电压	V _I = V _{IH} 或V _{IL}				
		I _O = 100 μA; V _{CC} = 1.65至3.6V	-	GND	0,20	V
		I _O = 3 mA; V _{CC} = 1.4V	-	0,10	0,35	V
		I _O = 4 mA; V _{CC} = 1.65V	-	0,10	0,45	V
		I _O = 8 mA; V _{CC} = 2.3V	-	0,26	0,55	V
		I _O = 12 mA; V _{CC} = 3.0V	-	0,36	0,70	V
I _I	输入漏电流	每个引脚; V _I = V _{CC} 或GND; V _{CC} = 1.4至3.6V	-	0,1	2,5	μA
I _{OFF}	断电漏电流	V _I 或V _O = 3.6V; V _{CC} = 0.0V	-	±0.1	±10	μA
I _{oz}	断态输出电流	V _I = V _{IH} 或V _{IL} ; V _O = V _{CC} 或GND				
		V _{CC} = 1.4至2.7V	-	0,1	5	μA
		V _{CC} = 3.0至3.6V	-	0,1	10	μA

符号	参数	条件	T _{amb} -40°C至+85°C			单位
			最小值	典型值*	最大值	
I _{CC}	电源电流	V _I =V _{CC} 或GND; I _O =0 A				
		V _{CC} =1.4至2.7 V	-	0,1	20	μA
		V _{CC} =3.0至3.6 V	-	0,2	40	μA
C _I	输入电容		-	5	-	pF

* 所有典型值均在T_{amb} = 25°C下测量。

表21: 动态特性

符号	参数	条件	T _{amb} -40°C至+85°C			单位
			最小值	典型值*	最大值	
t _{pd}	传播延时	nCP至nQn; [1]				
		V _{CC} =1.2 V	-	3,1	-	ns
		V _{CC} =1.4至1.6 V	1,2	2,4	8,4	ns
		V _{CC} =1.65至1.95 V	1,0	2,0	6,7	ns
		V _{CC} =2.3至2.7 V	0,8	1,5	4,1	ns
		V _{CC} =3.0至3.6 V	0,7	1,3	3,3	ns
t _{en}	使能时间	n \overline{OE} 至nQn, nBn; [1]				
		V _{CC} =1.2 V	-	5,4	-	ns
		V _{CC} =1.4至1.6 V	1,6	3,9	8,5	ns
		V _{CC} =1.65至1.95 V	2,3	3,3	6,7	ns
		V _{CC} =2.3至2.7 V	0,9	2,3	4,3	ns
		V _{CC} =3.0至3.6 V	0,7	2,0	3,4	ns
t _{dis}	禁用时间	n \overline{OE} 至nQn; [1]				
		V _{CC} =1.2 V	-	5,6	-	ns
		V _{CC} =1.4至1.6 V	2,5	4,5	9,4	ns
		V _{CC} =1.65至1.95 V	1,8	3,3	7,8	ns
		V _{CC} =2.3至2.7 V	1,0	1,8	4,2	ns
		V _{CC} =3.0至3.6 V	1,2	2,0	3,9	ns

符号	参数	条件	T _{amb} -40°C至+85°C			单位
			最小值	典型值*	最大值	
t _w	脉冲宽度	高电平; nCP				
		V _{CC} =1.2 V	-	0,8	-	ns
		V _{CC} =1.4至1.6 V	-	0,5	-	ns
		V _{CC} =1.65至1.95 V	3,1	0,3	-	ns
		V _{CC} =2.3至2.7 V	2,5	0,2	-	ns
		V _{CC} =3.0至3.6 V	2,5	0,2	-	ns
t _{su}	建立时间	nDn至nCP				
		V _{CC} =1.2 V	-	-0,6	-	ns
		V _{CC} =1.4至1.6 V	2,7	-0,3	-	ns
		V _{CC} =1.65至1.95 V	1,9	-0,3	-	ns
		V _{CC} =2.3至2.7 V	1,4	-0,2	-	ns
		V _{CC} =3.0至3.6 V	1,4	-0,1	-	ns
t _h	保持时间	nDn至nCP				
		V _{CC} =1.2 V	-	0,8	-	ns
		V _{CC} =1.4至1.6 V	1,3	0,7	-	ns
		V _{CC} =1.65至1.95 V	1,2	0,6	-	ns
		V _{CC} =2.3至2.7 V	1,1	0,5	-	ns
		V _{CC} =3.0至3.6 V	1,1	0,4	-	ns
f _{max}	最大频率	V _{CC} =1.2 V	-	250	-	MHz
		V _{CC} =1.4至1.6 V	-	300	-	MHz
		V _{CC} =1.65至1.95 V	160	320	-	MHz
		V _{CC} =2.3至2.7 V	200	350	-	MHz
		V _{CC} =3.0至3.6 V	200	350	-	MHz
C _{PD}	功耗电容	每个输入; V _I = GND至V _{CC} [2]				
		输出使能	-	66	-	pF
		输出禁用	-	1	-	pF

* 典型值在T_{amb} = 25°C和V_{CC} = 1.2 V、1.5 V、1.8 V、2.5 V和3.3 V下分别测量。

[1] t_{pd}与t_{PLH}和t_{PHL}相同。t_{en}与t_{PZL}和t_{PZH}相同。t_{dis}与t_{PLZ}和t_{PHZ}相同。

[2] C_{PD}用于确定动态功耗 (P_D, 单位为μW)。

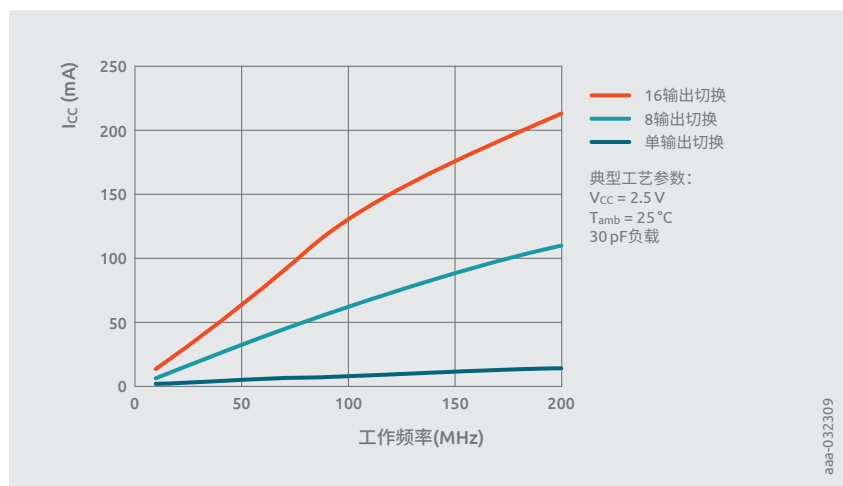
表22: 传播延时

参数	特性值		
电源电压	1.65–1.95 V	2.3–2.7 V	3.0–3.6 V
输入电压	3.6 V	3.6 V	3.6 V
最大传播延时 ¹	3.2 ns	1.9 ns	1.7 ns

¹所示: 74AVC16245

功率计算

AVC采用0.35微米CMOS制造工艺构建, 因而电流消耗很低。图9.4显示了单输出和多输出切换在不同频率下的 I_{CC} 仿真数据:

图9.4 | I_{CC} 随频率的变化

动态功耗可以采用以下公式计算:

$$P_D = C_{PD} \times V_{CC}^2 \times f_{IN} + \sum (C_L \times V_{CC}^2 \times f_{OUT})$$

其中:

C_{PD} = 每个缓冲器、锁存器或触发器的
功耗电容
 f_{IN} = 输入频率
 f_{OUT} = 输出频率
 C_L = 输出负载电容
 $\sum (C_L \times V_{CC}^2 \times f_{OUT})$ = 输出总和

例如, 对于AVC16244, 当典型 C_{PD} 为20 pF, 负载为15 pF, 工作频率为100 MHz, V_{CC} 为2.5 V, 16个输出切换时的功耗为162.5 mW。

特殊功能

输出保护: I_{OFF}

AVC的另一个特性是具有输出保护电路。在混合电压系统中, 当输出节点与电压更高的系统的总线相连时, 当输出节点比AVC器件的 V_{CC} 高出0.6 V时, 原有二极管连接会提供一条流向 V_{CC} 的电流路径。该电流可能会损坏二极管, 并且现在在两个电源之间会存在电流路径。高电压电源向低电压电源充电也会造成损坏。

为了保护二极管, 可进行阴极切换, 而不是硬接线至 V_{CC} 。当电压上升至比AVC器件的 V_{CC} 高出0.6 V时, 比较器将检测输出节点电压并将二极管短路。这仅在三态模式下有效, 并可消除通往 V_{CC} 的电流路径, 从而在混合电压系统中允许输出电压上升至高于 V_{CC} 的电压。器件掉电时, 二极管断开, 当向输出施加电压时, 漏电流最大仅为10 μA 。该电流参数称为 I_{OFF} , 该保护功能对于掉电模式很有用。

9.5 AUP逻辑器件系列

系列介绍/概述

AUP系列硅基栅极CMOS器件系列采用高级工艺技术和新一代封装技术，可创建静态和动态功耗极低的超小型逻辑功能。这些器件提供单门(1G)、双门(2G)和三门(3G)版本。

AUP系列提供各种标准、组合和可配置逻辑功能，以及低阈值输入版本和双电源电压电平转换器。

AUP系列凭借其先进的工艺技术，可提供非常低的静态和动态功耗。

应用

AUP逻辑器件为电池供电的移动应用专门设计，这些应用要求低功耗运行。例如：

- 移动电话和智能手机
- 消费娱乐（液晶电视、DVD+R/W系统和机顶盒）
- MP3播放器和移动媒体播放器
- 数码相机和数码摄录机
- 便携式手持设备（PDA、GPS设备和笔记本电脑）
- 便携式仪器仪表

该系列具有低传播延时和宽电压范围，适合混合电压应用。3.6 V容限输入可支持将1.8 V电源供电的器件连接至介于3.3 V和1.8 V之间的系统。低阈值输入(1T)选项可以在3.3 V电源供电时，支持与介于1.2 V和3.3 V之间的系统连接。该产品组合还提供双电源单向和双向电压电平转换器。所有输入均具有施密特触发器动作，可提高噪声抗扰度，并使电路能够承受整个电源电压范围内较慢的输入上升和下降时间。

构建工艺

AUP系列器件采用CMOS035技术构建，栅极长度为350 nm。该工艺技术为无铅制成，符合RoHS和深绿色。键合布线采用铜线。

输入输出结构

AUP系列器件提供过压容限输入级(3.6 V)，电源范围为0.8 V至3.6V。

所有可配置逻辑器件的施密特触发器输入在 $V_{CC} = 1.2V$ 时迟滞为~400 mV。某些缓冲器、反相器和与非门型号也具有施密特触发器输入。所有其他器件都具有施密特动作功能，这会提供一个较小的迟滞，在 $V_{CC} = 1.2V$ 时大约为60 mV。该迟滞可提高噪声抗扰度。

建议使用定义的值驱动所有逻辑输入，不要让其浮空。

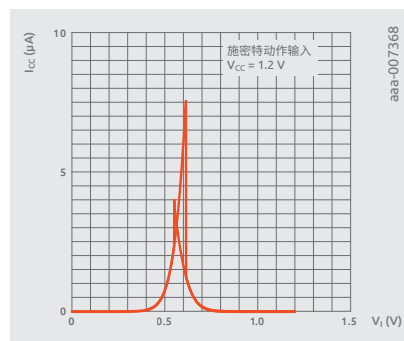
输入图形

AUP系列具有两种类型的输入电路。

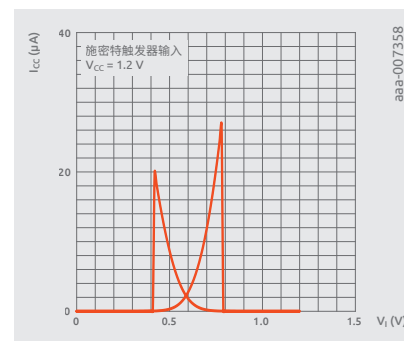
施密特触发器动作输入——此输入在输入开关电平中内置了少量迟滞。该迟滞并未明确指定，但实际在 $V_{CC} = 1.65 V$ 至 $2.7 V$ 时输入的容限可达20 ns/V输入转换率，而在 $V_{CC} = 2.7 V$ 至 $5.5 V$ 时则可达10 ns/V。可以在施密特触发动作输入前使用一个总线保持单元，以定义未使用的输入。该总线保持单元不会影响器件的性能。

施密特触发器输入——该输入具有更高的输入迟滞，并已在数据手册中明确规定。真正的施密特触发器输入的优点是它们可以承受非常慢的边沿。

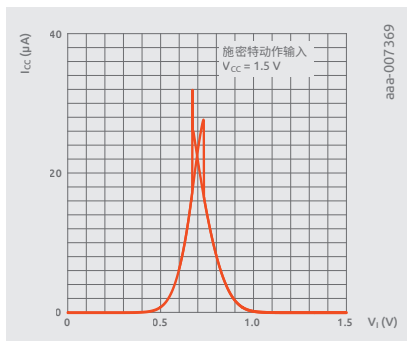
下图显示了施密特触发器动作输入和施密特触发器输入的IV特性的对比。



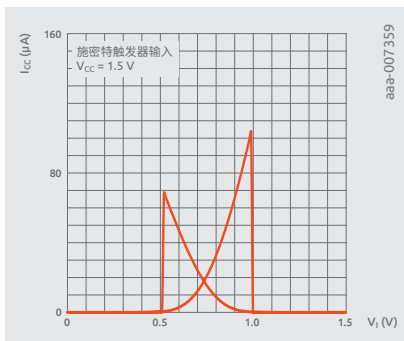
1.2 V施密特动作



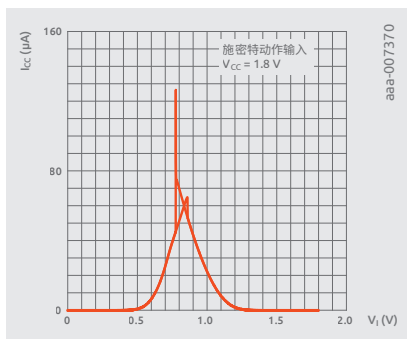
1.2 V施密特触发器



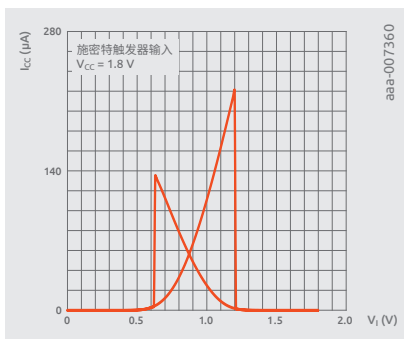
1.5 V施密特动作



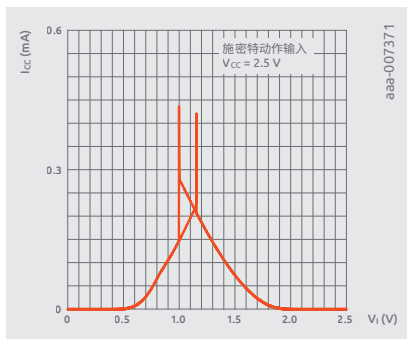
1.5 V施密特触发器



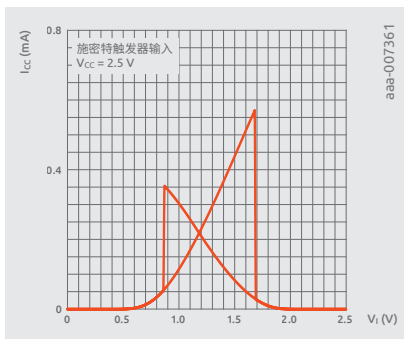
1.8 V施密特动作



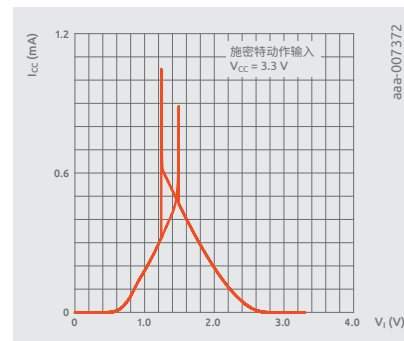
1.8 V施密特触发器



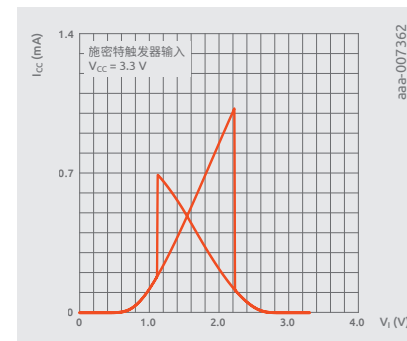
2.5 V施密特动作



2.5 V施密特触发器



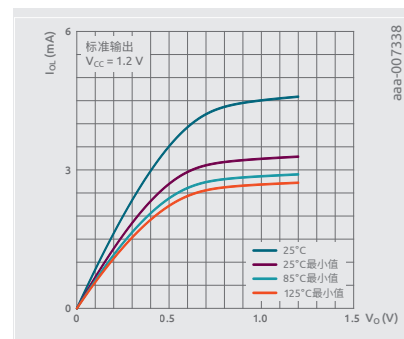
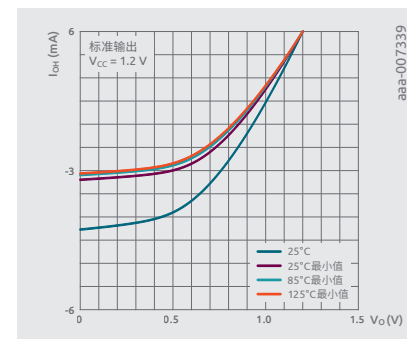
3.3 V施密特动作

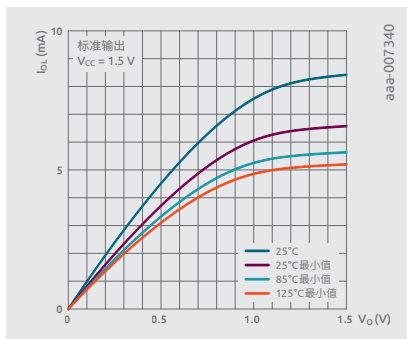
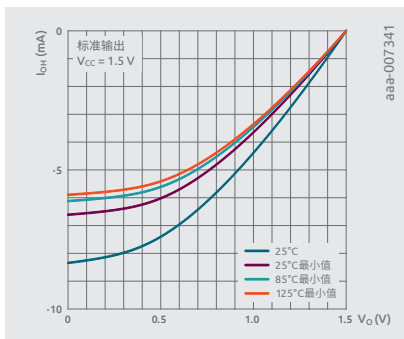
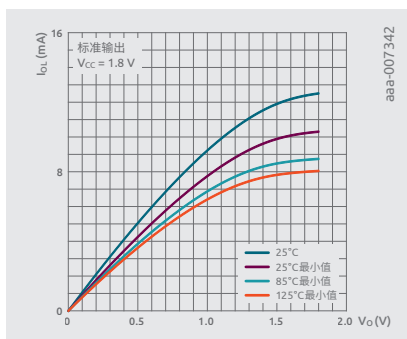
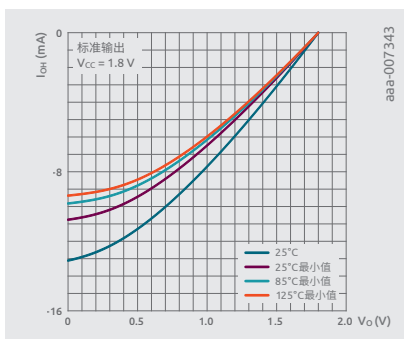
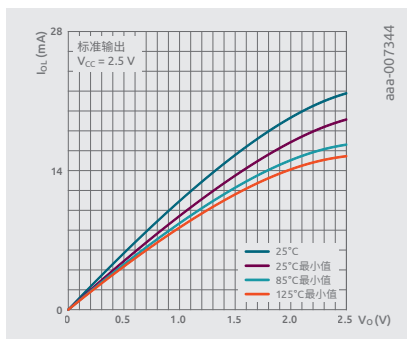
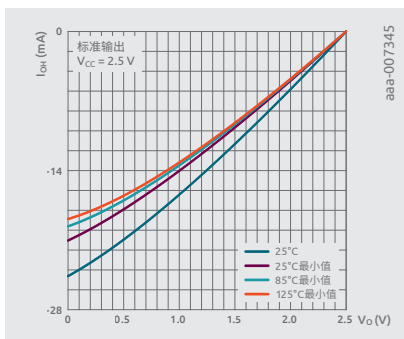
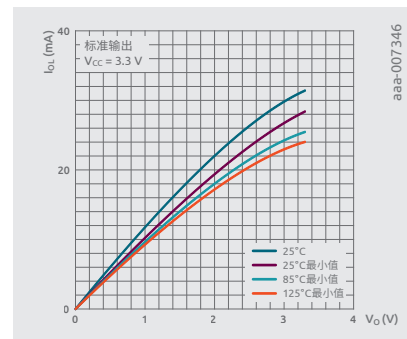
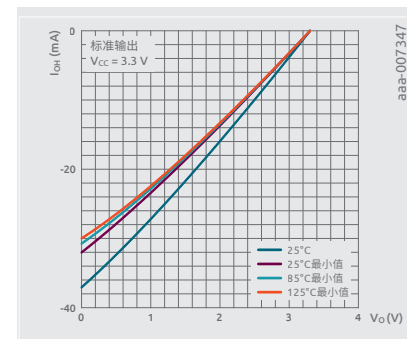


3.3 V施密特触发器

输出图形

AUP器件在 $V_{CC} = 1.8\text{ V}$ 时提供1.9 mA平衡输出驱动。下表的输出数据显示了AUP系列器件在1.2 V、1.5 V、1.8 V、2.5 V和3.3 V时测得的输出特性。

1.2 V时的 I_{OL} 1.2 V时的 I_{OH}

1.5 V时的 I_{OL} 1.5 V时的 I_{OH} 1.8 V时的 I_{OL} 1.8 V时的 I_{OH} 2.5 V时的 I_{OL} 2.5 V时的 I_{OH} 3.3 V时的 I_{OL} 3.3 V时的 I_{OH}

工作条件

表24: 限值

符号	参数	条件	最小值	最大值	单位
V_{CC}	电源电压		-0,5	+4,6	V
I_{IK}	输入钳位电流		-0,5	+4,6	V
V_I	输入电压	工作模式和掉电模式	-0,5	+4,6	V
I_{OK}	输出钳位电流	$V_I < 0V$	-50	-	mA
V_O	输出电压	$V_O < 0V$	-50	-	mA
I_O	输出电流	$V_O = 0V$ to V_{CC}	-	± 20	mA
I_{CC}	电源电流		-	+50	mA
I_{GND}	接地电流		-50	-	mA
T_{stg}	存储温度		-65	+150	$^{\circ}C$
P_{tot}	总功耗	$T_{amb} = -40^{\circ}C$ 至 $+125^{\circ}C$	-	250	mW

表25: 建议工作条件

符号	参数	条件	最小值	最大值	单位
V _{CC}	电源电压		0,8	3,6	V
V _I	输入电压		0	3,6	V
V _O	输出电压	工作模式	0	V _{CC}	V
		掉电模式; V _{CC} =0V	0	3,6	V
T _{amb}	环境温度		-40	+125	°C
Δt/ΔV	输入转换上升和下降速率	V _{CC} =0.8至3.6V	-	200	ns/V

Table 26: Static characteristics

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至 +85°C		T _{amb} -40°C至 +125°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V _{IH}	高电平 输入电压	V _{CC} =0.8V	0.70 × V _{CC}	-	-	0.70 × V _{CC}	-	0.75 × V _{CC}	-	V
		V _{CC} = 0.9至1.95V	0.65 × V _{CC}	-	-	0.65 × V _{CC}	-	0.70 × V _{CC}	-	V
		V _{CC} = 2.3至2.7V	1,6	-	-	1,6	-	1,6	-	V
		V _{CC} = 3.0至3.6V	2,0	-	-	2,0	-	2,0	-	V
V _{IL}	低电平 输入电压	V _{CC} =0.8V	-	-	0.30 × V _{CC}	-	0.30 × V _{CC}	-	0.25 × V _{CC}	V
		V _{CC} = 0.9至1.95V	-	-	0.35 × V _{CC}	-	0.35 × V _{CC}	-	0.30 × V _{CC}	V
		V _{CC} = 2.3至2.7V	-	-	0,7	-	0,7	-	0,7	V
		V _{CC} = 3.0至3.6V	-	-	0,9	-	0,9	-	0,9	V

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至 +85°C		T _{amb} -40°C至 +125°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V _{OH}	高电平 输出电压	V _I =V _{IH} 或V _{IL}								
		I _O =-20 μA; V _{CC} = 0.8至3.6V	V _{CC} - 0.1	-	-	V _{CC} - 0.1	-	V _{CC} - 0.11	-	V
		I _O =-1.1 mA; V _{CC} =1.1V	0.75 × V _{CC}	-	-	0.7 × V _{CC}	-	0.6 × V _{CC}	-	V
		I _O =-1.7 mA; V _{CC} =1.4V	1,11	-	-	1,03	-	0,93	-	V
		I _O =-1.9 mA; V _{CC} =1.65V	1,32	-	-	1,30	-	1,17	-	V
		I _O =-2.3 mA; V _{CC} =2.3V	2,05	-	-	1,97	-	1,77	-	V
		I _O =-3.1 mA; V _{CC} =2.3V	1,9	-	-	1,85	-	1,67	-	V
		I _O =-2.7 mA; V _{CC} =3.0V	2,72	-	-	2,67	-	2,40	-	V
V _{OL}	低电平 输出电压	I _O =-4.0 mA; V _{CC} =3.0V	2,6	-	-	2,55	-	2,30	-	V
		V _I =V _{IH} 或V _{IL}								
		I _O =20 μA; V _{CC} = 0.8至3.6V	-	-	0,1	-	0,1	-	0,11	V
		I _O =1.1 mA; V _{CC} =1.1V	-	-	0.3 × V _{CC}	-	0.3 × V _{CC}	-	0.33 × V _{CC}	V
		I _O =1.7 mA; V _{CC} =1.4V	-	-	0,31	-	0,37	-	0,41	V
		I _O =1.9 mA; V _{CC} =1.65V	-	-	0,31	-	0,35	-	0,39	V
		I _O =2.3 mA; V _{CC} =2.3V	-	-	0,31	-	0,33	-	0,36	V
		I _O =3.1 mA; V _{CC} =2.3V	-	-	0,44	-	0,45	-	0,50	V
		I _O =2.7 mA; V _{CC} =3.0V	-	-	0,31	-	0,33	-	0,36	V
I _O =4.0 mA; V _{CC} =3.0V	-	-	0,44	-	0,45	-	0,50	V		

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至 +85°C		T _{amb} -40°C至 +125°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
I _I	输入漏电流	V _I =GND至3.6V; V _{CC} =0至3.6V	-	-	±0.1	-	±0.5	-	±0.75	µA
I _{OFF}	断电漏电流	V _I 或V _O =0至3.6V; V _{CC} =0V	-	-	±0.2	-	±0.5	-	±0.75	µA
ΔI _{OFF}	附加断电漏电流	V _I 或V _O =0至3.6V; V _{CC} =0至0.2V	-	-	±0.2	-	±0.6	-	±0.75	µA
I _{CC}	电源电流	V _I =GND或V _{CC} ; I _O =0A; V _{CC} =0.8至3.6V	-	-	0,5	-	0,9	-	1,4	µA
ΔI _{CC}	附加电源电流	V _I =V _{CC} -0.6V; I _O =0A; V _{CC} =3.3V; 每个引脚[1]	-	-	40	-	50	-	75	mA

[1] 一个输入接至V_{CC}-0.6V, 另一个输入接至V_{CC}或GND。

表27: 动态特性

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至 +85°C		T _{amb} -40°C至 +125°C		单位
			最小值	典型值*	最大值	最小值	最大值	最小值	最大值	
C_L = 5 pF										
t _{pd}	传播延时	CP至Q, Q;[1]	-	-	-	-	-	-	-	-
		V _{CC} =0.8V	-	25,4	-	-	-	-	-	ns
		V _{CC} =1.1至1.3V	2,9	6,7	14,0	2,6	14,2	2,6	14,2	ns
		V _{CC} =1.4至1.6V	2,4	4,5	7,6	2,3	8,3	2,3	8,6	ns
		V _{CC} =1.65至1.95V	1,9	3,5	5,7	1,7	6,5	1,7	6,8	ns
		V _{CC} =2.3至2.7V	1,7	2,6	3,8	1,4	4,4	1,4	4,7	ns
V _{CC} =3.0至3.6V	1,5	2,2	3,1	1,2	3,4	1,2	3,7	ns		

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至 +85°C		T _{amb} -40°C至 +125°C		单位
			最小值	典型值*	最大值	最小值	最大值	最小值	最大值	
t _{pd}	传播延时	SD至Q, Q;[1]	-	-	-	-	-	-	-	-
		V _{CC} =0.8V	-	19,6	-	-	-	-	-	ns
		V _{CC} =1.1至1.3V	2,7	5,6	11,0	2,5	11,4	2,5	11,5	ns
		V _{CC} =1.4至1.6V	2,4	4,0	6,3	2,2	6,9	2,2	7,3	ns
		V _{CC} =1.65至1.95V	2,0	3,3	4,9	1,7	5,6	1,7	5,9	ns
		V _{CC} =2.3至2.7V	1,9	2,7	3,7	1,7	4,0	1,7	4,2	ns
		V _{CC} =3.0至3.6V	1,8	2,5	3,2	1,5	3,6	1,5	3,8	ns
		RD至Q, Q;[1]	-	-	-	-	-	-	-	-
		V _{CC} =0.8V	-	19,2	-	-	-	-	-	ns
		V _{CC} =1.1至1.3V	2,6	5,5	11,0	2,5	11,3	2,5	11,5	ns
		V _{CC} =1.4至1.6V	2,3	3,9	6,3	2,2	6,8	2,2	7,3	ns
V _{CC} =1.65至1.95V	1,9	3,2	5,0	1,8	5,6	1,8	5,9	ns		
V _{CC} =2.3至2.7V	1,9	2,6	3,6	1,7	4,1	1,7	4,3	ns		
V _{CC} =3.0至3.6V	1,8	2,4	3,3	1,5	3,6	1,5	3,8	ns		
f _{max}	最大频率	CP	-	-	-	-	-	-	-	-
		V _{CC} =0.8V	-	53	-	-	-	-	-	MHz
		V _{CC} =1.1至1.3V	-	203	-	170	-	170	-	MHz
		V _{CC} =1.4至1.6V	-	347	-	310	-	300	-	MHz
		V _{CC} =1.65至1.95V	-	435	-	400	-	390	-	MHz
		V _{CC} =2.3至2.7V	-	550	-	490	-	480	-	MHz
		V _{CC} =3.0至3.6V	-	619	-	550	-	510	-	MHz
C_L = 15 pF										
t _{pd}	传播延时	CP至Q, Q;[1]	-	-	-	-	-	-	-	-
		V _{CC} =0.8V	-	32,4	-	-	-	-	-	ns
		V _{CC} =1.1至1.3V	3,5	8,3	17,6	3,3	17,8	3,3	18,0	ns
		V _{CC} =1.4至1.6V	3,2	5,6	9,5	2,8	10,5	2,8	11,1	ns
		V _{CC} =1.65至1.95V	2,7	4,6	7,2	2,5	8,1	2,5	8,6	ns
		V _{CC} =2.3至2.7V	2,4	3,6	5,2	2,2	5,8	2,2	6,2	ns
		V _{CC} =3.0至3.6V	2,2	3,2	4,4	2,0	4,9	2,0	5,2	ns

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至 +85°C		T _{amb} -40°C至 +125°C		单位	
			最小值	典型值*	最大值	最小值	最大值	最小值	最大值		
t _{pd}	传播延时	SD至Q, Q;[1]									
		V _{CC} =0.8V	-	26,7	-	-	-	-	-	-	ns
		V _{CC} =1.1至1.3V	3,3	7,3	14,7	3,1	15,2	3,1	15,4	-	ns
		V _{CC} =1.4至1.6V	3,2	5,2	8,3	2,9	9,0	2,9	9,5	-	ns
		V _{CC} =1.65至1.95V	2,8	4,3	6,4	2,5	7,1	2,5	7,5	-	ns
		V _{CC} =2.3至2.7V	2,8	3,7	5,1	2,2	5,5	2,2	5,8	-	ns
		V _{CC} =3.0至3.6V	2,5	3,5	4,6	2,4	5,0	2,4	5,2	-	ns
		RD至Q, Q;[1]									
		V _{CC} =0.8V	-	26,1	-	-	-	-	-	-	ns
		V _{CC} =1.1至1.3V	3,2	7,2	14,5	3,1	15,0	3,1	15,2	-	ns
		V _{CC} =1.4至1.6V	3,1	5,1	8,4	2,7	9,2	2,7	9,7	-	ns
		V _{CC} =1.65至1.95V	2,7	4,3	6,5	2,6	7,3	2,6	7,7	-	ns
		V _{CC} =2.3至2.7V	2,6	3,6	5,0	2,4	5,5	2,4	5,8	-	ns
		V _{CC} =3.0至3.6V	2,4	3,4	4,6	2,3	5,0	2,3	5,2	-	ns
f _{max}	最大频率	CP									
		V _{CC} =0.8V	-	50	-	-	-	-	-	-	MHz
		V _{CC} =1.1至1.3V	-	181	-	120	-	120	-	-	MHz
		V _{CC} =1.4至1.6V	-	301	-	190	-	160	-	-	MHz
		V _{CC} =1.65至1.95V	-	407	-	240	-	190	-	-	MHz
		V _{CC} =2.3至2.7V	-	422	-	300	-	270	-	-	MHz
		V _{CC} =3.0至3.6V	-	481	-	320	-	300	-	-	MHz
C_L = 5 pF、10 pF、15 pF和30 pF											
t _w	脉冲宽度	CP高电平或低电平									
		V _{CC} =1.1至1.3V	-	2,1	-	2,7	-	2,7	-	-	ns
		V _{CC} =1.4至1.6V	-	1,1	-	1,5	-	1,5	-	-	ns
		V _{CC} =1.65至1.95V	-	0,9	-	1,6	-	1,6	-	-	ns
		V _{CC} =2.3至2.7V	-	0,6	-	1,7	-	1,7	-	-	ns
		V _{CC} =3.0至3.6V	-	0,6	-	1,9	-	1,9	-	-	ns

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至 +85°C		T _{amb} -40°C至 +125°C		单位	
			最小值	典型值*	最大值	最小值	最大值	最小值	最大值		
t _w	脉冲宽度	SD或RD低电平									
		V _{CC} =1.1至1.3V	-	4,2	-	11,3	-	11,5	-	-	ns
		V _{CC} =1.4至1.6V	-	2,3	-	6,2	-	6,4	-	-	ns
		V _{CC} =1.65至1.95V	-	1,8	-	4,8	-	5,0	-	-	ns
		V _{CC} =2.3至2.7V	-	1,2	-	3,3	-	3,5	-	-	ns
		V _{CC} =3.0至3.6V	-	1,1	-	2,6	-	2,8	-	-	ns
		t _{su}	建立时间	D至CP高电平							
V _{CC} =0.8V	-			3,4	-	-	-	-	-	-	ns
V _{CC} =1.1至1.3V	-			0,6	-	1,2	-	1,2	-	-	ns
V _{CC} =1.4至1.6V	-			0,3	-	0,6	-	0,6	-	-	ns
V _{CC} =1.65至1.95V	-			0,4	-	0,5	-	0,5	-	-	ns
V _{CC} =2.3至2.7V	-			0,2	-	0,4	-	0,4	-	-	ns
V _{CC} =3.0至3.6V	-			0,3	-	0,4	-	0,4	-	-	ns
D至CP低电平											
V _{CC} =0.8V	-			3,0	-	-	-	-	-	-	ns
V _{CC} =1.1至1.3V	-			0,5	-	1,2	-	1,2	-	-	ns
V _{CC} =1.4至1.6V	-			0,3	-	0,7	-	0,7	-	-	ns
V _{CC} =1.65至1.95V	-			0,4	-	0,7	-	0,7	-	-	ns
V _{CC} =2.3至2.7V	-			0,5	-	0,7	-	0,7	-	-	ns
V _{CC} =3.0至3.6V	-			0,6	-	0,8	-	0,8	-	-	ns
t _h	保持时间	D至CP									
		V _{CC} =0.8V	-	-1,9	-	-	-	-	-	-	ns
		V _{CC} =1.1至1.3V	-	-0,3	-	0,5	-	0,5	-	-	ns
		V _{CC} =1.4至1.6V	-	-0,2	-	0,2	-	0,2	-	-	ns
		V _{CC} =1.65至1.95V	-	-0,2	-	0,1	-	0,1	-	-	ns
		V _{CC} =2.3至2.7V	-	-0,2	-	0,1	-	0,1	-	-	ns
		V _{CC} =3.0至3.6V	-	-0,2	-	0,1	-	0,1	-	-	ns

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至 +85°C		T _{amb} -40°C至 +125°C		单位
			最小值	典型值*	最大值	最小值	最大值	最小值	最大值	
t _{rec}	恢复时间	RD								
		V _{CC} = 1.1至1.3V	-	-0,5	-	-0,9	-	-0,9	-	ns
		V _{CC} = 1.4至1.6V	-	-0,2	-	-0,6	-	-0,6	-	ns
		V _{CC} = 1.65至1.95V	-	-0,2	-	-0,4	-	-0,4	-	ns
		V _{CC} = 2.3至2.7V	-	-0,1	-	-0,1	-	-0,1	-	ns
		V _{CC} = 3.0至3.6V	-	-0,1	-	-0,1	-	-0,1	-	ns
		SD								
		V _{CC} = 1.1至1.3V	-	-0,5	-	-0,3	-	-0,3	-	ns
		V _{CC} = 1.4至1.6V	-	-0,4	-	-0,1	-	-0,1	-	ns
		V _{CC} = 1.65至1.95V	-	-0,3	-	0	-	0	-	ns
		V _{CC} = 2.3至2.7V	-	-0,2	-	0,1	-	0,1	-	ns
		V _{CC} = 3.0至3.6V	-	-0,1	-	0,1	-	0,1	-	ns
C _{PD}	功耗电容	f _i = 1 MHz; V _i = GND至V _{CC} [2]								
		V _{CC} = 0.8V	-	2,8	-	-	-	-	-	pF
		V _{CC} = 1.1至1.3V	-	2,9	-	-	-	-	-	pF
		V _{CC} = 1.4至1.6V	-	3,0	-	-	-	-	-	pF
		V _{CC} = 1.65至1.95V	-	3,0	-	-	-	-	-	pF
		V _{CC} = 2.3至2.7V	-	3,5	-	-	-	-	-	pF
		V _{CC} = 3.0至3.6V	-	3,9	-	-	-	-	-	pF

* 所有典型值均在标称V_{CC}下测量。

[1] t_{pd}与t_{PLH}和t_{PHL}相同。

[2] C_{PD}用于确定动态功耗 (P_D, 单位为μW)。

功率计算

静态功耗的计算很大程度上取决于输入电压电平：如果将其正确设置为V_{CC}或GND电平，则可以使用静态电源电流I_{CC}来计算功耗：P_{static} = V_{CC} × I_{CC}

如果V_{in}处于某个中间电压水平，则器件工作在未定义状态，输入级的NMOS和PMOS两个晶体管可能都会导通，这时我们就需要使用

动态功耗，其计算如下：

$$P_{dyn} = C_{PD} \times V_{CC}^2 \times f_i \times N + \sum [C_L \times V_{CC}^2 \times f_o]$$

其中：

f_i = 输入频率(MHz)

f_o = 输出频率(MHz)

C_L = 输出负载电容(pF)

V_{CC} = 切换输入数

Σ(C_L × V_{CC}² × f_o) = 输入总和

特殊功能

AUP器件为利用I_{OFF}的部分关断应用提供了完整的规格。I_{OFF}电路可禁用输出，以防止掉电时器件因回流电流流过而受损。

组合逻辑器件在单个封装中提供两种或两种以上不同功能。这些功能可以是独立的，也可以是级联的。

图9.7a显示了一个独立组合示例，缓冲器和反相器内部没有连接，图9.7b显示了一个级联示例，与门输出被施加到或门的其中一个输入端。

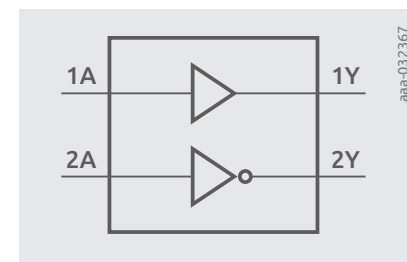


图9.7a | 独立组合逻辑器件

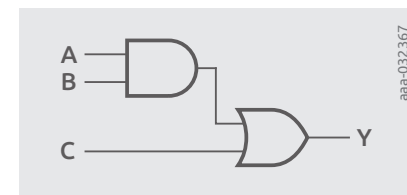


图9.7b | 级联组合逻辑器件

组合逻辑器件通常是分立逻辑器件解决方案的集成，针对PCB上已知的问题。基于组合逻辑器件的解决方案总成本较低，包括贴片成本降低和PCB面积的减小。它还有助于优化和简化PCB布局和信号路由。

AUP逻辑器件系列可提供的功能概述：

- 低阈值输入
- 施密特触发器/施密特动作输入
- 3.6 V容压I/O
- 开漏输出
- 断电保护(IoFF)
- 双电源转换器

总结

此低电压硅基栅极CMOS器件系列针对高性能、低功耗应用而设计，可提供静态和动态功耗极低的逻辑解决方案。一些主要特性包括：

- 极低的动态功耗(CPD)
- 2.5 ns t_{pd} (V_{CC} 为2.5 V)
- 宽电源电压范围 (0.8 V至3.6 V)
- 所有输入均拥有施密特触发器动作
- 低阈值输入选项
- 1.9 mA平衡输出驱动
- 过压容限I/O
- 完整的额定温度范围 (-40至+85°C和-40至+125°C)
- 车规级 (-Q100后缀)
- 无铅、符合RoHS和“深绿”标准

9.6 AXP逻辑器件系列

系列介绍/概述

AXP系列硅栅CMOS器件采用低阈值工艺技术和新一代封装技术，实现超小型逻辑功能。所有AXP解决方案均可提供低传播延时和待机电流，以支持高速和低功耗电容应用。

AXP的速度比AUP更高，同时还保留了低功耗电容(CPD)。AXP是第一款提供完整适用于0.8 V逻辑器件系列，由于使用了低阈值晶体管，可轻松地由1.8 V和1.2 V进行应用迁移。

已发布的采用AXP技术的器件支持过压容限输入、施密特触发器输入、低阈值输入、部分掉电电路和开漏输出。

输入输出图形

输入图形

AXP输入适用于整个电源电压范围：2.3–2.7 V、1.65–1.95 V、1.4–1.6 V、1.1–1.3 V和0.75–0.85 V。所采用的ESD保护电路可使输入过压容限高达2.75 V。此容限允许使用超出电源电压的输入信号。这些输入选项包括施密特触发器输入和施密特触发器动作输入。施密特触发器动作决定较低输入转换率的输入容限。未指定迟滞，但此输入可容许输入转换率上下浮动200 ns/V。施密特触发器输入包含输入迟滞指定规格，并且对输入转换率没有任何限制。

构建工艺

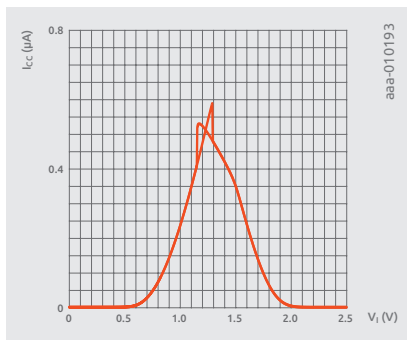
AXP系列器件采用C050技术构建，栅极长度为250 nm。这种方法生成的典型输入电容为0.5 pF。AXP器件采用输入电源(CPDI)端0.8 pF电容和输出电源(CPDO)端7.6 pF电容进行建模。功耗电容 C_{PD} 典型值为2.9 pF。该工艺技术为无铅制成，符合RoHS和深绿色。键合布线采用铜线。

输入输出结构

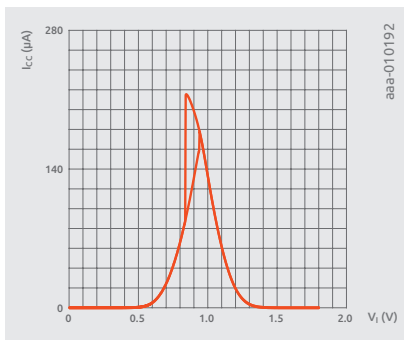
AXP系列器件提供过压容限输入级(3.6 V)，电源范围为0.7 V至2.75 V。

建议使用定义的值驱动所有逻辑输入，不要让其浮空。

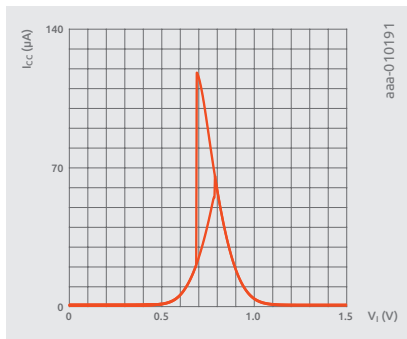
下图显示了施密特触发器动作输入的典型特性。



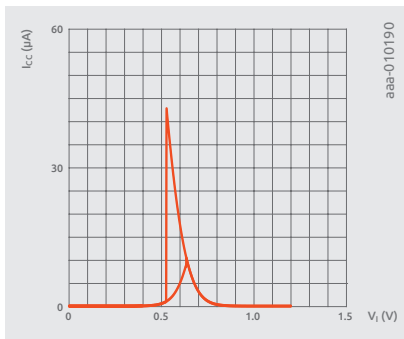
2.5 V施密特动作



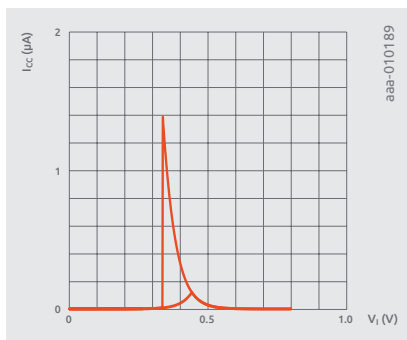
1.8 V施密特动作



1.5 V施密特动作

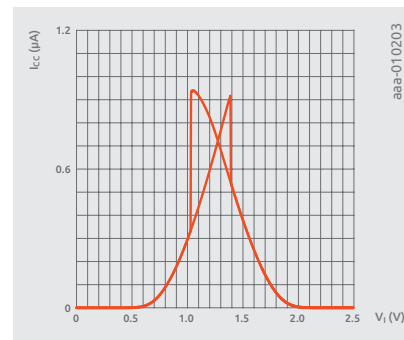


1.2 V施密特动作

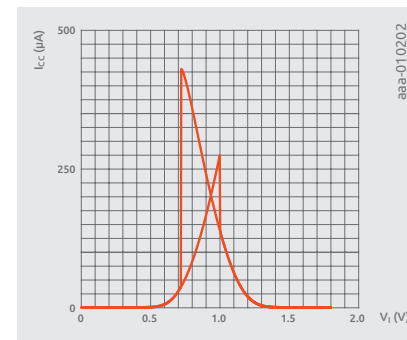


0.8 V施密特动作

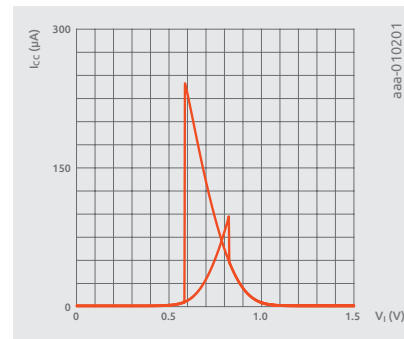
下图显示了施密特触发器输入的典型特性。



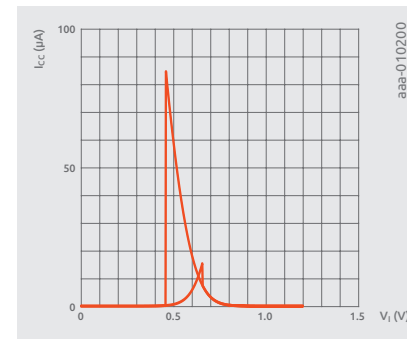
2.5 V施密特触发器



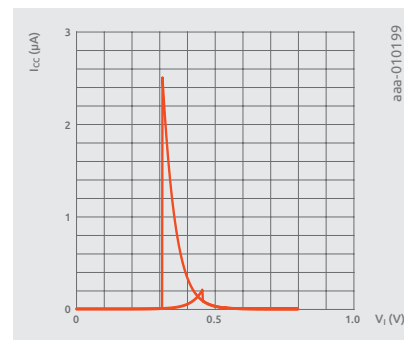
1.8 V施密特触发器



1.5 V施密特触发器



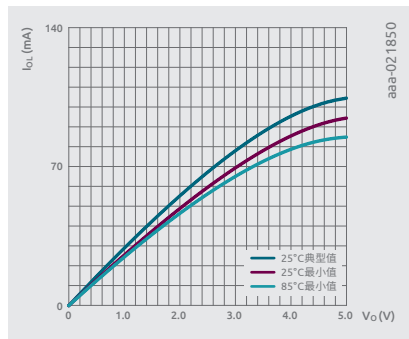
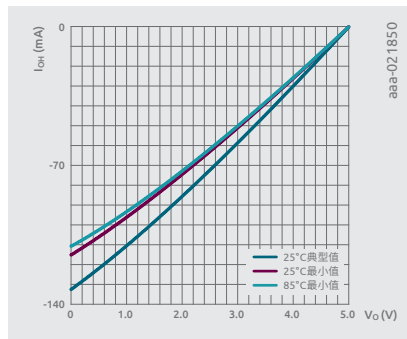
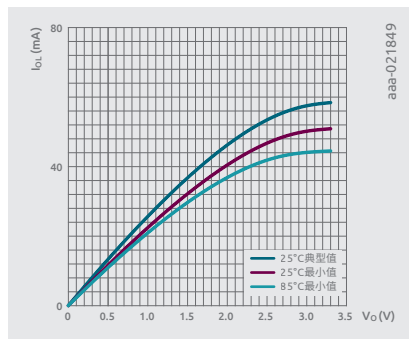
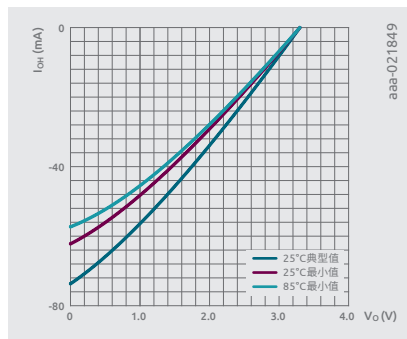
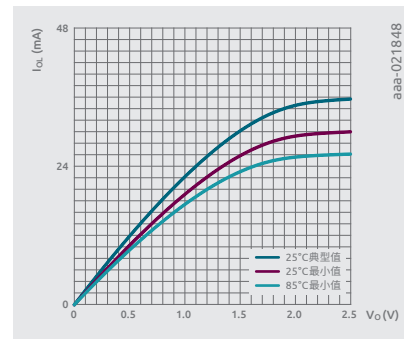
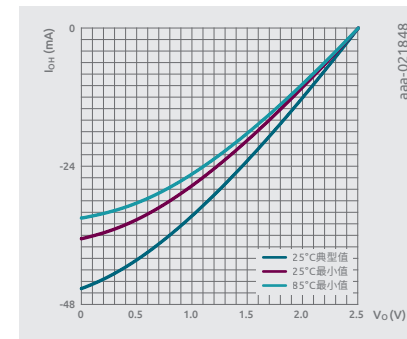
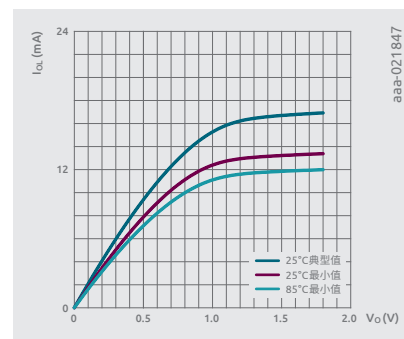
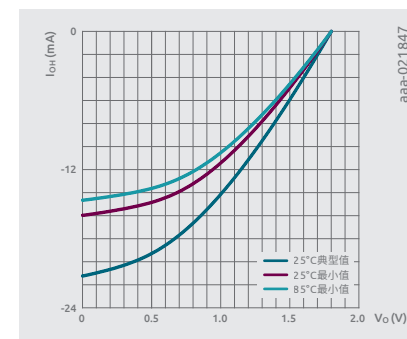
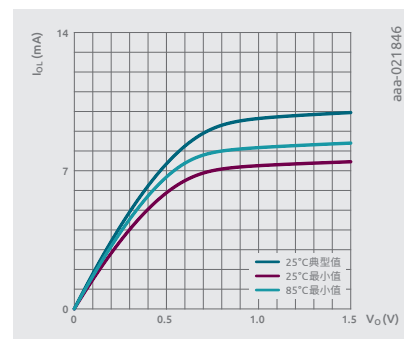
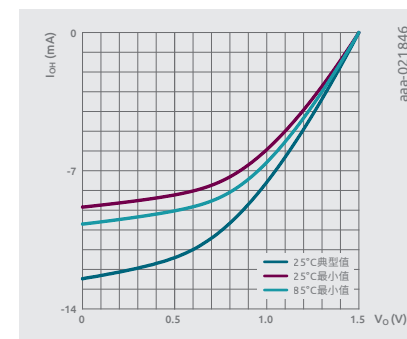
1.2 V施密特触发器

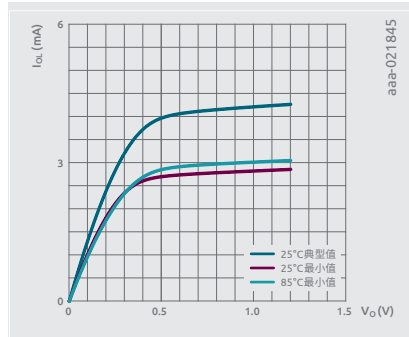
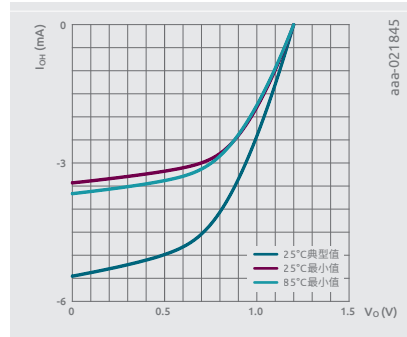


0.8 V施密特触发器

输出图形

输出完全适用于整个电源电压范围：4.5–5.5 V、3.0–3.6 V、2.3–2.7 V、1.65–1.95 V 和 1.4–1.6 V。为支持部分掉电模式，输出具有 I_{OFF} 功能，可确保当器件电源电压设为 0 V 时，输出中没有漏电流路径。

5.0 V 时的 I_{OL}5.0 V 时的 I_{OH}3.5 V 时的 I_{OL}3.5 V 时的 I_{OH}2.5 V 时的 I_{OL}2.5 V 时的 I_{OH}1.8 V 时的 I_{OL}1.8 V 时的 I_{OH}1.5 V 时的 I_{OL}1.5 V 时的 I_{OH}

1.2 V时的 I_{OL} 1.2 V时的 I_{OH}

工作条件

表28: 限值

符号	参数	条件	最小值	最大值	单位
V_{CC}	电源电压		-0,5	+3,3	V
I_{IK}	输入钳位电流	$V_I < 0V$	-50	-	mA
V_I	输入电压	*	-0,5	+3,3	V
I_{OK}	输出钳位电流	$V_O < 0V$	-50	-	mA
V_O	输出电压	*	-0,5	+3,3	V
I_O	输出电流	$V_O = 0V$ 至 V_{CC}	-	± 20	mA
I_{CC}	电源电流		-	50	mA
I_{GND}	接地电流		-50	-	mA
T_{stg}	存储温度		-65	+150	$^{\circ}C$
P_{tot}	总功耗	$T_{amb} = -40^{\circ}C$ 至 $+85^{\circ}C$	-	250	mW

* 如果遵守了输入和输出电流额定值, 则可能会超出输入和输出电压最小额定值。

表29: 建议工作条件

符号	参数	条件	最小值	最大值	单位
V_{CC}	电源电压		0,7	2,75	V
V_I	输入电压		0	2,75	V
V_O	输出电压	工作模式	0	V_{CC}	V
		掉电模式; $V_{CC} = 0V$	0	2,75	V
T_{amb}	环境温度		-40	+85	$^{\circ}C$
$\Delta t / \Delta V$	输入转换上升和下降速率	$V_{CC} = 0.7V$ 至 $2.75V$	0	200	ns/V

表30: 静态特性

在建议工作条件下, 除非另有拟规定; 电压参考接至GND (地=0 V)。

符号	参数	条件	T_{amb} 25 $^{\circ}C$			T_{amb} -40 $^{\circ}C$ 至+85 $^{\circ}C$		单位
			最小值	典型值*	最大值	最小值	最大值	
V_{IH}	高电平 输入电压	$V_{CC} = 0.75$ 至 $0.85V$	$0.75V_{CC}$	-	-	$0.75V_{CC}$	-	V
		$V_{CC} = 1.1$ 至 $1.95V$	$0.65V_{CC}$	-	-	$0.65V_{CC}$	-	V
		$V_{CC} = 2.3$ 至 $2.7V$	1,6	-	-	1,6	-	V
V_{IL}	低电平 输入电压	$V_{CC} = 0.75$ 至 $0.85V$	-	-	$0.25V_{CC}$	-	$0.25V_{CC}$	V
		$V_{CC} = 1.1$ 至 $1.95V$	-	-	$0.35V_{CC}$	-	$0.35V_{CC}$	V
		$V_{CC} = 2.3$ 至 $2.7V$	-	-	0,7	-	0,7	V

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至+85°C		单位
			最小值	典型值*	最大值	最小值	最大值	
V _{OH}	高电平 输出电压	I _O =-20 μA; V _{CC} =0.7V	-	0,69	-	-	-	V
		I _O =-100 μA; V _{CC} =0.75V	0,65	-	-	0,65	-	V
		I _O =-2 mA; V _{CC} =1.1V	0,825	-	-	0,825	-	V
		I _O =-3 mA; V _{CC} =1.4V	1,05	-	-	1,05	-	V
		I _O =-4.5 mA; V _{CC} =1.65V	1,2	-	-	1,2	-	V
		I _O =-8 mA; V _{CC} =2.3V	1,7	-	-	1,7	-	V
V _{OL}	低电平 输出电压	I _O =20 μA; V _{CC} =0.7V	-	0,01	-	-	-	V
		I _O =100 μA; V _{CC} =0.75V	-	-	0,1	-	0,1	V
		I _O =2 mA; V _{CC} =1.1V	-	-	0,275	-	0,275	V
		I _O =3 mA; V _{CC} =1.4V	-	-	0,35	-	0,35	V
		I _O =4.5 mA; V _{CC} =1.65V	-	-	0,45	-	0,45	V
		I _O =8 mA; V _{CC} =2.3V	-	-	0,7	-	0,7	V
		I _I	输入 漏电流	V _I =0至2.75V; V _{CC} =0至2.75V [1]	-	0,001	±0.1	-
I _{OFF}	断电 漏电流	V _I 或V _O = 0至2.75V; V _{CC} =0V [1]	-	0,01	±0.1	-	±0.5	μA
ΔI _{OFF}	附加断电 漏电流	V _I 或V _O = 0V或2.75V; V _{CC} =0至0.1V [1]	-	0,02	±0.1	-	±0.5	μA
I _{CC}	电源电流	V _I =0V或V _{CC} ; I _O =0A [1]	-	0,01	0,3	-	0,6	μA

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至+85°C		单位
			最小值	典型值*	最大值	最小值	最大值	
ΔI _{CC}	附加 电源电流	V _I =V _{CC} -0.5V; I _O =0A; V _{CC} =2.5V	-	2	100	-	150	μA

[1] 典型值在V_{CC}=1.2V下测量。

表31: 动态特性

电压参考接至GND (地=0V)

符号	参数	条件	T _{amb} 25°C			T _{amb} -40°C至+85°C		单位
			最小值	典型值*	最大值	最小值	最大值	
t _{pd}	传播延时	A至Y [1]	-	-	-	-	-	-
		V _{CC} =0.75至0.85V	3	11	33	2	100	ns
		V _{CC} =1.1至1.3V	1,8	4,3	7,0	1,7	7,3	ns
		V _{CC} =1.4至1.6V	1,5	3,1	4,7	1,3	5,1	ns
		V _{CC} =1.65至1.95V	1,2	2,6	3,8	1,1	4,1	ns
		V _{CC} =2.3至2.7V	1,0	2,0	2,8	0,9	3,1	ns
t _t	转换时间	V _{CC} =2.7V [2]	-	-	-	1,0	-	ns
C _I	输入电容	V _I =0V或V _{CC} ; V _{CC} =0至2.75V	-	0,5	-	-	-	pF
C _O	输出电容	V _O =0V; V _{CC} =0V	-	1,0	-	-	-	pF
C _{PD}	功耗电容	f _i =1 MHz; V _I =0V至V _{CC} [3]	-	-	-	-	-	-
		V _{CC} =0.75至0.85V	-	2,3	-	-	-	pF
		V _{CC} =1.1至1.3V	-	2,3	-	-	-	pF
		V _{CC} =1.4至1.6V	-	2,4	-	-	-	pF
		V _{CC} =1.65至1.95V	-	2,4	-	-	-	pF
		V _{CC} =2.3至2.7V	-	2,7	-	-	-	pF

* 所有典型值均在标称V_{CC}下测量。

[1] t_{pd}与t_{PLH}和t_{PHL}相同。

[2] t_t与t_{THL}和t_{TLH}相同。

[3] C_{PD}用于确定动态功耗 (P_D, 单位为μW)。

功率计算

静态功耗的计算很大程度上取决于输入电压电平：如果将其正确设置为V_{CC}或GND电平，则可以使用静态电源电流I_{CC}来计算功耗：P_{static} = V_{CC} × I_{CC}

如果V_{in}处于某个中间电压水平，则器件工作在未定义状态，输入级的NMOS和PMOS两个晶体管可能都会导通，这时我们就需要使用

动态功耗，其计算如下：

$$P_{dyn} = C_{PD} \times V_{CC}^2 \times f_i \times N + \sum [C_L \times V_{CC}^2 \times f_o]$$

其中：

f_i = 输入频率(MHz)

V_{CC} = 切换输入数

f_o = 输出频率(MHz)

Σ(C_L × V_{CC}² × f_o) = 输入总和

C_L = 输出负载电容(pF)

特殊功能

- 宽电源电压范围并完全适用于0.8 V
- 非常低的动态功耗和待机电流(0.6 μA)
- 2.9 ns典型传播延时 (V_{CC} 为1.8 V时)
- 所有输入支持施密特动作和过压容限输入
- ±4.5 mA平衡输出驱动

总结

此低电压硅栅CMOS器件系列针对高性能、低功耗应用而设计，可提供静态和动态功耗极低的逻辑解决方案。

9.7 LVT/ALVT逻辑器件系列

系列介绍/概述

Nexperia提供两个低电压系列，专为背板驱动应用而优化：LVT（低电压技术）和ALVT（高级LVT）。本说明旨在帮助设计人员更好地了解这两个系列，以便在其应用中优化使用。

ALVT系列器件主要用于快速低压总线驱动器应用，尤其是驱动低总线阻抗（例如背板）的应用。对于此类应用范围，一些重要的参数包括工作电压范围、传播延时、驱动能力和功率。下文讨论的其他重要因素包括上电/掉电特性、5伏输入和输出能力、总线保持和接地反弹。

构建工艺

这两个系列均采用高级BiCMOS工艺QUBiC制造，该工艺结合了双极晶体的最佳特性(f_T = 17 GHz)与优化的CMOS (0.65-0.8微米)。此外，还可以内置特殊组件，例如肖特基二极管和齐纳二极管，以满足特定要求。QUBiC工艺可实现较短的传播延长时间，并兼具低功耗、低噪声和高输出驱动性能。该工艺的交流 and 直流特性温度依赖性也较低。

由于需要在速度和接地反弹之间进行权衡，因此ALVT专注于具有多个GND和V_{CC}引脚的总线型器件（直通架构）。ALVT器件提供内置阻尼电阻的版本（例如，“2244”或“162244”），以最大限度地减小下冲，特别是对于驱动存储器总线。

ALVT与LVT有两个方面的不同。首先，ALVT完全适用于V_{CC} = 2.5 V，其次，它比LVT快40%左右。由于需要在速度和接地反弹之间进行权衡，因此ALVT专注于具有多个GND和V_{CC}引脚的总线型器件（直通架构）。要在标准引脚的8位器件中获得相同的速度，需将器件速度调低至与LVT相当的水平。因此，LVT拥有更广泛的产品组合，可提供8至10位总线功能以及一些速度更快而驱动能力较低的逻辑门和触发器。这两个系列均提供内置阻尼电阻的版本（例如，“2244”或“162244”），以最大限度地减小下冲，特别是对于驱动存储器总线。

输入输出结构

图9.8显示了一个内部缓冲器电路的简化版本，其中省略了输出使能功能(OE)和其他细节(其中一些将在后面讨论)。其目的是显示内部电路的基本方面，从而简化LVT电路的应用，并使数据手册的某些方面更清晰易懂。输入采用小型CMOS反相器级，具有低输入电容，因此不需要驱动能量。输出低电平为双极性晶体管(Q4)，与一个小电容(M7)并联，输出高电平为双极性晶体管(Q2)和PMOS(M4)的组合，以将输出完全拉至 V_{CC} 。双极晶体管相比纯CMOS，产生的反弹更小。NMOS M7非常小，因此不会影响接地反弹。PMOS晶体管M4经由反相器INV1/INV2延时，因此它开始工作会比Q2稍晚一些，对 V_{CC} 反弹的影响极小。这种结构可以实现速度和反弹之间的最佳权衡取舍。

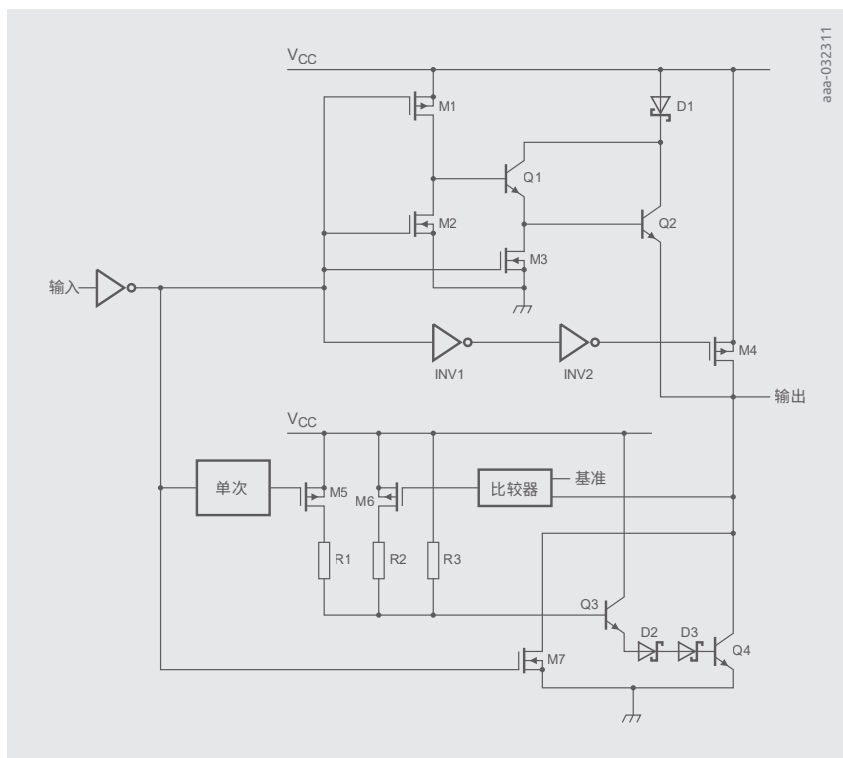


图9.8 | 简化的ALVT电路

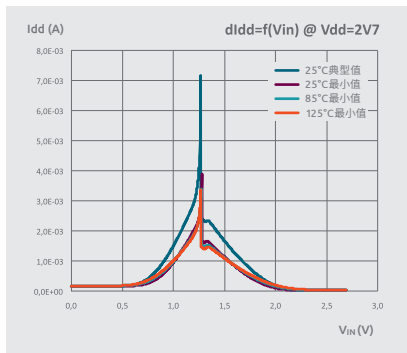
处于高电平有效状态的Q2由M1、M2和Q1负责驱动，这是高级BiCMOS的标准配置，可充分利用MOS和双极性晶体管获得最快、最低的内部电容反相器。当输出变为低电平或进入三态时，M3将确保Q2快速关断。当输出强制为低电平时，“按需供电”电路被激活。单次电路可为Q4提供高基极电流(通过M5、R1和Q3)，从而迅速将输出拉低。通过M6/R2和R3可提供额外基极电流。路径M6/R2经由一个非常快速的比较器连接至输出电压。当输出下降至低于约1 V时，通过M6/R2的电流路径将被阻断。二极管D2/D3可防止Q4深度饱和，以实现快速关断。

这个乍一看相当复杂的电路可确保非常快速地转换至1 V左右，输出电压低于该值时会变得比较平滑，从而将产生的振铃量保持在最低水平。同时，当输出为低电平有效时，从电源电压中消耗的电流非常低。当输出上出现毛刺试图将输出端拉高时，二极管D2/D3停止导通，不再向Q3/Q4提供基极电流，从而重新将总线拉低。这种结构动态性能出色、振铃小、故障抑制能力强，并且功耗很低。当输出处于三态或高电平有效时，仅流过较小的偏置电流(用于第3.1节中讨论的上电/掉电电路)，而在低电平有效状态下，一些电流经R3流动，这在不同器件型号中可能会有所不同。因此， I_{CC} 和 I_{CCZ} 较低，而 I_{CCL} 较高。

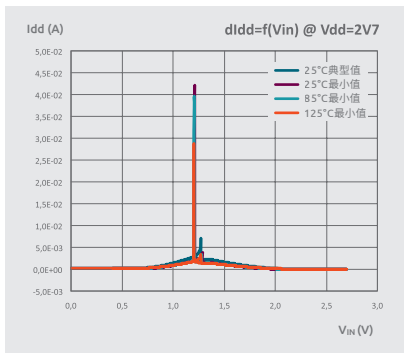
建议使用定义的值驱动所有逻辑输入，不要让其浮空。

输入和输出图形

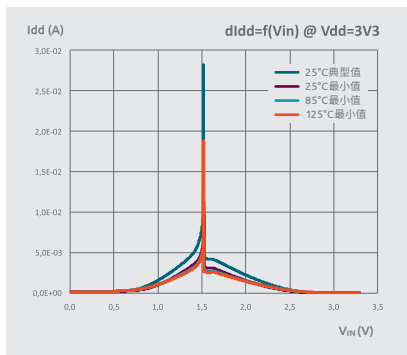
ALVT的输入图形



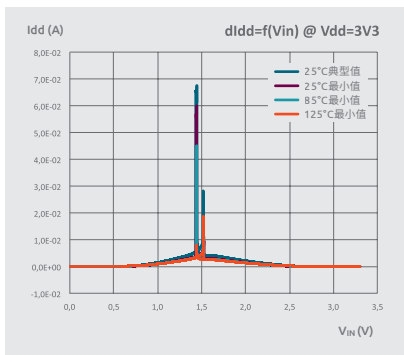
2.7 V时的ALVT输入曲线



2.7 V时的ALVT施密特触发器输入曲线

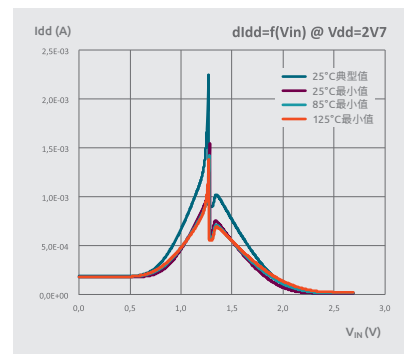


3.3 V时的ALVT输入曲线

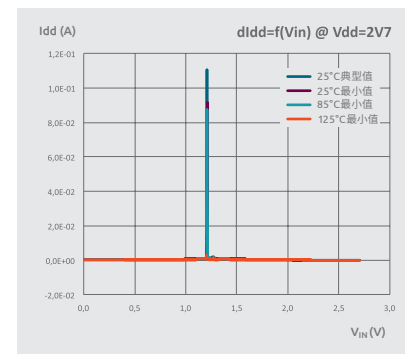


3.3 V时的ALVT施密特触发器输入曲线

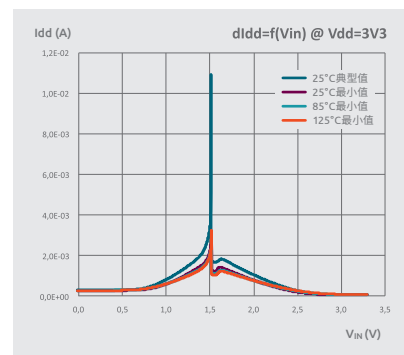
LVT的输入图形



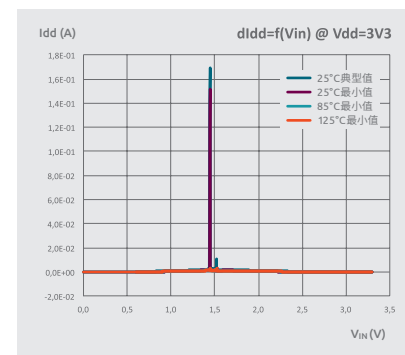
2.7 V时的LVT输入曲线



2.7 V时的LVT施密特触发器输入曲线

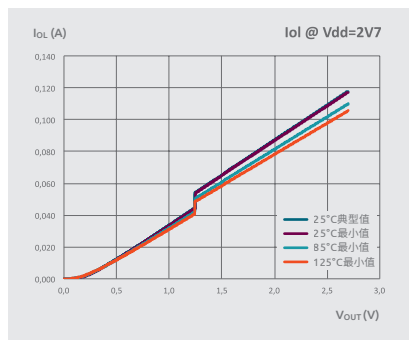


3.3 V时的LVT输入曲线

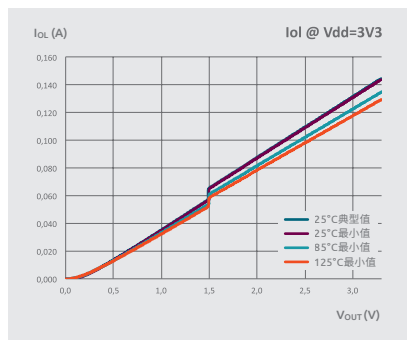


3.3 V时的LVT施密特触发器输入曲线

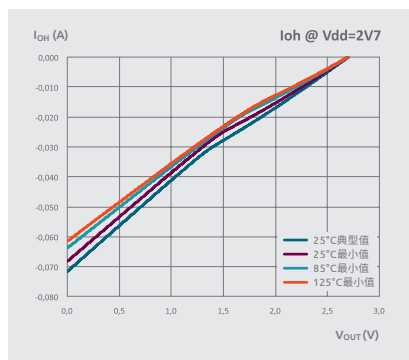
ALVT的输出图形



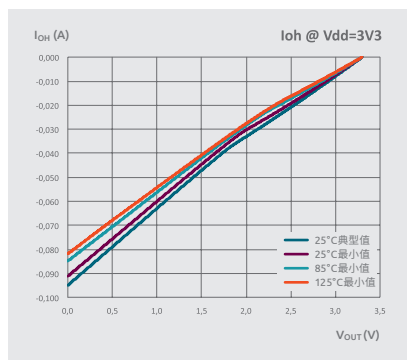
2.7 V时的ALVT输出曲线



3.3 V时的ALVT输出曲线

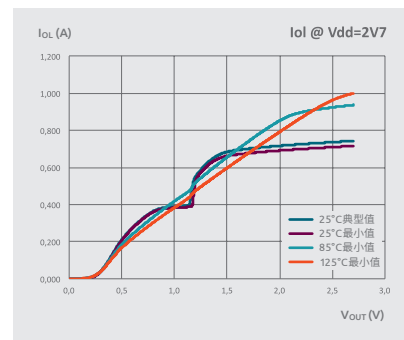


2.7 V时的ALVT输出曲线

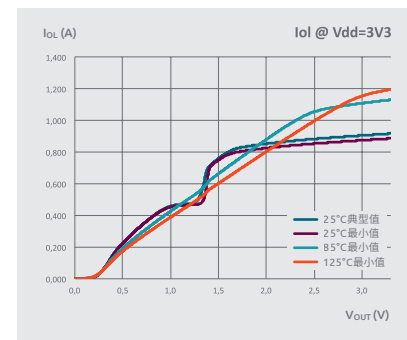


3.3 V时的ALVT输出曲线

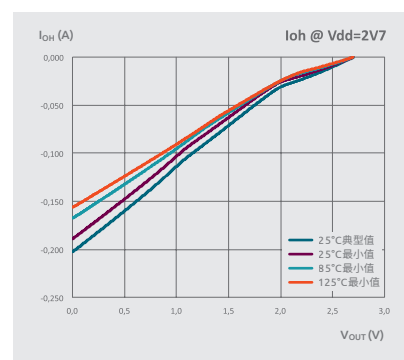
LVT的输出图形



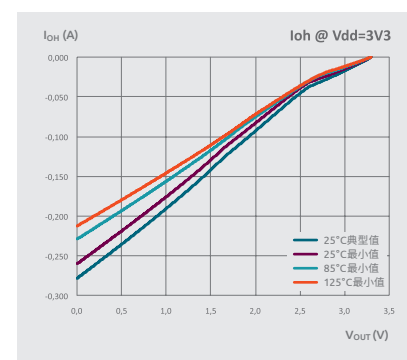
2.7 V时的LVT输出曲线



3.3 V时的LVT输出曲线



2.7 V时的LVT输出曲线



3.3 V时的LVT输出曲线

ALVT的工作条件

表32: 限值

符号	参数	条件	最小值	最大值	单位
V _{CC}	电源电压		-0,5	+4,6	V
V _I	输入电压	*	-1,2	+7,0	V
V _O	输出电压	输出为关断状态或高电平状态*	-0,5	+7,0	V
I _{IK}	输入钳位电流	V _I < 0 V	-	-50	mA
I _{OK}	输出钳位电流	V _O < 0 V	-	-50	mA
I _O	输出电流	输出为低电平状态	-	128	mA
		输出为高电平状态	-	-64	mA
T _{stg}	结温		-65	+150	°C
T _j	存储温度	**	-	150	°C

* 如果遵守了输入和输出钳位电流额定值,则可能会超出输入和输出负电压额定值。

** 高性能集成电路的性能及其热环境会产生结温,降低可靠性。

表33: 建议工作条件

符号	参数	条件	V _{CC} = 2.5V ± 0.2V		V _{CC} = 3.3V ± 0.3V		单位
			最小值	最大值	最小值	最大值	
V _{CC}	电源电压		2,3	2,7	3,0	3,6	V
V _I	输入电压		0	5,5	0	5,5	V
I _{OH}	高电平输出电流		-	-8	-	-12	mA
I _{OL}	低电平输出电流	无	-	12	-	12	mA
Δt/ΔV	输入转换上升和下降速率	输出使能	-	10	-	10	ns/V
T _{amb}	环境温度	自由空气	-40	+85	-40	+85	°C

表34: 静态特性

符号	参数	条件	最小值	典型值*	最大值	单位
V _{CC} = 2.5 V ± 0.2 V						
V _{IK}	输入钳位电压	V _{CC} = 2.3 V; I _{IK} = -18 mA	-	-0,85	-1,2	V
V _{IH}	高电平输入电压		1,7	-	-	V
V _{IL}	低电平输入电压		-	-	0,7	V
V _{OH}	高电平输出电压	V _{CC} = 2.3至3.6 V; I _O = -100 μA	V _{CC} - 0.2	V _{CC}	-	V
		V _{CC} = 2.3 V; I _O = -8 mA	1,8	2,1	-	V
V _{OL}	低电平输出电压	V _{CC} = 2.3 V; I _O = 100 μA	-	0,07	0,2	V
		V _{CC} = 2.3 V; I _O = 24 mA	-	0,3	0,5	V
		V _{CC} = 2.3 V; I _O = 8 mA	-	-	0,4	V
V _{OL(pu)}	上电低电平输出电压	V _{CC} = 2.7 V; I _O = 1 mA; V _I = V _{CC} 或GND [1]	-	-	0,55	V
I _I	输入漏电流	所有输入引脚				
		V _{CC} = 0 V或2.7 V; V _I = 5.5 V [2]	-	0,1	10	μA
		控制引脚				
		V _{CC} = 2.7 V; V _I = V _{CC} 或GND	-	0,1	±1	μA
		数据引脚; [2]				
	V _{CC} = 2.7 V; V _I = V _{CC}	-	0,1	1	μA	
	V _{CC} = 2.7 V; V _I = 0 V	-	0,1	-5	μA	
I _{OFF}	断电漏电流	V _{CC} = 0 V; V _I 或V _O = 0至4.5 V	-	0,1	±100	μA
I _{BHL}	总线保持低电平电流	数据输入; V _{CC} = 2.3 V; V _I = 0.7 V	-	90	-	μA
I _{BHH}	总线保持高电平电流	数据输入; V _{CC} = 2.3 V; V _I = 1.7 V	-	-10	-	μA
I _{EX}	外部电流	V _O > V _{CC} 时输出为高电平状态; V _O = 5.5 V; V _{CC} = 2.3 V	-	10	125	μA

符号	参数	条件	最小值	典型值*	最大值	单位
$I_{O(pu/pd)}$	上电/掉电输出电流	$V_{CC} \leq 1.2V$; $V_O = 0.5V$ 至 V_{CC} ; $V_I = GND$ 或 V_{CC} ; $n\overline{OE} = \text{无关}$ [3]	-	1	± 100	μA
I_{OZ}	断态输出电流	$V_{CC} = 2.7V$; $V_I = V_{IL}$ 或 V_{IH}				
		输出高电平状态; $V_O = 2.3V$	-	0,5	5	μA
		输出低电平状态; $V_O = 0.5V$	-	0,5	-5	μA
I_{CC}	电源电流	$V_{CC} = 2.7V$; $V_I = GND$ 或 V_{CC} ; $I_O = 0A$				
		输出高电平状态	-	0,04	0,1	mA
		输出低电平状态	-	2,3	4,5	mA
		输出禁用[4]		0,04	0,1	mA
ΔI_{CC}	附加电源电流	每个输入引脚; $V_{CC} = 2.3$ 至 $2.7V$; 一个输入接至 $V_{CC} - 0.6V$; 其他输入接至 V_{CC} 或 GND [5]	-	0,04	0,4	mA
C_I	输入电容	$V_I = 0V$ 或 V_{CC}	-	3	-	pF
C_O	输出电容	$V_O = 0V$ 或 V_{CC}	-	9	-	pF
$V_{CC} = 3.3V \pm 0.3V$						
V_{IK}	输入钳位电压	$V_{CC} = 3.0V$; $I_{IK} = -18mA$	-	-0,85	-1,2	V
V_{IH}	高电平输入电压		2,0	-	-	V
V_{IL}	低电平输入电压		-	-	0,8	V
V_{OH}	高电平输出电压	$V_{CC} = 3.0$ 至 $3.6V$; $I_O = -100\mu A$	$V_{CC} - 0.2$	V_{CC}	-	V
		$V_{CC} = 3.0V$; $I_O = -32mA$	2,0	2,3	-	V
V_{OL}	低电平输出电压	$V_{CC} = 3.0V$				
		$I_O = 100\mu A$	-	0,07	0,2	V
		$I_O = 16mA$	-	0,25	0,4	V
		$I_O = 32mA$	-	0,3	0,5	V
		$I_O = 64mA$	-	0,4	0,55	V

符号	参数	条件	最小值	典型值*	最大值	单位	
$V_{OL(pu)}$	上电低电平输出电压	$V_{CC} = 3.6V$; $I_O = 1mA$; $V_I = V_{CC}$ 或 GND [1]	-	-	0,55	V	
I_I	输入漏电流	所有输入引脚;					
		$V_{CC} = 0V$ 或 $3.6V$; $V_I = 5.5V$	-	0,1	10	μA	
		控制引脚					
		$V_{CC} = 3.6V$; $V_I = V_{CC}$ 或 GND	-	0,1	± 1	μA	
		数据引脚; [2]					
		$V_{CC} = 3.6V$; $V_I = V_{CC}$	-	0,5	1	μA	
I_{OFF}	断电漏电流	$V_{CC} = 0V$; V_I 或 $V_O = 0$ 至 $4.5V$	-	0,1	± 100	μA	
		$V_{CC} = 3.6V$; $V_I = 0V$	-	0,1	-5	μA	
I_{BHL}	总线保持低电平电流	数据输入; $V_{CC} = 3V$; $V_I = 0.8V$	75	130	-	μA	
I_{BHH}	总线保持高电平电流	数据输入; $V_{CC} = 3V$; $V_I = 2.0V$	-75	-140	-	μA	
I_{BHLO}	总线保持低电平过驱动电流	数据输入; $V_{CC} = 3.6V$; $V_I = 0$ 至 $3.6V$ [6]	500	-	-	μA	
I_{BHHO}	总线保持高电平过驱动电流	数据输入; $V_{CC} = 3.6V$; $V_I = 0$ 至 $3.6V$ [6]	-500	-	-	μA	
I_{EX}	外部电流	$V_O > V_{CC}$ 时输出为高电平状态; $V_O = 5.5V$; $V_{CC} = 3.0V$	-	10	125	μA	
$I_{O(pu/pd)}$	上电/掉电输出电流	$V_{CC} \leq 1.2V$; $V_O = 0.5V$ 至 V_{CC} ; $V_I = GND$ 或 V_{CC} ; $n\overline{OE} = \text{无关}$ [7]	-	1	± 100	μA	
I_{OZ}	断态输出电流	$V_{CC} = 3.6V$; $V_I = V_{IL}$ 或 V_{IH}					
		输出高电平状态; $V_O = 3.0V$	-	0,5	5	μA	
		输出低电平状态; $V_O = 0.5V$	-	0,5	-5	μA	

符号	参数	条件	最小值	典型值*	最大值	单位
I _{CC}	电源电流	V _{CC} =3.6V; V _I =GND或V _{CC} ; I _O =0A				
		输出高电平状态	-	0,07	0,1	mA
		输出低电平状态	-	5,1	7	mA
		输出禁用[4]	-	0,07	0,1	mA
ΔI _{CC}	附加电源电流	每个输入引脚; V _{CC} =3至3.6V; 一个输入接至V _{CC} -0.6V; 其他输入接至V _{CC} 或GND [5]	-	0,04	0,4	mA
C _I	输入电容	V _I =0V或V _{CC}	-	3	-	pF
C _O	输出电容	V _O =0V或V _{CC}	-	9	-	pF

* 所有V_{CC}=2.5V±0.2V时的典型值均在V_{CC}=2.5V且T_{amb}=25°C下测量。

所有V_{CC}=3.3V±0.3V时的典型值均在V_{CC}=3.3V且T_{amb}=25°C下测量。

[1] 为获得有效的测试结果，上电后不得向触发器（或锁存器）中加载数据。

[2] 未使用的引脚接至V_{CC}或GND。

[3] 此参数对于介于0V和1.2V之间且转换时间最大为10ms的任何V_{CC}均有效。

V_{CC}=1.2V至(2.5±0.2)V时，允许的转换时间为100μs。此参数仅在T_{amb}=25°C下有效。

[4] 输出禁用下的I_{CC}是在将输出拉至V_{CC}或GND的条件下测量的。

[5] 这是在V_{CC}或GND以外的指定电压水平下每个输入端的电源电流增加量。

[6] 这是将输入强制为相反逻辑状态所需的总线保持过驱动电流。

[7] 此参数对于介于0V和1.2V之间且转换时间最大为10ms的任何V_{CC}均有效。

V_{CC}=1.2V至(3.3±0.3)V时，允许的转换时间为100μs。此参数仅在T_{amb}=25°C下有效。

表35: 动态特性

符号	参数	条件	最小值	典型值*	最大值	单位
V _{CC} =2.5V±0.2V						
t _{PLH}	低电平至高电平的传播延时	nCP至nQn	1,0	4,4	7,0	ns
t _{PHL}	高电平至低电平的传播延时	nCP至nQn	1,0	3,8	6,4	ns
t _{PZH}	关断状态至高电平的传播延时	n $\overline{\text{OE}}$ 至nQn	1,5	4,6	7,5	ns
t _{PZL}	关断状态至低电平的传播延时	n $\overline{\text{OE}}$ 至nQn	1,0	2,8	4,6	ns

符号	参数	条件	最小值	典型值*	最大值	单位
t _{PHZ}	高电平至关断状态的传播延时	n $\overline{\text{OE}}$ 至nQn	1,5	3,5	5,5	ns
t _{PLZ}	低电平至关断状态的传播延时	n $\overline{\text{OE}}$ 至nQn	1,0	3,7	5,7	ns
t _{SU}	建立时间	nDn至nCP高电平	1,5	0,1	-	ns
		nDn至nCP低电平	2,0	0,5	-	ns
t _H	保持时间	nDn至nCP高电平	0,3	-0,5	-	ns
		nDn至nCP低电平	0,5	-0,1	-	ns
t _W	脉冲宽度	nCP高电平或低电平	1,5	-	-	ns
f _{max}	最大频率	nCP	150	-	-	MHz

V_{CC}=3.3V±0.3V

t _{PLH}	低电平至高电平的传播延时	nCP至nQn	1,0	3,2	5,0	ns
t _{PHL}	高电平至低电平的传播延时	nCP至nQn	1,0	3,2	4,7	ns
t _{PZH}	关断状态至高电平的传播延时	n $\overline{\text{OE}}$ 至nQn	1,0	3,4	5,6	ns
t _{PZL}	关断状态至低电平的传播延时	n $\overline{\text{OE}}$ 至nQn	0,5	2,3	3,7	ns
t _{PHZ}	高电平至关断状态的传播延时	n $\overline{\text{OE}}$ 至nQn	1,5	3,7	5,4	ns
t _{PLZ}	低电平至关断状态的传播延时	n $\overline{\text{OE}}$ 至nQn	1,5	3,0	4,3	ns
t _{SU}	建立时间	nDn至nCP高电平或低电平	1,5	0,1	-	ns
t _H	保持时间高电平	nDn至nCP高电平或低电平	0,5	0,1	-	ns
t _W	脉冲宽度	nCP高电平或低电平	1,5	-	-	ns
f _{max}	最大频率	nCP	150	-	-	MHz

* 所有V_{CC}=2.5V±0.2V时的典型值均在V_{CC}=2.5V且T_{amb}=25°C下测量。

所有V_{CC}=3.3V±0.3V时的典型值均在V_{CC}=3.3V且T_{amb}=25°C下测量。

LVT的工作条件

表36: 限值

符号	参数	条件	最小值	最大值	单位
V _{CC}	电源电压		-0,5	+4,6	V
V _I	输入电压	*	-0,5	+7,0	V
V _O	输出电压	输出为关断状态或高电平状态下*	-0,5	+7,0	V
I _{IK}	输入钳位电流	V _I < 0V	-50	-	mA
I _{OK}	输出钳位电流	V _O < 0V	-50	-	mA
I _O	输出电流	输出为低电平状态	-	128	mA
		输出为高电平状态	-64	-	mA
T _{stg}	结温		-65	+150	°C
T _j	存储温度	**	-	+150	°C

* 如果遵守了输入和输出钳位电流额定值, 则可能会超出输入和输出负电压额定值。

** 高性能集成电路的性能及其热环境会产生结温, 降低可靠性。

表37: 建议工作条件

符号	参数	条件	最小值	典型值	最大值	单位
V _{CC}	电源电压		2,7	-	3,6	V
V _I	输入电压		0	-	5,5	V
Δt/ΔV	输入转换上升和下降速率	输出使能	-	-	10	ns/V
T _{amb}	环境温度		-40	-	+85	°C

Table 38: Static characteristics

符号	参数	条件	T _{amb} -40 °C至+85 °C			单位
			最小值	典型值*	最大值	
V _{IK}	输入钳位电压	V _{CC} = 2.7 V; I _{IK} = -18 mA	-	-0,85	-1,2	V
V _{IH}	高电平输入电压		2,0	-	-	V
V _{IL}	低电平输入电压		-	-	0,8	V
V _{OH}	高电平输出电压	V _{CC} = 3.0 V; I _{OH} = -12 mA	2,0	-	-	V
V _{OL}	低电平输出电压	V _{CC} = 3.0 V; I _{OL} = 12 mA	-	-	0,8	V
I _{OH}	高电平输出电流		-	-	-12	mA
I _{OL}	低电平输出电流		-	-	12	mA
V _{OL(pu)}	上电低电平输出电压	V _{CC} = 3.6 V; I _O = 1 mA; V _I = GND或V _{CC} [1]	-	0,1	0,55	V
I _I	输入漏电流	所有输入引脚[2]				
		V _{CC} = 0 V或3.6 V; V _I = 5.5 V	-	0,4	10	μA
		控制引脚[2]				
		V _{CC} = 3.6 V; V _I = V _{CC} 或GND	-	0,1	±1	μA
		I/O数据引脚; V _{CC} = 3.6 V [2]				
		V _I = V _{CC}	-	0,1	1	μA
		V _I = 0 V	-	-0,4	-5	μA
I _{OFF}	断电漏电流	V _{CC} = 0 V; V _I 或V _O = 0至4.5 V	-	0,1	±100	μA
I _{BHL}	总线保持低电平电流	nDn输入; V _{CC} = 3 V; V _I = 0.8 V	75	135	-	μA
I _{BHH}	总线保持高电平电流	nDn输入; V _{CC} = 3 V; V _I = 2.0 V	-75	-135	-	μA
I _{BHLO}	总线保持低电平过驱动电流	nDn输入; V _{CC} = 3.6 V; V _I = 0至3.6 V [3]	500	-	-	μA

符号	参数	条件	T _{amb} -40°C至+85°C			单位
			最小值	典型值*	最大值	
I _{BH0}	总线保持高电平过驱动电流	nDn输入; V _{CC} =3.6V; V _I =0至3.6V [3]	-	-	-500	μA
I _{CEX}	输出高电平漏电流	V _O > V _{CC} 时输出为高电平状态; V _O = 5.5V; V _{CC} = 3.0V	-	50	125	μA
I _{O(pu/pd)}	上电/掉电输出电流	V _{CC} ≤ 1.2V; V _O = 5.0V至V _{CC} ; V _I = GND或V _{CC} ; nOE = 无关 [4]	-	1	±100	μA
I _{OZ}	断态输出电流	V _{CC} = 3.6V; V _I = V _{IH} 或V _{IL}				
		V _O = 3.0V	-	0,5	5	μA
		V _O = 0.5V	-	0,5	-5	μA
I _{CC}	电源电流	V _{CC} = 3.6V; V _I = GND或V _{CC} ; I _O = 0A				
		输出高电平	-	0,07	0,12	mA
		输出低电平	-	4	6	mA
		输出禁用[5]	-	0,07	0,12	mA
ΔI _{CC}	附加电源电流	每个输入引脚; V _{CC} = 3至3.6V; 一个输入接至V _{CC} - 0.6V; 其他输入接至V _{CC} 或GND [6]	-	0,1	0,2	mA
C _I	输入电容	V _I = 0V或3.0V	-	3	-	pF
C _O	输出电容	输出禁用; V _O = 0V或3.0V	-	9	-	pF

* 所有典型值均在V_{CC} = 3.3V且T_{amb} = 25°C下测量。

[1] 为获得有效的测试结果，上电后不得向触发器中加载数据。

[2] 未使用的引脚接至V_{CC}或GND。

[3] 这是将输入强制为相反逻辑状态所需的总线保持过驱动电流。

[4] 此参数对于介于0V和1.2V之间且转换时间最大为10ms的任何V_{CC}均有效。

V_{CC} = 1.2V至V_{CC} = 3.3V ± 0.3V时，允许的转换时间为100μs。此参数仅在T_{amb} = 25°C下有效。

[5] I_{CC}是在将输出拉至V_{CC}或GND的条件下测量的。

[6] 这是在V_{CC}或GND以外的指定电压水平下每个输入端的电源电流增加量。

表39: 动态特性

符号	参数	条件	T _{amb} -40°C至+85°C			单位
			最小值	典型值*	最大值	
f _{max}	最大频率	nCP; V _{CC} = 3.0至3.6V	150	-	-	MHz
t _{pLH}	低电平至高电平的传播延时	nCP至nQn				
		V _{CC} = 2.7V	-	-	6,2	ns
		V _{CC} = 3.0至3.6V	1,5	3,0	5,3	ns
t _{pHL}	高电平至低电平的传播延时	nCP至nQn				
		V _{CC} = 2.7V	-	-	5,1	ns
		V _{CC} = 3.0至3.6V	1,5	3,0	4,9	ns
t _{pZH}	关断状态至高电平的传播延时	nOE至nQn				
		V _{CC} = 2.7V	-	-	6,9	ns
		V _{CC} = 3.0至3.6V	1,5	3,5	5,6	ns
t _{pZL}	关断状态至低电平的传播延时	nOE至nQn				
		V _{CC} = 2.7V	-	-	6,0	ns
		V _{CC} = 3.0至3.6V	1,5	3,2	4,9	ns
t _{pHZ}	高电平至关断状态的传播延时	nOE至nQn				
		V _{CC} = 2.7V	-	-	5,7	ns
		V _{CC} = 3.0至3.6V	1,5	3,5	5,4	ns
t _{pLZ}	低电平至关断状态的传播延时	nOE至nQn				
		V _{CC} = 2.7V	-	-	5,1	ns
		V _{CC} = 3.0至3.6V	1,5	3,2	5,0	ns
t _{su}	建立时间	nDn至nCP				
		V _{CC} = 2.7V	2,0	-	-	ns
		V _{CC} = 3.0至3.6V	2,0	0,7	-	ns
t _h	保持时间	nDn至nCP				
		V _{CC} = 2.7V	0,1	-	-	ns
		V _{CC} = 3.0至3.6V	0,8	0	-	ns
t _{WH}	脉冲宽度高	nCP				
		V _{CC} = 2.7V	1,5	-	-	ns
		V _{CC} = 3.0至3.6V	1,5	0,6	-	ns
t _{WL}	脉冲宽度低	nCP				
		V _{CC} = 2.7V	3,0	-	-	ns
		V _{CC} = 3.0至3.6V	3,0	1,6	-	ns

* 典型值在V_{CC} = 3.3V且T_{amb} = 25°C下测量。

特殊功能

上电/掉电

LVT和ALVT提供一个对带电插拔非常有用的特性。这两个系列中内置了一个电路，可用于监控电源电压，并确保在 V_{CC} 低于1.2 V时将输出强制为三态模式。然后，晶体管不导通，外部OE信号被否决，随后输出进入三态模式。通常，从带电系统中拔出电路板时，首先要移除电源，防止流入输出电路的大电流。晶体管在高于1.2 V的条件下将开始导通，从而器件可能再次进入工作状态（即外部OE使能输出）。系统设计人员的任务是确保当 V_{CC} 高于1.2 V时，外部电路会强制提供正确的OE信号。

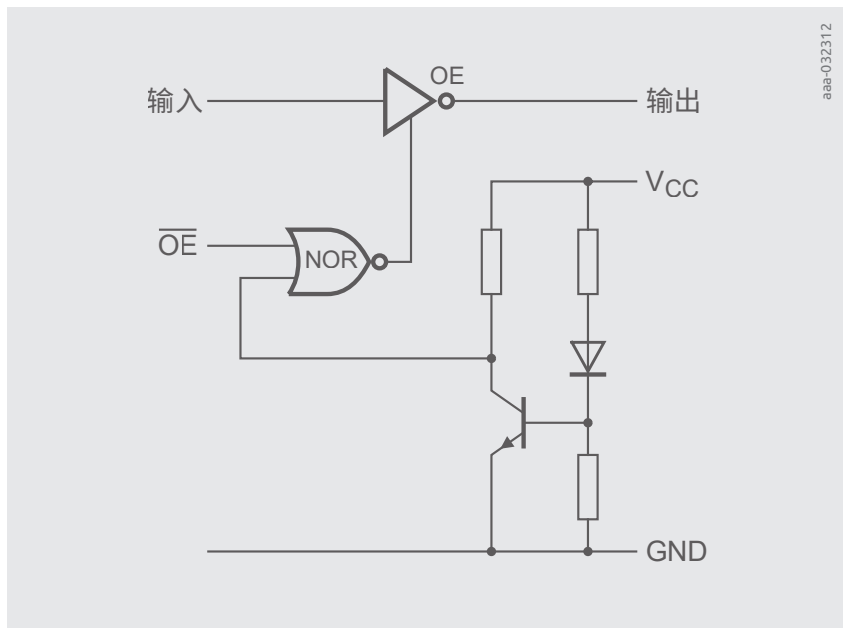


图9.9 | 上电状态

总线保持

所有ALVT产品都具有集成的总线保持输入。总线保持电路允许CMOS输入引脚保持开路：通过用作动态上拉或下拉电阻的小型MOS晶体管，将输入始终定义为低电平或高电平。为使输入端保持5 V电压，在输入端和PMOS晶体管之间插入了一个肖特基二极管，即使在器件掉电时也能阻断任何 V_{CC} 电流。

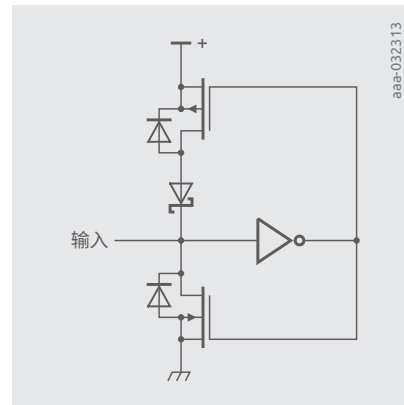


图9.10 | 总线保持电路

总结

LVT和ALVT逻辑系列针对背板驱动器应用进行了优化。这些器件兼具快速切换和低功耗功能。巧妙的设计使其成为高端EDP和电信应用中背板设计的理想选择。在其他需要极短传播延时的领域，这两个系列也都表现出色。当器件的输出端与较高的电压相连时，它还可提供自动三态等附加功能，使其成为许多3 V-5 V混合模式系统的理想选择。

第10章

常见问题

逻辑器件的最大工作频率是多少？

同步逻辑器件（与时钟有关）的数据手册提供了最大工作频率（例如，74HC165在特定电压/驱动电流下的额定最大频率为56 MHz）。异步逻辑器件的数据手册（通用门，与时钟无关）通常不提供此数据。通常，在PCB的容性负载和外部电路成为限制因素之前，逻辑器件的时钟频率可以达到约100 MHz。大多数器件均具有IBIS模型，可在特定用户频率下进行器件仿真。

各种逻辑系列的输出驱动是多少？

Nexperia逻辑器件的输出驱动能力在3 mA（HEF系列）和100 mA（NPIC）之间。有关各系列输出驱动电流的完整表格，请参见附录。

施密特触发器和施密特触发器“动作”输入之间有什么区别？

施密特触发器为输入信号增加了迟滞，以减少在转换点附近产生的噪声的影响。“真正的”施密特触发器将在数据手册中列出两个转换阈值，即 V_{t+} （低电平至高电平转换）和 V_{t-} （高电平至低电平转换）。施密特触发器功能允许输入信号具有较长的转换时间。没有最大输入转换下降和上升速率($\Delta t/\Delta V$)。

施密特触发器“动作”输入将具有数据手册中未指定的较小的磁滞（无 V_{t+}/V_{t-} 列表），对于输入信号（如标准逻辑输入）有最大转换下降和上升速率要求。

标准（非施密特或任何其他类型）输入的每伏特上升时间最大值为10–20 ns。施密特触发器“动作”输入的每伏特上升时间最大值则为20–100 ns。“真正的”施密特触发器器件的每伏特上升时间基本上为不受限。

如果逻辑门高于或低于最高额定温度会怎样？

逻辑器件的操作应限制在数据手册的额定范围内（大多数器件为 $T_a = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ）。

超过此额定值进行操作可能会超出最高结温($+150^\circ\text{C}$)并影响使用寿命或导致器件损坏。低于此额定值进行操作可能会导致器件无法遵守数据手册中有关电源/电压/时序的规格（由温度降低产生的导通电阻引起）。

逻辑门的工作寿命是多久？

工作寿命是衡量器件在偏置（通电）条件下可运行时间的度量。逻辑器件没有特定的设计使用寿命，3,040亿小时的MTBF计算值(74AUP1G08GM)意味着逻辑门可以“永远”持续运行。实际应用表明，连续上电运行超过50年的器件未见任何退化迹象。

逻辑门的预期制造报废(EOL)是多久？

Nexperia逻辑器件的制造生命周期非常长：有些器件自20世纪70年代起就一直在持续生产。有关未来时间表，请参见我们网站上的“长期供货”部分，其中列出了保证至少生产10年的器件（按封装类型）。通常：“我们将制造零件，直到客户停止购买为止”。

金线和铜线键合有什么区别？

过去，集成电路在封装引线框架和芯片之间使用金焊线。这是因为金线非常易于连接至芯片焊盘。铜超声波焊接方面的近期创新，使铜线键合成为可能。除了可大幅降低焊线成本以外，铜实际上是比金更好的导体（铜的导电率= $58 \Omega\text{m}^{-1}$ ，金的导电率= $45 \Omega\text{m}^{-1}$ ）。

是否按器件编号对逻辑功能进行了标准化？

所有逻辑器件供应商提供的逻辑器件编号均包含遵循工艺系列的标准“功能器件编号”。例如，74LVCO8表示采用LVC工艺系列的逻辑器件，而“08”则表示功能为“2输入与门”。有关最常用功能编号的列表，请参见附录。

当 $V_{CC} = 0$ V时，可以向输入/输出端提供信号电压吗？

旧款逻辑器件系列可能会消耗过多的功率，甚至可能“反向驱动”该器件（从输入/输出引脚泄漏到 V_{CC} 电源轨的功率足以使逻辑器件意外通电）。新款逻辑器件系列（LVC、AUP、AXP、LV-A等）提供称为“ I_{off} ”的功能，可在 $V_{CC} = 0$ 时将输出引脚与逻辑器件的内部电路隔离。输入端的过压容限功能可使输入端在无电源电压时保持高阻抗。在这种情况下，从输入到 V_{CC} 轨之间没有二极管路径（请参见逻辑器件系列章节中的输入级原理图）。

我可以直接用逻辑门驱动LED吗？

这将视具体情况而定。LED消耗的驱动电流从几毫安到几安培。逻辑器件系列的驱动范围从几毫安到24 mA（LVC系列），甚至是100 mA（NPIC系列）。必须始终确认逻辑器件系列的输出驱动器与LED的驱动器要求兼容。

我可以将开漏输出上拉至高于V_{CC}吗？

有关Vo规范，请查阅数据手册。例如，74HC06（带开漏输出的三路反相器）的V_{CC}额定值为2.0 V–6.0 V，相对于V_{CC}的Vo为0V。但是，74LVC1G06（带开漏输出的单路反相器）的V_{CC}范围为1.65 V–5.5 V，Vo范围为0 V–5.5V。HC系列的输出不能超过V_{CC}，但是LVC版本的输出可以。

我可以利用逻辑门驱动其余电路的V_{CC}吗？它可对V_{CC}电容进行放电吗？

必须始终注意供电逻辑门的输出驱动能力。请参见附录中逻辑器件系列的输出驱动能力列表。由于接收逻辑门将提供一个V_{CC}至地的去耦电容，因此必须在计算中加入电容的瞬间充电电流。

我可以将Nexperia逻辑器件用于军事或航空航天或生命攸关的应用吗？

Nexperia逻辑器件数据手册明确指出：“Nexperia产品并非设计、授权或担保适合用于生命维持、生命攸关或安全关键型系统或设备，亦非设计、授权或担保适合用于在Nexperia产品失效或故障时可导致人员受伤、死亡或严重财产损失或环境损害的应用。Nexperia及其供应商对在此类设备或应用中加入和/或使用Nexperia产品不承担任何责任，客户需自行承担因加入和/或使用Nexperia产品而带来的风险。”

逻辑器件最常见的失效模式是什么？

逻辑门的主要失效模式是EOS（电气过应力）或ESD（静电放电）。当超过器件的输出驱动能力时，通常会发生EOS，从而导致局部芯片发热和损伤。FA（失效分析）报告将显示输出驱动晶体管附近的芯片出现热损伤。当超过器件ESD保护电平（通常为2 kV）的电压通过输入或输出引脚进入，并导致汽化或内部走线击穿（通常不是输出驱动器之一，因为它们一般更可靠）时，就会发生ESD损坏。

AUP和AUC逻辑器件系列有何异同？

AUP和AUC都是低压逻辑器件系列（AUP V_{CC}范围0.8 V–3.6 V，AUC V_{CC}范围1 V–3.6 V）。AUC系列的传播延时速度更快（1.5 ns，AUP则为3.8 ns），而AUP的静态功耗更低（0.5 uA，AUC则为10 uA）。AUP为降低功耗牺牲了一些性能。

如何将一个供应商的封装交叉替换为另一个供应商的封装？

大多数逻辑器件供应商都遵守IEEE“SOT”封装标准。例如，所有供应商的SOT-363都具有相同的物理尺寸。有关最常见的行业封装类型的封装代码列表，请参见附录。

如何将一个供应商工艺交叉替换到另一个供应商的工艺？

逻辑工艺系列（74HCxx、74AUP1Gxx等）的创建是为了在特定时间范围内支持特定的微处理器系列，因此，所有逻辑器件供应商都倾向于使用相同的硅工艺。系列名称通常相同（所有供应商的HC系列都相同），但有些系列并不明显相同。有关兼容逻辑工艺系列的完整列表，请参见附录。

器件会产生多少热量？如何使用热系数值？

器件数据手册提供了P_{tot}（总功耗）值，表示封装类型可耗散的最大功率（热量）。热阻值（R_{th(j-a)}和R_{th(j-c)}）列于网站（而不是数据手册）上，提供结至环境和结至外壳的热阻，单位为开尔文/瓦。要计算器件在特定应用中的确切电流消耗（以及功耗），请参见“功率考量”一章。

在双电源器件上，是否存在限制，即哪个电源必须是两个V_{CC}电平中较高或较低的一个？

V_{CC(A)}应当是比V_{CC(B)}更低还是更高的电源，大多数双电压电源器件对此都有限制。这可以通过V_{CC(A)}与V_{CC(B)}的关系来确定。例如，74AVC4T245数据手册指明V_{CC(A)}和V_{CC(B)}的有效电压范围均为0.8 V至3.6 V，因此彼此独立（二者中任何一个均可高于或低于另一个）。为了优化系统设计，如果您要在器件的A侧提供信号，基准采用“引脚A和DIR以V_{CC(A)}为基准”，则首先要建立V_{CC(A)}（例如74AUP1T45）。

什么是包装后缀？为什么未在数据手册中列出该信息？

包装后缀是可订购器件编号的一部分，表示器件的出货方式。例如，74AUP1G08GM的后缀为132（出货方式为7"卷带Q3/T4方向）或后缀为115（出货方式为7"卷带Q1/T1方向）。某些新款器件可能使用单字母数字（例如“X”）来代替此三位数。Nexperia选择不将此信息包括在器件数据手册中，因为它与器件的电气特性无关。有关Nexperia包装代码的完整列表，请参阅附录。请注意，并非所有包装方式都适用于每种器件。请务必访问我们的网站以获取有效的器件/包装组合。

传统的TTL、LS、S系列逻辑器件的现代替代产品是什么？

传统逻辑器件系列有时可以采用现代等效器件进行替换，但需要采取一定的预防措施。大多数传统逻辑系列的工作电压为4.5 V至5.5 V， T_{pd} 传播延时速度不超过10 ns。它们与当今逻辑器件最大的不同在于所需的输出驱动：通常为16 mA–64 mA，这是因为其扇出要求较高。现代74HCTxx和74AHCTxx器件可以满足 V_{CC} 要求并满足/超过 T_{pd} 要求，但输出电流限制为8 mA。请仔细评估您的实际输出驱动要求，以确定74HCT/74AHCT是否是可行的替代品。

后缀“-Q100”代表什么？

Q100后缀（例如，74AHC1G00GW-Q100）表明该逻辑器件的设计和制造可通过AEC-Q100车规认证要求。Q100器件具有严格的工艺控制，包括：生产设施获得了TS16949和VDA批准，标记为汽车批次，遵守其他工艺流程质量控制方法和更严格的批次处理与边际批次处理规则。有关Q100逻辑器件的全部优势，请参见我们的Q100逻辑器件产品组合手册。

如果超出 V_{CC} 额定值会如何？

在任何时间段内超过 V_{CC} 都会导致芯片上的器件温度高于正常水平。过压持续时间和过压大小是否会对器件的预期寿命产生影响，将根据增加的Arrhenius活化能决定。所有数据手册均提供了在限值下和建议工作条件下的 V_{CC} 规范。 V_{CC} 低于更宽的限值范围运行时不会影响器件的使用寿命，但可能会导致超出数据手册中的电压/时序值。请始终按照建议工作条件进行设计。

AXP系列仅显示某些范围的 V_{CC} 的 V_{IL}/V_{IH} 值。如果我想介于这些范围之间运行器件该怎么办？

如下图所示，该系列仅针对某些 V_{CC} 值提供 V_{IL}/V_{IH} 值。可对电压范围之间的不连续性进行线性近似。

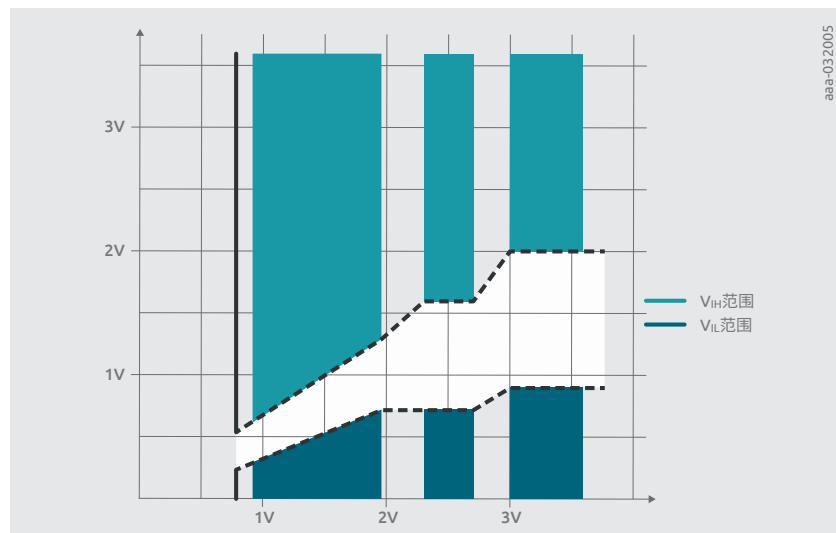


图10.1 | 逻辑器件系列AUP的输入电压范围取决于 V_{CC}

什么是日期编码，我该如何进行解读？顶部标记是什么意思？

逻辑封装的大小决定了印刷数据量/类型。对于大尺寸封装（大于10引脚），将提供三行信息。第1行包含器件编号。较长的器件编号可以连接获取（例如：74AVC8T245将连接为AVC8T245）。第2行包含制造批次编号（内部编号，但它对于失效分析的批次跟踪很有用）。第3行包含制造地点（扩散/封装/测试）和日期编码（格式为年/周编号）。器件上可能有或没有Nexperia徽标：在某些情况下仍留有早期的NXP徽标。更多详细信息请参见附录。

由于空间限制，小尺寸器件（8引脚或更少）采用特殊编码方式。器件编号将由3位字母数字代码表示（此代码包含在数据手册中）。日期码以二进制形式标在封装的边缘：左侧包含年份的最后一位数字（即0110 = 6 = 2016），右侧包含月份数码（例如：0001 = 1月）。详见附录。

什么是MSL，它与封装存储有什么关系？

MSL（潮湿敏感度等级）表示器件吸收周围环境中的湿气的倾向程度。吸收的湿气可能会在回流焊和波峰焊操作期间引起问题（由于残留蒸汽的逸出而导致封装的“爆米花”（popcorn）分层）。大多数Nexperia器件的MSL = 1，这表示出包装袋后无限车间寿命（不受湿气影响）。每款器件的MSL数据可访问我们的网站获得。

什么是MTBF？它对器件使用寿命有什么影响？它与FIT的对应关系是什么？

MTBF（平均故障间隔时间）是逻辑器件两次内在故障之间的预计时间。它与FIT中的IFR度量成反比。

内在故障率(IFR)

故障率曲线的“平稳期”由随机故障构成，其故障率相对较低且恒定。这是在大量成熟器件中观测到的最佳行为，通常被称为产品的“使用寿命”。内在故障率(IFR)通常由单位时间故障率(FIT)来定义；1 FIT是10亿小时的器件运行中发生一次故障。

以FIT为单位的内在故障率计算公式如下：

$$IFR = \frac{n_c(n)}{N \cdot t \cdot A} \cdot 10^9 [FIT]$$

其中

IFR = 内在故障率(FIT)	N = 测试产品数量
n = 观测到的故障数（不包括早期故障！）	t = 高温下的测试持续时间（小时）
n _c (n) = 校正后的故障数，使用60%置信区间和泊松统计量	A = Arrhenius加速因子能量（E _A = 0.7 eV，T _{ref} = 55°C）

在整个“质量摘要”中，Arrhenius加速因子的计算采用0.7 eV激活能(E_A)和55°C的参考温度。与早期故障率的确定情形一样，IFR的计算基于从SHTL和DHTL测试（高温下具有电偏压应力）中收集的数据，所有FIT数据都是通过累积12个月的适用结果来计算的。

平均故障间隔时间(MTBF)

$$MTBF = \frac{1}{IFR \cdot 10^{-9}} [小时]$$

其中

MTBF = 平均故障间隔时间（小时）	IFR = 内在故障率(FIT)
---------------------	------------------

RoHS、REACH、“绿色”和“深绿”是什么意思？

这些术语表示器件符合各种不同的环境标准，如符合欧盟RoHS、符合欧盟/中国RoHS标准、无卤素和无铅等等。

如需了解完整列表，请访问我们的网站

www.nexperia.com/quality/environmental-indicators

DQFN“BQ”后缀封装的中心焊盘有什么用途？

BQ封装（例如，74AVC2T245BQ SOT763-1）上的中心焊盘最初设计用作大功率器件（D类放大器等）的散热焊盘。由于逻辑器件的功耗很低，因此不再需要该散热焊盘，但为了封装兼容性，仍将其保留。请注意，基板是使用导电芯片附着材料连接到该焊盘上的。对于此焊盘的焊接并无电气或机械要求。但是，如需焊接，则焊接面应保持浮空状态，或按数据手册所示连接至GND或V_{CC}。大多数器件都允许将该焊盘连接至GND，但部分器件（例如，74HC4051BQ）只能将其连接至V_{CC}。

74HC和74HCT系列（以及74AHC和74AHCT）有什么区别？

其中的“T”均表示该系列已针对“TTL”输入电压电平进行了优化。尽管两个系列均可在TTL电源电平V_{CC} = 4.5–5.5 V下工作（HC系列可以在2.0–6.0 V下工作），但在同一V_{CC}下，HCT系列相比HC（V_{IL} = 2.1 V，V_{IH} = 2.4 V），其输入与传统的TTL信号电平更匹配（V_{IL} = 1.2 V，V_{IH} = 1.6 V）。这两个系列的输出驱动能力完全相同。HCT系列的传播延时时间tpd稍长。由于这两个器件系列的相似性，它们将共享相同的数据手册（例如：74HC00和74HCT00）。

带A和不带A的器件有什么区别？

逻辑器件（例如74LVC14A）中的后缀“A”表示该器件已经过重新设计，原始规格中的一个或多个规格受到影响。当“A”后缀用于LV系列时，具有特殊含义，该示例表示“A”版本具有iOff功能（当V_{CC} = 0时，输入/输出将隔离）。请仔细评估从“不带A”版本到“带A”版本的所有更改，然后再进行替换。

如果我不需要使用器件上的一些引脚该怎么办？

所有逻辑器件上未使用的输入引脚必须始终连接至V_{CC}或GND。未连接的输入引脚会因芯片上的固有漏电路径引起浮动。当信号电压超出转换电平（V_{il}或V_{ih}）时，该器件将发生输出切换，从而导致电源轨短暂下降。V_{CC}的这种下降会导致V_i和V_{ih}电平发生变化，从而导致器件再次将输出状态切换回原来的状态。这将产生一个振荡回路，导致高电流消耗，并可能对器件造成灾难性的损坏。将未使用的纯输出引脚保持不端接是安全的。

为什么有些缓冲器中带有端接电阻？

某些器件（例如74LVC2245）在每条输出驱动器线路中都带有端接电阻。添加此电阻是为了在50欧姆线缆中实现阻抗匹配，以减少过冲和欠冲。器件编号中的第二个“2”将此器件与标准输出（无端接电阻）74LVC245器件区分开。

为什么74LVC2G74/1G74具有不同的器件编号但功能却相同？

两者均为单门，但其中一个编号表示器件具有双门。

Nexperia（当时的飞利浦/恩智浦）创建了原始器件74LVC1G74（单路D型触发器）。竞争对手后来发布了等效功能的产品，但将其命名为74LVC2G74。确切原因不得而知：可能只是一个简单的错误，也可能是创建一个唯一来源的器件编号的巧妙方法。为了消除这种混乱，Nexperia现在采用74LVC1G74和74LVC2G74两个编号提供相同的硅芯片：一个与原始名称匹配，另一个与竞争对手名称匹配。这两个器件之间不存在任何电气差异，它们实际上采用相同的硅芯片、封装和顶部标记。对于由此引起的任何困惑，我们深表歉意，但这并非是我们引起的！

为什么器件的驱动电流至关重要？它与V_{OL}和V_{OH}的关系如何？

每个逻辑器件系列都有一个最大输出驱动能力。随着输出负载的增加，由于输出级负载的影响，V_{OH}电压电平下降，而V_{OL}电平上升。超过系列的最大额定输出驱动能力（例如74HC00为8 mA）后，V_{OL}/V_{OH}不再满足标准的TTL/LVTTL电压水平。最大I_{CC}电源电流（可在数据手册的“限值”中找到）不应用作最大输出驱动能力。

是否可以低于V_{CC}绝对额定限值但超出建议工作条件以外运行器件？

仅针对建议值执行了使用寿命测试。在这些限值以外运行可能会导致使用寿命缩短。另外请注意，数据手册中列出的静态和动态参数在建议值之外可能并不准确。

为什么带触发器的逻辑器件的输出端在上电后未清零？

标准逻辑系列的器件没有专用的上电电路，以用作在V_{CC}上升之后将触发器置位为默认状态。对于带复位引脚的器件，可以在上电后立即施加一个复位周期。为此，需要指出的是，不允许将低电平有效的复位引脚直接连接至V_{CC}。这种方法无法发挥作用，因为未满足正确复位动作的时序条件。在图xx中描述了一个简单的解决方案。在MR引脚处应用一个低通滤波器。电容通过电阻R从V_{CC}充电，并保持一段时间的低电平，直到V_{CC}达到能正常工作的最低电压，并且还必须为复位信号提供额外的保持时间。

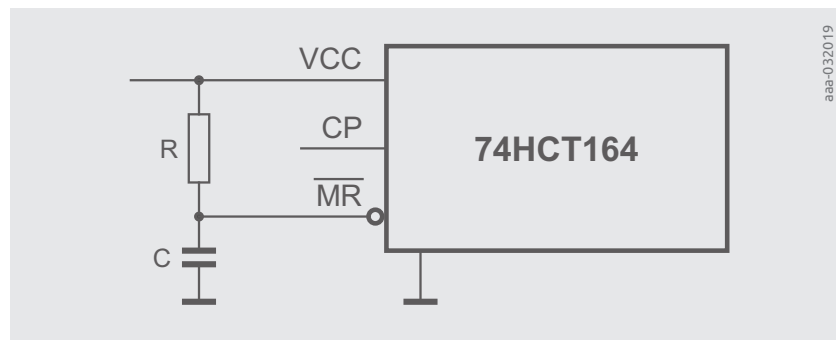


图10.2 | 简单的上电复位生成电路，适用于低电平有效复位引脚

逻辑器件的十大设计错误

- 违反Vin/Vout电平
- 违反触发器和锁存输入的建立/保持时间
- 未端接/浮空输入
- 未使用去耦电容
- 超过输出驱动能力（损坏或低电压电平）
- 超过Fmax
- 违反上升/下降时间（和解决方案）
- 过温度范围运行
- 不了解功率计算
- 不了解转换方法（单/双电源，选择单个Vcc）

附录

7400和4000通用逻辑功能列表

典型命名: 74HCxx或HEF4xxx

功能编号	布尔函数
-00	四路2输入与非门
-01	四路2输入与非门, 带集电极开路输出
-02	四路2输入或非门
-03	四路2输入与非门, 带集电极开路输出 (与7401引脚配置不同)
-04	六路反相器
-05	六路反相器, 带集电极开路输出
-06	六路反相缓冲器/驱动器, 带30 V集电极开路输出
-07	六路缓冲器/驱动器, 带30 V集电极开路输出
-08	四路2输入与门
-09	四路2输入与门, 带集电极开路输出
-10	三路3输入与非门
-11	三路3输入与门
-12	三路3输入与非门, 带集电极开路输出
-13	双施密特触发器4输入与非门
-14	六路施密特触发器反相器
-15	三路3输入与门, 带集电极开路输出
-16	六路反相缓冲器/驱动器, 带15 V集电极开路输出
-17	六路缓冲器/驱动器, 带15 V集电极开路输出
-18	双路4输入与非门, 带施密特触发器输入
-19	六路施密特触发器反相器
-20	双路4输入与非门
-21	双路4输入与门
-22	双路4输入与非门, 带集电极开路输出

功能编号	布尔函数
-23	带选通的可扩展双路4输入或非门
-24	四路2输入与非门, 带施密特触发器线路接收器输入
-25	带选通的双路4输入或非门
-26	四路2输入与非门, 带15 V集电极开路输出
-27	三路3输入或非门
-28	四路2输入或非缓冲器
-30	8输入与非门
-31	六路延时单元
-32	四路2输入或门
-33	四路2输入或非缓冲器, 带集电极开路输出
-34	低功耗双电源转换缓冲器
-36	四路2输入或非门 (与-02引脚配置不同)
-37	四路2输入与非缓冲器
-38	具有集电极开路输出的四路2输入与非缓冲器
-39	四路2输入与非缓冲器
-40	双路4输入与非缓冲器
-41	二进制十进制(BCD)至十进制解码器/数码管驱动器
-42	BCD至十进制解码器
-43	余3码至十进制解码器
-44	余3格雷码至十进制解码器
-45	BCD至十进制解码器/驱动器
-46	BCD至7段显示解码器/驱动器, 带30 V集电极开路输出

功能编号	布尔函数
-47	BCD至7段解码器/驱动器, 带15 V集电极开路输出
-48	BCD至7段解码器/驱动器, 带内部上拉电阻
-49	BCD至7段解码器/驱动器, 带集电极开路输出
-50	双路2-2输入与或反相门 (一门可扩展)
-51	双路2-2输入与或反相门
-52	可扩展的4-2输入与或门
-53	可扩展的4-2输入与或反相门
-54	4-2输入与或反相门
-55	2-4输入与或反相门 (H版本为可扩展)
-56	50:1分频器
-57	60:1分频器
-58	2输入和3输入与或门
-59	2输入和3输入与或反相门
-60	双路4输入扩展器
-61	三路3输入扩展器
-62	3-2-2-3输入与或扩展器
-63	六路电流检测接口门
-64	4-2-3-2输入与或反相门
-65	4-2-3-2输入与或反相门, 带开路集电极输出
-66	单刀单掷模拟开关
-67	16通道模拟复用器/解复用器
-68	双路4位十进制计数器
-69	双路4位二进制计数器
-70	与门正缘触发的J-K触发器, 带预设和清零
-71	带预置的或与门的J-K主从触发器或带预置和清零的与门的R-S主从触发器

功能编号	布尔函数
-72	与门J-K主从触发器, 带预设和清零
-73	双路J-K触发器, 带清零
-74	双路D正缘触发的触发器, 带预设和清零
-75	4位双稳态锁存器
-76	双路J-K触发器, 带预设和清零
-77	4位双稳态锁存器
-78	双路J-K触发器, 带预设、公共清零和公共时钟, 或双路负缘触发的J-K触发器, 带预设、公共清零和公共时钟
-79	双路D触发器
-80	门控全加器
-81	16位随机存取存储器
-82	2位二进制全加器
-83	4位二进制全加器
-84	16位随机存取存储器
-85	4位幅度比较器
-86	四路2输入异或门
-87	4位源码/补码/0/1单元
-88	256位只读存储器
-89	64位随机存取存储器
-90	十进制计数器 (独立的2分频和5分频段)
-91	8位移位寄存器, 串联输入, 串联输出, 门控输入
-92	12分频计数器 (独立的2分频和6分频段)
-93	4位二进制计数器 (独立的2分频和8分频段)
-94	4位移位寄存器, 双路异步预设
-95	4位移位寄存器, 并联输入, 并联输出, 串联输入

功能编号	布尔函数
-96	5位串联输入/并联输出移位寄存器，异步预置
-97	同步6位二进制比率乘法器
-98	4位数据选择器/存储寄存器
-99	4位双向通用型移位寄存器
-100	双路4位双稳态锁存器
-101	与或门J-K负缘触发的触发器，带预设
-102	与门J-K负缘触发的触发器，带预设和清零
-103	双路J-K负缘触发的触发器，带清零
-104	J-K主从触发器
-105	J-K主从触发器
-106	双路J-K负缘触发的触发器，带预设和清零
-107	带清零的双路J-K触发器，或带清零的双路J-K负缘触发的触发器
-108	双路J-K负缘触发的触发器，带预设、公共清零和公共时钟
-109	双路J-非K正缘触发的触发器，带预设和清零
-110	与门J-K主从触发器，带数据锁存
-111	双路J-K主从触发器，带数据锁存
-112	双路J-K负缘触发的触发器，带清零和预设
-113	双路J-K负缘触发的触发器，带预置
-114	双路J-K负缘触发的触发器，带预设、公共时钟和清零
-116	双路4位锁存器，带清零
-118	六路置位/复位锁存器
-119	六路置位/复位锁存器
-120	双脉冲同步器/驱动器
-121	单稳态多谐振荡器

功能编号	布尔函数
-122	可再触发的单稳态多谐振荡器，带清零
-123	双路可再触发的单稳态多谐振荡器，带清零
-124	双路电压控制振荡器
-125	四路总线缓冲器，带三态输出，负电平使能
-126	四路总线缓冲器，带三态输出，正电平使能
-128	四路2输入或非线路驱动器
-130	四路2输入与门缓冲器，带30 V集电极开路输出
-131	四路2输入与门缓冲器，带15 V集电极开路输出
-132	四路2输入与非施密特触发器
-133	13输入与非门
-134	12输入与门，带三态输出
-135	四路异或/异或非门
-136	四路2输入异或门，带集电极开路输出
-137	3至8线路解码器/解复用器，带地址锁存
-138	3至8线路解码器/解复用器
-139	双路2至4线路解码器/解复用器
-140	双路4输入或非线路驱动器
-141	BCD至十进制解码器/驱动器，用于冷阴极指示器/数码管
-142	十进制计数器/锁存器/驱动器，用于数码管
-143	十进制计数器/锁存器/7段驱动器，15 mA恒定电流
-144	十进制计数器/锁存器/7段驱动器，15 V集电极开路输出
-145	BCD至十进制解码器/驱动器

功能编号	布尔函数
-147	10线路至4线路优先编码器
-148	8线路至3线路优先编码器
-150	16线路至1线路数据选择器/多路复用器
-151	8线路至1线路数据选择器/多路复用器
-152	8线路至1线路数据选择器/多路复用器
-153	双路4线路至1线路数据选择器/多路复用器
-154	4线路至16线路解码器/解复用器
-155	双路2线路至4线路解码器/解复用器
-156	双路2线路至4线路解码器/解复用器，带集电极开路输出
-157	四路2线路至1线路数据选择器/多路复用器，同相
-158	四路2线路至1线路数据选择器/多路复用器，反相
-159	4线路至16线路解码器/解复用器，带集电极开路输出
-160	同步4位十进制计数器，带异步清零
-161	同步4位二进制计数器，带异步清零
-162	同步4位十进制计数器，带同步清零
-163	同步4位二进制计数器，带同步清零
-164	8位并联输出串联移位寄存器，带异步清零
-165	8位串联移位寄存器，并联负载，互补输出
-166	并联负载8位移位寄存器
-167	同步十进制比率乘法器
-168	同步4位向上/向下十进制计数器
-169	同步4位向上/向下二进制计数器
-170	4x4寄存器文件，带集电极开路输出
-171	16位多端口寄存器文件，带三态输出

功能编号	布尔函数
-173	四路D型触发器；正缘触发器；三态
-174	六路D型触发器，带复位；正缘触发器
-175	四路D型触发器，带复位；正缘触发器
-191	可预设同步4位二进制向上/向下计数器
-193	可预设同步4位二进制向上/向下计数器
-194	4位双向通用型移位寄存器
-200	256位RAM，带三态输出
-201	256位(256x1) RAM，带三态输出
-206	256位寄存器文件，带集电极开路输出
-209	1024位(1024x1) RAM，带三态输出
-210	八路缓冲器
-219	64位(16x4) RAM，带同相三态输出
-221	双单稳态多谐振荡器，带施密特触发器输入
-222	16x4同步FIFO存储器，带三态输出
-224	16x4同步FIFO存储器，带三态输出
-225	异步16x5 FIFO存储器
-226	4位并联锁存总线收发器，带三态输出
-230	八路缓冲器/驱动器，带三态输出
-232	四路或非施密特触发器
-237	1-8解码器/解复用器，带地址锁存和高电平有效输出
-238	1-8解码器/解复用器，高电平有效输出
-239	双路2-4解码器/解复用器，高电平有效输出
-240	八路缓冲器，带反相三态输出
-241	八路缓冲器，带同相三态输出
-242	四路总线收发器，带反相三态输出
-243	四路总线收发器，带同相三态输出
-244	八路缓冲器，带同相三态输出
-245	八路总线收发器，带同相三态输出

功能编号	布尔函数
-246	BCD至7段解码器/驱动器, 带30 V集电极开路输出
-247	BCD至7段解码器/驱动器, 带15 V集电极开路输出
-248	BCD至7段解码器/驱动器, 带内部上拉输出
-249	BCD至7段解码器/驱动器, 带集电极开路输出
-251	8线路至1线路数据选择器/多路复用器, 带互补三态输出
-253	双路4线路至1线路数据选择器/多路复用器, 带三态输出
-255	双路4位可寻址锁存器
-256	双路4位可寻址锁存器
-257	四路2线路至1线路数据选择器/多路复用器, 带同相三态输出
-258	四路2线路至1线路数据选择器/多路复用器, 带反相三态输出
-259	8位可寻址锁存器
-260	双路5输入或非门
-261	2位乘4位并联二进制乘法器
-265	四路互补输出单元
-266	四路2输入异或非门, 带集电极开路输出
-269	8位双向二进制计数器
-270	2048位(512x4)只读存储器, 带集电极开路输出
-271	2048位(256x8)只读存储器, 带集电极开路输出
-273	8位寄存器, 带复位
-274	4位乘4位并联二进制乘法器
-275	7位片式华莱士树

功能编号	布尔函数
-276	四路J-非K边沿触发的触发器, 带独立时钟、公共预设和清零
-278	4位可级联优先寄存器, 带锁存数据输入
-279	四路置位-复位锁存器
-280	9位奇/偶校验位发生器/校验器
-281	4位并联二进制累加器
-283	4位二进制全加器
-284	4位乘4位并联二进制乘法器 (低阶4位乘积)
-285	4位乘4位并联二进制乘法器 (高阶4位乘积)
-287	1024位(256x4)可编程只读存储器, 带三态输出
-288	256位(32x8)可编程只读存储器, 带三态输出
-289	64位(16x4)RAM, 带集电极开路输出
-290	十进制计数器 (独立的2分频和5分频段)
-291	4位通用型移位寄存器, 二进制向上/向下计数器, 同步
-292	可编程分频器/数字定时器
-293	4位二进制计数器 (独立的2分频和8分频段)
-294	可编程分频器/数字定时器
-295	4位双向寄存器, 带三态输出
-297	数字锁相环滤波器
-298	四路2输入多路复用器, 带存储
-299	8位双向通用型移位器/存储寄存器, 带三态输出
-301	256位(256x1)随机存取存储器, 带集电极开路输出

功能编号	布尔函数
-309	1024位(1024x1)随机存取存储器, 带集电极开路输出
-310	八路缓冲器, 带施密特触发器输入
-314	1024位随机存取存储器
-320	晶体控制振荡器
-322	8位移位寄存器, 带符号扩展和三态输出
-323	8位双向通用型移位器/存储寄存器, 带三态输出
-324	电压控制振荡器 (或晶体控制)
-332	3输入或门
-340	八路缓冲器, 带施密特触发器输入和三态反相输出
-341	八路缓冲器, 带施密特触发器输入和三态同相输出
-344	八路缓冲器, 带施密特触发器输入和三态同相输出
-348	8至3线路优先编码器, 带三态输出
-350	4位移位器, 带三态输出
-351	双路8线路至1线路数据选择器/多路复用器, 带三态输出和4个公共数据输入
-352	双路4线路至1线路数据选择器/多路复用器, 带反相输出
-353	双路4线路至1线路数据选择器/多路复用器, 带反相三态输出
-354	8至1线路数据选择器/多路复用器, 带透明锁存器和三态输出
-356	8至1线路数据选择器/多路复用器, 带边沿触发寄存器和三态输出
-361	气泡存储功能时序发生器
-362	四相时钟发生器/驱动器 (即TIM9904)
-365	六路缓冲器, 带同相三态输出

功能编号	布尔函数
-366	六路缓冲器, 带反相三态输出
-367	六路缓冲器, 带同相三态输出
-368	六路缓冲器, 带反相三态输出
-370	2048位(512x4)只读存储器, 带三态输出
-371	2048位(256x8)只读存储器, 带三态输出
-373	八路透明锁存器, 带三态输出
-374	八路寄存器, 带三态输出
-375	四路双稳态锁存器
-376	四路J-非K触发器, 带公共时钟和公共清零
-377	8位寄存器, 带时钟使能
-378	6位寄存器, 带时钟使能
-379	4位寄存器, 带时钟使能和互补输出
-380	8位多功能寄存器
-381	4位算术逻辑单元/函数发生器, 带生成和传播输出
-382	4位算术逻辑单元/函数发生器, 带纹波进位和溢出输出
-384	双向开关
-385	四路4位加法器/减法器
-386	四路2输入异或门
-387	1024位(256x4)可编程只读存储器, 带集电极开路输出
-388	4位寄存器, 带标准输出和三态输出 (-LS388等同于AMD Am25LS2518, 功能等效于Am2918和Am25S18)
-390	双路4位十进制计数器
-393	双路4位二进制计数器
-395	4位双向移位寄存器, 带三态输出

功能编号	布尔函数
-398	四路2输入多路复用器, 具有存储和互补输出
-399	四路2输入多路复用器, 带存储
-408	8位奇偶树
-412	多模式缓冲8位锁存器, 带三态输出和清零功 (74S412等效于Intel 8212和TI TIM8212)
-423	双路可再触发单稳态多谐振荡器
-424	两相时钟发生器/驱动器 (74LS424等效于Intel 8224和TI TIM8224)
-425	四门, 带三态输出和低电平有效使能
-426	四门, 带三态输出和高电平有效使能
-428	8080A的系统控制器 (74S428等效于Intel 8228和TI TIM8228)
-438	8080A的系统控制器 (74S438等效于Intel 8238和TI TIM8238)
-440	四路三向总线收发器, 带同相集电极开路输出
-441	四路三向总线收发器, 带反相集电极开路输出
-442	四路双向总线收发器, 带同相三态输出
-443	四路双向总线收发器, 带反相三态输出
-444	四路双向总线收发器, 带反相和同相三态输出
-448	四路双向总线收发器, 带反相和同相集电极开路输出
-450	16至1多路复用器, 带互补输出
-451	双路8至1多路复用器
-452	双路十进制计数器, 同步
-453	双路二进制计数器, 同步 (Motorola, “普通” TTL)
-453	四路4至1多路复用器

功能编号	布尔函数
-454	双路十进制向上/向下计数器, 同步, 预设输入
-455	双路二进制向上/向下计数器, 同步, 预设输入
-456	NBCD (自然二进制十进制) 加法器
-460	总线转换开关
-461	8位可预设二进制计数器, 带三态输出
-462	光纤链路发射器
-463	光纤链路接收器
-465	八路缓冲器, 带三态输出
-468	双路MOS至TTL电平转换器
-470	2048位(256x8)可编程只读存储器, 带集电极开路输出
-471	2048位(256x8)可编程只读存储器, 带三态输出
-472	可编程只读存储器, 带集电极开路输出
-473	四路D触发器, 带三态输出
-473	可编程只读存储器, 带三态输出
-474	六路D触发器, 带公共清零
-474	可编程只读存储器, 带集电极开路输出
-475	四路D边沿触发器, 带互补输出和异步清零
-475	可编程只读存储器, 带三态输出
-476	可预设十进制 (二进制) 计数器/锁存器
-477	可预设二进制计数器/锁存器
-478	4位并行存取移位寄存器
-479	4位并行存取移位寄存器, 带异步清零和互补QD输出
-480	9位奇/偶校验位发生器和校验器
-481	4位算术逻辑单元和函数发生器

功能编号	布尔函数
-481	4位片式处理器单元
-482	超前进位发生器
-482	4位片式可扩展控制单元
-483	双路进位保存全加器
-484	BCD至二进制转换器
-484	BCD至二进制转换器 (掩码编程 SN74S371 ROM)
-485	二进制至BCD转换器
-485	二进制至BCD转换器 (掩码编程 SN74S371 ROM)
-486	512位(64x8)只读存储器, 带集电极开路输出
-487	1024位(256x4)只读存储器, 带集电极开路输出
-488	256位(32x8)可编程只读存储器, 带集电极开路输出
-489	64位(16x4) RAM, 带反相三态输出
-490	同步向上/向下十进制计数器
-490	双路十进制计数器
-491	同步向上/向下二进制计数器
-491	10位二进制向上/向下计数器, 带有限预设和三态逻辑输出
-492	同步向上/向下十进制计数器, 带清零
-493	同步向上/向下二进制计数器, 带清零
-494	4位双向通用型移位寄存器
-495	4位并行存取移位寄存器
-496	可预设十进制计数器/锁存器
-497	可预设二进制计数器/锁存器
-498	8位双向通用型移位寄存器
-498	8位双向移位寄存器, 带并联输入和三态输出

功能编号	布尔函数
-499	8位双向通用型移位寄存器, 带J-非K串联输入
-508	8位乘法器/除法器
-511	BCD至7段锁存/解码器/驱动器
-514	4至16线路解码器/解复用器, 带输入锁存
-516	二进制向上/向下计数器
-517	双路64位静态移位寄存器
-518	双路BCD计数器
-520	8位比较器 (同-521, 只是输入电路不同)
-521	8位比较器
-526	保险丝可编程身份比较器, 16位
-527	保险丝可编程身份比较器, 8位+4位常规身份比较器
-528	保险丝可编程身份比较器, 12位
-531	八路透明锁存器, 带32 mA三态输出
-532	八路寄存器, 带32 mA三态输出
-533	八路透明锁存器, 带反相三态逻辑输出
-534	八路寄存器, 带反相三态输出
-535	八路透明锁存器, 带反相三态输出
-536	八路寄存器, 带反相32 mA三态输出
-537	BCD至十进制解码器, 带三态输出
-538	1-8解码器, 带三态输出
-539	双路1-4解码器, 带三态输出
-540	反相八路缓冲器, 带三态输出
-541	同相八路缓冲器, 带三态输出
-543	八路锁存收发器, 带双使能; 三态
-544	八路D型寄存锁存器; 反相; 三态
-555	1-4线路解码器/解复用器
-557	1至64位可变量长度移位寄存器

功能编号	布尔函数
-558	8位乘8位乘法器, 带三态输出
-560	4位十进制计数器, 带三态输出
-561	4位二进制计数器, 带三态输出
-563	8位D型透明锁存器, 带反相三态输出
-564	8位D型边沿触发寄存器, 带反相三态输出
-568	十进制向上/向下计数器, 带三态输出
-569	二进制向上/向下计数器, 带三态输出
-573	八路D型透明锁存器, 带三态输出
-574	八路D型边沿触发锁存器, 带三态输出
-575	八路D型触发器, 带同步清零和三态输出
-576	八路D型触发器, 带反相三态输出
-577	八路D型触发器, 带同步清零和反相三态输出
-580	八路收发器/锁存器, 带反相三态输出
-585	4位幅度比较器
-589	8位移位寄存器, 带输入锁存和三态输出
-590	8位二进制计数器, 带输出寄存器和三态输出
-592	二进制计数器, 带输入寄存器
-593	8位二进制计数器, 带输入寄存器和三态输出
-594	串联输入移位寄存器, 带输出寄存器
-595	串联输入移位寄存器, 带输出锁存器
-596	串联输入移位寄存器, 带输出寄存器和集电极开路输出
-597	串联输出移位寄存器, 带输入锁存器
-598	移位寄存器, 带输入锁存器

功能编号	布尔函数
-600	动态存储器刷新控制器, 透明和突发模式, 适用于4K或16K DRAM (74LS600等效于TI TIM99600)
-601	动态存储器刷新控制器, 透明和突发模式, 适用于64K DRAM (-LS601等效于TI TIM99601)
-602	动态存储器刷新控制器, 周期窃取和突发模式, 适用于4K或16K DRAM (74LS602等效于TI TIM99602)
-603	动态存储器刷新控制器, 周期窃取和突发模式, 适用于64K DRAM (74LS603等效于TI TIM99603)
-604	八路2输入多路复用器, 带高速锁存, 带三态输出 (74LS604等效于TI TIM99604)
-605	八路2输入多路复用器, 带高速锁存, 带集电极开路输出 (74LS605等效于TI TIM99605)
-606	八路2输入多路复用器, 带锁存, 无毛刺, 带三态输出 (74LS606等效于TI TIM99606)
-607	八路2输入多路复用器, 带锁存、无毛刺, 带集电极开路输出 (74LS607等效于TI TIM99607)
-608	存储器周期控制器 (74LS608等效于TI TIM99608)
-610	内存映射器, 锁存, 三态输出 (74LS610等效于TI TIM99610)
-611	内存映射器, 锁存, 集电极开路输出 (74LS611等效于TI TIM99611)
-612	内存映射器, 三态逻辑输出 (74LS612等效于TI TIM99612)
-613	内存映射器, 集电极开路输出 (74LS613等效于TI TIM99613)

功能编号	布尔函数
-620	八路总线收发器, 反相, 三态输出
-621	八路总线收发器, 同相, 集电极开路输出
-622	八路总线收发器, 反相, 集电极开路输出
-623	八路总线收发器, 同相, 三态输出
-624	电压控制振荡器, 带使能控制、范围控制和两相输出
-625	双路电压控制振荡器, 带两相输出
-626	双路电压控制振荡器, 带使能控制和两相输出
-627	双路电压控制振荡器
-628	电压控制振荡器, 带使能控制、范围控制、外部温度补偿和两相输出
-629	双路电压控制振荡器, 带使能控制和范围控制
-630	16位错误检测和纠正(EDAC), 带三态输出
-631	16位错误检测和纠正(EDAC), 带集电极开路输出
-632	32位错误检测和纠正(EDAC)
-638	八路总线收发器, 带反相三态输出
-639	八路总线收发器, 带同相三态输出
-640	八路总线收发器, 带反相三态输出
-641	八路总线收发器, 带同相集电极开路输出
-642	八路总线收发器, 带反相集电极开路输出
-643	八路总线收发器, 带反相和同相三态输出混合
-644	八路总线收发器, 带反相和同相集电极开路输出混合

功能编号	布尔函数
-645	八路总线收发器
-646	八路总线收发器/锁存器/多路复用器, 带同相三态输出
-647	八路总线收发器/锁存器/多路复用器, 带同相集电极开路输出
-648	八路总线收发器/锁存器/多路复用器, 带反相三态输出
-649	八路总线收发器/锁存器/多路复用器, 带反相集电极开路输出
-651	八路总线收发器/寄存器, 带反相三态输出
-652	八路总线收发器/寄存器, 带同相三态输出
-653	八路总线收发器/寄存器, 带反相三态输出和集电极开路输出
-654	八路总线收发器/寄存器, 带同相三态输出和集电极开路输出
-657	八路收发器, 带奇偶校验发生器/校验器; 三态
-658	八路收发器, 带奇偶校验和反相
-659	八路收发器, 带奇偶校验和同相
-664	八路收发器, 带奇偶校验和反相
-665	八路收发器, 带奇偶校验和同相
-668	同步4位十进制向上/向下计数器
-669	同步4位二进制向上/向下计数器
-670	4x4寄存器文件, 带三态输出
-671	4位双向移位寄存器/锁存器/多路复用器, 带三态输出
-672	4位双向移位寄存器/锁存器/多路复用器, 带三态输出
-673	16位串联输入并联输出移位寄存器, 带输出存储寄存器和三态输出

功能编号	布尔函数
-674	16位串联输入并联输出移位寄存器, 带三态输出
-677	16位地址比较器, 带使能
-678	16位地址比较器, 带锁存
-679	12位地址比较器, 带锁存
-680	12位地址比较器, 带使能
-681	4位并联二进制累加器
-682	8位幅度比较器
-683	8位幅度比较器, 带集电极开路输出
-684	8位幅度比较器
-685	8位幅度比较器, 带集电极开路输出
-686	8位幅度比较器, 带使能
-687	8位幅度比较器, 带使能
-688	8位等值比较器
-689	8位幅度比较器, 带集电极开路输出
-690	4位十进制计数器/锁存器/多路复用器, 带异步复位和三态输出
-691	4位二进制计数器/锁存器/多路复用器, 带异步复位和三态输出
-692	4位十进制计数器/锁存器/多路复用器, 带同步复位和三态输出
-693	4位二进制计数器/锁存器/多路复用器, 带同步复位和三态输出
-694	4位十进制计数器/锁存器/多路复用器, 带同步和异步复位以及三态输出
-695	4位二进制计数器/锁存器/多路复用器, 带同步和异步复位以及三态输出
-696	4位十进制计数器/寄存器/多路复用器, 带异步复位和三态输出
-697	4位二进制计数器/寄存器/多路复用器, 带异步复位和三态输出

功能编号	布尔函数
-698	4位十进制计数器/寄存器/多路复用器, 带同步复位和三态输出
-699	4位二进制计数器/寄存器/多路复用器, 带同步复位和三态输出
-716	可编程十进制计数器 (-LS716等效于Motorola MC4016)
-718	可编程二进制计数器 (74LS718等效于Motorola MC4018)
-724	电压控制多谐振荡器
-740	八路缓冲器/线路驱动器, 反相, 三态输出
-741	八路缓冲器/线路驱动器, 同相, 三态输出, 混合使能极性
-744	八路缓冲器/线路驱动器, 同相, 三态输出
-748	8至3线路优先编码器
-779	8位双向二进制计数器 (三态)
-783	同步地址多路复用器 (74LS783等效于Motorola MC6883)
-790	错误检测和纠正(EDAC)
-794	8位寄存器, 带回读
-795	八路缓冲器, 带三态逻辑输出 (74LS795等效于81LS95)
-796	八路缓冲器, 带三态逻辑输出 (74LS796等效于81LS96)
-797	八路缓冲器, 带三态逻辑输出 (74LS797等效于81LS97)
-798	八路缓冲器, 带三态逻辑输出 (74LS798等效于81LS98)
-804	六路2输入与非驱动器
-805	六路2输入或非驱动器
-808	六路2输入与驱动器

功能编号	布尔函数
-821	10位D型触发器; 正缘触发器; 三态
-823	9位D型触发器, 带5 V容限输入/输出; 正缘触发器; 三态
-827	10位缓冲器/线路驱动器; 同相; 三态
-0832	低功耗3输入与或门
-832	六路2输入或驱动器
-841	10位透明触发器, 带5 V容限输入/输出; 三态
-848	8至3线路优先编码器, 带三态输出
-873	八路透明锁存器
-874	八路D型触发器
-876	八路D型触发器, 带反相输出
-878	双路4位D型触发器, 带同步清零和同相三态输出
-879	双路4位D型触发器, 带同步清零和反相三态输出
-880	八路透明锁存器, 带反相输出
-882	32位超前进位发生器
-885	低功耗双功能门
-888	8位片式处理器
-894	12级移位和存储寄存器LED驱动器
-899	9位双路锁存收发器, 带8位奇偶校验发生器/校验器 (三态)
-926	4位计数器/显示驱动器
-935	3.5位数字电压表(DVM)支持芯片, 用于多路复用7段显示器(MM-C935 = AD-D3501CCN)
-936	3.75位数字电压表(DVM)支持芯片, 用于多路复用7段显示器(MM74C936 = AD-D3701CCN)
-1005	六路反相缓冲器, 带集电极开路输出
-1035	六路同相缓冲器, 带集电极开路输出

功能编号	布尔函数
-1403	3.3V组合式8位总线接收器和4位总线驱动器
-2241	3.3V八路缓冲器/线路驱动器, 带30欧姆串联端接电阻; 三态
-2244	八路缓冲器/线路驱动器, 带30欧姆串联端接电阻 (三态)
-2245	八路收发器, 带方向引脚和30欧姆串联端接电阻 (三态)
-2952	八路寄存收发器, 带5 V容限输入/输出; 三态
-2960	错误检测和纠正(EDAC) (74F2960等效于AMD Am2960)
-2961	EDAC总线缓冲器, 反相
-2962	EDAC总线缓冲器, 同相
-2968	动态存储控制器
-2969	存储器时序控制器, 与EDAC搭配使用
-2970	存储器时序控制器, 用于无EDAC时
-3037	四路2输入与非30欧姆驱动器
-3125	四路FET总线开关
-3126	四路FET总线开关
-3157	2通道模拟复用器/解复用器
-3208	低功耗3输入与或门
-3244	八路总线开关, 带四个输出使能
-3245	八路总线开关
-3251	1-8 FET多路复用器/解复用器
-3253	双路1-4FET复用器/解复用器
-3257	四路1-2多路复用/解复用器
-3306	双路总线开关
-3384	10位总线开关, 带5位输出使能
-3861	10位总线开关, 带输出使能
-4002	双路4输入或非门

功能编号	布尔函数
-4015	双路4位移位寄存器
-4016	四路双向开关
-4017	5级÷10约翰逊计数器
-4024	7级纹波进位二进制计数器
-4028	BCD至十进制解码器
-4040	12级二进制纹波计数器
-4046	锁相环和电压控制振荡器
-4049	六路反相缓冲器
-4050	六路缓冲器/转换器 (同相)
-4051	高速CMOS逻辑8通道模拟复用器/解复用器
-4052	双路4通道模拟复用器/解复用器
-4053	三路2通道模拟复用器/解复用器
-4059	可编程n分频计数器
-4060	14级二进制纹波计数器, 带振荡器
-4066	四路双向开关
-4067	16通道模拟复用器/解复用器
-4075	三路3输入或门
-4078	8输入或/异或门
-4094	8位三态移位寄存器/锁存器
-4245	八路双电源转换收发器; 三态

功能编号	布尔函数
-4316	四路模拟开关
-4351	8通道模拟复用器/解复用器, 带锁存器
-4353	三路2通道模拟复用器/解复用器, 带锁存器
-4511	BCD至7段解码器
-4514	4至16线路解码器/解复用器, 带输入锁存
-4515	4至16线路解码器/解复用器, 带输入锁存; 反相
-4520	双路4位同步二进制计数器
-4538	双可再触发精密单稳态多谐振荡器
-4851	8通道模拟复用器/解复用器, 带注流效果控制
-4852	双路4通道模拟复用器/解复用器, 带注流效果控制
-5555	带振荡器的可编程延时定时器
-6323	带振荡器的可编程纹波计数器; 三态
-7007	六路缓冲器 (如7407, 但为推挽输出)
-7014	六路同相精密施密特触发器
-7266	四路2输入异或非门 (异或非, 等效测试)

逻辑器件系列的输出驱动电流

逻辑器件系列	电源电压	待机电流	最大驱动电流
		µA	mA
AXP	0.7–2.75	0.6	8
AUP	0.8–3.6	0.9	4
LV	1.0–3.6	20	8
AVC	1.2–3.3	20	8
LVC	1.2–3.6	20	24
ALVC	1.2–3.6	40	24
AHC	2.0–6.0	40	8
HC	2.0–6.0	80	8
ALVT	2.3–3.6	90	64
LVT	2.7–3.6	120–190	64
FAST	4.5–5.5	90	24
ABT	4.5–5.5	250	64
NPIC	4.5–5.5 (LED输出至33 V)	200	100
HEF	5.0–15.0	600	3 (栅极、LED输出至20 mA)

各公司通用封装后缀

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
DW	Diodes Inc	GW		SC88	363
FW4	Diodes Inc	GF		XSON6	891
FZ4	Diodes Inc	GM		XSON6	886
S14	Diodes Inc	D	T	SO14	108
SE	Diodes Inc	GW		SC70	353
T14	Diodes Inc	PW	TT	TSSOP14	402
W5	Diodes Inc	GV		SO5	753
BQ	Fairchild (ON Semi)	BQ		DHVQFN14	762
BQ	Fairchild (ON Semi)	BQ		DHVQFN16	763
BQ	Fairchild (ON Semi)	BQ		DHVQFN20	764
CM	Fairchild (ON Semi)	D	T	SO14	108
CN	Fairchild (ON Semi)	N	P	DIP14	27
FH(X)	Fairchild (ON Semi)	GF		XSON8	1089
G	Fairchild (ON Semi)	EC		LFBGA96	536
G	Fairchild (ON Semi)	EC		LFBGA114	537
K8	Fairchild (ON Semi)	DC		VSSOP8	765

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
KX8	Fairchild (ON Semi)	GD		XSON8U	996
L6	Fairchild (ON Semi)	GM		XSON6	886
L8	Fairchild (ON Semi)	GM		XQFN8U	902
M	Fairchild (ON Semi)	D		SO8	96
M	Fairchild (ON Semi)	D	T	SO14	108
M	Fairchild (ON Semi)	D	T	SO16	162
M	Fairchild (ON Semi)	D	T	SO20	163
M5	Fairchild (ON Semi)	GV		SO5	753
ME	Fairchild (ON Semi)	DL		SSOP48	370
ME	Fairchild (ON Semi)	DL		SSOP56	371
MEA	Fairchild (ON Semi)	DL		SSOP48	370
MEA	Fairchild (ON Semi)	DL		SSOP56	371
MSA	Fairchild (ON Semi)	DB		SSOP20	339
MSA	Fairchild (ON Semi)	DB		SSOP24	340
MSA	Fairchild (ON Semi)	DB		SSOP28	341
MT	Fairchild (ON Semi)	DGG		TSSOP48	362
MT	Fairchild (ON Semi)	DGG		TSSOP56	364
MTC	Fairchild (ON Semi)	PW		TSSOP24	355
MTC	Fairchild (ON Semi)	PW	TT	TSSOP20	360
MTC	Fairchild (ON Semi)	PW	TT	TSSOP14	402
MTC	Fairchild (ON Semi)	PW	TT	TSSOP16	403
MTC	Fairchild (ON Semi)	PW		TSSOP8	530
MTD	Fairchild (ON Semi)	DGG		TSSOP48	362
MTD	Fairchild (ON Semi)	DGG		TSSOP56	364
MTD	Fairchild (ON Semi)	DGG		TSSOP64	646
MX	Fairchild (ON Semi)	D		SO16	162
N	Fairchild (ON Semi)	N	P	DIP14	27
N	Fairchild (ON Semi)	N	P	DIP16	38
N	Fairchild (ON Semi)	N	P	DIP24	101
N	Fairchild (ON Semi)	N	P	DIP24	101
N	Fairchild (ON Semi)	N		DIP28	117
N	Fairchild (ON Semi)	N	P	DIP20	146
NT	Fairchild (ON Semi)	N		DIP24	101
P5	Fairchild (ON Semi)	GW		SC70	353
P6	Fairchild (ON Semi)	GW		SC88	363
P6X	Fairchild (ON Semi)	GW		SC88	363
PC	Fairchild (ON Semi)	N	P	DIP14	27

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
PC	Fairchild (ON Semi)	N	P	DIP16	38
PC	Fairchild (ON Semi)	N	P	DIP24	101
PC	Fairchild (ON Semi)	N		DIP28	117
PC	Fairchild (ON Semi)	N	P	DIP20	146
QSC	Fairchild (ON Semi)	DK		SSOP24	556
QSC	Fairchild (ON Semi)	DS		SSOP16	519
QSC	Fairchild (ON Semi)	DS		SSOP20	724
SC	Fairchild (ON Semi)	D		SO8	96
SC	Fairchild (ON Semi)	D	T	SO14	108
SC	Fairchild (ON Semi)	D		SO28	136
SC	Fairchild (ON Semi)	D	T	SO16	162
SC	Fairchild (ON Semi)	D	T	SO16	162
SC	Fairchild (ON Semi)	D	T	SO20	163
SPC	Fairchild (ON Semi)	N		DIP24	101
T	Fairchild (ON Semi)	DGG		TSSOP56	364
WM	Fairchild (ON Semi)	D		SO28	136
WM	Fairchild (ON Semi)	D	T	SO16	162
WM	Fairchild (ON Semi)	D	T	SO20	163
BF	IDT	EC		LFPGA96	536
CD	IDT	N	P	DIP20	146
DC	IDT	D		SO8	96
DC	IDT	D	T	SO14	108
DJ	IDT	DGV		TSSOP48	480
PA	IDT	DGG		TSSOP48	362
PA	IDT	DGG		TSSOP56	364
PC	IDT	DK		SSOP24	556
PC	IDT	DS		SSOP16	519
PC	IDT	DS		SSOP20	724
PF	IDT	DGV		TSSOP48	480
PF	IDT	DGV		TSSOP56	481
PG	IDT	PW		TSSOP24	355
PG	IDT	PW	TT	TSSOP20	360
PG	IDT	PW	TT	TSSOP14	402
PG	IDT	PW	TT	TSSOP16	403
PS	IDT	D	T	SO24	137
PS	IDT	D	T	SO20	163
PV	IDT	DL		SSOP48	370

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
PV	IDT	DL		SSOP56	371
PY	IDT	DB		SSOP20	339
2G	On Semi	DB	TS	SSOP16	338
AMX	On Semi	GM		XSON6	886
CMX	On Semi	GF		XSON6	891
CMX	On Semi	GF		XSON8	1089
CPG	On Semi	N	P	DIP14	27
D	On Semi	D		SO8	96
D	On Semi	D	T	SO14	108
D	On Semi	D		SO28	136
D	On Semi	D	T	SO24	137
D	On Semi	D	T	SO16	162
D	On Semi	D	T	SO16	162
D	On Semi	D	T	SO20	163
D	On Semi	PW		TSSOP8	530
DF	On Semi	GW		SC88	363
DFT	On Semi	GW		SC70	353
DG	On Semi	D	T	SO14	108
DR2G	On Semi	D		SO20	163
DT	On Semi	DGG		TSSOP48	362
DT	On Semi	PW		TSSOP24	355
DT	On Semi	PW	TT	TSSOP14	402
DT	On Semi	PW	TT	TSSOP16	403
DT	On Semi	PW		TSSOP8	530
DT	On Semi	PW		TSSOP10	552
DT	On Semi	PW	TT	TSSOP20	360
DTT	On Semi	GV		SO5	753
DW	On Semi	D	T	SO16	162
DWR2G	On Semi	D		SO20	163
EP	On Semi	GM		XQFN10U	1049
MN	On Semi	BQ		DHVQFN16	763
MN	On Semi	BQ		DHVQFN20	764
NG	On Semi	N	P	DIP14	27
NG	On Semi	N	P	DIP16	38
NG	On Semi	N		DIP24	101
NG	On Semi	N		DIP24	101
NG	On Semi	N		DIP28	117

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
NG	On Semi	N		CDIP28	135
NG	On Semi	N	P	DIP20	146
OM	On Semi	GU-16		XQFN16	1161
P	On Semi	N	P	DIP14	27
P	On Semi	N	P	DIP16	38
P	On Semi	N	P	DIP24	101
P	On Semi	N	P	DIP24	101
P	On Semi	N		DIP28	117
P	On Semi	N	P	DIP20	146
QZ	On Semi	DK		SSOP24	556
QZ	On Semi	DS		SSOP16	519
QZ	On Semi	DS		SSOP20	724
SQL	On Semi	GW		SC70	353
SQL	On Semi	GW		SC88	363
US	On Semi	DC		VSSOP8	765
USGH	On Semi	DC		VSSOP8	765
CM	Renesas	GW		SC70	353
CM	Renesas	GW		SC88	363
P	Renesas	N	P	DIP14	27
P	Renesas	N	P	DIP16	38
P	Renesas	N	P	DIP24	101
P	Renesas	N		DIP24	101
P	Renesas	N		DIP28	117
P	Renesas	N		CDIP28	135
P	Renesas	N	P	DIP20	146
RP	Renesas	D		SO8	96
RP	Renesas	D	T	SO14	108
RP	Renesas	D		SO28	136
RP	Renesas	D	T	SO24	137
RP	Renesas	D	T	SO16	162
RP	Renesas	D	T	SO16	162
RP	Renesas	D	T	SO20	163
T	Renesas	DGG		TSSOP48	362
T	Renesas	DGG		TSSOP56	364
T	Renesas	DGG		TSSOP64	646
T	Renesas	DP		TSSOP8	505
T	Renesas	PW		TSSOP24	355

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
T	Renesas	PW	TT	TSSOP20	360
T	Renesas	PW	TT	TSSOP14	402
T	Renesas	PW	TT	TSSOP16	403
T	Renesas	PW		TSSOP8	530
T	Renesas	PW		TSSOP10	552
US	Renesas	DC		VSSOP8	765
B1R	ST Micro	N	P	DIP14	27
B1R	ST Micro	N	P	DIP16	38
B1R	ST Micro	N	P	DIP20	146
BEY	ST Micro	N	P	DIP14	27
BEY	ST Micro	N	P	DIP16	38
BM1	ST Micro	D	T	SO14	108
BM1	ST Micro	D	T	SO24	137
BM1	ST Micro	D	T	SO16	162
BM1	ST Micro	D	T	SO20	163
C	ST Micro	GW		SC70	353
DTR	ST Micro	GM		XSON6	886
DTR	ST Micro	PW	TT	TSSOP20	360
MO13	ST Micro	D	T	SO14	108
MO13	ST Micro	D	T	SO24	137
MO13	ST Micro	D	T	SO16	162
MO13	ST Micro	D	T	SO20	163
MTR	ST Micro	D	T	SO14	108
MTR	ST Micro	D	T	SO24	137
MTR	ST Micro	D	T	SO16	162
MTR	ST Micro	D	T	SO20	163
RM13	ST Micro	D	T	SO14	108
RM13	ST Micro	D	T	SO24	137
RM13	ST Micro	D	T	SO16	162
RM13	ST Micro	D	T	SO20	163
STR	ST Micro	GV		SO5	753
TTR	ST Micro	DGG		TSSOP48	362
TTR	ST Micro	PW	TT	TSSOP20	360
TTR	ST Micro	PW	TT	TSSOP14	402
TTR	ST Micro	PW	TT	TSSOP16	403
D	TI	D		SO8	96
D	TI	D	T	SO14	108

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
D	TI	D	T	SO16	162
DA	TI	DR		TSSOP32	487
DAE	TI	DR		TSSOP32	487
DB	TI	DB		SSOP14	337
DB	TI	DB	TS	SSOP16	338
DB	TI	DB		SSOP20	339
DB	TI	DB		SSOP24	340
DB	TI	DB		SSOP28	341
DBQ	TI	DS		SSOP16	519
DBV	TI	GV		SO5	753
DCK	TI	GW		SC70	353
DCK	TI	GW		SC88	363
DCT	TI	DP		TSSOP8	505
DCU	TI	DC		VSSOP8	765
DCU	TI	GD		XSON8U	996
DDC	TI	GV		SO5	753
DDU	TI	DC		VSSOP8	765
DGG	TI	DGG		TSSOP48	362
DGG	TI	DGG		TSSOP56	364
DGG	TI	DGG		TSSOP64	646
DGV	TI	DGV		TSSOP48	480
DGV	TI	DGV		TSSOP56	481
DL	TI	DL		SSOP48	370
DL	TI	DL		SSOP56	371
DPW	TI	GX		X2SON5	1226
DQE	TI	GF		XSON8	1089
DQE	TI	GS		XSON8	1203
DQM	TI	GM			1309
DRY	TI	GM		XSON6	886
DSF	TI	GS		XSON6	1202
DW	TI	D		SO28	136
DW	TI	D	T	SO24	137
DW	TI	D	T	SO16	162
DW	TI	D	T	SO20	163
E	TI	N	P	DIP14	27
E	TI	N	P	DIP16	38
E	TI	N	P	DIP24	101

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
E	TI	N		DIP28	117
E	TI	N	P	DIP20	146
F	TI	N		CDIP28	135
G	TI	DG		TVSOP80	647
G	TI	DGG		TSSOP48	362
GKE	TI	EC		LFBGA96	536
GKF	TI	EC		LFBGA114	537
GQL	TI	EV		VFPGA56	702
J	TI	N		CDIP28	135
L8	TI	GM		XQFN8U	902
M	TI	D		SO8	96
M	TI	D	T	SO14	108
M	TI	D		SO28	136
M	TI	D	T	SO24	137
M	TI	D	T	SO16	162
M	TI	D	T	SO16	162
M	TI	D	T	SO20	163
M96	TI	D		SO16	162
N	TI	N	P	DIP14	27
N	TI	N	P	DIP16	38
N	TI	N	P	DIP24	101
N	TI	N		DIP24	101
N	TI	N		DIP28	117
N	TI	N	P	DIP20	146
NE	TI	N	P	DIP16	38
NT	TI	N		DIP24	101
PW	TI	PW		TSSOP24	355
PW	TI	PW	TT	TSSOP20	360
PW	TI	PW	TT	TSSOP14	402
PW	TI	PW	TT	TSSOP16	403
PW	TI	PW		TSSOP8	530
PW	TI	PW		TSSOP10	552
RHL	TI	BQ		DHVQFN24	815
RSE	TI	GM		XQFN8U	902
RSV	TI	GU-16		XQFN16	1161
RSW	TI	GU		UQFN	1160
RUT	TI	GU-12			1174

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
TK	TI	TK		HVSON10	650
TPA	TI	DGG		TSSOP48	480
TPV	TI	DL		SSOP56	371
YEB	TI	UK		WLCSP4	不适用
YEC	TI	UK		WLCSP6	不适用
YEG	TI	UK		WLCSP12	不适用
YZB	TI	UK		WLCSP4	不适用
YZC	TI	UK		WLCSP6	不适用
YZG	TI	UK		WLCSP12	不适用
YZP	TI	GM		XSON6	886
YZP	TI	GT		XSON8	833
YZT	TI	UK		WLCSP12	不适用
ZKE	TI	EC		LFBGA96	536
ZKF	TI	EC		LFBGA114	537
ZQL	TI	EV		VFPGA56	702
BF	Toshiba	D	T	SO14	108
BF	Toshiba	D	T	SO24	137
BF	Toshiba	D	T	SO16	162
BF	Toshiba	D	T	SO20	163
BP	Toshiba	N	P	DIP14	27
BP	Toshiba	N	P	DIP16	38
F	Toshiba	GV		SO5	753
FE	Toshiba	GW		SC88	363
FK	Toshiba	DC		VSSOP8	765
FN	Toshiba	D	T	SO14	108
FN	Toshiba	D	T	SO16	162
FS	Toshiba	DB		SSOP24	340
FS	Toshiba	PW		TSSOP24	355
FT	Toshiba	DB		SSOP14	337
FT	Toshiba	DB	TS	SSOP16	338
FT	Toshiba	DB		SSOP20	339
FT	Toshiba	DGG		TSSOP48	362
FT	Toshiba	DGG		TSSOP56	364
FT	Toshiba	DL		SSOP48	370
FT	Toshiba	DL		SSOP56	371
FT	Toshiba	PW	TT	TSSOP20	360
FT	Toshiba	PW	TT	TSSOP14	402

通用后缀	竞争对手	Nexperia 标准后缀	Nexperia HEF后缀	封装名称	SOT #
FT	Toshiba	PW	TT	TSSOP16	403
FTG	Toshiba	HR		HXQFN16U	1039
FU	Toshiba	GW		SC70	353
FU	Toshiba	GW		SC88	363
FW	Toshiba	D		SO8	96
FW	Toshiba	D		SO28	136
FW	Toshiba	D	T	SO16	162
P	Toshiba	N	P	DIP14	27
P	Toshiba	N	P	DIP16	38
P	Toshiba	N		DIP24	101
P	Toshiba	N	P	DIP20	146

竞争对手逻辑器件系列与Nexperia逻辑器件系列交叉参考

竞争对手	竞争对手 逻辑器件系列	Nexperia 逻辑器件系列	相似性	备注
Diodes Inc	AHC	AHC	完全	
Diodes Inc	AHCT	AHCT	完全	
Diodes Inc	AUP	AUP	完全	
Diodes Inc	AVC	AVC	完全	
Diodes Inc	HC	HC	完全	
Diodes Inc	HCT	HCT	完全	
Diodes Inc	LV	LV	完全	
Diodes Inc	LVC	LVC	完全	
Diodes Inc	LVT	LVT	完全	
Fairchild (ON Semi)	ABT	ABT	完全	
Fairchild (ON Semi)	AC	AHC	接近	与24 mA驱动电流相比, AHC仅为8 mA, 但是噪声更低。AHC中无钳位二极管, 因此可以耐受5 V, 而AC则不能。AHC的温度范围更宽
Fairchild (ON Semi)	ACT	AHCT	接近	与24 mA驱动电流相比, AHCT仅为8 mA, 但是噪声更低。AHCT中无钳位二极管, 因此可以耐受5 V, 而ACT则不能。AHCT的温度范围更宽
Fairchild (ON Semi)	ALS	ABT	接近	ABT的速度和VCC范围与ALS相似, 但驱动电流仅为ALS的一半
Fairchild (ON Semi)	AS	ABT	接近	速度相近, 驱动电流相近
Fairchild (ON Semi)	C	HEF	接近	例如: 74C74, VCC = 3-15 V, tpd = 70-140 ns, 2 mA输出

竞争对手	竞争对手 逻辑器件系列	Nexperia 逻辑器件系列	相似性	备注
Fairchild (ON Semi)	CD4K	HEF	完全	
Fairchild (ON Semi)	F	F	完全	
Fairchild (ON Semi)	FSA	LVC	接近	开关系列名称, 与NC7WB相同。1.65-5.5 VCC
Fairchild (ON Semi)	FST	CBT	完全	
Fairchild (ON Semi)	FXLH	AUP	完全	
Fairchild (ON Semi)	FXLP	AUP1T	接近	
Fairchild (ON Semi)	HC	HC	完全	
Fairchild (ON Semi)	HCT	HCT	完全	
Fairchild (ON Semi)	LCX/H	LVC	接近	LVC的VCC工作范围较宽, Tpd稍快。两者都是24 mA驱动
Fairchild (ON Semi)	LS	ABT	接近	ABT更快 (1-4与2-10 ns对比), 驱动电流更大(64/32对比24/15 mA驱动)
Fairchild (ON Semi)	LVT/H	LVT	完全	
Fairchild (ON Semi)	LVX	LV	接近	LVX工作范围更宽, LV不能耐受5 V输入
Fairchild (ON Semi)	NC7NZ	LVC3G	完全	
Fairchild (ON Semi)	NC7S	AHC1G	接近	“S”快速逻辑器件。单门、2.0-6.0 V、2 mA驱动、3.5 ns。AHC为8 mA、5 nS、2-6 VCC: 速度没那么快
Fairchild (ON Semi)	NC7SB	LVC1G	接近	单通道开关工艺的交叉参考为LVC开关。与Fairchild FSA系列相同。例如: 3157
Fairchild (ON Semi)	NC7SP	AUP1G	完全	单门版本
Fairchild (ON Semi)	NC7ST	HC1G	接近	单门。“与HC兼容, 但驱动电流减半” (根据Fairchild网站)
Fairchild (ON Semi)	NC7SV	AUP1G	接近	单门。1-12 nS、24 mA驱动。与AUP类似, 但驱动电流更大。FSC称SP为SV的“交叉参考”。AUP的VCC略好
Fairchild (ON Semi)	NC7SZ	LVC1G	完全	单门。两个系列都是1.65-5.5 V VCC, 24 mA驱动。
Fairchild (ON Semi)	NC7WB	LVC2G	接近	开关工艺交叉参考为LVC开关。与Fairchild FSA系列相同
Fairchild (ON Semi)	NC7WP	AUP2G	接近	双门器件。AUP的VCC范围略好, 驱动电流更高 (4 mA对比2.6 mA), 速度相同。0.9-3.6 V、2-27 nS、2.6 mA驱动
Fairchild (ON Semi)	NC7WT	HC2G	完全	双门版本

竞争对手	竞争对手逻辑器件系列	Nexperia逻辑器件系列	相似性	备注
Fairchild (ON Semi)	NC7WV	AUP2G	接近	双门。AUP的VCC略好。WV系列提供施密特触发器输入。多数为双门
Fairchild (ON Semi)	NC7WZ	LVC2G	接近	双门。两个系列都具有1.65–5.5 V VCC, 24 mA驱动。WZ系列提供施密特触发器输入。双门器件
Fairchild (ON Semi)	VCX/H	ALVCH	完全	
Fairchild (ON Semi)	VHC/T	AHC/T	接近	过去交叉参考为HC。AHC的功耗略低。注意, Nexperia确实也生产为数有限的VHC器件
IDT	ALVC	ALVC	完全	
IDT	ALVC/H	ALVC/H	完全	
IDT	CBTLV	CBTLV	完全	
IDT	FCT (3V)	LVT	完全	
IDT	FCT (5V)	ABT	完全	
IDT	LVC	LVC	完全	
IDT	QS3VH	LVC	接近	QS3VH采用快速总线工艺, 与Nexperia LVC相似
IDT	VH	LVC	接近	VH = 2.3–3.6 VCC, V = 1.2–3.6 VCC, 5 V容限
On Semi	14xxx	HEF	完全	除名称不同, 没有差别
On Semi	AC	AHC	接近	5 nS tPD, 24 mA输出。AHC适用于所有应用, 高功率驱动应用除外
On Semi	ACT	AHCT	接近	与24 mA驱动电流相比, AHCT仅为8 mA, 但是噪声更低。AHCT中无钳位二极管, 因此可以耐受5 V, 而ACT则不能。AHCT的温度范围更宽
On Semi	CBTL	CBTL	完全	总线开关工艺
On Semi	HC	HC	完全	
On Semi	HCT	HCT	完全	
On Semi	LCX	LVC	接近	LVC的VCC工作范围较宽, Tpd稍快。两者都是24 mA驱动
On Semi	LVX	LV	接近	LV的工作范围更宽, LV则不能耐受5 V输入
On Semi	NL17SG	AUP	接近	0.9–3.6 V, 4.6 V容限引脚
ON Semi	NL17SH	HC	完全	tpd = 3 nS, 2–5 V VCC, 单门。例如NL17SH00
ON Semi	NL17SHT	HCT	完全	
On Semi	NL17SV	AUP	完全	
On Semi	NL17SZ	LVC	完全	

竞争对手	竞争对手逻辑器件系列	Nexperia逻辑器件系列	相似性	备注
On Semi	NL27WZ	LVC	完全	
On Semi	NL37WZ	LVC3G	完全	例如: 三路缓冲器
On Semi	NL7SZ	LVC	完全	
On Semi	NL7WB	LVC	完全	
On Semi	NLSX	NTS	完全	双电压双向电平转换器
On Semi	NLU	AHCT	接近	5.5 V VCC, TTL输出, 8 mA驱动, 3.8 ns传播延时, 过压容限输入
ON Semi	NLV	HEF	接近	HEF提供Q100标准
On Semi	NLX	LVC	完全	例如74LVC2G14等
On Semi	VCX	ALVCH	完全	
On Semi	VHC	AHC	接近	过去交叉参考为HC。AHC的功耗略低。请注意, Nexperia确实也生产为数有限的VHC器件
On Semi	VHCT	AHCT	接近	过去交叉参考为HC。AHC的功耗略低。请注意, Nexperia确实也生产为数有限的VHC器件
Pericom	STX	AHC1G	完全	例如P174STX1G08
Renesas	AC	AHC	接近	5 nS tPD, 24 mA输出。AHC适用于所有应用, 高功率驱动应用除外
Renesas	ACT	AHCT	接近	5 nS tPD, 24 mA输出。AHC适用于所有应用, 高功率驱动应用除外
Renesas	ALVC	ALVC	完全	根据Renesas网站
Renesas	BC	ABT	完全	5 nS tPD, 15/64 mA输出
Renesas	CBT	CBT	完全	
Renesas	HC	HC	完全	
Renesas	HCT	HCT	完全	
Renesas	LD	HEF	接近	对于LED驱动, 可达30 V、200 mA驱动。类似于HEF, 但请注意有些器件甚至电压更高。
Renesas	LS	ABT	接近	ABT速度更快 (1-4对比2-10 ns), 驱动电流更大 (64/32对比24/15 mA驱动)
Renesas	LV	LV	完全	仅适用于单门和两门器件 (根据Renesas网站)
Renesas	LV-A	LV, AHC	接近	Renesas宣称Nexperia LV和AHC都是LV-A的交叉参考产品
Renesas	LVC-B	LVC	完全	根据Renesas网站
ST Micro	AC	AHC	接近	5 nS tPD, 24 mA输出。AHC适用于所有应用, 高功率驱动应用除外

竞争对手	竞争对手逻辑器件系列	Nexperia逻辑器件系列	相似性	备注
ST Micro	ACT	AHCT	接近	与24 mA驱动电流相比, AHCT仅为8 mA, 但是噪声更低。AHCT中无钳位二极管, 因此可以耐受5 V, 而ACT则不能。AHCT的温度范围更宽
ST Micro	ALVC	ALVC	完全	
ST Micro	AUP	AUP	完全	
ST Micro	HC	HC	完全	
ST Micro	HCF	HEF	完全	
ST Micro	HCT	HCT	完全	
ST Micro	LCX	LVC	接近	LVC的VCC工作范围较宽, Tpd稍快。两者均为24 mA驱动。“AC/ACT更快速, 功耗更低”
ST Micro	LVC	LVC	完全	
ST Micro	LVX	LV	接近	LV工作范围更宽, LV不能耐受5 V输入
ST Micro	V	LVC	接近	V = (VCC = 2.5 V, Tpd = 4.8 ns, 8 mA驱动, 过压容限), LVC=(1.65–5.5 VCC, Tpd = 3.7 ns, 24 mA驱动, 过压容限)。1G、2G器件
ST Micro	VCX	ALVCH	完全	
ST Micro	VHC	AHC	完全	
ST Micro	VHCT	AHCT	完全	
TI	ABT	ABT	完全	
TI	AHC	AHC	完全	
TI	AHCT	AHCT	完全	
TI	ALS	ABT	接近	ABT的速度和VCC范围与ALS相似, 但驱动电流仅为ALS的一半
TI	ALVC	ALVC	完全	
TI	ALVT	ALVT	完全	
TI	AUC	AUP	接近	AUP与AUC类似。速度稍慢, 功耗略低。
TI	AUP	AUP	完全	
TI	AVC	AVC	完全	
TI	CBT	CBT	完全	
TI	CBTLV	CBTLV	完全	
TI	CD4000	HEF	完全	除名称不同, 没有差别
TI	F	F	完全	
TI	FCT	ABT	完全	

竞争对手	竞争对手逻辑器件系列	Nexperia逻辑器件系列	相似性	备注
TI	HC	HC	完全	
TI	HCT	HCT	完全	
TI	LV	LV	完全	
TI	LVC	LVC	完全	
TI	LVT	LVT	完全	
Toshiba	AC	AHC	接近	5 nS tPD, 24 mA输出。AHC适用于所有应用, 高功率驱动应用除外
Toshiba	ACT	AHCT	接近	与24 mA驱动电流相比, AHCT仅为8 mA, 但是噪声更低。AHCT中无钳位二极管, 因此可以耐受5 V, 而ACT则不能。AHCT的温度范围更宽
Toshiba	HC	HC	完全	
Toshiba	HCT	HCT	完全	
Toshiba	LCX	LVC	接近	LVC的VCC工作范围较宽, Tpd稍快。两者都是24 mA驱动
Toshiba	LVX	LV	接近	LV工作范围更宽, LV不能耐受5 V输入
Toshiba	TC4	HEF	完全	例如TC4049
Toshiba	TC4xxx	HEF	完全	
Toshiba	TC7MA	ALVCH	接近	过时的系列编号。已由新的系列名称取代
Toshiba	TC7MET	AHCT	接近	过时的系列编号。已由新的系列名称取代
Toshiba	TC7MH	AHC	完全	过时的系列编号。已由新的系列名称取代
Toshiba	TC7MZ	LVC	接近	过时的系列编号。已由新的系列名称取代
Toshiba	TC7PA	LVC	完全	单门和双门VCX器件。1.8-3.6 VCC
Toshiba	TC7PG	AUP	接近	0.9–3.6 VCC双门, 8 mA驱动, 2 nS。最接近AUC系列: AUP驱动电流较小
Toshiba	TC7PH	AHC	接近	2–5.5 VCC, 8 mA 驱动, 5 nS。5.3 nS。最接近AHC
Toshiba	TC7PH	AHC	接近	过时的系列编号。已由新的系列名称取代
Toshiba	TC7S	AHC	接近	HC系列中的2G双栅极器件。2–6 VCC, 2.6 mA驱动, 5 nS。与AHC类似
Toshiba	TC7SA	LVC	完全	1.8–3.6 VCC, 24 mA。2.8–7.4 nS “等同VCX” (根据Toshiba)

竞争对手	竞争对手逻辑器件系列	Nexperia逻辑器件系列	相似性	备注
Toshiba	TC7SET	AHCT	接近	单门器件4.5–5.5 VCC, 8 mA驱动, 5 nS。最接近AHCT。HC速度不够快
Toshiba	TC7SG	AUP	接近	单门器件0.9–3.6 VCC, 8 mA驱动, 2–5 nS。AUP驱动电流较小, LV驱动电流高但速度较慢。
Toshiba	TC7SH	AHC	接近	VHC系列的1G单门版本。2–5.5 VCC, 8 mA驱动, 4–5 nS
Toshiba	TC7SZ	LVC	完全	LCX系列的单门器件。1.6–5.5 VCC, 32 mA驱动, 2–3 nS。
Toshiba	TC7W	HC	接近	2–6 VCC, 5 mA驱动, 双门, <10 ns。AHC。HCT逻辑器件的单门版本
Toshiba	TC7WG	LV	接近	LVP系列0.9–3.6 VCC, 8 mA驱动, 2–3 nS。LV速度较慢, AUP驱动电流较小。1/2/3G器件
Toshiba	TC7WH	AHC	接近	VHCT系列中的2门和3门器件。2–5.5 VCC, 8 mA驱动, 3–5 nS。1/2/3门
Toshiba	TC7WT	HCT	接近	高速TTL输入4.5–5.5 VCC, 6 mA驱动, 15 nS。
Toshiba	TC7WT	HCT	接近	过时的系列编号。已由新系列取代
Toshiba	TC7WZ	LVC	接近	SHS系列。“与LCX性能相匹配”。32 mA驱动, 3 ns, 1.65–5.5。1/2/3门器件。LVC的VCC范围没有那么宽
Toshiba	VCX	ALVCH	exact	
Toshiba	VHC	AHC	exact	
Toshiba	VHCT	AHCT	exact	

缩写词

ADC	模数转换器	fi	输入频率
μF	微法	FIFO	先进先出
AHCT	具有晶体管-晶体管逻辑电平的高级高速CMOS	fo	输出频率
ALVT	高级低电压BiCMOS技术	FPGA	现场可编程门阵列
与	逻辑功能	GND	电源接地参考电平
ANSI	美国国家标准学会	GPIO	通用输入/输出
ASIC	特定应用集成电路	HBM	人体模型
AUP	高级超低功耗	HCT	具有晶体管-晶体管逻辑电平的高速CMOS
AVC	高级极低电压CMOS	I/O	输入和输出
AXP	高级极低电压和功耗	IC	集成电路
BBM	先通后断	Icc	电源电流
BiCMOS	双极性互补金属氧化物半导体	Icch	输出为逻辑高电平时的静态电流
CDM	带电器件模型	Iccl	输出为逻辑低电平时的静态电流
Cl	负载电容	ID	漏极电流
CLK	时钟	IEC	国际电工委员会
CMOS	互补型金属氧化物半导体	IEEE	电气与电子工程师协会
CP	时钟输入	Ignd	电源接地引脚的电流
Cpd	等效功率耗散电容	lik	输入钳位电流
CS	开关电容	Il	输入漏电流
Cs(on)	导通电容	Ioff	关断状态电流
D触发器	数据或延时触发器	Iok	输出钳位电流
DIR	方向	Istat	静态电源电流
D锁存器	延时锁存器	JEDEC	电子工程设计发展联合会
ESD	静电放电	LVC	低电压互补金属氧化物半导体
f	频率		
f-3dB	带有-3dB衰减/损耗的频率		
FAQ	常见问题		
FET	场效应晶体管		

LVT	低压BiCMOS技术	RPU	上拉电阻
MBB	先断后通	RS触发器	复位触发器
MCU	微控制器单元 (微控制器)	SOC	系统芯片
MOSFET	金属氧化物半导体场效应晶体管	SP3T	单刀三掷
MR	主机复位	SP8T	单刀八掷
与非(NAND)与非, 逻辑功能		SPDT	单刀双掷
nF	纳法	SPST	单刀单掷
NMOST	N沟道金属氧化物半导体晶体管	Ten	使能时间
NOR	或非, 逻辑功能	Tf	下降时间
OE	输出使能	Th	保持时间
或	逻辑功能	THD	总谐波失真
OVT	过压容限	Tj	结温
PCB	印刷电路板	Tpd	传播延时时间
PD	功耗	Tphl	逻辑高电平至低电平转换的传播延时时间
pF	皮法	Tplh	逻辑低电平至高电平转换的传播延时时间
PMOST	P沟道金属氧化物半导体晶体管	Tr	上升时间
Ptot	总功耗	Tsk	偏移时间
Q	电荷量	Tskhl	逻辑高电平转换至低电平的偏移时间
Q100	国际汽车电子协会-Q100标准规范	Tsklh	逻辑低电平转换至高电平的偏移时间
研发	研究和开发	Tsu	建立时间
Rcl	限流电阻	Tthl	逻辑高电平转换至低电平的下降时间
RF	射频		
Ron	晶体管的导通电阻		

TTL	晶体管-晶体管逻辑
Tt _{lh}	逻辑低电平转换至高电平的 上升时间
T _w	脉冲宽度时间

US	美国
----	----

VCC	电源电压
VEE	负电源电压
VGS	栅极-源极电压
V _i	输入电压
V _{ih}	逻辑高电平信号的输入电压
V _{il}	逻辑低电平信号的输入电压
V _o	输出电压
VOH	输出高电平电压
VOL	输出低电平电压
VSS	地电压
V _T	阈值电压
V _{T-}	负电平趋向阈值电压
V _{T+}	正电平趋向阈值电压

XNOR	异或非, 逻辑功能
XOR	异或, 逻辑功能
Xtalk	串扰

ZL	阻抗特性
----	------

索引

A		I	
绝对最大额定值	35	输入和输出电平	66
模拟开关	33	输入级电流	43
与门	26	输入转换	35
B		IOFF的机制和用途	79
双向晶体管	70	L	
BiCMOS	43, 50	电平转换	66
二进制代码	22	限值	35
布尔代数	23	逻辑器件数据手册参数	34
总线保持	82	集中式系统和分布式系统	84
总线开关	34	M	
C		故障	35
CMOS	42	最大频率	64
Cpd测试条件	54	亚稳态	62
Cpd计算	49	少数载流子	42
限流电阻	72	N	
D		与非门	27
D触发器	32	噪声	35
占空比考量	46	或非门	29
动态特性	38	O	
动态考量	44	开漏输出	74
动态功耗	47	或门	28
E		过压容限输入	73
边沿触发	38	P	
转换功能组合的示例	76	功耗	42
F		功耗计算	51
下降速率	35	功耗电容	40, 48
触发器	32	传播延时	38, 59
G		R	
门延时	59	竞争条件	59
接地反弹和VCC反弹	80	建议工作条件	35
H		恢复时间	61
迟滞	36	RS触发器	32

S	
施密特触发器	36
偏移	61
慢输入上升/下降时间	46
源端接	84
源端接	85
静态特性	36
静态考量	42
同步和异步逻辑	58
T	
触发器和锁存器的时序参数	60
转换特性	36
瞬态能耗	44
X	
异或非门	31
异或门	30

法律信息

定义

初稿 — 本文仅为初稿版本。内容仍在内部审查，尚未正式批准，可能会有进一步修改或补充。Nexperia对此处所含信息的准确性或完整性不做任何说明或保证，并对因使用此信息而带来的后果不承担任何责任。

免责声明

有限保证和责任 — 本文档中的信息据信是准确和可靠的。但是，Nexperia对此处所含信息的准确性或完整性不做任何明示或暗示的声明或保证，并对因使用此信息而带来的后果不承担任何责任。若文中信息并非来自Nexperia，则Nexperia对该信息的内容概不负责。

在任何情况下，对于任何间接性、意外性、惩罚性、特殊性或后果性损害（包括但不限于利润损失、积蓄损失、业务中断、因拆卸或更换任何产品而产生的开支或返工费用），无论此等损害是否基于侵权行为（包括过失）、保证、违约或任何其他法理，Nexperia均不承担任何责任。

对于因任何原因给客户带来的任何损害，Nexperia对本文所述产品的总计责任和累积责任仅限于Nexperia商业销售条款和条件所规定的范围。

修改权 — Nexperia有权随时修改本文档所发布的信息，包括但不限于规格和产品描述，恕不另行通知。本文档将取代并替换之前就此提供的所有信息。

适用性 — Nexperia产品并非设计、授权或担保适合用于生命维持、生命攸关或安全关键型系统或设备，亦非设计、授权或担保适合用于在Nexperia产品失效或故障时可导致人员受伤、死亡或严重财产损失或环境损害的应用。xperia及其供应商对在此类设备或应用中加入和/或使用Nexperia产品不承担任何责任，客户需自行承担因加入和/或使用Nexperia产品而带来的风险。

应用 — 本文档所载任何产品的应用只用于例证目的。此类应用若未进一步测试或修改用于特定用途，Nexperia对其适用性不做任何声明或保证。

客户负责自行使用Nexperia产品进行设计和应用，对于应用或客户产品设计，Nexperia均无义务提供任何协助。客户须自行负责检验Nexperia的产品是否适用于客户的规划应用和产品，以及是否适用于其第三方客户的规划应用和使用。客户应提供适当的设计和操作安全保障措施，以最大限度降低与应用和产品相关的风险。

对于因客户的应用或产品的任何缺陷或故障，或者客户的第三方客户的应用或使用导致的任何故障、损害、费用或问题，Nexperia均不承担任何责任。客户负责对使用Nexperia产品的应用和产品执行所有必要的测试，以避免这些应用和产品或者客户的第三方客户的应用或使用存在任何缺陷。Nexperia不承担与此相关的任何责任。

出口管制 — 本文档以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经主管部门批准。

翻译 — 非英文（翻译）版文档仅供参考。如果翻译版与英文版之间存在任何差异，以英文版为准。

商标

注意：所有引用的品牌、产品名称、服务名称以及商标均为其各自所有者的资产。

The Nexperia logo is displayed in white text on a dark teal background. The word "nexperia" is written in a lowercase, sans-serif font. The letter "x" is a distinctive feature, rendered in orange with a white diagonal slash through it. The remaining letters are white.

nexperia

更多详情, 请访问:
www.nexperia.com

如需获取销售办事处地址, 请查看:
www.nexperia.com/about/worldwide-locations/sales-offices.html

逻辑器件应用手册
产品特性和应用见解
设计工程师指南

版权所有©Nexperia
2020年10月

www.nexperia.com

ISBN 978-0-9934854-6-6

保留所有权利。
未经作者事先书面许可, 不得以任何形式或通过任何
方式复制或分发本出版物的任何内容。