

MS90C385

——100MHz 的 24bit 平板显示器 (FPD) LVDS 信号发送器

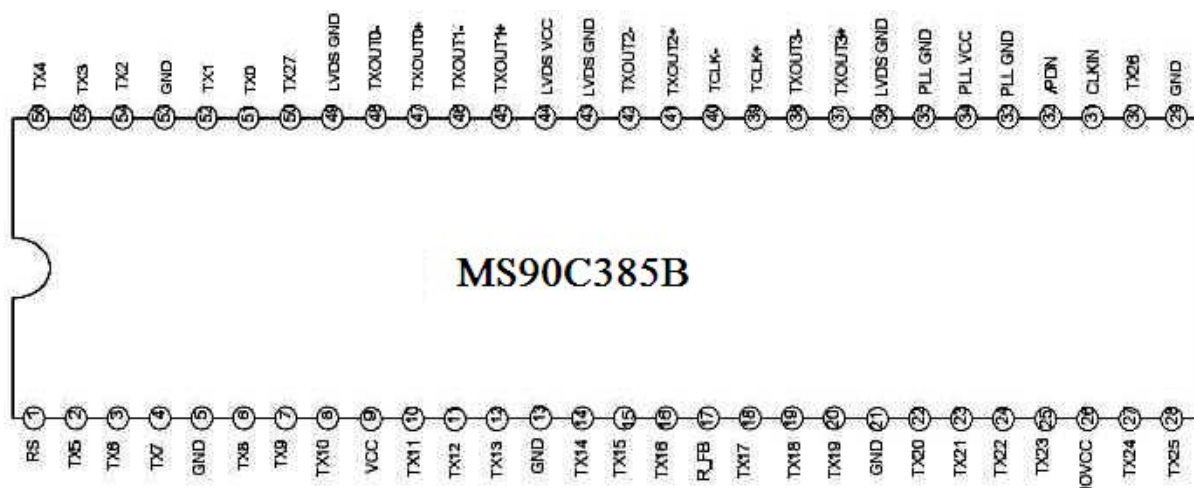
功能概述

MS90C385 芯片能够将 28bit 的 TTL 数据转换成 4 通道的低压差分型号 (LVDS)。时钟通道经过锁相之后与数据通道并行输出。在时钟频率为 100MHz 时, 24bit 的 RGB 数据、3bit 的 LCD 时序数据和 1bit 的控制数据以 700Mbps 的速率在每个 LVDS 数据通道中传输。输入时钟频率为 100MHz 时, 数据的传输速率为 350Mbytes/sec。MS90C385 的 R_FB 管脚可以选择在时钟的上升沿或者下降沿有效。此款芯片是解决高带宽、高速 TTL 信号层面的电磁干扰和电缆长度问题的理想产品。

特点

- ◇频率范围: 20-100MHz 时钟信号
- ◇较少的总线减少了连线尺寸和费用
- ◇内核供电电源 3.3V
- ◇IO 供电电源 1.8V、3.3V 兼容
- ◇低功耗模式
- ◇支持 VGA、SVGA、XGA、SXGA
- ◇支持扩展频谱时钟产生
- ◇内部集成输入抖动滤波器
- ◇350Megabytes/sec 带宽
- ◇减小 LVDS 摆幅来减小电磁干扰 (200mV 或 345mV LVDS 摆幅可供选择)
- ◇PLL 不需要外部结构
- ◇遵循 TIA/EIA-644 LVDS 标准

管脚定义



MS90C385 管脚说明

管脚名	管脚序号	管脚类型	描述
TXOUT0+, TXOUT0-	47, 48	LVDS 输出	LVDS 差分数据输出
TXOUT1+, TXOUT1-	45, 46	LVDS 输出	
TXOUT2+, TXOUT2-	41, 42	LVDS 输出	
TXOUT3+, TXOUT3-	37, 38	LVDS 输出	
TCLK+, TCLK-	39, 40	LVDS 输出	LVDS 差分时钟输出
TX0 ~ TX6	51, 52, 54, 55, 56, 2, 3	输入	TTL 级数据输入。 包括: 8 RED, 8 GREEN, 8 BLUE, 4 个控制信号 (HSYNC, VSYNC, DE)
TX7 ~ TX13	4, 6, 7, 8, 10, 11, 12	输入	
TX14 ~ TX20	14, 15, 16, 18, 19, 20, 22	输入	
TX21 ~ TX27	23, 24, 25, 27, 28, 30, 50	输入	
CLK IN	31	输入	TTL 级时钟输入。
/PDN	32	输入	TTL 级输入。高: 正常工作 低: 低功耗
R_FB	17	输入	选择有效边沿。 高: 上升沿 低: 下降沿
RS	1	输入	LVDS 摆幅控制 (正常 RS=10VCC, 小摆幅 RS=GND)
VCC	9	电源	TTL 级输入电源
10VCC	26	10 电源	I/O 口电源, 1.8V 和 3.3V 兼容
GND	5, 13, 21, 29, 53	地	TTL 级输入地
LVDS VCC	44	电源	LVDS 输出电源
LVDS GND	36, 43, 49	地	LVDS 输出地
PLL VCC	34	电源	PLL 电源
PLL GND	33, 35	地	PLL 地

推荐工作条件

电源电压 (VCC) -0.3V - 4.0V

CMOS/TTL 输入电压 -0.3V - (VCC+0.3V)

CMOS/TTL 输出电压 -0.3V - (VCC+0.3V)

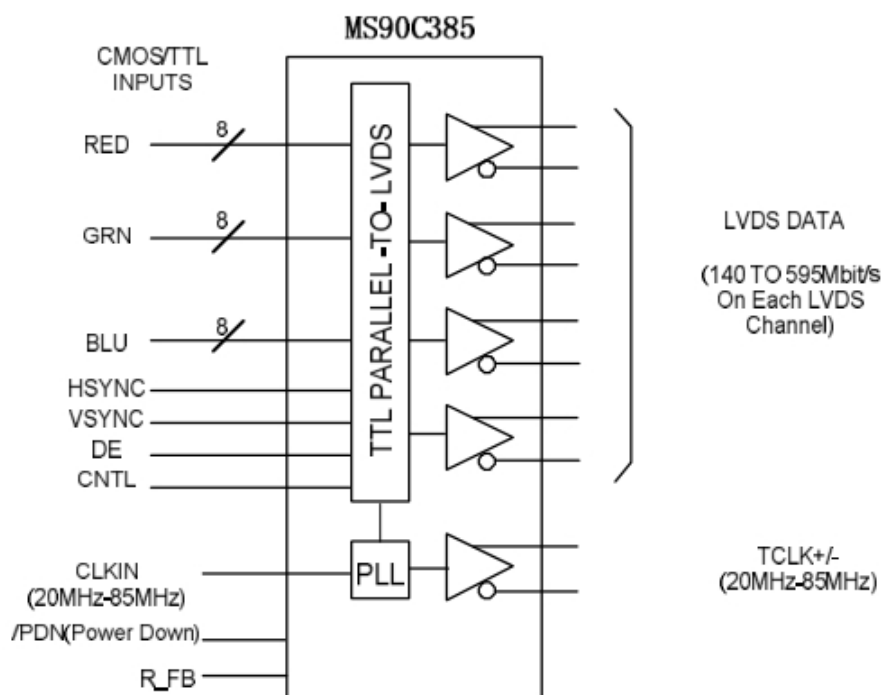
LVDS 驱动输出电压 -0.3V - (VCC+0.3V)

结点温度 +150°C

温度范围 -65°C - 150°C

最大功耗 (25°C)

MS90C385 1.4W

结构框图

电学特性

符号	参数	条件	Min	Typ	Max	Units
V_{IH}	输入高电平		1.5		V_{CC}	V
V_{IL}	输入低电平		GND		0.8	V
I_{IN}	输入电流	$0 \leq V_{IN} \leq V_{CC}$			± 10	μA
I_{PD}	低功耗状态电流	$R_{FB}=V_{CC}, V_{IN}=V_{CC}$			10	μA

开关特性

符号	参数		Min	Typ	Max	Units
T _{TCIT}	时钟信号过渡时间				5.0	ns
T _{TCP}	时钟周期		11.76	T	50	ns
T _{TCH}	时钟高电平持续时间		0.35T	0.5T	0.65T	ns
T _{TCL}	时钟低电平持续时间		0.35T	0.5T	0.65T	ns
T _{TS}	TTL 数据建立时间		2.5			ns
T _{TH}	TTL 数据保持时间		0			ns
T _{LVT}	LVDS 信号转换时间			0.6		ns
T _{TCD}	时钟输入与差分时钟信号延迟			2T/7+2.3		ns
T _{TDE1}	输出数据位 0	100MHz	-0.2	0	+0.2	ns
T _{TDE0}	输出数据位 1			1.43		ns
T _{TDE6}	输出数据位 2			2.86		ns
T _{TDE5}	输出数据位 3			4.29		ns
T _{TDE4}	输出数据位 4			5.71		ns
T _{TDE3}	输出数据位 5			7.14		ns
T _{TDE2}	输出数据位 6			8.47		ns

T _{TD1}	输出数据位 0	85MHz	-0.2	0	+0.2	ns
T _{TD0}	输出数据位 1			1.68		ns
T _{TD6}	输出数据位 2			3.36		ns
T _{TD5}	输出数据位 3			5.04		ns
T _{TD4}	输出数据位 4			6.72		ns
T _{TD3}	输出数据位 5			8.40		ns
T _{TD2}	输出数据位 6			10.08		ns
T _{TD1}	输出数据位 0	50MHz	-0.2	0	+0.2	ns
T _{TD0}	输出数据位 1			2.86		ns
T _{TD6}	输出数据位 2			5.71		ns
T _{TD5}	输出数据位 3			8.57		ns
T _{TD4}	输出数据位 4			11.42		ns
T _{TD3}	输出数据位 5			14.28		ns
T _{TD2}	输出数据位 6			17.14		ns
T _{TD1}	输出数据位 0	35MHz	-0.2	0	+0.2	ns
T _{TD0}	输出数据位 1			4.08		ns
T _{TD6}	输出数据位 2			8.16		ns
T _{TD5}	输出数据位 3			12.24		ns
T _{TD4}	输出数据位 4			16.33		ns
T _{TD3}	输出数据位 5			20.41		ns
T _{TD2}	输出数据位 6			24.49		ns
T _{TD1}	输出数据位 0	20MHz	-0.2	0	+0.2	ns
T _{TD0}	输出数据位 1			7.14		ns
T _{TD6}	输出数据位 2			14.28		ns
T _{TD5}	输出数据位 3			21.42		ns
T _{TD4}	输出数据位 4			28.57		ns
T _{TD3}	输出数据位 5			35.71		ns
T _{TD2}	输出数据位 6			42.86		ns
T _{TPLLS}	锁相环设置时间		-	-	10	ms

直流特性

符号	参数	条件	Min	Typ	Max	Units
V _{OD}	差分输出电压 (RS=VCC)	RL=100 Ω	250	345	450	mV
	差分输出电压 (RS=GND)		100	200	300	
ΔV _{OD}					35	mV
V _{OC}	共模电压 (RS=VCC)		1.125	1.25	1.375	V
	共模电压 (RS=GND)			1.20		
ΔV _{OC}					35	mV
I _{OZ}		/PDN=0V			±10	uA

电源电流

符号	参数	条件	Typ	Max	Units
I_{CTG}	供电电流 16 Grayscale MS90C385	$f=20\text{MHz}$	21		mA
		$f=35\text{MHz}$	27		mA
		$f=50\text{MHz}$	29		mA
		$f=85\text{MHz}$	31		mA
		$f=100\text{MHz}$	34		mA
I_{CTP}	Power down 时的电流	/PDN=0V	21		uA

交流时序图

图 1. 测试模板 “Worst Case Pattern”



图 2. 测试模板 “16 Grayscale Test Pattern”

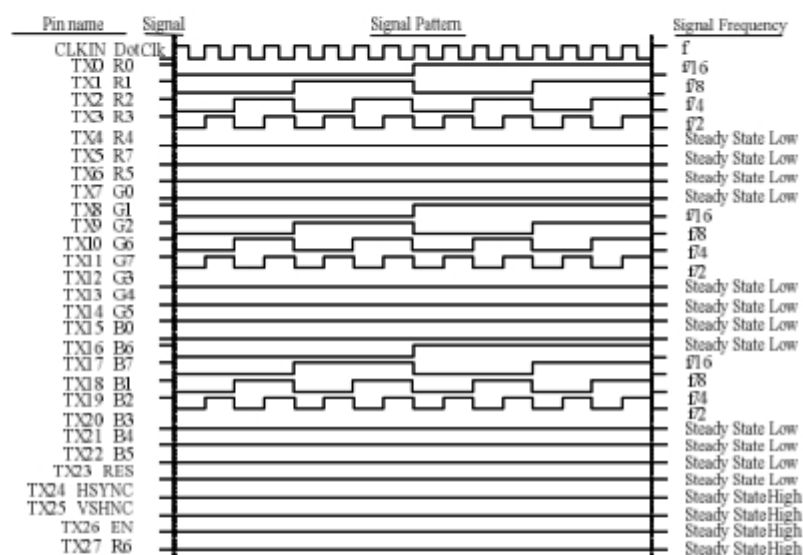


图 3. TTL 输入

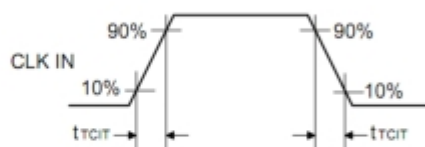


图 4. LVDS 输出

$$V_{\text{diff}} = (\text{TXOUT+}) - (\text{TXOUT-})$$

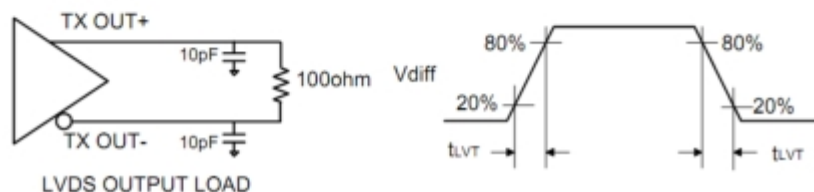


图 5. 锁相环设置时间

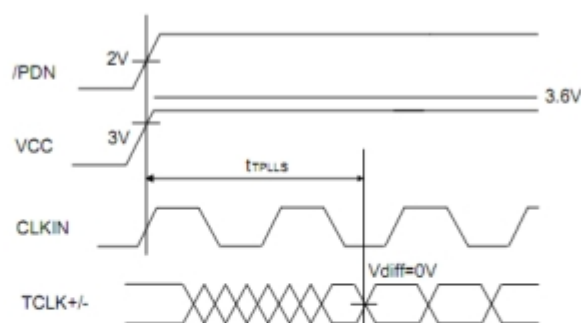
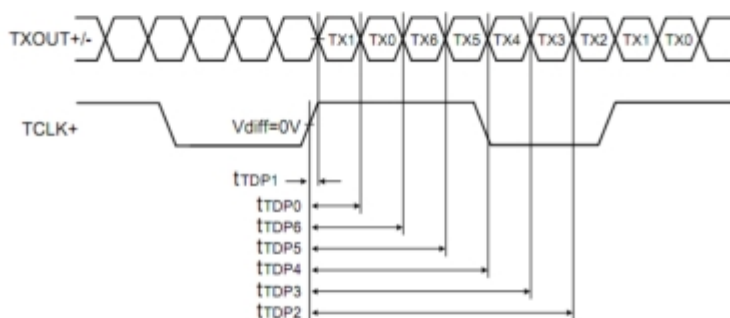


图 6. 发送器状态



$$V_{diff} = (TXOUT+) - (TXOUT-), \dots (TCLK+) - (TCLK-)$$

图 7. 并行 TTL 输入数据与 LVDS 输出数据匹配关系

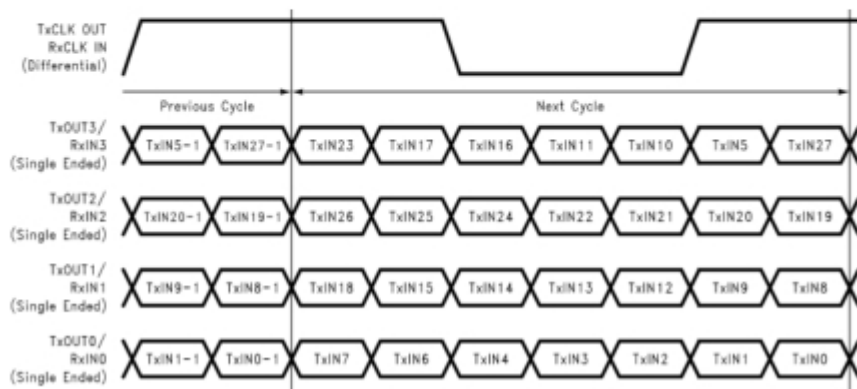


图 8. 上升、下降时间与高电平、低电平保持时间

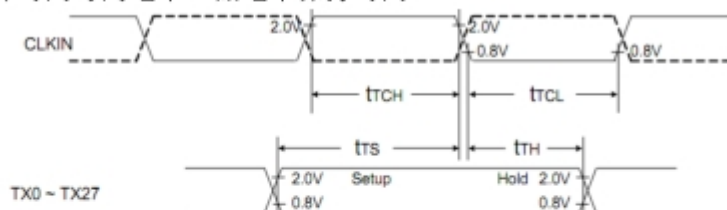
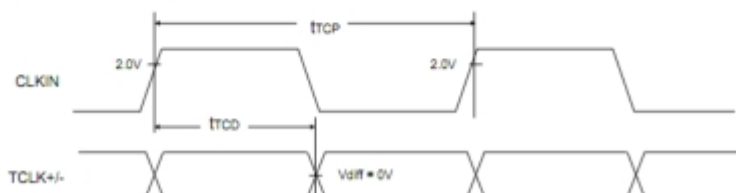


图 9. 输入时钟与输出时钟间延迟



封装图

