



canaan

K510 Core 核心模组

数据手册



Copyright © 2021 Canaan Inc.

免责声明

您购买的产品、服务或特性等应受嘉楠公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，嘉楠公司对本文档内容不做任何明示或默示的声明或保证。由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标声明

Canaan 图标、嘉楠和嘉楠其他商标均为嘉楠捷思信息技术有限公司的商标，并归嘉楠股份有限公司所有。本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有©嘉楠股份有限公司

本文档仅适用 K510 平台开发设计，非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部应用于非 K510 平台开发应用。

前言

文档目的

本文档主要介绍K510处理器硬件设计的要点及注意事项，旨在帮助您缩短产品的设计周期、提高产品的设计稳定性及降低故障率。

请参考本指南的要求进行硬件设计，同时尽量使用K510发布的相关核心模板。如因特殊原因需要更改，请严格按照高速数字电路设计要求进行更改。

目标读者

本文档主要适用于以下工程师：

- 产品软硬件开发工程师
- 技术支持工程师
- 测试工程师

修订记录

修订版本	说明	修订日期
V 1.0.0	初次正式发版	20220115

Confidential

1 系统概述

1.1 概述

K510 Core 核心模组是针对嘉楠科技 (NASDAQ: CAN) Kendryte®系列 AIOT 芯片中的最新一代 SoC 产品 K510 进行封装的产品。该模组设计为小尺寸板卡，预留 B2B 连接器引出全部的功能接口。内置新一代 KPU (Knowledge Process Unit) 智能计算单元，具备 2.5TOPS 的多种精度 AI 算力，广泛支持通用的 AI 计算框架。该芯片同时具备丰富多样的外设接口，以及 DSP、2D 等多个标量、向量、图形等专用硬件加速单元，可以对多种图像、视频、音频、AI 等多样化计算任务进行全流程计算加速，具备低延迟、高性能、低功耗、快速启动、高安全性等多项特性。

K510 Core 核心模组可被用于各类智能硬件产品，如智能门锁、家庭智能安全摄像机、词典笔、支付识别、3D 结构光视觉模组、无人机、交互型机器人、智能家电、智能玩具、智能制造、智能座舱等众多领域。

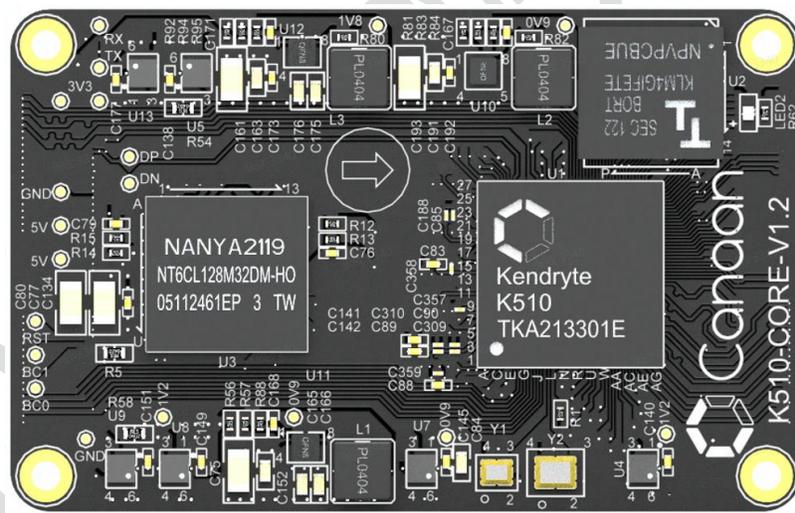


图 1-1 K510 Core 核心模组

禁止事项

1. 禁止带电插拔核心模组及外围模块！
2. 禁止在没有经释放静电或无静电防护的措施下直接操作本产品。
3. 禁止使用有机溶剂或者腐蚀性液体清洗本产品。
4. 禁止进行敲打、扭曲等可能造成物理损伤的操作。

注意事项

1. 请注意对人体进行静电释放后，再操作本产品，建议佩戴静电手环。
2. 操作前请确认底板的供电电压和适配器电压在本文档所描述的允许范围内。
3. 设计前请务必阅读本文档及工程文件中的注意事项。
4. 注意产品在高温、高湿、高腐蚀环境下使用需要进行散热、排水、密封等特殊处理。
5. 请勿自行维修、拆解，否则将无法享受免费的售后服务。

1.2 芯片框图

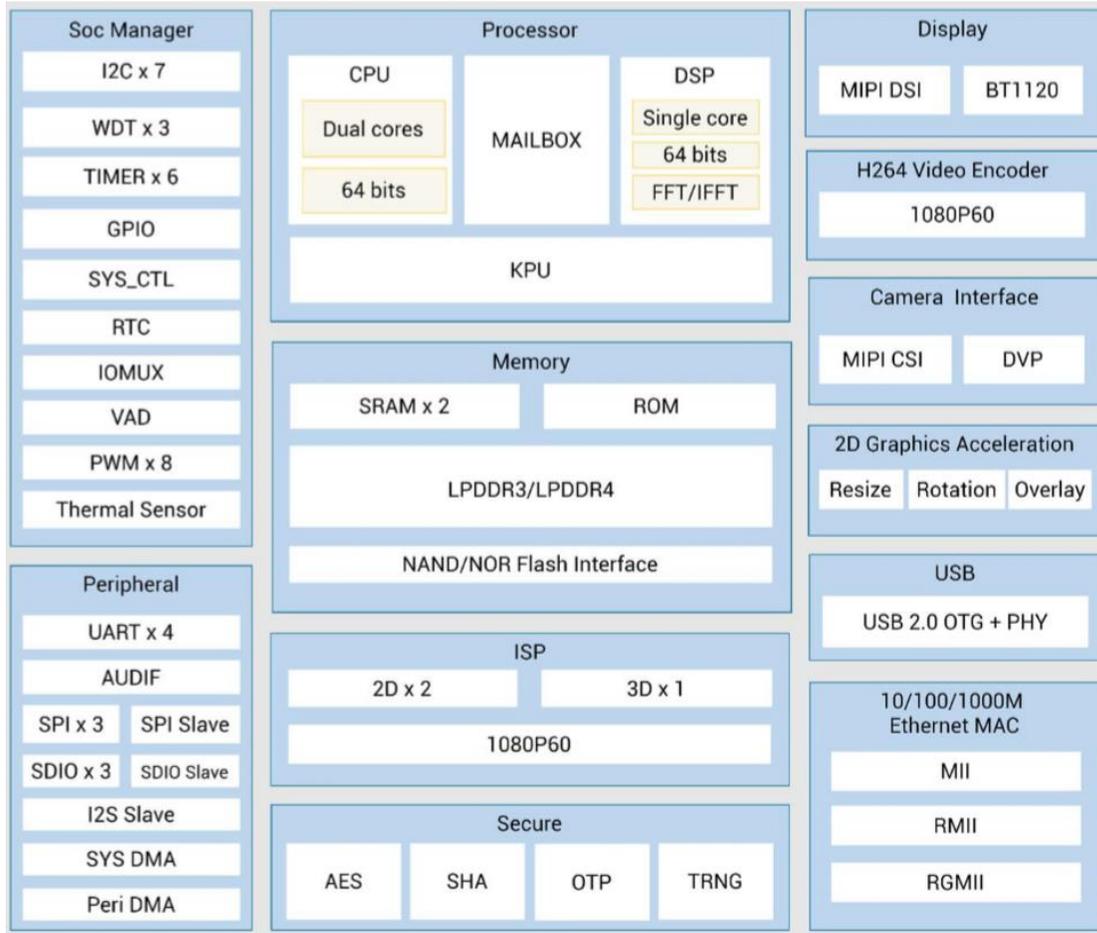


图 1-2 K510 芯片框图

关于 K510 功能详情，参考《K510 Full Datasheet》。

1.3 应用框图

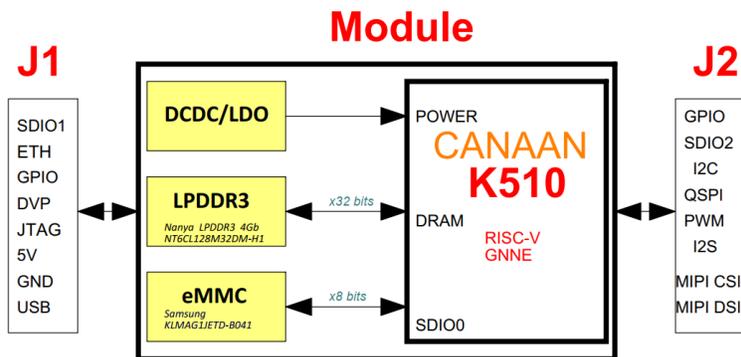


图 1-3 K510 Core 核心模组框图

K510 Core 核心模组的设计框图如上图所示，将 K510 芯片、LPDDR、eMMC 和电源等进行了封装，降低硬件方面的开发难度。K510 芯片的功能和引脚等资源，通过两个板对板连接器引出，在应用时，只需要根据参考方案设计针对特定场景的底板即可。参考应用框图如下所示。

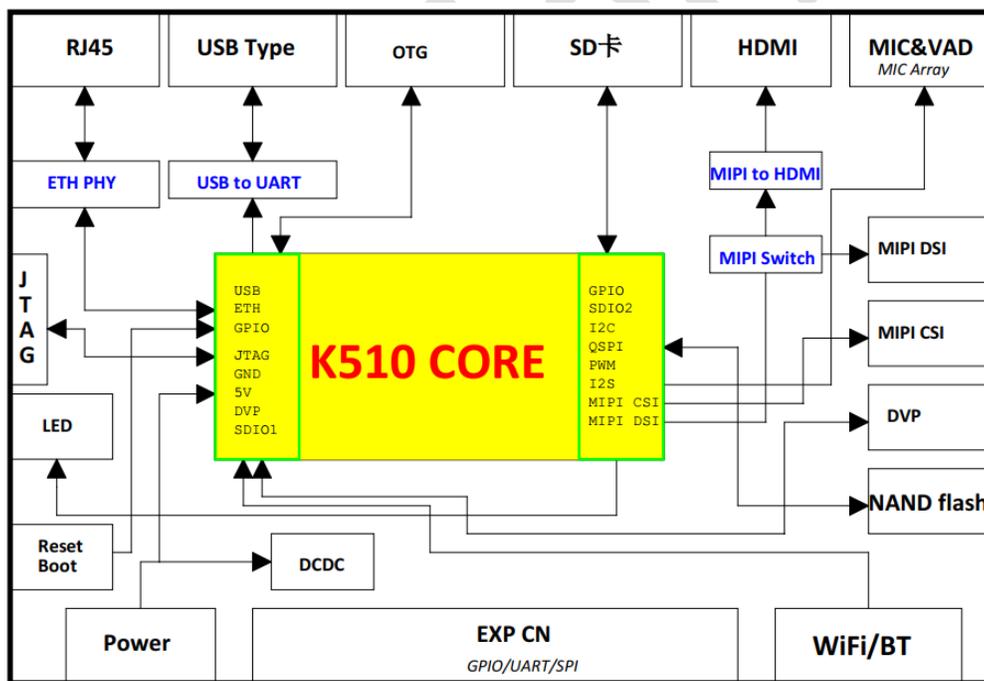


图 1-4 K510 Core 核心模组应用框图

2 资源

2.1 硬件参数

产品名称	K510 CORE 核心模组
电源输入	DC 5V/2A
操作系统	Linux、RTOS
CPU	K510 Dual Core RISC-V,主频 800Mhz
LPDDR3	支持 512MB(默认)/1GB/2GB
eMMC	4GB(默认)
显示	MIPI DSI, 最大分辨率 1920*1080
摄像头	2 路 MIPI CSI 和 DVP
编解码	H.264 编码
USB	1 路 USB2.0
以太网	支持 100/1000Mbps
音频接口	支持 PDM/TDM/I2S
SDIO	支持 4 路 SDIO
低速接口	支持 4 路 SPI、7 路 I2C、4 路 UART
GPIO	最多 128
其他	WDT x3、Timer x6、PWM x8、RTCx1

2.2 软件参数

- a) 操作系统
- b) u-boot
- c) eMMC 驱动
- d) 以太网驱动
- e) 摄像头驱动
- f) 显示屏驱动
- g) 触摸驱动
- h) 音频驱动
- i) USB host 驱动
- j) SPI、I2C、UART 驱动
- k) 其他外设驱动

3 核心模组封装信息

K510 Core 核心模组的机械尺寸尺寸为 60x38mm，预留四个机械固定孔 M2，用于核心模组和拓展底板的紧固连接。

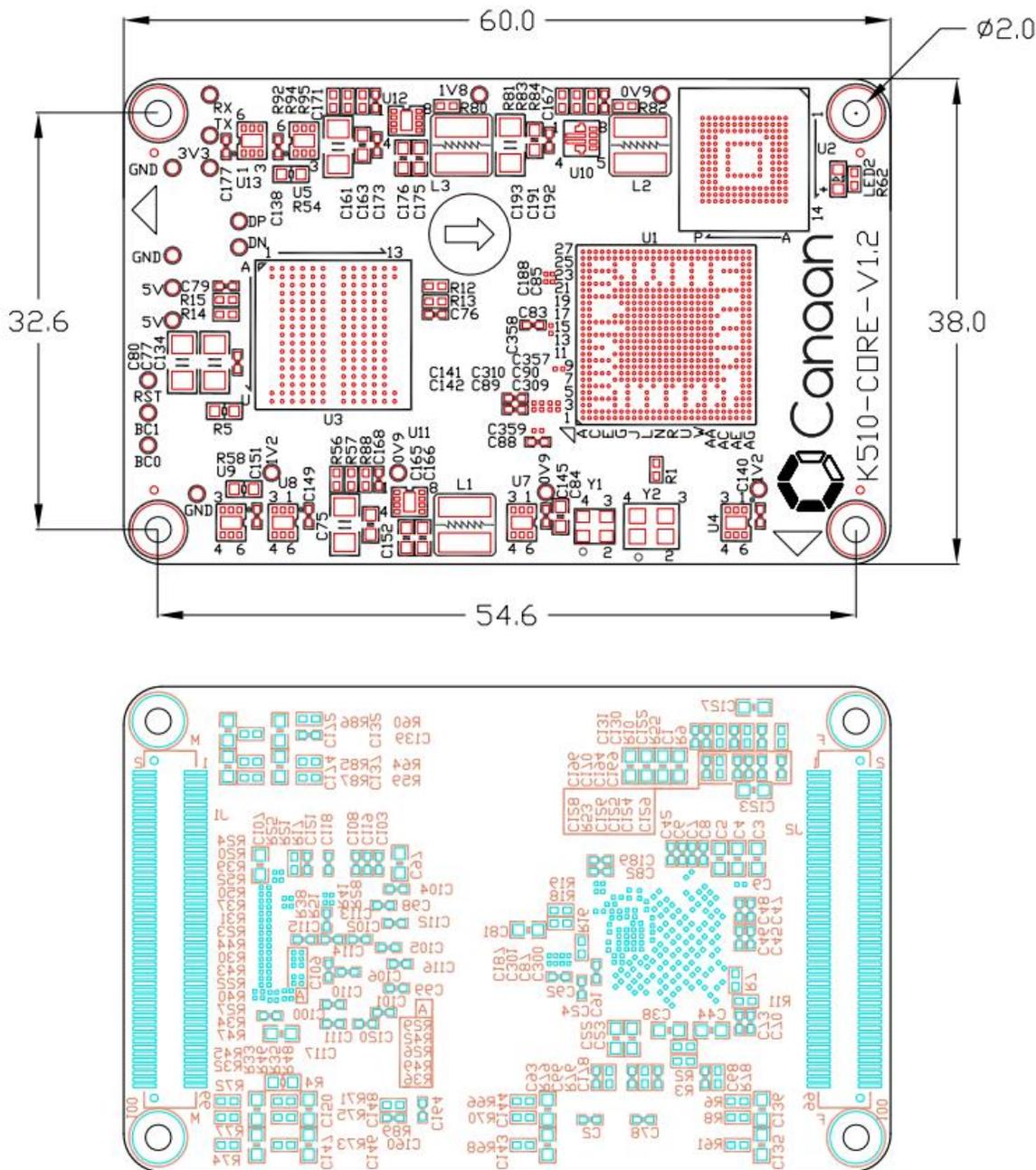


图 3-1 K510 Core 核心模组尺寸图

K510 Core 核心模组采用了防反插设计，引出管脚的两个板对板连接器为一公一母，在底板设计时，需要严格按照对应的连接器要求选择和放置。

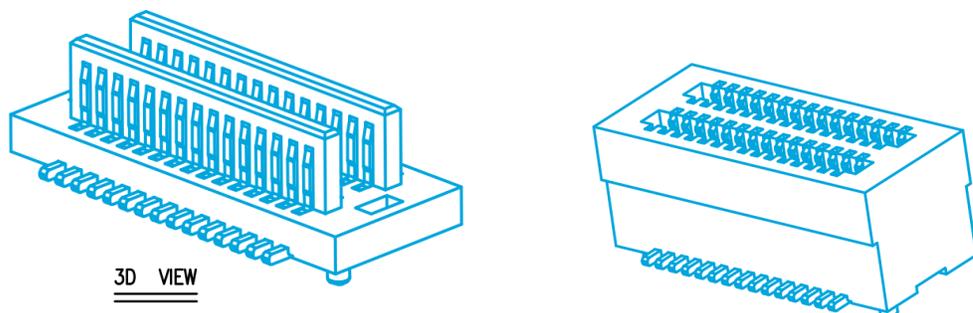


图 3-2 连接器 plug 和 socket

连接器管脚间距为 0.5mm，双排 100P 分布，详细封装信息可参考连接器对应的规格手册。

型号：公头 LB265-G100P-BOR、母头 LG265-G100S-BOR

4 电气与性能参数

表 4-1 系统主要性能与配置

项目	参数	规格				备注
		最小	典型	最大	单位	
CPU 主频		-	800	-	MHz	
内存频率		-	1600	-	MHz	
RTC 时钟		-	32.768	-	kHz	

表 4-2 电气参数

项目	标号	规格				备注
		最小	典型	最大	单位	
供电电压	VDD	-	5.0	-	V	
供电电流	Ivdd	400		1500	mA	

表 4-3 IO 参数 (1.8V 电平)

项目	标号	规格				备注
		最小	典型	最大	单位	
高电平输入电压	VIH	1.17	1.8	1.98	V	
低电平输入电压	VIL	-0.3	0	0.63	V	
高电平输出电压	VOH	1.53	1.8	-	V	
低电平输出电压	VOL	-	0	0.45	V	

表 4-4 IO 参数 (3.3V 电平)

项目	标号	规格				备注
		最小	典型	最大	单位	
高电平输入电压	VIH	2.0625	3.3	3.465	V	
低电平输入电压	VIL	-0.3	0	0.825	V	
高电平输出电压	VOH	2.475	3.3	-	V	
低电平输出电压	VOL	-	0	0.4125	V	

5 系统配置

5.1 供电

K510 Core 核心模组板内已包含针对 K510 芯片和 DDR 所需的各部分电源的 LDO 和 DC-DC，使用时只需要在外部提供 5V 稳定的输入即可。

5.2 复位电路

K510 Core 核心模组已设计上电复位，所有外部电源准备完成后，释放复位信号，系统开始启动。如有需要，可在底板设计按键复位电路，参考下图所示。

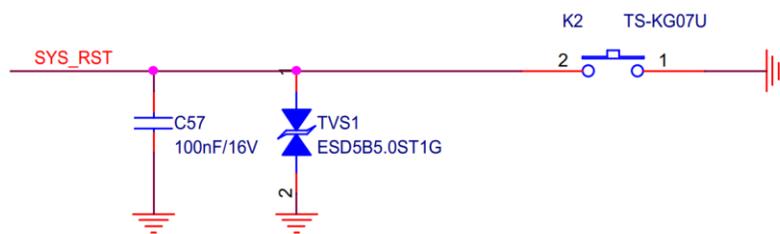


图 5-2 底板“按键复位”的设计参考电路

5.3 启动方式配置

K510 Core 核心模组的系统启动引导顺序由 boot_ctl0 , boot_ctl1 来决定。

表 5-1 启动模式

启动选项 Boot Option		启动方式
BOOT0	BOOT1	
0	0	UART
0	1	SPI NAND Flash
1	0	SD card
1	1	EMMC

在核心模组上，已默认配置了 eMMC，boot_ctl0 和 boot_ctl1 连接了上拉电阻，在底板设计时，如果需要选择其他启动方式，只需要通过拨码开关等，连接到 GND 即可，参考下方电路进行设计。

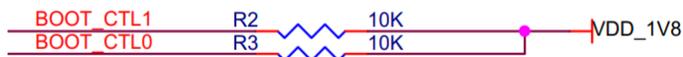


图 5-3 核心模组默认的启动模式配置

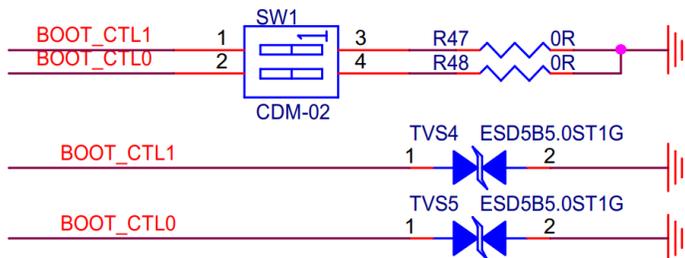


图 5-4 底板“启动模式配置”的设计参考电路

6 连接器引脚定义

K510 CORE 核心模组按照 K510 芯片的功能和引脚定义，将全部的接口通过两个 100pin 的板对板连接器引出，用户可参考配套的评估板进行二次开发，减少产品开发过程中驱动部分的二次调试，加快产品和原型机开发速度。为保证产品设计具有良好的兼容性和稳定性，请务必按照本文档的描述和定义进行设计。

核心模组对外引出连个连接器，共 200pin 脚。每个连接器的管脚定义如下表所示。

连接器 J1 引脚定义

编号	网络	电平	编号	网络	电平
2	GND	-	1	IO111	3V3
4	IO17_MMC1_CLK	1V8	3	IO112	3V3
6	IO18_MMC1_CMD	1V8	5	IO113	3V3
8	IO19_MMC1_D3	1V8	7	IO110	3V3
10	IO20_MMC1_D2	1V8	9	IO115	3V3
12	IO21_MMC1_D1	1V8	11	IO114	3V3
14	IO22_MMC1_D0	1V8	13	GND	-
16	GND	-	15	USB_ID	-
18	IO31	1V8	17	GND	-
20	IO35	1V8	19	USB_DP	-
22	IO34	1V8	21	USB_DN	-
24	IO32	1V8	23	GND	-
26	IO36_RGMII_MDIO	1V8	25	IO3_TDI	1V8
28	IO33_ETH_INTB	1V8	27	IO2_TCK	1V8
30	IO29_RGMII_TXC	1V8	29	IO5_TMS	1V8
32	IO38_RGMII_TXCTL	1V8	31	IO4_TDO	1V8
34	IO43_RGMII_TXD3	1V8	33	GND	-
36	IO46_RGMII_TXD0	1V8	35	IO38_RGMII_TXCTL	1V8

38	IO44_RGMII_TXD2	1V8	37	IO39_RGMII_RXD3	1V8
40	IO45_RGMII_TXD1	1V8	39	IO30_RGMII_RXC	1V8
42	GND	-	41	IO42_RGMII_RXD0	1V8
44	IO78	1V8	43	IO40_RGMII_RXD2	1V8
46	IO79	1V8	45	IO41_RGMII_RXD1	1V8
48	IO80	1V8	47	GND	-
50	IO70	1V8	49	GND	-
52	IO69	1V8	51	GND	-
54	IO71	1V8	53	GND	-
56	IO76	1V8	55	VDD_5V	-
58	IO83	1V8	57	VDD_5V	-
60	IO85	1V8	59	VDD_5V	-
62	IO84	1V8	61	VDD_5V	-
64	IO81	1V8	63	GND	-
66	IO82	1V8	65	GND	-
68	IO67	1V8	67	GND	-
70	IO68	1V8	69	GND	-
72	IO72	1V8	71	GND	-
74	IO73	1V8	73	GND	-
76	IO74	1V8	75	SYS_RST	1V8
78	IO77	1V8	77	IO0_BOOT_CTL1	1V8
80	IO75	1V8	79	IO1_BOOT_CTL0	1V8
82	IO50_DVP_D3	1V8	81	IO62_DVP_D15	1V8
84	IO54_DVP_D7	1V8	83	IO63_DVP_VSYNC	1V8
86	IO51_DVP_D4	1V8	85	IO64_DVP_HREF	1V8
88	IO58_DVP_D11	1V8	87	IO65_DVP_DEN	1V8
90	IO60_DVP_13	1V8	89	IO66_DVP_PCLK	1V8
92	IO59_DVP_D12	1V8	91	IO47_DVP_D0	1V8

94	IO48_DVP_D1	1V8	93	IO49_DVP_D2	1V8
96	IO52_DVP_D5	1V8	95	IO53_DVP_D6	1V8
98	IO55_DVP_D8	1V8	97	IO56_DVP_D9	1V8
100	IO57_DVP_D10	1V8	99	IO61_DVP_D14	1V8

连接器 J2 引脚定义

编号	网络	电平	编号	网络	电平
1	GND	-	2	VADJ_3V3	-
3	IO127	VADJ_7	4	VADJ_7	-
5	IO126	VADJ_7	6	VADJ_1V8	-
7	IO125	VADJ_7	8	GND	-
9	IO124	VADJ_7	10	GND	-
11	IO123	VADJ_7	12	VADJ_3V3	-
13	IO122	VADJ_7	14	VADJ_6	-
15	IO121	VADJ_6	16	VADJ_4	-
17	IO120	VADJ_6	18	VADJ_1V8	-
19	IO118	VADJ_6	20	GND	-
21	IO119	VADJ_6	22	IO108	VADJ_4
23	IO116	VADJ_6	24	IO109	VADJ_4
25	IO117	VADJ_6	26	IO106	VADJ_4
27	IO24_MMC2_CMD	VADJ_0	28	IO107	VADJ_4
29	IO23_MMC2_CLK	VADJ_0	30	IO104	VADJ_4
31	IO25_MMC2_D2	VADJ_0	32	IO105	VADJ_4
33	IO26_MMC2_D3	VADJ_0	34	GND	-
35	IO28_MMC2_D0	VADJ_0	36	VADJ_3V3	-
37	IO27_MMC2_D1	VADJ_0	38	VADJ_0	-
39	IO87_SPI0_CS	VADJ_1	40	VADJ_1	-

41	IO86_SPI0_CLK	VADJ_1	42	VADJ_1V8	-
43	IO89_SPI0_D1	VADJ_1	44	GND	-
45	IO88_SPI0_D0	VADJ_1	46	GND	-
47	IO91_SPI0_D3	VADJ_1	48	VADJ_3V3	-
49	IO90_SPI0_D2	VADJ_1	50	VADJ_2	-
51	IO94_SPI0_D6	VADJ_2	52	VADJ_3	-
53	IO95_SPI0_D7	VADJ_2	54	VADJ_1V8	-
55	IO97	VADJ_2	56	GND	-
57	IO96	VADJ_2	58	IO99	VADJ_3
59	IO92_SPI0_D4	VADJ_2	60	IO98	VADJ_3
61	IO93_SPI0_D5	VADJ_2	62	IO101	VADJ_3
63	IO100	VADJ_3	64	GND	-
65	IO103	VADJ_3	66	MIPI_CSI_D0_P	-
67	IO102	VADJ_3	68	MIPI_CSI_D0_N	-
69	GND	-	70	GND	-
71	MIPI_DSI_D0_N	-	72	MIPI_CSI_CLK0_P	-
73	MIPI_DSI_D0_P	-	74	MIPI_CSI_CLK0_N	-
75	GND	-	76	GND	-
77	MIPI_DSI_D1_N	-	78	MIPI_CSI_D1_P	-
79	MIPI_DSI_D1_P	-	80	MIPI_CSI_D1_N	-
81	GND	-	82	GND	-
83	MIPI_DSI_CLK_N	-	84	MIPI_CSI_D2_N	-
85	MIPI_DSI_CLK_P	-	86	MIPI_CSI_D2_P	-
87	GND	-	88	GND	-
89	MIPI_DSI_D2_N	-	90	MIPI_CSI_CLK1_N	-
91	MIPI_DSI_D2_P	-	92	MIPI_CSI_CLK1_P	-
93	GND	-	94	GND	-
95	MIPI_DSI_D3_N	-	96	MIPI_CSI_D3_N	-

97	MIPI_DSI_D3_P	-	98	MIPI_CSI_D3_P	-
99	GND	-	100	GND	-

注:

1. VADJ_0、VADJ_1、VADJ_2、VADJ_4、VADJ_6、VADJ_7 用来配置对应 BANK 的电源域电压。
2. VADJ_1V8 和 VADJ_3V3 为核心板内部的两个电压，用来对 VADJ_*管脚进行配置的，不要用作其他用途。
3. 在对某个 BANK 内的管脚资源进行使用时注意对应的电源域电压。

7 高速 PCB 设计建议

7.1 USB2.0 设计

阻抗控制: 差分 90 Ω

差分对内 skew 不超过 4 ps, PCB 走线总长不超过 6 inches, 最大允许过孔数量不超过 6 个。

7.2 MIPI 设计

阻抗控制: MIPI_DSI 差分 100 Ω , MIPI_CSI 差分 100 Ω 。

走线不超过 10cm, 线对之内等长控制在 0.3 mm, 线对与线对之间等长控制在 3mm。

7.3 MAC 设计

EMAC_TX 组内等长要求: +/-50mil

EMAC_TX 组内等长要求: +/-50mil