

### 产品特性

4通道LNA、PGA和AAF

1个直接至ADC通道

可编程增益放大器(PGA)

包含低噪声前置放大器(LNA)

串行外设接口(SPI)可编程增益：16 dB至34 dB，步进为6 dB

抗混叠滤波器(AAF)

可编程三阶低通椭圆滤波器(LPF)：1.0 MHz至12.0 MHz

模数转换器(ADC)

12位精度，最高72 MSPS

信噪比(SNR)：68.5 dB

无杂散动态范围(SFDR)：68 dB(增益为16 dB时)

低功耗：每个通道185 mW(12位和72 MSPS时)

低噪声：折合到输入端的电压噪声最大值为3.5 nV/√Hz

关断模式

72引脚、10 mm × 10 mm LFCSP封装

额定温度范围：-40°C至+105°C

通过汽车应用认证

### 应用

汽车雷达

自适应巡航控制

防撞系统

盲点检测

自动泊车

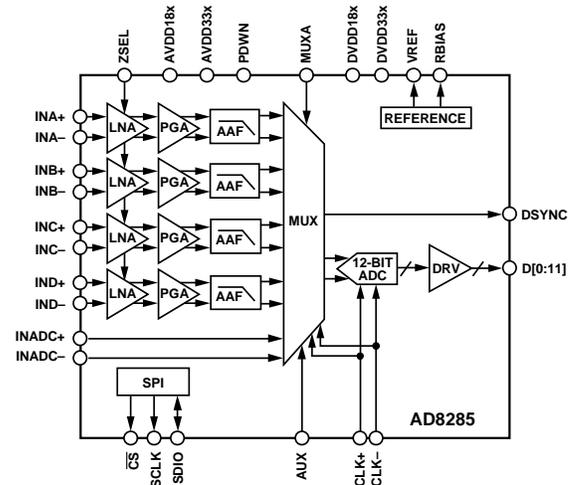
电子保险杠

### 概述

AD8285针对低成本、低功耗、小尺寸及灵活易用的应用而设计。它内置4个通道的低噪声前置放大器(LNA)、可编程增益放大器(PGA)和抗混叠滤波器(AAF)，外加一个直接连接ADC的通道，所有通道连接到一个12位模数转换器(ADC)。

各通道具有16 dB至34 dB的增益范围，步进为6 dB，ADC转换速率最高可达72 MSPS。在最大增益下，所有通道折合到

### 功能框图



#### NOTES

1. AVDD18x = AVDD18, AVDD18ADC.  
AVDD33x = AVDD33, AVDD33A, AVDD33B, AVDD33C, AVDD33D, AVDD33REF.  
DVDD18x = DVDD18, DVDD18CLK. DVDD33x = DVDD33, DVDD33SPI, DVDD33CLK, DVDD33DRV.

图1.

输入端噪声电压为3.5 nV/√Hz。通道专门针对动态性能与低功耗而优化，适合要求小封装尺寸的应用。

AD8285采用先进的互补金属氧化物(CMOS)工艺制造，提供10 mm × 10 mm、符合RoHS标准的72引脚LFCSP封装，额定温度范围为-40°C至+105°C汽车应用温度范围。

Rev. 0

#### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	SDIO引脚 .....	17
应用 .....	1	SCLK引脚 .....	17
功能框图 .....	1	$\overline{\text{CS}}$ 引脚 .....	17
概述 .....	1	RBIAS引脚 .....	17
修订历史 .....	2	基准电压源 .....	18
技术规格 .....	3	电源和接地建议 .....	18
交流规格 .....	3	裸露焊盘散热块建议 .....	18
数字规格 .....	5	串行外设接口(SPI) .....	19
时钟规格 .....	6	硬件接口 .....	19
绝对最大额定值 .....	7	存储器映射 .....	21
ESD警告 .....	7	读取存储器映射表 .....	21
引脚配置和功能描述 .....	8	逻辑电平 .....	21
典型性能参数 .....	10	保留位置 .....	21
工作原理 .....	14	默认值 .....	21
雷达接收路径AFE .....	14	应用原理图 .....	25
通道概述 .....	15	外形尺寸 .....	27
模数转换器 .....	16	订购指南 .....	27
时钟输入考虑 .....	16	汽车应用产品 .....	27
时钟占空比考虑 .....	17		
时钟抖动考虑 .....	17		

## 修订历史

### 2014年10月—修订版0至修订版A

更改表8中的地址(十六进制)0x15 .....	23
更改“订购指南”部分 .....	27

### 2014年5月—修订版0：初始版

## 技术规格

### 交流规格

除非另有说明，AVDD18 = AVDD18ADC = 1.8 V，AVDD33 = AVDD33x<sup>1</sup> = AVDD33REF = 3.3 V，DVDD18 = DVDD18CLK = 1.8 V，DVDD33SPI = DVDD33CLK = DVDD33DRV = 3.3 V，1.024 V内部ADC基准源， $f_{IN} = 2.5$  MHz， $f_{SAMPLE} = 72$  MSPS， $R_S = 50 \Omega$ ，LNA + PGA增益 = 34 dB，LPF截止频率 =  $f_{SAMPLECH}/4$ ，全通道模式，12位操作，温度 = -40°C至+105°C。

表1.

参数 <sup>2</sup>	测试条件/注释	最小值	典型值	最大值	单位
模拟通道特性	LNA、PGA和AAF通道				
增益			16/22/28/34		dB
增益范围			18		dB
增益误差		-1.25		+1.25	dB
输入电压范围	通道增益 = 16 dB		0.25		V p-p
	通道增益 = 22 dB		0.125		V p-p
	通道增益 = 28 dB		0.0625		V p-p
	通道增益 = 34 dB		0.03125		V p-p
输入电阻	选择200 $\Omega$ 输入阻抗	0.180	0.230	0.280	k $\Omega$
	选择200 k $\Omega$ 输入阻抗	160	200	240	k $\Omega$
输入电容			22		pF
折合到输入端电压噪声	最大增益、1 MHz时		1.85		nV/ $\sqrt{\text{Hz}}$
	最小增益、1 MHz时		6.03		nV/ $\sqrt{\text{Hz}}$
噪声系数	最大增益， $R_S = 50 \Omega$ ，未端接		7.1		dB
	最大增益， $R_S = R_{IN} = 50 \Omega$		12.7		dB
输出失调	增益为16 dB	-60		+60	LSB
	增益为34 dB	-250		+250	LSB
AAF低通滤波器截止频率	-3 dB，可编程		1.0至12.0		MHz
容差	滤波器自动调谐后	-10	$\pm 5$	+10	%
AAF阻带衰减	三阶椭圆滤波器				
	2 $\times$ 截止频率		30		dB
	3 $\times$ 截止频率		40		dB
群延迟偏差	滤波器设置为2 MHz		400		ns
通道间相位偏差	频率最高达-3 dB	-5	$\pm 0.5$	+5	度
	-3 dB频率的 $1/4$	-1		+1	度
通道间增益匹配	频率最高达-3 dB	-0.5	$\pm 0.1$	+0.5	dB
	-3 dB频率的 $1/4$	-0.25		+0.25	dB
1 dB压缩	相对于输出		9.8		dBm
串扰			-70	-55	dBc
电源					
AVDD18、AVDD18ADC		1.7	1.8	1.9	V
AVDD33、AVDD33x <sup>1</sup> 、AVDD33REF		3.1	3.3	3.5	V
DVDD18、DVDD18CLK		1.7	1.8	1.9	V
DVDD33SPI、DVDD33CLK、DVDD33DRV		3.1	3.3	3.5	V
$I_{AVDD18}$	全通道模式			130	mA
$I_{AVDD33}$	全通道模式			130	mA
$I_{DVDD18}$				22	mA
$I_{DVDD33}$				2	mA
每通道总功耗	全通道模式，无信号，典型电源电压 $\times$ 最大电源电流，不包括输出电流			185	mW
关断功耗			5		mW
电源抑制比(PSRR)			1.6		mV/V

# AD8285

参数 <sup>2</sup>	测试条件/注释	最小值	典型值	最大值	单位
模数转换器					
分辨率			12		位
最大采样速率			72		MSPS
信噪比(SNR)	$f_{IN} = 1 \text{ MHz}$		68.5		dB
信纳比(SINAD)			66		dB
以满量程为参照的信噪比(SNRFS)			68		dB
差分非线性(DNL)	保证无失码			1	LSB
积分非线性(INL)				10	LSB
有效位数(ENOB)			10.67		LSB
ADC输出特性					
最大容性负载	每位		20		pF
容性负载下 $I_{D\text{VDD}33}$ 峰值电流	驱动20 pF负载时的每位峰值电流； 需要时可通过SPI端口编程			40	mA
ADC基准电压					
输出电压误差	$V_{REF} = 1.024 \text{ V}$			$\pm 25$	mV
负载调整率	1.0 mA时 $V_{REF} = 1.024 \text{ V}$		2		mV
输入电阻			6		k $\Omega$
全通道特性	LNA、PGA、AAF和ADC通道				
SNRFS	$f_{IN} = 1 \text{ MHz}$ 增益为16 dB 增益为22 dB 增益为28 dB 增益为34 dB		68 68 68 66		dB dB dB dB
SINAD	$f_{IN} = 1 \text{ MHz}$ 增益为16 dB 增益为22 dB 增益为28 dB 增益为34 dB		67 68 67 66		dB dB dB dB
无杂散动态范围(SFDR)	$f_{IN} = 1 \text{ MHz}$ 增益为16 dB 增益为22 dB 增益为28 dB 增益为34 dB		68 74 74 73		dB dB dB dB
谐波失真					
二次谐波	$f_{IN} = 1 \text{ MHz}$ , -10 dBFS, 增益 = 16 dB $f_{IN} = 1 \text{ MHz}$ , -10 dBFS, 增益 = 34 dB		-70 -70		dBc dBc
三次谐波	$f_{IN} = 1 \text{ MHz}$ , -10 dBFS, 增益 = 16 dB $f_{IN} = 1 \text{ MHz}$ , -10 dBFS, 增益 = 34 dB		-66 -75		dBc dBc
IM3失真	$f_{IN1} = 1 \text{ MHz}$ , $f_{IN2} = 1.1 \text{ MHz}$ , -1 dBFS, 增益 = 34 dB		-69		dBc
增益响应时间			600		ns
过驱恢复时间			200		ns

<sup>1</sup> x代表A、B、C或D。

<sup>2</sup> 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

## 数字规格

除非另有说明，AVDD18 = AVDD18ADC = 1.8 V，AVDD33 = AVDD33x<sup>1</sup> = AVDD33REF = 3.3 V，DVDD18 = DVDD18CLK = 1.8 V，DVDD33SPI = DVDD33CLK = DVDD33DRV = 3.3 V，1.024 V内部ADC基准源， $f_{IN} = 2.5$  MHz， $f_{SAMPLE} = 72$  MSPS， $R_s = 50 \Omega$ ，LNA + PGA增益 = 34 dB，LPF截止频率 =  $f_{SAMPLECH}/4$ ，全通道模式，12位操作，温度 = -40°C至+105°C。

表2.

参数 <sup>2</sup>	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-)					
逻辑兼容		CMOS/LVDS/LVPECL			
差分输入电压 <sup>3</sup>	全	250			mV p-p
输入共模电压	全		1.2		V
差分输入电阻	25°C		20		kΩ
输入电容	25°C		1.5		pF
逻辑输入(PDWN、SCLK、AUX、MUXA、ZSEL)					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		0.5		pF
逻辑输入(CS)					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		70		kΩ
输入电容	25°C		0.5		pF
逻辑输入(SDIO)					
逻辑1电压	全	1.2		DVDD33x + 0.3	V
逻辑0电压	全	0		0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输出(SDIO) <sup>4</sup>					
逻辑1电压( $I_{OH} = 800 \mu A$ )	全	3.0			V
逻辑0电压( $I_{OL} = 50 \mu A$ )	全			0.3	V
逻辑输出(Dx、DSYNC)					
逻辑1电压( $I_{OH} = 2$ mA)	全	3.0			V
逻辑0电压( $I_{OL} = 2$ mA)	全			0.05	V

<sup>1</sup> x代表A、B、C或D。

<sup>2</sup> 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

<sup>3</sup> 仅针对LVDS和LVPECL。

<sup>4</sup> 针对共用同一连接的13个SDIO引脚。

# AD8285

## 时钟规格

除非另有说明， $AVDD18 = AVDD18ADC = 1.8\text{ V}$ ， $AVDD33 = AVDD33x^1 = AVDD33REF = 3.3\text{ V}$ ， $DVDD18 = DVDD18CLK = 1.8\text{ V}$ ， $DVDD33SPI = DVDD33CLK = DVDD33DRV = 3.3\text{ V}$ ，1.024 V内部ADC基准源， $f_{IN} = 2.5\text{ MHz}$ ， $f_{SAMPLE} = 72\text{ MSPS}$ ， $R_s = 50\ \Omega$ ，LNA + PGA增益 = 34 dB，LPF截止频率 =  $f_{SAMPLECH}/4$ ，全通道模式，12位操作，温度 =  $-40^\circ\text{C}$ 至 $+105^\circ\text{C}$ 。

表3.

参数 <sup>2</sup>	温度	最小值	典型值	最大值	单位
<b>时钟</b>					
时钟速率	全	10		72	MSPS
72 MSPS时高电平时钟脉冲宽度( $t_{EH}$ )	全		6.94		ns
72 MSPS时低电平时钟脉冲宽度( $t_{EL}$ )	全		6.94		ns
40 MSPS时高电平时钟脉冲宽度( $t_{EH}$ )	全		12.5		ns
40 MSPS时低电平时钟脉冲宽度( $t_{EL}$ )	全		12.5		ns
<b>输出参数</b>					
72 MSPS传播延迟( $t_{PD}$ )	全	1.5	2.5	5.0	ns
上升时间( $t_r$ ) <sup>3</sup>	全		1.9		ns
下降时间( $t_f$ ) <sup>3</sup>	全		1.2		ns
72 MSPS时数据建立时间( $t_{DS}$ )	全	9.0	10.0	11.0	ns
72 MSPS时数据保持时间( $t_{DH}$ )	全	1.5	4.0	5.0	ns
40 MSPS时数据建立时间( $t_{DS}$ )	全	21.5	22.5	23.5	ns
40 MSPS时数据保持时间( $t_{DH}$ )	全	1.5	4.0	5.0	ns
流水线延迟时间	全		7		时钟周期

<sup>1</sup> x代表A、B、C或D。

<sup>2</sup> 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

<sup>3</sup> 图2未显示。

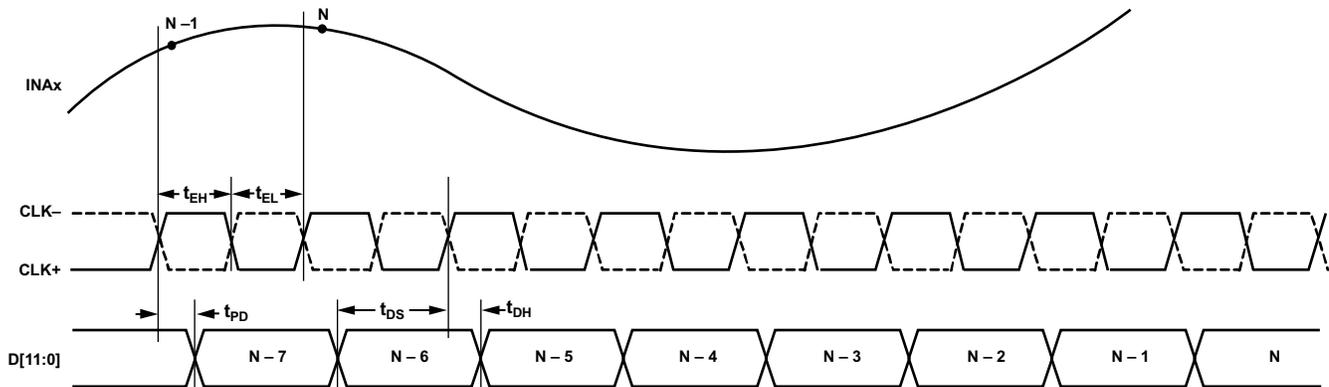


图2. 时钟规格时序图

11952-002

## 绝对最大额定值

表4.

参数	额定值
电气	
AVDD18x <sup>1</sup> 至GND	-0.3 V至+2.0 V
AVDD33x <sup>2</sup> 至GND	-0.3 V至+3.5 V
DVDD18x <sup>3</sup> 至GND	-0.3 V至+2.0 V
DVDD33x <sup>4</sup> 至GND	-0.3 V至+3.5 V
模拟输入 INx+、INx-至GND	-0.3 V至+3.5 V
辅助输入 INADC+、INADC-至GND	-0.3 V至+2.0 V
数字输出 D[11:0]、DSYNC、SDIO至GND	-0.3 V至+ 3.5 V
CLK+、CLK-至GND	-0.3 V至+3.9 V
PDWN、SCLK、CS、AUX、 MUXA、ZSEL至GND	-0.3 V至+3.9 V
RBIAS、VREF至GND	-0.3 V至+2.0 V
环境	
工作温度范围(环境)	-40°C至 +105°C
存储温度范围(环境)	-65°C至+150°C
最高结温	150°C
引脚温度(焊接, 10秒)	300°C

<sup>1</sup> AVDD18x = AVDD18和AVDD18ADC.

<sup>2</sup> AVDD33x = AVDD33A, AVDD33B, AVDD33C, AVDD33D, and AVDD33REF.

<sup>3</sup> DVDD18x = DVDD18, DVDD18CLK.

<sup>4</sup> DVDD33x = DVDD33, DVDD33SPI, DVDD33CLK, DVDD33DRV.

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

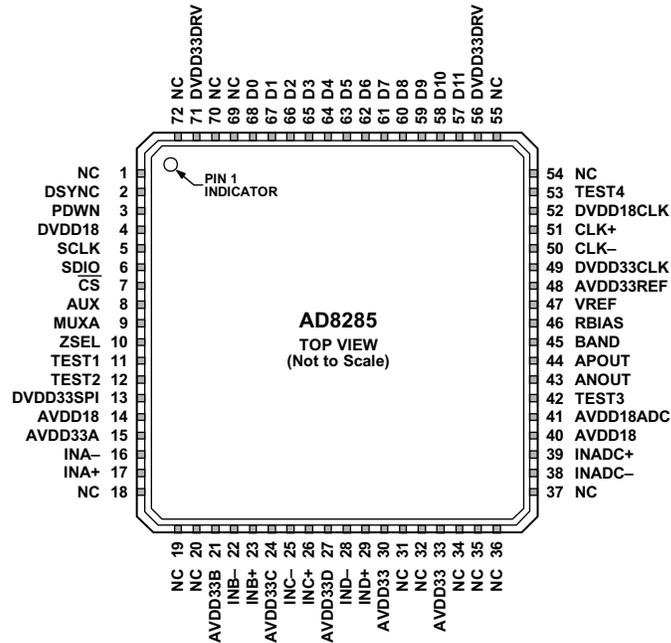
### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



NOTES  
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.  
 2. TIE THE EXPOSED PAD ON THE BOTTOM OF THE PACKAGE TO THE ANALOG/DIGITAL GROUND PLANE.

图3. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	说明
0	EPAD	裸露焊盘。将封装底部的裸露焊盘接到模拟/数字接地层。
1	NC	不连接。请勿连接该引脚。
2	DSYNC	数据输出同步。
3	PDWN	完全关断。逻辑高电平时禁止SPI并关断器件；逻辑低电平时允许通过SPI选择关断选项。
4	DVDD18	1.8 V数字电源。
5	SCLK	串行时钟。
6	SDIO	串行数据输入/输出。
7	$\overline{CS}$	片选信号。
8	AUX	辅助。AUX为逻辑高电平时，AUX通道(INADC+/INADC-)切换至ADC。AUX引脚的优先级高于MUXA引脚。
9	MUXA	通道A选择。逻辑高电平时连接通道A，除非AUX置位。
10	ZSEL	输入阻抗选择。逻辑高电平时禁止SPI并将输入阻抗设置为200 kΩ；逻辑低电平时允许通过SPI选择输入阻抗。
11	TEST1	测试。勿使用TEST1引脚；应将其接地。
12	TEST2	测试。勿使用TEST2引脚；应将其接地。
13	DVDD33SPI	3.3 V数字电源，用于SPI端口。
14	AVDD18	1.8 V模拟电源。
15	AVDD33A	3.3 V模拟电源，用于通道A。
16	INA-	通道A的负LNA模拟输入。
17	INA+	通道A的正LNA模拟输入。
18	NC	不连接。请勿连接该引脚。
19	NC	不连接。请勿连接该引脚。
20	NC	不连接。请勿连接该引脚。
21	AVDD33B	3.3 V模拟电源，用于通道B。
22	INB-	通道B的负LNA模拟输入。
23	INB+	通道B的正LNA模拟输入。

引脚编号	引脚名称	说明
24	AVDD33C	3.3 V模拟电源，用于通道C。
25	INC-	通道C的负LNA模拟输入。
26	INC+	通道C的正LNA模拟输入。
27	AVDD33D	3.3 V模拟电源，用于通道D。
28	IND-	通道D的负LNA模拟输入。
29	IND+	通道D的正LNA模拟输入。
30	AVDD33	3.3 V模拟电源。
31	NC	不连接。请勿连接该引脚。
32	NC	不连接。请勿连接该引脚。
33	AVDD33	3.3 V模拟电源。
34	NC	不连接。请勿连接该引脚。
35	NC	不连接。请勿连接该引脚。
36	NC	不连接。请勿连接该引脚。
37	NC	不连接。请勿连接该引脚。
38	INADC-	备选通道D的负模拟输入(仅限ADC)。
39	INADC+	备选通道D的正模拟输入(仅限ADC)。
40	AVDD18	1.8 V模拟电源。
41	AVDD18ADC	ADC的1.8 V模拟电源。
42	TEST3	测试。勿使用TEST3引脚；应将其接地。
43	ANOUT	模拟输出。ANOUT引脚仅用于调试目的。此引脚应保持浮空。
44	APOUT	模拟输出。APOUT引脚仅用于调试目的。此引脚应保持浮空。
45	带	带隙电压。BAND引脚仅用于调试目的。此引脚应保持浮空。
46	RBIAS	外部电阻。RBIAS引脚设置ADC内核偏置电流。
47	VREF	基准电压输入/输出。
48	AVDD33REF	3.3 V模拟电源，用于基准电压源。
49	DVDD33CLK	3.3 V数字电源，用于时钟。
50	CLK-	时钟输入(-)。
51	CLK+	时钟输入(+)
52	DVDD18CLK	1.8 V数字电源，用于时钟。
53	TEST4	测试。勿使用TEST4引脚；应将其接地。
54	NC	不连接。请勿连接该引脚。
55	NC	不连接。请勿连接该引脚。
56	DVDD33DRV	3.3 V数字电源，用于输出驱动器。
57	D11	ADC数据输出11 (MSB)。
58	D10	ADC数据输出10。
59	D9	ADC数据输出9。
60	D8	ADC数据输出8。
61	D7	ADC数据输出7。
62	D6	ADC数据输出6。
63	D5	ADC数据输出5。
64	D4	ADC数据输出4。
65	D3	ADC数据输出3。
66	D2	ADC数据输出2。
67	D1	ADC数据输出1。
68	D0	ADC数据输出0 (LSB)。
69	NC	不连接。请勿连接该引脚。
70	NC	不连接。请勿连接该引脚。
71	DVDD33DRV	输出驱动器的3.3 V电源。
72	NC	不连接。请勿连接该引脚。

## 典型性能参数

AVDD18 = AVDD18ADC = 1.8 V, AVDD33A = AVDD33B = AVDD33C = AVDD33D = AVDD33 = AVDD33REF = AVDD33CLK = 3.3 V,  $T_A = 25^\circ\text{C}$ ,  $f_s = 72 \text{ MSPS}$ ,  $R_{IN} = 200 \text{ k}\Omega$ ,  $V_{REF} = 1.024 \text{ V}$ .

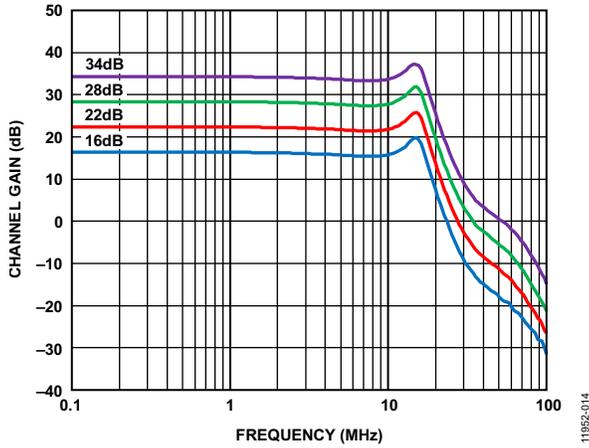


图4. 通道增益与频率的关系

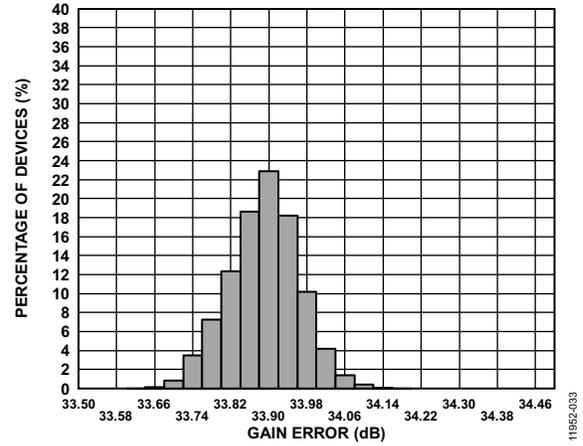


图7. 增益误差直方图(增益 = 34 dB)

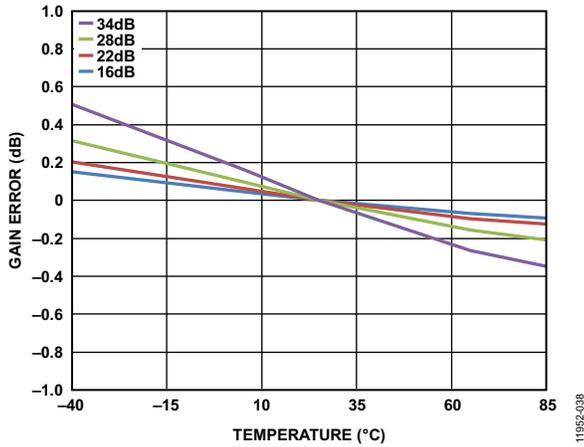


图5. 所有增益下增益误差与温度的关系

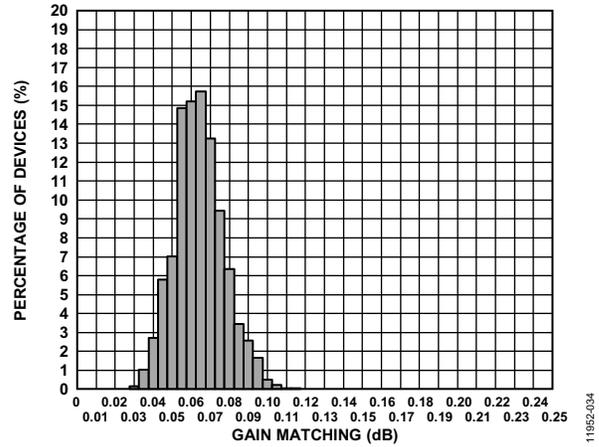


图8. 通道间增益匹配(增益 = 16 dB)

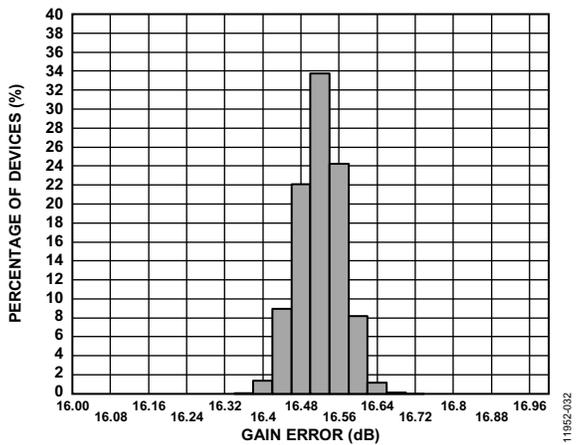


图6. 增益误差直方图(增益 = 16 dB)

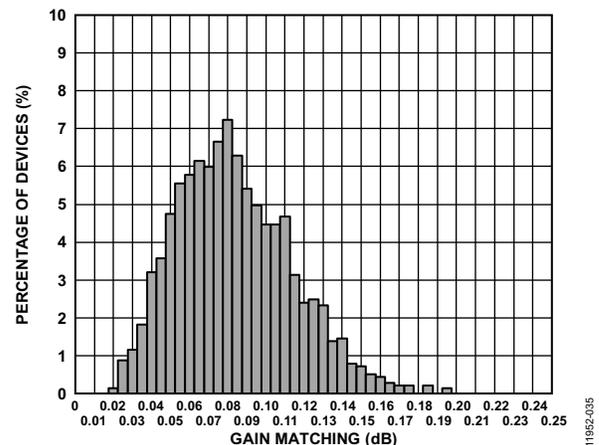


图9. 通道间增益匹配(增益 = 34 dB)

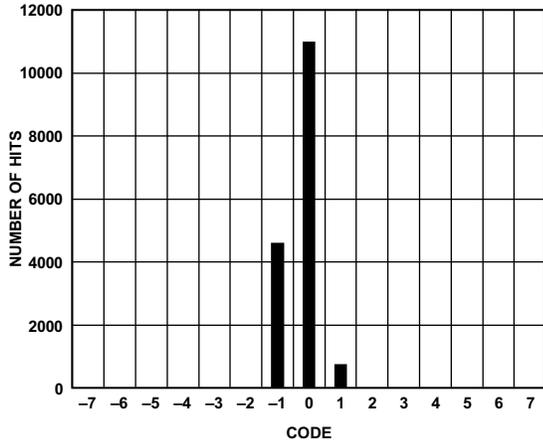


图10. 折合到输出端的噪声直方图(增益 = 16 dB)

11952-015

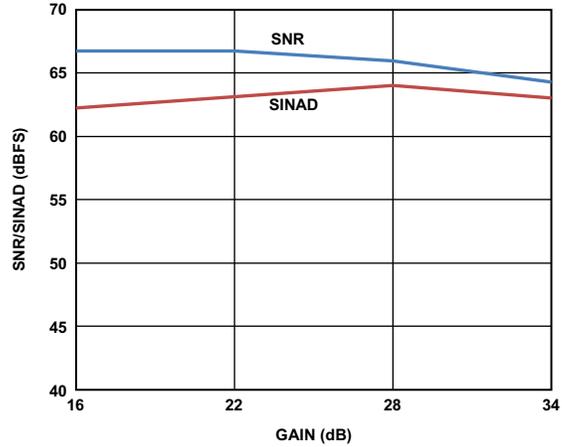


图13. SNR/SINAD与增益的关系

11952-017

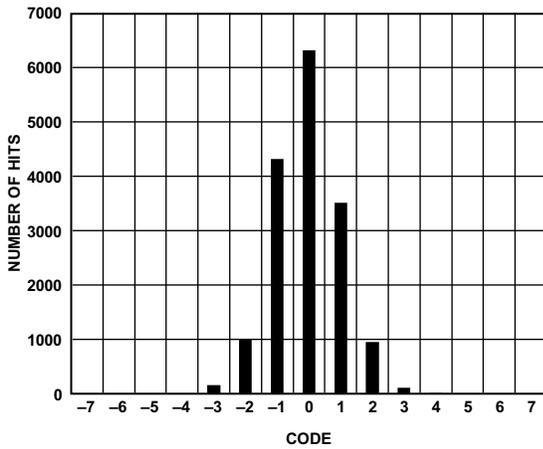


图11. 折合到输出端的噪声直方图(增益 = 34 dB)

11952-016

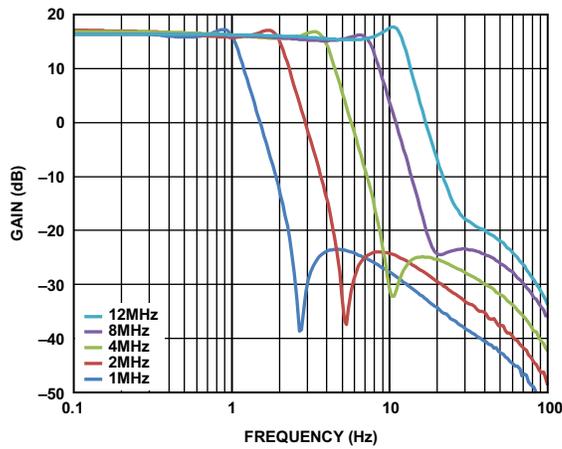


图14. 滤波器响应

11952-022

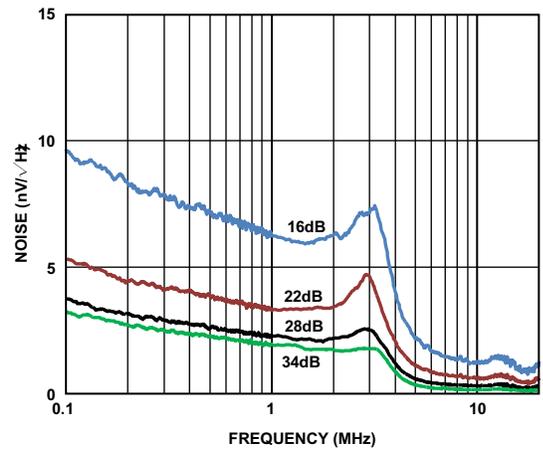


图12. 短路时折合到输入端的噪声与频率的关系

11952-030

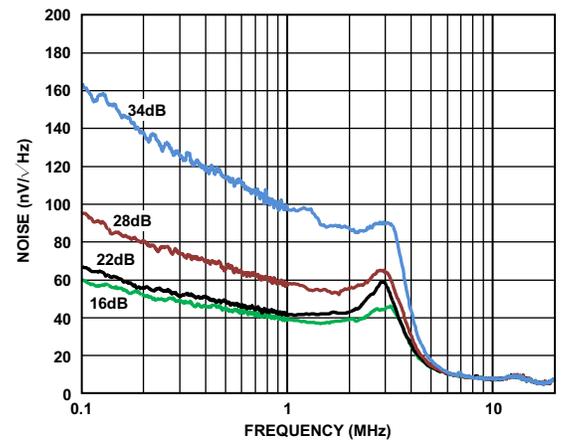


图15. 短路时折合到输出端的噪声与频率的关系

11952-031

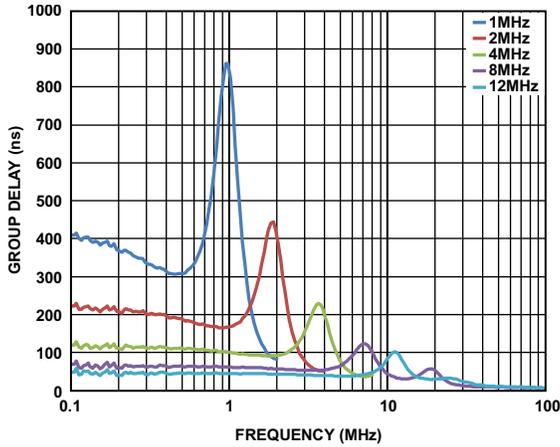


图16. 群延迟与频率的关系

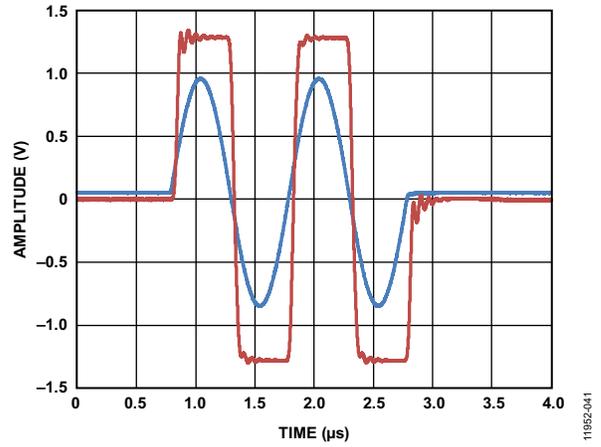


图19. 过驱恢复

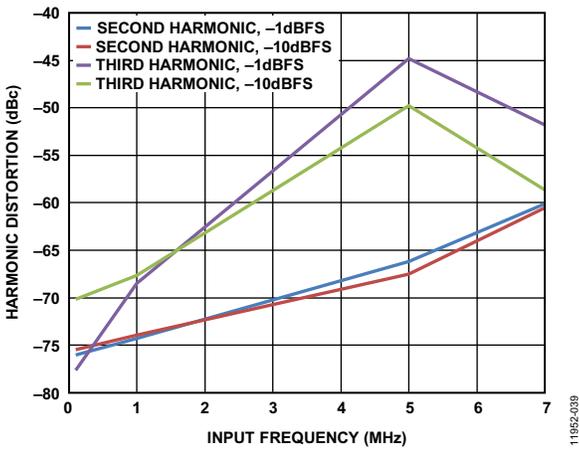


图17. 谐波失真与输入频率的关系

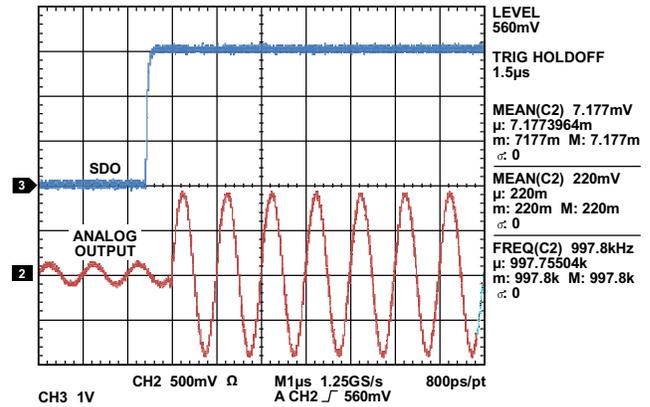


图20. 增益步进响应

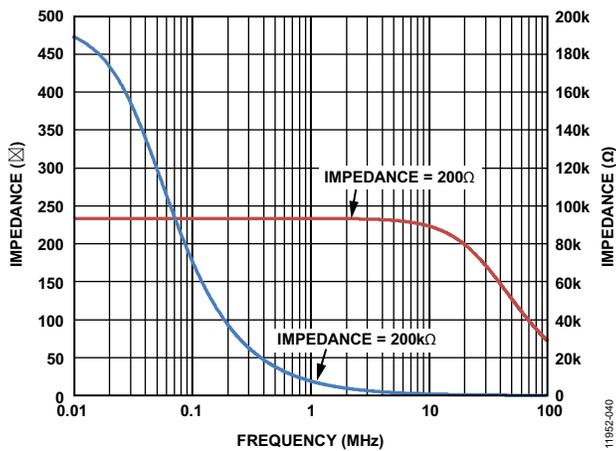


图18.  $R_{IN}$  与频率的关系

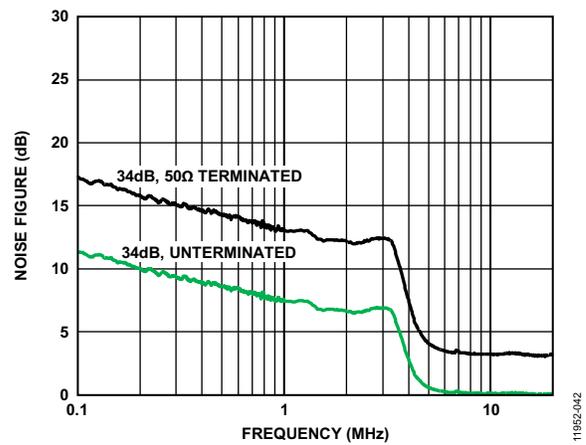


图21. 噪声系数与频率的关系

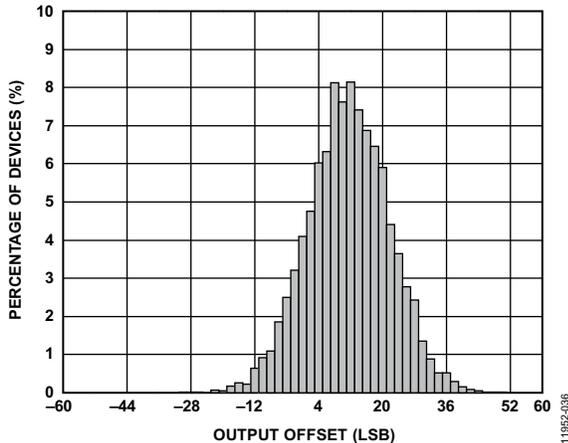


图22. 通道失调分布(增益 = 16 dB)

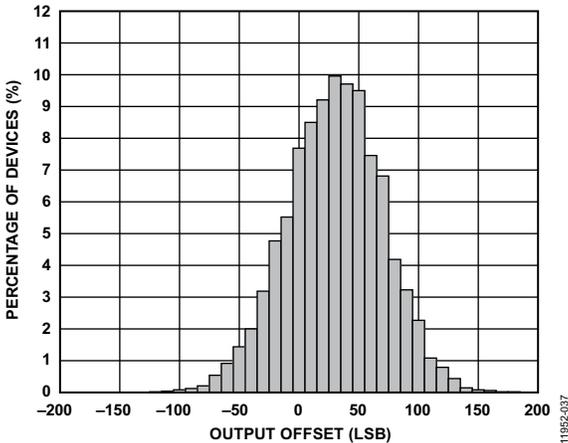


图23. 通道失调分布(增益 = 34 dB)

## 工作原理

### 雷达接收路径AFE

AD8285的主要应用是高速斜坡、调频、连续波雷达(HSR-FMCW雷达)。图24所示为HSR-FMCW雷达系统的简化功能框图。信号链需要多个通道，每个通道包括低噪声放大器(LNA)、可编程增益放大器(PGA)、抗混叠滤波器(AAF)和12位并行输出模数转换器(ADC)。AD8285在单个 $10 \times 10$  LFCSP封装中提供所有这些关键元件。

各元件的性能根据HSR-FMCW雷达系统的要求而设计。举例来说，LNA噪声、PGA增益范围、AAF截止特性、ADC采样速率和分辨率就是其中的一些性能指标。

AD8285的ADC前方有一个多路复用器(mux)，这样就不必为每个通道配置一个ADC，从而节省成本。每次ADC采样之后，多路复用器在各活动通道之间自动切换。当ADC输出端提供通道A数据时，DSYNC输出会给出指示；各活动通道的数据依序在各时钟周期输出。

各通道的有效采样速率根据活动通道的数量而降低。12位ADC采样速率最高达72 MSPS，可满足大多数HSR-FMCW系统的要求。

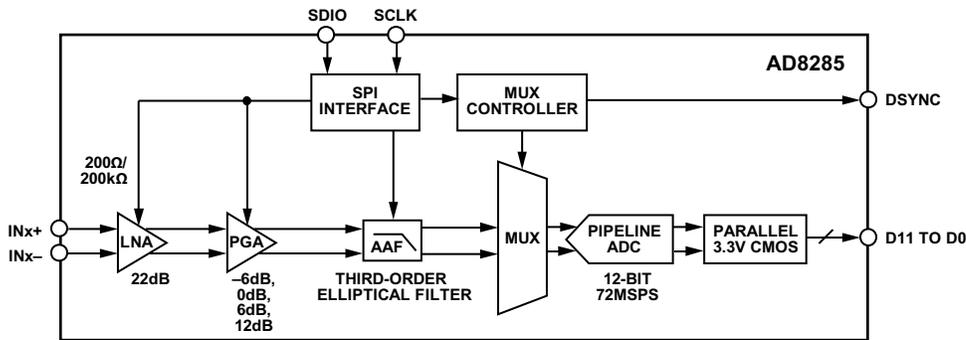


图24. 单通道的简化功能框图

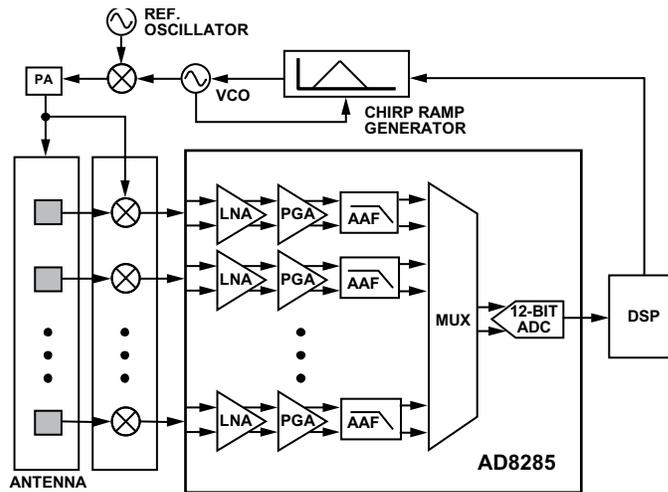


图25. 雷达系统概览

## 通道概述

每个通道的信号路径中都有LNA、PGA和AAF。LNA输入阻抗可以是200  $\Omega$ 或200 k $\Omega$ 。PGA具有可选增益，使得通道增益范围为16 dB至34 dB。AAF具有三极点椭圆响应和可选截止频率。多路复用器与ADC同步，在ADC采集一个样本后，自动选择下一活动通道。

信号路径为全差分路径，能够实现最大信号摆幅，并减少偶数阶失真；LNA同样是由差分信号源驱动。

## 低噪声放大器(LNA)

良好的噪声性能依赖于信号链始端的专有超低噪声LNA，它可将随后的PGA和AAF的噪声贡献降至最低。输入阻抗可以是200  $\Omega$ 或200 k $\Omega$ ，可通过SPI端口或ZSEL引脚选择。

LNA支持高达4.0 V p-p的差分输出电压，相对于1.5 V共模电压的正负偏移为 $\pm 1.0$  V。输出饱和电平是固定的，通道增益可设定饱和前的最大输入信号。

借助低值反馈电阻和输出级的电流驱动能力，在通道增益为34 dB时，LNA可以实现3.5 nV/ $\sqrt{\text{Hz}}$ 的低折合到输入端噪声电压。由于采用全差动拓扑和负反馈，二阶失真减至最低。差分信号使得每个输出端的摆幅变小，从而进一步降低三阶失真。

## 建议

为实现尽可能最佳的噪声性能，必须让正负输入端的阻抗匹配。阻抗匹配可确保信号路径抑制任何共模噪声。

## 抗混叠滤波器(AAF)

信号到达ADC之前，利用该滤波器来限制信号的带宽以达到抗混叠的目的。

抗混叠滤波器使用极点和零点的组合来形成一个三阶椭圆滤波器。椭圆滤波器用来在截止频率之后提供陡峭的滚降。该滤波器采用片内调谐来调整电容，进而设置所需的截止频率。这种调谐方法可降低电阻和电容的标准IC工艺容差所引起的截止频率差异。 $-3$  dB低通滤波器的默认截止频率为ADC采样时钟速率的1/3或1/4。截止频率可通过SPI调整至该频率的0.7、0.8、0.9、1、1.1、1.2或1.3倍。

调谐通常关闭以免在关键时刻改变电容设置。调谐电路通过SPI使能和禁用。初始上电后，以及滤波器截止频率缩放比例或ADC采样率重新编程后，必须对滤波器调谐执行初始化。建议在空闲时间偶尔重新调整，以补偿温度漂移。

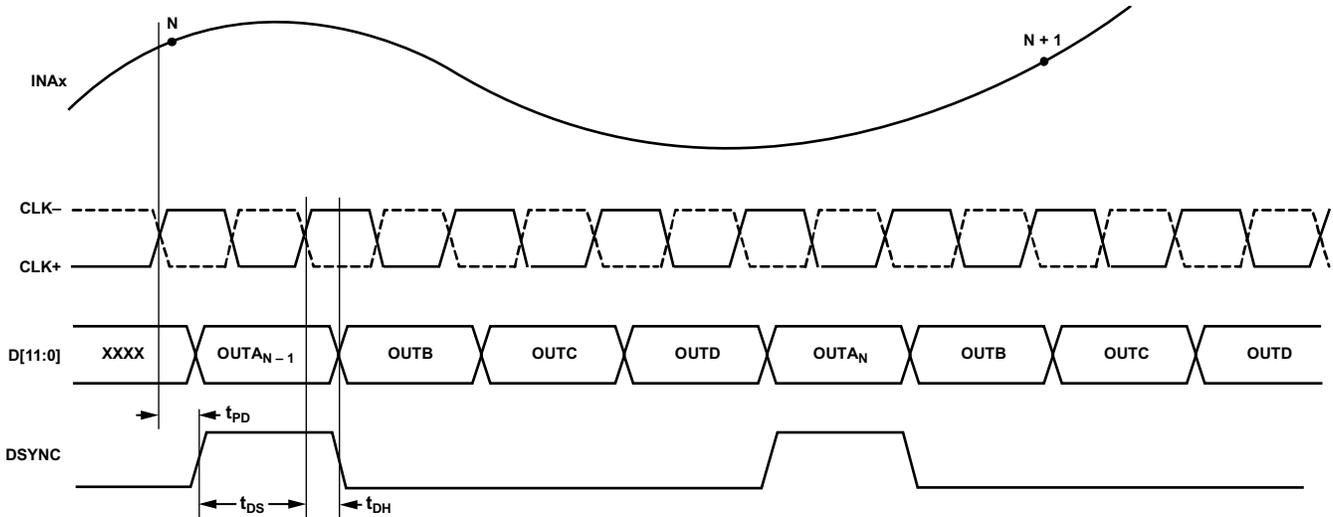
截止频率范围可以是1.0 MHz至12.0 MHz。举例如下：

- 选择四个通道：A、B、C和AUX
- ADC时钟：30 MHz
- 每通道采样速率： $30/4 = 7.5$  MSPS
- 默认调谐截止频率 =  $7.5/4 = 1.88$  MHz

## 多路复用器和多路复用器控制器

多路复用器设计为自动扫描各活动通道。它在每个通道上停留一个时钟周期，然后切换到下一活动通道。多路复用器切换与ADC采样同步进行，因此多路复用器切换和通道建立时间不会干扰ADC采样。

如表8所示，地址0x0C (FLEX\_MUX\_CONTROL)、通道A通常是第一个转换的输入；例外情况是当通道AUX为唯一输入时(时序参见图26)。通道AUX总是最后转换的输入。未选择的代码将相应的通道(LNA、PGA和滤波器)置于关断



**NOTES**

1. FOR THIS CONFIGURATION, ADDRESS 0x0C, BITS [3:0] IS SET TO 0110 (CHANNEL A, B, C, AND D ENABLED).
2. DSYNC IS ALWAYS ALIGNED WITH CHANNEL A UNLESS CHANNEL A OR CHANNEL AUX IS THE ONLY CHANNEL SELECTED, IN WHICH CASE DSYNC IS NOT ACTIVE.
3. THERE IS A SEVEN-CLOCK CYCLE LATENCY FROM SAMPLING A CHANNEL TO ITS DIGITAL DATA BEING PRESENT ON THE PARALLEL BUS PINS.

图26. 数据和DSYNC时序

## 模数转换器

AD8285采用流水线式ADC架构。各级的量化输出组合在一起，在数字校正逻辑中形成一个12位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。

## 时钟输入考虑

为了充分发挥芯片性能，应利用一个差分信号作为AD8285采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。这两个引脚有内部偏置，无需其它偏置。

图27显示了为AD8285提供时钟信号的首选方法。使用RF变压器，可以将低抖动时钟源，如VFAC3-BHL-50MHz Valpey Fisher振荡器从单端转换成差分。跨接在次级变压器上的背对背肖特基二极管可以将输入到AD8285中的时钟幅度限制为约0.8 V p-p差分信号。这样，既可以防止时钟的大电压摆幅馈通至AD8285的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

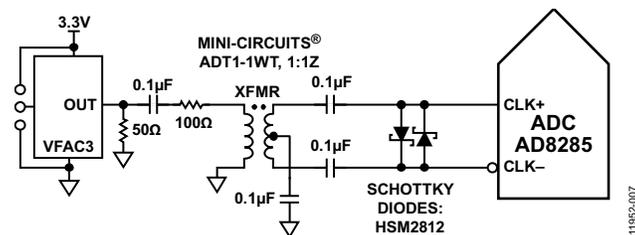
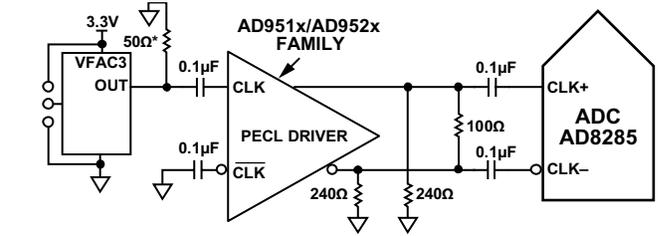


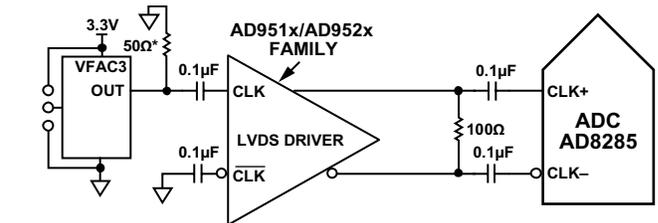
图27. 变压器耦合的差分时钟

如果有低抖动的时钟源，那么，另一种方法是将差分PECL或LVDS信号交流耦合到采样时钟输入引脚，如图28和图29所示。AD951x/AD952x时钟驱动器系列具有出色的抖动性能。



\*50Ω RESISTOR IS OPTIONAL.

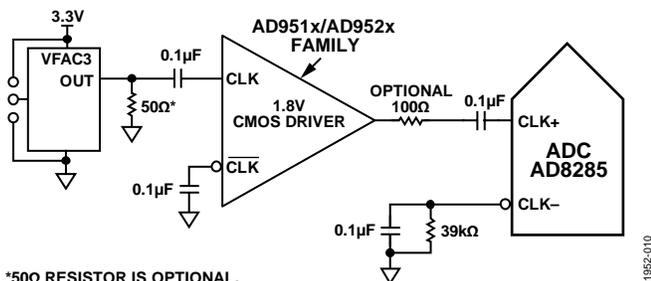
图28. 差分PECL采样时钟



\*50Ω RESISTOR IS OPTIONAL.

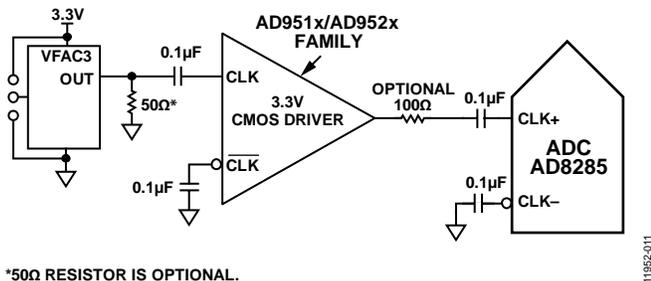
图29. 差分LVDS采样时钟

在某些应用中，可以利用单端CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过与39 kΩ电阻并联的0.1 μF电容旁路接地(见图30)。虽然CLK+输入电路电源为AVDD18，但该输入电路可支持高达3.3 V的输入电压，因此，驱动逻辑的电压选择非常灵活。AD951x/AD952x系列器件可用来提供3.3 V输入(见图31)。这种情况下无需39 kΩ电阻。



\*50Ω RESISTOR IS OPTIONAL.

图30. 单端1.8 V CMOS采样时钟



\*50Ω RESISTOR IS OPTIONAL.

图31. 单端3.3 V CMOS采样时钟

## 时钟占空比考虑

典型的高速ADC利用时钟的两个边沿来产生各种内部时序信号。因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为5%。AD8285内置一个占空比稳定器(DCS)，可对非采样边沿进行重新定时，并提供标称占空比为50%的内部时钟信号。DCS支持非常宽时钟输入占空比范围，且不会影响AD8285的性能。

当DCS处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。但是，有些应用可能要求关闭DCS功能。如果是这样，则在这种模式下工作时，应注意动态范围性能可能会受影响。有关使用此功能的更多信息，请参阅表8。

占空比稳定器利用延迟锁定环(DLL)创建非采样边沿。因此，一旦采样频率发生变化，DLL就需要大约8个时钟周期来获取并锁定新的速率。

## 时钟抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率( $f_A$ )下，仅由孔径抖动( $t_j$ )造成的信噪比(SNR)下降计算公式如下：

$$\text{SNR下降幅度} = 20 \times \log_{10} [1/2 \times \pi \times f_A \times t_j]$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动)的均方根。中频欠采样应用对抖动尤其敏感。

当孔径抖动可能影响AD8285的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动、晶控振荡器为最佳时钟源，如Valpey Fisher VFAC3系列。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步中利用原始时钟进行重定时。

如需更深入了解与ADC相关的抖动性能信息，请参阅应用笔记AN-501和AN-756。

## SDIO引脚

SDIO引脚用于运行SPI。它内置30 kΩ下拉电阻，可拉低该引脚。此引脚仅兼容1.8 V电压。如果应用要求以3.3 V逻辑电平驱动此引脚，则应在此引脚上串联一个1 kΩ电阻以限制电流。

## SCLK引脚

SCLK引脚用于运行SPI端口接口。它内置30 kΩ下拉电阻，可拉低该引脚。此引脚兼容1.8 V和3.3 V电压。

## $\overline{\text{CS}}$ 引脚

$\overline{\text{CS}}$ 引脚用于运行SPI端口接口。它内置70 kΩ上拉电阻，可拉高该引脚。此引脚兼容1.8 V和3.3 V电压。

## RBIAS引脚

为了设置ADC的内核偏置电流，应在RBIAS引脚上串联一个接地电阻(标称值10.0 kΩ)。建议使用10.0 kΩ电阻，若使用其他电阻作为RBIAS，则器件性能会下降。因此，要实现稳定的性能，至少应使用1.0%容差的电阻。

# AD8285

## 基准电压源

AD8285内置稳定、精确的0.5 V基准电压源。基准电压在内部放大2倍，将VREF设置为1.024 V，因此ADC的满量程差分输入范围为2.0 V p-p。VREF默认为内部设置，但也可以用1.0 V外部基准电压源驱动VREF引脚，以便提高精度。不过，注意该器件不支持低于2.0 V p-p的ADC满量程范围。

对VREF引脚应用去耦电容时，应采用低ESR陶瓷电容。这些电容必须靠近基准引脚，并与AD8285处于印刷电路板(PCB)的同一层。VREF引脚必须有一个0.1  $\mu$ F电容和一个1  $\mu$ F电容并联至模拟地。建议ADC采用这些电容值以使信号正确建立并获得下一个有效采样。

## 电源和接地建议

当连接电源至AD8285时，建议使用两个独立的1.8 V电源和两个独立的3.3 V电源：一个用于模拟1.8 V (AVDD18x)，一个用于数字1.8 V (DVDD18x)，一个用于模拟3.3 V (AVDD33x)，一个用于数字3.3 V (DVDD33x)。如果仅为模拟和数字部分(例如AVDD18x和DVDD18x)提供一个电源，则应先连接到AVDD18x，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再连接到DVDD18x。模拟和数字3.3 V电源同样如此。用户应针对所有电源使用多个去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件的位置，并尽可能缩短走线长度。

AD8285仅需要一个PCB接地层。只要对PCB的模拟、数字和时钟部分进行适当的去耦和巧妙的分隔，就能轻松实现最佳性能。

## 裸露焊盘散热块建议

为获得最佳的AD8285电气性能和热性能，必须将器件底部的裸露焊盘连接至低噪声模拟地。PCB上裸露的连续铜层应与AD8285的裸露焊盘(引脚0)匹配。铜层上必须有多个过孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些过孔。

为了最大程度地实现器件与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层或阻焊膜，以便将连续铜层划分为多个均等的部分。这样，在回流焊过程中，可在PCB与EPAD之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在AD8285与PCB之间有一个连接点。有关封装的更多信息和更多PCB布局示例，请参考应用笔记AN-772。

## 串行外设接口(SPI)

AD8285串行外设接口允许用户利用芯片内部的一个结构化寄存器空间来配置信号链，以满足特定功能和操作的需要。SPI使得用户能够更加灵活地运用器件，并根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如“存储器映射”部分所述。如需了解详细操作信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

定义串行外设接口(SPI)的是以下三个引脚：SCLK、SDIO和 $\overline{CS}$ 。SCLK(串行时钟)引脚用于同步提供给器件的读出和写入数据。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部器件存储器映射寄存器或从寄存器中读出数据。 $\overline{CS}$ (片选信号)引脚是低电平有效控制引脚，能够使能或者禁用读写周期(见表6)。

**表6. 串行端口引脚**

引脚	功能
SCLK	串行时钟。串行移位时钟输入。SCLK用来使串行接口的读写操作同步。
SDIO	串行数据输入/输出。双功能引脚。通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
$\overline{CS}$	片选信号(低电平有效)。用来控制读写周期的选通。

$\overline{CS}$ 的下降沿与SCLK的上升沿共同决定帧序列的开始。在指令周期传输一条16位指令，然后是一个或多个数据字节，由位域W0和W1决定。图32为串行时序图示例，相应的定义见表7。

正常工作时， $\overline{CS}$ 用来告知器件准备接收和处理SPI命令。当 $\overline{CS}$ 被拉低时，器件通过SCLK和SDIO处理指令。一般而言， $\overline{CS}$ 将一直保持低电平，直到通信周期结束。然而，如果与慢速器件相连，可以在两个字节之间拉高 $\overline{CS}$ ，使老式微控制器有足够的时间将数据传输至移位寄存器。当传输一个、两个或三个字节的的数据时， $\overline{CS}$ 可以保持不变。当W0和W1设置为11时，器件进入流模式并继续处理数据(读出或写入)，直到 $\overline{CS}$ 被拉高以结束通信周期。这样就可以传输整个存储器而无需额外的指令。无论何种模式，如果 $\overline{CS}$ 在字节传输期间被拉高，则SPI状态机复位，器件等待新的指令。

除了操作模式之外，可配置SPI端口以不同的模式操作。对于不需要控制端口的应用， $\overline{CS}$ 线可以连接并保持高电平。这将把其余SPI引脚置于第二功能模式，如“SDIO引脚”和“SCLK引脚”部分所述。 $\overline{CS}$ 引脚也可以接低电平，以使能双线模式。当 $\overline{CS}$ 接低电平时，通信只需要SCLK和SDIO引脚。虽然器件在上电期间已同步，但在使用此模式时，应注意确保串行端口仍然与 $\overline{CS}$ 线路保持同步。在双线模式下，建议仅使用1、2或3字节传输。无有效 $\overline{CS}$ 线的情况下，可以进入但无法退出流模式。

除了字长，指令阶段还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程或读取片内存储器的数据。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SDIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认模式为MSB优先，可以通过调整配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

### 硬件接口

表6中所描述的引脚构成用户编程器件与AD8285串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和 $\overline{CS}$ 引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

该接口非常灵活，串行PROM或PIC微控制器均可控制该接口，因而除了完整SPI控制器之外，用户还可以使用其它方法对器件编程(参见[应用笔记AN-812](#))。

如果用户选择不使用SPI接口，那么在器件上电期间将 $\overline{CS}$ 与AVDD33相连后，这些双功能引脚就可以发挥其第二功能。有关SPI引脚支持哪些引脚绑定功能的详细信息，请参见“SDIO引脚”和“SCLK引脚”部分。

# AD8285

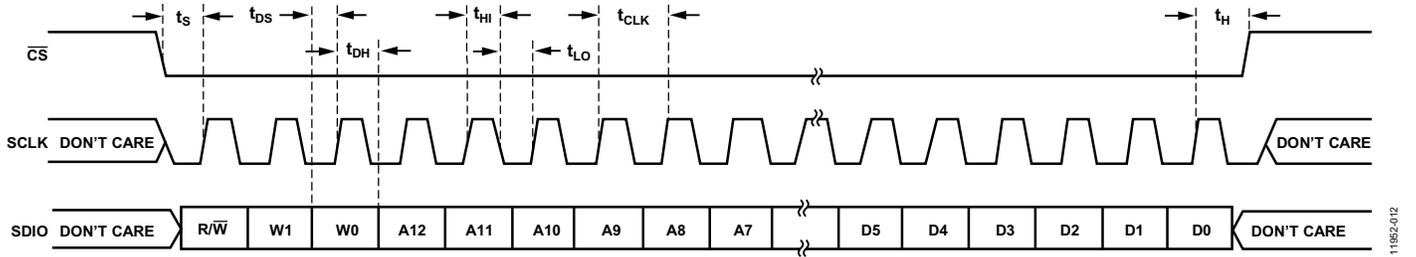


图32. 串行时序详图

表7. 串行时序定义

参数	最短时间(ns)	说明
$t_{DS}$	5	数据与SCLK上升沿之间的建立时间
$t_{DH}$	2	数据与SCLK上升沿之间的保持时间
$t_{CLK}$	40	时钟周期
$t_s$	5	$\overline{CS}$ 与SCLK之间的建立时间
$t_H$	2	$\overline{CS}$ 与SCLK之间的保持时间
$t_{HI}$	16	SCLK应处于逻辑高电平状态的最短时间
$t_{LO}$	16	SCLK应处于逻辑低电平状态的最短时间
$t_{EN\_SDIO}$	10	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的最短时间 (图32未显示)
$t_{DIS\_SDIO}$	10	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的最短时间 (图32未显示)

## 存储器映射

### 读取存储器映射表

存储器映射表的每一行都有8个地址位。存储器映射大致分为三个部分：芯片配置寄存器映射(地址0x00和地址0x01)、器件索引和传送寄存器映射(地址0x05和地址0xFF)以及ADC通道功能寄存器映射(地址0x04和地址0x08至地址0x2C)。

存储器映射的第一栏显示寄存器地址(十六进制)编号，倒数第二栏显示默认值。位7 (MSB)栏为给定十六进制默认值的起始位。例如，地址0x09(GLOBAL\_CLOCK寄存器)的默认值为0x01，表示位7=0、位6=0、位5=0、位4=0、位3=0、位2=0、位1=0、位0=1，或者0000 0001(二进制)。此设置是占空比稳定器在开启状态下的默认值。通过向该地址的位0写入0，然后在寄存器0xFF中的SW传送位写入0x01之后，关闭占空比稳定器。在每个写入序列后对SW传送位写入1以更新SPI寄存器，这点很重要。

注意，除了寄存器0x00、0x04、0x05和0xFF之外的所有寄存器都利用主从锁存器进行缓冲，并要求向传送位写入1。如需了解更多关于该功能及其它功能的信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

### 逻辑电平

以下是各寄存器的说明：“置位”是指将某位设置为逻辑1或向某位写入逻辑1。类似地，“清除位”指将某位设置为逻辑0或向某位写入逻辑0。

### 保留位置

请勿写入未定义的存储器位置，除非写入本数据手册建议的默认值。值标示为0的地址应被视为保留地址，上电期间应将0写入其寄存器。

### 默认值

复位后，关键寄存器自动加载默认值。表8显示了这些值，其中X表示未定义的特性。

# AD8285

表8. 存储器映射寄存器

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值注释
芯片配置寄存器											
0x00	CHIP_PORT_CONFIG	0	LSB优先 1 = 开 0 = 关 (默认)	软复位 1 = 开 0 = 关 (默认)	1	1	软复位 1 = 开 0 = 关 (默认)	LSB优先 1 = 开 0 = 关 (默认)	0	0x18	半字节之间应建立镜像关系, 使得无论在何种移位模式下, 均能正确设置LSB优先或MSB优先模式。
0x01	CHIP_ID	芯片ID, 位[7:0] (AD8285 = 0xA2, 默认值)								只读	默认值是AD8285特定的唯一芯片ID。这是一个只读寄存器。
器件索引和传送寄存器											
0x05	DEVICE_INDEX	X	X	X	X	数据通道D 1 = 开 (默认) 0 = 关	数据通道C 1 = 开 (默认) 0 = 关	数据通道B 1 = 开 (默认) 0 = 关	数据通道A 1 = 开 (默认) 0 = 关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。
0xFF	DEVICE_UPDATE	X	X	X	X	X	X	X	软件传输 1 = 开 0 = 关 (默认)	0x00	从主移位寄存器向从移位寄存器同步传输数据。
通道功能寄存器											
0x04	FLEX_RES	X	X	X	X	X	X	保留	保留	0x0F	保留。这些位必须设置为0x00。
0x08	GLOBAL_MODES	X	X	X	X	X	X	内部关断模式 00 = 芯片运行(默认) 01 = 完全关断 11 = 复位		0x00	决定关断模式(全局)。
0x09	GLOBAL_CLOCK	X	X	X	X	X	X	X	占空比稳定器 1 = 开 (默认) 0 = 关	0x01	打开和关闭内部占空比稳定器(全局)。
0x0C	FLEX_MUX_CONTROL	X	未使用通道关断 0 = PD (关断, 默认值) 1 = 上电	X	X	多路复用器输入活动通道 0000 = A 0001 = AUX 0010 = A和B 0011 = A和AUX 0100 = A、B和C 0101 = A、B和AUX 0110 = A、B、C和D 0111 = A、B、C和AUX			0x00	设置要使用的复用输入通道, 并指定是否关断未使用的通道。	

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值注释
0x0D	FLEX_TEST_IO	用户测试模式 00 = 关(默认) 01 = 开, 单一交替 10 = 开, 单一一次 11 = 开, 交替一次		产生复位 PN长序列 1 = 开 0 = 关 (默认)	产生复位 PN短序列 1 = 开 0 = 关 (默认)	输出测试模式——见表9 0000 = 关(默认) 0001 = 中间电平短码 0010 = +满量程短码 0011 = -满量程短码 0100 = 棋盘形式输出 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率 (格式由OUTPUT_MODE寄存器决定)				0x00	设置此寄存器后, 测试数据将取代正常数据被置于输出引脚上。(局部, PN序列除外。)
0x0F	FLEX_CHANNEL_INPUT	滤波器截止频率控制 0000 = $1.3 \times 1/4 \times f_{\text{SAMPLECH}}$ 0001 = $1.2 \times 1/4 \times f_{\text{SAMPLECH}}$ 0010 = $1.1 \times 1/4 \times f_{\text{SAMPLECH}}$ 0011 = $1.0 \times 1/4 \times f_{\text{SAMPLECH}}$ (默认) 0100 = $0.9 \times 1/4 \times f_{\text{SAMPLECH}}$ 0101 = $0.8 \times 1/4 \times f_{\text{SAMPLECH}}$ 0110 = $0.7 \times 1/4 \times f_{\text{SAMPLECH}}$ 0111 = 不适用 1000 = $1.3 \times 1/3 \times f_{\text{SAMPLECH}}$ 1001 = $1.2 \times 1/3 \times f_{\text{SAMPLECH}}$ 1010 = $1.1 \times 1/3 \times f_{\text{SAMPLECH}}$ 1011 = $1.0 \times 1/3 \times f_{\text{SAMPLECH}}$ 1100 = $0.9 \times 1/3 \times f_{\text{SAMPLECH}}$ 1101 = $0.8 \times 1/3 \times f_{\text{SAMPLECH}}$ 1110 = $0.7 \times 1/3 \times f_{\text{SAMPLECH}}$ 1111 = 不适用				X	X	X	X	0x30	低通滤波器截止频率(全局)。 $f_{\text{SAMPLECH}}$ = ADC采样速率/活动通道数。注意, 绝对范围以1.0 MHz到12.0 MHz为限。
0x10	FLEX_OFFSET	X	X	6位LNA失调调节 00 0000用于LNA偏置高 01 1111用于LNA中高 10 0000用于LNA中低(默认) 10 0001用于LNA偏置低				0x20	LNA强制失调校正(局部)。		
0x11	FLEX_GAIN_1	X	X	X	X	X	010 = 16 dB(默认) 011 = 22 dB 100 = 28 dB 101 = 34 dB		0x02	LNA和PGA总增益调整(局部)	
0x12	FLEX_BIAS_CURRENT	X	X	X	X	X	X	LNA偏置 00 = 高 01 = 中高(默认) 10 = 中低 11 = 低	0x09	LNA偏置电流调整(全局)。	
0x14	FLEX_OUTPUT_MODE	X	X	X	X	X	1 = 输出反转(局部)	0 = 偏移二进制(默认) 1 = 二进制补码(全局)	0x00	配置输出和数据格式。	
0x15	FLEX_OUTPUT_ADJUST	0 = 使能数据位[11:0] 1 = 禁用数据位[11:0]	X	X	X	分别为典型输出上升时间和下降时间 00 = 2.6 ns、3.4 ns 01 = 1.1 ns、1.6 ns 10 = 0.7 ns、0.9 ns 11 = 0.7 ns、0.7 ns(默认)		典型输出驱动强度 00 = 45 mA 01 = 30 mA 10 = 60 mA 11 = 60 mA(默认)	0x0F	用于调整输出上升和下降时间, 以及选择输出驱动强度, 限制输出切换给通道增加的噪声。	

# AD8285

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	默认值注释
0x18	FLEX_VREF	X	0 = 内部 基准 电压源 1 = 外部 基准 电压源	X	X	X	X		00 = 0.625 V 01 = 0.750 V 10 = 0.875 V 11 = 1.024 V(默认)	0x03	选择内部基准电 压源(推荐的默 认值)或外部基 准电 压 源 (全 局); 调整内部 基准电压源。
0x19	FLEX_USER_PATT1_ LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试 码1, LSB
0x1A	FLEX_USER_PATT1_ MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试 码1, MSB
0x1B	FLEX_USER_PATT2_ LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试 码2, LSB
0x1C	FLEX_USER_PATT2_ MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试 码2, MSB
0x2B	FLEX_FILTER	X	使能自动 低通调谐 1 = 开 (自清零)	X	X	X	X	X	X	0x00	参见“抗混叠滤 波器(AAF)”部 分。
0x2C	CH_IN_IMP	X	X	X	X	X	X	X	0 = 200 Ω (默认) 1 = 200 kΩ	0x00	输入阻抗调整 (全局)。

表9. 灵活的输出测试模式

输出测试模式位 序列	测试码名称	数字输出字1	数字输出字2	接受数据格式选择
0000	关闭(默认)	不适用	不适用	不适用
0001	中间电平短码	1000 0000 0000	相同	是
0010	+满量程短码	1111 1111 1111	相同	是
0011	-满量程短码	0000 0000 0000	相同	是
0100	棋盘形式输出	1010 1010 1010	0101 0101 0101	否
0101	PN长序列	不适用	不适用	是
0110	PN短序列	不适用	不适用	是
0111	1/0字反转	1111 1111 1111	0000 0000 0000	否
1000	用户输入	寄存器0x19至寄存器0x1A	寄存器0x1B至寄存器0x1C	否
1001	1/0位反转	1010 1010 1010	不适用	否
1010	1×同步	0000 0011 1111	不适用	否
1011	1位高电平	1000 0000 0000	不适用	否
1100	混合位频率	1010 0011 0011	不适用	否

## 应用原理图

图33和图34为AD8285的典型应用原理图。如“通道概述”部分所述，当AD8285采用全差分源驱动时，可以实现最大信号摆幅和最小三阶失真。图33给出了这种配置的典型连接图。

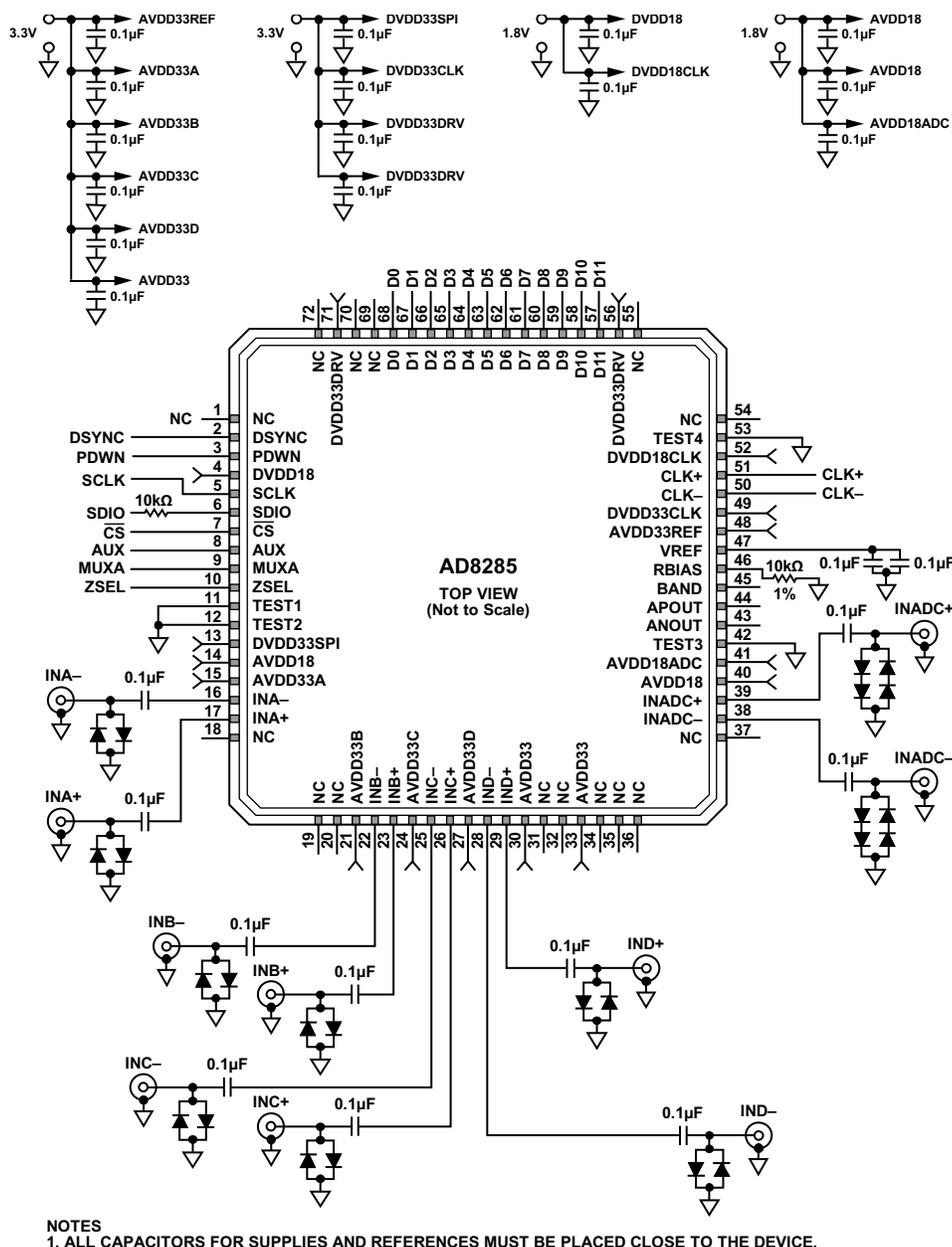
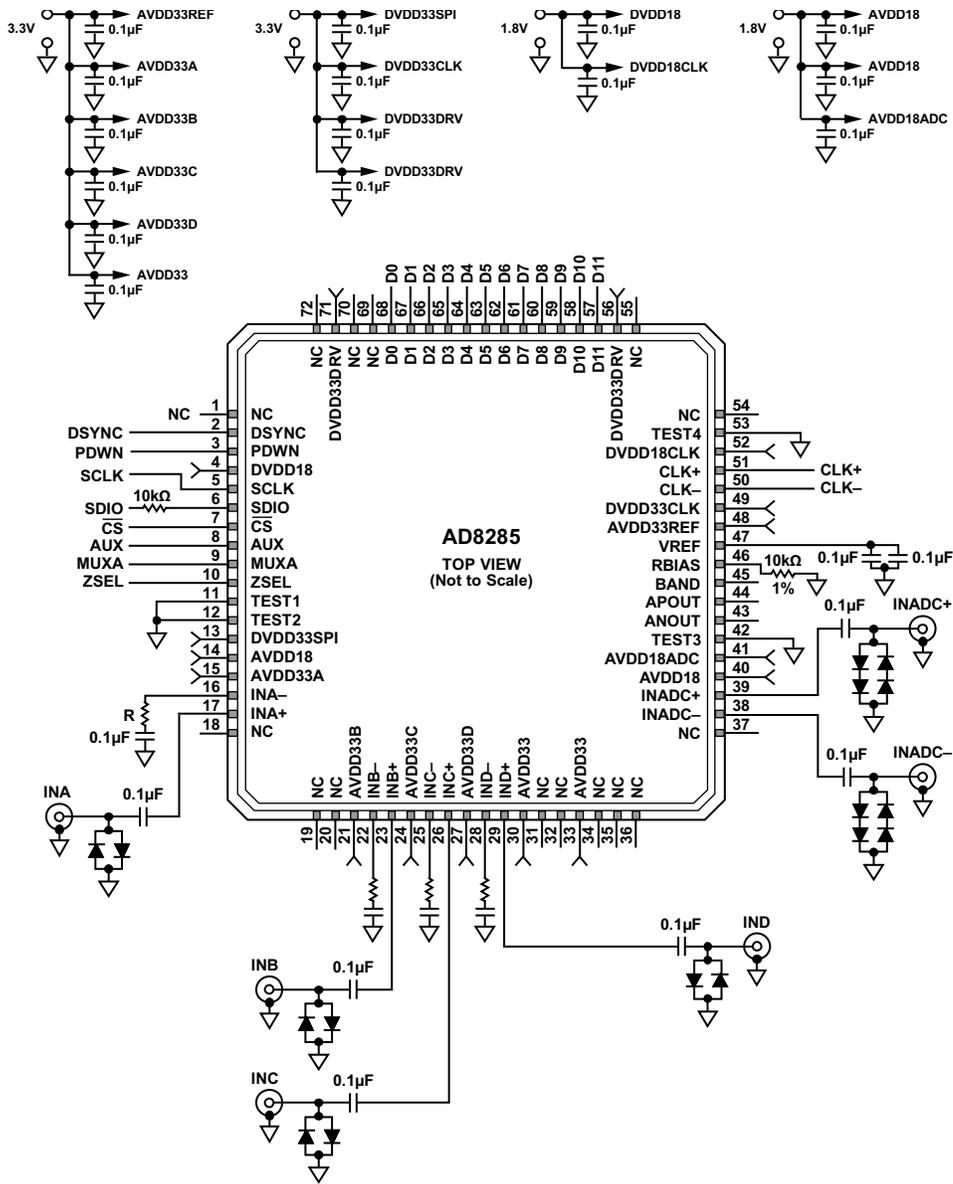


图33. 差分输入应用原理图

# AD8285

AD8285也可采用单端信号源驱动，如图34所示。这种配置中，各通道的负模拟输入通过一个电阻和一个0.1 μF电容接地。为使性能最佳，此电阻必须与输入驱动器的输出阻抗匹配。



- NOTES
1. RESISTOR R (IN<sub>x</sub>- INPUTS) MUST MATCH THE OUTPUT IMPEDANCE OF THE INPUT DRIVER.
  2. ALL CAPACITORS FOR SUPPLIES AND REFERENCES SHOULD BE PLACED CLOSE TO THE DEVICE.

图34. 单端输入应用原理图

11952-100

## 外形尺寸

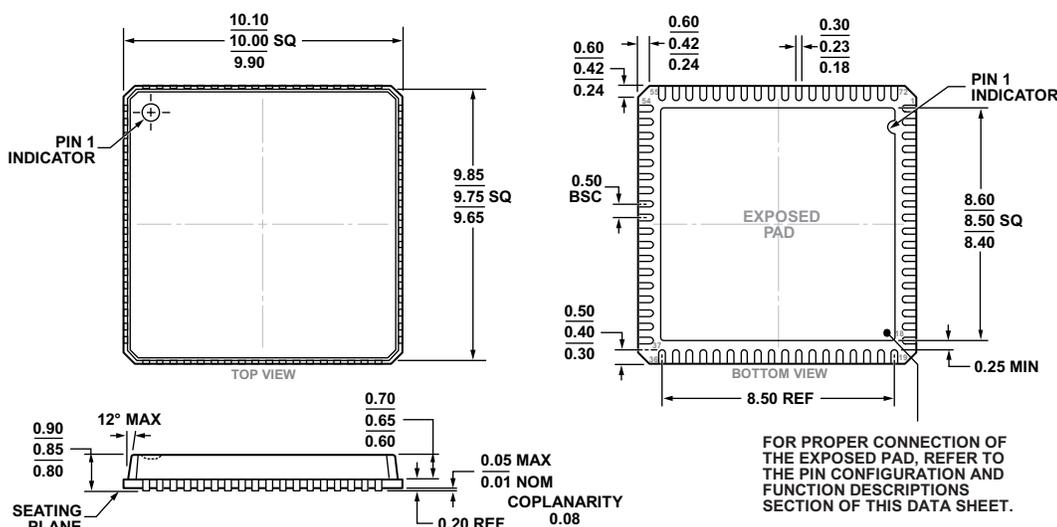


图35. 72引脚引线框芯片级封装[LFCSP\_VQ]

10 mm × 10 mm, 超薄体

(CP-72-5)

图示尺寸单位: mm

## 订购指南

型号 <sup>1, 2</sup>	温度范围	封装描述	封装选项
AD8285WBCPZ-RL	-40°C至+105°C	72引脚 LFCSP_VQ, 13"卷带和卷盘	CP-72-5
AD8285WBCPZ	-40°C至+105°C	72引脚 LFCSP_VQ	CP-72-5
AD8285CP-EBZ		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。<sup>2</sup> W = 通过汽车应用认证。

## 汽车应用产品

AD8285WBCPZ生产工艺受到严格控制, 以满足汽车应用的质量和可靠性要求。请注意, 车用型号的技术规格可能不同于商用型号; 因此, 设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得该型号的汽车可靠性报告, 请联系当地ADI客户代表。