

目录

特性.....	1	模拟电流输出.....	19
应用.....	1	设置 I_{OUTFS} DAC增益.....	19
概述.....	1	I_{OUTFS} 自动校准.....	19
产品特点.....	1	时钟输入.....	20
功能框图.....	1	DAC输出时钟沿.....	21
修订历史.....	2	产生信号模式.....	21
技术规格.....	3	模式发生器编程.....	21
直流规格(3.3 V).....	3	DAC输入数据路径.....	22
直流规格(1.8 V).....	4	DOUT功能.....	22
数字时序规格(3.3 V).....	4	直接数字频率合成器(DDS).....	23
数字时序规格(1.8 V).....	5	SRAM.....	23
输入/输出信号规格.....	5	锯齿发生器.....	23
交流规格(3.3 V).....	6	伪随机信号发生器.....	24
交流规格(1.8 V).....	6	直流常数.....	24
电源电压输入和功耗.....	7	电源须知.....	24
绝对最大额定值.....	8	省电功能.....	24
热阻.....	8	应用.....	25
ESD警告.....	8	信号产生示例.....	25
引脚配置和功能描述.....	9	寄存器映射.....	26
典型性能参数.....	11	寄存器描述.....	28
术语.....	16	外形尺寸.....	36
工作原理.....	17	订购指南.....	36
SPI端口.....	18		
DAC传递函数.....	19		

修订历史

2013年1月—修订版0：初始版

技术规格

直流规格(3.3 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 3.3 V; DVDD = 3.3 V; CLKVDD = 3.3 V; 内部CLDO、DLDO1和DLDO2; $I_{OUTFS} = 8$ mA; 最大采样速率。

表1.

参数	最小值	典型值	最大值	单位
分辨率		14		Bits
精度(3.3 V)				
差分非线性(DNL)		±1.4		LSB
积分非线性(INL)		±2.0		LSB
DAC输出				
失调误差		±0.00025		% FSR
增益误差(内部基准电压源—无 I_{OUTFS} 自动校准)	-1.0		+1.0	% FSR
满量程输出电流				
3.3 V	2	4	8	mA
输出电阻		200		MΩ
输出顺从电压	-0.5		+1.0	V
DAC温度漂移				
增益(使用内部基准电压源)		±251		ppm/°C
内部基准电压		±119		ppm/°C
基准输出				
内部基准电压(AVDD = 3.3 V)	0.8	1.0	1.2	V
输出电阻		10		kΩ
基准输入				
顺从电压	0.1		1.25	V
输入电阻(外部基准电压源模式)		1		MΩ

AD9102

直流规格(1.8 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V; $I_{OUTFS} = 4$ mA; 最大采样速率。

表2.

参数	最小值	典型值	最大值	单位
分辨率		14		Bits
精度(1.8 V)				
差分非线性(DNL)		±1.5		LSB
积分非线性(INL)		±1.4		LSB
DAC输出				
失调误差		±0.00025		% of FSR
增益误差(内部基准电压源—无 I_{OUTFS} 自动校准)	-1.0		+1.0	% of FSR
满量程输出电流				
$V_{CC} = 1.8$ V	2	4	4	mA
输出电阻		200		MΩ
输出顺从电压	-0.5		+1.0	V
DAC温度漂移				
增益		±228		ppm/°C
基准电压		±131		ppm/°C
基准输出				
内部基准电压(AVDD = 1.8 V)	0.8	1.0	1.2	V
输出电阻		10		kΩ
基准输入				
顺从电压	0.1		1.25	V
输入电阻(外部基准电压源模式)		1		MΩ

数字时序规格(3.3 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 3.3 V; DVDD = 3.3 V; CLKVDD = 3.3 V; 内部CLDO、DLDO1和DLDO2; $I_{OUTFS} = 8$ mA; 最大采样速率。

表3.

参数	最小值	典型值	最大值	单位
DAC时钟输入(CLKIN)				
最大时钟速率	180			MSPS
串行外设接口				
最大时钟速率(SCLK)	80			MHz
高电平最小脉冲宽度		6.25		ns
低电平最小脉冲宽度		6.25		ns
SDIO到SCLK建立时间	4.0			ns
SDIO到SCLK保持时间	5.0			ns
输出数据有效SCLK到SDO/SDI2/DOUT或SDIO		6.2		ns
CS到SCLK建立时间	4.0			ns

数字时序规格(1.8 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V; $I_{\text{OUTFS}} = 4 \text{ mA}$; 最大采样速率。

表4.

参数	最小值	典型值	最大值	单位
DAC时钟输入(CLKIN)				
最大时钟速率	180			MSPS
串行外设接口				
最大时钟速率(SCLK)	80			MHz
高电平最小脉冲宽度		6.25		ns
低电平最小脉冲宽度		6.25		ns
SDIO到SCLK建立时间	4.0			ns
SDIO到SCLK保持时间	5.0			ns
输出数据有效SCLK到SDO/SDI2/DOUT或SDIO		8.8		ns
$\overline{\text{CS}}$ 到SCLK建立时间	4.0			ns

输入/输出信号规格**表5.**

参数	测试条件/注释	最小值	典型值	最大值	单位
CMOS输入逻辑电平(SCLK、 $\overline{\text{CS}}$ 、SDIO、SDO/SDI2/DOUT、 $\overline{\text{RESET}}$ 、 $\overline{\text{TRIGGER}}$)					
输入 V_{IN} 逻辑高电平	DVDD = 1.8 V	1.53			V
	DVDD = 3.3 V	2.475			V
输入 V_{IN} 逻辑低电平	DVDD = 1.8 V			0.27	V
	DVDD = 3.3 V			0.825	V
CMOS输出逻辑电平(SDIO、SDO/SDI2/DOUT)					
输出 V_{OUT} 逻辑高电平	DVDD = 1.8 V	1.79			V
	DVDD = 3.3 V	3.28			V
输出 V_{OUT} 逻辑低电平	DVDD = 1.8 V			0.25	V
	DVDD = 3.3 V			0.625	V
DAC时钟输入(CLKP、CLKN)					
最小峰峰值差分输入电压, $V_{\text{CLKP}}/V_{\text{CLKN}}$			150		mV
V_{CLKP} 或 V_{CLKN} 的最大电压			V_{DVDD}		V
V_{CLKP} 或 V_{CLKN} 的最小电压			V_{DGND}		V
共模电压	片内产生		0.9		V

AD9102

交流规格(3.3 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 3.3 V; DVDD = 3.3 V; CLKVDD = 3.3 V; 内部CLDO、DLDO1和DLDO2; $I_{\text{OUTFS}} = 8 \text{ mA}$; 最大采样速率。

表6.

参数	最小值	典型值	最大值	单位
无杂散动态范围				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		87		dBc
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		67		dBc
双音交调失真(IMD)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		88		dBc
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		68		dBc
NSD				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		-163		dBm/Hz
相位噪声(1 kHz时, 来自载波)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		-150		dBc/Hz
动态性能				
输出建立时间, 满量程输出步进(至0.1%) ¹		31.2		ns
触发至输出延迟, $f_{\text{DAC}} = 180 \text{ MSPS}$ ²		96		ns
上升时间, 满量程摆幅 ¹		3.25		ns
下降时间, 满量程摆幅 ¹		3.26		ns

¹ 基于85 Ω电阻(从DAC输出端到地)。

² 起始延迟 = 0 f_{DAC} 时钟周期。

交流规格(1.8 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V; $I_{\text{OUTFS}} = 4 \text{ mA}$; 最大采样速率。

表7.

参数	最小值	典型值	最大值	单位
无杂散动态范围(SFDR)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		84		dBc
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		73		dBc
双音交调失真(IMD)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		91		dBc
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		86		dBc
NSD				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		-163		dBm/Hz
相位噪声(1kHz时, 来自载波)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		-150		dBc/Hz
动态性能				
输出建立时间(至0.1%) ¹		31.2		ns
触发至输出延迟, $f_{\text{DAC}} = 180 \text{ MSPS}$ ²		96		ns
上升时间 ¹		3.25		ns
下降时间 ¹		3.26		ns

¹ 基于85 Ω电阻(从DAC输出端到地)。

² 起始延迟 = 0 f_{DAC} 时钟周期。

电源电压输入和功耗

表8.

参数	测试条件/注释	最小值	典型值	最大值	单位
模拟电源电压					
AVDD1, AVDD2		1.7		3.6	V
CLKVDD		1.7		3.6	V
CLDO	未使用片内LDO	1.7		1.9	V
数字电源电压					
DVDD		1.7		3.6	V
DLDO1, DLDO2	未使用片内LDO	1.7		1.9	V
功耗	AVDD = 3.3 V, DVDD = 3.3 V, CLKVDD = 3.3 V, 内部CLDO、DLDO1和DLDO2 12.5 MHz(仅DDS)				
$f_{DAC} = 180$ MSPS, 纯CW正弦波			96.54		mW
I_{AVDD}			7.67		mA
I_{DVDD}					
仅DDS	CW正弦波输出		17.73		mA
仅RAM	50%占空比FS脉冲输出		11.31		mA
仅DDS和RAM	50%占空比正弦波输出		14.6		mA
I_{CLKVDD}			3.85		mA
掉电模式	REF开启, DAC休眠, CLK掉电, 外部CLK和电源开启		4.73		mW
功耗	AVDD = 1.8 V, DVDD = DLDO1 = DLDO2 = 1.8 V, CLKVDD = CLDO = 1.8 V 12.5 MHz(仅DDS)				
$f_{DAC} = 180$ MSPS, 纯CW正弦波			51.33		mW
I_{AVDD}			7.54		mA
I_{DVDD}			0.15		mA
I_{DLDO2}					
仅DDS	CW正弦波输出		16.03		mA
仅RAM	50%占空比FS脉冲输出		10.07		mA
仅DDS和RAM	50%占空比正弦波输出		13.26		mA
I_{DLDO1}			1.129		mA
I_{CLKVDD}			0.0096		mA
I_{CLDO}			3.65		mA
掉电模式	REF开启, DAC休眠, CLK掉电, 外部CLK和电源开启		1.49		mW

绝对最大额定值

表9.

参数	额定值
AVDD1、AVDD2、DVDD至AGND、DGND、CLKGND	-0.3 V至+3.9 V
CLKVDD至AGND、DGND、CLKGND	-0.3 V至+3.9 V
CLDO、DLDO1、DLDO2至AGND、DGND、CLKGND	-0.3 V至2.2 V
AGND至DGND、CLKGND	-0.3 V至+0.3 V
DGND至AGND、CLKGND	-0.3 V至+0.3 V
CLKGND至AGND、DGND	-0.3 V至+0.3 V
\overline{CS} 、 \overline{SDIO} 、 \overline{SCLK} 、 \overline{SDO} /SDI2/DOUT、 \overline{RESET} 、 $\overline{TRIGGER}$ 至DGND	-0.3 V至DVDD + 0.3 V
CLKP、CLKN至CLKGND	-0.3 V至CLKVDD + 0.3 V
REFIO至AGND	-1.0 V至AVDD + 0.3 V
IOUTP、IOUTN至AGND	-0.3 V至DVDD + 0.3 V
FSADJ、CAL_SENSE至AGND	-0.3 V至AVDD + 0.3 V
结温	125°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在标准电路板上以实现表贴封装。 θ_{JC} 是从封装的焊接侧(底部)测量。

表10. 热阻

封装类型	θ_{JA}	θ_{JB}	θ_{JC}	单位
32引脚LFCSP(带裸露焊盘)	30.18	6.59	3.84	°C/W

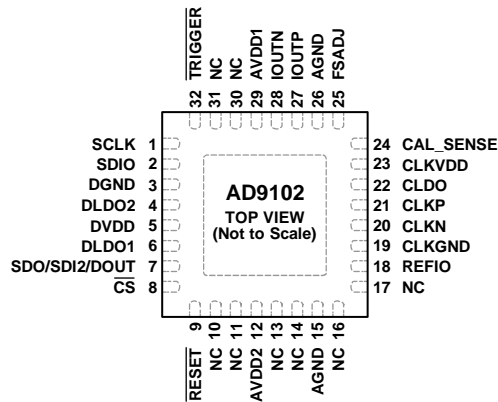
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
 2. IT IS RECOMMENDED THAT THE EXPOSED PAD BE THERMALLY CONNECTED TO A COPPER GROUND PLANE FOR ENHANCED ELECTRICAL AND THERMAL PERFORMANCE.

11220-002

图2. 引脚配置

表11. 引脚功能描述

引脚编号	引脚名称	描述
1	SCLK	SPI时钟输入。
2	SDIO	SPI数据输入/输出。SPI端口的主要双向数据线。
3	DGND	数字地。
4	DLDO2	1.8 V内部数字LDO1输出。当内部数字LDO1使能时，应通过0.1 μ F电容旁路此引脚。
5	DVDD	3.3 V外部数字电源。DVDD定义AD9102数字接口(SPI接口)的电平。
6	DLDO1	1.8 V内部数字LDO2输出。当内部数字LDO2使能时，应通过0.1 μ F电容旁路此引脚。
7	SDO/SDI2/DOUT	数字I/O引脚。 4线SPI模式(SDO)下，此引脚用于从SPI输出数据。 双SPI模式(SDI2)下，此引脚是SPI端口的第二数据输入线，用于写入SRAM。 数据输出模式(DOUT)下，此引脚是可编程脉冲输出。
8	$\overline{\text{CS}}$	SPI端口片选，低电平有效。
9	$\overline{\text{RESET}}$	低电平有效复位引脚。将寄存器复位至默认值。
10	NC	未连接。请勿连接该引脚。
11	NC	未连接。请勿连接该引脚。
12	AVDD2	1.8 V至3.3 V电源输入。
13	NC	未连接。请勿连接该引脚。
14	NC	未连接。请勿连接该引脚。
15	AGND	模拟地。
16	NC	未连接。请勿连接该引脚。
17	NC	未连接。请勿连接该引脚。
18	REFIO	DAC基准电压输入/输出。
19	CLKGND	时钟地。
20	CLKN	时钟输入，负极。
21	CLKP	时钟输入，正极。
22	CLDO	时钟电源输出(使用内部稳压器)，时钟电源输入(旁路内部稳压器)
23	CLKVDD	时钟电源输入引脚。
24	CAL_SENSE	I_{OUTFS} 自动校准的检测输入引脚。
25	FSADJ	用于DAC的外部满量程电流输出调整，或用于 I_{OUTFS} 自动校准的满量程电流输出调整基准。
26	AGND	模拟地。
27	IOUTP	DAC输出电流，正极。
28	IOUTN	DAC输出电流，负极。

AD9102

引脚编号	引脚名称	描述
29	AVDD1	DAC的1.8 V至3.3 V电源输入。
30	NC	未连接。请勿连接该引脚。
31	NC	未连接。请勿连接该引脚。
32	TRIGGER	模式触发器输入。
	EPAD	裸露焊盘。建议将裸露焊盘与一个铜接地片形成散热连接，以增强电气和散热性能。

典型性能参数

AVDD = 3.3 V, DVDD = 3.3 V, CLKVDD = 3.3 V, 内部CLDO、DLDO1和DLDO2。

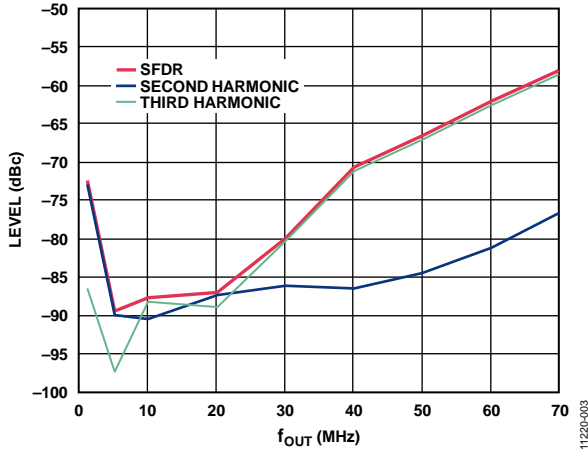


图3. SFDR、二次和三次谐波($I_{OUTFS} = 8\text{ mA}$)与 f_{OUT} 的关系

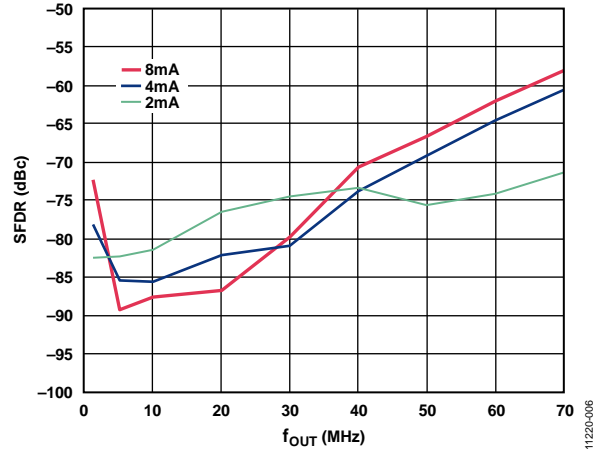


图6. 三个 I_{OUTFS} 值下的SFDR与 f_{OUT} 的关系

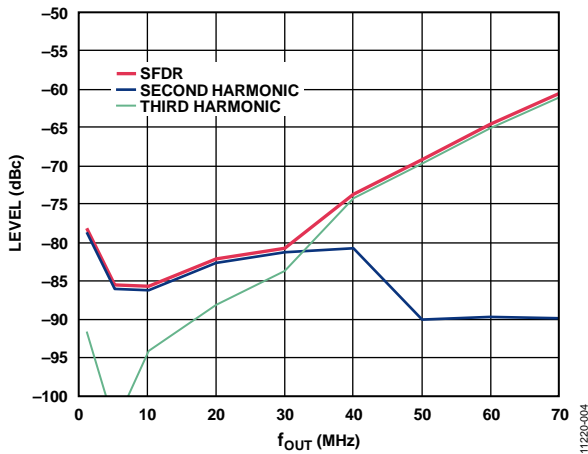


图4. SFDR、二次和三次谐波($I_{OUTFS} = 4\text{ mA}$)与 f_{OUT} 的关系

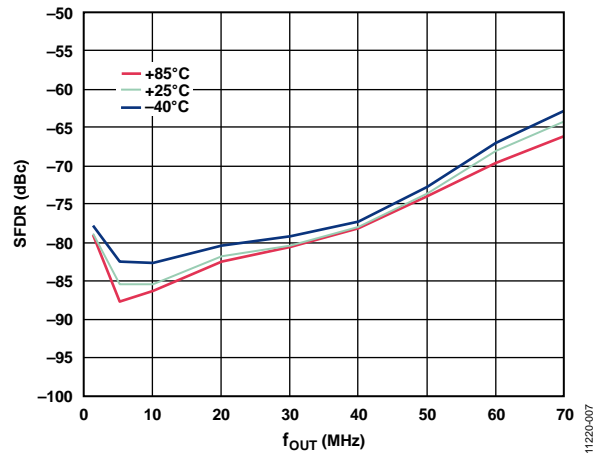


图7. 三种温度下的SFDR与 f_{OUT} 的关系

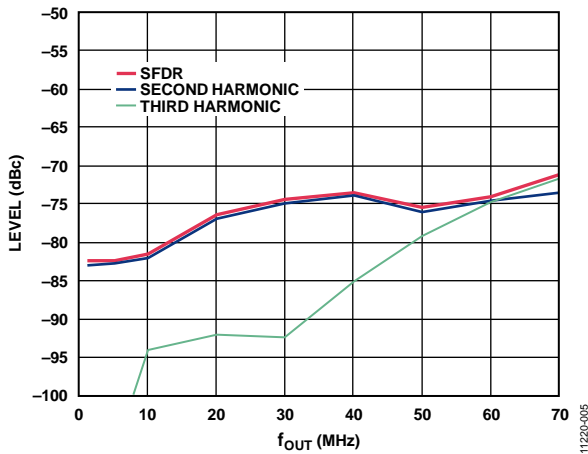


图5. SFDR、二次和三次谐波($I_{OUTFS} = 2\text{ mA}$)与 f_{OUT} 的关系

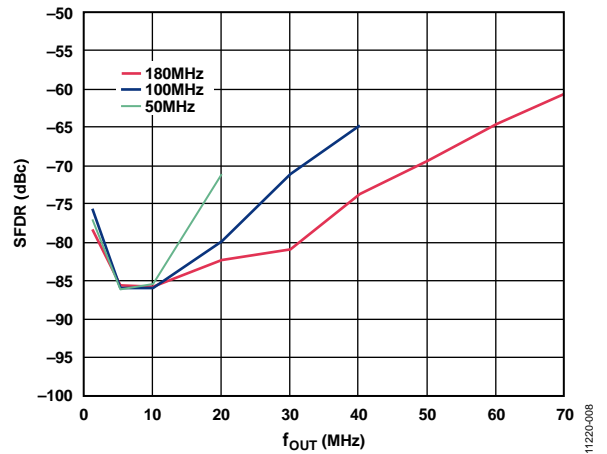


图8. 三个 f_{DAC} 值下的SFDR与 f_{OUT} 的关系

AD9102

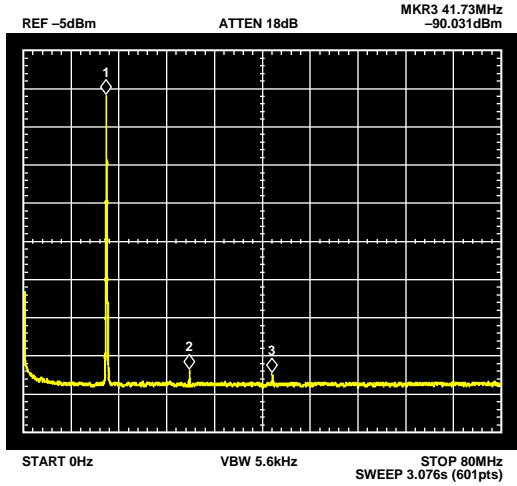


图9. 输出频谱, $f_{OUT} = 13.87$ MHz

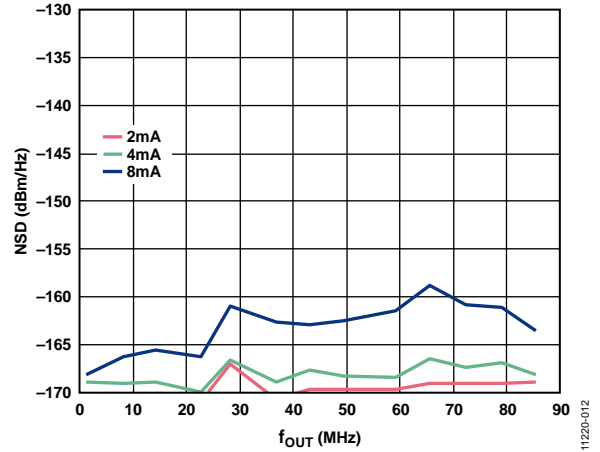


图12. 三个 I_{OUTS} 值下的NSD与 f_{OUT} 的关系

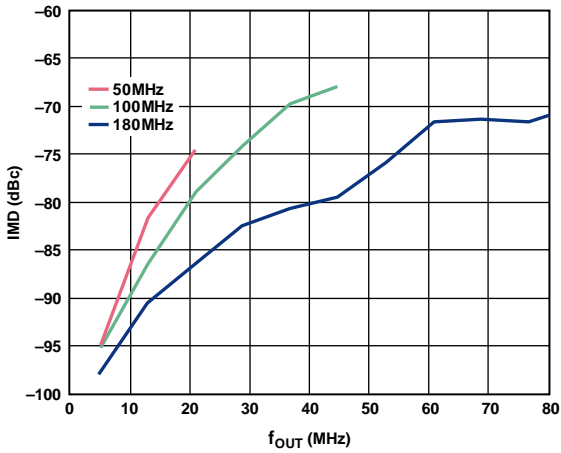


图10. 三个 f_{DAC} 值下的IMD与 f_{OUT} 的关系

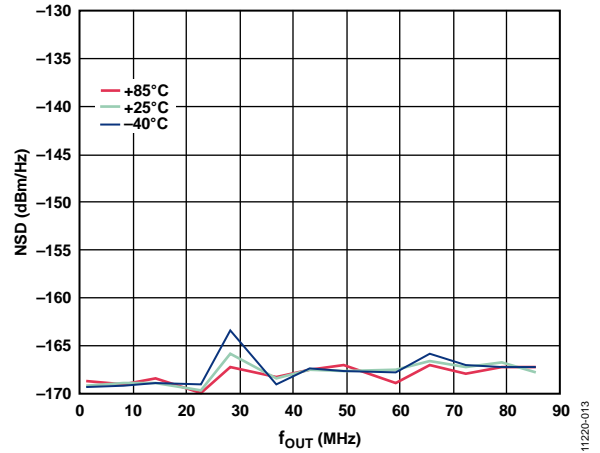


图12. 三个 I_{OUTS} 值下的NSD与 f_{OUT} 的关系

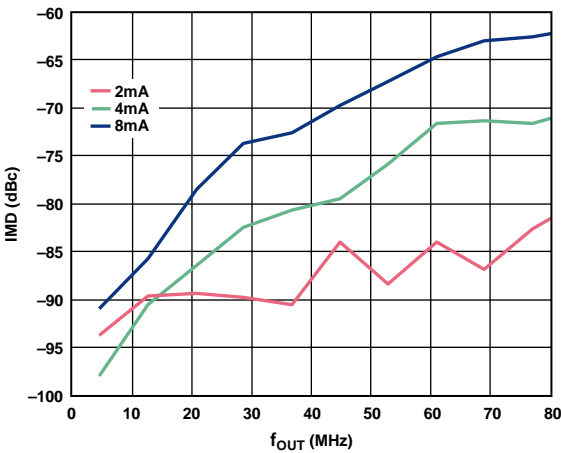


图11. 三个 I_{OUTS} 值下的IMD与 f_{OUT} 的关系

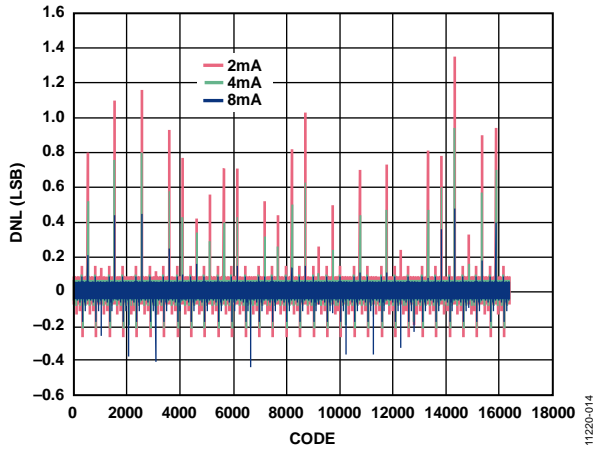


图14. 三个 I_{OUTS} 值下的DNL

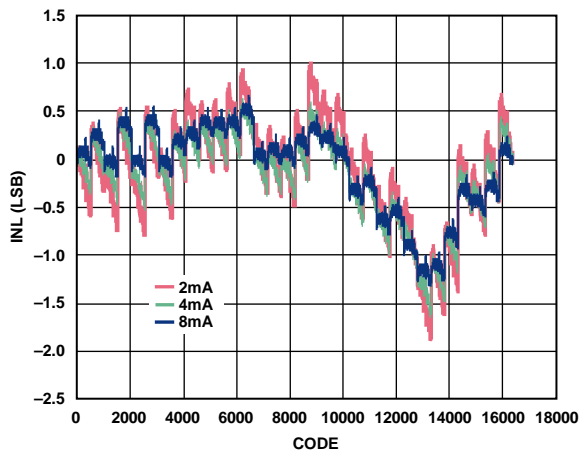


图15. 三个 I_{OUTFS} 值下的INL

1122-015

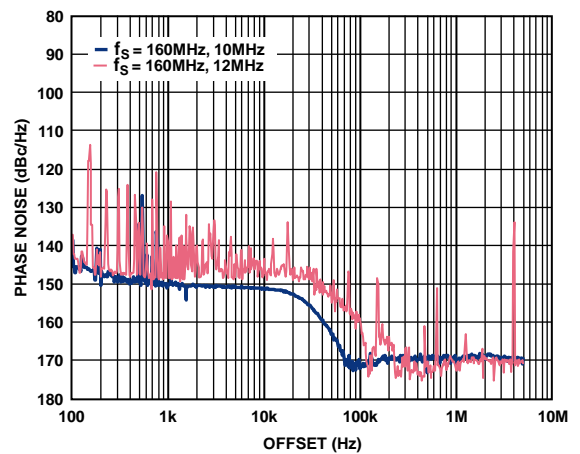


图16. 相位噪声与偏移的关系

1122-016

AD9102

AVDD = 1.8 V, DVDD = DLDO1 = DLDO2 = 1.8 V, CLKVDD = CLDO = 1.8 V。

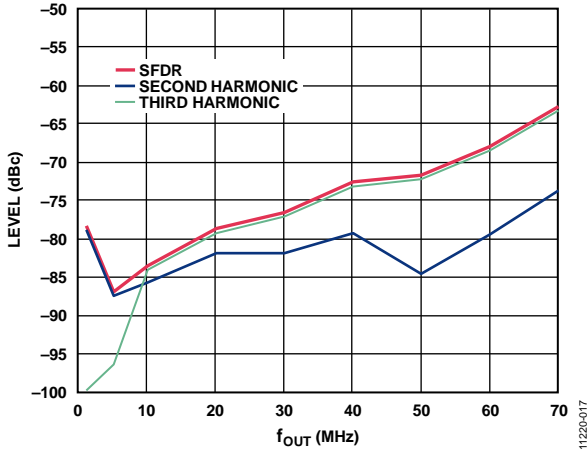


图17. SFDR、二次和三次谐波($I_{OUTS} = 4\text{ mA}$)与 f_{OUT} 的关系

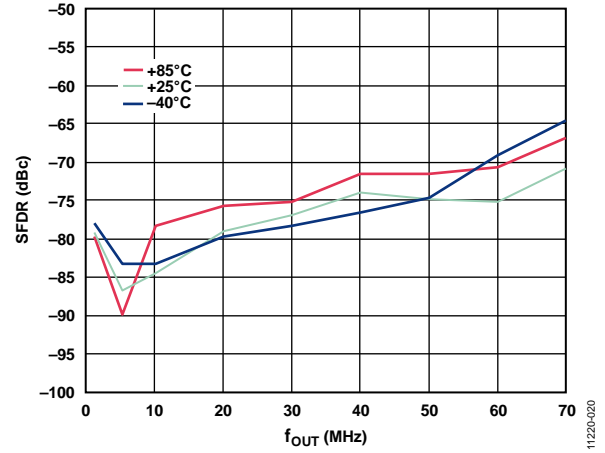


图20. 三种温度下的SFDR与 f_{OUT} 的关系

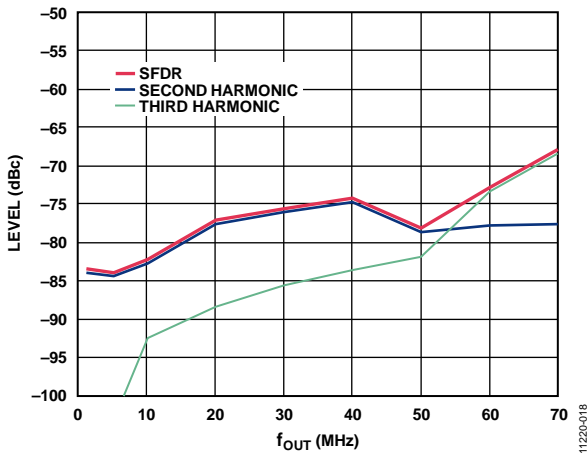


图18. SFDR、二次和三次谐波($I_{OUTS} = 2\text{ mA}$)与 f_{OUT} 的关系

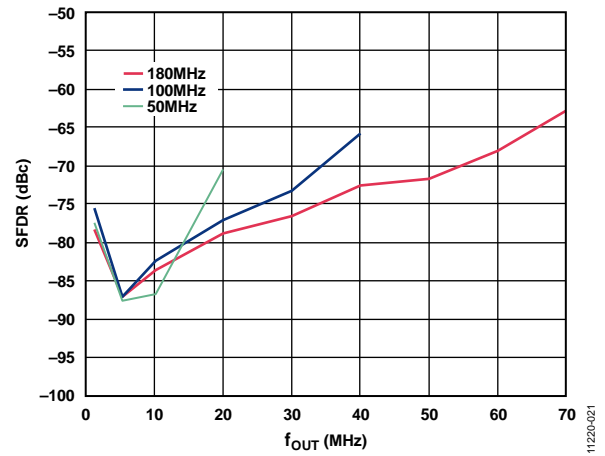


图21. 三个 f_{DAC} 值下的SFDR与 f_{OUT} 的关系

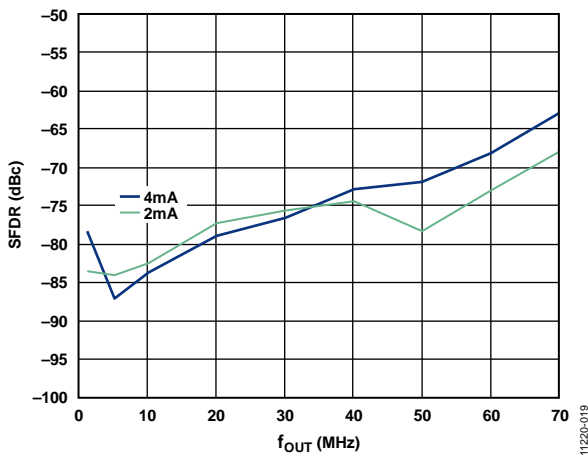


图19. 两个 I_{OUTS} 值下的SFDR与 f_{OUT} 的关系

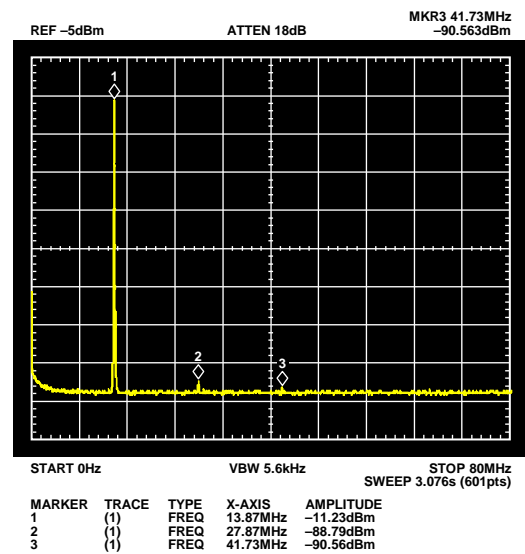


图22. 输出频谱, $f_{OUT} = 13.87\text{ MHz}$

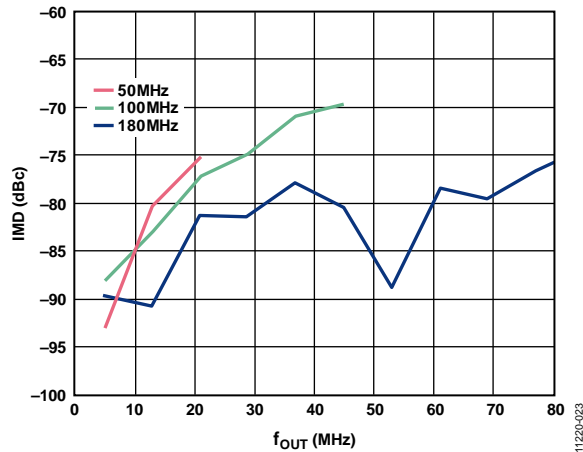


图23. 三个 f_{OUT} 值下的IMD与 f_{OUT} 的关系

11220-023

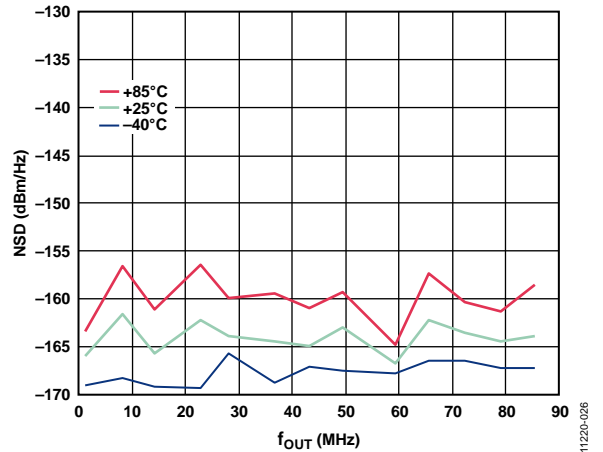


图26. 三种温度下的NSD与 f_{OUT} 的关系

11220-026

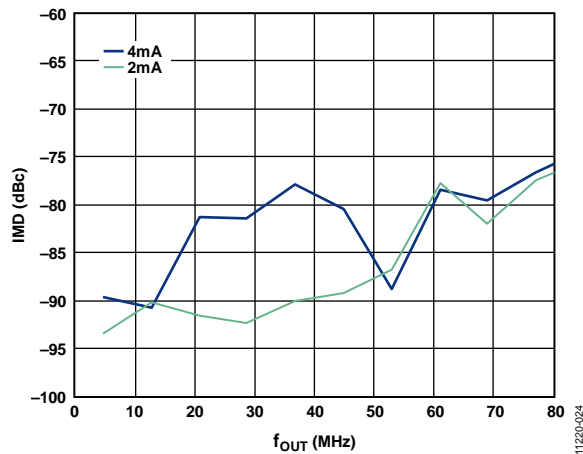


图24. 两个 I_{OUTS} 值下的IMD与 f_{OUT} 的关系

11220-024

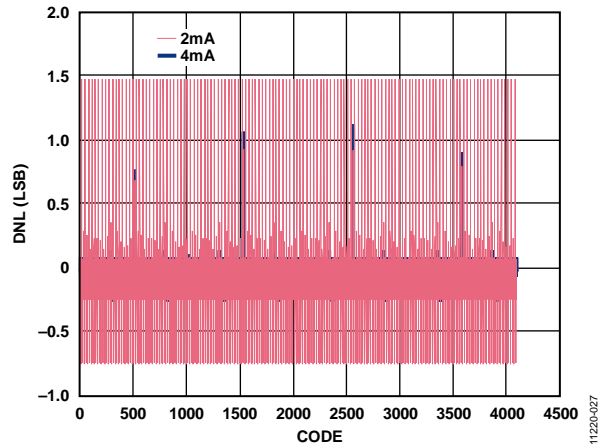


图27. 两个 I_{OUTS} 值下的DNL

11220-027

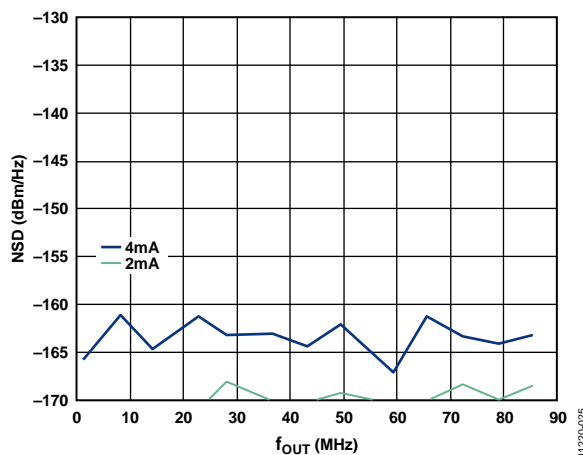


图25. 两个 I_{OUTS} 值下的NSD与 f_{OUT} 的关系

11220-025

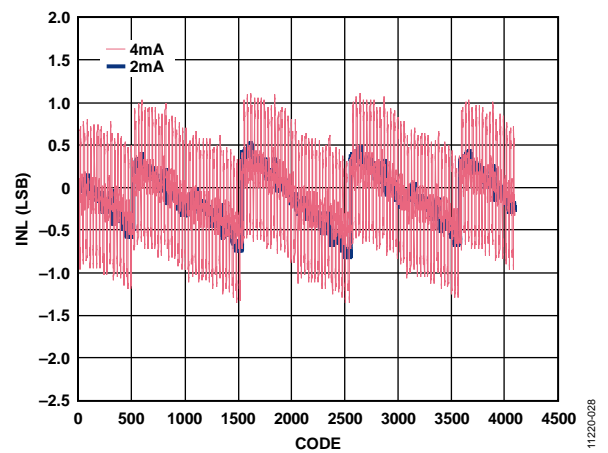


图28. 两个 I_{OUTS} 值下的INL

11220-028

术语

线性误差(积分非线性或INL)

INL指实际模拟输出与理想输出的最大偏差，理想输出由从零电平到满量程所画的直线确定。

差分非线性(DNL)

DNL用于衡量数字输入代码改变1 LSB时模拟值(用满量程归一化)的变化。

单调性

如果一个数模转换器(DAC)的输出随着数字输入的增加而增加，或者保持不变，则认为该DAC是单调的。

失调误差

失调误差指输出电流与理想0值的偏差。对于IOUTP，当所有输入均置0时，预期输出为0 mA。对于IOUTN，当所有输入均置1时，预期输出为0 mA。

增益误差

增益误差指实际输出范围与理想输出范围的差异。所有输入均置1时的输出减去所有输入均置0时的输出便得到实际范围。理想增益利用实测 V_{REF} 计算。因此，增益误差不包括基准源的影响。

输出顺从电压

输出顺从电压范围指电流输出DAC输出端的容许电压范围。超出最大限值工作可能会引起输出级饱和或击穿，导致非线性性能。

温度漂移

温度漂移衡量环境温度(25°C)值与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围。失调和增益漂移用每摄氏度(°C)满量程范围(FSR)的ppm表示。基准电压漂移用每摄氏度ppm表示(ppm/°C)。

电源抑制

电源抑制衡量电源从最小额定电压变为最大额定电压时，满量程输出的最大变化。

建立时间

建立时间指输出达到并保持在以最终值为中心的规定误差范围内所需的时间，从输出跃迁开始时测量。

毛刺脉冲

DAC的非对称开关时间会产生不良输出瞬变，该瞬变用毛刺脉冲予以量化，定义为毛刺的面积，用pV-s表示。

无杂散动态范围(SFDR)

SFDR表示指定带宽内输出信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

噪声谱密度(NSD)

噪声谱密度是指DAC执行转换并产生输出信号音时，归一化到1 Hz带宽的平均噪声功率。

工作原理

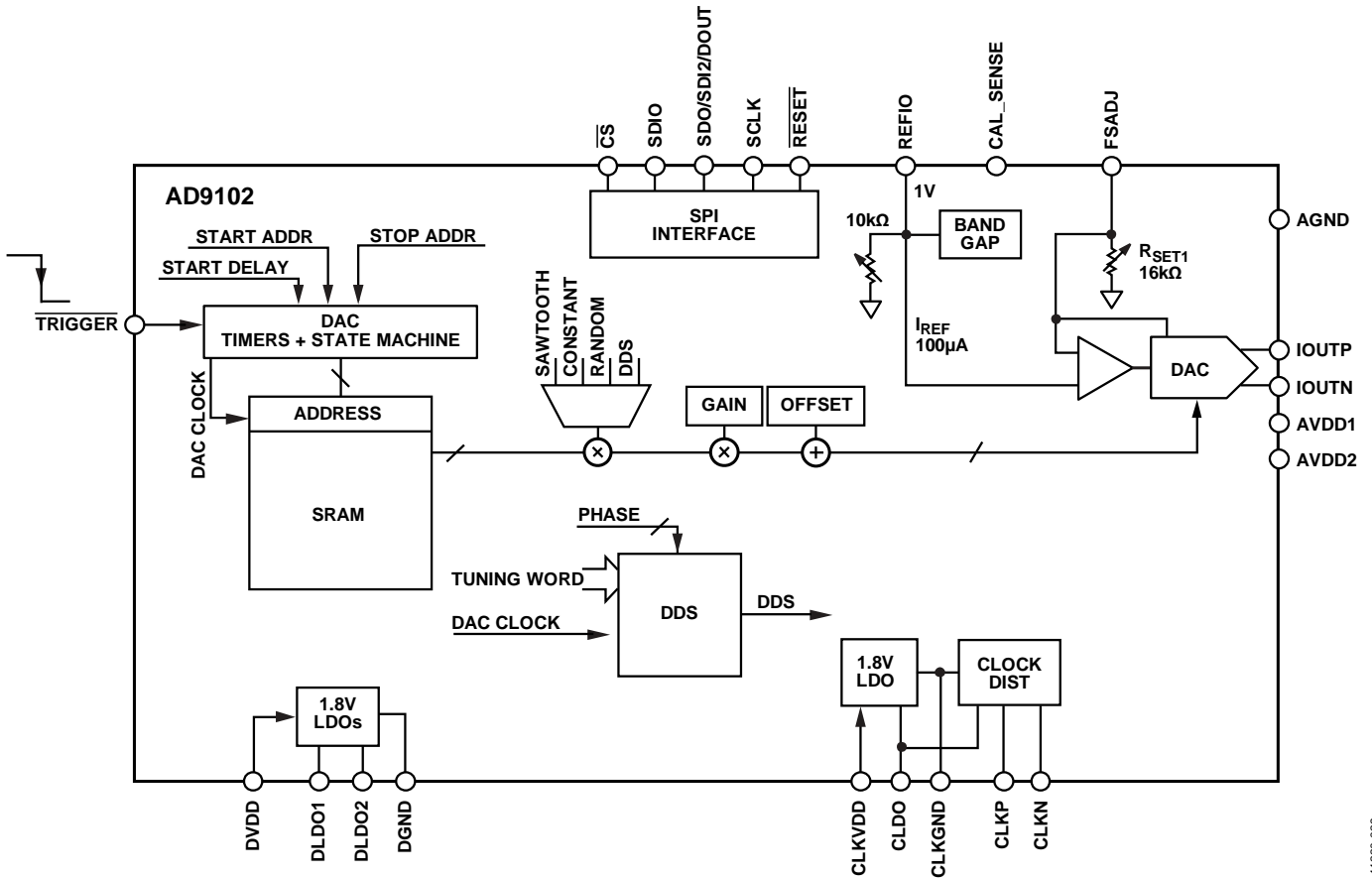


图29. AD9102功能框图

图29为AD9102的功能框图。AD9102有一个14位电流输出DAC。

内置一个片内带隙基准电压源。当然，也可以使用片外基准电压源。满量程DAC输出电流(也称为增益)受电流 I_{REF} 控制。 I_{REF} 是流经 I_{REF} 电阻的电流。 I_{REF} 设置电阻可以在片内或片外，由用户酌情决定。使用片内 R_{SET} 电阻时，可以利用内置自动增益校准功能来提高DAC增益精度。自动校准可以采用片内基准电压源或外部REFIO电压工作。自动增益校准的程序见下文。

AD9102有如下电源轨：AVDD用于模拟电路，CLKVDD/CLKLDO用于时钟输入接收器，DVDD/DLDO1/DLDO2用于数字I/O和片内数字数据速率。AVDD、DVDD和CLKVDD的标称值可以介于1.8V到3.3V。DLDO1、DLDO2和CLDO以1.8V工作。如果DVDD = 1.8V，应将DLDO1和DLDO2连接到DVDD，并禁用片内LDO。这种情况下，所有三个电源均由外部提供。如果CLKVDD = 1.8V，应将CLKVDD连接到CLDO，并使能片内LDO。

14位DAC的数字信号输入由片内数字波形发生源产生。14位样本以CLKP/CLKN采样速率从数字数据路径输入DAC。该数据路径包括增益和失调校正以及数字波形源选择复用器。波形源包括：SRAM、直接数字频率合成器(DDS)、由SRAM数据调制的DDS输出幅度、锯齿发生器、直流常数和伪随机序列发生器。源选择复用器输出的波形具有可编程模式特性。波形可以设置为连续式、连续脉冲式(固定模式周期，每个模式周期具有固定的起始延迟)或有限脉冲式(输出指定数量的模式周期，然后模式停止)。

脉冲式波形(有限或连续)具有编程设定的模式周期和起始延迟。波形在各脉冲周期的模式周期开始和起始延迟之后提供。

通过SPI端口将数据载入SRAM，以及对器件内部的所有控制寄存器进行编程。

AD9102

SPI端口

AD9102提供一个灵活的同步串行通信(SPI)端口,可以很方便地与ASIC、FPGA、工业标准微控制器接口。此接口可进行读/写操作,访问所有AD9102配置寄存器和片内SRAM。其数据速率可以达到表3和表4列出的SCLK时钟速度。

SPI接口用作标准同步串行通信端口。 \overline{CS} 是低电平有效片选信号。当 \overline{CS} 变为有效时,SPI地址和数据传输即开始。SPI主器件通过SDIO提供的第一位是读写指示位(高电平表示读操作,低电平表示写操作)。随后15位是初始寄存器地址。如果 \overline{CS} 在第一个数据字之后仍然保持低电平,SPI端口将自动递增寄存器地址,写入或读取一组连续地址。

表12. 命令字
MSB

LSB

DB15	DB14	DB13	DB12	...	DB2	DB1	DB0
R/W	A14	A13	A12	...	A2	A1	A0

当此命令字节的第一位是逻辑低电平(R/W位 = 0)时,SPI命令为写操作。这种情况下,SDIO仍为输入,参见图30。

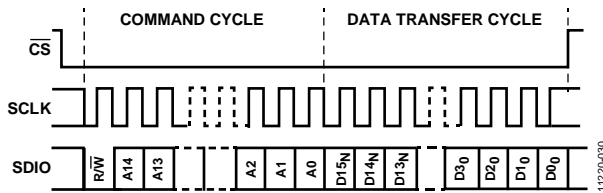


图30. 串行寄存器接口时序(MSB优先写操作, 3线SPI)

当此命令字节的第一位是逻辑高电平(R/W位 = 1)时,SPI命令为读操作。这种情况下,数据从SPI端口输出,如图31和图33所示。 \overline{CS} 引脚变为高电平后,SPI通信结束。

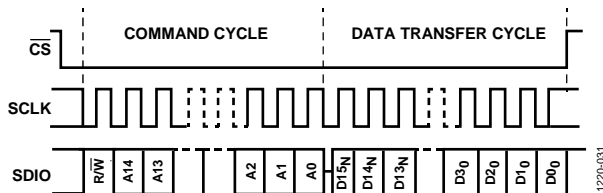


图31. 串行寄存器接口时序(MSB优先读操作, 3线SPI)

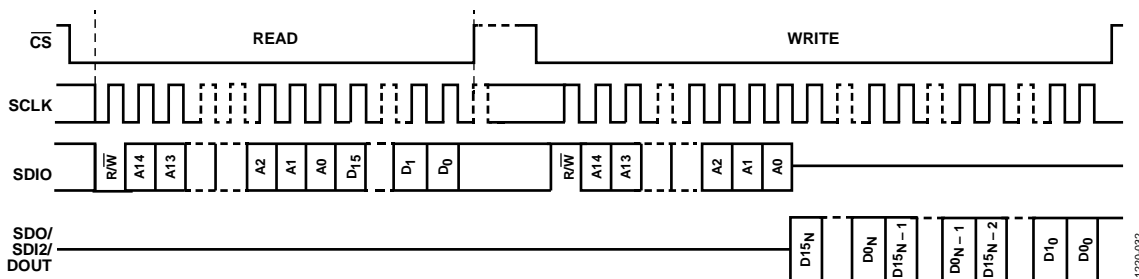


图33. 串行寄存器接口时序(MSB优先读操作, 4线SPI)

写入片内SRAM

AD9102内置一个4096 × 12 SRAM。SRAM地址空间是AD9102 SPI地址映射的0x6000至0x6FFF。

双SPI写入SRAM

利用图32所示的SPI访问模式,写入数据到整个SRAM的时间可以减半。SDO/SDI2/DOOUT线变成第二串行数据输入线,使得片内SRAM的更新速率可以加倍。这种模式下,SDO/SDI2/DOOUT是只读线。写入整个SRAM所需的时间为 $(2 + 2 \times 4096) \times 8 / (2 \times f_{SCLK})$ 秒。

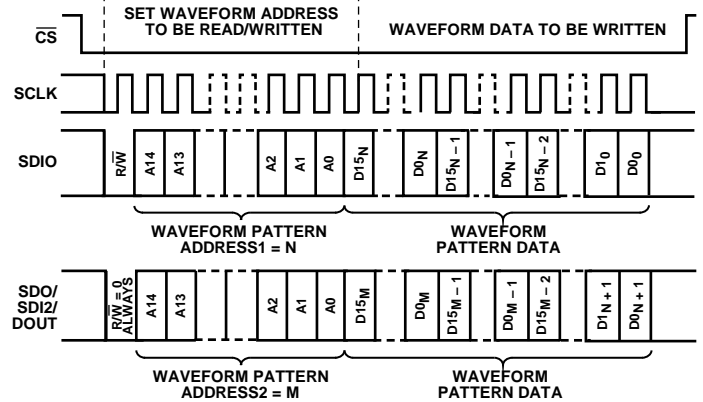


图32. 双SPI写入SRAM

配置寄存器更新程序

大部分SPI可访问寄存器是双缓冲型。在模式产生期间,一个有效寄存器集控制AD9102的操作。一组阴影寄存器存储更新的寄存器值。寄存器更新值可以随时写入。配置更新完成时,用户写入1到RAMUPDATE寄存器的UPDATE位。UPDATE位指示该寄存器集准备好将阴影寄存器内容传输到有效寄存器。AD9102在下次模式发生器关闭时自动执行此传输。该程序不适用于4k × 14 SRAM。关于SRAM更新程序,请参阅SRAM部分。

DAC传递函数

AD9102 DAC提供差分电流输出IOUTP/IOUTN。

DAC输出电流通过下式计算：

$$I_{OUTP} = I_{OUTFS} \times DAC \text{ INPUT CODE} / 2^{14} \quad (1)$$

$$I_{OUTN} = I_{OUTFS} \times ((2^{14} - 1) - DAC \text{ INPUT CODE}) / 2^{14} \quad (2)$$

其中， $DAC \text{ INPUT CODE} = 0$ 至 $2^{14} - 1$ 。满量程电流或DAC增益 I_{OUTFS} 是 I_{REF} 的32倍。

$$I_{OUTFS} = 32 \times I_{REF} \quad (3)$$

其中， $I_{REF} = V_{REFIO} / R_{SET}$ 。

I_{REF} 是流经 R_{SET} 电阻的电流。 R_{SET} 电阻可以在片内或片外，由用户酌情决定。使用片内 R_{SET} 电阻时，可以利用内置自动增益校准功能来提高DAC增益精度。

模拟电流输出

DAC输出以差分方式连接到放大器或变压器时，可实现最佳线性和噪声性能。这种配置可抑制DAC输出端的共模信号。

要达到表1和表2给出的性能标准，必须遵守这些表格中列出的输出顺从电压要求。

设置 I_{OUTFS} DAC增益

如公式3所示，DAC增益(I_{OUTFS})是REFIO端基准电压和 R_{SET} 的函数。

基准电压源

AD9102内置一个标称值1.0 V带隙基准电压源。既可以使用该内部基准电压源，也可以用更精确的片外基准电压源取而代之。外部基准电压源可以提供比片内带隙基准电压源更严格的基准电压误差和/或更低的温漂。

默认情况下，片内基准电压源上电且可用。使用片内基准电压源时，REFIO端需要利用0.1 μ F电容去耦到AGND，如图34所示。

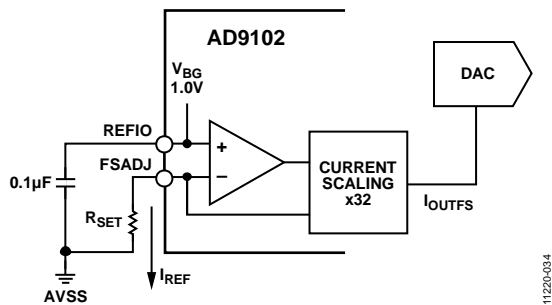


图34. 片内基准电压源和外部 R_{SET} 电阻

表13总结了基准电压源连接和编程。

表13. 基准电压源操作

基准电压源模式	REFIO引脚
内部	连接0.1 μ F电容
外部	连接片外基准电压源

使用外部基准电压源时，建议将外部基准电压源施加于REFIO引脚。

内部 V_{REFIO} 编程

内部REFIO电平可编程。

使用内部基准电压源时，寄存器0x03的低6位BGDR域用于调整 V_{REFIO} 电平，将REFIO上的标称带隙电压增加或减少20%。FSADJ电阻上的电压会跟踪此变化。因此， I_{REF} 也会产生同样的变化。图35显示 V_{REFIO} 与BGDR码之间的关系，片内基准电压源的默认电压(BGDR = 0x00)为1.04 V。

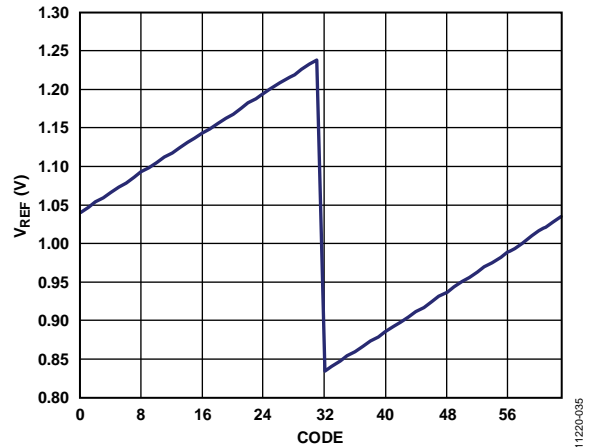


图35. V_{REFIO} 电压典型值与BGDR的关系

R_{SET} 电阻

公式3“其中”语句中的 R_{SET} 既可以是内部电阻，也可以是用户选择的板级电阻，连接到FSADJ引脚。

要使用片内 R_{SET} 电阻，应将FSADJ寄存器的位15设为逻辑1。FSADJ寄存器的位[4:0]用于手动设置片内 R_{SET} 值。

I_{OUTFS} 自动校准

许多应用要求严格的DAC增益控制。AD9102提供一个 I_{OUTFS} 自动校准程序，它只能与片内 R_{SET} 电阻一起使用。基准电压 V_{REFIO} 可以是片内或片外基准电压。自动校准程序对内部 R_{SET} 值和电流 I_{REF} 进行精密调整。

AD9102

使用自动校准时，需要下列板级连接：

1. 将FSADJ引脚和CAL_SENSE引脚连接在一起。
2. 在CAL_SENSE引脚与AGND之间安装一个电阻。此电阻的值通过下式计算：

$$R_{CAL_SENSE} = 32 \times V_{REFIO} / I_{OUTFS}$$

其中， I_{OUTFS} 为目标满量程电流。

自动校准使用内部时钟。此校准时钟等于DAC时钟除以寄存器0x0D的CAL_CLK_DIV位所选择的分频系数。每个校准周期介于4到512个DAC时钟周期之间，具体取决于CAL_CLK_DIV[2:0]的值。校准时钟的频率应小于500 kHz。

要执行自动校准，必须执行下列步骤：

1. 将寄存器0x008[7:0]和寄存器0x0D[5:4]中的校准范围设置为最小值，以便获得最佳校准。
2. 使能寄存器0x0D中的校准时钟位CAL_CLK_EN。
3. 设置寄存器0x0D中的校准时钟分频比位CAL_CLK_DIV[2:0]。默认值为512。
4. 将寄存器0x0D的CAL_MODE_EN位设置为逻辑1。
5. 将寄存器0x0E的START_CAL位设置为逻辑1。随机开始校准比较器、 R_{SET} 和增益。
6. 器件校准时，寄存器0x0D中的CAL_MODE标志位变为逻辑1。校准完成时，寄存器0x0E中的CAL_FIN标志位变为逻辑1。
7. 将寄存器0x0E的START_CAL位设置为逻辑0。
8. 校准完成后，验证寄存器0x0D中的上溢和下溢标志位未置1(位[14:8])。如果有标志位置1，应将相应的校准范围更改为下一个较大的范围，并从步骤5重新开始。
9. 如果无标志位置1，则分别读取DACRSET和DACAGAIN寄存器中的DAC_RSET_CAL和DAC_GAIN_CAL值，并将其写入对应的DAC_RSET和DAC_GAIN寄存器域。
10. 将寄存器0x0D的CAL_MODE_EN位和校准时钟位CAL_CLK_EN复位至逻辑0，禁用校准时钟。
11. 将寄存器0x0D的CAL_MODE_EN位设置为逻辑0。这将把RSET和增益控制复用器指向常规寄存器。
12. 禁用寄存器0x0D中的校准时钟位CAL_CLK_EN。

要复位校准，可发送脉冲使寄存器0x0D的CAL_RESET位先变为逻辑1再变为逻辑0，发送脉冲至RESET引脚，或发送脉冲至SPICONFIG寄存器的RESET位。

时钟输入

为实现最佳DAC性能，AD9102时钟输入信号对(CLKP/CLKN)应是极低抖动、快速上升时间的差分信号。时钟接收器产生自己的共模电压，要求这两个输入交流耦合。

图36显示了能够很好地与AD9102协作的多种ADI LVDS时钟驱动器的建议接口。使用一个100 Ω终端电阻和两个0.1 μF耦合电容。图38显示了与ADI差分PECL驱动器的接口。图39显示了使用巴伦驱动CLKP/CLKN的单端转差分转换器。

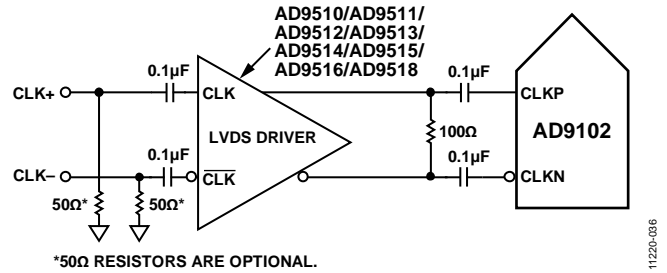


图36. 差分LVDS时钟输入

在模拟输出信号频率较低的应用中，AD9102时钟输入可以利用单端CMOS信号驱动。图37显示了这种接口。CLKP引脚直接由CMOS门电路驱动，CLKN引脚则通过与39 kΩ电阻并联的0.1 μF电容旁路至地。可选电阻为串联端接电阻。

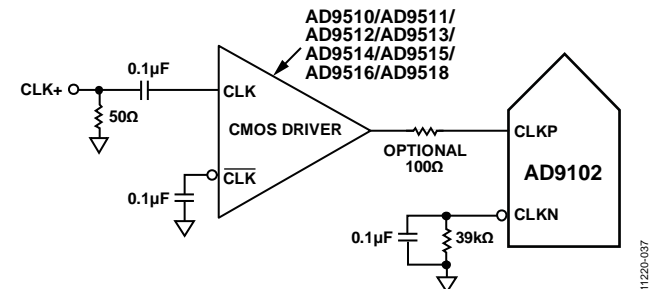


图37. 单端1.8 V CMOS采样时钟

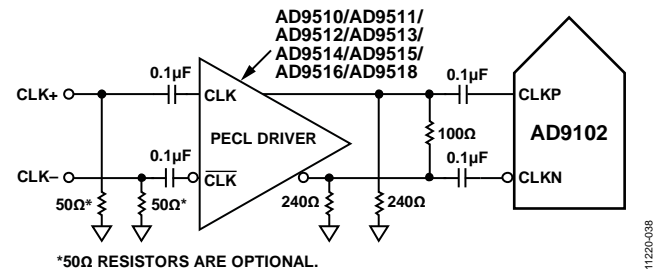


图38. 差分PECL采样时钟

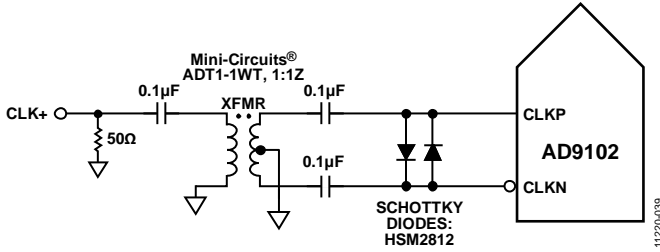


图39. 变压器耦合时钟

DAC输出时钟沿

通过配置CLOCKCONFIG寄存器(0x02)的DAC_INV_CLK位，DAC可以在CLKP/CLKN时钟输入的上升沿或下降沿输出样本。此功能将DAC输出时序分辨率设置为 $1/(2 \times f_{CLKP/CLKN})$ 。

产生信号模式

在可编程模式发生器的控制下，AD9102可以产生三类信号模式。

- 连续波形
- 无限重复的周期性脉冲串波形
- 重复有限次数的周期性脉冲串波形

RUN位

将PAT_STATUS寄存器(0x1E)的RUN位置1，AD9102即准备产生模式。此位清0将关断模式发生器，如图43所示。

TRIGGER引脚

TRIGGER引脚上的下降沿启动模式产生。如果RUN位置1，则TRIGGER引脚的下降沿启动模式产生。如图41所示，在TRIGGER引脚下降沿之后的若干CLKP/CLKN时钟周期，模式发生器进入模式开启状态。此延迟通过PATTERN_DELAY位域设置。

TRIGGER引脚的上升沿请求终止模式产生，参见图42。

PATTERN位(只读)

当PAT_STATUS寄存器的只读位PATTERN置1时，表示模式发生器处于模式开启状态。0表示模式发生器处于模式关闭状态。

模式类型

- 在模式发生器的模式开启状态期间，DAC输出连续波形。连续波形忽略模式周期。
- 无限重复的周期性脉冲串是在各模式周期期间输出的一次性波形。只要模式发生器处于模式开启状态，模式周期就会一个接一个出现。

- 重复有限次数的周期性脉冲串与无限重复的脉冲串大致相同，区别在于波形是在有限数量的连续模式周期中输出。

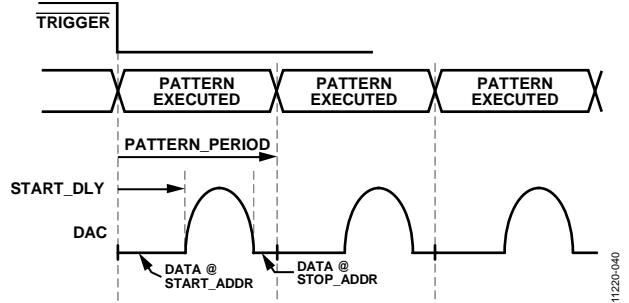


图40. 所有DAC的周期性脉冲串输出

模式发生器编程

图40显示各DAC输出端观察到的周期性脉冲串波形。波形在各模式周期中产生。起始延迟(START_DLY)是指各模式周期的开始与波形的开始之间的延迟时间。DAC波形是一个数字信号，存储在SRAM中，并乘以DAC数字增益系数。SRAM数据利用DAC地址计数器读取。

设置模式周期

使用两个寄存器位域来设置模式周期。PAT_TIMEBASE寄存器的PAT_PERIOD_BASE域设置每个PATTERN_PERIOD LSB的CLKP/CLKN时钟数。PATTERN_PERIOD通过PAT_PERIOD寄存器设置。最长模式周期为 $65,535 \times 16/f_{CLKP/N}$ 。

设置波形起始延迟基数

波形起始延迟基数通过PAT_TIMEBASE寄存器的START_DELAY_BASE位(寄存器0x28[3:0])设置。START_DELAY寄存器(0x5C)详见“DAC输入数据路径”部分。起始延迟基数决定每个START_DELAY LSB有多少CLKP/CLKN时钟周期。

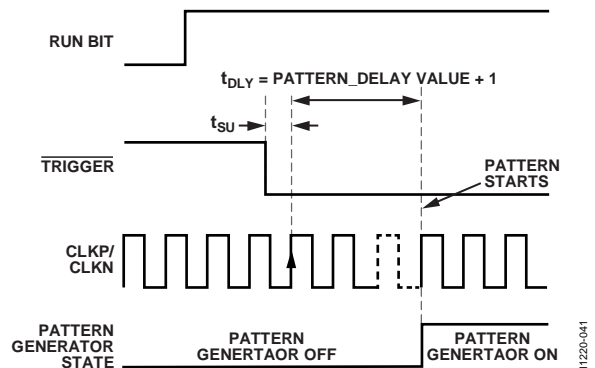


图41. TRIGGER引脚驱动的模式开始和模式延迟

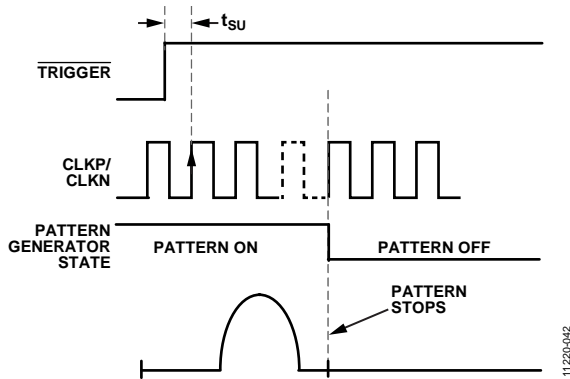


图42. 触发上升沿驱动的模式停止

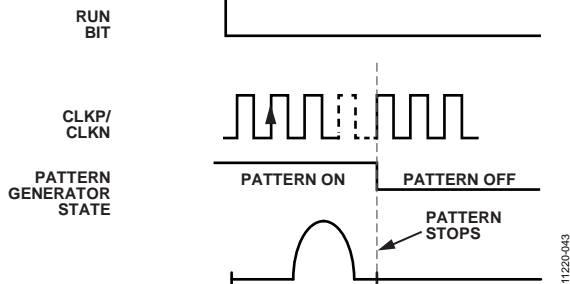


图43. RUN位驱动的模式停止

DAC输入数据路径

DAC数据路径的时序由模式发生器控制。数据路径包括波形选择器、波形重复控制器、RAM输出和DDS输出乘法器(RAM输出可以对DDS输出进行幅度调制)、DDS周期计数器、DAC数字增益乘法和DAC数字偏移加法器。

DAC数字增益乘法器

样本在前往DAC的路上，会乘以一个范围为 ± 2.0 的12位增益系数。这些增益值通过DAC_DGAIN寄存器(0x35)设置。

DAC数字偏移加法器

DAC输入样本与一个12位直流偏移值相加。该直流偏移值通过DACDOF寄存器(0x25)设置。

DAC波形选择器

波形选择器输入包括：

- 锯齿发生器输出
- 伪随机序列发生器输出
- 直流常数发生器输出
- 脉冲式相移DDS正弦波输出
- RAM输出
- 脉冲式相移DDS正弦波输出幅度，由RAM输出调制

DAC的波形选择通过设置WAV_CONFIG寄存器(0x27)实现。

模式周期重复控制器

PAT_TYPE寄存器的PATTERN_RPT位(寄存器0x1F[0])控制模式输出是自动重复(无限周期性脉冲串重复)，还是连续重复一定的次数(由寄存器0x2B的DAC_REPEAT_CYCLE位指定)。后者是重复有限次数的周期性脉冲串。

DDS周期数

DAC输入数据路径用正弦波周期数确定DDS输出正弦波的脉冲宽度。该周期数通过DDS_CYC寄存器设置。

DDS相移

DAC输入数据路径可以使单个公共DDS的输出发生相移。该相移通过DDS_PHASE域设置。

DOUT功能

在AD9102 DAC驱动高压放大器(例如超声传感器阵列元件驱动器信号链)的应用中，可能需要在相对于AD9102 DAC输出波形的精确时间点开启和关闭各放大器。SDO/SDI2/DOUT引脚可用来实现此功能。

SPI接口需要配置为3线模式(图30和图31)，这可通过设置SPICONFIG寄存器(0x00)的SPI3WIRE或SPI3WIREM位来实现。当SPICONFIG寄存器的SPI_DRV或SPI_DRV_M位设为逻辑1时，SDO/SDI2/DOUT引脚提供DOUT功能。

手动控制DOUT

如果DOUT_CONFIG寄存器(0x2D)的DOUT_MODE位为0，就可以使用该寄存器的DOUT_VAL位开启或关闭DOUT。

模式发生器控制DOUT

图44显示模式发生器控制的DOUT脉冲的上升沿。图45显示下降沿。模式发生器控制DOUT通过设置DOUT_MODE位=1来设置。然后，通过DOUT_START寄存器(0x2C)设置起始延迟，并通过DOUT_CONFIG寄存器的DOUT_STOP位设置停止延迟。

当DOUT_START[15:0] CLKP/CLKN在输入TRIGGER引脚的信号下降沿之后循环时，DOUT变为高电平。只要模式一直产生，DOUT就会保持高电平。当DOUT_STOP[3:0] CLKP/CLKN在导致模式产生停止的时钟沿之后循环时，DOUT变为低电平。

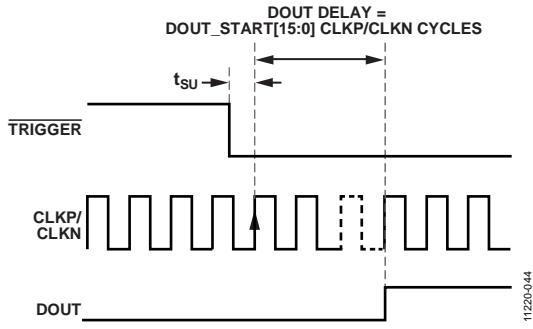


图44. DOUT启动序列

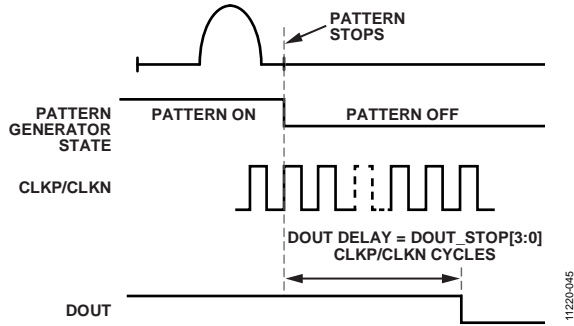


图45. DOUT停止序列

直接数字频率合成器(DDS)

DDS以其调谐字输入决定的频率产生正弦波。该调谐字为24位宽。DDS调谐分辨率为 $f_{CLKP/N} / 2^{24}$ 。DDS输出频率为 $DDS_TW \times f_{CLKP/N} / 2^{24}$ 。

DDS调谐字可通过两种方法设置。对于固定频率，DDSTW_MSB和DDSTW_LSB位域设置为常数。如果DDS的频率需要在各模式周期内改变，则SRAM中存储的一系列值与选择的DDSTW_MSB位组合成调谐字。

SRAM

AD9102 4k × 14 SRAM可以包含信号样本、幅度调制模式、DDS调谐字列表或DDS输出相位偏移列表。只要SRAM未积极参与模式产生(RUN位 = 0)，就可以通过SPI端口写入和读出任何SRAM数据地址。要写入任意SRAM地址，请按如下方式设置PAT_STATUS寄存器(0x1E)：

- BUF_READ = 0
- MEM_ACCESS = 1
- RUN = 0

要从任意SRAM地址读取数据，请按如下方式设置PAT_STATUS：

- BUF_READ = 1
- MEM_ACCESS = 1
- RUN = 0

当SRAM积极参与模式产生时(RUN = 1)，AD9102允许对SRAM进行SPI读写访问，但有一些限制。

用于SRAM的SPI端口地址空间为0x6000至0x6FFF。

可以利用图30至图32所示的任意SPI工作模式访问SRAM。使用图31和图33所示的SPI工作模式，可以在 $(2 + 2 \times 4096) \times 8 / f_{SLCK}$ 秒内写入整个SRAM。

当PAT_STATUS寄存器RUN位 = 1(模式产生使能)时，利用SRAM地址计数器读取数据。地址计数器具有START_ADDR(起始地址)和STOP_ADDR(停止地址)。在各模式周期，数据在START_DELAY时间之后从SRAM读出，同时各地址计数器递增。

当PAT_STATUS寄存器RUN位 = 1(模式产生使能)时，可以通过SPI端口写入或读出START_ADDR和STOP_ADDR定义的范围以外的SRAM数据。

递增模式产生模式SRAM地址计数器

SRAM地址计数器可以设置为由CLKP/CLKN(默认)或DDS MSB上升沿递增。具体选择由DDS_CONFIG寄存器的DDS_MSB_EN位决定。例如，当利用SRAM中的一组调谐字从DDS产生线性跳频(chirp)波形时，可以利用DDS MSB为地址计数器提供时钟。每个频率设置驻留一个DDS输出正弦波周期。

锯齿发生器

通过WAV_CONFIG寄存器的PRESTORE_SEL位选择锯齿时，锯齿发生器连接到DAC数字数据路径。

锯齿类型如图46所示，通过SAW_CONFIG寄存器的SAW_TYPE位选择。锯齿波形每一步的样本数通过SAW_STEP位设置。

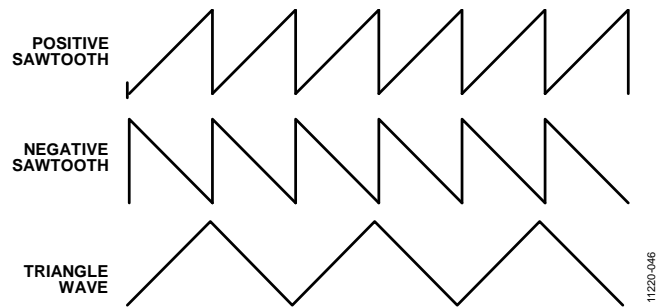


图46. 锯齿模式

AD9102

伪随机信号发生器

当WAV_CONFIG寄存器的PRESTORE_SEL域选择伪随机序列时，伪随机噪声发生器在各DAC输出产生一个噪声信号。伪随机噪声信号只能以连续波形形式产生。

直流常数

当WAV_CONFIG寄存器的PRESTORE_SEL位选择常数值时，DAC产生0.0到 I_{OUTFS} 的可编程直流值。直流常数电流只能以连续波形形式产生。

直流电流值通过写入相应DAC_CST寄存器的DAC_CONST域来设置。

电源须知

AD9102电源轨要求参见表9。AD9102包括三个片内线性稳压器。这些稳压器驱动电源轨以1.8 V工作。这些稳压器有如下使用规则需要注意：

- 当CLKVDD为2.5 V或更高时，可以使用1.8 V片内CLDO稳压器。如果CLKVDD = 1.8 V，必须将POWERCONFIG寄存器的PDN_LDO_CLK位置1以禁用CLDO稳压器。CLKVDD和CLDO连接在一起。

- 当DVDD为2.5 V或更高时，可以使用1.8 V片内DLDO1和DLDO2稳压器。如果DVDD = 1.8 V，必须将POWERCONFIG寄存器的PDN_LDO_DIG1位和PDN_LDO_DIG2位置1以禁用DLDO1和DLDO2稳压器。DVDD、DLDO1和DLDO2连接在一起。

省电功能

利用POWERCONFIG寄存器，用户可以在CLKP/CLKN输入运行且电源开启的同时，将AD9102置于低功耗状态。通过将POWERCONFIG寄存器的DAC_SLEEP位置1，可以将DAC置于休眠状态。通过设置CLOCKCONFIG寄存器的CLK_PDN位，可以开启和关闭波形发生器及DAC的时钟。采取这些措施将使AD9102进入省电模式，详见表8。

应用

信号产生示例

图47显示 $4k \times 14$ SRAM中START_ADDR和STOP_ADDR所定义地址段中存储的波形由DAC输出。该波形在各模式周期中重复一次。在每个模式周期中，经过起始延迟后，从SRAM读出模式。

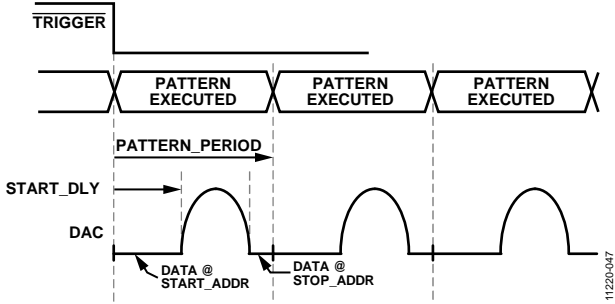


图47. SRAM中的模式

图48显示DAC产生的正弦波。DDS以设定的频率产生正弦波。DAC输入数据路径的起始延迟和要输出的正弦波周期数通过编程设置。

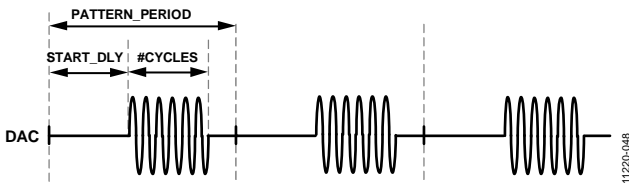


图48. 模式周期中的脉冲式正弦波

图49显示DAC在连续模式周期(具有一定起始延迟)中产生的锯齿波形。

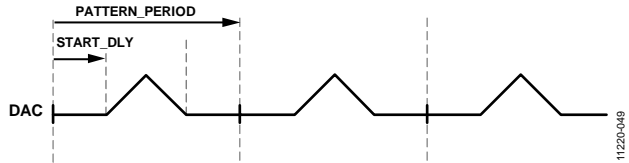


图49. 模式周期中的脉冲式锯齿波形

图50显示DAC输出一个由幅度包络调制的正弦波。正弦波由DDS产生，幅度包络存储在SRAM中。起始延迟和数字增益系数应用于DAC输入数据路径。

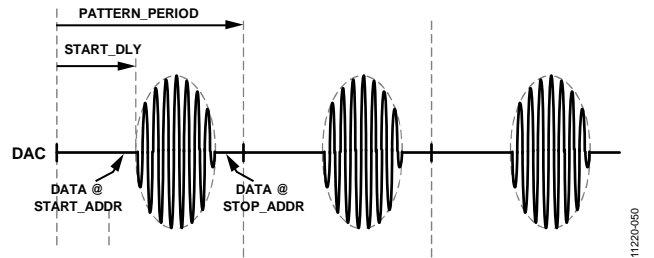


图50. 由SRAM包络调制的DDS输出幅度

图51和图52显示DAC产生连续波形，一个有起始延迟，另一个没有。

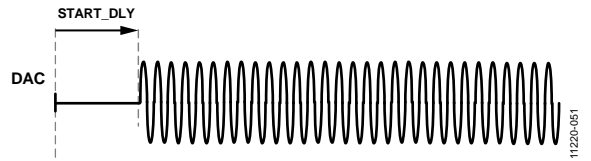


图51. 具有起始延迟的波形



图52. 无起始延迟的波形

图53显示一个利用SRAM中存储的一组DDS调谐字产生的FSK调制信号。SRAM地址计数器由DDS输出MSB的上升沿递增。

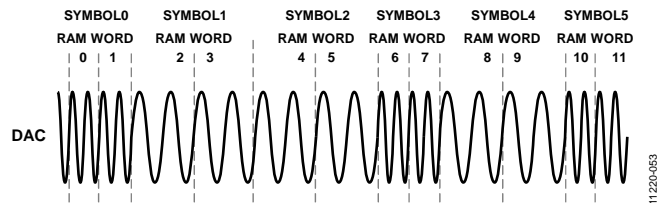


图53. FSK调制信号

AD9102

寄存器映射

表 14. 寄存器小结

寄存器	名称	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位值	RW	
0x00	SPICONFIG	[15:8]	LSBFIRST	SPI3WIRE	RESET	DOUBLESPI	SPI_DRV	DOUT_EN	RESERVED[9:8]			0x0000	RW
		[7:0]	RESERVED[7:6]			DOUT_ENM	SPI_DRVM	DOUBLESPIM	RESETM	SPI3WIREM	LSBFIRSTM		
0x01	POWERCONFIG	[15:8]	RESERVED				CLK_LDO_STAT	DIG1_LDO_STAT	DIG2_LDO_STAT	PDN_LDO_CLK		0x0000	RW
		[7:0]	PDN_LDO_DIG1	PDN_LDO_DIG2	REF_PDN	REF_EXT	DAC_SLEEP	RESERVED					
0x02	CLOCKCONFIG	[15:8]	RESERVED				DIS_CLK	RESERVED			0x0000	RW	
		[7:0]	DIS_DCLK	CLK_SLEEP	CLK_PDN	EPS	DAC_INV_CLK	RESERVED					
0x03	REFADJ	[15:8]	RESERVED[15:8]								0x0000	RW	
		[7:0]	RESERVED[7:6]			BGDR							
0x07	DACAGAIN	[15:8]	RESERVED	DAC_GAIN_CAL						0x0000	RW		
		[7:0]	RESERVED	DAC_GAIN									
0x08	DACRANGE	[15:8]	RESERVED								0x0000	RW	
		[7:0]	RESERVED						DAC_GAIN_RNG				
0x0C	DACRSET	[15:8]	DAC_RSET_EN	RESERVED			DAC_RSET_CAL				0x000A	RW	
		[7:0]	RESERVED			DAC_RSET							
0x0D	CALCONFIG	[15:8]	RESERVED	COMP_OFFSET_OF	COMP_OFFSET_UF	RSET_CAL_OF	RSET_CAL_UF	GAIN_CAL_OF	GAIN_CAL_UF	CAL_RESET	0x0000	RW	
		[7:0]	CAL_MODE	CAL_MODE_EN	COMP_CAL_RNG		CAL_CLK_EN	CAL_CLK_DIV					
0x0E	COMPOFFSET	[15:8]	RESERVED	COMP_OFFSET_CAL							0x0000	RW	
		[7:0]	RESERVED						AL_FIN	TART_CAL			
0x1D	RAMUPDATE	[15:8]	RESERVED[15:8]								0x0000		
		[7:0]	RESERVED[7:1]							UPDATE			
0x1E	PAT_STATUS	[15:8]	RESERVED[15:8]								0x0000	RW	
		[7:0]	RESERVED[7:4]				BUF_READ	MEM_ACCESS	PATTERN	RUN			
0x1F	PAT_TYPE	[15:8]	RESERVED[15:8]								0x0000	RW	
		[7:0]	RESERVED[7:1]							PATTERN_RPT			
0x20	PATTERN_DLY	[15:8]	PATTERN_DELAY[15:8]								0x000E	RW	
		[7:0]	PATTERN_DELAY[7:0]										
0x25	DACDOF	[15:8]	DAC_DIG_OFFSET[15:8]								0x0000	RW	
		[7:0]	DAC_DIG_OFFSET[7:5]				RESERVED						
0x27	WAV_CONFIG	[15:8]	RESERVED								0x0000	RW	
		[7:0]	RESERVED	PRESTORE_SEL			RESERVED	CH_ADD	WAVE_SEL				
0x28	PAT_TIMEBASE	[15:8]	RESERVED				HOLD				0x0111	RW	
		[7:0]	PAT_PERIOD_BASE				START_DELAY_BASE						
0x29	PAT_PERIOD	[15:8]	PATTERN_PERIOD[15:8]								0x8000	RW	
		[7:0]	PATTERN_PERIOD[7:0]										
0x2B	DAC_PAT	[15:8]	RESERVED								0x0101	RW	
		[7:0]	DAC_REPEAT_CYCLE										
0x2C	DOUT_START	[15:8]	DOUT_START[15:8]								0x0003	RW	
		[7:0]	DOUT_START[7:0]										
0x2D	DOUT_CONFIG	[15:8]	RESERVED[15:8]								0x0000	RW	
		[7:0]	RESERVED[7:6]			DOUT_VAL	DOUT_MODE	DOUT_STOP					
0x31	DAC_CST	[15:8]	DAC_CONST[15:8]								0x0000	RW	
		[7:0]	DAC_CONST[7:5]				RESERVED						
0x35	DAC_DGAIN	[15:8]	DAC_DIG_GAIN[15:8]								0x0000	RW	
		[7:0]	DAC_DIG_GAIN[7:5]				RESERVED						
0x37	SAW_CONFIG	[15:8]	RESERVED						RESERVED		0x0000	RW	
		[7:0]	SAW_STEP						SAW_TYPE				
0x38 to 0x3D	RESERVED		RESERVED										
0x3E	DDS_TW32	[15:8]	DDSTW_MSB[15:8]								0x0000	RW	
		[7:0]	DDSTW_MSB[7:0]										

0x3F	DDS_TW1	[15:8]	DDSTW_LSB						0x0000	RW
		[7:0]	RESERVED							
0x43	DDS_PW	[15:8]	DDS_PHASE[15:8]						0x0000	RW
		[7:0]	DDS_PHASE[7:0]							
0x44	TRIG_TW_SEL	[15:8]	RESERVED[15:8]						0x0000	RW
		[7:0]	RESERVED[7:2]				TRIG_DELAY_EN	RESERVED		
0x45	DDS_CONFIG	[15:8]	RESERVED						0x0000	RW
		[7:0]	RESERVED		DDS_COS_EN	DDS_MSB_EN	PHASE_MEM_EN	TW_MEM_EN		
0x47	TW_RAM_CONFIG	[15:8]	RESERVED		RESERVED				0x0000	RW
		[7:0]	RESERVED		TW_MEM_SHIFT					
0x5C	START_DELAY	[15:8]	START_DELAY[15:8]						0x0000	RW
		[7:0]	START_DELAY[7:0]							
0x5D	START_ADDR	[15:8]	START_ADDR[15:8]						0x0000	RW
		[7:0]	START_ADDR[7:5]			RESERVED				
0x5E	STOP_ADDR	[15:8]	STOP_ADDR[15:8]						0x0000	RW
		[7:0]	STOP_ADDR[7:5]			RESERVED				
0x5F	DDS_CYC	[15:8]	DDS_CYC[15:8]						0x0001	RW
		[7:0]	DDS_CYC[7:0]							
0x60	CFG_ERROR	[15:8]	ERROR_CLEAR	RESERVED					0x0000	R
		[7:0]	RESERVED	DOUT_START_LG_ERR	PAT_DLY_SHORT_ERR	DOUT_START_SHORT_ERR	PERIOD_SHORT_ERR	ODD_ADDR_ERR		
0x6000 至 0x6FFF	SRAM_DATA	[15:8]	RESERVED			SRAM_DATA[11:8]			N/A	RW
		[7:0]	SRAM_DATA[7:0]							

AD9102

寄存器描述

SPI控制寄存器(SPICONFIG, 地址0x00)

表15. SPICONFIG的位功能描述

位	位的名称	设置	描述	复位值	访问类型
15	LSBFIRST		选择LSB优先。	0x0	RW
		0	符合SPI标准的MSB优先(默认)。		
		1	符合SPI标准的LSB优先。		
14	SPI3WIRE		选择SPI使用3线还是4线接口。	0x0	RW
		0	4线SPI。		
		1	3线SPI。		
13	RESET		执行SPI和控制器的软件复位, 重新加载默认寄存器值, 寄存器0x00除外。	0x0	RW
		0	正常状态。		
		1	复位0x0000之外的寄存器映射。		
12	DOUBLESPI		双SPI数据线。	0x0	RW
		0	SPI端口只有1条数据线, 可用作3线或4线接口。		
		1	SPI端口有2条双向数据线, 定义一个伪双3线接口, 其中 \overline{CS} 和SCLK由两个端口共享。此模式仅用于RAM数据读取或写入。		
11	SPI_DRV		SPI输出的驱动能力加倍。	0x0	RW
		0	单倍SPI输出驱动能力。		
		1	双倍SPI输出驱动能力。		
10	DOUT_EN		使能SDO/SDI2/DOUT引脚的DOUT信号。SDO/SDI2功能输入/输出。	0x0	RW
		0	DOUT功能输出。		
		1			
[9:6]	保留				RW
5	DOUT_ENM ¹		使能SDO/SDI2/DOUT引脚的DOUT信号。		RW
4	SPI_DRVM ¹		SPI输出的驱动能力加倍。	0x0	RW
	DOUBLESPIM ¹		双SPI数据线。	0x0	RW
2	RESETM ¹		执行SPI和控制器的软件复位, 重新加载默认寄存器值, 寄存器0x00除外。	0x0	RW
1	SPI3WIREM ¹		选择SPI使用3线还是4线接口。	0x0	RW
0	LSBFIRSTM ¹		选择LSB优先。	0x0	RW

¹ SPICONFIG[10:15]必须设置为SPICONFIG[5:0]的镜像, 以便在LSBFIRST位设置错误时能够轻松恢复SPI操作。(Bit 15 = Bit 0, Bit 14 = Bit 1, Bit 13 = Bit 2, Bit 12 = Bit 3, Bit 11 = Bit 4, Bit 10 = Bit 5)

电源状态寄存器(POWERCONFIG, 地址0x01)

表16. POWERCONFIG的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:12]	保留			0x0	RW
11	CLK_LDO_STAT		表示CLKVDD LDO开启的只读标志。	0x0	R
10	DIG1_LDO_STAT		表示DVDD1 LDO开启的只读标志。	0x0	R
9	DIG2_LDO_STAT		表示DVDD2 LDO开启的只读标志。	0x0	R
8	PDN_LDO_CLK		禁用CLKVDD LDO。需要外部电源。	0x0	RW
7	PDN_LDO_DIG1		禁用DVDD1 LDO。需要外部电源。	0x0	RW
6	PDN_LDO_DIG2		禁用DVDD2 LDO。需要外部电源。	0x0	RW
5	REF_PDN		关断片内REFIO。	0x0	RW
4	REF_EXT		始终置为0。	0x0	RW
3	DAC_SLEEP		禁用DAC输出电流。	0x0	RW
2	保留		禁用DAC2输出电流。	0x0	RW
1	保留		禁用DAC3输出电流。	0x0	RW
0	保留		禁用DAC4输出电流。	0x0	RW

时钟控制寄存器(CLOCKCONFIG, 地址0x02)

表17. CLOCKCONFIG的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:12]	保留			0x0	RW
11	DIS_CLK		禁用时钟分配模块的DAC输出的模拟时钟。	0x0	RW
10	保留			0x0	RW
9	保留		禁用时钟分配模块的DAC3输出的模拟时钟。	0x0	RW
8	RESERVED		禁用时钟分配模块的DAC4输出的模拟时钟。	0x0	RW
7	DIS_DCLK		禁用内核数字模块的时钟。	0x0	RW
6	CLK_SLEEP		使能极低功耗时钟模式。	0x0	RW
5	CLK_PDN		禁用并关断主时钟接收器。器件中无任何时钟有效。	0x0	RW
4	EPS		使能省电模式。启用时钟接收器的低功耗选项，但DAC时钟上升沿仍保持低抖动性能。DAC时钟下降沿的性能明显降低。	0x0	RW
3	DAC_INV_CLK		使用此位时无法使用EPS。反转DAC内核1中的时钟时，DAC更新时序发生180°相移。	0x0	RW
[2:0]	保留			0x0	RW

基准电阻寄存器(REFADJ, 地址0x03)

表18. REFADJ的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:6]	保留			0x000	RW
[5:0]	BGDR		调整片内REFIO电平(参见图35)。	0x00	RW

DAC模拟增益寄存器(DACAGAIN, 地址0x07)

表19. DACAGAIN的位功能描述

位	位的名称	设置	描述	复位值	访问类型
15	保留			0x0	RW
[14:8]	DAC_GAIN_CAL		DAC模拟增益校准输出；只读	0x00	R
7	保留			0x0	RW
[6:0]	DAC_GAIN		非校准模式下的DAC模拟增益控制，二进制补码	0x00	RW

DAC模拟增益范围寄存器(DACRANGE, 地址0x08)

表20. DACRANGE的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:2]	保留			0x00	RW
[1:0]	DAC_GAIN_RNG		DAC增益范围控制。	0x0	RW

AD9102

FSADJ寄存器(DACRSET, 地址0x0C)

表21. DACRSET的位功能描述

位	位的名称	设置	描述	复位值	访问类型
15	DAC_RSET_EN		要写入, 使能DAC的内部RSET电阻。要读取, 在校准模式期间使能DAC 1的R _{SET} 。	0x0	RW
[14:13]	保留			0x0	RW
[12:8]	DAC_RSET_CAL		校准后DAC的R _{SET} 电阻值的数字控制; 只读。	0x00	R
[7:5]	保留			0x0	RW
[4:0]	DAC_RSET		设置DAC中R _{SET} 电阻值的数字控制。	0x0A	RW

校准寄存器(CALCONFIG, 地址0x0D)

表22. CALCONFIG的位功能描述

位	位的名称	设置	描述	复位值	访问类型
15	保留			0x0	RW
14	COMP_OFFSET_OF		补偿失调校准值上溢。	0x0	R
13	COMP_OFFSET_UF		补偿失调校准值下溢。	0x0	R
12	RSET_CAL_OF		R _{SET} 校准值上溢。	0x0	R
11	RSET_CAL_UF		R _{SET} 校准值下溢。	0x0	R
10	GAIN_CAL_OF		增益校准值上溢。	0x0	R
9	GAIN_CAL_UF		增益校准值下溢。	0x0	R
8	CAL_RESET		发送脉冲使此位先变为高电平再变为低电平, 将复位校准结果。	0x0	RW
7	CAL_MODE		表示正在使用校准的只读标志。	0x0	R
6	CAL_MODE_EN		使能增益校准电路。	0x0	RW
[5:4]	COMP_CAL_RNG		失调校准范围。	0x0	RW
3	CAL_CLK_EN		使能校准电路的校准时钟。	0x0	RW
[2:0]	CAL_CLK_DIV		设置从DAC时钟到校准时钟的分频器。	0x0	RW

补偿失调寄存器(COMPOFFSET, 地址0x0E)

表23. COMPOFFSET的位功能描述

位	位的名称	设置	描述	复位值	访问类型
15	保留			0x0	RW
[14:8]	COMP_OFFSET_CAL		比较器的失调校准结果。	0x00	R
[7:2]	RESERVED			0x00	RW
1	CAL_FIN		表示校准已完成的只读标志。	0x0	R
0	START_CAL		启动校准周期。	0x0	RW

更新模式寄存器(RAMUPDATE, 地址0x1D)

表24. RAMUPDATE的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:1]	保留			0x0000	RW
0	UPDATE		用新配置更新所有SPI设置(自清零)。	0x0	RW

命令/状态寄存器(PAT_STATUS, 地址0x1E)

表25. PAT_STATUS的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:3]	保留			0x000	RW
3	BUF_READ		回读更新缓冲器。	0x0	RW
2	MEM_ACCESS		使能存储器SPI访问。	0x0	RW
1	PATTERN		正在播放的模式的状态, 只读。	0x0	R
0	RUN		允许产生模式, 触发后停止模式。	0x0	RW

命令/状态寄存器(PAT_TYPE, 地址0x1F)

表26. PAT_TYPE的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:1]	保留			0x0000	RW
0	PATTERN_RPT	0 1	此位置1时, 模式重复寄存器0x002A和0x002B所定义的次数。 模式连续运行。 模式重复寄存器0x002A和0x002B所定义的次数。	0x0	RW

触发开始至真正模式延迟寄存器(PATTERN_DLY, 地址0x20)

表27. PATTERN_DLY的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:0]	PATTERN_DELAY		TRIGGER引脚为低电平到模式启动的时间, 表示为DAC时钟周期数 + 1。	0x000E	RW

DAC数字偏移寄存器(DACDOF, 地址0x25)

表28. DACDOF的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:4]	DAC_DIG_OFFSET		DAC数字偏移。	0x0000	RW
[3:0]	保留			0x0	RW

波形选择寄存器(WAV_CONFIG, 地址0x27)

表29. WAV_CONFIG的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:10]	保留			0x0	RW
[9:8]	保留			0x1	RW
[17:6]	保留			0x0	RW
[5:4]	PRESTORE_SEL	0 1 2 3	DAC常数值MSB/LSB寄存器中保存的常数值。 锯齿波, 其频率由DAC锯齿配置寄存器定义。伪随机序列。 DDS输出。	0x0	RW
3	保留			0x0	RW
2	CH_ADD	0	DAC正常工作。	0x0	RW
[1:0]	WAVE_SEL	0 1 2 3	从RAM的START_ADDR到STOP_ADDR部分读取的波形。预存波形。 预存波形, 使用START_DELAY和PATTERN_PERIOD。 预存波形, 由来自RAM的波形调制。	0x1	RW

AD9559

DAC时间控制寄存器(PAT_TIMEBASE, 地址0x28)

表30. PAT_TIMEBASE的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:12]	保留			0x0	RW
[11:8]	HOLD		DAC值保持样本的次数(0 = DAC保持1个样本)。	0x1	RW
[7:4]	PAT_PERIOD_BASE		每个PATTERN_PERIOD LSB的DAC时钟周期数(0 = PATTERN_PERIOD LSB = 1 DAC时钟周期)。	0x1	RW
[3:0]	START_DELAY_BASE		每个START_DELAY × LSB的DAC时钟周期数(0 = START_DELAY × LSB = 1 DAC时钟周期)。	0x1	RW

模式周期寄存器(PAT_PERIOD, 地址0x29)

表31. PAT_PERIOD的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:0]	PATTERN_PERIOD		模式周期寄存器。	0x8000	RW

DAC模式重复周期寄存器(DAC_PAT, 地址0x2B)

表32. DAC_PAT的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:8]	保留			0x01	RW
[7:0]	DAC_REPEAT_CYCLE		DAC模式重复周期数 + 1	0x01	RW

TRIGGER 开始至DOUT信号寄存器(DOUT_START, 地址0x2C)

表33. DOUT_START的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:0]	DOUT_START		TRIGGER引脚为低电平到DOUT信号为高电平的时间, 表示为DAC时钟周期数。	0x0003	RW

DOUT配置寄存器(DOUT_CONFIG, 地址0x2D)

表34. DOUT_CONFIG的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:6]	保留			0x000	RW
5	DOUT_VAL		手动设置DOUT信号值; 仅当DOUT_MODE = 0(手动模式)时有效。	0x0	RW
4	DOUT_MODE	0x0 0x1	设置不同的使能信号模式。 DOUT引脚是SDO/SDI2/DOUT引脚的输出, 由位5手动控制; 要使用此功能, 必须将寄存器0x00的DOUT_EN置1。 DOUT引脚是SDO/SDI2/DOUT的输出。此引脚由DOUT_START和DOUT_STOP控制。要使用此功能, 必须将寄存器0x00的DOUT_EN置1。	0x0	RW
[3:0]	DOUT_STOP		模式结束到DOUT信号变为低电平的时间, 表示为DAC时钟周期数。	0x0	RW

DAC常数值寄存器(DAC_CST, 地址0x31)

表35. DAC_CST的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:4]	DAC_CONST		DAC常数值的最有效位。	0x0000	RW
[3:0]	保留			0x0	RW

DAC数字增益寄存器(DAC_DGAIN, 地址0x35)**表36. DAC_DGAIN的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
[15:4]	DAC_DIG_GAIN		DAC数字增益。范围是+2到-2。	0x000	RW
[3:0]	保留			0x0	RW

DAC锯齿配置寄存器(SAW_CONFIG, 地址0x37)**表37. SAW_CONFIG的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
[15:8]	保留			0x01	RW
[7:2]	SAW_STEP		DAC每一步的样本数。	0x01	RW
[1:0]	SAW_TYPE	0 1 2 3	DAC的锯齿类型(正、负或三角)。 上斜坡锯齿波。 下斜坡锯齿波。 三角锯齿波。 无波, 零。	0x0	RW

DDS调谐字MSB寄存器(DDS_TW32, 地址0x3E)**表38. DDS_TW32的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
[15:0]	DDSTW_MSB		DDS调谐字MSB。	0x0000	RW

DDS调谐字LSB寄存器(DDS_TW1, 地址0x3F)**表39. DDS_TW1的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
[15:8]	DDSTW_LSB		DDS调谐字LSB。	0x00	RW
[7:0]	保留			0x00	RW

DDS相位偏移寄存器(DDS_PW, 地址0x43)**表40. DDS1_PW的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
[15:0]	DDS_PHASE		DDS相位偏移。	0x0000	RW

模式控制1寄存器(TRIG_TW_SEL, 地址0x44)**表41. TRIG_TW_SEL的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
[15:2]	保留			0x0000	RW
1	TRIG_DELAY_EN	0 1	使能起始延迟作为所有4个通道的触发延迟。 对所有模式重复延迟。 延迟仅应用于第一个模式的开始。	0x0	RW
0	保留			0x0	RW

AD9559

模式控制2寄存器(DDS_CONFIG, 地址0x45)

表42. DDS_CONFIG的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:4]	保留			0x0	RW
3	DDS_COS_EN		使能DDS余弦输出, 而非正弦波。	0x0	RW
2	DDS_MSB_EN		设置为0x0时, 选择SRAM地址计数器时钟作为CLKP/CLKN; 设置为0x1时, 选择DDS MSB。	0x0	RW
1	PHASE_MEM_EN	0x1 0x0	选择SRAM作为DDS相位偏移输入的来源。 选择DDS_PW作为DDS相位偏移的来源。	0x0	RW
0	TW_MEM_EN	0x1 0x0	选择TW_RAM_CONFIG寄存器中配置的SRAM和DDS_TW寄存器作为DDS调谐字输入的来源。 选择DDS_TW寄存器作为DS调谐字的来源。	0x0	RW

TW_RAM_CONFIG寄存器(TW_RAM_CONFIG, 地址0x47)

表43. TW_RAM_CONFIG的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:5]	保留			0x000	RW
[4:0]	TW_MEM_SHIFT	0x00 0x01 0x02 0x03 0x04 0x05 0x06 0x07 0x08 0x09 0x0A 0x0B 0x0C 0x0D 0x0E 0x0F 0x10 x	TW_MEM_EN1置1。此寄存器控制存储器数据合并到DDS1TW时的右移位。 DDSTW = {RAM[13:0],10'b0} DDSTW = {DDSTW[23],RAM[13:0],9'b0} DDSTW = {DDSTW[23:22],RAM[13:0],8'b0} DDSTW = {DDSTW[23:21],RAM[13:0],7'b0} DDSTW = {DDSTW[23:20],RAM[13:0],6'b0} DDSTW = {DDSTW[23:19],RAM[13:0],5'b0} DDSTW = {DDSTW[23:18],RAM[13:0],4'b0} DDSTW = {DDSTW[23:17],RAM[13:0],3'b0} DDSTW = {DDSTW[23:16],RAM[13:0],2'b0} DDSTW = {DDSTW[23:15],RAM[13:0],1'b0} DDSTW = {DDSTW[23:14],RAM[13:0]} DDSTW = {DDSTW[23:13],RAM[13:1]} DDSTW = {DDSTW[23:12],RAM[13:2]} DDSTW = {DDSTW[23:11],RAM[13:3]} DDSTW = {DDSTW[23:10],RAM[13:4]} DDSTW = {DDSTW[23:9],RAM[13:5]} DDSTW = {DDSTW[23:8],RAM[13:6]} 保留	0x00	RW

起始延迟寄存器(START_DLY, 地址0x5C)

表44. START_DLY的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:0]	START_DELAY		DAC的起始延迟。	0x0000	RW

起始地址寄存器(START_ADDR, 地址0x5D)

表45. START_ADDR的位功能描述

位	位的名称	设置	描述	复位值	访问类型
[15:4]	START_ADDR		DAC开始读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x0	RW

停止地址寄存器(STOP_ADDR, 地址0x5E)**表46. STOP_ADDR的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
[15:4]	STOP_ADDR		DAC停止读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x0	RW

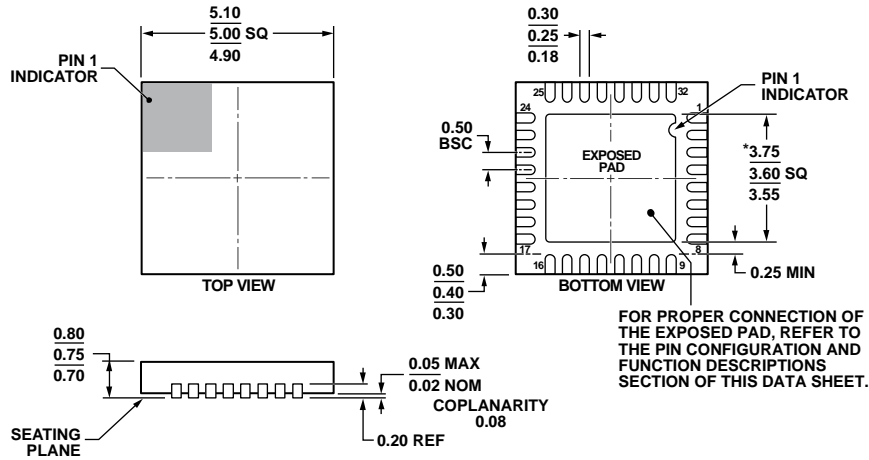
DDS周期数寄存器(DDS_CYC, 地址0x5F)**表47. DDS_CYC的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
[15:0]	DDS_CYC		DAC输出选择DDS预存的具有起始和停止延迟的波形时的正弦波周期数。	0x0001	RW

配置错误寄存器(CFG_ERROR, 地址0x60)**表48. CFG_ERROR的位功能描述**

位	位的名称	设置	描述	复位值	访问类型
15	ERROR_CLEAR		写入此位将清除所有错误。	0x0	R
[14:6]	保留			0x000	R
5	DOUT_START_LG_ERR		当DOUT_START值大于模式延迟时, 此错误置位。	0x0	R
4	PAT_DLY_SHORT_ERR		当模式延迟值小于默认值时, 此错误置位。	0x0	R
2	DOUT_START_SHORT_ERR		当DOUT_START值小于默认值时, 此错误置位。	0x0	R
2	PERIOD_SHORT_ERR		当周期寄存器设置值小于模式播放周期时, 此错误置位。	0x0	R
1	ODD_ADDR_ERR		在触发延迟模式下, 当存储器模式播放长度不均时, 此错误标志置位。	0x0	R
0	MEM_READ_ERR		存在存储器读取冲突时, 此错误标志置位。	0x0	R

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

图54. 32引脚引脚架构芯片级封装[LFCSP_WQ]
5 mm x 5 mm, 超薄体
(CP-32-12)
尺寸单位: mm

08-16-2010-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9102BCPZ	-40°C至+85°C	32引脚 LFCSP_WQ	CP-32-12
AD9102BCPZRL7	-40°C至+85°C	32引脚 LFCSP_WQ	CP-32-12
AD9102-EBZ		评估板	

¹ Z = 符合RoHS标准的器件。