



完整的双通道、16位、高精度、 串行输入、双极性电压输出DAC

AD5762R

产品特性

完整的双通道、16位数模转换器(DAC)

可编程输出范围: $\pm 10\text{ V}$ 、 $\pm 10.2564\text{ V}$ 或 $\pm 10.5263\text{ V}$

积分非线性(INL)误差: $\pm 1\text{ LSB}$ (最大值), 差分非线性(DNL)误差 $\pm 1\text{ LSB}$ (最大值)

低噪声: $60\text{ nV}/\sqrt{\text{Hz}}$

建立时间: $10\text{ }\mu\text{s}$ (最大值)

集成基准电压缓冲器

内部基准电压源: $10\text{ ppm}/^\circ\text{C}$ (最大值)

片内芯片温度传感器

上电/掉电期间输出受控

可编程短路保护

通过LDAC同时更新

异步CLR清零至零代码

数字失调和增益调整

逻辑输出控制引脚

DSP/微控制器兼容串行接口

温度范围: -40°C 至 $+85^\circ\text{C}$

iCMOS工艺技术

应用

工业自动化

开环/闭环伺服控制

过程控制

数据采集系统

自动测试设备

汽车测试与测量

高精度仪器仪表

概述

AD5762R是一款双通道、16位、串行输入、双极性输出DAC, 工作电压范围为 $\pm 11.4\text{ V}$ 至 $\pm 16.5\text{ V}$ 。标称满量程输出范围为 $\pm 10\text{ V}$ 。该器件内置输出放大器、基准电压缓冲器以及专用上电/断电控制电路。还有一个数字I/O端口, 可通过串行接口进行编程, 以及一个模拟温度传感器。每个通道均配有数字失调与增益调整寄存器。

AD5762R是一款高性能转换器, 保证单调性, 积分非线性(INL)为 $\pm 1\text{ LSB}$, 噪声很低, 建立时间为 $10\text{ }\mu\text{s}$ 。该器件包括一个片内 5 V 基准电压源, 温度系数为 $10\text{ ppm}/^\circ\text{C}$ (最大值)。上电期间, 当电源电压变化时, VOUTx 通过一个低阻抗路径箝位在 0 V 。

AD5762R基于iCMOS®技术平台制成, 该平台专为工业/仪器仪表设备OEM制造商的模拟系统设计师而设计, 他们需要能在较高电压下工作的高性能IC。基于iCMOS平台能够开发出可采用 30 V 电源、工作电压为 $\pm 15\text{ V}$ 的模拟IC, 同时可大大降低功耗、缩小封装尺寸并提升交流与直流性能。

AD5762R采用串行接口, 能够以最高 30 MHz 的时钟速率工作, 并且与DSP和微控制器接口标准兼容。利用双缓冲, 所有DAC可实现同时更新。输入编码可以通过编程设置为二进制补码或偏移二进制格式。异步清零功能可将所有DAC寄存器清零至双极性零或零电平, 具体取决于所用的编码方式。AD5762R是闭环伺服控制和开环控制应用的理想之选。它采用32引脚TQFP封装, 保证温度范围为 -40°C 至 $+85^\circ\text{C}$ 工业温度范围(其功能框图见图1)。

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2008–2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	功能寄存器	24
应用	1	数据寄存器	25
概述	1	粗调增益寄存器	25
修订历史	2	微调增益寄存器	25
功能框图	3	失调寄存器	26
技术规格	4	失调和增益调整成功范例	26
交流工作特性	6	设计特性	27
时序特性	7	模拟输出控制	27
绝对最大额定值	10	数字失调和增益控制	27
热阻	10	可编程短路保护	27
ESD警告	10	数字I/O端口	27
引脚配置和功能描述	11	芯片温度传感器	27
典型性能参数	13	局部接地失调调整	27
术语	19	应用信息	28
工作原理	21	典型工作电路	28
DAC架构	21	布局布线指南	30
基准电压缓冲	21	电流隔离接口	30
串行接口	21	微处理器接口	30
通过LDAC同时更新	22	评估板	31
传递函数	23	外形尺寸	32
异步清零(CLR)	23	订购指南	32
寄存器	24		

修订历史

2011年9月—修订版B至修订版C

将50 MHz改为30 MHz(通篇)	1
更改表3的参数 t_1 、 t_2 和 t_3	7

2011年7月—修订版A至修订版B

将30 MHz改为50 MHz(通篇)	1
更改表3的参数 t_1 、 t_2 和 t_3	7

2009年8月—修订版0至修订版A

删除表1的尾注1	4
删除表2的尾注1	6
删除表3的尾注1	7
更改表3的参数 t_0	7

2008年12月—版本0: 初始版

功能框图

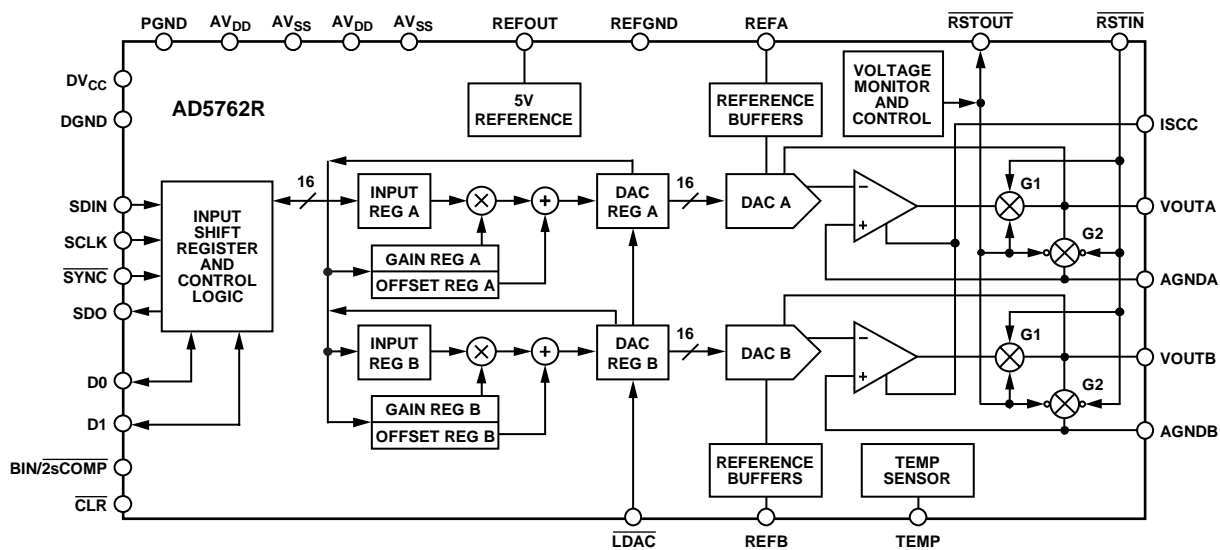


图1.

07248-001

AD5762R

技术规格

$AV_{DD} = 11.4\text{ V}$ 至 16.5 V 、 $AV_{SS} = -11.4\text{ V}$ 至 -16.5 V 、 $AGND = DGND = REFGND = PGND = 0\text{ V}$ ； $REFA = REFB = 5\text{ V}$ (外部基准电压源)； $DV_{CC} = 2.7\text{ V}$ 至 5.25 V 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。除非另有说明，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表1.

参数	最小值	典型值	最大值	单位	测试条件/备注 ¹
精度					
分辨率	16			位	输出端无负载
相对精度(INL)	-1		+1	LSB	
差分非线性(DNL)	-1		+1	LSB	保证单调性
双极性零电平误差	-2		+2	mV	25°C; 其他温度下的误差用双极性零电平温度系数获得
	-3		+3	mV	
双极性零电平温度系数 ²	-2		+2	ppm FSR/°C	
零电平误差	-2		+2	mV	25°C; 其他温度下的误差用零电平温度系数获得
	-2.5		+2.5	mV	
零电平温度系数 ²	-2		+2	ppm FSR/°C	
增益误差	-0.02		+0.02	% FSR	
增益温度系数 ²	-2		+2	ppm FSR/°C	
直流串扰 ²			0.5	LSB	
基准电压输入/输出					
基准输入²					
基准输入电压		5		V	±1% (额定性能)
直流输入阻抗	1	100		MΩ	
输入电流	-10	±0.03	+10	μA	
基准电压范围	1		7	V	
基准输出					
输出电压	4.995	5	5.005	V	25°C, $AV_{DD}/AV_{SS} = \pm 13.5\text{ V}$
基准电压温度系数 ²	-10	±1.7	+10	ppm/°C	
R_{LOAD}^2	1			MΩ	
电源灵敏度 ²		300		μV/V	
输出噪声 ²		18		μV p-p	0.1 Hz至10 Hz
噪声频谱密度 ²		75		nV/√Hz	10 kHz
噪声频谱密度 ²		±40		ppm/500 小时	
		±50		ppm/1000 小时	
热滞 ²		70		ppm	第一温度周期
		30		ppm	后续温度周期
输出特性²					
输出电压范围 ³	-10.5263		+10.5263	V	$AV_{DD}/AV_{SS} = \pm 11.4\text{ V}$, $REFA = REFB = 5\text{ V}$
	-14.7368		+14.7368	V	$AV_{DD}/AV_{SS} = \pm 16.5\text{ V}$, $REFA = REFB = 7\text{ V}$
输出电压漂移与时间的关系		±13		ppm FSR/ 500 小时	
		±15		ppm FSR/ 1000 小时	
短路电流		10		mA	$R_{ISCC} = 6\text{ k}\Omega$, 参见图31
负载电流	-1		+1	mA	额定性能
容性负载稳定性					
$R_{LOAD} = \infty$			200	pF	
$R_{LOAD} = 10\text{ k}\Omega$			1000	pF	
直流输出阻抗			0.3	Ω	

参数	最小值	典型值	最大值	单位	测试条件/备注 ¹
数字输入 ²					DV _{CC} = 2.7 V至5.25 V
输入高电压	2.4			V	
输入低电压			0.8	V	
输入电流	-1.2		+1.2	μA	每引脚
引脚电容			10	pF	每引脚
数字输出(D0、D1、SDO) ²					
输出低电压			0.4	V	DV _{CC} = 5 V ± 5%, 吸电流200 μA
输出高电压	DV _{CC} - 1			V	DV _{CC} = 5 V ± 5%, 源电流200 μA
输出低电压			0.4	V	DV _{CC} = 2.7 V至3.6 V, 吸电流200 μA
输出高电压	DV _{CC} - 0.5			V	DV _{CC} = 2.7 V至3.6 V, 源电流200 μA
高阻抗漏电流	-1		+1	μA	仅限SDO(串行数据输出)
高阻抗输出电容		5		pF	仅限SDO(串行数据输出)
芯片温度传感器 ²					
25°C时输出电压		1.47		V	芯片温度
输出电压比例因子		5		mV/°C	
输出电压范围	1.175		1.9	V	-40°C至+105°C
输出负载电流			200	μA	仅限电流源
上电时间		80		ms	
电源要求					
AV _{DD}	+11.4		+16.5	V	
AV _{SS}	-16.5		-11.4	V	
DV _{CC}	2.7		5.25	V	
电源灵敏度 ²					
ΔV _{OUT} /ΔAV _{DD}		-85		dB	
AI _{DD}			4.25	mA/通道	输出端无负载
AI _{SS}			3.9	mA/通道	输出端无负载
DI _{CC}			1.2	mA	V _{IH} = DV _{CC} , V _{IL} = DGND, 750 μA 典型值
功耗		180		mW	±12V 无负载工作输出

¹ 温度范围: -40°C至+85°C; 典型值为+25°C。+105°C时仍能保证器件功能, 但性能会有所下降。

² 通过设计和特性保证, 但未经生产测试。

³ 输出放大器动态余量要求是1.4V(最小值)。

AD5762R

交流工作特性

$AV_{DD} = 11.4\text{ V}$ 至 16.5 V 、 $AV_{SS} = -11.4\text{ V}$ 至 -16.5 V 、 $AGND = DGND = REFGND = PGND = 0\text{ V}$ ； $REFA$ 、 $REFB = 5\text{ V}$ (外部基准电压源)； $DV_{CC} = 2.7\text{ V}$ 至 5.25 V 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。除非另有说明，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
动态性能 ¹					
输出电压建立时间		8	10	μs	满量程步进至 $\pm 1\text{ LSB}$
		2		μs	512 LSB步进建立时间
压摆率		5		$\text{V}/\mu\text{s}$	
数模转换脉冲干扰		8		$\text{nV}\cdot\text{sec}$	
毛刺脉冲峰值幅度			25	mV	
通道间隔离		80		dB	
DAC间串扰		8		$\text{nV}\cdot\text{sec}$	
数字串扰		2		$\text{nV}\cdot\text{sec}$	
数字馈通		2		$\text{nV}\cdot\text{sec}$	输入总线对DAC输出的影响
输出噪声(0.1 Hz至10 Hz)		0.1		LSB 峰值	
输出噪声(0.1 Hz至100 kHz)			45	$\mu\text{V rms}$	
1/f转折频率		1		kHz	
输出噪声频谱密度		60		$\text{nV}/\sqrt{\text{Hz}}$	在10 kHz下测得
完整的系统输出噪声谱密度 ²		80		$\text{nV}/\sqrt{\text{Hz}}$	在10 kHz下测得

¹ 通过设计和特性保证，但未经生产测试。

² 包括来自集成基准电压缓冲器、16位DAC和输出放大器的噪声。

时序特性

$AV_{DD} = 11.4\text{ V}$ 至 16.5 V 、 $AV_{SS} = -11.4\text{ V}$ 至 -16.5 V 、 $AGND = DGND = REFGND = PGND = 0\text{ V}$ ； $REFA = REFB = 5\text{ V}$ (外部基准电压源)； $DV_{CC} = 2.7\text{ V}$ 至 5.25 V 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。除非另有说明，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数 ^{1, 2, 3}	在 T_{MIN} 、 T_{MAX} 的限值	单位	说明
t_1	33	ns (最小值)	SCLK周期时间
t_2	13	ns (最小值)	SCLK高电平时间
t_3	13	ns (最小值)	SCLK低电平时间
t_4	13	ns (最小值)	\overline{SYNC} 下降沿到SCLK下降沿建立时间
t_5^4	13	ns (最小值)	第24个SCLK下降沿到 \overline{SYNC} 上升沿
t_6	90	ns (最小值)	最小 \overline{SYNC} 高电平时间
t_7	2	ns (最小值)	数据建立时间
t_8	5	ns (最小值)	数据保持时间
t_9	1.7	μs (最小值)	\overline{SYNC} 上升沿到 \overline{LDAC} 下降沿(所有DAC更新)
	480	ns (最小值)	\overline{SYNC} 上升沿到 \overline{LDAC} 下降沿(单个DAC更新)
t_{10}	10	ns (最小值)	\overline{LDAC} 低电平脉冲宽度
t_{11}	500	ns (最大值)	\overline{LDAC} 下降沿到DAC输出响应时间
t_{12}	10	μs (最大值)	DAC输出建立时间
t_{13}	10	ns (最小值)	\overline{CLR} 低电平脉冲宽度
t_{14}	2	μs (最大值)	\overline{CLR} 脉冲启动时间
$t_{15}^{5, 6}$	25	ns (最大值)	SCLK上升沿到SDO有效
t_{16}	13	ns (最小值)	\overline{SYNC} 上升沿到SCLK下降沿
t_{17}	2	μs (最大值)	\overline{SYNC} 上升沿到DAC输出响应时间(LDAC = 0)
t_{18}	170	ns (最小值)	\overline{LDAC} 下降沿到 \overline{SYNC} 上升沿

¹ 通过设计和特性保证，但未经生产测试。

² 所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (DV_{CC} 的10%到90%)并从1.2V电平起开始计时。

³ 参见图2、图3和图4。

⁴ 只限独立模式。

⁵ 用图5中的负载电路测量。

⁶ 只限菊花链模式。

AD5762R

时序图

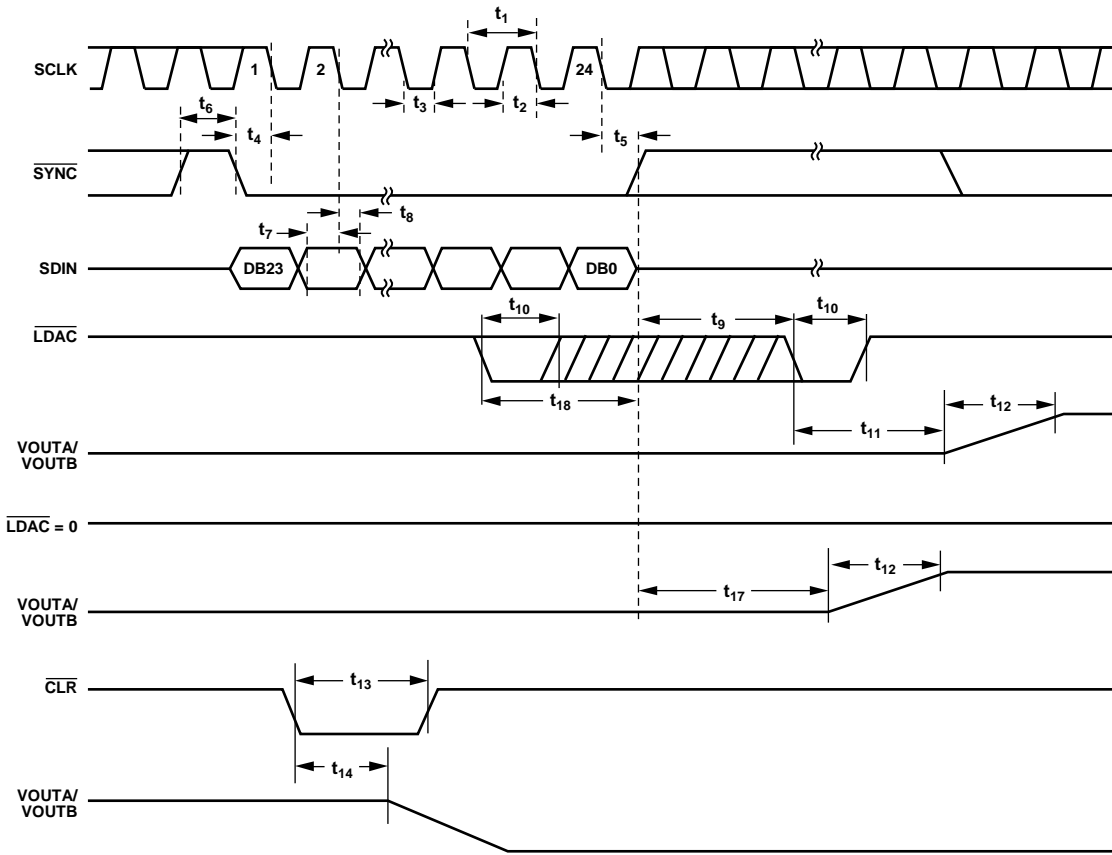


图2. 串行接口时序图

07248-002

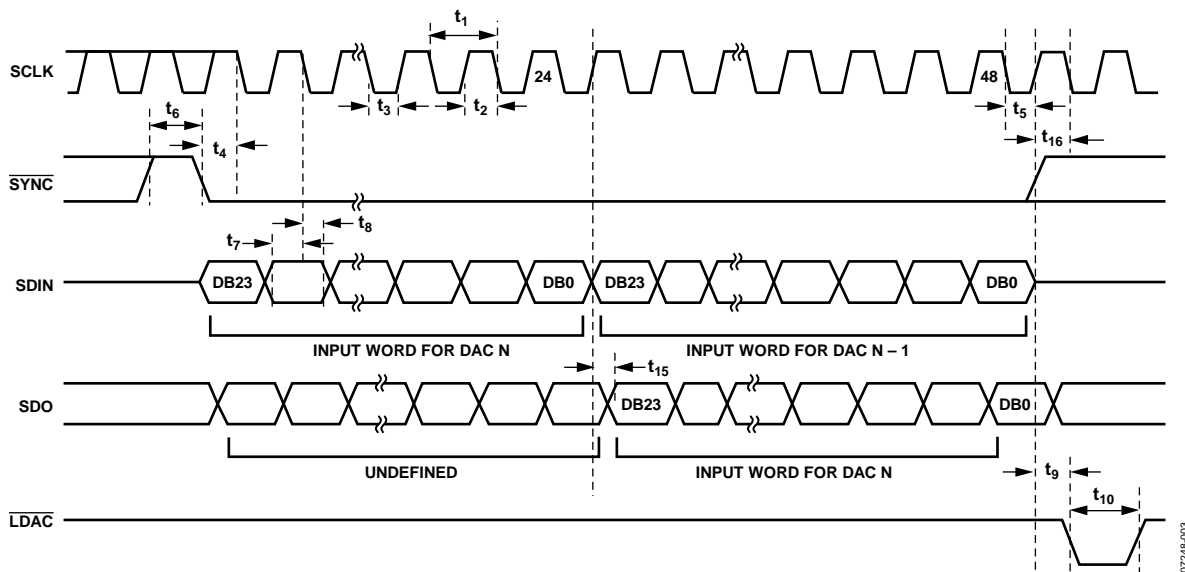
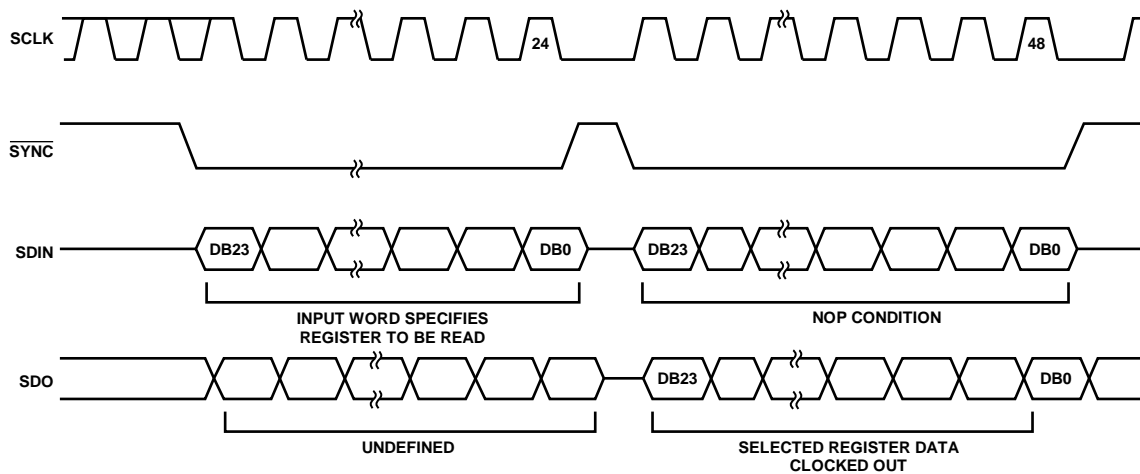


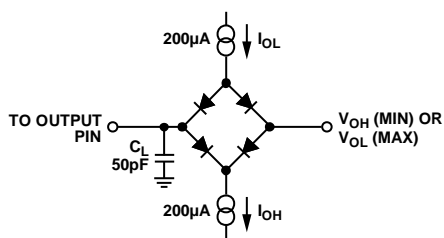
图3. 菊花链时序图

07248-003



07248-004

图4. 回读时序图



07248-005

图5. SDO时序图负载电路

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。100 mA以下的瞬态电流不会造成SCR闩锁。

表4.

参数	额定值
AV_{DD} 至 AGND, DGND	-0.3 V至+17 V
AV_{SS} 至 AGND, DGND	+0.3 V至-17 V
DV_{CC} 至 DGND	-0.3 V至+7 V
数字输入至DGND	-0.3 V至 $DV_{CC} + 0.3$ V或+7 V (取较小者)
数字输出至DGND	-0.3 V至 $DV_{CC} + 0.3$ V
REFx 至 AGND, PGND	-0.3 V至 $AV_{DD} + 0.3$ V
REFOUT 至 AGND	AV_{SS} 至 AV_{DD}
温度	AV_{SS} 至 AV_{DD}
VOUTx 至 AGND	AV_{SS} 至 AV_{DD}
AGND 至 DGND	-0.3 V至+0.3 V
工作温度范围 工业	-40°C至+85°C
存储温度范围	-65°C至+150°C
结温(T_j max)	150°C
引脚温度(焊接)	JEDEC工业标准 J-STD-020

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即焊接在电路板上的器件为表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
32引脚 TQFP	65	12	$^\circ\text{C}/\text{W}$

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

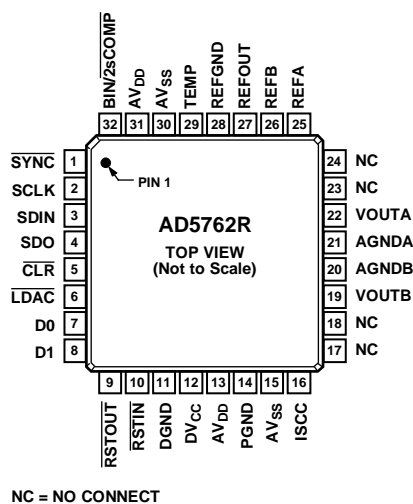


图6. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	说明
1	SYNC	低电平输入有效。这是串行接口的帧同步信号。当SYNC处于低电平时，数据在SCLK下降沿输入。
2	SCLK	串行时钟输入。数据在SCLK的下降沿逐个输入移位寄存器。此引脚的工作时钟速度最高可达30 MHz。
3	SDIN	串行数据输入。数据必须在SCLK的下降沿有效。
4	SDO	串行数据输出。用于在菊花链模式或回读模式下从串行寄存器逐个输出数据。
5	CLR	下降沿触发输入。 ¹ 置位此引脚可将DAC寄存器设为0x0000。
6	LDAC	加载DAC。此逻辑输入用于更新DAC寄存器和模拟输出。当永久接为低电平时，在SYNC的上升沿更新所寻址的DAC寄存器。如果LDAC在写入周期保持高电平，DAC输入寄存器会更新，但输出直到LDAC的下降沿才会更新。在此模式下，所有模拟输出都可以在LDAC的下降沿同时更新。LDAC引脚不能悬空。
7, 8	D0, D1	数字I/O端口。数字I/O端口的D0和D1。用户可以将这些引脚设为输入或者输出，通过串行端口配置及读取。当配置为输入时，这些引脚对DV _{CC} 提供较弱的内部上拉电阻。当设置为输出时，D0和D1以DV _{CC} 和DGND为参考。
9	RSTOUT	复位逻辑输出。这是用于复位电路的片内电压监控器输出。如果需要，它可用于控制其它系统器件。
10	RSTIN	复位逻辑输入。通过此输入，可从外部访问内部复位逻辑。在此输入端施加逻辑0会使DAC输出箝位至0 V。正常工作时，RSTIN应接至逻辑1。寄存器值保持不变。
11	DGND	数字地引脚。
12	DV _{CC}	数字电源引脚。电压范围为2.7 V至5.25 V。
13, 31	AV _{DD}	正模拟电源引脚。电压范围为11.4 V至16.5 V。
14	PGND	模拟电路的地参考点。
15, 30	AV _{SS}	负模拟电源引脚。电压范围为C11.4 V至C16.5 V。
16	ISCC	此引脚与连接到AGND的外部可选电阻配合使用，可设置输出放大器的短路电流。详情请参见“设计特性”部分。
17	NC	请勿连接该引脚。
18	NC	请勿连接该引脚。
19	VOUTB	DAC B的模拟输出电压。提供标称满量程输出范围为±10 V的缓冲输出。输出放大器能够直接驱动一个10 kΩ、200 pF负载。
20	AGNDB	DAC B输出放大器的地参考引脚。
21	AGNDA	DAC A输出放大器的地参考引脚。

AD5762R

引脚编号	引脚名称	说明
22	VOUTA	DAC A的模拟输出电压。提供标称满量程输出范围为±10V的缓冲输出。输出放大器能够直接驱动一个10 kΩ、200 pF负载。
23	NC	请勿连接该引脚。
24	NC	请勿连接该引脚。
25	REFA	外部基准电压。基准电压输入范围是1V至7V；可设置满量程输出电压。针对额定性能，REFA = 5 V。
26	REFB	外部基准电压。基准电压输入范围是1V至7V；可设置满量程输出电压。针对额定性能，REFB = 5 V。
27	REFOUT	基准电压输出。内部基准电压的基准输出。25°C时的内部基准电压为5 V ± 3 mV，基准电压源的温度系数为10 ppm/°C
28	REFGND	基准电压发生器和缓冲器的基准电压接地回路。
29	温度	此引脚提供与温度成比例的输出电压。芯片温度为25°C时，输出电压典型值为1.47 V；随温度的变化量为5 mV/°C。
32	BIN/ $\overline{2sCOMP}$	此引脚决定DAC编码方式。硬连上应与DV _{CC} 或DGND连接。与DV _{CC} 硬连时，输入编码方式为偏移二进制(见表7)。与DGND硬连时，输入编码方式为二进制补码(见表8)。

¹ 此逻辑输入端有个内部上拉器件。因此，它可以保持浮空，默认为逻辑高电平状态。

典型性能参数

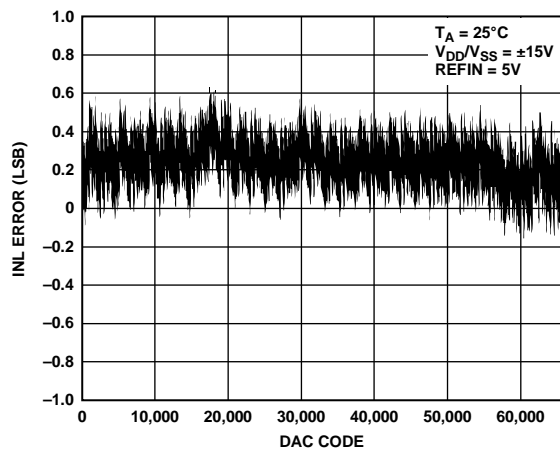


图7. 积分非线性误差与DAC代码的关系,
 $V_{DD}/V_{SS} = \pm 15V$

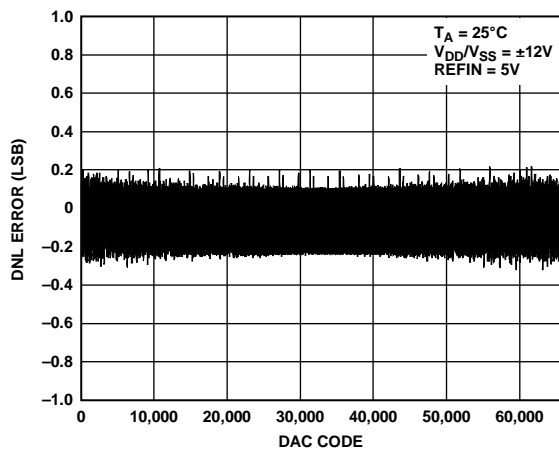


图10. 差分非线性误差与DAC代码的关系,
 $V_{DD}/V_{SS} = \pm 12V$

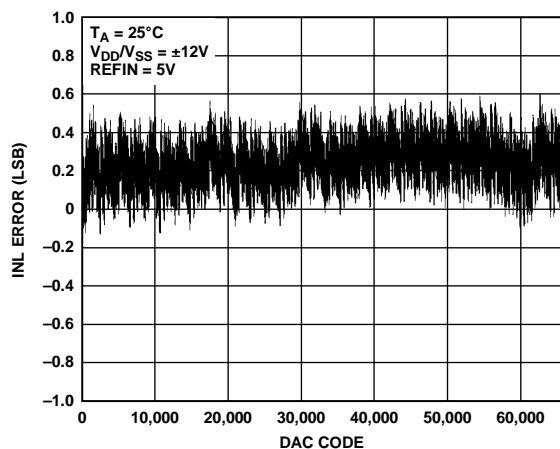


图8. 积分非线性误差与DAC代码的关系,
 $V_{DD}/V_{SS} = \pm 12V$

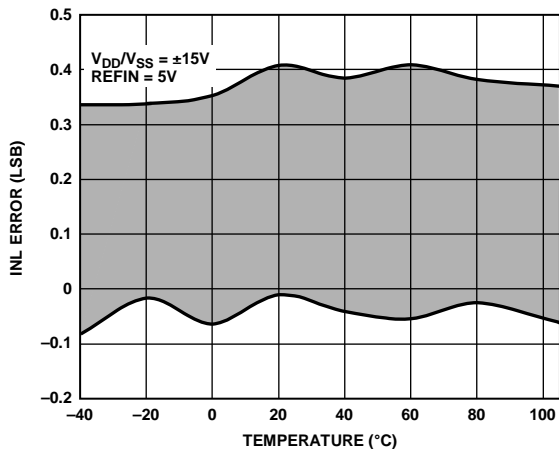


图11. 积分非线性误差与温度的关系,
 $V_{DD}/V_{SS} = \pm 15V$

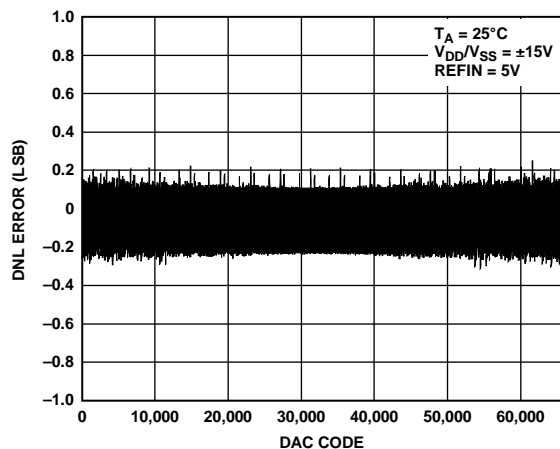


图9. 差分非线性误差与DAC代码的关系,
 $V_{DD}/V_{SS} = \pm 15V$

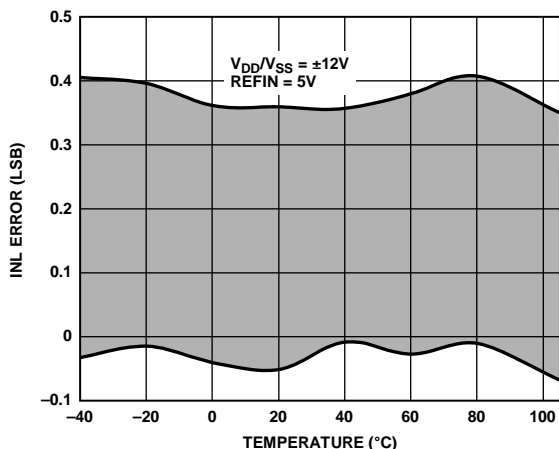


图12. 积分非线性误差与温度的关系,
 $V_{DD}/V_{SS} = \pm 12V$

AD5762R

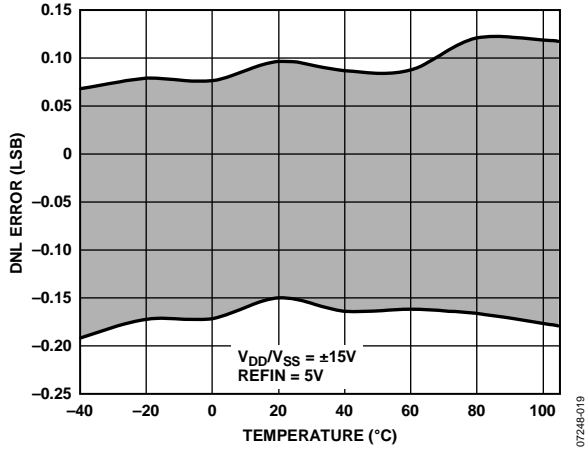


图13. 差分非线性误差与温度的关系,
 $V_{DD}/V_{SS} = \pm 15V$

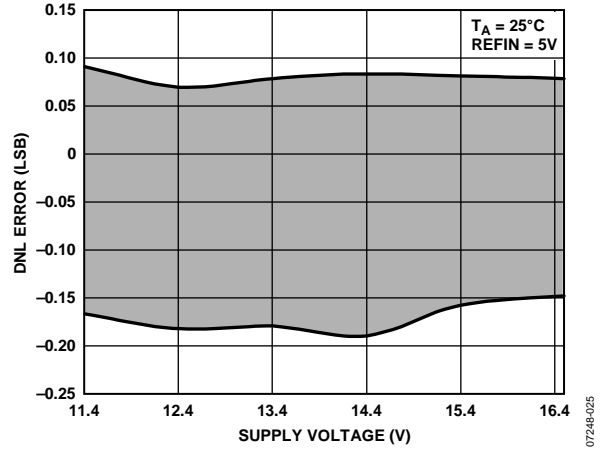


图16. 差分非线性误差与电源电压的关

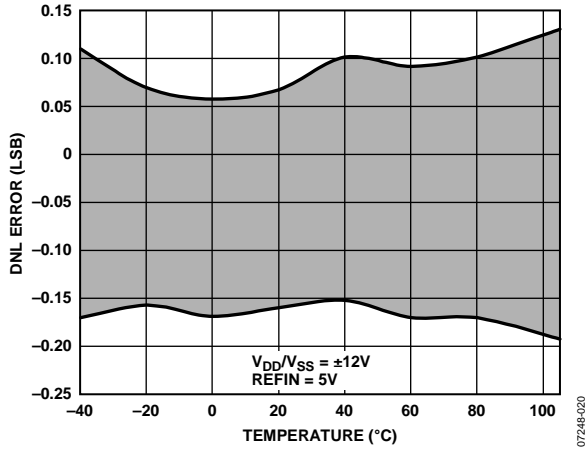


图14. 差分非线性误差与温度的关系,
 $V_{DD}/V_{SS} = \pm 12V$

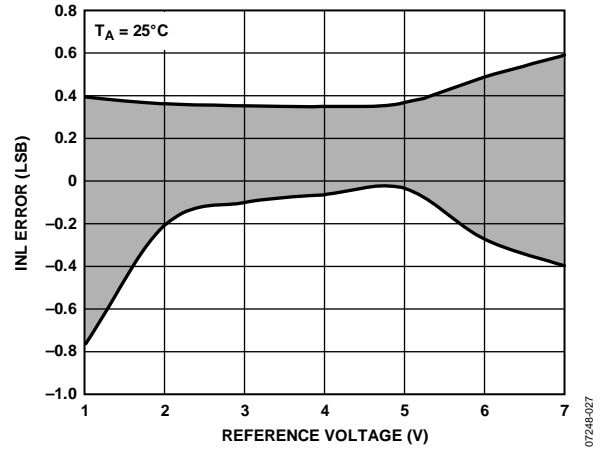


图17. 积分非线性误差与基准电压的关系,
 $V_{DD}/V_{SS} = \pm 16.5V$

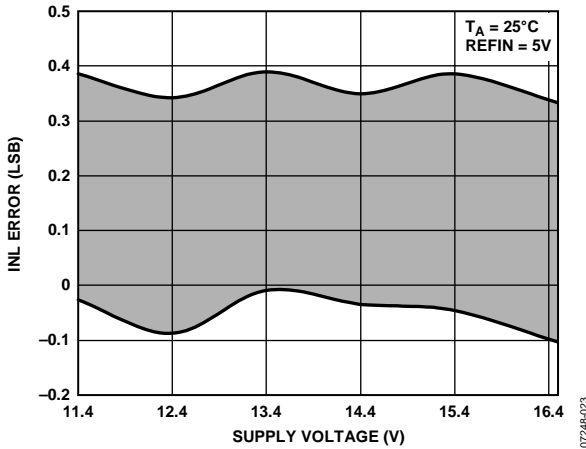


图15. 积分非线性误差与电源电压的关系

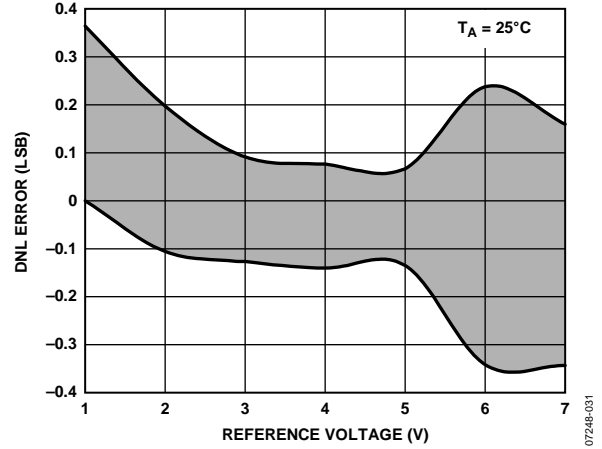


图18. 差分非线性误差与基准电压的关系,
 $V_{DD}/V_{SS} = \pm 16.5V$

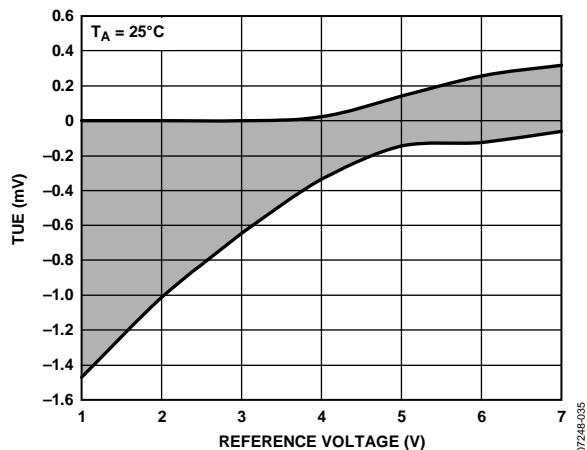


图19. 总不可调整误差与基准电压的关系,
 $V_{DD}/V_{SS} = \pm 16.5 V$

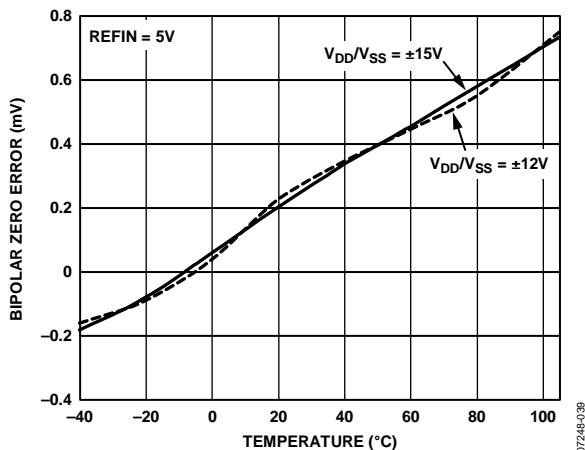


图22. 双极性零电平误差与温度的关系

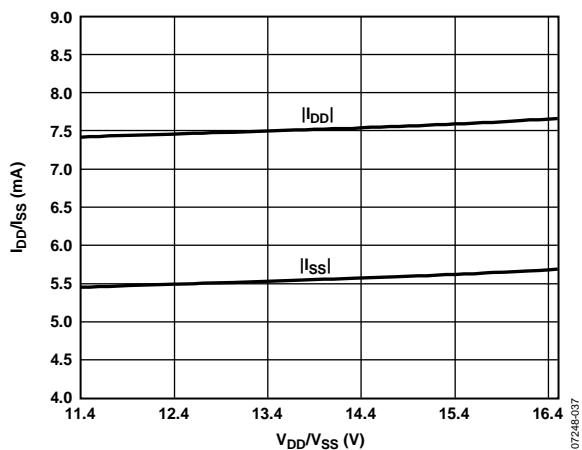


图20. I_{DD}/I_{SS} 与 V_{DD}/V_{SS} 的关系

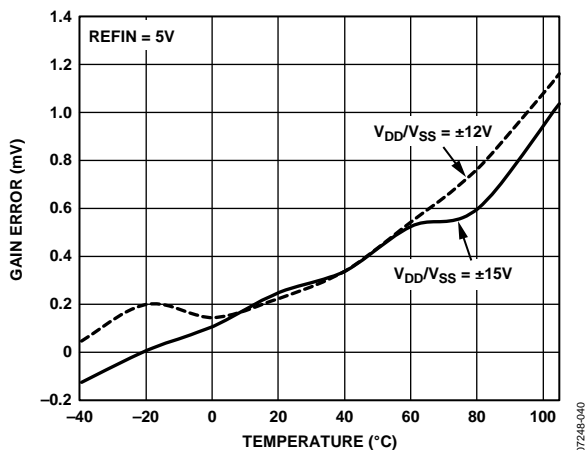


图23. 增益误差与温度的关系

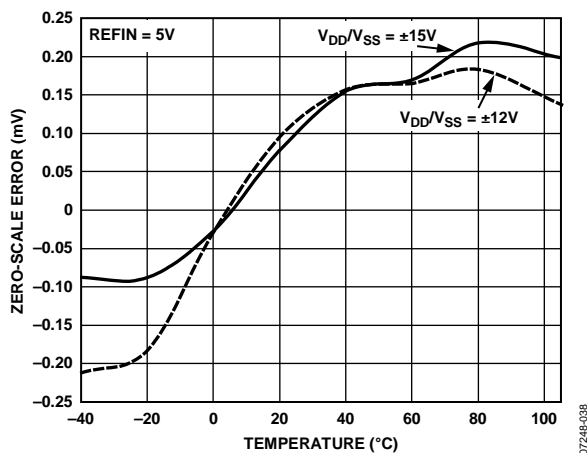


图21. 零电平误差与温度的关系

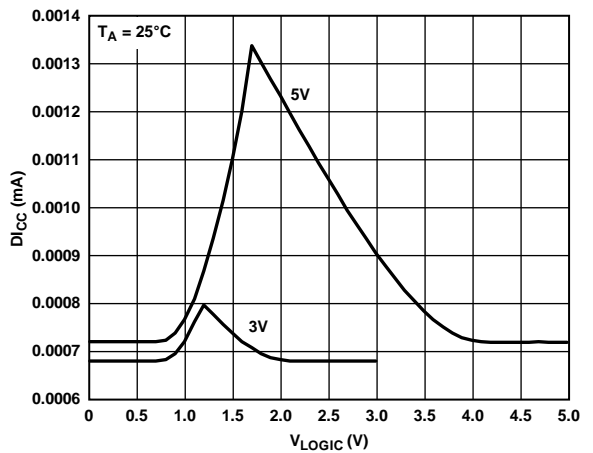


图24. $D_{I_{CC}}$ 与逻辑输入电压的关系

AD5762R

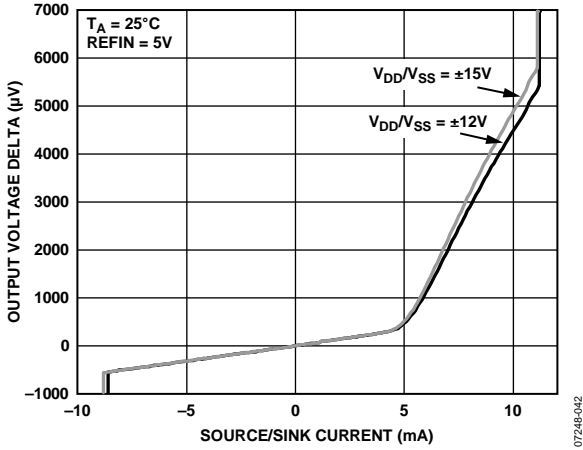


图25. 正满量程加载时输出放大器的吸电流与源电流能力

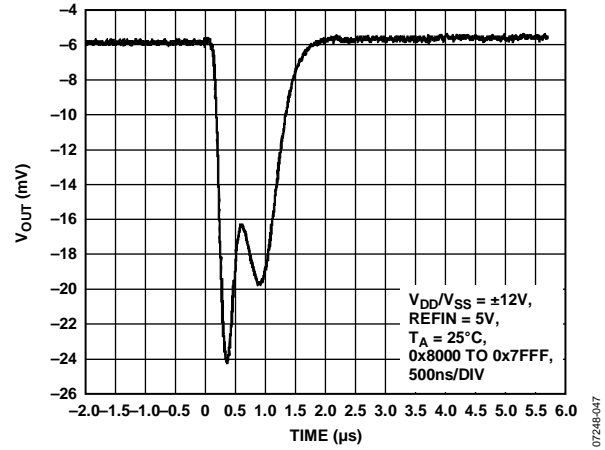


图28. 主代码转换毛刺能量, $V_{DD}/V_{SS} = \pm 12\text{V}$

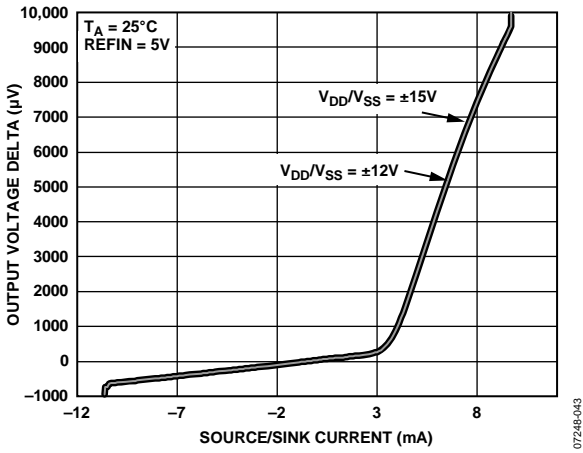


图26. 负满量程加载时输出放大器的吸电流与源电流能力

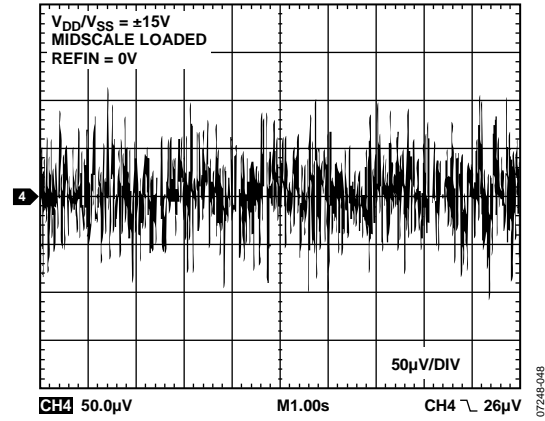


图29. 峰峰值噪声(100 kHz带宽)

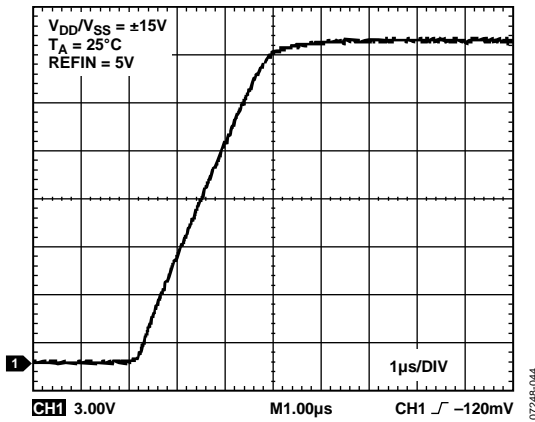


图27. 满量程建立时间

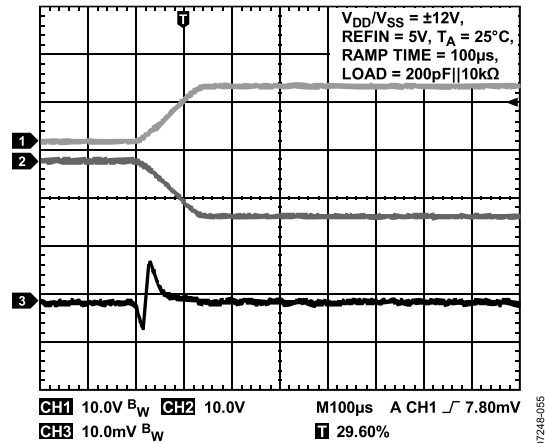


图30. V_{OUTx} 与上电时 V_{DD}/V_{SS} 的关系

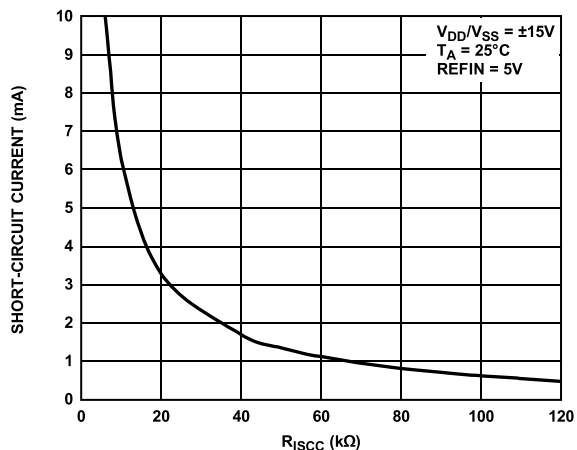


图31. 短路电流与 R_{ISCC} 的关系

0724E-050

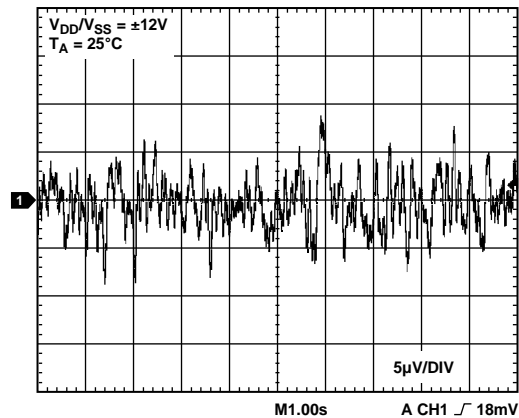


图34. REFOUT输出噪声, 0.1 Hz至10 Hz

0724E-053

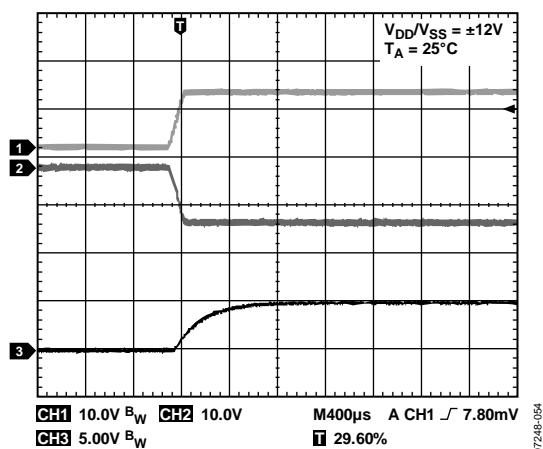


图32. REFOUT开启瞬变

0724E-054

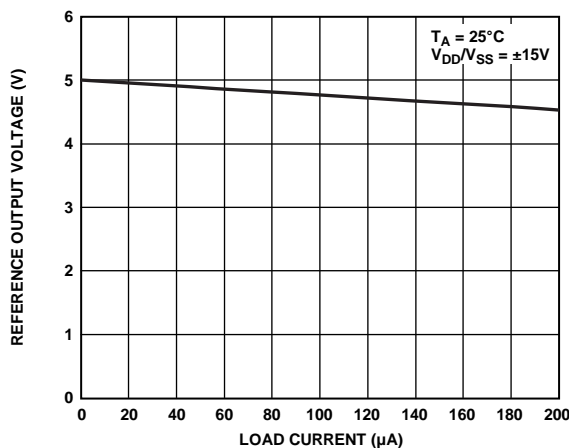


图35. REFOUT负载调整率

0724E-032

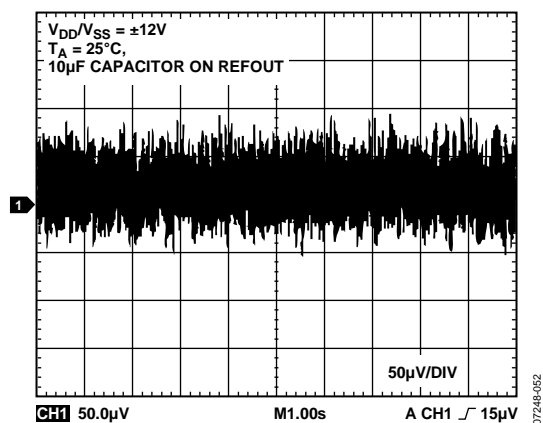


图33. REFOUT输出噪声, 100 kHz带宽

0724E-052

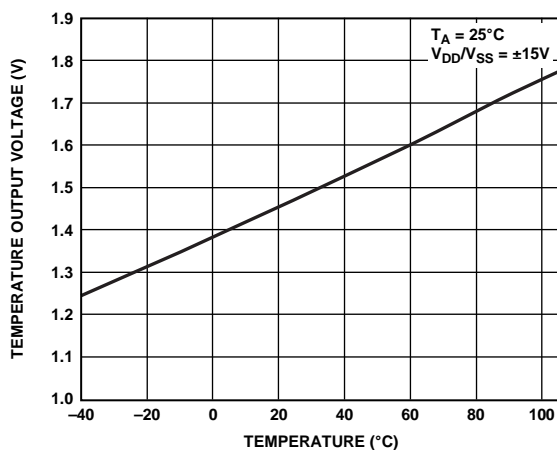


图36. 温度输出电压与温度的关系

0724E-033

AD5762R

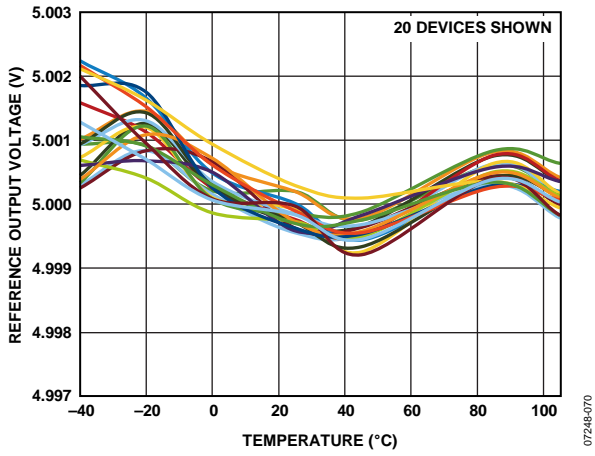


图37. 基准输出电压与温度的关系

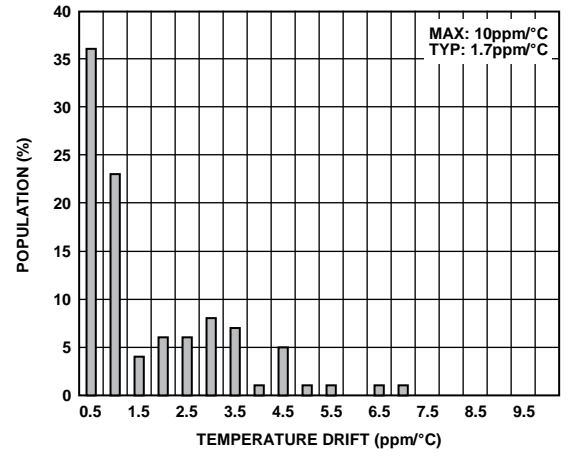


图38. 基准输出电压温度漂移, -40°C至+85°C

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或INL是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，单位为LSB。

差分非线性(DNL)

DNL指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定差分非线性可确保单调性。此DAC可保证单调性。

单调性

如果输出针对数字输入码增加而增加或保持恒定，则DAC具有单调性。AD5762R在其整个工作温度范围内都保持单调。

双极性零电平误差

双极性零电平误差是当DAC寄存器加载0x8000(偏移二进制编码)或者0x0000(二进制补码编码)时，模拟输出值与0 V理想半量程输出值的偏差。图22所示为双极性零电平误差与温度的关系图。

双极性零电平温度系数

双极性零电平温度系数衡量双极性零电平误差随温度变化的情况，用满量程范围的ppm FSR/ $^{\circ}$ C表示。

满量程误差

满量程误差是衡量将满量程代码载入DAC寄存器时的输出误差。理想情况下，输出电压应为 $2 \times V_{REFIN} - 1$ LSB。用满量程范围的百分比(% FSR)表示。

负满量程误差/零电平误差

负满量程误差/零电平误差是将0x0000(偏移二进制补码)或者0x8000(二进制补码)加载到DAC寄存器时，DAC输出电压的误差。理想情况下，输出电压应为 $-2 \times V_{REFIN}$ 。图21所示为零电平误差与温度的关系图。

输出电压建立时间

输出电压建立时间是指对于满量程输入变化，输出稳定在指定电平所需的时间。

压摆率

压摆率是指输出电压变化速率的限值。电压输出DAC的输出压摆速度通常受其输出端使用的放大器的压摆率限制。压摆率是输出信号10%至90%之间的测量值，用V/ μ s表示。

增益误差

增益误差是衡量DAC量程误差的指标，是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示(% FSR)。图23所示为增益误差与温度的关系图。

总不可调整误差(TUE)

总不可调整误差(TUE)衡量包括所有误差在内的总输出误差。图19是总不可调整误差与基准电压的关系图。

零电平误差温度系数

零电平误差温度系数衡量零电平误差随温度的变化，用满量程范围的ppm FSR/ $^{\circ}$ C表示。

增益误差温度系数

增益误差温度系数衡量增益误差随温度的变化，用满量程范围的ppm FSR/ $^{\circ}$ C表示。

数模转换脉冲干扰

当DAC寄存器中的输入代码状态发生变化时，脉冲被注入到模拟输出。在数字输入代码主进位发生1 LSB转换(0x7FFF到0x8000)时测量，一般定义为纳伏-秒(nV-sec)为单位的毛刺面积，参见图28。

数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为纳伏-秒(nV-sec)，测量数据总线上发生满量程代码变化时的情况，即全0至全1，反之亦然。

电源灵敏度

电源灵敏度表示DAC的输出如何受电源电压变化影响。

直流串扰

直流串扰是一个DAC输出电平响应另一个DAC输出变化发生的直流变化。它在一个DAC满量程输出变化时监控另一个DAC，用最低有效位(LSB)表示。

DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字代码变化和后续的输出变化，而引起的毛刺脉冲。包括数字和模拟串扰。它的测量方法是，向一个DAC加载满量程代码变化(全0至全1或相反)，保持LDAC为低电平，同时监控另一个DAC的输出。毛刺电能用纳伏-秒(nV-sec)表示。

通道间隔离

通道间隔离是一个DAC输出端信号幅度与另外一个DAC的基准电压输入端正弦波信号的比率，单位为dB。

基准电压源温度系数

基准电压源温度系数衡量基准输出电压随温度的变化，用ppm/ $^{\circ}$ C表示。

AD5762R

数字串扰

数字串扰衡量从DAC的数字输入注入到另一个DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为纳伏-秒(nV-sec)，测量数据总线上发生满量程代码变化时的情况，即全0至全1，反之亦然。

热滞

热滞表示经过 -40°C 至 $+85^{\circ}\text{C}$ 并返回 -40°C 的温度循环后，器件输出电压的变化情况。它是器件样品经过此类循环后的典型值。

工作原理

AD5762R是一款双通道、16位、串行输入、双极性电压输出DAC，采用±11.4 V至±16.5 V电源供电，缓冲输出电压最高达±10.5263 V。数据通过3线串行接口以24位字格式写入AD5762R。该器件还提供SDO引脚，可以用于菊花链配置或回读。

AD5762R集成上电复位电路，确保DAC寄存器上电加载0x0000。AD5762R具有可通过串行接口设置的数字I/O端口、模拟芯片温度传感器、片内10 ppm/°C基准电压源、片内基准电压缓冲器和每个通道的数字增益和失调寄存器。

DAC架构

AD5762R的架构包括一个16位、分段R-2R电流模式DAC。DAC部分的简要电路图如图39所示。

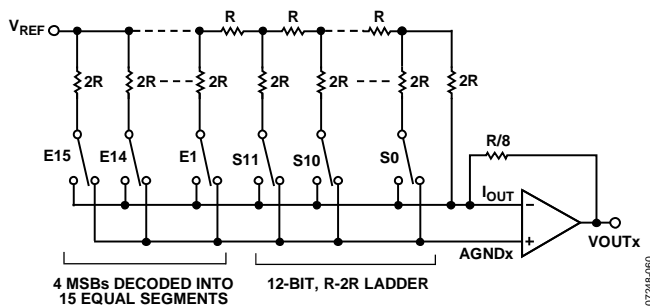


图39. DAC梯形结构

16位数据字的4个MSB位解码后，可驱动E1到E15的15个开关。每个开关通过15个匹配电阻之一连接到AGNDx或者IOUT。剩余12位数据字驱动12位R-2R梯形网络的开关S0到S11。

基准电压缓冲

AD5762R可以采用外部或内部基准电压源工作，基准输入(REFA和REFB)的输入范围最高达7 V。利用该输入电压，可提供DAC内核的缓冲正、负基准电压。正基准电压由下式得出

$$+V_{REF} = 2 \times V_{REFIN}$$

负基准电压则为

$$-V_{REF} = -2 \times V_{REFIN}$$

正基准电压和负基准电压(以及增益寄存器的值)决定DAC的输出范围。

串行接口

AD5762R由多功能三线式串行接口控制，能够以最高30 MHz的时钟速率工作，并与SPI、QSPI™、MICROWIRE™、DSP接口标准兼容。

输入移位寄存器

输入移位寄存器为24位宽。数据在串行时钟输入SCLK的控制下以MSB优先方式作为24位字载入器件。输入寄存器包括一个读/写位、一个必须置0的保留位、三个寄存器选择位、三个DAC地址位和16位数据位，如表9所示。图2给出了这种操作的时序图。

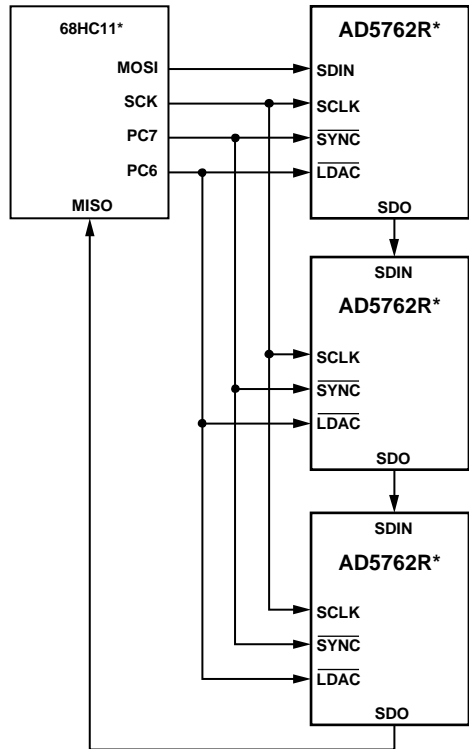
上电时，DAC寄存器写入零代码(0x0000)，输出端通过低阻抗路径箝位至0 V。输出端可通过置位LDAC或CLR更新为零代码值，相应的输出电压取决于 $\overline{\text{BIN}}/\overline{2s\text{COMP}}$ 引脚的状态。如果 $\overline{\text{BIN}}/\overline{2s\text{COMP}}$ 引脚接至DGND，数据编码为二进制补码，则输出更新为0 V。如果 $\overline{\text{BIN}}/\overline{2s\text{COMP}}$ 引脚接至DVCC，数据编码为偏移二进制码，则输出更新为负满量程。为使输出在上电时加载零代码， $\overline{\text{CLR}}$ 引脚在上电期间应保持低电平。

独立操作

串行接口可以采用连续式和非连续式串行时钟工作。要使用连续的SCLK时钟源， $\overline{\text{SYNC}}$ 必须在正确的时钟周期数内保持低电平。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将 $\overline{\text{SYNC}}$ 置为高电平来锁存数据。 $\overline{\text{SYNC}}$ 的第一个下降沿启动写周期。SCLK必须在24个时钟下降沿后，才能将 $\overline{\text{SYNC}}$ 重新拉高。如果在第24个SCLK下降沿之前拉高 $\overline{\text{SYNC}}$ ，写入的数据无效。如果拉高 $\overline{\text{SYNC}}$ 前有超过24个SCLK下降沿，输入数据同样无效。寻址的输入寄存器在 $\overline{\text{SYNC}}$ 的上升沿更新。若需进行其他串行传输，必须将 $\overline{\text{SYNC}}$ 再次拉低。串行传输结束后，数据自动从输入移位寄存器传送到寻址寄存器。

当数据传送至寻址DAC所选的寄存器后，所有DAC寄存器和输出可以通过将LDAC置为低电平来更新。

AD5762R



*ADDITIONAL PINS OMITTED FOR CLARITY.

图40. 以菊花链方式连接AD5762R

菊花链操作

对于包含数个器件的系统，可利用SDO引脚通过菊花链方式将多个器件连接起来。菊花链模式有助于系统诊断和减少串行接口线的数量。SYNC的第一个下降沿启动写周期。当SYNC为低电平时，SCLK不断施加到输入移位寄存器。如果施加了24个以上的时钟脉冲，则数据从移位寄存器纹波输出并出现在SDO线路上。此数据在SCLK上升沿逐个输出，并在SCLK的下降沿有效。将第一个器件的SDO连接到菊花链中下一个器件的SDIN输入，可构建一个多器件接口。系统中的每个器件都需要24个时钟脉冲，因此，时钟周期的总数必须为 $24n$ ，其中 n 为链路中AD5762R的总数。当对所有器件的串行传输结束时，SYNC变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。串行时钟可以是连续时钟或门控时钟。

要使用连续的SCLK时钟源， $\overline{\text{SYNC}}$ 必须在正确的时钟周期数内保持低电平。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将 $\overline{\text{SYNC}}$ 置为高电平来锁存数据。

回读操作

在启动回读操作前，必须向功能寄存器进行写操作，并通过设置SDO禁用位，从而使能 $\overline{\text{SDO}}$ 引脚。回读模式通过在串行输入寄存器写操作时设置R/W位=1来调用。当R/W=1时，A2到A0位以及REG2位、REG1位和REG0位用于选择所要读取的寄存器。写序列中其余的数据位则与之无关。在下次SPI写操作期间，SDO输出端的数据包含之前寻址寄存器的数据。当读取单个寄存器时，可以使用NOP命令通过SDO从选定的寄存器输出数据。图4中的回读图显示了回读顺序。例如，回读AD5762R通道A的微调增益寄存器时，执行如下操作：

1. 将0xA0XXXX写入输入寄存器。该写操作将AD5762R配置为读取模式，同时选中通道A的微调增益寄存器。注意，从DB15至DB0的所有数据位都是无关位。
2. 进行第二次写入：一个NOP条件，即0x00XXXX。在此写操作中，微调增益寄存器的数据通过SDO线路输出，即输出的数据包含微调增益寄存器DB5位到DB0位的数据。

通过LADC同时更新

根据 $\overline{\text{SYNC}}$ 和LDAC的状态，在数据送入DAC的输入寄存器后，可通过两种方法来更新DAC寄存器和DAC的输出。

DAC单独更新

在此模式下，当数据进入输入移位寄存器时LDAC要保持为低电平。寻址的DAC输出在 $\overline{\text{SYNC}}$ 的上升沿更新。

同时更新所有DAC

在此模式下，当数据进入输入移位寄存器时 $\overline{\text{LDAC}}$ 要保持为高电平。在 $\overline{\text{SYNC}}$ 置为高电平后，任何时候都可以通过将 $\overline{\text{LDAC}}$ 置为低电平来更新所有DAC的输出。此时在LDAC的下降沿进行更新。

图41给出了DAC负载电路的简化框图。

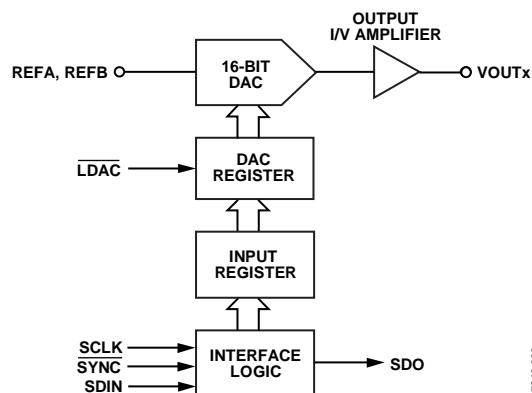


图41. 单个DAC通道输入加载电路的简化串行接口

传递函数

表7和表8显示偏移二进制和二进制补码两种数据编码在理想情况下输入代码与输出电压的关系。

表7. 理想情况下输出电压与输入代码之间的关系——偏移二进制数据编码

数字输入				模拟输出
MSB			LSB	V_{OUT}
1111	1111	1111	1111	$+2 V_{REFIN} \times (32,767/32,768)$
1000	0000	0000	0001	$+2 V_{REFIN} \times (1/32,768)$
1000	0000	0000	0000	0 V
0111	1111	1111	1111	$-2 V_{REFIN} \times (1/32,768)$
0000	0000	0000	0000	$-2 V_{REFIN} \times (32,767/32,768)$

表8. 理想情况下输出电压与输入代码之间的关系——二进制补码数据编码

数字输入				模拟输出
MSB			LSB	V_{OUT}
0111	1111	1111	1111	$+2 V_{REFIN} \times (32,767/32,768)$
0000	0000	0000	0001	$+2 V_{REFIN} \times (1/32,768)$
0000	0000	0000	0000	0 V
1111	1111	1111	1111	$-2 V_{REFIN} \times (1/32,768)$
1000	0000	0000	0000	$-2 V_{REFIN} \times (32,767/32,768)$

AD5762R的输出电压表示为

$$V_{OUT} = -2 \times V_{REFIN} + 4 \times V_{REFIN} \left[\frac{D}{65,536} \right]$$

其中：

D 是载入DAC的代码的十进制等效值。

V_{REFIN} 是REFA/REFB引脚上施加的基准电压。

异步清零(CLR)

CLR是负沿触发的清零，允许输出清零为0 V（二进制补码编码）或负满量程（偏移二进制编码）。必须将CLR保持一段时间的低电平（参见图2）才能完成操作。当CLR信号变回高电平后，输出会保持为清零值，直到设置新值。如果在上电时CLR为0 V，那么DAC的输出会更新为清零值。同样可以通过软件向AD5762R写入命令0x04XXXX来启动清零操作。

AD5762R

寄存器

表9. 输入移位寄存器格式

MSB								LSB
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 至 DB0
R/W	0	REG2	REG1	REG0	A2	A1	A0	数据

表10. 输入移位寄存器位功能描述

寄存器位	描述			
R/W	表示对寻址寄存器的读或写操作。			
REG2, REG1, REG0	与地址位配合使用，确定是否对数据寄存器、失调寄存器、增益寄存器或功能寄存器进行读或写操作			
	REG2	REG1	REG0	功能
	0	0	0	功能寄存器
	0	1	0	数据寄存器
	0	1	1	粗调增益寄存器
	1	0	0	微调增益寄存器
	1	0	1	失调寄存器
A2, A1, A0	解码DAC通道			
	A2	A1	A0	通道地址
	0	0	0	DAC A
	0	0	1	DAC B
	1	0	0	两个DAC通道
数据	数据位			

功能寄存器

功能寄存器通过设置三个REG位为000来寻址。根据写入地址位和数据位的值来决定所寻址的功能寄存器。通过功能寄存器实现的功能如表11和表12所示。

表11. 功能寄存器选项

REG2	REG1	REG0	A2	A1	A0	DB15至DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	NOP, 数据=无关						
0	0	0	0	0	1	无关	局部接地失调调整	D1方向	D1值	D0方向	D0值	SDO禁用
0	0	0	1	0	0	清零, 数据=无关						
0	0	0	1	0	1	加载, 数据=无关						

表12. 功能寄存器选项说明

选项	说明
无操作(NOP)	用于回读操作的无操作指令。
局部接地失调调整	由用户设置使能局部接地失调调整功能。由用户清零禁用局部接地失调调整功能(默认)。更多详情参见“设计特性”部分。
D0, D1 方向	由用户设置使D0和D1引脚作为输出。由用户清零使D0和D1引脚作为输入(默认)。更多详情参见“设计特性”部分。
D0, D1 值	I/O端口状态位。当配置为输出时，写入这些位置的逻辑值决定D0和D1引脚的逻辑输出。当I/O端口作为输入时，这些位表示D0和D1引脚的状态。当使能作为输入时，这些位在写操作时无关。
SDO禁用	由用户置1时，禁用SDO输出。由用户清0时，使能SDO输出(默认)。
清零	在二进制补码模式和二进制负满量程模式下，寻址此功能会将DAC输出复位到0V。
加载	寻址此功能会更新DAC寄存器和相应的模拟输出。

数据寄存器

数据寄存器通过设置三个REG位来寻址010。DAC地址位选择要进行数据传输的DAC通道(参见表10)。数据位为DB15至DB0，如表13所示。

表13. 数据寄存器编程

REG2	REG1	REG0	A2	A1	A0	DB15 至 DB0
0	1	0	DAC地址			16位DAC数据

粗调增益寄存器

粗调增益寄存器通过设置三个REG位来寻址011。DAC地址位选择要进行数据传输的DAC通道(参见表10)。粗调寄存器是一个双位寄存器，允许用户选择各DAC的输出范围，如表15所示。

表14. 粗调增益寄存器编程

REG2	REG1	REG0	A2	A1	A0	DB15 to DB2	DB1	DB0
0	1	1	DAC地址			无关	CG1	CG0

表15. 输出范围选择

输出范围	CG1	CG0
±10 V (默认值)	0	0
±10.2564 V	0	1
±10.5263 V	1	0

微调增益寄存器

微调增益寄存器通过设置三个REG位来寻址100。DAC地址位选择要进行数据传输的DAC通道(参见表10)。AD5762R微调增益寄存器是6位寄存器，允许用户在-32 LSB至+31 LSB范围内，按1 LSB增量调整各DAC通道的增益，如表16和表17所示。可以对正满量程点和负满量程点同时进行调整，每个点以步长的一半调整。微调增益寄存器编码使用二进制补码。

表16. 微调增益寄存器编程

REG2	REG1	REG0	A2	A1	A0	DB15 至 DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	0	DAC地址			无关	FG5	FG4	FG3	FG2	FG1	FG0

表17. 微调增益寄存器选项

增益调整	FG5	FG4	FG3	FG2	FG1	FG0
+31 LSBs	0	1	1	1	1	1
+30 LSBs	0	1	1	1	1	0
无调整(默认)	0	0	0	0	0	0
-31 LSBs	1	0	0	0	0	1
-32 LSBs	1	0	0	0	0	0

AD5762R

失调寄存器

失调寄存器通过设置三个REG位来寻址101。DAC地址位选择要进行数据传输的DAC通道(参见表10)。AD5762R失调寄存器是8位寄存器,允许用户在-16 LSB至+15.875 LSB范围内按1/8 LSB增量调整各DAC通道的失调,如表18和表19所示。失调寄存器编码使用二进制补码。

表18. 失调寄存器编程

REG2	REG1	REG0	A2	A1	A0	DB15:DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	1	DAC地址			无关	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0

表19. 失调寄存器选项

失调调整	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0
+15.875 LSBs	0	1	1	1	1	1	1	1
+15.75 LSBs	0	1	1	1	1	1	1	0
无调整(默认)	0	0	0	0	0	0	0	0
-15.875 LSBs	1	0	0	0	0	0	0	1
-16 LSBs	1	0	0	0	0	0	0	0

失调和增益调整成功范例

根据以上部分内容,下面的成功范例展示了如何使用AD5762R的功能来消除失调和增益误差。由于AD5762R经过出厂校准,失调和增益误差应该可以忽略。然而,AD5762R所在的系统可引入误差;例如,电压基准值不等于+5 V就会引入增益误差。假设输出范围为±10 V,并且使用二进制补码的数据编码方式。

消除失调误差

AD5762R能够在-4.88 mV至+4.84 mV范围内,以16位LSB的 $\frac{1}{8}$ 步长消除失调误差。

1. 计算失调调整的步长

$$\text{失调调整步长} = \frac{20}{2^{16} \times 8} = 38.14 \mu\text{V}$$

2. 通过将数据寄存器设置为0x0000,并测量所产生的输出电压来测量失调误差。对于本例,测量值为+614 μV 。
3. 使用下式决定此值需进行多少步失调调整:

$$\text{步数} = \frac{\text{Measured Offset Value}}{\text{Offset Step Size}} = \frac{614 \mu\text{V}}{38.14 \mu\text{V}} = 16 \text{ Steps}$$

测得的失调误差为正值,因此,需要进行16步负调整。失调寄存器为8位宽,编码为二进制补码。

所需的失调寄存器值可以按如下方式计算:

1. 将调整值转换为二进制: 00010000.
2. 通过反转所有位并加1可以将其转换为负二进制补码数: 11110000.
3. 将11110000写入失调寄存器。

注意,在正失调调整情况下不必进行此二进制补码转换。要设置的失调寄存器值就是以二进制表示的调整值。

消除增益误差

AD5762R能够在-9.77 mV至+9.46 mV范围内,以16位LSB的 $\frac{1}{2}$ 步长消除负满量程输出的增益误差。

1. 使用下式计算增益调整的步长:

$$\text{增益调整步长} = \frac{20}{16 \times 2} = 152.59 \mu\text{V}$$

2. 通过将数据寄存器设置为0x8000,并测量所产生的输出电压值来测量增益误差。增益误差是该值与-10 V之间的差值。本例中,增益误差为-1.2 mV。

3. 使用下式决定此值需进行多少步增益调整:

$$\text{步数} = \frac{\text{Measured Gain Value}}{\text{Gain Step Size}} = \frac{1.2 \text{ mV}}{152.59 \mu\text{V}} = 8 \text{ Steps}$$

测得的增益误差为负值(幅度);因此,需要进行8步正调整。增益寄存器为6位宽,编码为二进制补码。所需的增益寄存器值可以按如下方式计算:

1. 将调整值转换为二进制: 001000.
2. 001000就是要写入增益寄存器的值。

设计特性

模拟输出控制

在很多工业过程控制应用中，输出电压在上电和掉电条件下可控至关重要。当电源电压发生变化时，VOUTx引脚通过一个低阻抗路径箝位至0 V。为避免此时输出放大器的输出短路变为0 V，传输门G1也会打开(参见图42)。

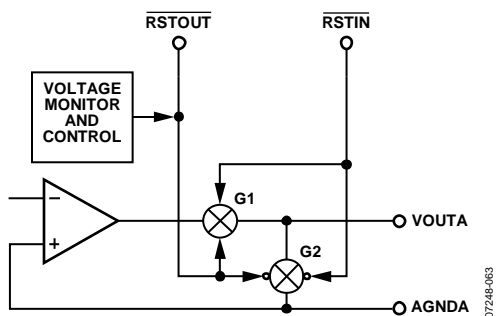


图42. 模拟输出控制电路

这种状况会一直持续到电源稳定下来并向DAC寄存器写入一个有效字。此时G2打开，G1闭合。通过复位逻辑(RSTIN)控制输入，也可以从外部对两个传输门进行控制。例如，如果RSTIN采用电池监控器芯片驱动，则在关断或掉电时，RSTIN输入为低电平会打开G1闭合G2。相反地，用户也可以利用片内电压检测器输出(RSTIN)来控制系统的其它部分。基本的传输门的功能如图42所示。

数字失调和增益控制

AD5762R集成了数字失调调整功能，其调整范围为±16 LSB，分辨率为0.125 LSB。用户可以使用增益寄存器调整AD5762R的满量程输出范围。通过设置可以实现±10 V、±10.25 V和±10.5 V的满量程输出范围。此外还提供增益微调。

可编程短路保护

输出放大器的短路电流(I_{sc})可以通过在ISCC引脚与PGND引脚之间插入外部电阻来设置。可编程电流范围为500 μ A至10 mA，相应的电阻范围是120 k Ω 至6 k Ω 。电阻值通过下式计算：

$$R \approx \frac{60}{I_{sc}}$$

如果ISCC引脚悬空，短路电流限值默认为5 mA。注意，当驱动容性负载时，将短路电流限制为很小的值时可能会影响输出的压摆率；因此，所设的短路电流值应考虑所驱动的容性负载大小。

数字I/O端口

AD5762R包含2位数字I/O端口(D1和D0)。这两位可以独立地配置为输入或输出，可驱动或通过串行接口读回其值。I/O端口信号以DVCC和DGND为基准。配置为输出时，可用作多路复用器的控制信号，或用于控制系统中的其它校准电路。配置为输入时，以限制开关为例，其逻辑信号可以接到D0和D1并通过数字接口读回。

芯片温度传感器

片上芯片温度传感器提供与摄氏温度成线性比例关系的电压输出。芯片温度为25°C时，其额定输出电压为1.47 V，变化范围为5 mV/°C，全温度范围的典型电压输出范围为1.175 V至1.9 V。它具有低输出阻抗和线性输出特性，简化了与温度控制电路和模数转换器(ADC)的接口。比起精密特性，温度传感器提供的便捷性更为有用；它指示芯片温度的变化值，以便进行重新校准。

局部接地失调整

AD5762R集成局部接地失调整功能，在功能寄存器中使能此功能时，它会根据独立的DAC接地引脚和REFGND引脚之间的电压差值调整DAC输出，确保DAC输出电压始终以本地DAC接地引脚为参考。例如，如果AGNDA引脚以REFGND引脚为基准是+5 mV，VOUTA以AGNDA为基准测量就会有-5 mV的误差，使能局部接地失调整功能可以将VOUTA调整+5 mV，从而消除误差。

应用信息

典型工作电路

图43显示了AD5762R的典型工作电路。该16位精密DAC所需的外部器件只有电源引脚和基准输入上的去耦电容以及可选的短路电流设置电阻。由于AD5762R内置基准电压源和基准电压源缓冲器，因而无需外部双极性基准电压源和相关缓冲器，这样便节省了总成本和电路板空间。

图43中， AV_{DD} 和 AV_{SS} 均连接至15 V，但 AV_{DD} 和 AV_{SS} 可以采用 ± 11.4 V至 ± 16.5 V电源工作。图43中，AGNDA和AGNDB连接至REFGND。

精密基准电压源的选择

要使AD5762R在其整个工作温度范围内达到最佳性能，必须使用外部基准电压源。选择精密基准电压源时需要全面考虑。基准输入端的电压用于为DAC内核提供经缓冲的正、负基准电压。因此，任何基准电压误差都会反应到器件的输出端。

针对高精度应用选择基准电压时，需要考虑4种可能的误差源：输出电压的初始精度、温度系数、长期漂移和输出电压噪声。

外部基准电压源的输出电压初始精度误差会导致DAC的满量程误差。因此，最好选用具有低初始精度误差特性的基准电压源来尽量降低这些误差。具有输出调整功能的基准电压源，如ADR425等，允许系统设计人员将基准电压设置为标称值以外的电压，以便校正系统误差。这种调整也可以用于消除温度误差。

长期漂移衡量基准输出电压随时间的漂移量。具有低长期漂移特性的基准电压源可确保整体解决方案终身保持相对稳定。

基准输出电压的温度系数影响INL、DNL和TUE。应选择温度系数较低的基准电压源，以降低DAC输出电压对环境条件的依赖性。

在噪声预算相对较低的高精度应用中，必须考虑基准电压源的输出电压噪声。考虑到系统的分辨率，选择具有尽可能低的输出噪声的基准电压很重要。ADR435(XFET®设计)之类精密基准电压源在0.1 Hz至10 Hz范围提供低输出噪声。然而，随着电路带宽增加，可能需要对基准电压源的输出进行滤波来尽量降低输出噪声。

表20. 推荐用于AD5762R的一些精密基准电压源

产品型号	初始精度 (mV, 最大值)	长期漂移 (ppm, 典型值)	温度漂移 (ppm/°C, 最大值)	0.1 Hz至10 Hz噪声 (μ V p-p, 典型值)
ADR435	± 6	30	3	3.5
ADR425	± 6	50	3	3.4
ADR02	± 5	50	3	10
ADR395	± 6	50	25	5
AD586	± 2.5	15	10	4

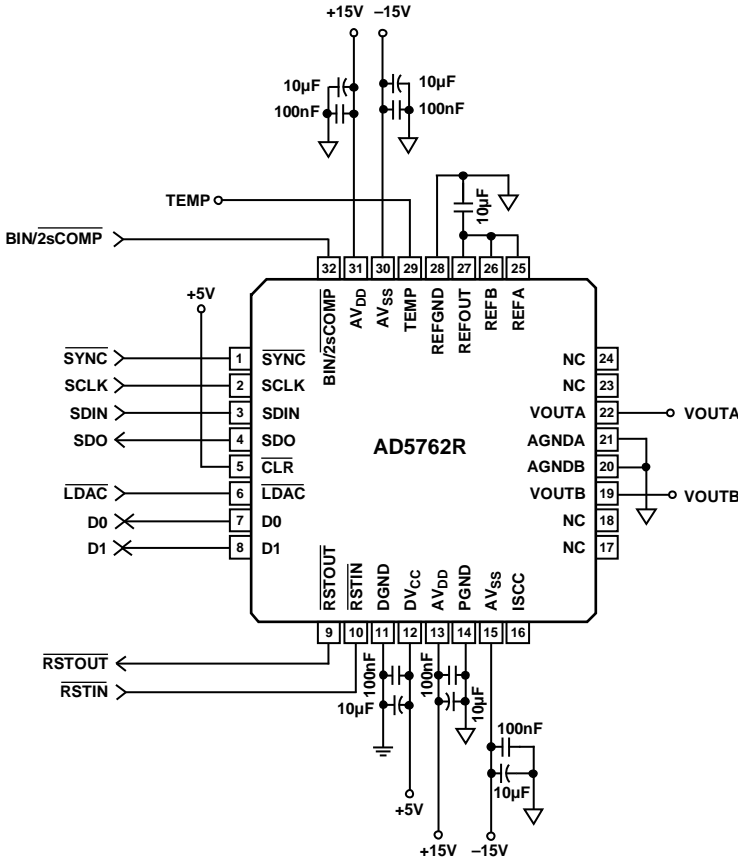


图43. 典型工作电路

07248-064

布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5762R所用的PCB应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。如果AD5762R所在系统中有多个器件要求AGNDx-DGND连接，则只能在一个点上连接。星形接地点尽可能靠近该器件。AD5762R应当具有足够大的10 μF 电源旁路电容，与每个电源上的0.1 μF 电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF 电容应为钽珠型电容。0.1 μF 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬变电流。

AD5762R的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺效应。将时钟等快速开关信号用数字地屏蔽起来，以免向电路板上的其他器件辐射噪声，并且绝不应靠近基准输入。SDIN和SCLK线路之间布设接地线路有助于降低两者之间的串扰。(多层电路板上具有独立的接地层，因此不需接地线；但将不同线路分开布局总是有益处。)基准输入上的噪声必须降至最低，因为这种噪声会被耦合至DAC输出。避免数字信号与模拟信号交叠。

电路板相反两侧上的走线应彼此垂直，以减小电路板的馈通效应。推荐使用微带线技术，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

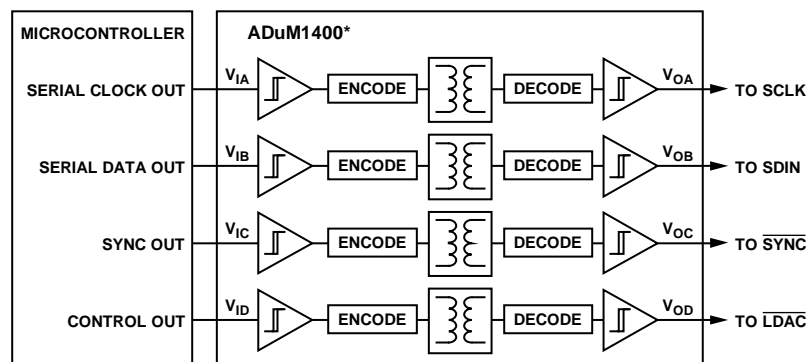
电流隔离接口

在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以保护和隔离控制电路遭受可能发生的任何危险的共模电压。隔离耦合器可提供超过2.5 kV的电压隔离。AD5762R采用串行加载结构，使接口线路数量保持在最小值，因此成为隔离接口的理想选择。图44显示使用ADuM1400 *iCoupler*®产品时与AD5762R的4通道隔离接口。有关*iCoupler*产品的更多信息，请访问www.analog.com。

微处理器接口

AD5762R通过一条串行总线实现与微处理器的接口，这条总线使用与微控制器和DSP处理器兼容的标准协议。通信通道是包含一个时钟信号、一个数据信号和一个同步信号的三线(最少的)接口。AD5762R需要24位数据字，在SCLK的下降沿时数据有效。

对于所有接口来说，当所有数据输入时DAC的输出可以自动更新，或者可以在LDAC的控制下完成。通过回读功能可以读取DAC寄存器的内容。



*ADDITIONAL PINS OMITTED FOR CLARITY.

图44. 隔离接口

07248-065

评估板

AD5762R的性能可利用AD5764R评估板评估。

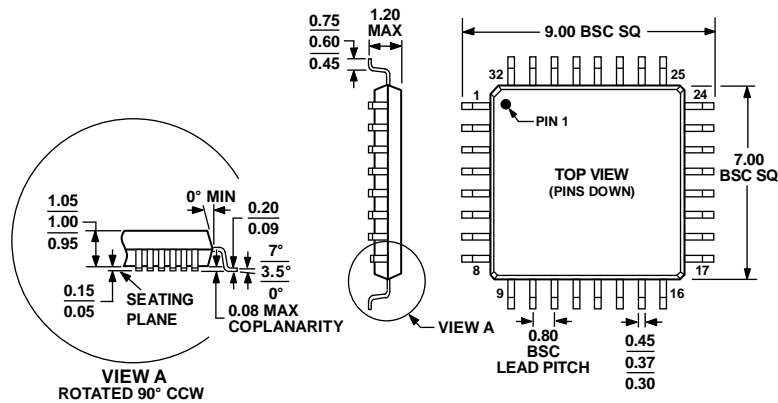
利用该评估板，设计人员可以毫不费力地评估该器件的高性能。评估板仅需要电源和PC。AD5764R评估套件包括已装配和测试的

AD5764R PCB。评估板与PC的USB接口连接。软件与评估板一同提供，便于用户设置AD5764R。软件可在已安装Microsoft Windows® 2 000/XP的PC上运行。

已发布一篇应用笔记，其中提供了该评估板工作的全部细节。

AD5762R

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-ABA

图45. 32引脚TQFP封装
(SU-32-2)

尺寸单位: mm

020607-A

订购指南

型号 ¹	功能	INL	温度范围	内部基准电压源	封装描述	封装选项
AD5762RCSUZ	双通道16位DAC	±1 LSB(最大值)	-40°C至+85°C	+5 V	32引脚 TQFP	SU-32-2
AD5762RCSUZ-REEL7	双通道16位DAC	±1 LSB(最大值)	-40°C至+85°C	+5 V	32引脚 TQFP	SU-32-2

¹ Z = 符合RoHS标准的器件。