

### 特性

均方根噪声：11 nV (4.7 Hz, G = 128)  
 15.5 位无噪声分辨率 (2.4 kHz, G = 128)  
 最高 22 位无噪声分辨率 (G = 1)  
 失调漂移：5 nV/°C  
 增益漂移：1 ppm/°C  
 稳定的时间漂移特性  
 2 个差分 / 4 个伪差分输入通道  
 自动通道序列器  
 可编程增益 (1 至 128)  
 输出数据速率：4.7 Hz 至 4.8 kHz  
 内部或外部时钟  
 50 Hz/60 Hz 同时抑制  
 4 路通用数字输出  
 电源电压  
   AV<sub>DD</sub>：3 V 至 5.25 V  
   DV<sub>DD</sub>：2.7 V 至 5.25 V  
 电流：4.35 mA  
 温度范围：-40°C 至 +105°C  
 封装：24 引脚 TSSOP

### 接口

三线式串行接口  
 SPI、QSPI™、MICROWIRE™和 DSP 兼容  
 SCLK 引脚内为施密特触发

### 应用

电子秤  
 应变计传感器  
 压力测量  
 温度测量  
 色谱仪  
 PLC/DCS 模拟输入模块  
 数据采集  
 医疗与科学仪器

### 概述

AD7192 是一款适合高精密度测量应用的低噪声完整模拟前端，内置一个低噪声、24 位  $\Sigma$ - $\Delta$  型模数转换器 (ADC)。片内低噪声增益级意味着可直接输入小信号。

这款器件可配置为两路差分输入或四路伪差分输入。片内通道序列器可以使能多个通道，AD7192 按顺序在各使能通道上执行转换，这可以简化与器件的通信。片内 4.92 MHz 时钟可以用作 ADC 的时钟源；或者，也可以使用外部时钟或晶振。该器件的输出数据速率可在 4.7 Hz 至 4.8 kHz 的范围内变化。

这款器件提供两种数字滤波器选项。滤波器的选择会影响以编程输出数据速率工作时的均方根噪声和无噪声分辨率、建立时间以及 50 Hz/60 Hz 抑制。针对要求所有转换均需建立的应用，AD7192 具有零延迟特性。

这款器件采用 3 V 至 5.25 V 电源供电，功耗为 4.35 mA，提供 24 引脚 TSSOP 封装。

### 功能框图

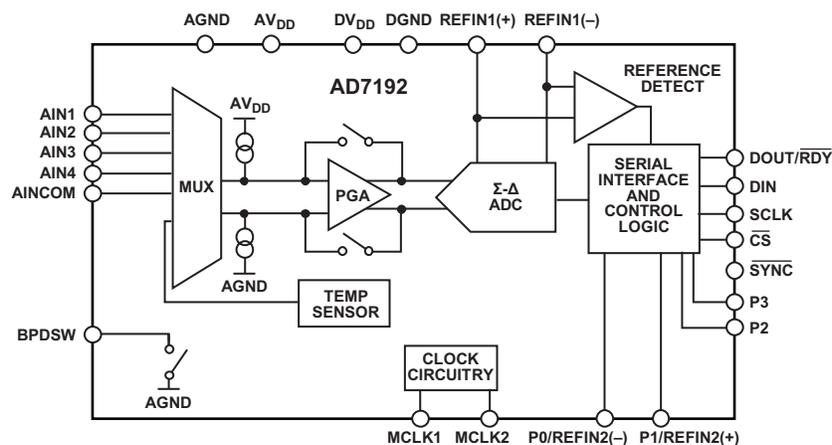


图 1

### Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
 Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
 Fax: 781.461.3113 ©2011 Analog Devices, Inc. All rights reserved.

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

## 目录

特性 .....	1	失调寄存器 .....	24
接口 .....	1	满量程寄存器 .....	24
应用 .....	1	ADC 电路信息 .....	25
概述 .....	1	概述 .....	25
功能框图 .....	1	滤波器、输出数据速率和建立时间 .....	25
修订历史 .....	2	数字接口 .....	28
技术规格 .....	3	电路描述 .....	32
时序特性 .....	7	模拟输入通道 .....	32
电路图和时序图 .....	7	可编程增益阵列 (PGA) .....	32
绝对最大额定值 .....	9	双极性 / 单极性配置 .....	32
热阻 .....	9	数据输出编码 .....	32
ESD 警告 .....	9	时钟 .....	32
引脚配置和功能描述 .....	10	激励电流 .....	33
典型工作特性 .....	12	基准电压 .....	33
均方根噪声与分辨率 .....	14	基准电压检测 .....	33
SINC <sup>4</sup> 斩波禁用 .....	14	复位 .....	34
SINC <sup>3</sup> 斩波禁用 .....	15	系统同步 .....	34
SINC <sup>4</sup> 斩波使能 .....	16	温度传感器 .....	34
SINC <sup>3</sup> 斩波使能 .....	17	电桥关断开关 .....	34
片内寄存器 .....	18	逻辑输出 .....	34
通信寄存器 .....	18	使能奇偶校验 .....	35
状态寄存器 .....	19	校准 .....	35
模式寄存器 .....	19	接地和布局布线 .....	36
配置寄存器 .....	21	应用信息 .....	37
数据寄存器 .....	23	电子秤 .....	37
ID 寄存器 .....	23	外形尺寸 .....	38
GPOCON 寄存器 .....	24	订购指南 .....	38

## 修订历史

### 2009 年 5 月—修订版 0 至修订版 A

更改增益误差规格 .....	3
更改表 3 .....	9

### 2009 年 5 月—修订版 0 : 初始版

## 技术规格

除非另有说明， $AV_{DD} = 3\text{ V}$  至  $5.25\text{ V}$ ， $DV_{DD} = 2.7\text{ V}$  至  $5.25\text{ V}$ ， $AGND = DGND = 0\text{ V}$ ， $REFINx(+)=AV_{DD}$ ， $REFINx(-)=AGND$ ， $MCLK = 4.92\text{ MHz}$ ， $T_A = T_{MIN}$  至  $T_{MAX}$ 。

表 1

参数	AD7192B	单位	测试条件 / 注释 <sup>1</sup>
ADC			
输出数据速率	4.7 至 4800 1.17 至 1200 1.56 至 1600	Hz, 标称值 Hz, 标称值 Hz, 标称值	斩波禁用 斩波使能, sinc <sup>4</sup> 滤波器 斩波使能, sinc <sup>3</sup> 滤波器
无失码 <sup>2</sup>	24 24	位, 最小值 位, 最小值	FS > 1, sinc <sup>4</sup> 滤波器 <sup>3</sup> FS > 4, sinc <sup>3</sup> 滤波器 <sup>3</sup>
分辨率			参见均方根噪声与分辨率部分
均方根噪声与输出数据速率			参见均方根噪声与分辨率部分
积分非线性 增益 = 1 <sup>2</sup>	±10	ppm (满量程范围的百万分率), 最大值	典型值 ±2 ppm, $AV_{DD} = 5\text{ V}$
	±15	ppm (满量程范围的百万分率), 最大值	典型值 ±2 ppm, $AV_{DD} = 3\text{ V}$
增益 > 1	±30	ppm (满量程范围的百万分率), 最大值	典型值 ±5 ppm, $AV_{DD} = 5\text{ V}$
	±30	ppm (满量程范围的百万分率), 最大值	典型值 ±12 ppm, $AV_{DD} = 3\text{ V}$
失调误差 <sup>4,5</sup>	±150/ 增益 ±0.5	μV, 典型值 μV, 典型值	斩波禁用 斩波使能
失调误差漂移与温度的关系	±150/ 增益 ±5	nV/°C, 典型值 nV/°C, 典型值	增益 = 1 至 16; 斩波禁用 增益 = 32 至 128; 斩波禁用
失调误差漂移与时间的关系	±5	nV/°C, 典型值	斩波使能
增益误差 <sup>4</sup>	25	nV/1000 小时, 典型值	增益 > 32
	±0.001	%, 典型值	$AV_{DD} = 5\text{ V}$ , 增益 = 1, $T_A = 25^\circ\text{C}$ (工厂校准条件)
	-0.39	%, 典型值	增益 = 128, 满量程校准之前 (见表 23)
	±0.003	%, 典型值	增益 > 1, 内部满量程校准之后, $AV_{DD} \geq 4.75\text{ V}$
	±0.005	%, 典型值	增益 > 1, 内部满量程校准之后, $AV_{DD} < 4.75\text{ V}$
增益漂移与温度的关系	±1	ppm/°C, 典型值	
增益漂移与时间的关系	10	ppm/1000 小时, 典型值	增益 = 1
电源抑制	90 95	dB, 典型值 dB, 最小值	增益 = 1, $V_{IN} = 1\text{ V}$ . 增益 > 1, $V_{IN} = 1\text{ V}$ / 增益, 典型值 110 dB
共模抑制			
@ DC <sup>2</sup>	100	dB, 最小值	增益 = 1, $V_{IN} = 1\text{ V}$ .
@ DC	110	dB, 最小值	增益 > 1, $V_{IN} = 1\text{ V}$ / 增益
@ 50 Hz, 60 Hz <sup>2</sup>	120	dB, 最小值	10 Hz 输出数据速率, $50 \pm 1\text{ Hz}$ , $60 \pm 1\text{ Hz}$
@ 50 Hz, 60 Hz <sup>2</sup>	120	dB, 最小值	$50 \pm 1\text{ Hz}$ (50 Hz 输出数据速率), $60 \pm 1\text{ Hz}$ (60 Hz 输出数据速率)
串模抑制 <sup>2</sup>			
Sinc <sup>4</sup> 滤波器			
内部时钟			
@ 50 Hz, 60 Hz	100 74	dB, 最小值 dB, 最小值	10 Hz 输出数据速率, $50 \pm 1\text{ Hz}$ , $60 \pm 1\text{ Hz}$ 50 Hz 输出数据速率, $REJ_{60} = 1$ , $50 \pm 1\text{ Hz}$ , $60 \pm 1\text{ Hz}$ .
@ 50 Hz	96	dB, 最小值	50 Hz 输出数据速率, $50 \pm 1\text{ Hz}$
@ 60 Hz	97	dB, 最小值	60 Hz 输出数据速率, $60 \pm 1\text{ Hz}$

# AD7192

参数	AD7192B	单位	测试条件 / 注释 <sup>1</sup>
外部时钟 @ 50 Hz, 60 Hz	120 82	dB, 最小值 dB, 最小值	10 Hz 输出数据速率, 50 ± 1 Hz, 60 ± 1 Hz 50 Hz 输出数据速率, REJ60 <sup>6</sup> = 1, 50 ± 1 Hz, 60 ± 1 Hz.
@ 50 Hz @ 60 Hz Sinc <sup>3</sup> 滤波器 内部时钟 @ 50 Hz, 60 Hz	120 120 75 60	dB, 最小值 dB, 最小值 dB, 最小值 dB, 最小值	10 Hz 输出数据速率, 50 ± 1 Hz, 60 ± 1 Hz 50 Hz 输出数据速率, REJ60 <sup>6</sup> = 1, 50 ± 1 Hz, 60 ± 1 Hz.
@ 50 Hz @ 60 Hz 外部时钟 @ 50 Hz, 60 Hz	70 70 100 67	dB, 最小值 dB, 最小值 dB, 最小值 dB, 最小值	50 Hz 输出数据速率, 50 ± 1 Hz 60 Hz 输出数据速率, 60 ± 1 Hz 10 Hz 输出数据速率, 50 ± 1 Hz, 60 ± 1 Hz 50 Hz 输出数据速率, REJ60 <sup>6</sup> = 1, 50 ± 1 Hz, 60 ± 1 Hz.
@ 50 Hz @ 60 Hz	95 95	dB, 最小值 dB, 最小值	50 Hz 输出数据速率, 50 ± 1 Hz 60 Hz 输出数据速率, 60 ± 1 Hz
模拟输入 差分输入电压范围	±V <sub>REF</sub> / 增益 ±(AV <sub>DD</sub> - 1.25 V)/ 增益	V, 标称值 V, 最小值 / 最大值	V <sub>REF</sub> = REFINx(+) - REFINx(-), 增益 = 1 至 128 增益 > 1
绝对 AIN 电压限值 <sup>2</sup> 无缓冲模式	AGND - 50 mV AV <sub>DD</sub> + 50 mV	V, 最小值 V, 最大值	
缓冲模式	AGND + 250 mV AV <sub>DD</sub> - 250 mV	V, 最小值 V, 最大值	
模拟输入电流 缓冲模式 输入电流 <sup>2</sup>	±2 ±3	nA, 最大值 nA, 最大值	增益 = 1 增益 > 1
输入电流漂移 无缓冲模式 输入电流	±5	pA/°C, 典型值	
输入电流漂移	±3.5 ±1 ±0.05 ±1.6	μA/V, 典型值 μA/V, 典型值 nA/V/°C, 典型值 nA/V/°C, 典型值	增益 = 1, 输入电流随输入电压而变化 增益 > 1 外部时钟 内部时钟
基准输入 REFIN 电压	AV <sub>DD</sub> 1 AV <sub>DD</sub>	V, 标称值 V, 最小值 V, 最大值	REFIN = REFINx(+) - REFINx(-). 增益 > 1 时, 差分输入必须限制在 ±(AV <sub>DD</sub> - 1.25 V)/ 增益以内
绝对 REFIN 电压限值 <sup>2</sup>	GND - 50 mV AV <sub>DD</sub> + 50 mV	V, 最小值 V, 最大值	
平均基准输入电流	4.5	μA/V, 典型值	

参数	AD7192B	单位	测试条件 / 注释 <sup>1</sup>
平均基准输入电流温漂	±0.03 ±1.3	nA/V/°C, 典型值 nA/V/°C, 典型值	外部时钟 内部时钟
串模抑制 <sup>2</sup>	与模拟输入相同		
共模抑制	100	dB, 典型值	
基准电压检测电平	0.3 0.6	V, 最小值 V, 最大值	
温度传感器			
精度	±2	°C, 典型值	在 25°C 进行用户校准后适用
灵敏度	2815	码/°C, 典型值	双极性模式
电桥关断开关			
R <sub>ON</sub>	10	Ω, 最大值	
容许电流 <sup>2</sup>	30	mA, 最大值	连续电流
激励电流			
A <sub>IN</sub> 电流	500	nA, 标称值	模拟输入必须经过缓冲并禁用斩波
数字输出 (P0 至 P3)			
输出高电压 V <sub>OH</sub>	AV <sub>DD</sub> - 0.6	V, 最小值	AV <sub>DD</sub> = 3 V, I <sub>SOURCE</sub> = 100 μA.
输出低电压 V <sub>OL</sub>	0.4	V, 最大值	AV <sub>DD</sub> = 3 V, I <sub>SINK</sub> = 100 μA.
输出高电压 V <sub>OH</sub>	4	V, 最小值	AV <sub>DD</sub> = 5 V, I <sub>SOURCE</sub> = 200 μA.
输出低电压 V <sub>OL</sub>	0.4	V, 最大值	AV <sub>DD</sub> = 5 V, I <sub>SINK</sub> = 800 μA.
浮空态漏电流 <sup>2</sup>	±100	nA, 最大值	
浮空态输出电容	10	pF, 典型值	
内部 / 外部时钟			
内部时钟			
频率	4.92 ± 4%	MHz, 最小值 / 最大值	
占空比	50:50	%, 典型值	
外部时钟 / 晶振			
频率	4.9152 2.4576/5.12	MHz, 标称值 MHz, 最小值 / 最大值	
输入低电压 V <sub>INL</sub>	0.8 0.4	V, 最大值 V, 最大值	DV <sub>DD</sub> = 5 V. DV <sub>DD</sub> = 3 V.
输入高电压 V <sub>INH</sub>	2.5 3.5	V, 最小值 V, 最小值	DV <sub>DD</sub> = 3 V. DV <sub>DD</sub> = 5 V.
输入电流	±10	μA, 最大值	
逻辑输入			
输入高电压 V <sub>INH</sub> <sup>2</sup>	2	V, 最小值	
输入低电压 V <sub>INL</sub> <sup>2</sup>	0.8	V, 最大值	
迟滞 <sup>2</sup>	0.1/0.25	V, 最小值 / 最大值	
输入电流	±10	μA, 最大值	
逻辑输出 (DOUT/) RDY			
输出高电压 V <sub>OH</sub> <sup>2</sup>	DV <sub>DD</sub> - 0.6	V, 最小值	DV <sub>DD</sub> = 3 V, I <sub>SOURCE</sub> = 100 μA.
输出低电压 V <sub>OL</sub> <sup>2</sup>	0.4	V, 最大值	DV <sub>DD</sub> = 3 V, I <sub>SINK</sub> = 100 μA.
输出高电压 V <sub>OH</sub> <sup>2</sup>	4	V, 最小值	DV <sub>DD</sub> = 5 V, I <sub>SOURCE</sub> = 200 μA.
输出低电压 V <sub>OL</sub> <sup>2</sup>	0.4	V, 最大值	DV <sub>DD</sub> = 5 V, I <sub>SINK</sub> = 1.6 mA.
浮空态漏电流	±10	μA, 最大值	
浮空态输出电容	10	pF, 典型值	
数据输出编码	偏移二进制		

# AD7192

参数	AD7192B	单位	测试条件 / 注释 <sup>1</sup>
系统校准 <sup>2</sup>			
满量程校准限值	$1.05 \times FS$	V, 最大值	
零电平校准限值	$-1.05 \times FS$	V, 最小值	
输入范围	$0.8 \times FS$	V, 最小值	
	$2.1 \times FS$	V, 最大值	
电源要求 <sup>7</sup>			
电源电压			
$AV_{DD} - AGND$	3/5.25	V, 最小值 / 最大值	
$DV_{DD} - DGND$	2.7/5.25	V, 最小值 / 最大值	
电源电流			
$AI_{DD}$ 电流	0.6	mA, 最大值	典型值 0.53 mA, 增益 = 1, 缓冲器关断
	0.85	mA, 最大值	典型值 0.75 mA, 增益 = 1, 缓冲器开启
	3.2	mA, 最大值	典型值 2.5 mA, 增益 = 8, 缓冲器关断
	3.6	mA, 最大值	典型值 3 mA, 增益 = 8, 缓冲器开启
	4.5	mA, 最大值	典型值 3.5 mA, 增益 = 16 至 128, 缓冲器关断
	5	mA, 最大值	典型值 4 mA, 增益 = 16 至 128, 缓冲器开启
$DI_{DD}$ 电流	0.4	mA, 最大值	典型值 0.35 mA, $DV_{DD} = 3V$
	0.6	mA, 最大值	典型值 0.5 mA, $DV_{DD} = 5V$
	1.5	mA, 典型值	使用外部晶振
$I_{DD}$ (关断模式)	3	$\mu A$ , 最大值	

<sup>1</sup> 温度范围:  $-40^{\circ}C$  至  $+105^{\circ}C$ 。

<sup>2</sup> 技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

<sup>3</sup> FS 为模式寄存器 FS9 位至 FS0 位中的十进制等效值。

<sup>4</sup> 经过系统校准或内部零电平校准后, 失调误差与选定的编程增益和输出数据速率所对应的噪声相当。系统满量程校准可将增益误差降至与编程增益和输出数据速率所对应的噪声相当。

<sup>5</sup> 模拟输入配置为差分模式。

<sup>6</sup> REJ60 是模式寄存器中的一位。输出数据速率设置为 50 Hz 时, REJ60 设置为 1 将使陷波频率位于 60 Hz, 从而提供 50 Hz/60 Hz 同时抑制。

<sup>7</sup> 数字输入等于  $DV_{DD}$  或 DGND。

## 时序特性

除非另有说明， $AV_{DD} = 3\text{ V}$  至  $5.25\text{ V}$ ， $DV_{DD} = 2.7\text{ V}$  至  $5.25\text{ V}$ ， $AGND = DGND = 0\text{ V}$ ，输入逻辑 0 =  $0\text{ V}$ ，输入逻辑 1 =  $DV_{DD}$ 。

表 2

参数	$T_{MIN}$ 、 $T_{MAX}$ 时的限值 (B 级)	单位	条件 / 注释 <sup>1,2</sup>
$t_3$	100	ns, 最小值	SCLK 高电平脉冲宽度
$t_4$	100	ns, 最小值	SCLK 低电平脉冲宽度
读操作			
$t_1$	0	ns, 最小值	$\overline{CS}$ 下降沿到 $\overline{DOUT/RDY}$ 有效时间
	60	ns, 最大值	$DV_{DD} = 4.75\text{ V}$ 至 $5.25\text{ V}$
	80	ns, 最大值	$DV_{DD} = 2.7\text{ V}$ 至 $3.6\text{ V}$
$t_2^3$	0	ns, 最小值	SCLK 有效沿到数据有效延迟 <sup>4</sup>
	60	ns, 最大值	$DV_{DD} = 4.75\text{ V}$ 至 $5.25\text{ V}$
	80	ns, 最大值	$DV_{DD} = 2.7\text{ V}$ 至 $3.6\text{ V}$
$t_5^{5,6}$	10	ns, 最小值	$\overline{CS}$ 无效沿后的总线释放时间
	80	ns, 最大值	
$t_6$	0	ns, 最小值	SCLK 无效沿到 $\overline{CS}$ 无效沿
$t_7$	10	ns, 最小值	SCLK 无效沿到 $\overline{DOUT/RDY}$ 高电平
写操作			
$t_8$	0	ns, 最小值	$\overline{CS}$ 下降沿到 SCLK 有效沿建立时间 <sup>4</sup>
$t_9$	30	ns, 最小值	数据有效到 SCLK 沿建立时间
$t_{10}$	25	ns, 最小值	数据有效到 SCLK 沿保持时间
$t_{11}$	0	ns, 最小值	$\overline{CS}$ 上升沿到 SCLK 沿保持时间

<sup>1</sup> 样片在初次发布期间均经过测试，以确保符合标准要求。所有输入信号均指定  $t_r = t_f = 5\text{ ns}$  ( $DV_{DD}$  的 10% 到 90%)，并从 1.6V 电平起开始计时。

<sup>2</sup> 参见图 3 和图 4。

<sup>3</sup> 这些数值是采用图 2 所示负载电路而测得，定义为输出跨越  $V_{OL}$  或  $V_{OH}$  限值所需的时间。

<sup>4</sup> SCLK 有效沿为 SCLK 的下降沿。

<sup>5</sup> 这些数值来源于所测得的时间，该时间为采用图 2 所示负载电路时数据输出改变 0.5V 所需的时间。然后将测得的数值反向外推，以消除 50 pF 电容的充电或放电效应。这意味着，时序特性所给出的时间是该器件真正的总线释放时间，因而与外部总线负载电容无关。

<sup>6</sup> RDY 在读取数据寄存器之后返回高电平。在单次转换模式和连续转换模式下，当 RDY 为高电平时，如果需要，可以再次读取同一数据，但应注意确保后续读操作的发生时间不能接近下一次输出更新时间。如果使能连续读取特性，则数字字只能被读取一次。

## 电路图和时序图

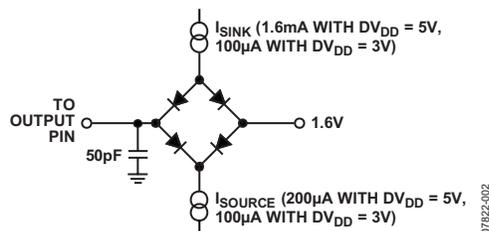


图 2. 用于确定时序特性的负载电路

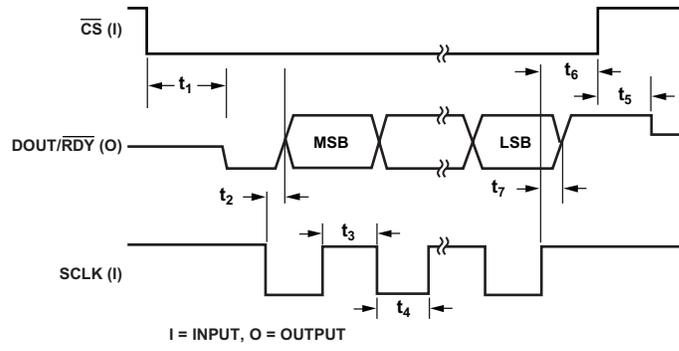


图 3. 读周期时序图

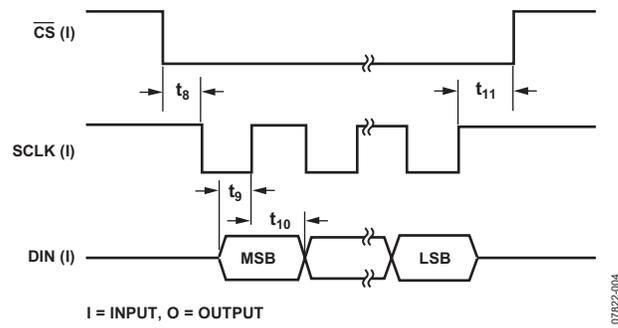


图 4. 写周期时序图

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表 3

参数	额定值
$AV_{DD}$ 至 AGND	-0.3 V 至 +6.5 V
$DV_{DD}$ 至 AGND	-0.3 V 至 +6.5 V
AGND 至 DGND	-0.3 V 至 +0.3 V
模拟输入电压至 AGND	-0.3 V 至 $AV_{DD} + 0.3\text{ V}$
基准输入电压至 AGND	-0.3 V 至 $AV_{DD} + 0.3\text{ V}$
数字输入电压至 DGND	-0.3 V 至 $DV_{DD} + 0.3\text{ V}$
数字输出电压至 DGND	-0.3 V 至 $DV_{DD} + 0.3\text{ V}$
AIN/ 数字输入电流	10 mA
工作温度范围	-40°C 至 +105°C
存储温度范围	-65°C 至 +150°C
最高结温	150°C
引脚温度, 回流焊	260°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 热阻

$\theta_{JA}$  针对最差条件，即器件以表贴封装焊接在电路板上。

表 4. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	单位
24 引脚 TSSOP	128	42	$^\circ\text{C}/\text{W}$

## ESD 警告



### ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

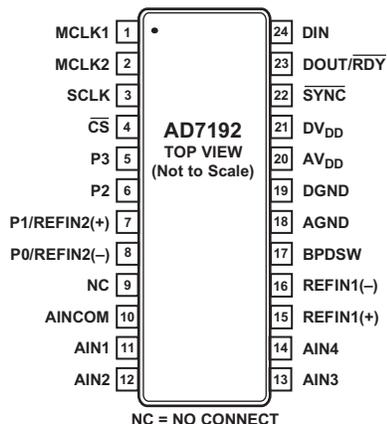


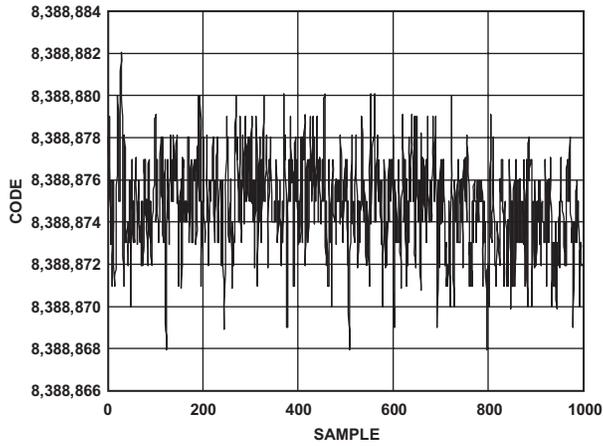
图 5. 引脚配置

表 5. 引脚功能描述

引脚编号	引脚名称	描述
1	MCLK1	当本器件的主时钟由外部的晶振提供时，该晶振连接在 MCLK1 与 MCLK2 之间。
2	MCLK2	器件的主时钟信号。AD7192 具有一个 4.92 MHz 内部时钟。该内部时钟可以通过 MCLK2 引脚为器件提供，也可以用晶振或外部时钟为 AD7192 提供时钟。晶振可以连接在 MCLK1 与 MCLK2 引脚上。或者，也可以利用 CMOS 兼容时钟驱动 MCLK2 引脚，此时 MCLK1 引脚保持不连接状态。
3	SCLK	串行时钟输入。该串行时钟输入用于与 ADC 进行数据传输。SCLK 具有施密特触发式输入，因而该接口适合光隔离应用。该串行时钟可以是连续式时钟，所有数据均在连续的脉冲串中传输。或者，它也可以是非连续式时钟，来往 ADC 的信息以较小的数据包形式传输。
4	$\overline{CS}$	片选输入引脚。这是一个低电平有效逻辑输入，用于选择 ADC。 $\overline{CS}$ 可以用来在串行总线上具有多个器件的系统中选择 ADC，或者用作帧同步信号与器件通信。 $\overline{CS}$ 可以用硬连线方式置为低电平，使得 ADC 能以 3 线模式工作，使用 SCLK、DIN 和 DOUT 与器件接口。
5	P3	数字输出引脚。该引脚可以用作通用输出位，以 AV <sub>DD</sub> 与 AGND 之间的电压为基准。
6	P2	数字输出引脚。该引脚可以用作通用输出位，以 AV <sub>DD</sub> 与 AGND 之间的电压为基准。
7	P1/REFIN2(+)	数字输出引脚 / 正基准输入。该引脚用作通用输出位，以 AV <sub>DD</sub> 与 AGND 之间的电压为基准。配置寄存器中的 REFSEL 位 = 1 时，该引脚用作 REFIN2(+). 可以在 REFIN2(+) 与 REFIN2(-) 之间施加一个外部基准电压。REFIN2(+) 可以是 AV <sub>DD</sub> 与 AGND + 1 V 之间的任意值。标称基准电压 (REFIN2(+) - REFIN2(-)) 为 AV <sub>DD</sub> ，但该器件可以采用 1 V 至 AV <sub>DD</sub> 范围内的基准电压工作。
8	P0/REFIN2(-)	数字输出引脚 / 负基准输入。该引脚用作通用输出位，以 AV <sub>DD</sub> 与 AGND 之间的电压为基准。配置寄存器中的 REFSEL 位 = 1 时，该引脚用作 REFIN2(-)。该基准输入可以是 AGND 与 AV <sub>DD</sub> - 1 V 之间的任意值。
9	NC	不连接。该引脚应与 AGND 相连。
10	AINCOM	配置为伪差分工作模式时，模拟输入 AIN1 至 AIN4 以此输入为基准。
11	AIN1	模拟输入引脚。结合 AIN2 使用时，它可以配置为全差分输入对的正输入；结合 AINCOM 使用时，它可以配置为伪差分输入。
12	AIN2	模拟输入引脚。结合 AIN1 使用时，它可以配置为全差分输入对的负输入；结合 AINCOM 使用时，它可以配置为伪差分输入。

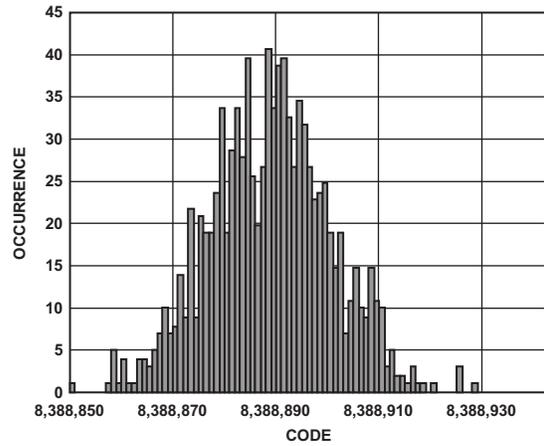
引脚编号	引脚名称	描述
13	AIN3	模拟输入引脚。结合 AIN4 使用时，它可以配置为全差分输入对的正输入；结合 AINCOM 使用时，它可以配置为伪差分输入。
14	AIN4	模拟输入引脚。结合 AIN3 使用时，它可以配置为全差分输入对的负输入；结合 AINCOM 使用时，它可以配置为伪差分输入。
15	REFIN1(+)	正基准输入。可以在 REFIN1(+) 与 REFIN1(-) 之间施加一个外部基准电压。REFIN1(+) 可以是 $AV_{DD}$ 与 $AGND + 1V$ 之间的任意值。标称基准电压 (REFIN1(+) - REFIN1(-)) 为 $AV_{DD}$ ，但该器件可以采用 $1V$ 至 $AV_{DD}$ 范围内的基准电压工作。
16	REFIN1(-)	负基准输入。该基准输入可以是 $AGND$ 与 $AV_{DD} - 1V$ 之间的任意值。
17	BPDSW	电桥关断开关，与 $AGND$ 相连。
18	AGND	模拟地参考点。
19	DGND	数字地参考点。
20	$AV_{DD}$	模拟电源电压， $3V$ 至 $5.25V$ 。 $AV_{DD}$ 独立于 $DV_{DD}$ 。因此， $DV_{DD}$ 可以工作在 $3V$ ，而 $AV_{DD}$ 工作在 $5V$ ，或者相反。
21	$DV_{DD}$	数字电源电压， $2.7V$ 至 $5.25V$ 。 $DV_{DD}$ 独立于 $AV_{DD}$ 。因此， $AV_{DD}$ 可以工作在 $3V$ ，而 $DV_{DD}$ 工作在 $5V$ ，或者相反。
22	$\overline{SYNC}$	逻辑输入；使用多个 AD7192 器件时，它可以使数字滤波器与模拟调制器同步。当 $\overline{SYNC}$ 为低电平时，数字滤波器的节点、滤波器控制逻辑和校准控制逻辑复位，并且模拟调制器也保持在复位状态。 $\overline{SYNC}$ 不影响数字接口，但若它为低电平，则会将 $\overline{RDY}$ 复位为高电平状态。 $\overline{SYNC}$ 有一个与 $DV_{DD}$ 相连的内部上拉电阻。
23	$DOUT/\overline{RDY}$	串行数据输出 / 数据就绪输出引脚。 $DOUT/\overline{RDY}$ 具有双重作用。它可以用作串行数据输出引脚，以访问 ADC 的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。此外， $DOUT/\overline{RDY}$ 可以用作数据就绪引脚，变为低电平时表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。 $\overline{RDY}$ 下降沿可以用作处理器的中断，表示存在可用的有效数据。采用外部串行时钟时，可以利用 $DOUT/\overline{RDY}$ 引脚读取数据。 $\overline{CS}$ 为低电平时，数据 / 控制字信息在 $SCLK$ 下降沿被置于 $DOUT/\overline{RDY}$ 引脚上，在 $SCLK$ 上升沿有效。
24	DIN	ADC 输入移位寄存器的串行数据输入。该移位寄存器中的数据传输至 ADC 内的控制寄存器，通信寄存器的寄存器选择位确定适当的寄存器。

典型工作特性



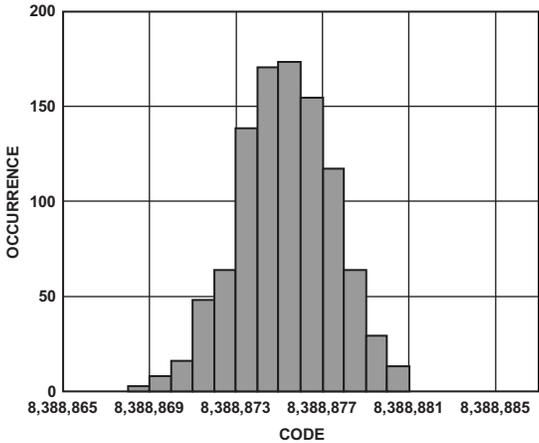
07822-006

图 6. 噪声 ( $V_{REF} = AV_{DD} = 5 V$ , 输出数据速率 = 4.7 Hz, 增益 = 128, 斩波禁用,  $Sinc^4$  滤波器)



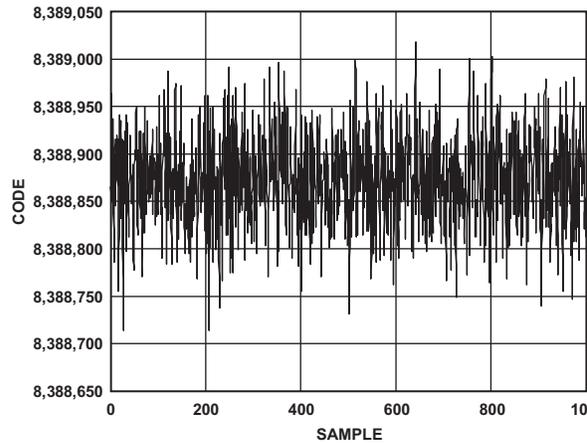
07822-009

图 9. 噪声分布直方图 ( $V_{REF} = AV_{DD} = 5 V$ , 输出数据速率 = 2400 Hz, 增益 = 1, 斩波禁用,  $Sinc^4$  滤波器)



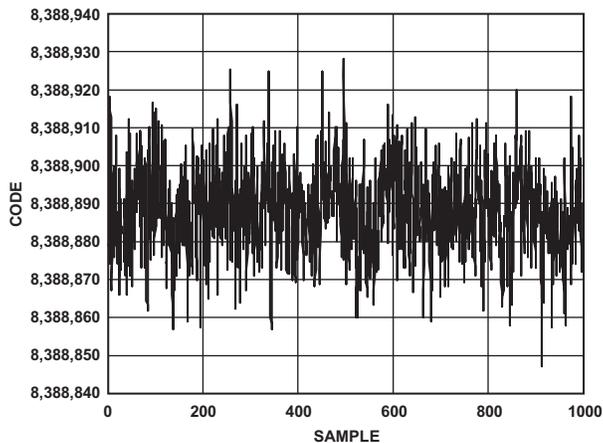
07822-007

图 7. 噪声分布直方图 ( $V_{REF} = AV_{DD} = 5 V$ , 输出数据速率 = 4.7 Hz, 增益 = 128, 斩波禁用,  $Sinc^4$  滤波器)



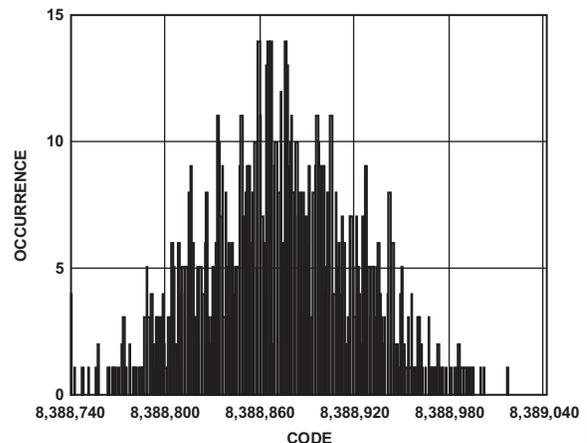
07822-010

图 10. 噪声 ( $V_{REF} = AV_{DD} = 5 V$ , 输出数据速率 = 2400 Hz, 增益 = 128, 斩波禁用,  $Sinc^4$  滤波器)



07822-008

图 8. 噪声 ( $V_{REF} = AV_{DD} = 5 V$ , 输出数据速率 = 2400 Hz, 增益 = 1, 斩波禁用,  $Sinc^4$  滤波器)



07822-011

图 11. 噪声分布直方图 ( $V_{REF} = AV_{DD} = 5 V$ , 输出数据速率 = 2400 Hz, 增益 = 128, 斩波禁用,  $Sinc^4$  滤波器)

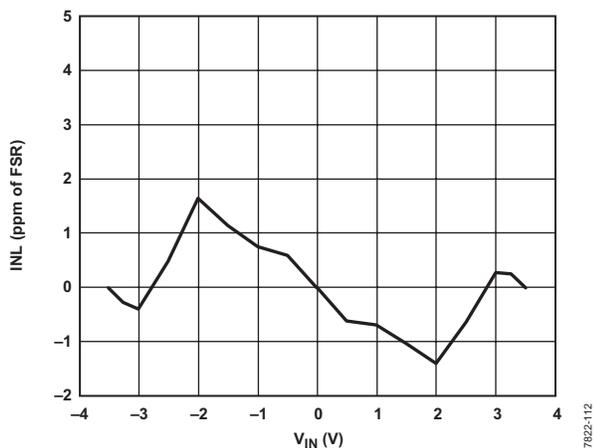


图 12. INL (增益 = 1)

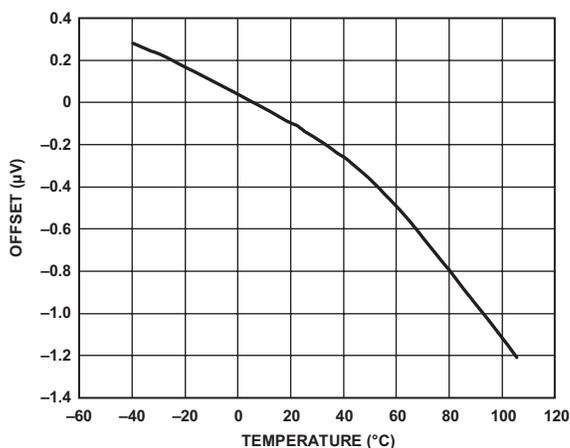


图 15. 失调误差 (增益 = 128, 斩波禁用)

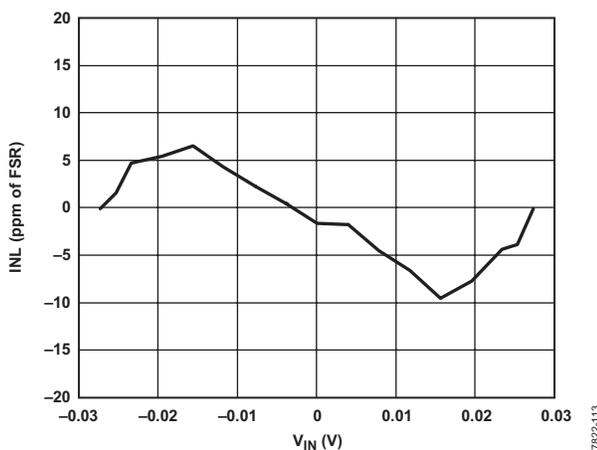


图 13. INL (增益 = 128)

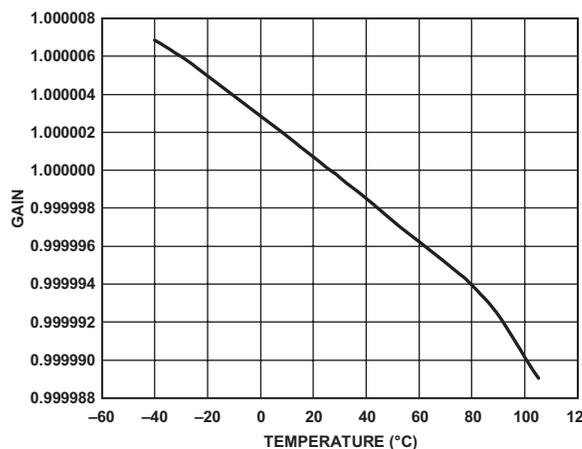


图 16. 增益误差 (增益 = 1)

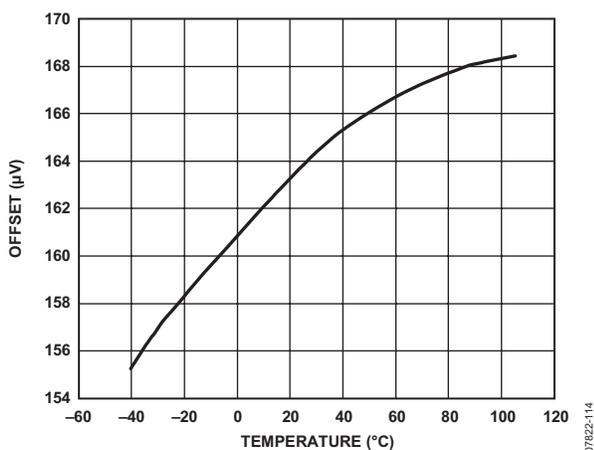


图 14. 失调误差 (增益 = 1, 斩波禁用)

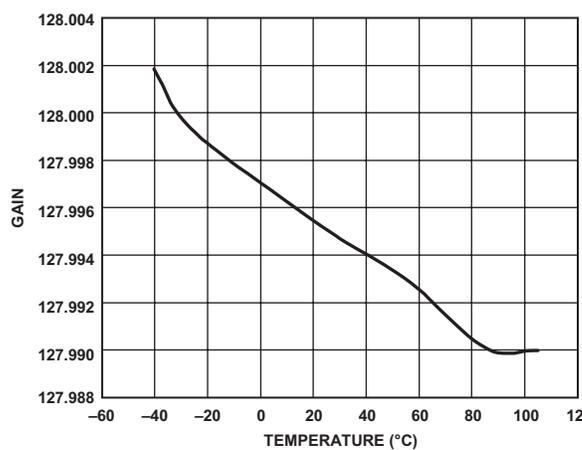


图 17. 增益误差 (增益 = 128)

## 均方根噪声与分辨率

AD7192 有两种滤波器可供选择： $\text{sinc}^4$  和  $\text{sinc}^3$ 。此外，AD7192 可以在斩波使能条件下或斩波禁用条件下工作。

下面的表格显示了 AD7192 在各种条件下的均方根噪声，这些条件包括不同的输出数据速率和增益设置、斩波禁用或斩波使能，以及使用  $\text{sinc}^4$  或  $\text{sinc}^3$  滤波器。所提供的数值针对双极性输入范围以及采用 5 V 外部基准电压源而言。

这些数值为典型值，当 ADC 在单一通道上连续转换、差分输入电压为 0 V 时得到的。表格同时列出了有效分辨率，输出峰峰值 (p-p) 分辨率或无噪声分辨率则列于括号中。必须注意，有效分辨率是利用均方根噪声计算得出，而峰峰值分辨率则是根据峰峰值噪声计算得出。峰峰值分辨率表示无码闪烁情况下的分辨率。这些数据为典型值，已四舍五入到最接近的  $\frac{1}{2}$  LSB。

### SINC<sup>4</sup> 斩波禁用

表 6. 均方根噪声 (nV) 与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据速率 (Hz)	建立时间 (ms)	G = 1	G = 8	G = 16	G = 32	G = 64	G = 128
1023	4.7	852.5	350	50	30	18	13	11
640	7.5	533	425	62	36	21	15	13
480	10	400	490	85	43	23	17	15
96	50	80	2000	260	134	73	46	34
80	60	66.7	2100	273	139	77	48	38
40	120	33.3	2400	315	175	95	64	51
32	150	26.7	2500	335	185	110	71	58
16	300	13.3	3100	420	240	145	95	81
5	960	4.17	4800	690	390	240	170	145
2	2400	1.67	7500	1100	640	390	273	235
1	4800	0.83	16,300	2200	1200	670	427	345

表 7. 有效分辨率 (峰峰值分辨率) 与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据速率 (Hz)	建立时间 (ms)	G = 1 <sup>1</sup>	G = 8 <sup>1</sup>	G = 16 <sup>1</sup>	G = 32 <sup>1</sup>	G = 64 <sup>1</sup>	G = 128 <sup>1</sup>
1023	4.7	852.5	24 (22)	24 (22)	24 (21.5)	24 (21.5)	23.5 (21)	22.5 (20)
640	7.5	533	24 (22)	24 (21.5)	24 (21.5)	23.5 (21)	23 (20.5)	22.5 (20)
480	10	400	24 (21.5)	23.5 (21)	23.5 (21)	23.5 (21)	23 (20.5)	22 (19.5)
96	50	80	22 (19.5)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21 (18.5)
80	60	66.7	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	20.5 (18)
40	120	33.3	22 (19.5)	21.5 (19)	21.5 (19)	21.5 (19)	21 (18.5)	20.5 (18)
32	150	26.7	21.5 (19)	21.5 (19)	21.5 (19)	21 (18.5)	21 (18.5)	20 (17.5)
16	300	13.3	21.5 (19)	21.5 (19)	21 (18.5)	21 (18.5)	20.5 (18)	19.5 (17)
5	960	4.17	20.5 (18)	20.5 (18)	20.5 (18)	20 (17.5)	19.5 (17)	19 (16.5)
2	2400	1.67	20 (17.5)	20 (17.5)	19.5 (17)	19.5 (17)	19 (16.5)	18 (15.5)
1	4800	0.83	19 (16.5)	19 (16.5)	19 (16.5)	18.5 (16)	18.5 (16)	17.5 (15)

<sup>1</sup> 输出峰峰值 (p-p) 分辨率列于括号中。

**SINC<sup>3</sup> 斩波禁用**

表 8. 均方根噪声 (nV) 与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率 (Hz)	建立时间 (ms)	G = 1	G = 8	G = 16	G = 32	G = 64	G = 128
1023	4.7	639.4	350	51	30	18	15	12
640	7.5	400	440	62	36	22	18	15
480	10	300	500	87	45	26	19	17
96	50	60	2000	255	134	73	47	36
80	60	50	2100	273	139	77	49	40
40	120	25	2400	315	168	96	66	55
32	150	20	2500	335	185	105	73	62
16	300	10	3100	425	235	136	100	86
5	960	3.13	5300	745	415	250	180	156
2	2400	1.25	55800	7100	3600	1750	910	500
1	4800	0.625	446,000	55,400	28,000	14,000	7000	3500

表 9. 有效分辨率 (峰峰值分辨率) 与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率 (Hz)	建立时间 (ms)	G = 1 <sup>1</sup>	G = 8 <sup>1</sup>	G = 16 <sup>1</sup>	G = 32 <sup>1</sup>	G = 64 <sup>1</sup>	G = 128 <sup>1</sup>
1023	4.7	639.4	24 (22)	24 (22)	24 (21.5)	24 (21.5)	23 (20.5)	22.5 (20)
640	7.5	400	24 (21.5)	24 (21.5)	24 (21.5)	23.5 (21)	23 (20.5)	22 (19.5)
480	10	300	24 (21.5)	23.5 (21)	23.5 (21)	23.5 (21)	22.5 (20)	22 (19.5)
96	50	60	22 (19.5)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21 (18.5)
80	60	50	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	20.5 (18)
40	120	25	22 (19.5)	21.5 (19)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
32	150	20	21.5 (19)	21.5 (19)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
16	300	10	21.5 (19)	21.5 (19)	21 (18.5)	21 (18.5)	20.5 (18)	19.5 (17)
5	960	3.13	20.5 (18)	20.5 (18)	20.5 (18)	20 (17.5)	19.5 (17)	18.5 (16)
2	2400	1.25	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)
1	4800	0.625	14 (11.5)	14 (11.5)	14 (11.5)	14 (11.5)	14 (11.5)	14 (11.5)

<sup>1</sup> 输出峰峰值 (p-p) 分辨率列于括号中。

## SINC<sup>4</sup> 斩波使能

表 10. 均方根噪声 (nV) 与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据 速率 (Hz)	建立时间 (ms)	G = 1	G = 8	G = 16	G = 32	G = 64	G = 128
1023	1.175	1702	248	36	22	13	9	8
640	1.875	1067	301	44	26	15	11	10
480	2.5	800	347	61	31	17	13	11
96	12.5	160	1420	184	95	52	33	25
80	15	133	1490	194	99	55	34	27
40	30	66.7	1700	223	124	68	46	37
32	37.5	53.3	1770	237	131	78	51	42
16	75	26.7	2200	297	170	103	68	58
5	240	8.33	3400	488	276	170	121	103
2	600	3.33	5310	780	453	276	194	167
1	1200	1.67	11,600	1560	849	474	302	244

表 11. 有效分辨率 (峰峰值分辨率) 与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据速 率 (Hz)	建立时间 (ms)	G = 1 <sup>1</sup>	G = 8 <sup>1</sup>	G = 16 <sup>1</sup>	G = 32 <sup>1</sup>	G = 64 <sup>1</sup>	G = 128 <sup>1</sup>
1023	1.175	1702	24 (22.5)	24 (22.5)	24 (22)	24 (22)	24 (21.5)	23 (20.5)
640	1.875	1067	24 (22.5)	24 (22)	24 (22)	24 (21.5)	23.5 (21)	23 (20.5)
480	2.5	800	24 (22)	24 (21.5)	24 (21.5)	24 (21.5)	23.5 (21)	22.5 (20)
96	12.5	160	22.5 (20)	22.5 (20)	22.5 (20)	22.5 (20)	22 (19.5)	21.5 (19)
80	15	133	22.5 (20)	22.5 (20)	22.5 (20)	22 (19.5)	22 (19.5)	21 (18.5)
40	30	66.7	22.5 (20)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21 (18.5)
32	37.5	53.3	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	20.5 (18)
16	75	26.7	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
5	240	8.33	21 (18.5)	21 (18.5)	21 (18.5)	20.5 (18)	20 (17.5)	19.5 (17)
2	600	3.33	20.5 (18)	20.5 (18)	20 (17.5)	20 (17.5)	19.5 (17)	18.5 (16)
1	1200	1.67	19.5 (17)	19.5 (17)	19.5 (17)	19 (16.5)	19 (16.5)	18 (15.5)

<sup>1</sup> 输出峰峰值 (p-p) 分辨率列于括号中。

SINC<sup>3</sup> 斩波使能

表 12. 均方根噪声 (nV) 与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据速 率 (Hz)	建立时间 (ms)	G = 1	G = 8	G = 16	G = 32	G = 64	G = 128
1023	1.56	1282	248	37	22	13	11	9
640	2.5	800	312	44	26	16	13	11
480	3.33	600	354	62	32	19	14	13
96	16.6	120	1415	181	95	52	34	26
80	20	100	1485	194	99	55	35	29
40	40	50	1698	223	119	68	47	39
32	50	40	1768	237	131	75	52	44
16	100	20	2193	301	167	97	71	61
5	320	6.25	3748	527	294	177	128	111
2	800	2.5	39500	5020	2546	1240	644	354
1	1600	1.25	315,400	39,200	19,800	9900	4950	2500

表 13. 有效分辨率 (峰峰值分辨率) 与增益和输出数据速率的关系

滤波器字 (十进制)	输出数据速 率 (Hz)	建立时间 (ms)	G = 1 <sup>1</sup>	G = 8 <sup>1</sup>	G = 16 <sup>1</sup>	G = 32 <sup>1</sup>	G = 64 <sup>1</sup>	G = 128 <sup>1</sup>
1023	1.56	1282	24 (22.5)	24 (22.5)	24 (22)	24 (22)	23.5 (21)	23 (20.5)
640	2.5	800	24 (22)	24 (22)	24 (22)	24 (21.5)	23.5 (21)	22.5 (20)
480	3.33	600	24 (22)	24 (21.5)	24 (21.5)	24 (21.5)	23 (20.5)	22.5 (20)
96	16.6	120	22.5 (20)	22.5 (20)	22.5 (20)	22.5 (20)	22 (19.5)	21.5 (19)
80	20	100	22.5 (20)	22.5 (20)	22.5 (20)	22 (19.5)	22 (19.5)	21 (18.5)
40	40	50	22.5 (20)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	20.5 (18)
32	320	40	22 (19.5)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	20.5 (18)
16	100	20	22(19.5)	22 (19.5)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
5	320	6.25	21 (18.5)	20.5 (18)	20.5 (18)	20 (17.5)	19.5 (17)	18.5 (16)
2	800	2.5	17.5 (15)	17.5 (15)	17.5 (15)	17.5 (15)	17.5 (15)	17.5 (15)
1	1600	1.25	14.5 (12)	14.5 (12)	14.5 (12)	14.5 (12)	14.5 (12)	14.5 (12)

<sup>1</sup> 输出峰峰值 (p-p) 分辨率列于括号中。

## 片内寄存器

该 ADC 通过许多片内寄存器进行控制和配置，下面的章节将对这些寄存器进行详细说明。在下面的描述中，如无特殊说明，“置 1”表示逻辑 1 状态，“清 0”表示逻辑 0 状态。

### 通信寄存器

(RS2, RS1, RS0 = 0, 0, 0)

通信寄存器是一个 8 位只写寄存器。与该器件的所有通信均必须以对通信寄存器的写操作开始。写入通信寄存器的数据决定下一个操作是读操作还是写操作，以及此操作发生在哪一个寄存器。对于读或写操作，当随后对选定寄存

器的读或写操作完成后，接口返回到期待对通信寄存器执行写操作的状态。这是接口的默认状态，而且在上电时或复位后，ADC 处于此默认状态，等待对通信寄存器的写操作。如果接口时序丢失，执行一个占用至少 40 个串行时钟周期的写操作，并使 DIN 处于高电平状态，将可以复位整个器件，使 ADC 返回此默认状态。表 14 列出了通信寄存器各位的名称和意义。CR0 至 CR7 表示位的位置，CR 说明这些位属于通信寄存器。CR7 表示数据流的第一位。括号中的数值表示该位的上电 / 复位默认状态。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
WEN(0)	R/W(0)	RS2(0)	RS1(0)	RS0(0)	CREAD(0)	0(0)	0(0)

表 14. 通信寄存器位功能描述

位的位置	位的名称	描述
CR7	WEN	写入使能位。必须将 0 写入此位，才能对通信寄存器执行写操作。如果第一位写入 1，则器件不会将后续位载入寄存器，而是停留在此位的位置，直到此位写入 0。将 0 写入 WEN 位后，器件便会将后续 7 位载入通信寄存器。在两次数据传输之间将 DIN 引脚置为高电平，可以最大程度地降低杂散 SCLK 脉冲对串行接口的影响。
CR6	R/W	如果此位为 0，则表示下一个操作是对指定寄存器执行写操作。如果此位为 1，则表示下一个操作是对指定寄存器执行读操作。
CR5 至 CR3	RS2 至 RS0	寄存器地址位。这些地址位决定串行接口通信期间选择 ADC 的哪些寄存器（见表 15）。
CR2	CREAD	连续读取数据寄存器。当此位为 1（并且已选择数据寄存器）时，串行接口可以连续读取数据寄存器；即在 RDY 引脚变为低电平（表示转换已完成）后施加 SCLK 脉冲时，数据寄存器的内容将自动置于 DOUT 引脚上。对于后续数据读取，不必对通信寄存器执行写操作。要启用连续读取模式，必须将指令 01011100 写入通信寄存器。要禁用连续读取模式，必须在 RDY 引脚为低电平时将指令 01011000 写入通信寄存器。使能连续读取后，ADC 将监控 DIN 线路上的活动，以便能接收指令以禁用连续读取。此外，如果 DIN 上连续出现 40 个 1，ADC 将复位。因此，DIN 应保持低电平，直到有指令将要写入该器件。
CR1 至 CR0	0	必须将这些位编程为逻辑 0 才能正常工作。

表 15. 寄存器选择

RS2	RS1	RS0	寄存器	寄存器大小
0	0	0	写操作期间为通信寄存器	8 位
0	0	0	读操作期间为状态寄存器	8 位
0	0	1	模式寄存器	24 位
0	1	0	配置寄存器	24 位
0	1	1	数据寄存器 / 数据寄存器加状态信息	24 位 / 32 位
1	0	0	ID 寄存器	8 位
1	0	1	GPOCON 寄存器	8 位
1	1	0	失调寄存器	24 位
1	1	1	满量程寄存器	24 位

## 状态寄存器

**(RS2, RS1, RS0 = 0, 0, 0; 上电 / 复位 = 0x80)**

状态寄存器是一个 8 位只读寄存器。要访问 ADC 状态寄存器，用户必须写入通信寄存器，选择下一个操作为读操作，并将 0 载入位 RS2、位 RS1 和位 RS0。表 16 列出了状态寄存器各位的名称和意义。SR0 至 SR7 表示位的位置，SR 说明这些位属于状态寄存器。SR7 表示数据流的第一位。括号中的数值表示该位的上电 / 复位默认状态。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
RDY(1)	ERR(0)	NOREF(0)	PARITY(0)	0(0)	CHD2(0)	CHD1(0)	CHD0(0)

表 16. 状态寄存器位功能描述

位的位置	位的名称	描述
SR7	RDY	ADC 就绪位。数据写入 ADC 数据寄存器后此位清 0。读取 ADC 数据寄存器之后，或者在用新转换结果更新数据寄存器之前的一定时间内，RDY 位自动置 1，以告知用户不应读取转换数据。将器件置于关断模式或空闲模式时，或者当 SYNC 变为低电平时，此位也会置 1。DOUT/RDY 引脚也会指示转换何时结束。该引脚可以代替状态寄存器来监视 ADC 有无转换数据。
SR6	ERR	ADC 错误位。此位与 RDY 位同时写入。如果此位置 1，则说明写入 ADC 数据寄存器的结果箝位为全 0 或全 1。错误源包括超量程、欠量程或缺少基准电压。如果写入数据寄存器的结果再次回到容许的模拟输入范围内，则此位清 0。
SR5	NOREF	无外部基准电压位。如果此位置 1，则说明选定的基准电压(REFIN1 或 REFIN2)低于规定的阈值。置 1 后，转换结果箝位为全 1。如果此位清 0，则说明对选定的基准电压引脚施加了有效基准电压。将配置寄存器中的 REFDET 位置 1 可启用 NOREF 位。
SR4	PARITY	数据寄存器的奇偶校验。如果模式寄存器中的 ENPAR 位置 1，并且数据寄存器中有奇数个 1，则 PARITY 位置 1。如果数据寄存器中有偶数个 1，则此位清 0。使用奇偶校验时，模式寄存器中的 DAT_STA 位应置 1。DAT_STA 位置 1 后，状态寄存器的内容将与每次从数据寄存器读取的数据一同传输。
SR3	0	此位置 0。
SR2 至 SR0	CH2 至 CH0	这些位指示哪一通道对应数据寄存器的内容。这些位不是指示目前正在转换哪一通道，而是指示产生数据寄存器所含转换结果时选定了哪一通道。

## 模式寄存器

**(RS2, RS1, RS0 = 0, 0, 1; 上电 / 复位 = 0x080060)**

模式寄存器是一个 24 位寄存器，可以从中读取数据，也可以将数据写入其中。此寄存器用来选择工作模式、输出数据速率和时钟源。表 17 列出了模式寄存器各位的名称和意义。MR0 至 MR23 表示位的位置，MR 说明这些位属于模式寄存器。MR23 表示数据流的第一位。括号中的数值表示该位的上电 / 复位默认状态。只要对模式寄存器执行写操作，就会复位调制器和滤波器，并将 RDY 位置 1。

MR23	MR22	MR21	MR20	MR19	MR18	MR17	MR16
MD2(0)	MD1(0)	MD0(0)	DAT_STA(0)	CLK1(1)	CLK0(0)	0	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8
SINC3(0)	0	ENPAR(0)	CLK_DIV(0)	SINGLE(0)	REJ60(0)	FS9(0)	FS8(0)
MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
FS7(0)	FS6(1)	FS5(1)	FS4(0)	FS3(0)	FS2(0)	FS1(0)	FS0(0)

表 17. 模式寄存器位功能描述

位的位置	位的名称	描述		
MR23 至 MR21	MD2 至 MD0	模式选择位。这些位选择 AD7192 的工作模式（参见表 18）。		
MR20	DAT_STA	此位使能每次数据寄存器读操作之后传输状态寄存器内容。DAT_STA 置 1 后，状态寄存器的内容将与每次从数据寄存器读取的数据一同传输。此功能在选定多个通道的情况下很有用，因为状态寄存器可确定哪一通道与数据寄存器值对应。		
MR19, MR18	CLK1, CLK0	这些位用来选择 AD7192 的时钟源。可以使用片内 4.92 MHz 时钟或外部时钟。使用外部时钟时，多个 AD7192 器件可以同步。此外，当采用精确的外部时钟驱动 AD7192 时，可以改善 50 Hz/60 Hz 抑制性能。		
		<b>CLK1</b>	<b>CLK0</b>	<b>ADC 时钟源</b>
		0	0	外部晶振。外部晶振是从 MCLK1 连至 MCLK2。
		0	1	外部时钟。外部时钟施加于 MCLK2 引脚。
1	0	4.92 MHz 内部时钟。MCLK2 引脚为三态。		
1	1	4.92 MHz 内部时钟。内部时钟可从 MCLK2 获得。		
MR17, MR16	0	必须将这些位编程为逻辑 0 才能正常工作。		
MR15	SINC3	Sinc <sup>3</sup> 滤波器选择位。当此位清 0 时，使用 sinc <sup>4</sup> 滤波器（默认值）。当此位置 1 时，使用 sinc <sup>3</sup> 滤波器。与 sinc <sup>4</sup> 滤波器相比，sinc <sup>3</sup> 滤波器的优势是建立时间更短。对于给定输出数据速率 $f_{ADC}$ ，当斩波禁用时，sinc <sup>3</sup> 滤波器的建立时间为 $3/f_{ADC}$ ，而 sinc <sup>4</sup> 滤波器的建立时间为 $4/f_{ADC}$ 。由于陷波更深，sinc <sup>4</sup> 滤波器的 50 Hz/60 Hz 抑制性能更佳。当输出数据速率较低时，对于给定输出数据速率，两种滤波器具有相似的均方根噪声和无失码特性。当输出数据速率较高时（FS 值小于 5），sinc <sup>4</sup> 滤波器的均方根噪声和无失码性能优于 sinc <sup>3</sup> 滤波器。		
MR14	0	必须将此位编程为逻辑 0 才能正常工作。		
MR13	ENPAR	使能奇偶校验位。ENPAR 置 1 时，使能对数据寄存器的奇偶校验。使用奇偶校验时，模式寄存器中的 DAT_STA 位位置 1。DAT_STA 位置 1 后，状态寄存器的内容将与每次从数据寄存器读取的数据一同传输。		
MR12	CLK_DIV	时钟 2 分频。CLK_DIV 置 1 时，主时钟 2 分频。正常转换时，此位应设置为 0。执行内部满量程校准时，如果 $AV_{DD}$ 小于 4.75 V，此位必须置 1。执行校准时，使能斩波并使用较低的输出数据速率可以优化校准精度。如果 $AV_{DD}$ 大于或等于 4.75 V，执行内部满量程校准时不要求将 CLK_DIV 位置 1。		
MR11	SINGLE	单周期转换使能位。此位置 1 时，AD7192 在一个转换周期内建立，以便用作零延迟 ADC。如果使能多个模拟输入通道，或者选择单次转换模式，则此位无作用。		
MR10	REJ60	当 sinc 滤波器的第一陷波频率为 50 Hz 时，此位可使能一个 60 Hz 的陷波频率。当 sinc 滤波器的第一陷波频率为 50 Hz 时，REJ60 置 1 将使滤波器获得一个 60 Hz 的陷波频率，从而实现 50 Hz/60 Hz 同时抑制。		
MR9 至 MR0	FS9 至 FS0	滤波器输出数据速率选择位。这 10 位数据决定滤波器截止频率、滤波器第一陷波频率的位置以及器件的输出数据速率。它们还与增益选择一起决定器件的输出噪声（因而也决定了有效分辨率，参见表 6 至表 13）。禁用斩波并选择连续转换模式时， $\text{输出数据速率} = (MCLK/1024)/FS$ 其中 FS 为 FS0 至 FS9 位中代码的十进制等效值，其范围是 1 至 1023；MCLK 为主时钟频率。对于 4.92 MHz 标称 MCLK，由上式可得输出数据速率范围是 4.69 Hz 至 4.8 kHz。禁用斩波并且在单一通道上转换时，滤波器第一陷波频率等于输出数据速率。使能斩波时， $\text{输出数据速率} = (MCLK/1024)/(N \times FS)$ 其中 FS 为 FS0 至 FS9 位中代码的十进制等效值，其范围是 1 至 1023；MCLK 为主时钟频率。对于 4.92 MHz 标称 MCLK，由上式可得转换速率范围是 4.69/N Hz 至 4.8/N kHz，其中 N 为 sinc 滤波器的阶数。sinc 滤波器的第一陷波频率等于 (N × 输出数据速率)。斩波引入的陷波频率为 (输出数据速率 / 2) 的奇数倍。		

表 18. 工作模式

MD2	MD1	MD0	模式
0	0	0	连续转换模式（默认）。在连续转换模式下，ADC 连续执行转换，并将结果置于数据寄存器中。当一次转换结束时，DOUT/RDY 引脚和状态寄存器中的 RDY 位变为低。通过将通信寄存器中的 CREAD 位设置为 1（使能连续读取），用户可以读取这些转换结果。当使能连续读取并施加 SCLK 脉冲时，转换结果将自动置于 DOUT 线路上。另一方面，用户可以写入通信寄存器，指示 ADC 输出每一转换结果。ADC 上电、复位或重新配置之后，产生第一个有效转换结果所需的时间为滤波器完全建立的时间。后续转换结果将以选定的输出数据速率（取决于滤波器选择）提供。
0	0	1	单次转换模式。选择单次转换模式时，ADC 上电并在选定通道上执行单次转换。内部时钟上电和建立所需时间最多为 1 ms。然后，ADC 执行转换，所需时间为滤波器完全建立的时间。转换结果置于数据寄存器中，RDY 变为低电平，然后 ADC 返回关断模式。在执行另一次转换之前，转换结果将一直保存在数据寄存器中。在数据被读取或执行另一次转换之前，RDY 保持有效（低电平）。
0	1	0	空闲模式。在空闲模式下，ADC 滤波器和调制器保持复位状态，即使仍在提供调制器时钟。
0	1	1	关断模式。在关断模式下，除电桥关断开关外，AD7192 其余电路均关断。电桥关断开关保持有效是出于建立时间考虑，用户可能需要在 AD7192 上电之前，先使传感器上电。如果选择了外部晶振，则它也会保持有效。
1	0	0	内部零电平校准。内部短路自动与输入相连。校准启动时，RDY 变为高电平；校准完成后，RDY 返回低电平。校准操作完成后，ADC 处于空闲模式。测得的失调系数保存在所选通道的失调寄存器中。
1	0	1	内部满量程校准。对于这种校准，满量程输入电压自动连接到输入。RDY 在校准启动时变为高电平，在校准完成时返回低电平。校准操作完成后，ADC 处于空闲模式。测得的满量程系数保存在所选通道的满量程寄存器中。每次更改一个通道的增益时，均需要执行满量程校准，使满量程误差最小。如果 $AV_{DD}$ 小于 4.75 V，则执行内部满量程校准时必须将 CLK_DIV 位置 1。
1	1	0	系统零电平校准。用户应将系统零电平输入连接到配置寄存器中 CH7 至 CH0 位选择的通道输入引脚。RDY 在校准启动时变为高电平，在校准完成时返回低电平。校准操作完成后，ADC 处于空闲模式。测得的失调系数保存在所选通道的失调寄存器中。每次更改一个通道的增益时，均需要执行系统零电平校准。
1	1	1	系统满量程校准。用户应将系统满量程输入连接到配置寄存器中 CH7 至 CH0 位选择的通道输入引脚。RDY 在校准启动时变为高电平，在校准完成时返回低电平。校准操作完成后，ADC 处于空闲模式。测得的满量程系数保存在所选通道的满量程寄存器中。每次更改一个通道的增益时，都需要执行满量程校准。

## 配置寄存器

(RS2, RS1, RS0 = 0, 1, 0; 上电 / 复位 = 0x000117)

配置寄存器是一个 24 位寄存器，可以从中读取数据，也可以将数据写入其中。此寄存器用来配置 ADC 的单极性或双极性模式，使能或禁用缓冲器，使能或禁用激励电流，选择增益，以及选择模拟输入通道。

表 19 列出了配置寄存器各位的名称和意义。CON0 至 CON23 表示位的位置，CON 说明这些位属于配置寄存器。CON23 表示数据流的第一位。括号中的数值表示该位的上电 / 复位默认状态。

<b>CON23</b>	<b>CON22</b>	<b>CON21</b>	<b>CON20</b>	<b>CON19</b>	<b>CON18</b>	<b>CON17</b>	<b>CON16</b>
CHOP(0)	0(0)	0(0)	REFSEL(0)	0(0)	0(0)	0(0)	(0)
<b>CON15</b>	<b>CON14</b>	<b>CON13</b>	<b>CON12</b>	<b>CON11</b>	<b>CON10</b>	<b>CON9</b>	<b>CON8</b>
CH7(0)	CH6(0)	CH5(0)	CH4(0)	CH3(0)	CH2(0)	CH1(0)	CH0(1)
<b>CON7</b>	<b>CON6</b>	<b>CON5</b>	<b>CON4</b>	<b>CON3</b>	<b>CON2</b>	<b>CON1</b>	<b>CON0</b>
BURN(0)	REFDET(0)	0(0)	BUF(1)	U/(0) B	G2(1)	G1(1)	G0(1)

表 19. 配置寄存器位功能描述

位的位置	位的名称	描述
CON23	CHOP	斩波使能位。CHOP 位清 0 时，斩波禁用。CHOP 位置 1 时，斩波使能。使能斩波时，可连续消除 ADC 的失调和失调漂移，但 ADC 的转换时间和建立时间会延长。例如，当 FS = 96（十进制）且选择 sinc <sup>4</sup> 滤波器时，斩波使能情况下的转换时间为 80 ms，建立时间为 160 ms。禁用斩波时，可以实现更高的转换速率。当 FS 字为 96（十进制）且选择 sinc <sup>4</sup> 滤波器时，转换时间为 20 ms，建立时间为 80 ms。然而，在低增益时，可能需要定期执行校准，以消除失调和失调漂移。
CON22, CON21	0	必须将这些位编程为逻辑 0 才能正常工作。
CON20	REFSEL	基准电压选择位。这些位用来选择 ADC 的基准电压源。
		<b>REFSEL</b> <b>基准电压</b>
		0            在 REFIN1(+) 与 REFIN1(-) 之间施加的外部基准电压。
1            在 P1/REFIN2(+) 与 P0/REFIN2(-) 引脚之间施加的外部基准电压。		
CON19 至 CON16	0	必须将这些位编程为逻辑 0 才能正常工作。
CON15 至 CON8	CH7 至 CH0	通道选择位。这些位用来选择使能 AD7192 的哪些通道（见表 20）。可以选择多个通道，AD7192 自动给这些通道排序。各通道上转换所需时间为完全建立时间。执行校准或访问校准寄存器时，只能选择一个通道。
CON7	BURN	此位置 1 将使能信号路径中的 500 nA 电流源。BURN = 0 将禁用激励电流。仅缓冲器处于有效状态且斩波禁用时，才能使能激励电流。
CON6	REFDET	使能基准电压检测功能。置 1 时，如果 ADC 所用的外部基准电压开路或小于 0.6 V（最大值），状态寄存器中的 NOREF 位将给出提示。基准电压检测电路仅在 ADC 有效时工作。
CON5	0	必须将此位编程为逻辑 0 才能正常工作。
CON4	BUF	使能模拟输入端的缓冲器。清 0 时，模拟输入不进行缓冲，可降低器件的功耗。此位置 1 时，模拟输入进行缓冲，用户可以将源阻抗置于前端，而不会给系统带来增益误差。缓冲器禁用时，模拟输入引脚上的电压可以为 AGND 以下 50 mV 至 AV <sub>DD</sub> 以上 50 mV。缓冲器使能时，它需要一些裕量；因此，任何输入引脚上的电压必须在电源轨的 250 mV 范围内。
CON3	U/ $\bar{B}$	极性选择位。此位置 1 时，选择单极性工作模式。此位清 0 时，选择双极性工作模式。
CON2 至 CON0	G2 至 G0	增益选择位。这些位由用户写入，以便选择下列 ADC 输入范围之一：
		<b>G2</b> <b>G1</b> <b>G0</b> <b>增益</b> <b>ADC 输入范围（5V 基准电压）</b>
		0            0            0            1            ±5V
		0            0            1            保留
		0            1            0            保留
		0            1            1            8            ±625 mV
		1            0            0            16          ±312.5 mV
		1            0            1            32          ±156.2 mV
		1            1            0            64          ±78.125 mV
1            1            1            128        ±39.06 mV		

表 20. 通道选择

配置寄存器中的通道使能位								使能的通道		状态寄存器 位 CHD[2:0]	校准寄 存器对
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0	正输入 AIN(+)	负输入 AIN(-)		
1	1	1	1	1	1	1	1	AIN1	AIN2	000	0
								AIN3	AIN4	001	1
								温度传感器		010	无
								AIN2	AIN2	011	0
								AIN1	AINCOM	100	0
								AIN2	AINCOM	101	1
								AIN3	AINCOM	110	2
								AIN4	AINCOM	111	3

### 数据寄存器

**(RS2, RS1, RS0 = 0, 1, 1; 上电 / 复位 = 0x000000)**

此数据寄存器存储 ADC 的转换结果。它是一个 24 位只读寄存器。完成对此寄存器的读操作后，RDY 引脚 / 位置 1。当模式寄存器的 DAT\_STA 位置 1 时，状态寄存器的值会添加到各 24 位转换结果上。建议在多个模拟输入通道使能时采用这种做法，因为状态寄存器的三个 LSB (CHD2 至 CHD0) 可确定转换结果的来源通道。

### ID 寄存器

**(RS2, RS1, RS0 = 1, 0, 0; 上电 / 复位 = 0xX0)**

ID 寄存器存储 AD7192 的识别号。它是一个只读寄存器。

**GPOCON 寄存器****(RS2, RS1, RS0 = 1, 0, 1; 上电 / 复位 = 0x00)**

GPOCON 寄存器是一个 8 位寄存器，可以从中读取数据，也可以将数据写入其中。此寄存器用来使能通用数字输出。

GP7	GP6	GP5	GP4	GP3	GP2	GP1	GP0
0(0)	BPDSW(0)	GP32EN(0)	GP10EN(0)	P3DAT(0)	P2DAT(0)	P1DAT(0)	P0DAT(0)

表 21 列出了 GPOCON 寄存器各位的名称和意义。GP0 至 GP7 表示位的位置，GP 说明这些位属于 GPOCON 寄存器。GP7 表示数据流的第一位。括号中的数值表示该位的上电 / 复位默认状态。

表 21. 寄存器位功能描述

位的位置	位的名称	描述
GP7	0	必须将此位编程为逻辑 0 才能正常工作。
GP6	BPDSW	电桥关断开关控制位。此位由用户置 1，以闭合电桥关断开关 BPDSW（与 AGND 相连）。该开关可提供 30 mA 的吸电流。此位由用户清 0，以断开电桥关断开关。当 ADC 处于关断模式时，电桥关断开关仍然有效。
GP5	GP32EN	数字输出 P3 和数字输出 P2 使能。GP32EN 置 1 时，数字输出 P3 和 P2 为有效状态。GP32EN 清 0 时，P3 和 P2 引脚为三态，并且忽略 P3DAT 和 P2DAT 位。
GP4	GP10EN	数字输出 P1 和数字输出 P0 使能。GP10EN 置 1 时，数字输出 P1 和 P0 为有效状态。GP10EN 清 0 时，P1 和 P0 输出为三态，并且忽略 P1DAT 和 P0DAT 位。当配置寄存器中的 REFSSEL 位设置为 1 时，P1 和 P0 引脚可以用作 REFIN2 的基准输入。
GP3	P3DAT	数字输出 P3。GP32EN 置 1 时，P3DAT 位设置通用输出引脚 P3 的值。P3DAT 为高电平时，输出引脚 P3 为高电平。P3DAT 为低电平时，输出引脚 P3 为低电平。读取 GPOCON 寄存器时，如果 GP32EN 置 1，P3DAT 位将反映 P3 引脚的状态。
GP2	P2DAT	数字输出 P2。GP32EN 置 1 时，P2DAT 位设置通用输出引脚 P2 的值。P2DAT 为高电平时，输出引脚 P2 为高电平。P2DAT 为低电平时，输出引脚 P2 为低电平。读取 GPOCON 寄存器时，如果 GP32EN 置 1，P2DAT 位将反映 P2 引脚的状态。
GP1	P1DAT	数字输出 P1。GP10EN 置 1 时，P1DAT 位设置通用输出引脚 P1 的值。P1DAT 为高电平时，输出引脚 P1 为高电平。P1DAT 为低电平时，输出引脚 P1 为低电平。读取 GPOCON 寄存器时，如果 GP10EN 置 1，P1DAT 位将反映 P1 引脚的状态。
GP0	P0DAT	数字输出 P0。GP10EN 置 1 时，P0DAT 位设置通用输出引脚 P0 的值。P0DAT 为高电平时，输出引脚 P0 为高电平。P0DAT 为低电平时，输出引脚 P0 为低电平。读取 GPOCON 寄存器时，如果 GP10EN 置 1，P0DAT 位将反映 P0 引脚的状态。

**失调寄存器****(RS2, RS1, RS0 = 1, 1, 0; 上电 / 复位 = 0x800000)**

失调寄存器保存 ADC 的失调校准系数。失调寄存器的上电复位值为 0x800000。AD7192 有四个失调寄存器，各通道均有一个专用失调寄存器（见表 20）。各寄存器均为 24 位读写寄存器。该寄存器与相关的满量程寄存器一同使用，以构成寄存器对。如果用户启动内部或系统零电平校准，上电复位值将被自动覆盖。写入失调寄存器时，AD7192 必须处于关断模式或空闲模式。

**满量程寄存器****(RS2, RS1, RS0 = 1, 1, 1; 上电 / 复位 = 0x5XXXX0)**

满量程寄存器是一个 24 位寄存器，用来保存 ADC 的满量程校准系数。AD7192 有四个满量程寄存器，各通道均有一个专用满量程寄存器（见表 20）。满量程寄存器为读写寄存器。不过，写入满量程寄存器时，ADC 必须处于关断模式或空闲模式。这些寄存器在上电时使用工厂校准的满量程校准系数进行配置（执行校准时的增益为 1）；因此，各器件具有不同的默认系数。如果用户启动内部或系统满量程校准，或者写入满量程寄存器，该默认值将被自动覆盖。

## ADC 电路信息

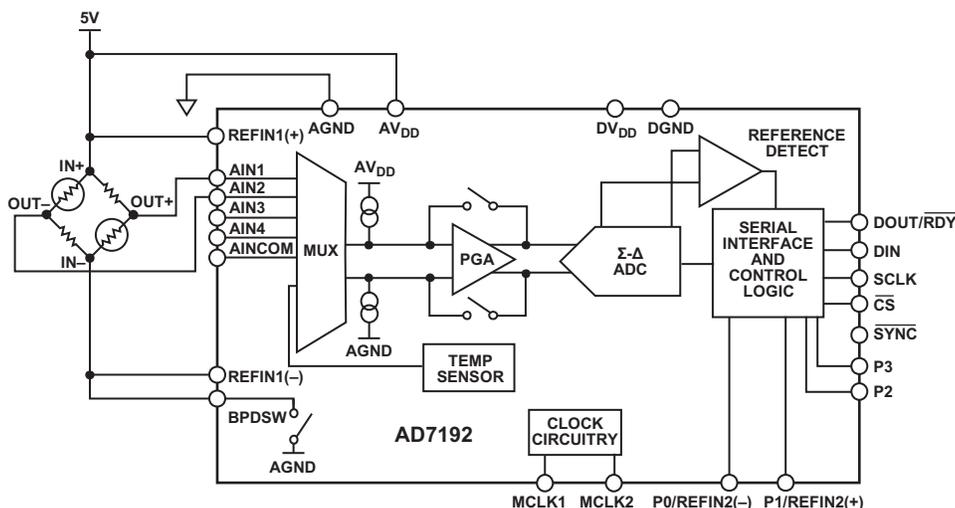


图 18. 基本连接图

### 概述

AD7192 是一款超低噪声 ADC，内置  $\Sigma$ - $\Delta$  调制器、缓冲器、PGA 和片内数字滤波，主要用于测量宽动态范围信号，例如压力传感器、电子秤和应变计应用中的信号。

这款器件可配置为两路差分输入或四路伪差分输入，可以对输入进行缓冲，也可以不缓冲。图 18 显示了该器件工作所需的基本连接。

### 滤波器、输出数据速率和建立时间

$\Sigma$ - $\Delta$  ADC 由调制器和数字滤波器组成。AD7192 提供两种滤波器选择： $\text{sinc}^3$  滤波器和  $\text{sinc}^4$  滤波器。滤波器通过模式寄存器中的 SINC3 位选择。当 SINC3 位设置为 0（默认值）时，选择  $\text{sinc}^4$  滤波器。当 SINC3 位设置为 1 时，选择  $\text{sinc}^3$  滤波器。

输出数据速率较低时 (<1 kHz)，两种滤波器对应的无噪声分辨率相差无几。但是，如果数据更新速率较高，则  $\text{sinc}^4$  滤波器可提供更好的无噪声分辨率。

$\text{sinc}^4$  滤波器还具有更佳的 50 Hz/60 Hz 抑制性能。虽然陷波位置不受滤波器阶数的影响，但滤波器阶数越高，陷波越宽，因而陷波频率附近频带 ( $\pm 1$  Hz) 内的抑制性能更佳。同时，它还能提供更佳的阻带衰减性能。在输出数据速率相同时， $\text{sinc}^3$  滤波器的优势是建立时间更短。

### 斩波禁用

输出数据速率（ADC 连续转换时，单一通道上提供转换结果的速率）等于：

$$f_{ADC} = f_{CLK} / (1024 \times FS[9:0])$$

其中：

$f_{ADC}$  为输出数据速率。

$f_{CLK}$  为主时钟频率（标称值 4.92 MHz）。

FS[9:0] 为模式寄存器中 FS9 位至 FS0 位的十进制等效值。

输出数据速率的编程范围为 4.7 Hz 至 4800 Hz，即 FS[9:0] 的值范围为 1 至 1023。

以上公式对于  $\text{sinc}^3$  和  $\text{sinc}^4$  滤波器均有效。 $\text{sinc}^4$  滤波器的建立时间等于：

$$t_{SETTLE} = 4/f_{ADC}$$

$\text{sinc}^3$  滤波器的建立时间等于：

$$t_{SETTLE} = 3/f_{ADC}$$

图 19 和图 20 分别显示了输出数据速率为 50 Hz 时  $\text{sinc}^4$  和  $\text{sinc}^3$  滤波器的频率响应特性。

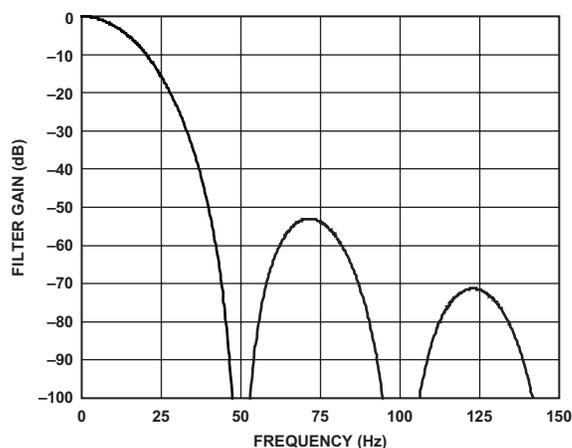


图 19.  $\text{Sinc}^4$  滤波器响应 (50 Hz 输出数据速率)

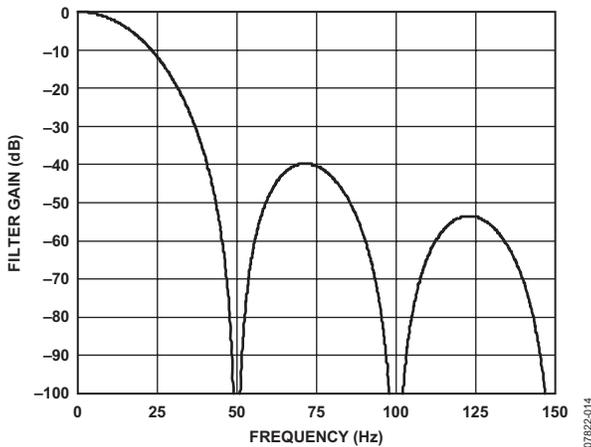


图 20.  $\text{Sinc}^3$  滤波器响应 (50 Hz 输出数据速率)

假设主时钟保持稳定, 则  $\text{Sinc}^4$  滤波器可提供 120 dB 以上的 50 Hz ( $\pm 1$  Hz) 抑制性能, 而  $\text{Sinc}^3$  滤波器可提供 100 dB 的抑制性能。  $\text{Sinc}^4$  滤波器的阻带衰减典型值为 53 dB,  $\text{Sinc}^3$  滤波器则为 40 dB。

$\text{Sinc}^4$  滤波器的 3 dB 频率等于：

$$f_{3dB} = 0.23 \times f_{ADC}$$

$\text{Sinc}^3$  滤波器的 3 dB 频率等于：

$$f_{3dB} = 0.272 \times f_{ADC}$$

### 斩波使能

使能斩波时, ADC 失调和失调漂移可降至最低。使能斩波将使模拟输入引脚连续换向；因此, 在模拟输入引脚沿一个方向连接的情况下, 允许  $\text{Sinc}$  滤波器的建立时间到获得有效转换结果为止。然后, 模拟输入引脚反向, 并且获得另一个有效转换结果。对后续转换结果求平均值, 便可将失调降至最低。模拟输入引脚的这种连续换向以及后续转换结果的均值计算, 意味着失调漂移也得以降至最低。

斩波会影响 ADC 的输出数据速率和建立时间。对于  $\text{Sinc}^4$  滤波器, 输出数据速率等于：

$$f_{ADC} = f_{CLK} / (4 \times 1024 \times FS[9:0])$$

对于  $\text{Sinc}^3$  滤波器, 输出数据速率等于：

$$f_{ADC} = f_{CLK} / (3 \times 1024 \times FS[9:0])$$

其中：

$f_{ADC}$  为输出数据速率。

$f_{CLK}$  为主时钟频率 (标称值 4.92 MHz)。

$FS[9:0]$  为模式寄存器中 FS9 位至 FS0 位的十进制等效值。

$FS[9:0]$  值的变化范围是 1 至 1023；因此,  $\text{Sinc}^4$  滤波器的输出数据速率范围为 1.173 Hz 至 1200 Hz,  $\text{Sinc}^3$  滤波器的输出数据速率范围为 1.56 Hz 至 1600 Hz。  $\text{Sinc}^3$  或  $\text{Sinc}^4$  滤波器的建立时间等于：

$$t_{SETTLE} = 2 / f_{ADC}$$

因此, 对于给定输出数据速率, 斩波使能模式下的建立时间比斩波禁用模式下的建立时间要短。然而, 对于给定  $FS[9:0]$  值, 斩波使能模式下的输出数据速率比斩波禁用模式下的输出数据速率要低。无论是  $\text{Sinc}^3$  滤波器还是  $\text{Sinc}^4$  滤波器, 截止频率  $f_{3dB}$  均等于

$$f_{3dB} = 0.24 \times f_{ADC}$$

图 21 和图 22 分别显示了斩波使能模式下  $\text{Sinc}^4$  和  $\text{Sinc}^3$  滤波器的滤波器响应特性。如图所示, 与斩波禁用模式相比, 阻带衰减较少。

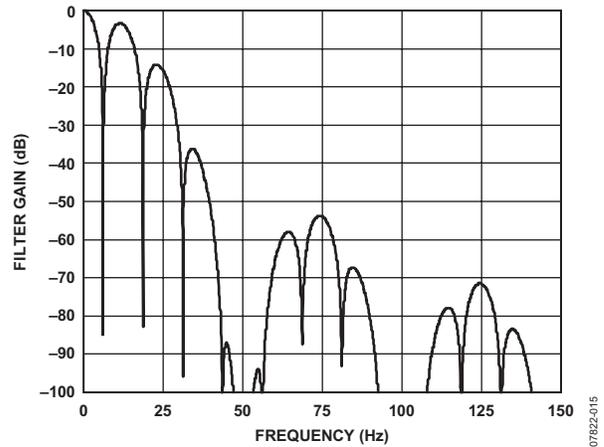


图 21.  $\text{Sinc}^4$  滤波器响应 (12.5 Hz 输出数据速率, 斩波使能)

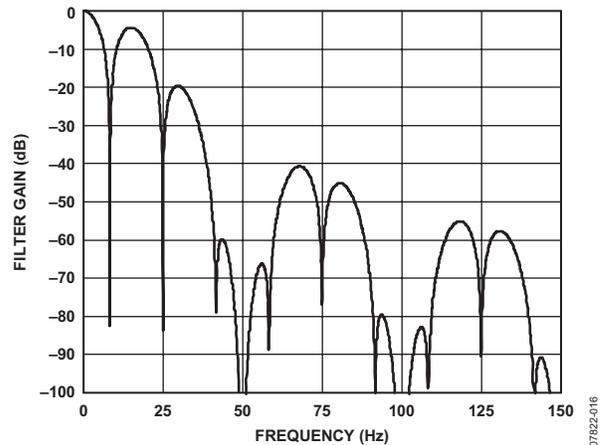


图 22.  $\text{Sinc}^3$  滤波器响应 (16.6 Hz 输出数据速率, 斩波使能)

## 50 Hz/60 Hz 抑制

串模抑制是数字滤波器的主要功能之一。在斩波禁用模式下，当输出数据速率设置为 50 Hz 时，可获得 50 Hz 抑制，而输出数据速率设置为 60 Hz 时，则可实现 60 Hz 抑制。当输出数据速率设置为 10 Hz 时，可获得 50 Hz/60 Hz 同时抑制。也可以利用模式寄存器中的 REJ60 位，实现 50 Hz/60 Hz 同时抑制。当输出数据速率设置为 50 Hz 且 REJ60 位设置为 1 时，50 Hz 和 60 Hz 均为陷波频率。图 23 和图 24 分别显示了  $\text{sinc}^4$  和  $\text{sinc}^3$  滤波器的频率响应特性，其中输出数据速率设置为 50 Hz，并且 REJ60 位设置为 1。

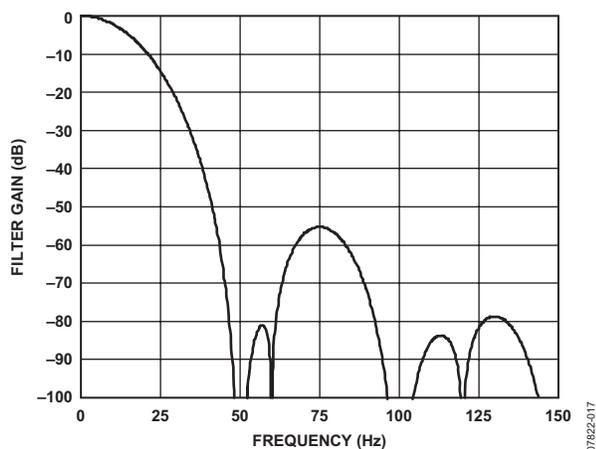


图 23.  $\text{sinc}^4$  滤波器响应 (50 Hz 输出数据速率, REJ60=1)

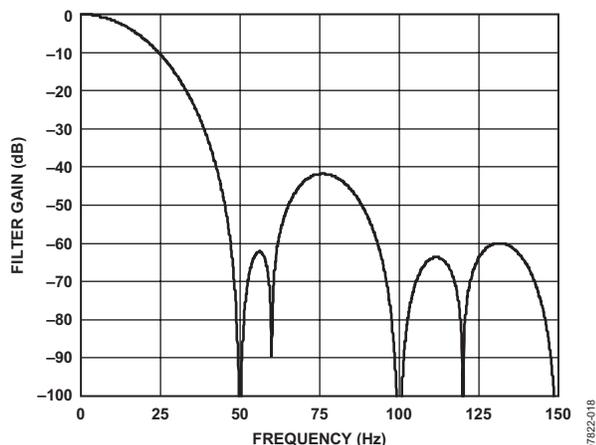


图 24.  $\text{sinc}^3$  滤波器响应 (50 Hz 输出数据速率, REJ60=1)

同样,  $\text{sinc}^4$  滤波器的 50 Hz/60 Hz 抑制性能优于  $\text{sinc}^3$  滤波器。此外,  $\text{sinc}^4$  滤波器的阻带衰减性能也更佳。

在斩波使能模式下, 要实现 50 Hz/60 Hz 抑制, 必须使用较低的数据速率。如果 REJ60 设置为 1, 则对于  $\text{sinc}^4$  滤波器, 12.5 Hz 的输出数据速率可以实现 50 Hz/60 Hz 同时抑制, 而对于  $\text{sinc}^3$  滤波器, 16.7 Hz 的输出数据速率可以实现 50 Hz/60 Hz 同时抑制。图 25 和图 26 分别显示了 REJ60 设置为 1 时上述两种输出数据速率下的滤波器响应特性。

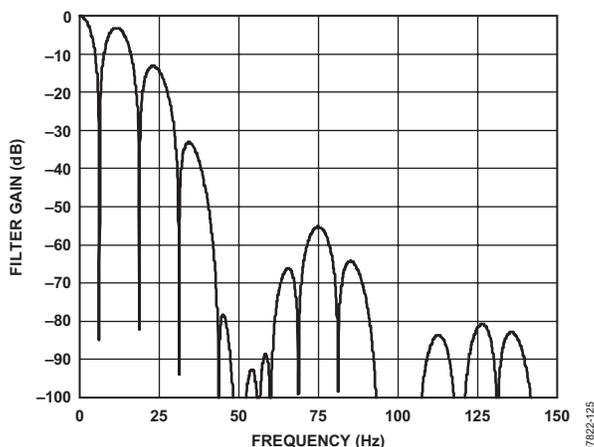


图 25.  $\text{sinc}^4$  滤波器响应 (12.5 Hz 输出数据速率, 斩波使能, REJ60 = 1)

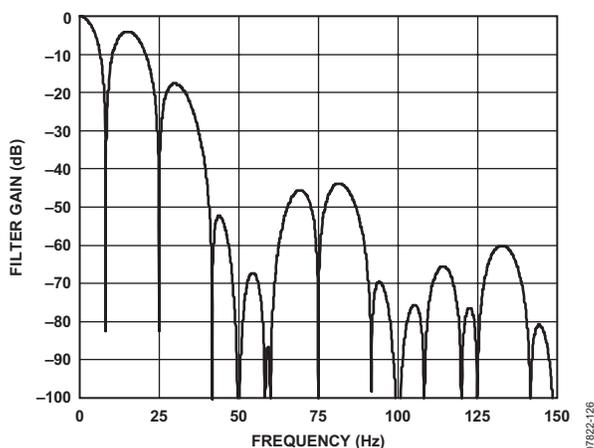


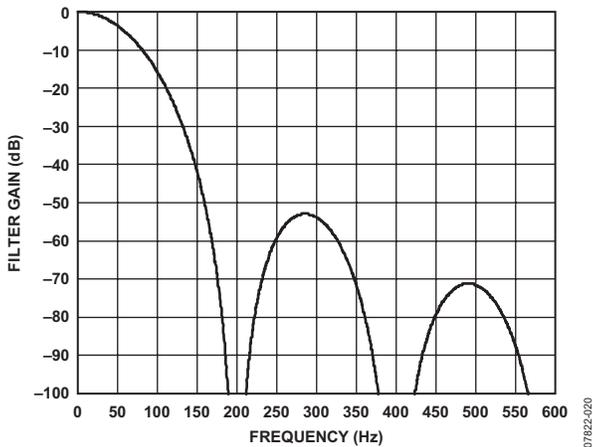
图 26.  $\text{sinc}^3$  滤波器响应 (16.7 Hz 输出数据速率, 斩波使能, REJ60 = 1)

## 零延迟

将模式寄存器中的 SINGLE 位设置为 1 可启用零延迟。在零延迟模式下, 每次转换均有完整建立时间。因此,

$$f_{\text{ADC}} = 1/t_{\text{SETTLE}}$$

零延迟意味着无论使能多少模拟输入通道, 输出数据速率均保持恒定; 用户无需考虑通道变化对输出数据速率的影响。零延迟的缺点是: 对于给定输出数据速率, 其噪声高于非零延迟模式。例如, 在未使能零延迟的条件下, 当输出数据速率为 50 Hz 且增益设置为 128 时, AD7192 的无噪声分辨率为 18.5 位; 而在使能零延迟的条件下, 当输出数据速率为 50 Hz 时, AD7192 的峰峰值分辨率为 17.5 位。滤波器响应特性也会发生改变。图 19 显示了 50 Hz 输出数据速率时  $\text{sinc}^4$  滤波器的滤波器响应特性 (零延迟禁用)。图 27 显示了零延迟使能且输出数据速率为 50 Hz ( $\text{sinc}^4$  滤波器) 时的滤波器响应特性; 此时无法实现 50 Hz 抑制。零延迟使能时, 要获得 50 Hz 抑制, ADC 必须以 12.5 Hz 输出数据速率工作。为获得 50 Hz/60 Hz 同时抑制, 当输出数据速率等于 12.5 Hz 时, 可以将模式寄存器中的 REJ60 位设置为 1。阻带衰减性能也大幅降低 (零延迟模式下为 3 dB, 而非零延迟模式下为 53 dB)。

图 27. Sinc<sup>4</sup> 滤波器响应 (50 Hz 输出数据速率, 零延迟)

### 通道序列器

AD7192 内置一个通道序列器, 它在多通道应用中可简化与器件的通信。该序列器还能优化器件的通道吞吐量, 因为它会以最佳速率切换通道, 而不是等待 SPI 接口传来的指令。

利用配置寄存器中的 CH0 位至 CH7 位可以使能所需通道。在连续转换模式下, ADC 按顺序选择各使能通道, 然后在该通道上执行转换。当各通道可提供有效转换结果时, RDY 引脚变为低电平。有多个通道使能时, 状态寄存器的内容应附加到该 24 位字上, 以使用户能识别与各次转换对应的通道。为将状态寄存器值附加到转换结果上, 应将模式寄存器中的 DAT\_STA 位设置为 1。

如果使能了多个通道, 则每次变更通道时, ADC 必须留出完整建立时间, 以便产生有效转换结果。AD7192 对此的处理方法是: 选定通道后, 调制器和滤波器均复位, 并且 RDY 引脚变为高电平, 然后留出完整建立时间, 以便产生第一个转换结果。RDY 仅在获得有效的转换结果时才变为低电平。然后, AD7192 选择下一个使能通道, 并在该通道上执行转换。当 ADC 在下一个通道上执行转换时, 用户可以读取数据寄存器。

从所有使能通道读取有效转换结果所需的时间等于:

$$t_{SETTLE} \times \text{使能通道数}$$

例如, 如果选择 sinc4 滤波器、禁用斩波且禁用零延迟, 则每个通道的建立时间等于:

$$t_{SETTLE} = 4/f_{ADC}$$

其中,  $f_{ADC}$  为连续转换一个通道时的输出数据速率。采样  $N$  个通道所需的时间为:

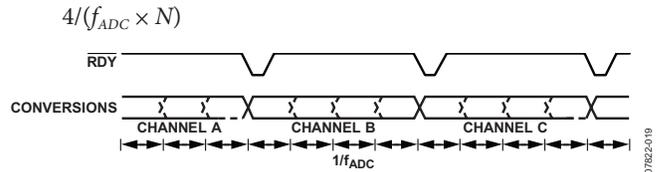


图 28. 通道序列器

### 数字接口

如“片内寄存器”部分所述, AD7192 的可编程功能由一系列片内寄存器控制。数据通过器件的串行接口写入这些寄存器。此接口还提供对这些片内寄存器的读取访问。与该器件的所有通信均必须以对通信寄存器的写操作开始。上电或复位之后, 器件期待对其通信寄存器执行写操作。写入此寄存器的数据决定下一个操作是读操作还是写操作, 以及此读操作或写操作的对象是哪一个寄存器。因此, 要对器件的其它任何寄存器写入数据, 需先对通信寄存器执行写操作, 然后对选定的寄存器执行写操作; 对其它寄存器的读操作 (选择连续读取模式除外) 是以对通信寄存器的写操作开始, 然后是对选定的寄存器执行读操作。

AD7192 的串行接口包含四个信号:  $\overline{CS}$ 、DIN、SCLK 和 DOUT/RDY。DIN 线路用于将数据传输至片内寄存器中, DOUT/RDY 则用于从片内寄存器中获取数据。SCLK 是器件的串行时钟输入, 所有数据传输 (无论是 DIN 上还是 DOUT/RDY 上) 均相对于 SCLK 信号进行。

DOUT/RDY 引脚也可用作数据就绪信号; 当输出寄存器中有新数据字可用时, 该线路变为低电平。对数据寄存器的读操作完成时, 该线路复位为高电平。数据寄存器更新之前, 该线路也会变为高电平, 以提示此时不应读取器件, 确保寄存器正在更新时不会发生数据读取操作。 $\overline{CS}$  用于选择器件。在多个器件与串行总线相连的系统中, 可以用  $\overline{CS}$  对 AD7192 进行解码。

图 3 和图 4 显示了与 AD7192 进行接口的时序图, 其中  $\overline{CS}$  用于解码该器件。图 3 显示对 AD7192 的输出移位寄存器执行读操作的时序, 图 4 显示对输入移位寄存器执行写操作的时序。即使在第一次读操作之后 DOUT/RDY 线路返回到高电平, 也可以多次从数据寄存器中读取同一个字。不过, 必须确保在下一输出更新发生之前, 这些读操作已完成。连续读取模式下, 只能从数据寄存器读取一次。

将  $\overline{CS}$  与低电平相连时, 串行接口可以在三线式模式下工作。此时, SCLK、DIN 和 DOUT/RDY 线路用来与 AD7192 通信。可以用 RDY 位或引脚监控转换是否结束。这种方案适合与微控制器进行接口。如果  $\overline{CS}$  需要用作解码信号, 可以从端口引脚中产生该信号。在微控制器接口应用中, 建议在每两次数据传输之间将 SCLK 置为高电平。

$\overline{CS}$  也可以用作帧同步信号, 这种方案适用于 DSP 接口。此时, 由于在 DSP 中,  $\overline{CS}$  一般出现在 SCLK 的下降沿之后, 因此第一位 (MSB) 会被  $\overline{CS}$  有效地送出。只要遵守时序数要求, SCLK 便可在数据转换之间继续运行。

对 DIN 输入写入一连串的 1, 可以复位串行接口。如果在至少 40 个串行时钟内持续向 AD7192 DIN 线路写入逻辑 1, 该串行接口便会复位。如果软件错误或系统故障导致接口时序丢失, 这种方法将可确保接口复位到已知状态。复位使接口返回到期待对通信寄存器执行写操作的状态。该操作会将所有寄存器的内容复位到其上电值。复位后, 用户应等待 500  $\mu$ s 再访问串行接口。

AD7192 可以配置为连续转换模式或单次转换模式 (参见图 29 至图 31)。

### 单次转换模式

单次转换模式下, AD7192 在完成转换后处于关断模式。将模式寄存器中的 MD2、MD1 和 MD0 分别设置为 0、0、1, 便可启动单次转换, 此时 AD7192 将上电, 执行单次转换, 然后返回关断模式。片内振荡器上电需要大约 1 ms。

完成转换后, DOUT/RDY 变为低电平。从数据寄存器中读取数据字后, DOUT/RDY 变为高电平。如果  $\overline{CS}$  为低电平, DOUT/RDY 将保持高电平, 直到又启动并完成一次转换为止。如果需要, 即使 DOUT/RDY 已变为高电平, 也可以多次读取数据寄存器。

如果使能了多个通道, ADC 将依次选择各使能通道, 并在该通道上执行转换。转换启动后, DOUT/RDY 变为高电平并保持该状态, 直到获得有效转换结果为止。一旦获得转换结果, DOUT/RDY 便会变为低电平。然后, ADC 选择下一个通道并开始转换。在执行下一转换过程中, 用户可以读取当前的转换结果。下一转换完成后, 数据寄存器便会更新; 因此, 用户读取转换结果的时间有限。ADC 在各选择通道上均完成一次转换后, 便会返回关断模式。

如果模式寄存器中的 DAT\_STA 位设置为 1, 则每次执行数据读取时, 状态寄存器的内容将与转换结果一同输出。状态寄存器的四个 LSB 表示对应的转换通道。

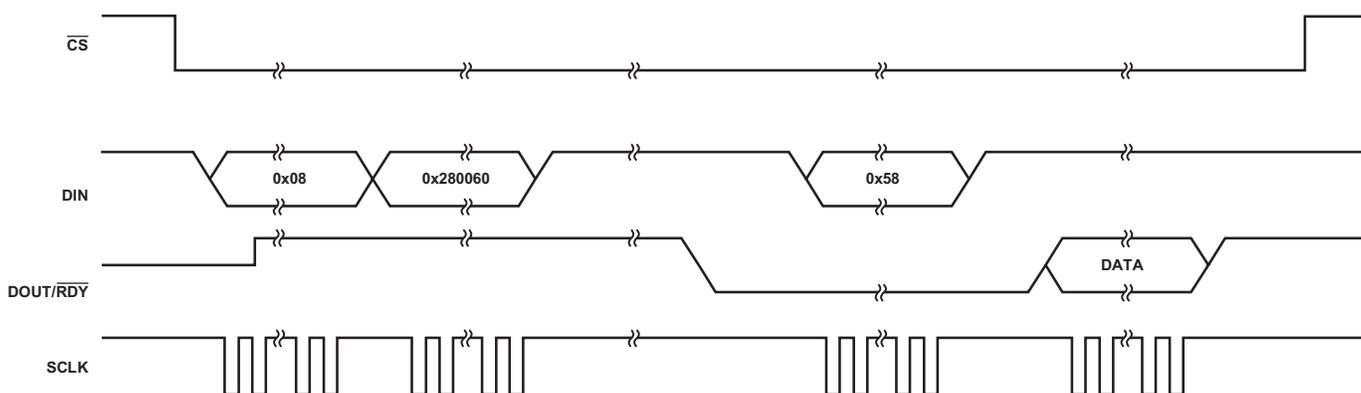


图 29. 单次转换

## 连续转换模式

连续转换模式是上电后的默认转换模式。AD7192 连续转换，每次完成转换后，状态寄存器中的  $\overline{\text{RDY}}$  位变为低电平。如果  $\overline{\text{CS}}$  为低电平，则完成一次转换时， $\text{DOUT}/\overline{\text{RDY}}$  线路也会变为低电平。若要读取转换结果，用户需要写入通信寄存器，指示下一操作为读取数据寄存器。从数据寄存器中读取数据字后， $\text{DOUT}/\overline{\text{RDY}}$  变为高电平。如需要，用户可以多次读取该寄存器。但是，用户必须确保在下一转换完成时，不要对数据寄存器进行访问，否则，新的转换结果将丢失。

如果使能了多个通道，ADC 将连续循环选择各使能通道，每次循环均会在每个通道上执行一次转换。一旦获得转换结果，就会立即更新数据寄存器。每次获得转换结果时， $\text{DOUT}/\overline{\text{RDY}}$  引脚均会变为低电平。然后，用户可以读取转换结果，同时 ADC 在下一个使能通道上执行转换。

如果模式寄存器中的  $\text{DAT\_STA}$  位设置为 1，则每次执行数据读取时，状态寄存器的内容将与转换结果一同输出。状态寄存器指示转换对应的通道。

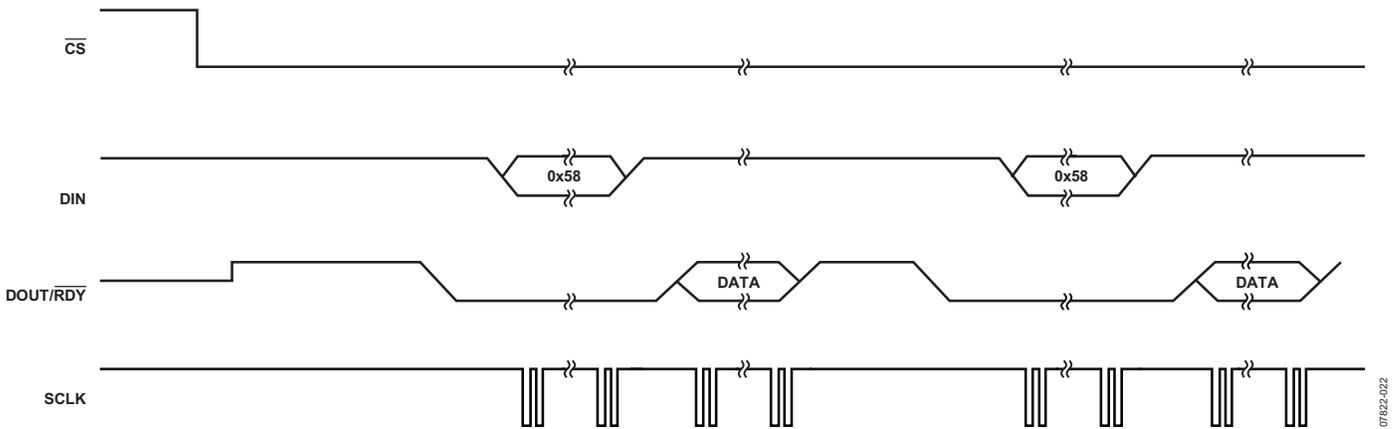


图 30. 连续转换

07822-522

### 连续读取

可以对 AD7192 进行配置，使得每次转换完成后，转换结果自动置于  $\overline{\text{DOUT}}/\overline{\text{RDY}}$  线路上，而无需每次写入通信寄存器以访问数据。将 01011100 写入通信寄存器后，用户只需为 ADC 提供适当的 SCLK 周期数，这样当转换完成时，转换字便会自动置于  $\overline{\text{DOUT}}/\overline{\text{RDY}}$  线路上。ADC 应配置为连续转换模式。

当  $\overline{\text{DOUT}}/\overline{\text{RDY}}$  变为低电平，提示转换已结束，必须为 ADC 提供足够的 SCLK 周期数。然后，数据转换结果便会置于  $\overline{\text{DOUT}}/\overline{\text{RDY}}$  线路上。读取转换结果后， $\overline{\text{DOUT}}/\overline{\text{RDY}}$  返回到高电平，直到获得下一转换结果为止。这种模式下，数据只能被读取一次，而且用户必须确保数据字的读取早于下一转换完成。如果在下一转换完成之前，用户尚未读取转换结果，或者为 AD7192 提供的串行时钟数不足以读

取转换字，则当下一转换完成时，串行输出寄存器将复位，新转换结果将置于输出串行寄存器中。

若要退出连续读取模式，必须在  $\overline{\text{RDY}}$  引脚为低电平时将指令 01011000 写入通信寄存器。在连续读取模式下，ADC 会监视 DIN 线路上的活动，以便接收退出连续读取模式的指令。此外，如果 DIN 上连续出现 40 个 1，ADC 将复位。因此，在连续读取模式下，DIN 应保持低电平，直到有指令将要写入该器件。

如果使能了多个通道，ADC 将连续依次选择各使能通道，并在所选通道上执行一次转换。当获得转换结果时， $\overline{\text{DOUT}}/\overline{\text{RDY}}$  便会变为低电平。当用户施加足够多的 SCLK 脉冲时，数据便会自动置于  $\overline{\text{DOUT}}/\overline{\text{RDY}}$  引脚上。如果模式寄存器中的 DAT\_STA 位设置为 1，状态寄存器的内容将与转换结果一同输出。状态寄存器指示转换对应的通道。

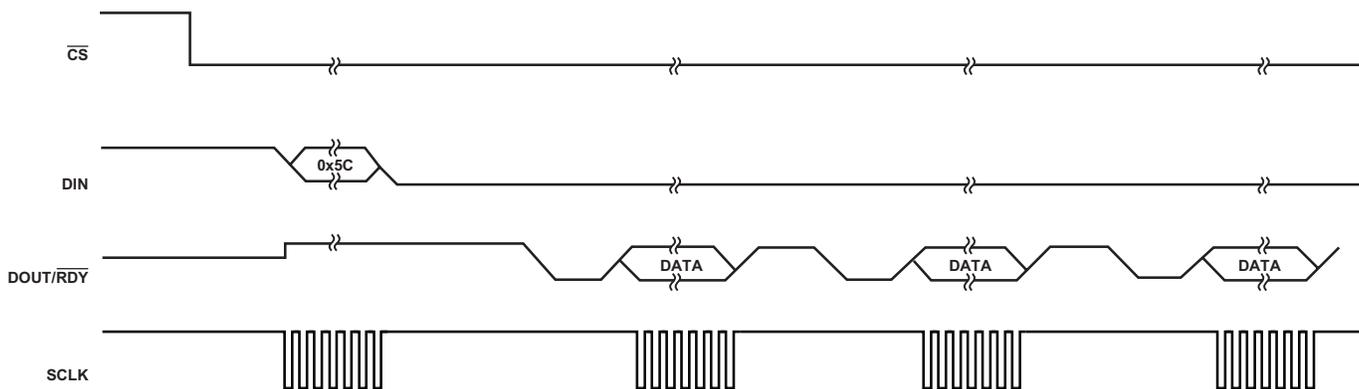


图 31. 连续读取

## 电路描述

### 模拟输入通道

AD7192 具有两个差分 / 四个伪差分模拟输入通道，可以配置为缓冲或无缓冲模式。在缓冲模式下（配置寄存器中的 BUF 位设置为 1），输入通道馈入缓冲放大器的高阻抗输入级。因此，输入端能够耐受较大的源阻抗，适合与外部阻性传感器直接相连，例如应变计或电阻式温度检测器 (RTD) 等。

当 BUF = 0 时，该器件以无缓冲模式工作，这将导致较高的模拟输入电流。请注意，该无缓冲输入路径向驱动源提供动态的负载。因此，输入引脚上的电阻与电容组合可能会引起增益误差，具体取决于驱动 ADC 输入的信号源输出阻抗。表 22 显示了为防止在 20 位分辨率水平时产生增益误差，无缓冲模式下、增益为 1 时外部电阻 / 电容的容许值。

表 22. 20 位分辨率条件下，无增益误差的外部 R-C 组合

C (pF)	R (Ω)
50	1.4 k
100	850
500	300
1000	230
5000	30

缓冲模式下，绝对输入电压范围限于 AGND + 250 mV 至  $AV_{DD} - 250$  mV 之间。设置共模电压时必须小心，确保不要超过这些限值。否则，线性度和噪声性能会下降。

无缓冲模式下，绝对输入电压包含 AGND - 50 mV 至  $AV_{DD} + 50$  mV 之间的电压。负绝对输入电压限值为监控相对于 AGND 的真双极性小信号提供了条件。

### 可编程增益阵列 (PGA)

如果使能增益级，缓冲器输出将施加于 PGA 的输入端。PGA 的存在意味着小幅度信号可以在 AD7192 内被放大，同时仍然保持出色的噪声性能。例如，当增益设置为 128 时，均方根噪声典型值为 11 nV；在输出数据速率为 4.7 Hz 时，这相当于 22.5 位有效分辨率或 20 位无噪声分辨率。

利用配置寄存器中的 G2 位至 G0 位，可以将 AD7192 的增益设置为 1、8、16、32、64 或 128。因此，采用 2.5 V 外部基准电压源时，单极性范围为 0 mV - 19.53 mV 至 0 V - 2.5 V，双极性范围则为  $\pm 19.53$  mV 至  $\pm 2.5$  V。

模拟输入范围必须限制在  $\pm(AV_{DD} - 1.25 \text{ V}) / \text{增益}$  以内，因为 PGA 需要一定的裕量。因此，如果  $AV_{DD} = 5 \text{ V}$ ，则可施加于 AD7192 的最大模拟输入为 0 - 3.75 V / 增益（单极性模式）或  $\pm 3.75 \text{ V} / \text{增益}$ （双极性模式）。

### 双极性 / 单极性配置

AD7192 的模拟输入端可以接受单极性或双极性输入电压范围。双极性输入范围并不表示该器件可以耐受相对于系统 AGND 的负电压。在伪差分模式下，信号以 AINCOM 为基准，而在差分模式下，信号以差分对的负输入为基准。例如，如果 AINCOM 为 2.5 V，AD7192 AIN1 模拟输入端配置为单极性模式，并且增益为 2，则当采用 2.5 V 基准电压源时，AIN1 引脚的输入电压范围为 2.5 V 至 3.75 V。

如果 AINCOM 为 2.5 V，AD7192 AIN1 模拟输入端配置为双极性模式，并且增益为 2，则 AIN1 引脚的模拟输入范围为 1.25 V 至 3.75 V。双极性 / 单极性选项可通过对配置寄存器中的 U/B 位进行编程来选择。

### 数据输出编码

当 ADC 配置为单极性工作模式时，输出码为自然（直接）二进制码；零差分输入电压对应的码为 00...00，中间电平电压对应的码为 100...000，满量程输入电压对应的码为 111...111。任意模拟输入电压的输出码可以表示为：

$$\text{输出码} = (2^N \times \text{AIN} \times \text{Gain}) / V_{REF}$$

当 ADC 配置为双极性工作模式时，输出码为偏移二进制码；负满量程电压对应的码为 000...000，零差分输入电压对应的码为 100...000，正满量程输入电压对应的码为 111...111。任意模拟输入电压的输出码可以表示为：

$$\text{输出码} = 2^N - 1 \times [(\text{AIN} \times \text{Gain} / V_{REF}) + 1]$$

其中，AIN 为模拟输入电压，Gain 为 PGA 设置（1 至 128）， $N = 24$ 。

### 时钟

AD7192 内置一个 4.92 MHz 片内时钟，其容差为  $\pm 4\%$ 。可以使用该内部时钟或某一外部晶振 / 时钟作为该器件的时钟源。时钟源通过模式寄存器中的 CLK1 和 CLK0 位选择。使用外部晶振时，必须将其连接在 MCLK1 和 MCLK2 引脚上。晶振制造商会提供关于晶振所需负载电容的建议值。AD7192 的 MCLK1 和 MCLK2 引脚的电容典型值为 15 pF。使用外部时钟源时，必须将其与 MCLK2 引脚相连，MCLK1 引脚可保持悬空。

该内部时钟也可以通过 MCLK2 引脚为器件提供时钟。当应用中使用多个 ADC，并且这些器件需要同步时，这种方法很有用。一个器件的内部时钟可以用作系统中所有 ADC 的时钟源。使用公共时钟时，对所有器件施加公共复位信号，或者用脉冲驱动 SYNC 引脚，便可使所有器件同步。

## 激励电流

AD7192 内置两个 500 nA 恒流发生器，一个提供从  $AV_{DD}$  到  $AIN(+)$  的源电流，一个提供从  $AIN(-)$  到 AGND 的吸电流，其中  $AIN(+)$  为正模拟输入引脚， $AIN(-)$  为负模拟输入引脚（差分模式）或  $AINCOM$ （伪差分模式）。这些电流切换至选定的模拟输入对。这两个电流或开或关，取决于配置寄存器中的激励电流使能 (BURN) 位。

在模拟输入通道上执行测量操作之前，可以利用这些电流来确认外部传感器是否正常工作。接通激励电流后，电流流入外部传感器电路，然后便可在模拟输入通道上测量输入电压。使用激励电流检测开路状况需要一定的时间，因为这些电流必须给所有外部电容充电。

检测到故障状况的原因有多方面。前端传感器可能开路。也可能是前端传感器过载，或者缺少基准电压，并且状态寄存器中的 NOREF 位已置 1，导致数据钳位在全 1。

做出判断之前，用户必须检查这三种情况。如果测得的电压为 0 V，则可能是传感器短路。如果缓冲模拟输入并禁用斩波，则电流源可以在正常绝对输入电压范围内工作。

## 基准电压

对于基准电压通道，该 ADC 具有完全差分输入能力。此外，用户可以从两种外部基准电压选项中选择其一 ( $REFIN1(x)$  或  $REFIN2(x)$ )。使用配置寄存器中的 REFSEL 位可以选择 AD7192 的基准电压源。 $REFIN2(x)$  引脚具有双重作用：既可以用作两个通用输出引脚，也可以用作基准电压引脚。当 REFSEL 位设置为 1 时，这些引脚自动用作基准电压引脚。

这些差分输入的共模电压范围为 AGND 至  $AV_{DD}$ 。基准电压输入是无缓冲式；因此，过大的 R-C 源阻抗会导致增益误差。标称基准电压  $REFIN(REFINx(+)-REFINx(-))$  为  $AV_{DD}$ ，但 AD7192 可以采用 1 V 至  $AV_{DD}$  范围内的基准电压工作。如果应用中模拟输入端的传感器的激励电压或激励电流也为器件提供基准电压，则可以消除激励源中低频噪声的影响，其原因是应用是比率式的。如果在非比率式应用中使用 AD7192，应使用低噪声基准电压源。

对于 AD7192，建议使用的 2.5 V 基准电压源包括 [ADR421](#) 和 [ADR431](#)，二者均为低噪声基准电压源。这些基准电压源具有低输出阻抗，因而  $REFINx(+)$  上可以有去耦电容，而不会给系统带来增益误差。如果在外部电阻上获取基准输入电压，则意味着基准电压输入端具有很大的外部源阻抗。对于这种电路配置，不推荐在  $REFINx$  引脚上进行外部去耦。

## 基准电压检测

AD7192 含有片内检测电路，可以检测器件是否有用于转换或校准的有效基准电压。将配置寄存器中的 REFDET 位设置为 1，可以使能此特性。如果选定的  $REFINx(+)$  与  $REFINx(-)$  引脚之间的电压在 0.3 V 与 0.6 V 之间，则 AD7192 判断它不再具有有效的基准电压。此时，状态寄存器中的 NOREF 位设置为 1。如果 AD7192 正在执行正常转换，而 NOREF 位变为有效，则转换结果将为全 1。

因此，并无必要在执行转换时持续监视 NOREF 位的状态，只需在从 ADC 数据寄存器读取的转换结果为全 1 时验证其状态。如果 AD7192 正在执行失调或满量程校准，而 NOREF 位变为有效，则将禁止相应校准寄存器更新，以免这些寄存器载入错误的系数，同时会将状态寄存器的 ERR 位设置为 1。如果用户不愿意每次执行校准时都要验证是否存在有效的基准电压源，则应在校准周期结束时检查 ERR 位的状态。

## 复位

对 AD7192 连续写入 1，可以使该器件的电路和串行接口复位。执行复位需要 40 个连续 1，这将复位逻辑、数字滤波器 and 模拟调制器，从而所有片内寄存器复位为默认值。上电时会自动执行复位操作。启动复位操作后，用户必须等待 500  $\mu$ s 才能访问片内寄存器。如果 SCLK 线路上的噪声导致串行接口失去同步，则需要执行复位以恢复同步功能。

## 系统同步

利用  $\overline{\text{SYNC}}$  输入，用户可以复位调制器和数字滤波器，而不会影响器件的任何设置条件。因此，用户可以从已知时间点，即  $\overline{\text{SYNC}}$  上升沿开始采集模拟输入的样本。为实现同步功能， $\overline{\text{SYNC}}$  需要变为低电平并至少保持四个主时钟周期。

如果多个 AD7192 器件利用一个公共主时钟工作，则可以让这些器件同步，使其数据寄存器同时更新。 $\overline{\text{SYNC}}$  引脚上的下降沿使数字滤波器和模拟调制器复位，并将 AD7192 置于一致的已知状态。在  $\overline{\text{SYNC}}$  引脚为低电平期间，AD7192 保持该状态。在  $\overline{\text{SYNC}}$  上升沿，调制器和滤波器离开复位状态；在下一时钟沿，器件再次开始采集输入样本。在使用多个 AD7192 器件的系统中，施加于  $\overline{\text{SYNC}}$  引脚的一个公共信号会使这些器件的操作同步。这一般是在各 AD7192 已执行自身的校准或已将校准系数载入其校准寄存器之后完成。这样，所有 AD7192 的转换结果将同步。

该器件在  $\overline{\text{SYNC}}$  由低到高跃迁之后的主时钟下降沿离开复位状态。因此，当同步多个器件时， $\overline{\text{SYNC}}$  引脚应在主时钟上升沿变为高电平，确保所有器件均在主时钟下降沿开始采样。如果  $\overline{\text{SYNC}}$  引脚没有在充足的时间内变为高电平，则器件之间可能相差一个主时钟周期，即对于不同器件，获得转换结果的时刻最多相差一个主时钟周期。

$\overline{\text{SYNC}}$  引脚也可以用作启动转换命令。这种模式下， $\overline{\text{SYNC}}$  的上升沿启动转换， $\overline{\text{RDY}}$  的下降沿指示转换已完成。每次数据寄存器更新时，必须预留滤波器的建立时间。例如，如果 ADC 配置为使用  $\text{sinc}^4$  滤波器，禁用零延迟且禁用斩波，则建立时间等于  $4/f_{\text{ADC}}$ ，其中  $f_{\text{ADC}}$  为在单个通道上连续转换时的输出数据速率。

## 温度传感器

AD7192 内置一个温度传感器。利用配置寄存器中的 CH2 位可以选择温度传感器。如果 CH2 位设置为 1，就会使能温度传感器。使用温度传感器并选择双极性模式时，如果温度为 0 K，器件应返回 0x800000 码。为使传感器发挥最佳性能，需要执行单点校准。因此，应记录 25°C 时的转换结果并计算灵敏度。灵敏度约为 2815 码 /°C。温度传感器的计算公式为：

$$\text{温度 (K)} = (\text{转换结果} - 0x800000) / 2815 \text{ K}$$

$$\text{温度 (°C)} = \text{温度 (K)} - 273$$

单点校准之后，内部温度传感器的精度典型值为  $\pm 2^\circ\text{C}$ 。

## 电桥关断开关

在应变计和负荷传感器等电桥应用中，电桥本身会消耗系统中的大部分电流。例如，采用 5 V 电源激励时，350  $\Omega$  负荷传感器需要 15 mA 电流。为降低系统功耗，可以利用电桥关断开关断开电桥（当它不用时）。图 18 显示了电桥关断开关的使用方法。该开关可以承受 30 mA 的连续电流，导通电阻最大值为 11  $\Omega$ 。

## 逻辑输出

AD7192 有四个通用数字输出：P0、P1、P2 和 P3。这些输出通过 GPOCON 寄存器中的 GP32EN 和 GP10EN 位使能。这些引脚可以通过 GPOCON 寄存器中的 P0DAT 至 P3DAT 位拉高或拉低，即引脚的值由 P0DAT 至 P3DAT 位的设置决定。这些引脚的逻辑电平由  $\text{AV}_{\text{DD}}$  而不是  $\text{DV}_{\text{DD}}$  决定。读取 GPOCON 寄存器时，P0DAT 至 P3DAT 位反映引脚的实际值，这可以用于短路检测。

可以用这些引脚驱动外部电路，如外部多路复用器等。当使用外部多路复用器来提高通道数时，多路复用器逻辑引脚可以通过 AD7192 通用输出引脚进行控制。通用输出引脚可以用来选择有效的多路复用器引脚。由于多路复用器的操作独立于 AD7192，因此每次更换多路复用器通道时，均应利用  $\overline{\text{SYNC}}$  引脚或向配置寄存器写入该模式来复位 AD7192 的调制器和滤波器。

## 使能奇偶校验

AD7192 还具有片内奇偶校验功能，可检测 ADC 与微处理器之间串行通信中的 1 位错误。将模式寄存器中的 ENPAR 位设置为 1，可以使能奇偶校验。使能奇偶校验功能时，状态寄存器的内容必须与各 24 位转换结果一同传输。为将状态寄存器的内容附加到各转换结果读取数据上，应将模式寄存器中的 DAT\_STA 位设置为 1。对于各转换结果读取数据，状态寄存器中的奇偶校验位经过编程，使得 24 位数据字中传输的 1 的总数为偶数。假设 24 位转换结果含有 11 个 1（二进制），则奇偶校验位将设置为 1，使得串行传输中 1 的总数为偶数。如果微处理器接收到奇数个 1，则说明所接收的数据已受损。

奇偶校验功能仅检测 1 位错误。例如，如果有两位数据受损，则微处理器仍可能会收到偶数个 1，此时即无法检测到错误状况。

## 校准

AD7192 提供四种校准模式：内部零电平校准、内部满量程校准、系统零电平校准和系统满量程校准，通过模式寄存器中的模式位可以设置校准模式。只要正确设置模式寄存器中的 MD2 至 MD0 位，便可随时执行校准。增益改变时，应执行校准。每次转换完成后，ADC 转换结果需利用 ADC 校准寄存器进行调整，然后写入数据寄存器。转换结果先减去失调校准系数，然后乘以满量程系数。

为启动校准，必须将适当的值写入 MD2 至 MD0 位。启动校准后，DOUT/RDY 引脚和状态寄存器中的 RDY 位变为高电平。校准完成时，相应校准寄存器的内容会更新，状态寄存器中的 RDY 位复位，DOUT/RDY 引脚返回到低电平（如果 CS 为低电平），并且 AD7192 返回空闲模式。

内部零电平或满量程校准期间，各零输入和满量程输入自动与 ADC 输入引脚内部相连。然而，系统校准则要求在启动校准模式之前，将系统零电平电压和系统满量程电压施加于 ADC 引脚，这样可以消除 ADC 的外部误差。

从操作上来看，校准就像另一次 ADC 转换。如果需要，零电平校准必须总是在满量程校准之前执行。设置系统软件监视状态寄存器中的 RDY 位或 DOUT/RDY 引脚，通过一个轮询序列或中断驱动的例行程序确定校准何时结束。

斩波禁用时，内部零电平校准和系统零电平校准所需的时间均等于建立时间  $t_{SETTLE}$ （ $\text{sinc}^4$  滤波器为  $4/f_{ADC}$ ， $\text{sinc}^3$  滤波器为  $3/f_{ADC}$ ）。

斩波使能时，无需执行内部零电平校准，因为 ADC 本身会持续使失调保持最低。不过，如果执行内部零电平校准，则所需时间为建立时间  $t_{SETTLE}$  ( $2/f_{ADC}$ )。同样，完成系统零电平校准也需要  $t_{SETTLE}$  的时间。

为执行内部满量程校准，满量程输入电压会自动与此校准选定的模拟输入端相连。增益为 1 时，内部满量程校准所需的时间等于  $t_{SETTLE}$ 。对于更高增益，内部满量程校准需要  $2 \times t_{SETTLE}$  的时间。每次更改一个通道的增益时，均建议执行满量程校准，从而使满量程误差最小。

系统满量程校准需要  $t_{SETTLE}$  的时间。斩波禁用时，零电平校准（内部或系统零电平）应在系统满量程校准启动之前执行。

内部零电平校准、系统零电平校准和系统满量程校准可以在任何输出数据速率时执行。内部满量程校准可以在滤波器字 FS[9:0] 能被 16 整除的任何输出数据速率时执行，FS[9:0] 指写入模式寄存器 FS9 位至 FS0 位的 10 位字的十进制等效值。因此，斩波禁用时，内部满量程校准可以在 10 Hz 或 50 Hz 等输出数据速率时执行。使用这些较低的数据速率可以获得更高的校准精度。

失调误差典型值为  $150 \mu\text{V}/\text{增益}$ 。如果更改增益，建议执行校准。零电平校准（内部或系统零电平校准）可将失调误差降至与噪声相当。

AD7192 的增益误差经过工厂校准，校准条件如下：增益为 1，采用 5 V 电源，温度为室温。校准之后，5 V 时的增益误差典型值为 0.001%。表 23 显示了不同增益设置的典型未校准增益误差。

表 23. 典型预校准增益误差与增益的关系

增益	预校准增益误差 (%)
8	-0.11
16	-0.20
32	-0.23
64	-0.29
128	-0.39

增益为 1 时，内部满量程校准可将增益误差典型值降至 0.001%。对于更高增益，当  $AV_{DD}$  等于 5 V 时，经过内部满量程校准之后的增益误差典型值为 0.003%。当  $AV_{DD}$  小于 4.75 V 时，经过内部满量程校准之后的增益误差典型值为 0.005%。

如果  $AV_{DD}$  小于 4.75 V，则执行内部满量程校准时必须将 CLK\_DIV 位置 1。执行内部满量程校准时，使能斩波并使用较低的输出数据速率，可以进一步提高校准精度。

无论模拟电源电压为何值，系统满量程校准均可将增益误差降至与噪声相当。

用户可以访问 AD7192 的片内校准寄存器，通过微处理器读取器件的校准系数，以及写入自己在 EEPROM 中预先存储的校准系数。可以随时读取这些寄存器。不过，写入寄存器时，ADC 必须处于关断模式或空闲模式。校准寄存器中的值为 24 位。也可以使用这些寄存器操控器件的范围和失调。

## 接地和布局布线

由于模拟输入和基准输入均为差分输入，因此模拟调制器中的多数电压均为共模电压。器件的高共模抑制性能可消除这些输入信号中的共模噪声。为将模拟部分与数字部分之间的耦合降至最低，AD7192 的模拟电源和数字电源彼此独立，各有单独的引脚排列。数字滤波器可抑制电源上的宽带噪声，但无法抑制那些频率为调制器采样频率的整数倍的噪声。

将一个 R-C 滤波器与各模拟输入引脚相连，可以在调制器采样频率提供抑制。建议将一个 100  $\Omega$  电阻与各模拟输入端串联，将一个 0.1  $\mu\text{F}$  电容连接在模拟输入引脚之间，并且将一个 0.01  $\mu\text{F}$  电容连接在各模拟输入端与 AGND 之间。

数字滤波器也可以消除来自模拟和基准输入端的噪声，但前提是这些噪声源没有使模拟调制器饱和。因此，与传统高分辨率转换器相比，AD7192 具有更强的抗噪能力。不过，由于 AD7192 的分辨率极高，而转换器的噪声电平极低，因此必须谨慎对待接地和布局布线。

ADC 所在的印刷电路板 (PCB) 应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。这样便于使用接地层并让它们易于被分割。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。

虽然 AD7192 有单独的模拟地引脚与数字地引脚，但 AGND 与 DGND 引脚却在内部通过基板相连。因此，用户不得将这两个引脚连接到分离的接地层，除非这些接地层在 AD7192 附近连在一起。

如果 AGND 与 DGND 在系统的其它地方相连（即系统电源），则不应在 AD7192 上再次将它们相连，否则将产生接地环路。这种情况下，建议将 AD7192 的地引脚与 AGND 层相连。

无论采取何种布局，用户均必须注意规划系统中电流的回流路径，确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。切勿强制数字电流流过 AGND。

避免在该器件下方布设数字线路，否则会将噪声耦合至芯片；将模拟接地层放在 AD7192 下方可以防止噪声耦合。AD7192 的电源线路必须采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板的其它部分辐射噪声，并且绝不应将时钟信号走线布设在模拟输入附近。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，这样做有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

使用高分辨率 ADC 时，良好的去耦十分重要。应将 10  $\mu\text{F}$  钽电容与 0.1  $\mu\text{F}$  陶瓷电容并联，对所有模拟电源去耦到 AGND。为使这些去耦元件实现最佳效果，必须使其尽可能靠近器件，最好是紧贴器件。应利用 0.1  $\mu\text{F}$  陶瓷电容将所有逻辑芯片去耦到 DGND。在使用公共电源驱动 AD7192 的  $AV_{DD}$  和  $DV_{DD}$  的系统中，建议使用系统  $AV_{DD}$  电源。对于这种电源，应将建议的模拟电源去耦电容置于 AD7192 的  $AV_{DD}$  引脚与 AGND 之间，并将建议的数字电源去耦电容置于 AD7192 的  $DV_{DD}$  引脚与 DGND 之间。

## 应用信息

AD7192 是一款低成本、高分辨率模数转换器。模数转换功能由  $\Sigma$ - $\Delta$  结构提供，因此该器件的抗噪能力很强，非常适合传感器测量、工业和过程控制应用。

### 电子秤

图 32 显示了 AD7192 在电子秤中的应用。负荷传感器位于电桥网络中，在其 OUT+ 与 OUT- 引脚之间提供差分输出电压。假设激励电压为 5 V，当灵敏度为 2 mV/V 时，传感器的满量程输出电压为 10 mV。电桥的激励电压可以直接用来提供 ADC 的基准电压，因为基准电压输入范围包括电源电压。

在基于传感器的应用中使用 AD7192 的第二个好处是可以充分利用电桥关断开关，从而将系统功耗降至最低。电

桥关断开关与电桥的冷端串联。正常工作时，该开关闭合，以便执行测量。在要求最低功耗的应用中，AD7192 可以处于待机模式，从而显著降低应用的功耗。此外，在待机模式下，电桥关断开关可以断开，以免前端传感器不必要地耗费功率。当器件离开待机模式且电桥关断开关闭合时，用户应确保前端电路完全建立，然后才能尝试读取 AD7192。

为简明起见，图 32 不含外部滤波器。然而，各模拟输入端应含有 R-C 抗混叠滤波器，原因是在调制器采样频率或该频率的整数倍时，片内数字滤波器不能提供任何抑制。建议将一个 100  $\Omega$  电阻与各模拟输入端串联，将一个 0.1  $\mu\text{F}$  电容连接在模拟输入引脚之间，并且将一个 0.01  $\mu\text{F}$  电容连接在各模拟输入引脚与 AGND 之间。

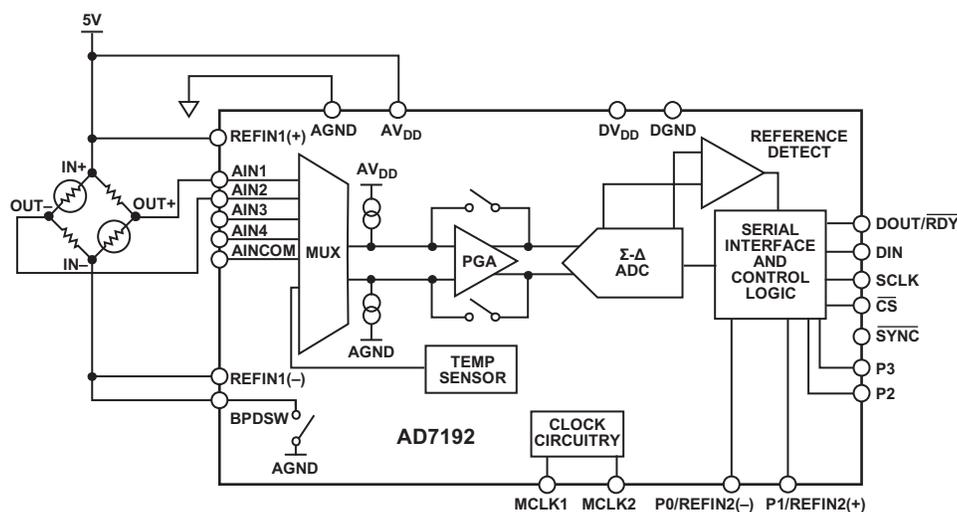
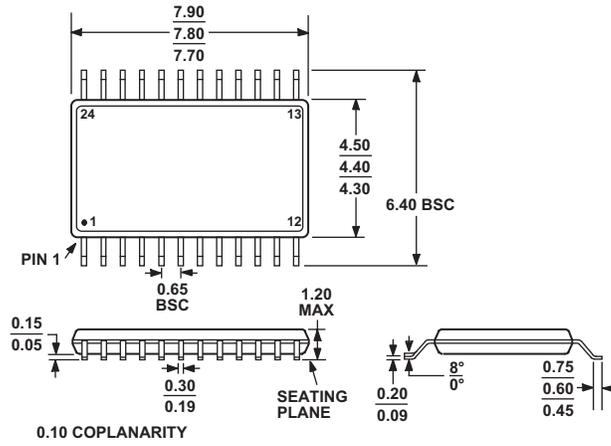


图 32. 典型应用 (电子秤)

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AD

图 33. 24 引脚超薄紧缩小型封装 [TSSOP]  
(RU-24)

图示尺寸单位 : mm

## 订购指南

型号	温度范围	封装描述	封装选项
AD7192BRUZ <sup>1</sup>	-40°C 至 +105°C	24 引脚 TSSOP	RU-24
AD7192BRUZ-REEL <sup>1</sup>	-40°C 至 +105°C	24 引脚 TSSOP	RU-24

<sup>1</sup> Z = 符合 RoHS 标准的器件。

注释

**AD7192**

**注释**