

### 产品特性

两个独立的数字控制VGA

增益范围：-11.5 dB至+20 dB

0.5 dB步长：±0.1 dB

150 Ω差分输入和输出

噪声系数：7.5 dB(最大增益时)

OIP3：>50 dBm (200 MHz)

-3 dB较高频率带宽：700 MHz

多种控制接口选项

并行6位控制接口(集成锁存器)

串行外设接口(SPI)(集成快速启动功能)

增益升/降模式

宽输入动态范围

低功耗模式选项

关断控制

5 V单电源供电

40引脚6 mm × 6 mm LFCSP封装

### 应用

差分ADC驱动器

高中频采样接收机

高输出功率中频放大

仪器仪表

### 概述

ADL5202是一款数字控制、可变增益、宽带放大器，可以提供精密增益控制、高输出IP3和低噪声系数。出色的低失真性能和高信号带宽使之成为各种接收器应用的卓越增益控制器件。ADL5202还内置低功耗模式选项，可降低电源电流。

对于宽输入动态范围应用，ADL5202能以0.5 dB的分辨率提供31.5 dB宽增益范围。增益可通过多种增益控制接口选项进行调整：并行接口、串行外设接口或升/降接口。

ADL5202集成专有失真消除技术，对于大多数增益设置，它在接近200 MHz的频率时可实现优于50 dBm的输出IP3。

### 功能框图

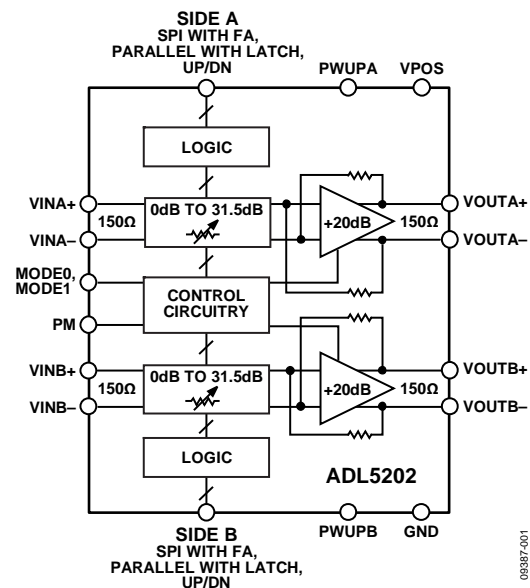


图1.

ADL5202电源由PWUPx引脚的逻辑电平提供，在低功耗模式下，其静态电流典型值为160 mA。当针对要求较高的应用配置为高性能模式时，静态电流为210 mA。在省电模式下，其功耗小于14 mA，可以提供出色的输入-输出隔离。增益设置在关断模式下保持不变。

ADL5202采用ADI公司的高速SiGe工艺制造，提供精密增益调整功能、良好的失真性能和低相位误差。它采用紧凑的散热增强型40引脚6 mm × 6 mm LFCSP封装，工作温度范围为-40°C至+85°C。

Rev. B

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2011–2013 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	增益升/降接口 .....	16
应用 .....	1	真值表 .....	17
功能框图 .....	1	逻辑时序 .....	17
概述 .....	1	电路描述 .....	18
修订历史 .....	2	基本结构 .....	18
技术规格 .....	3	应用信息 .....	19
绝对最大额定值 .....	5	基本连接 .....	19
ESD警告 .....	5	ADC驱动 .....	19
引脚配置和功能描述 .....	6	布局考虑 .....	21
典型性能参数 .....	8	评估板 .....	22
性能特性和测试电路 .....	15	评估板控制软件 .....	22
工作原理 .....	16	评估板原理图和PCB布局图 .....	23
数字接口概述 .....	16	评估板配置选项 .....	27
并行数字接口 .....	16	外形尺寸 .....	29
串行外设接口(SPI) .....	16	订购指南 .....	29

## 修订历史

### 2013年9月—修订版A至修订版B

逻辑引脚绝对最大额定值从3.6 V改为-0.3 V至+3.6 V(任何时刻都不可超过 $|V_{POS} - 0.5 V|$ )..... 5

### 2012年12月—修订版0至修订版A

更改“布局考虑因素”部分 ..... 21

### 2011年10月—修订版0：初始版

## 技术规格

除非另有说明,  $V_S = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $R_S = R_L = 150\ \Omega$  (100 MHz), 高性能模式, 2 V p-p差分输出。

表1.

参数	测试条件/注释	最小值 典型值 最大值	单位
动态性能			
-3 dB带宽	$V_{OUT} < 2\text{ V p-p}$ (5.2 dBm)	700	MHz
压摆率		5.5	V/ns
输入回损(S11)	100 MHz	-17.7	dB
输出回损(S22)	100 MHz	-16.5	dB
输入级	VINA+, VINB+以及VINA-, VINB-引脚		
最大输入摆幅(差分)	增益代码 = 111111	10.8	V p-p
差分输入电阻		150	$\Omega$
共模输入电压		1.5	V
共模抑制比(CMRR)	增益代码 = 000000	40	dB
增益			
最大电压增益	增益代码 = 000000	20	dB
最小电压增益	增益代码 = 111111	-11.5	dB
增益步长		0.5	dB
增益平坦度	$30\text{ MHz} < f_c < 200\text{ MHz}$	0.285	dB
增益温度灵敏度	增益代码 = 000000	0.012	dB/ $^\circ\text{C}$
增益步进响应	对于 $V_{IN} = 0.2\text{ V}$ , 增益代码 = 111111至000000	15	ns
增益一致性误差	超过10 dB增益范围	$\pm 0.03$	dB
相位一致性误差	超过10 dB增益范围	1.0	度
输出级	VOUTx+和VOUTx-引脚		
输出电压摆幅	P1dB时增益代码 = 000000	10	V p-p
差分输出电阻	差分	150	$\Omega$
噪声/谐波性能			
46 MHz	增益代码 = 000000, 高性能模式		
二次谐波	$V_{OUT} = 2\text{ V p-p}$	-92	dBc
三次谐波	$V_{OUT} = 2\text{ V p-p}$	-105	dBc
输出IP3	$V_{OUT} = 2\text{ V p-p}$ 复合	50	dBm
70 MHz	增益代码 = 000000, 高性能模式		
二次谐波	$V_{OUT} = 2\text{ V p-p}$	-96	dBc
三次谐波	$V_{OUT} = 2\text{ V p-p}$	-105	dBc
输出IP3	$V_{OUT} = 2\text{ V p-p}$ 复合	50	dBm
140 MHz	增益代码 = 000000, 高性能模式		
噪声系数		7.5	dB
二次谐波	$V_{OUT} = 2\text{ V p-p}$	-86	dBc
三次谐波	$V_{OUT} = 2\text{ V p-p}$	-105	dBc
输出IP3	$V_{OUT} = 2\text{ V p-p}$ 复合	50	dBm
输出1 dB压缩点		19.5	dBm
300 MHz	增益代码 = 000000, 高性能模式		
二次谐波	$V_{OUT} = 2\text{ V p-p}$	-77	dBc
三次谐波	$V_{OUT} = 2\text{ V p-p}$	-91	dBc
输出IP3	$V_{OUT} = 2\text{ V p-p}$ 复合	47	dBm

# ADL5202

参数	测试条件/注释	最小值	典型值	最大值	单位
上电接口 上电阈值	PWUPA、PWUPB引脚 使能器件的最低电压 使能器件的最高电压	1.4		3.3	V
PWUPx输入偏置电流			1		$\mu$ A
增益控制接口 $V_{IH}$ $V_{IL}$ 最大输入偏置电流	逻辑高电平的最小/最大电压值 逻辑低电平的最大电压值	1.4		3.3 0.8	V
			1		$\mu$ A
SPI时序 $f_{SCLK}$ $t_{DH}$ $t_{DS}$ $t_{PW}$	LATCHA和LATCHB、SCLK、SDIO、数据引脚 $1/t_{SCLK}$ 数据保持时间 数据建立时间 SCLK高电平脉宽		20		MHz
			5		ns
			5		ns
			5		ns
电源接口 电源电压 静态电流，两个通道	高性能模式 $T_A = 85^\circ\text{C}$ 低功耗模式 $T_A = 85^\circ\text{C}$	4.5	210	5.5	V
			160	250	mA
				180	mA
关断电流，两个通道	PWUPx低电平		14		mA

## 时序图

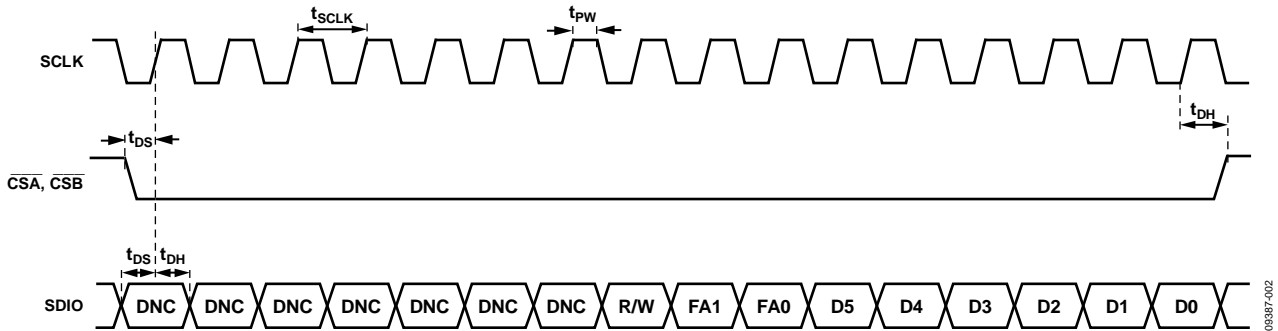


图2. SPI接口读/写模式时序图

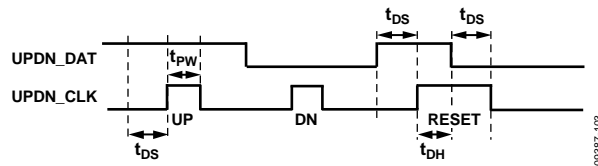


图3. 升/降模式时序图

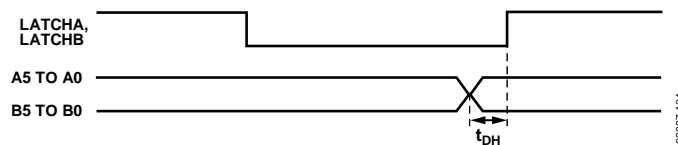


图4. 并行模式时序图

## 绝对最大额定值

表2.

参数	额定值
电源电压 $V_{POS}$ PWUPA, PWUPB, A0至A5, B0至B5, MODE0, MODE1, PM, LATCHA, LATCHB	5.5 -0.3 V至+3.6 V (任何时刻都不可 超过 $ V_{POS} - 0.5 V $ )
输入电压 $V_{IN+}$ 、 $V_{IN-}$	+3.6
内部功耗	1.6 W
$\theta_{JA}$ (裸露焊盘焊接到下方)	34.6°C/W
$\theta_{JC}$ (裸露焊盘)	3.6°C/W
最高结温	140°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
引脚温度(焊接, 60秒)	240°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

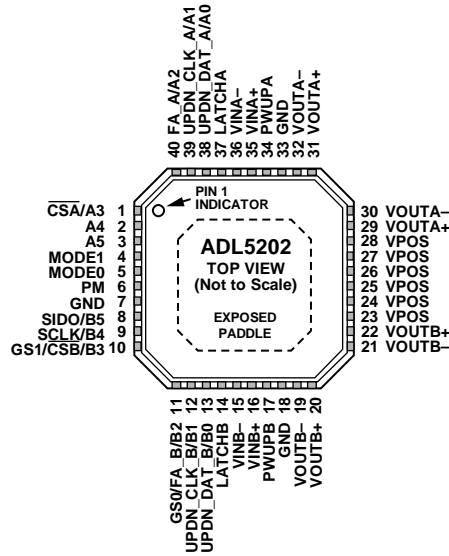
### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



- NOTES**
1. NC = NO CONNECT.
  2. THE EXPOSED PADDLE (EP) MUST BE CONNECTED TO A LOW IMPEDANCE GROUND PAD.

09387-003

图5. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	描述
1	CSA/A3	通道A选择(CSA)。当串行模式使能时，逻辑低电平( $0V \leq \overline{CSA} \leq 0.8V$ )选择通道A。第3位用于通道A并行增益控制接口(A3)。
2	A4	第4位用于通道A并行增益控制接口。
3	A5	第5位(MSB)用于通道A并行增益控制接口。
4	MODE1	MSB用于模式控制。通过MODE0引脚设置并行、SPI或升/降接口模式。
5	MODE0	LSB用于模式控制。通过MODE1引脚设置并行、SPI或升/降接口模式。
6	PM	高性能模式。逻辑低电平( $0V \leq PM \leq 0.8V$ )使能高性能模式。逻辑高电平( $1.4V \leq PM \leq 3.3V$ )使能低功耗模式。
7, 18, 33, EP	GND	地。裸露焊盘(EP)必须与低阻抗接地焊盘相连。
8	SDIO/B5	串行数据输入/输出(SDIO)。当拉低CSA或CSB时，SDIO用于SPI端口的读写操作。第5位用于通道B并行增益控制接口(B5)。
9	SCLK/B4	SPI模式下的串行时钟输入(SCLK)。第4位用于通道B并行增益控制接口(B4)。
10	GS1/CSB/B3	MSB用于升/降模式下的增益步长控制(GS1)。通道B选择(CSB)。当串行模式使能时，逻辑低电平( $0V \leq \overline{CSB} \leq 0.8V$ )选择通道B。第3位用于通道B并行增益控制接口(B3)。
11	GS0/FA_B/B2	LSB用于升/降模式下的增益步长控制(GS0)。快速启动(FA_B)。串行模式下，逻辑高电平( $1.4V \leq FA\_B \leq 3.3V$ )根据SPI字的FA设置对通道B进行衰减。
12	UPDN_CLK_B/B1	第2位用于通道B并行增益控制接口(B2)。通道B升/降功能的时钟接口(UPDN_CLK_B)。
13	UPDN_DAT_B/B0	第1位用于通道B并行增益控制接口(B1)。通道B升/降功能的数据引脚(UPDN_DAT_B)。
14	LATCHB	第0位用于通道B并行增益控制接口(B0)。通道B锁存。逻辑低电平( $0V \leq LATCHB \leq 0.8V$ )支持通道B的增益变化。逻辑高电平( $1.4V \leq LATCHB \leq 3.3V$ )阻止通道B的增益变化。

引脚编号	引脚名称	描述
15	VINB-	通道B负输入。
16	VINB+	通道B正输入。
17	PWUPB	通道B上电。逻辑高电平( $1.4\text{ V} \leq \text{PWUPB} \leq 3.3\text{ V}$ )使能通道B。
19, 21	VOUTB-	通道B负输出。
20, 22	VOUTB+	通道B正输出。
23, 24, 25, 26, 27, 28	VPOS	正电源。
29, 31	VOUTA+	通道A正输出。
30, 32	VOUTA-	通道A负输出。
34	PWUPA	通道A上电。逻辑高电平( $1.4\text{ V} \leq \text{PWUPA} \leq 3.3\text{ V}$ )使能通道A。
35	VINA+	通道A正输入。
36	VINA-	通道A负输入。
37	LATCHA	通道A锁存。逻辑低电平( $0\text{ V} \leq \text{LATCHA} \leq 0.8\text{ V}$ )支持通道A的增益变化。 逻辑高电平( $1.4\text{ V} \leq \text{LATCHA} \leq 3.3\text{ V}$ )阻止通道A的增益变化。
38	UPDN_DAT_A/A0	通道A升/降功能的数据引脚(UPDN_DAT_A)。 第0位用于通道A并行增益控制接口(A0)。
39	UPDN_CLK_A/A1	通道A升/降功能的时钟接口(UPDN_CLK_A)。 第1位用于通道A并行增益控制接口(A1)。
40	FA_A/A2	快速启动(FA_A)。串行模式下，逻辑高电平( $1.4\text{ V} \leq \text{FA}_A \leq 3.3\text{ V}$ )根据SPI字的FA设置对通道A进行衰减。 第2位用于通道A并行增益控制接口(A2)。

## 典型性能参数

除非另有说明,  $V_S = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $R_S = R_L = 150\ \Omega$  (200 MHz), 高性能模式, 2 V p-p差分输出。

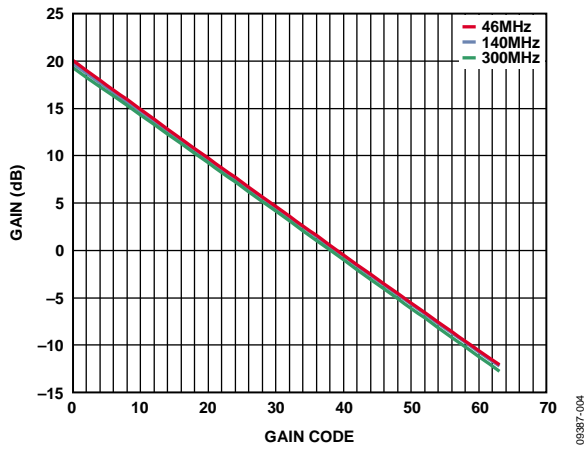


图6. 增益与增益代码的关系(46 MHz、140 MHz和300 MHz)

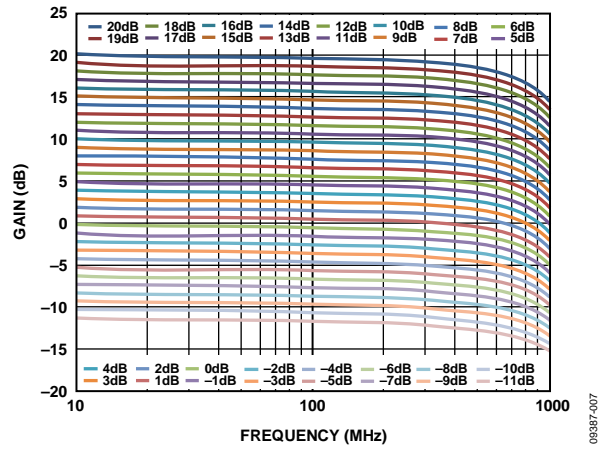


图9. 增益与频率响应的关系(每1 dB步进)

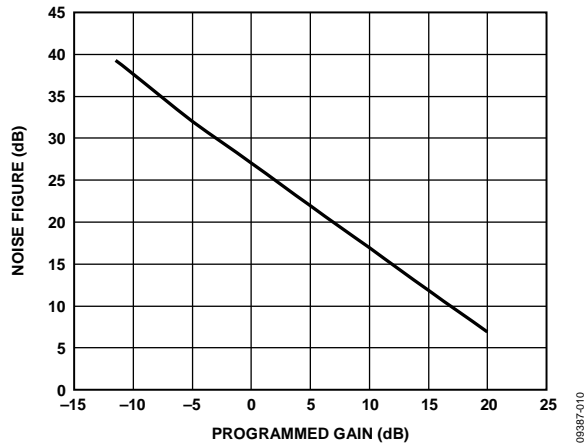


图7. 噪声系数与编程增益的关系(140 MHz)

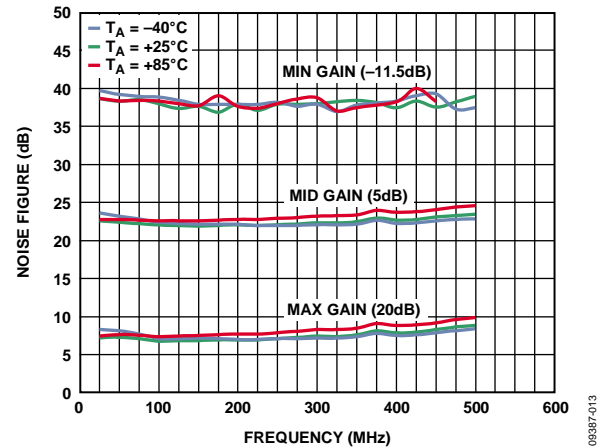


图10. 噪声系数与频率的关系(最大、中等、最小增益输出)

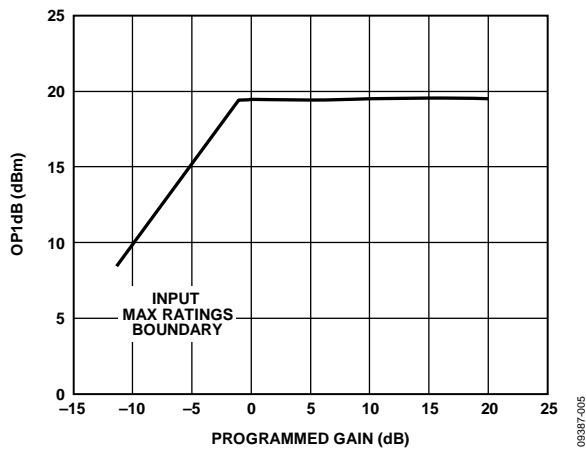


图8. OP1dB与编程增益的关系(140 MHz)

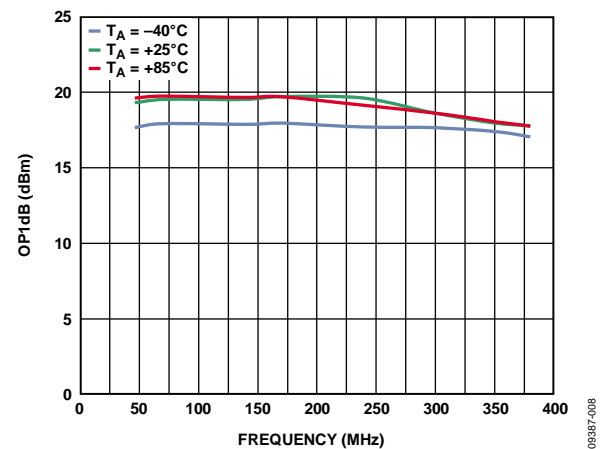


图11. OP1dB与频率的关系(最大增益, 三种温度)



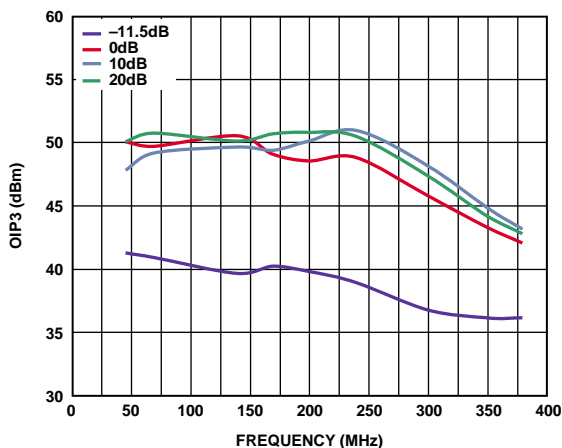


图12. 输出三阶交调截点与频率的关系 (四种增益代码)

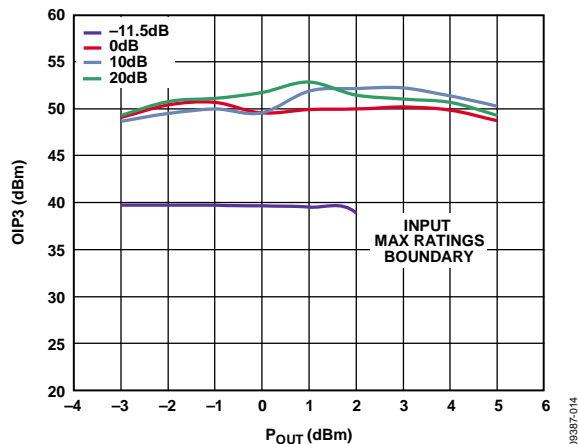


图15. 输出三阶交调截点与功率的关系(四种增益代码, 频率 = 140 MHz, 2 V p-p复合)

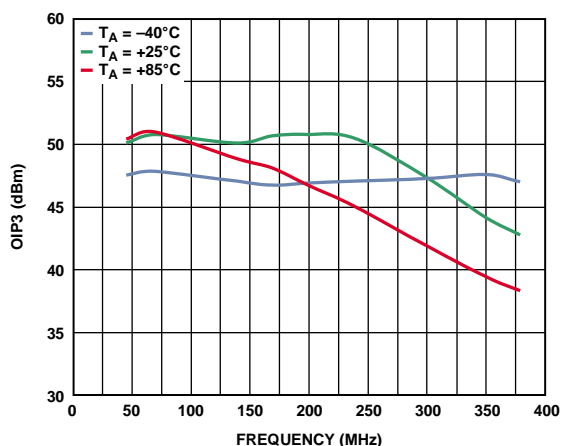


图13. 输出三阶交调截点与频率的关系 (三种温度, 2 V p-p复合)

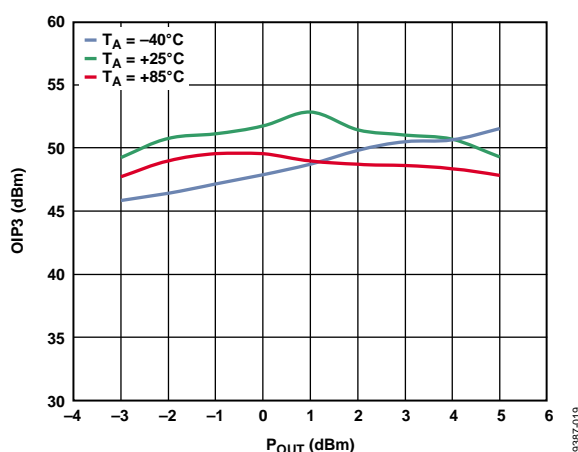


图16. 输出三阶交调截点与功率的关系 (频率 = 140 MHz, 三种温度)

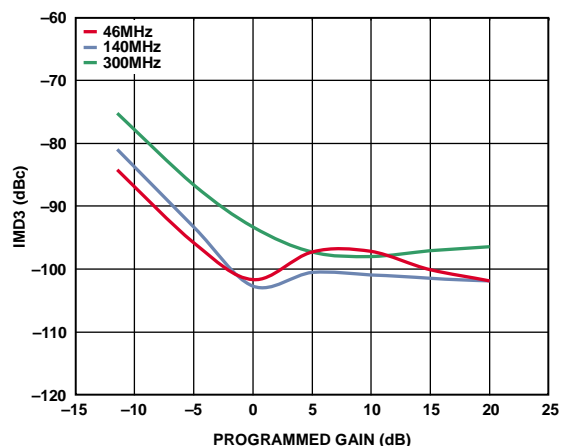


图14. 双音输出IMD3与编程增益的关系 (46 MHz, 140 MHz, 300 MHz)

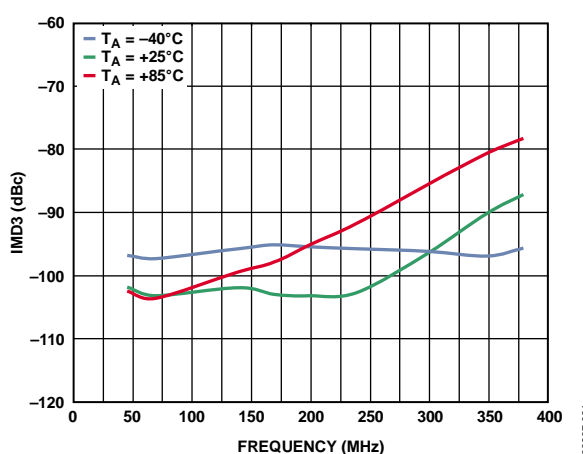


图17. 双音输出IMD3与频率的关系 (三种温度)

# ADL5202

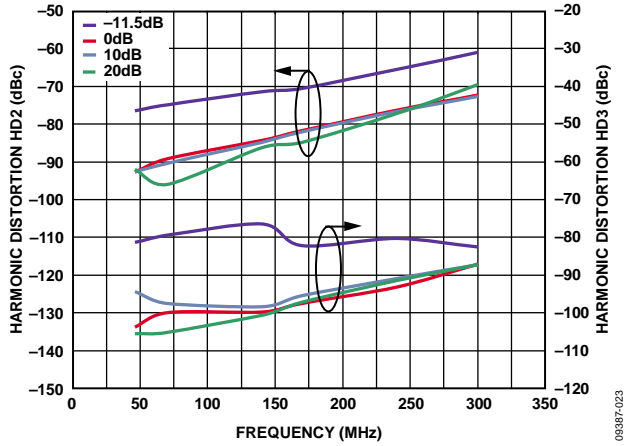


图18. 谐波失真与频率的关系(四种增益代码)

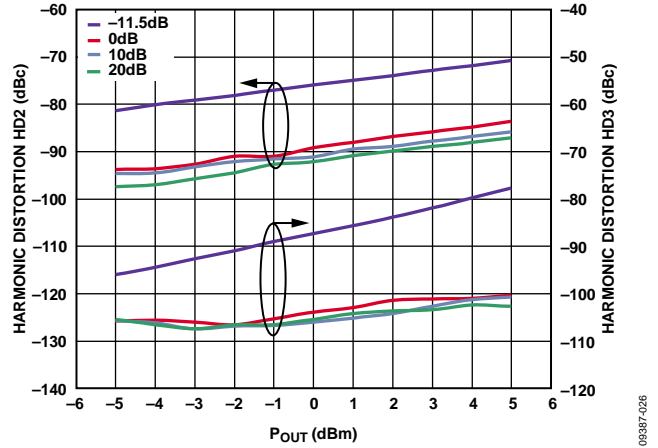


图21. 谐波失真与功率的关系(四种增益, 频率 = 140 MHz)

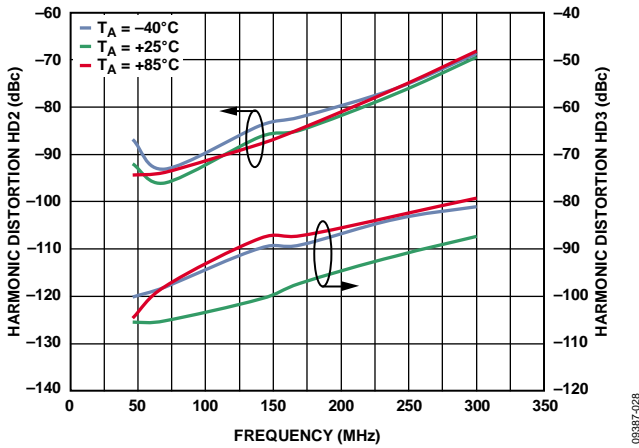


图19. 谐波失真与频率的关系(三种温度)

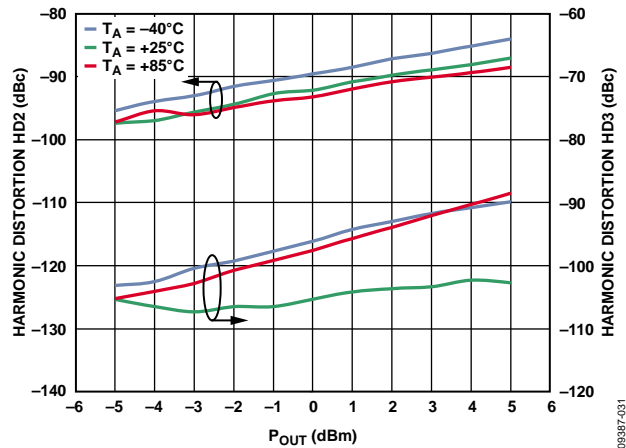


图22. 谐波失真与功率的关系(频率 = 140 MHz, 三种温度)

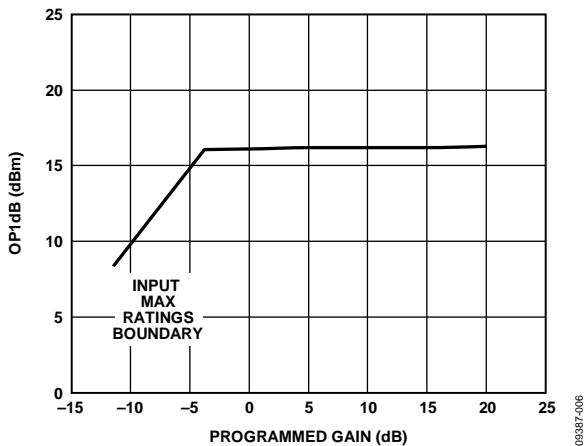


图20. OP1dB与编程增益的关系(140 MHz, 低功耗模式)

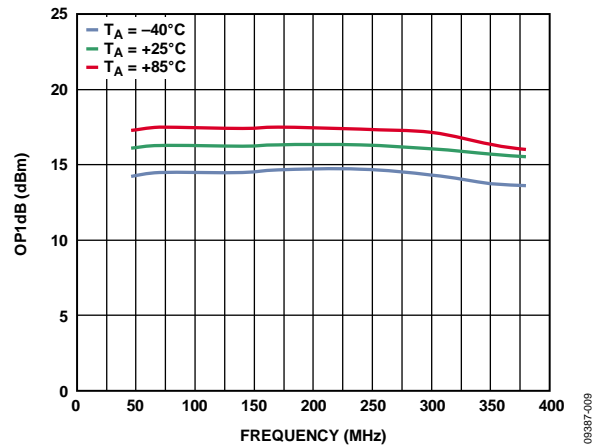


图23. OP1dB与频率的关系(最大增益, 三种温度, 低功耗模式)

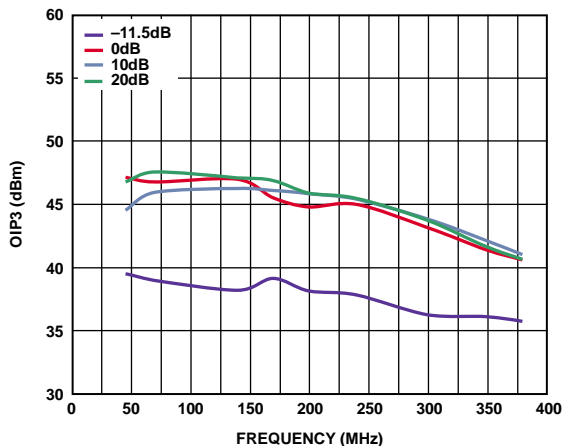


图24. 输出三阶交调截点与频率的关系(四种增益代码, 低功耗模式, 2 V p-p复合)

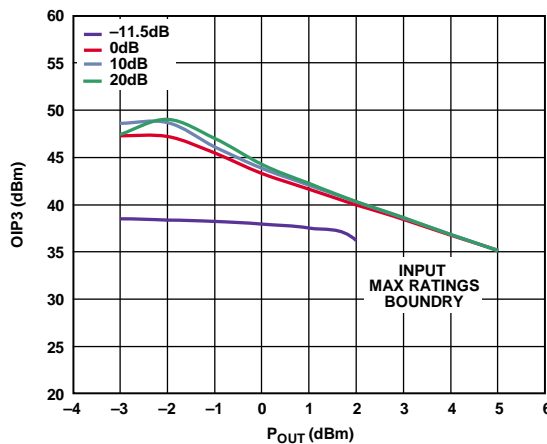


图27. 输出三阶交调截点与功率的关系(四种增益代码, 频率 = 140 MHz, 低功耗模式)

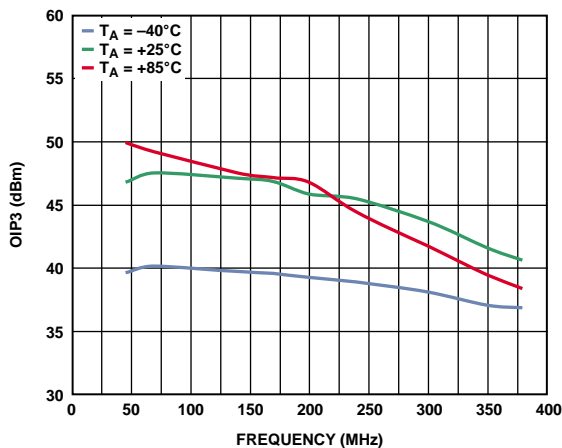


图25. 输出三阶交调截点与频率的关系(三种温度, 低功耗模式)

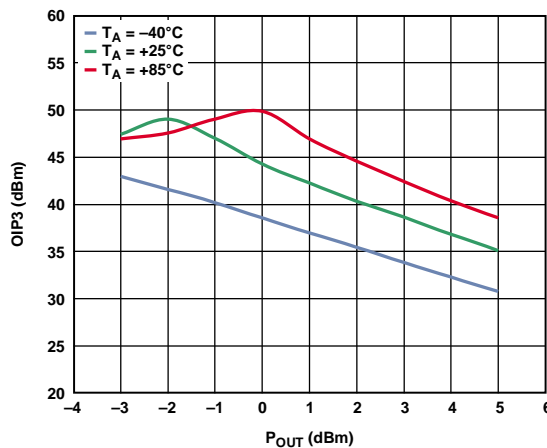


图28. 输出三阶交调截点与功率的关系(三种温度, 低功耗模式, 2 V p-p复合)

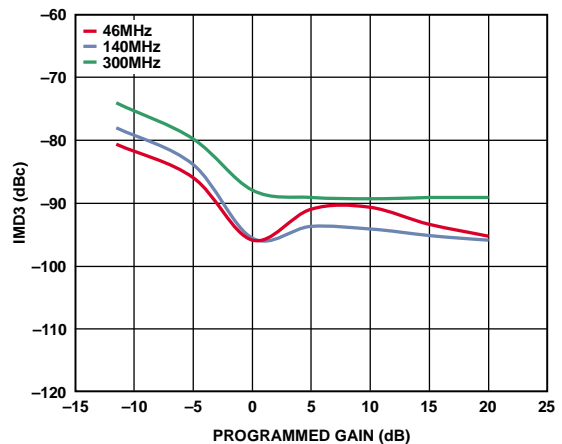


图26. 双音输出IMD3与编程增益的关系(46 MHz, 140 MHz, 300 MHz, 低功耗模式)

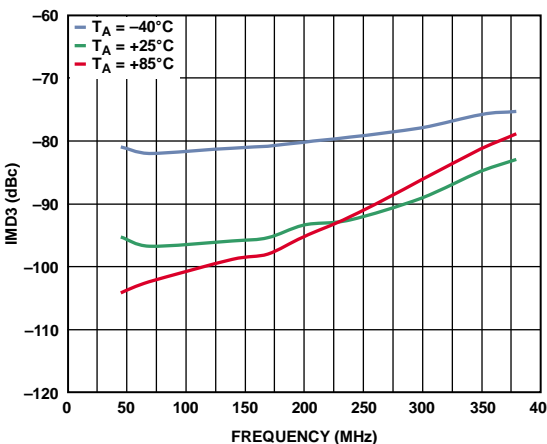


图29. 双音输出IMD3与频率的关系(三种温度, 低功耗模式)

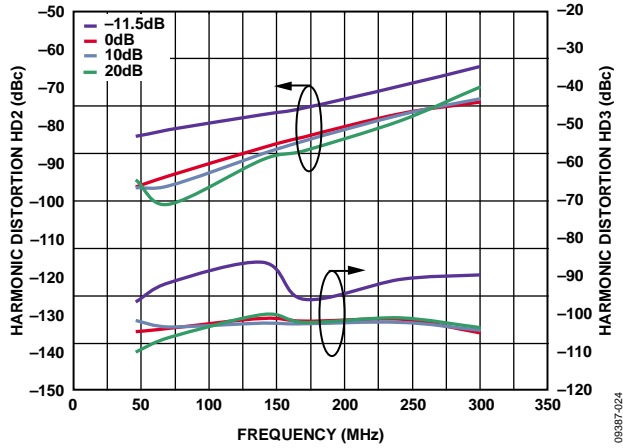


图30. 谐波失真与频率的关系  
(四种增益代码, 低功耗模式)

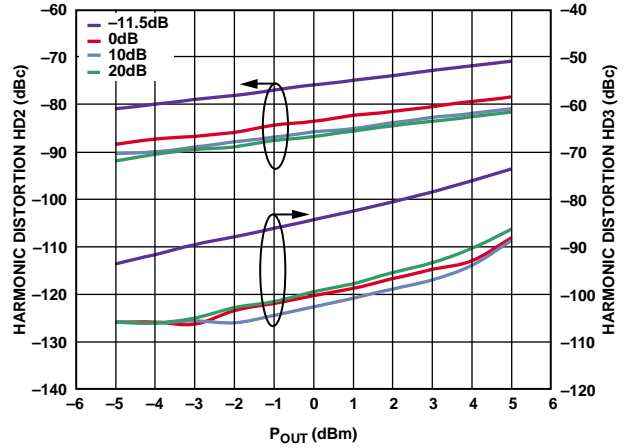


图33. 谐波失真与功率的关系  
(四种增益代码, 频率 = 140 MHz, 低功耗模式)

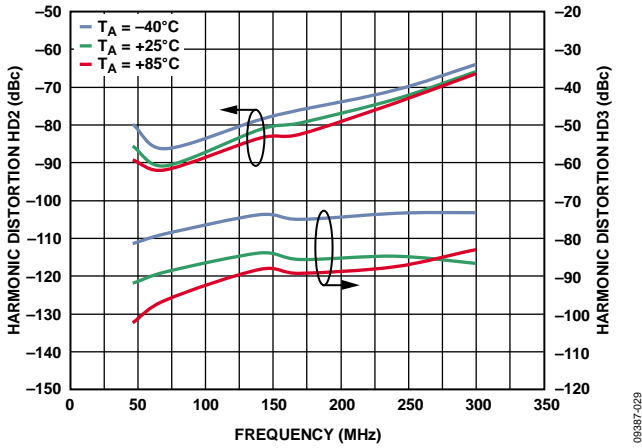


图31. 谐波失真与频率的关系  
(三种温度, 低功耗模式)

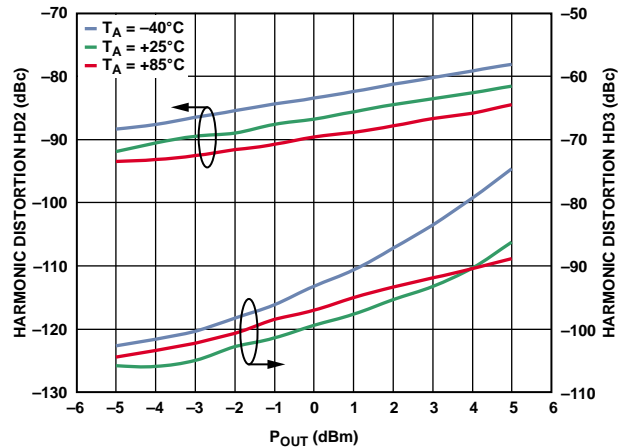


图34. 谐波失真与功率的关系  
(频率 = 140 MHz, 三种温度, 低功耗模式)

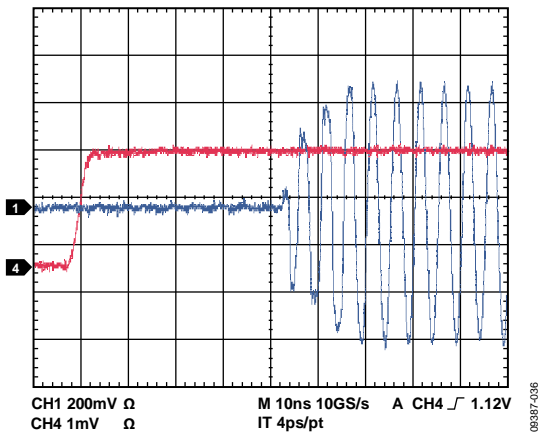


图32. 使能时域响应

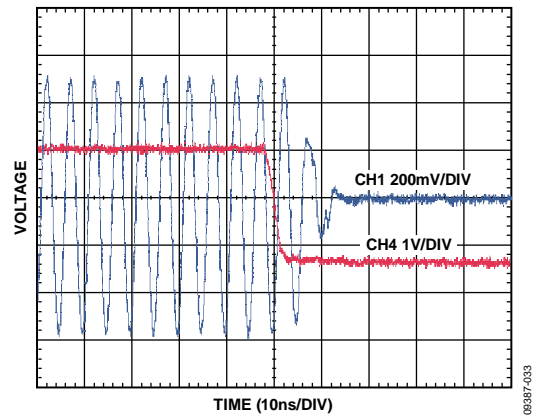


图35. 禁用时域响应

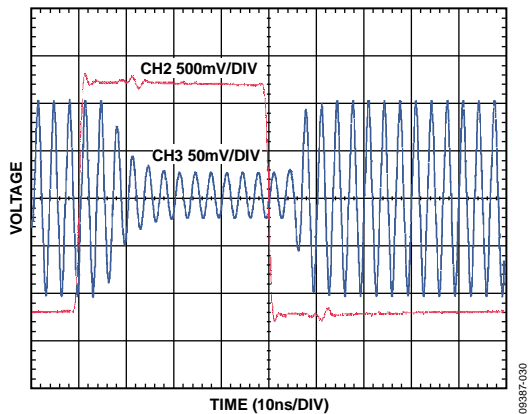


图36. 增益步进时域响应

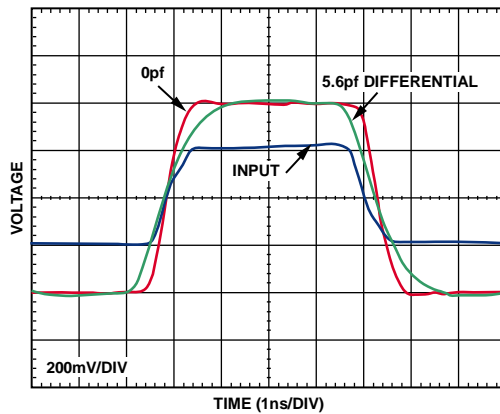


图39. 大信号脉冲响应(0 pF和5.6 pF, 2 V p-p复合)

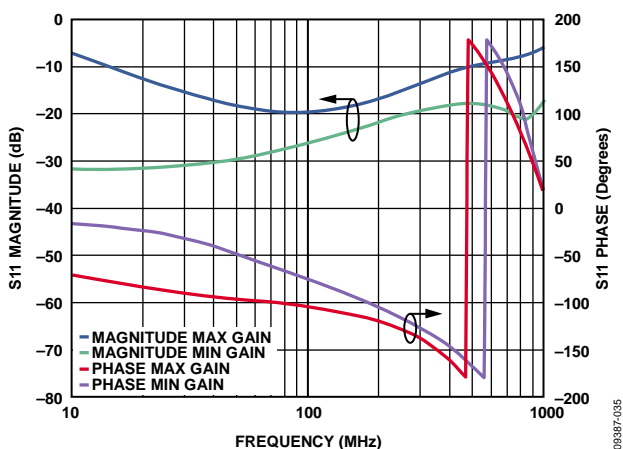


图37. S11幅度和相位与频率的关系

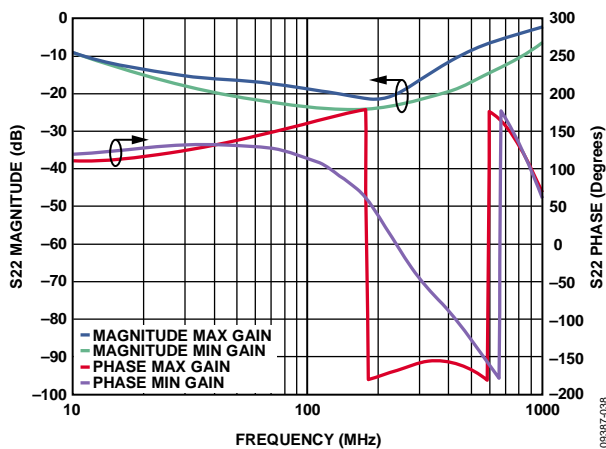


图40. S22幅度和相位与频率的关系

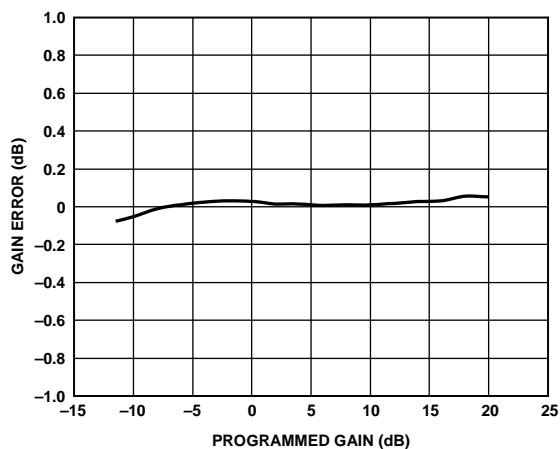


图38. 增益步进误差(频率 = 140 MHz)

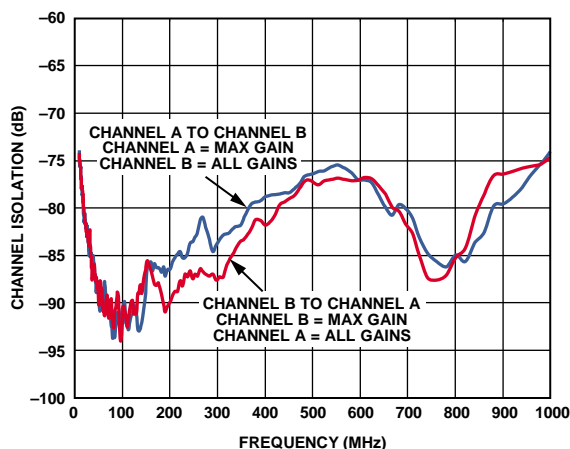


图41. 通道隔离与频率的关系

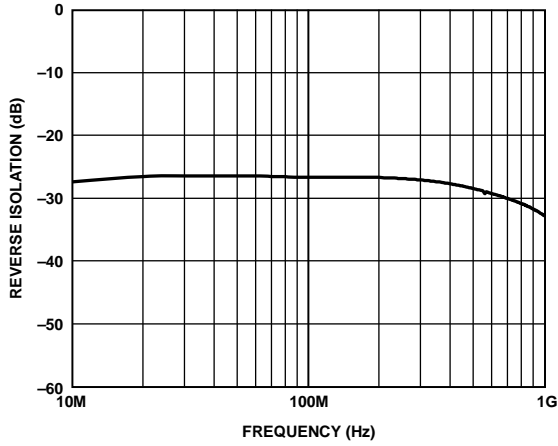


图42. 反向隔离与频率的关系

09387-039

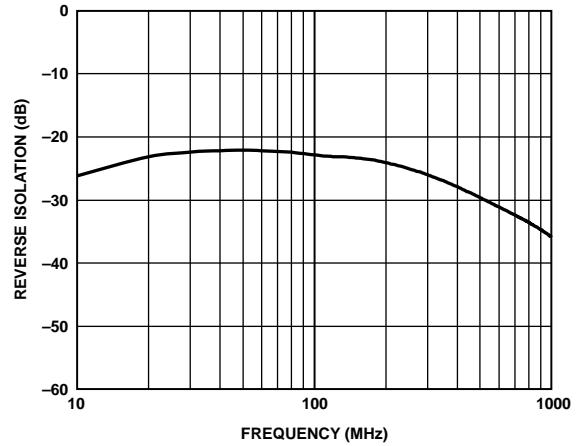


图45. 禁用状态反向隔离与频率的关系

09387-042

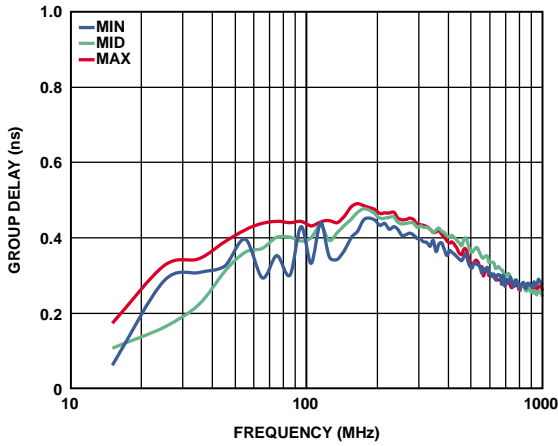


图43. 群延迟与频率的关系(最大、中等、最小增益输出)

09387-040

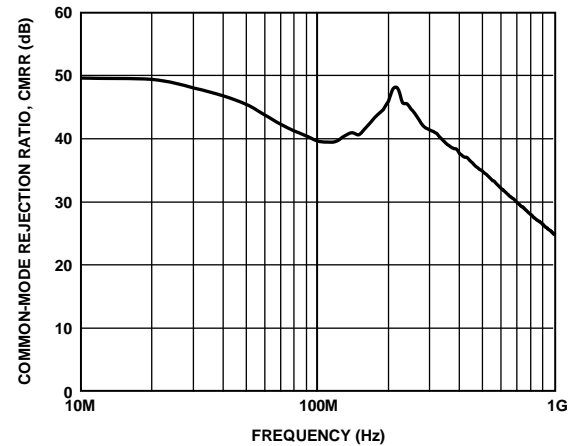


图46. 共模抑制比与频率的关系

09387-044

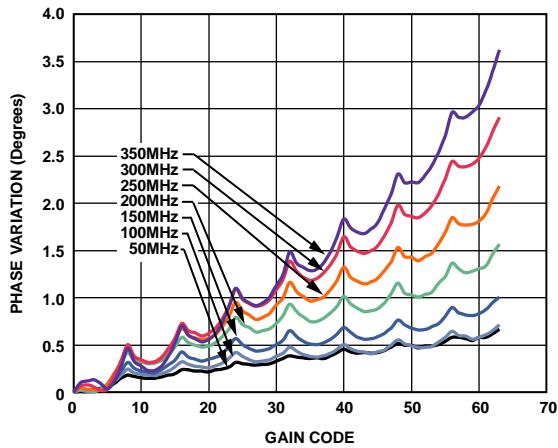


图44. 相位变化与增益代码的关系

09387-041

# 特性和测试电路

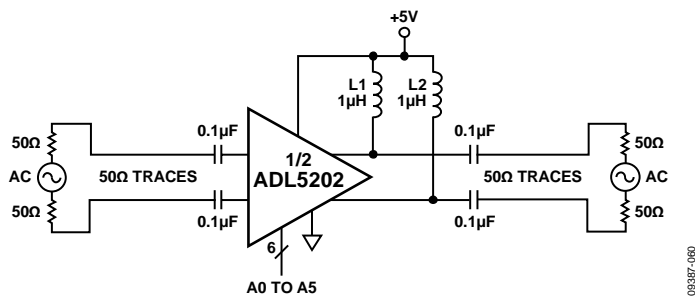


图47. 专用50 Ω差分至差分电路板S参数测试电路

09387-080

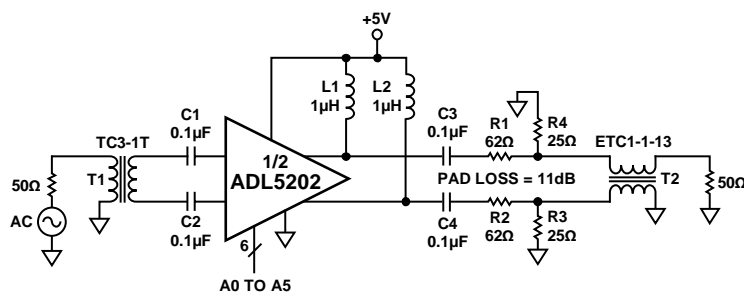


图48. 失真、增益和噪声测试电路

09387-082

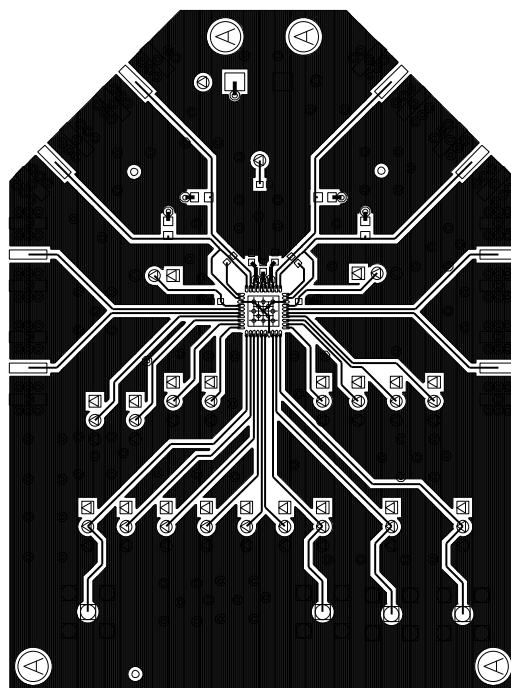


图49. 差分至差分特性板，电路侧布局

09387-083

## 工作原理

### 数字接口概述

ADL5202 VGA具有三个数字增益控制选项：并行控制接口、串行外设接口和增益升/降接口。通过两个控制引脚MODE0和MODE1选择所需增益控制选项(模式控制引脚的真值表见表4)。增益代码为6位二进制格式。设置逻辑高电平需要1.4 V至3.3 V的电压。

有三个引脚对所有增益控制选项有效：PM、PWUPA和PWUPB。PM可让用户选择以标称模式或高性能模式工作。PWUPA和PWUPB分别为通道A和通道B的上电引脚。三个接口共享物理引脚，每一数字引脚具有三种不同功能(见表3)。

表4. 数字控制接口选择真值表

MODE1	MODE0	接口
0	0	并行控制
0	1	串行外设(SPI)
1	0	升/降
1	1	升/降

### 并行数字接口

并行数字接口使用6个二进制位(位[A5:A0]或位[B5:B0])和每放大器1个闩锁引脚(LATCHA或LATCHB)。闩锁引脚控制输入数据锁存器是透明还是锁存状态。在透明模式下，增益随输入增益控制位的变化而改变。在锁存模式下，增益由锁存增益设置决定，不随输入增益控制位的变化而改变。

### 串行外设接口(SPI)

SPI使用三个引脚(SDIO、SCLK和CSA或CSB)。SPI数据寄存器由两个字节组成：6个增益控制位、2个衰减步长地址位、1个读/写位和7个无关位。SDIO是串行数据输入和输出引脚。SCLK引脚是串行时钟，CSA或CSB是通道选择引脚。

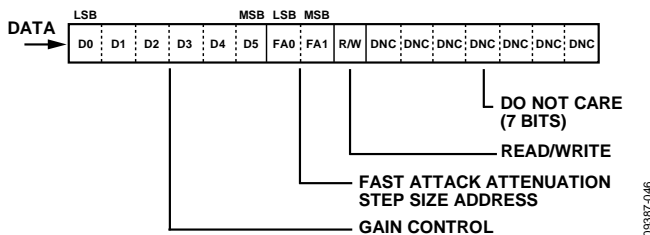


表50. 16位SPI寄存器

若要写入SPI寄存器，CSA或CSB必须拉低，并且16个时钟脉冲必须应用于SCLK。可通过拉低CSA或CSB选择独立通道SPI寄存器。通过同时拉低CSA和CSB引脚，同样数据便可同时写入SPI寄存器。

若要读取SPI寄存器值，读/写位必须设为高电平、拉低CSA或CSB并且器件必须进行时钟控制。寄存器在随后的16个时钟周期内被读取后，SPI自动置于写入模式。注意仅有一个SDIO引脚。应单独执行寄存器回读操作。

### 快速启动

快速启动功能可通过SPI使用，支持以预置步长降低当前的增益设置。提供4种不同的衰减步长。快速启动的真值表见表5。

表5. SPI 2位衰减步长真值表

FA1	FA0	步长(dB)
0	0	2
0	1	4
1	0	8
1	1	16

SPI快速启动模式受FA\_A或FA\_B引脚控制。FA\_A或FA\_B引脚上的逻辑高电平导致的衰减由SPI寄存器内的位[FA1:FA0]选定。

### 增益升/降接口

GS1和GS0引脚控制升/降增益步进功能。当UPDN\_DAT\_A或UPDN\_DAT\_B引脚为高电平时，UPDN\_CLK\_A引脚或UPDN\_CLK\_B引脚上的时钟脉冲引起增益上升(上升沿和下降沿)。当UPDN\_DAT\_A或UPDN\_CLKB引脚为低电平时，UPDN\_CLK\_A或UPDN\_CLK B引脚上的时钟脉冲引起增益下降。增益步进功能的真值表见表6。单极性上升沿锁存数据检测复位，下降沿锁存相反的极性。复位导致最小二进制增益代码为111111。

表6. 步长控制真值表

GS1	GS0	步长(dB)
0	0	0.5
0	1	1
1	0	2
1	1	4

可通过GS1和GS0引脚选择步长。增益受限于最大和最小控制范围。

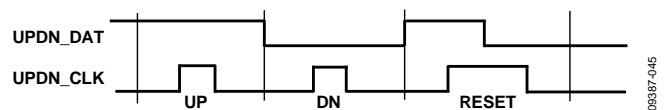


图51. 升/降时序



## 真值表

表7. 增益代码与电压增益关系查找表

6位二进制增益代码	电压增益 (dB)	6位二进制增益代码	电压增益 (dB)
000000	20	100000	4
000001	19.5	100001	3.5
000010	19	100010	3
000011	18.5	100011	2.5
000100	18	100100	2
000101	17.5	100101	1.5
000110	17	100110	1
000111	16.5	100111	0.5
001000	16	101000	0
001001	15.5	101001	-0.5
001010	15	101010	-1
001011	14.5	101011	-1.5
001100	14	101100	-2
001101	13.5	101101	-2.5
001110	13	101110	-3
001111	12.5	101111	-3.5
010000	12	110000	-4
010001	11.5	110001	-4.5
010010	11	110010	-5
010011	10.5	110011	-5.5
010100	10	110100	-6
010101	9.5	110101	-6.5
010110	9	110110	-7
010111	8.5	110111	-7.5
011000	8	111000	-8
011001	7.5	111001	-8.5
011010	7	111010	-9
011011	6.5	111011	-9.5
011100	6	111100	-10
011101	5.5	111101	-10.5
011110	5	111110	-11
011111	4.5	111111	-11.5

## 逻辑时序

若要写入ADL5202，参考图2中的时序(再现于本章图52)。写入模式使用SDIO引脚上的16位串行字。读/写字必须为低电平以写入位[D0:D5]，它是衰减水平的二进制加权代码(0 = 最小衰减，63 = 最大衰减)。FA0和FA1位控制快速启动的步长。DNC是没有功能的无关位。读取ADL5202 SPI寄存器需要以下两个步骤：

1. 使用一个16位的字和本章(以及图52)中描述的时序设置读/写位为高电平。当读/写位处于高电平时，其它位均忽略。
2. SDIO在下一个序列中用作输出。写入模式使用16个时钟和本章(以及图52)中描述的时序通过SDIO串行输出。读/写位在读取序列后自动返回低电平至写入级。

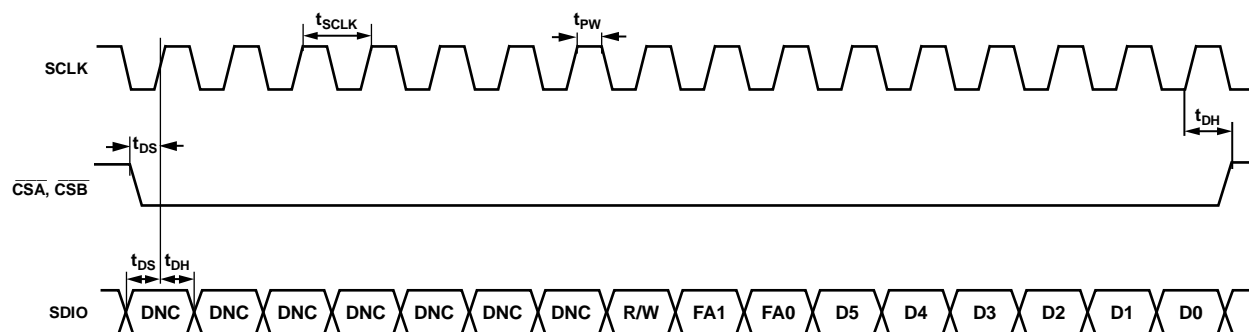


图52. SPI接口读/写模式时序图

09387-152

## 电路描述

### 基本结构

ADL5202是一款双通道、差分、可变增益放大器，每个放大器由一个150 Ω数字控制式无源衰减器后接带反馈的高线性度跨导放大器组成。

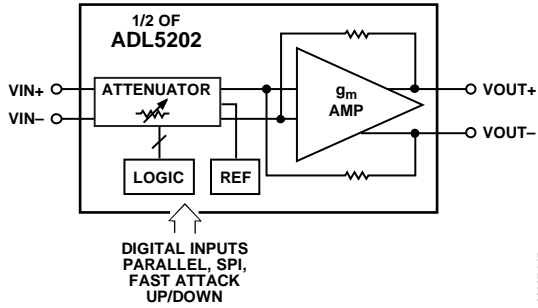


图53. 原理示意图

### 输入系统

每个放大器输入端的直流电压电平由两个独立的内部基准电压源电路设置为约1.6 V。基准电压源无法访问、无法调整。

每个放大器可通过下拉相应的上电引脚至地(逻辑低电平)而关断。当处于关断时，每个放大器的总电流降低至7 mA(典型值)。输入端的直流电平保持在大约1.6 V，无论PWUPA或PWUPB引脚的状态如何。

### 输出放大器

驱动150 Ω负载时，输出放大器的增益设为22 dB。匹配条件下，该放大器的输入和输出电阻设为150 Ω。若负载或源电阻不同于150 Ω，则可用下列等式决定最终增益和输入/输出电阻。

$$\text{电压增益} = A_V = 0.09 \times (2000) // R_L$$

$$R_{IN} = (2000 + R_L) / (1 + 0.09 \times R_L)$$

$$S2I (\text{增益}) = 2 \times R_{IN} / (R_{IN} + R_S) \times A_V$$

$$R_{OUT} = (2000 + R_S) / (1 + 0.09 \times R_S)$$

注意设置为最大衰减时，输出放大器得到的 $R_S$ 是衰减器的输出电阻，为150 Ω。然而，在最小衰减时， $R_S$ 是连接至器件输入端的源电阻。

每个放大器输出端的直流电流由两个外部扼流圈提供。扼流圈电感和负载电阻与器件的输出电阻并联，为响应增加了低频极点。扼流圈的寄生电容加大了器件的输出电容。该总电容与负载和输出电阻并联，共同设置器件的高频极点。通常，扼流圈的电感越大，其寄生电容也越大。因此，选择扼流圈的数值和种类时需作出权衡。当工作频率为15 MHz至700 MHz、驱动150 Ω负载时，推荐使用自谐振频率(SRF)为160 MHz或更高的1 μH扼流圈(例如Coilcraft 0805LS-102XJBB)。若使用更高数值的扼流圈，由于存在内部交流耦合反馈，4 MHz零电平会导致频率低于4 MHz时S21上升至6 dB。每个放大器的电源电流由通过VPOS引脚的35 mA电流和通过两个扼流圈组合的50 mA电流组成。后者随温度每上升10°C而升高大约2.5 mA。在高性能模式下，总扼流圈电流上升至75 mA。每个放大器针对每个极性都有两个输出引脚，它们的位置交叉相对。设计电路板时，相应的输出由于布线而互相连接，因此需注意降低寄生电容。降低寄生电容的一个良好实践做法是避免该布线区域和扼流圈的任何接地或与电源层相接。

### 增益控制

每个放大器的增益可通过并行控制接口、串行外设接口或增益升/降接口调整。通常，增益步长为0.5 dB，但可通过各种接口编程设置更大的步长，如“数字接口概述”部分所述。每个放大器的最大增益为+20 dB(代码0)至-11.5 dB(代码63)。

最大增益设置下，每个放大器的噪声系数约为7.5 dB，并会随着增益的下降而增加。噪声系数的增加量与增益的减少量相等。在输出端测得的器件线性度是一阶的，且与增益设置无关。增益介于-4 dB至+20 dB之间时，200 MHz条件下150 Ω负载的OIP3约为50 dBm(每个信号音0 dBm)。增益设置为-4 dB以下时，OIP3下降至约40 dBm。

## 应用信息

### 基本连接

图54显示了ADL5202的基本连接。4.5 V至5.5 V电压可施加于VPOS引脚。每个电源引脚应与至少一个0.1  $\mu$ F的低电感、表面贴装陶瓷电容相连，以便去耦。电容应尽可能靠近器件。

ADL5202的输出必须通过1  $\mu$ H RF扼流圈上拉至正电源。差分输出偏置为正电源，需要连接交流耦合电容，最好是0.1  $\mu$ F的电容。同样，输入引脚处于高于地约1.6 V的偏置电压下，也应进行交流耦合。交流耦合电容和RF扼流圈原则上是低频工作时的限制因素。

数字引脚(模式控制引脚、与SPI和并行增益控制相关的引脚、PM、PWUPA和PWUPB)工作电压为3.3 V。

若要使能ADL5202的各个通道，则PWUPA或PWUPB引脚必须上拉至高电平( $1.4 \text{ V} \leq \text{PWUPA/PWUPB} \leq 3.3 \text{ V}$ )。将PWUPA或PWUPB下拉至低电平则会让ADL5202的通道进入休眠模式，环境温度下电流损耗降低至大约每通道7 mA。

### ADC驱动

ADL5202是一款高度线性、可变增益放大器，专为ADC接口而优化。输出IMD和本底噪声在31.5 dB增益范围内保持恒定。对于接收机范围改变时需保持恒定瞬时动态范围的可变增益接收机而言，这一特性很重要。输出噪声为18 nV/ $\sqrt{\text{Hz}}$ ，与14位或16位ADC兼容。以-1 dBm驱动150  $\Omega$ 或2 V p-p输出时，双音IMD通常大于-100 dB。150  $\Omega$ 的输出阻抗使得针对高输出阻抗ADC的滤波器设计更简便。

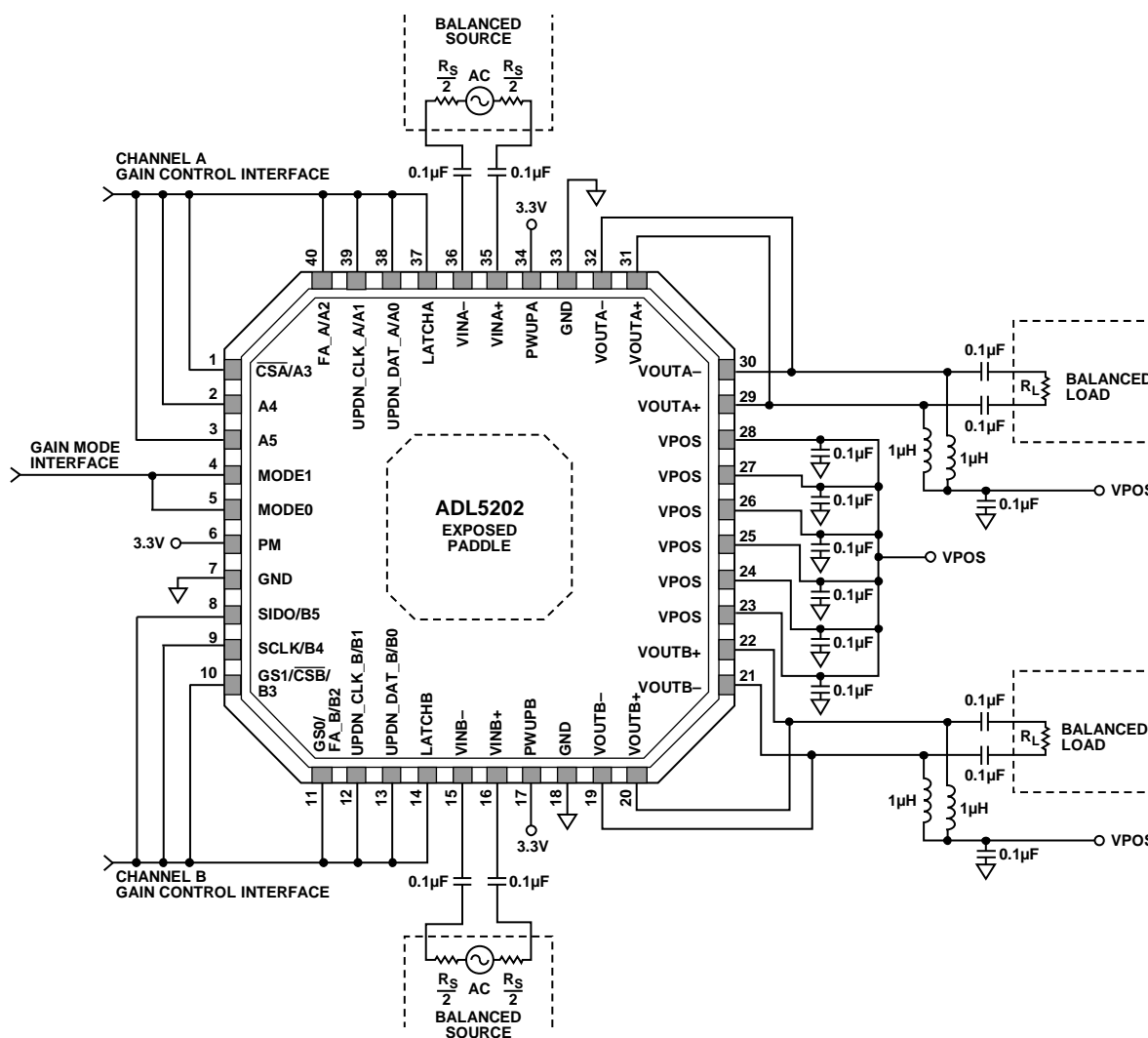


图54. 基本连接

# ADL5202

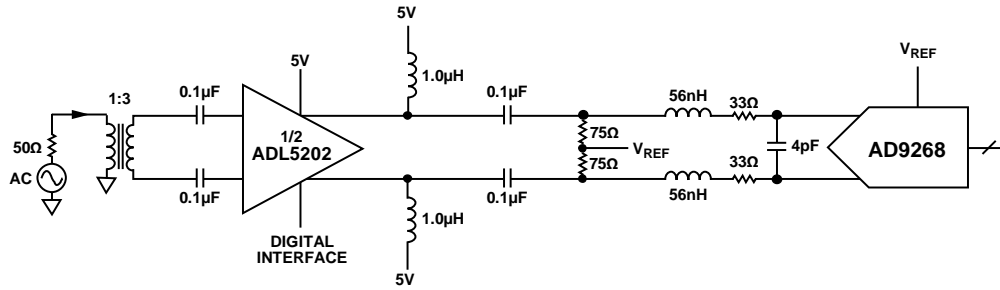


图55. 宽带ADC接口示例，采用一半的ADL5202和AD9268

图55表示一半的ADL5202驱动一个双极点、100 MHz低通滤波器至AD9268。AD9268是一款16位、125 MSPS模数转换器，具有缓冲宽带输入，由此产生6 kΩ差分输入阻抗，要求具有1 V至2 V之间的输入摆幅才能达到满量程。本示例采用2 V p-p输入。为优化性能，ADL5202应采用阻抗变压器或输入巴伦以差分方式驱动。

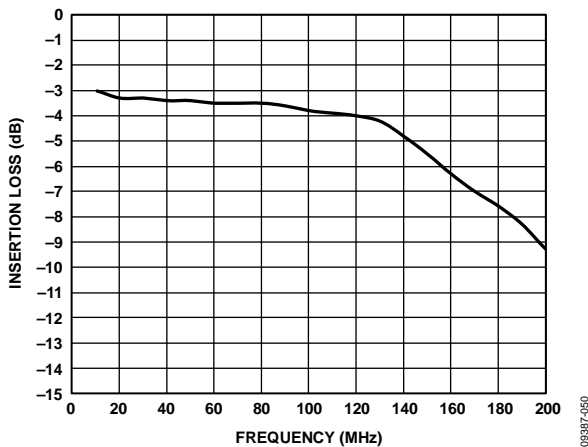


图56. 图55所示宽带ADC接口的频率响应测量结果

图55使用1:3阻抗变压器以提供ADL5202匹配输入的150 Ω输入阻抗。ADL5202输出通过两个1 µH电感偏置，输出端的两个0.1 µF电容对来自AD9268输入共模电压的5 V电感电压去耦。两个75 Ω电阻为增益与负载无关的ADL5202提供150 Ω负载。56 nH电感和4 pF电容构成(100 MHz - 1 dB)低通滤波器。两个33 Ω隔离电阻抑制来自ADC输入采样保持电路的任何开关电流。图55所示电路可为AD9268提供可变增益、隔离、滤波和源阻抗匹配。利用该电路，当ADL5202的增益为20 dB(最大增益)、SNR为69 dB时，在100 MHz时的SFDR性能高于86 dBc，如图57所示。

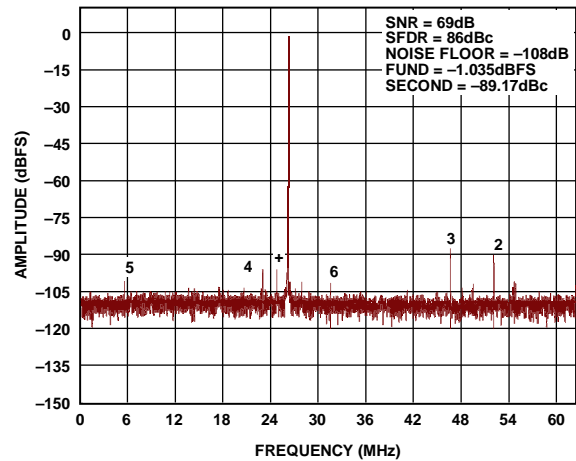


图57. 图55所示电路在100 MHz输入信号时测得的单音性能

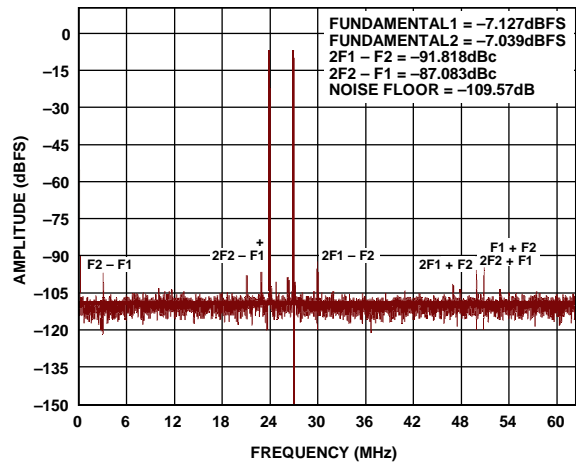


图58. 图55所示电路在100 MHz输入信号时测得的双音性能

图59提供了另一种窄带方法。通过在ADL5202与目标ADC之间设计一个窄带通抗混叠滤波器，目标奈奎斯特频率区域外的ADL5202输出噪声得以衰减，有助于保持ADC的SNR性能。一般而言，若用一个恰当阶数的抗混叠滤波器时，SNR性能会提高数个分贝(dB)。本例采用一个低损耗1:3输入变压器，使ADL5202的150 Ω平衡输入与50 Ω不平衡源端相匹配，从而使输入端的插入损耗最小。

图59针对驱动ADI公司一些颇受欢迎的无缓冲ADC进行了优化，如AD9246、AD9640和AD6655等。表8列出了针对常用的IF采样中心频率，相关抗混叠滤波器元件的推荐值。电感L5与片内ADC输入电容及C4所提供电容的一部分并联，构成一个谐振电路。该谐振电路有助于确保ADC输入在目标中心频率条件下像个真实的电阻。

此外，在直流时电感L6会使ADC输入短路，从而将一个零点引入传递函数。交流耦合电容和偏置扼流圈会将更多零

点引入传递函数。最终的整体频率响应呈现出带通特性，有助于抑制目标奈奎斯特频率区域外的噪声。表8提供了一些初步建议值供原型设计使用。可能还需要考虑一些经验优化方法，帮助补偿实际的PCB寄生效应。

### 布局布线考虑

ADL5202针对每个极性都有两个输出引脚，它们的位置交叉相对。设计电路板时，相应的输出由于布线而互连接，因此需注意降低寄生电容。降低寄生电容的一个良好实践做法是避免该布线区域和扼流圈的任何接地或与电源层相接。

如果包括走线电容在内的共模负载电容大于2 pF，则器件输出引脚应使用寄生抑制电阻。这些电阻应放置在紧接着交错连接的输出走线中。使用5 Ω串联电阻(0402尺寸)可以对输出系统充分去Q，而增益不会明显降低。

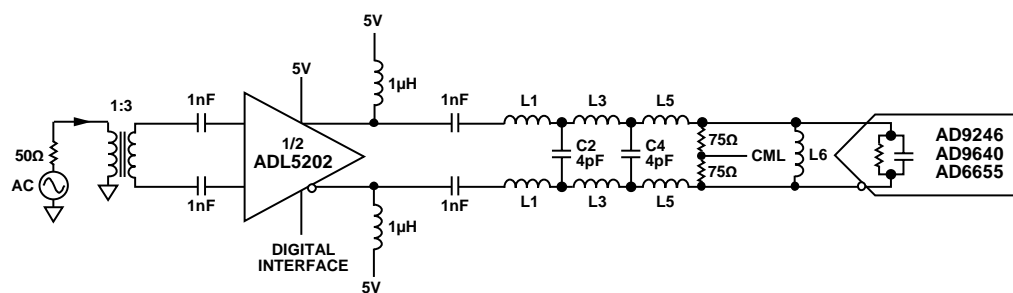


图59. 无缓冲ADC应用的窄带IF采样解决方案

09387-053

表8: 针对不同IF采样频率的接口滤波器建议值

中心频率	1 dB带宽	L1	C2	L3	C4	L5	L6
96 MHz	27 MHz	68 nH	15 pF	220 nH	15 pF	68 nH	150 nH
140 MHz	31 MHz	47 nH	11 pF	150 nH	11 pF	47 nH	82 nH
170 MHz	25 MHz	39 nH	10 pF	120 nH	10 pF	47 nH	51 nH
211 MHz	40 MHz	30 nH	7 pF	100 nH	7.5 pF	30 nH	43 nH

## 评估板

可利用软件来编程设置ADL5202评估板的可变增益控制。评估板由4层组成，带有分离的接地层分别用于模拟和数字部分。注意：应将电源去耦电容放置于靠近器件引脚的位置。评估板可为各个通道提供简单的单端(通过Mini-Circuits TC3-1T+ RF变压器)或差分配置。

## 评估板控制软件

ADL5202评估板配置了一个USB接口，以编程设置ADL5202的增益。软件的图形用户界面(见图60)允许用户选择特定增益模式和增益水平，向器件内写入数据和从SDIO引脚(用于显示当前编程的滤波器设置)回读数据。用户可以从[www.analog.com](http://www.analog.com)的ADL5202产品页面下载该软件的安装文件。

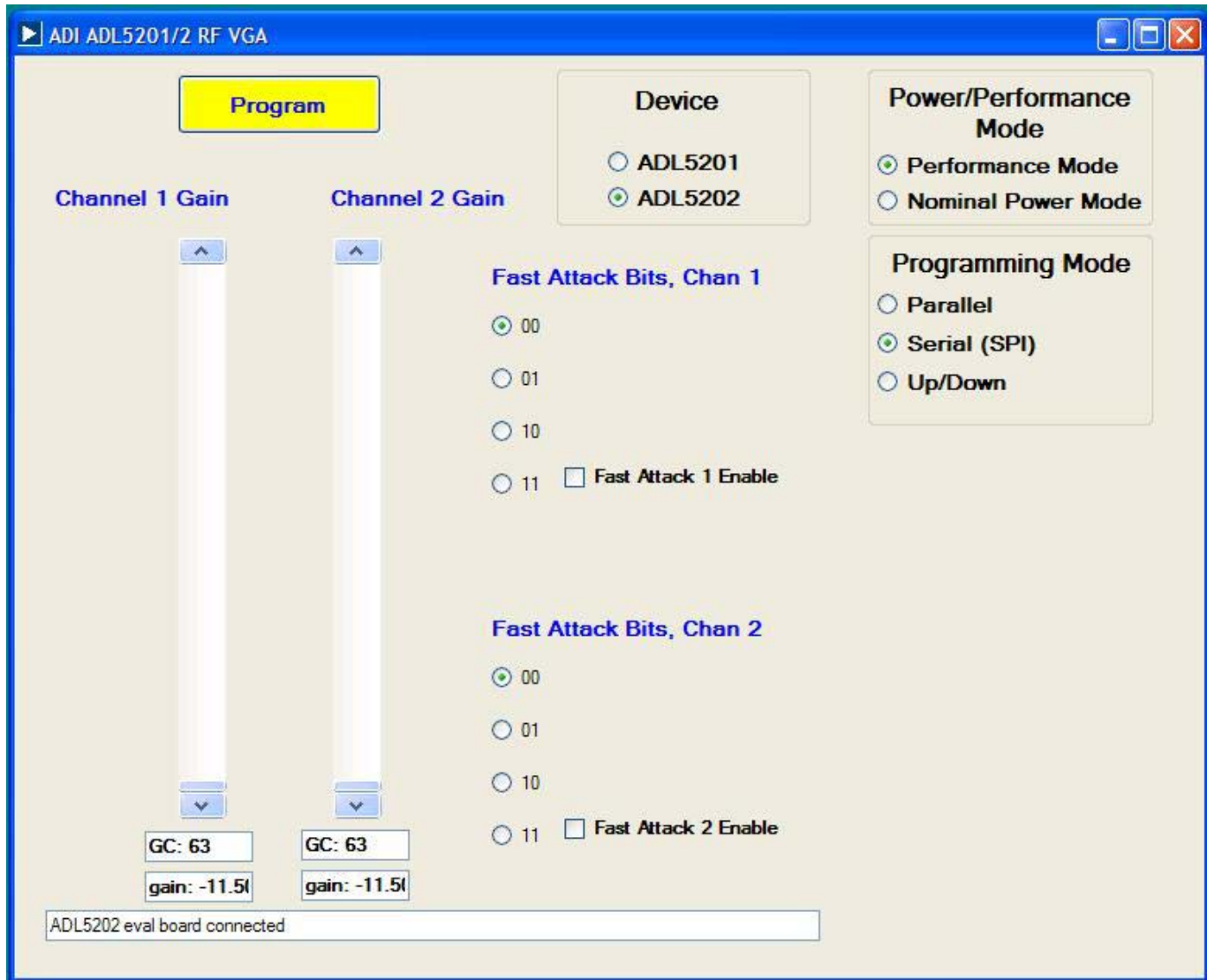
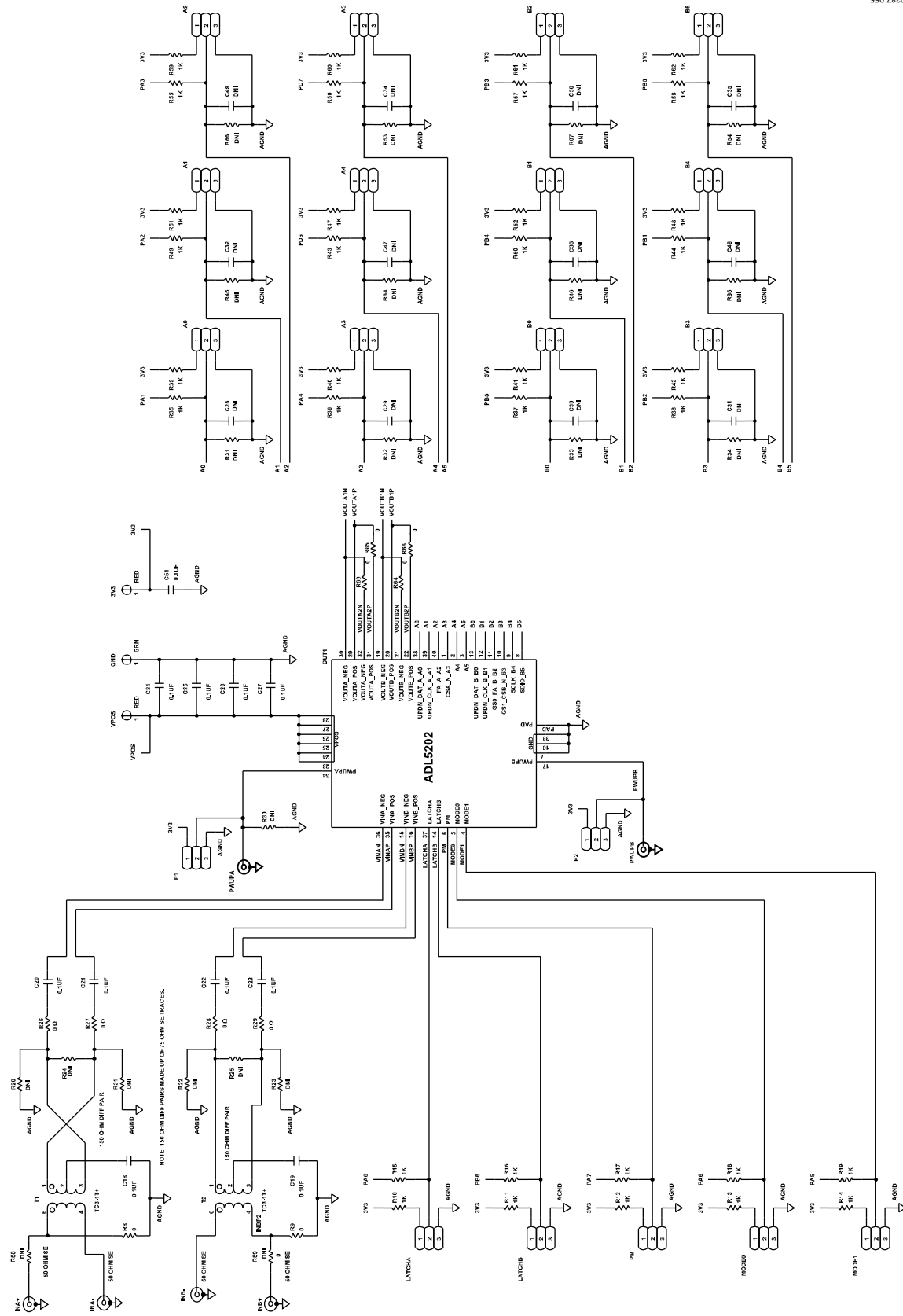


图60. 评估板控制软件

评估板原理图和PCB布局图

59387-055



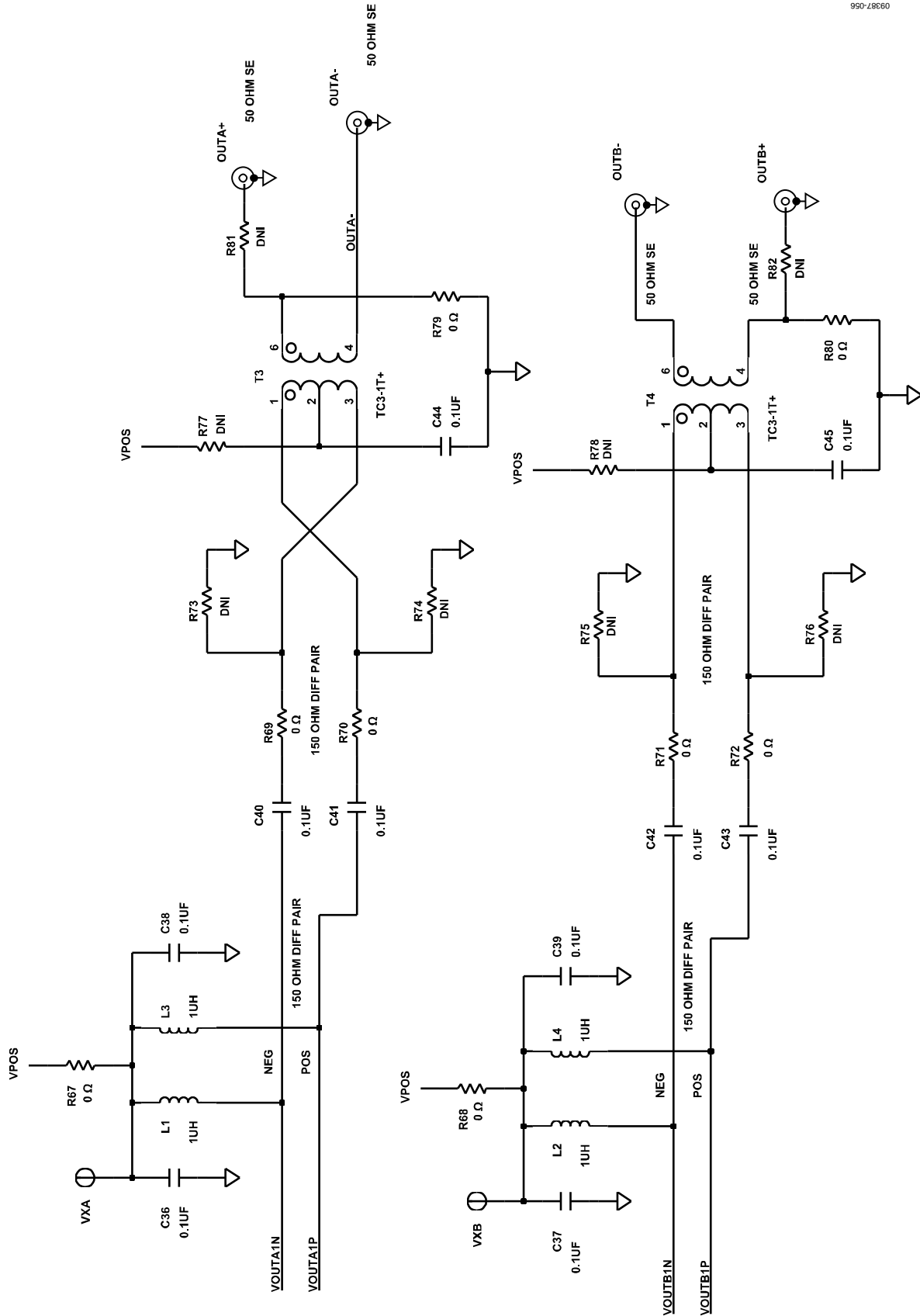


图62. RF输出详细信息



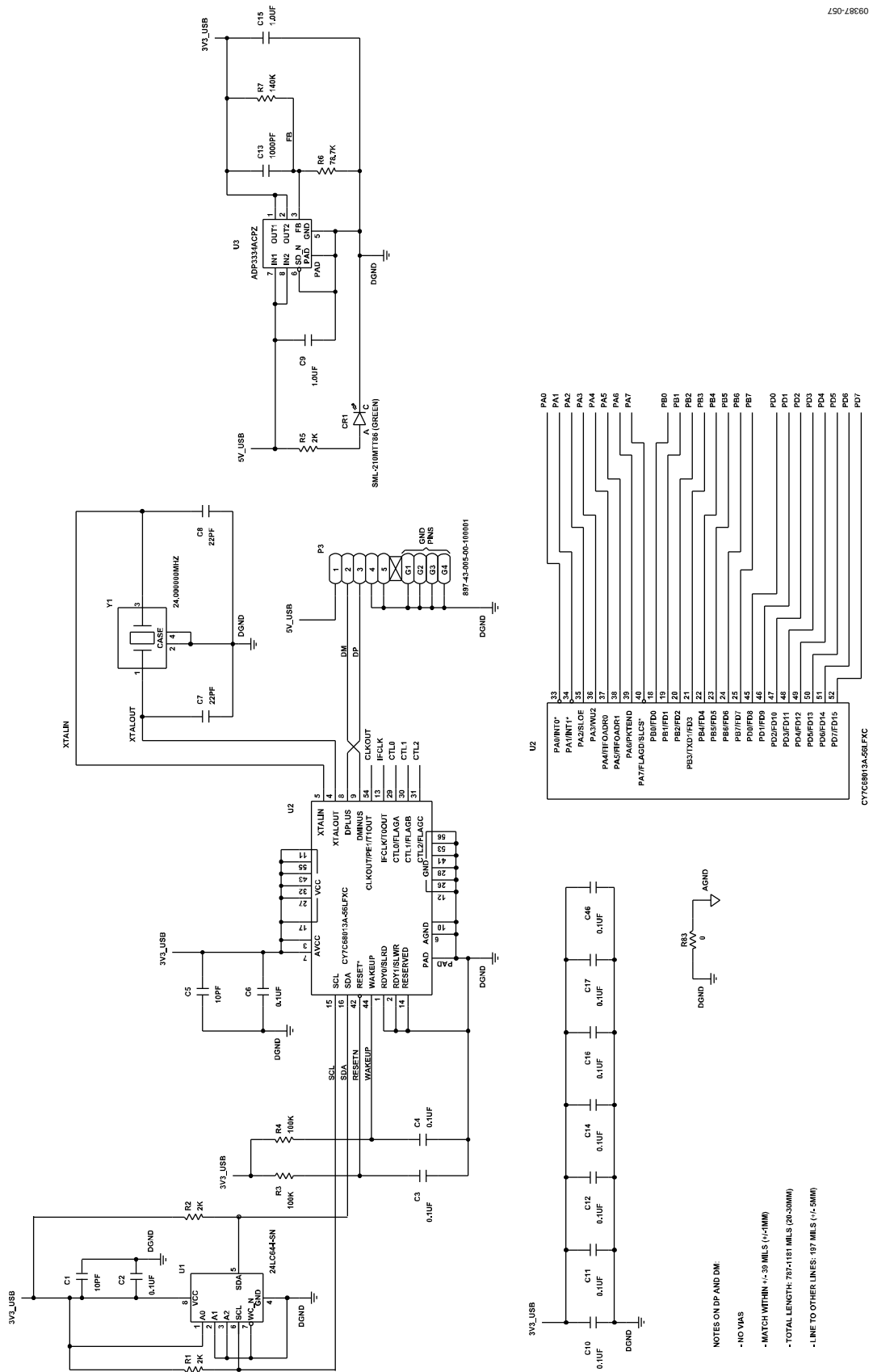


图63. 评估板USB部分的原理图

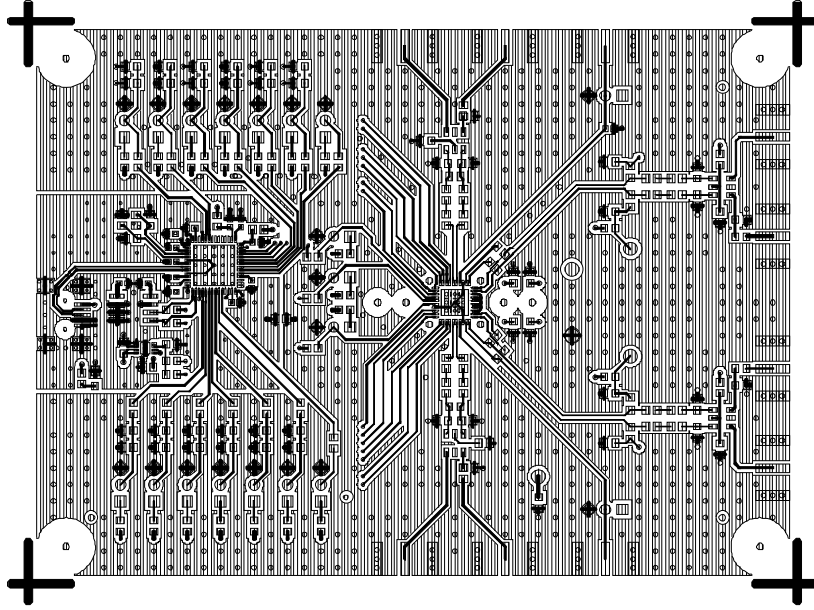


图64. 评估板顶层

09387-058

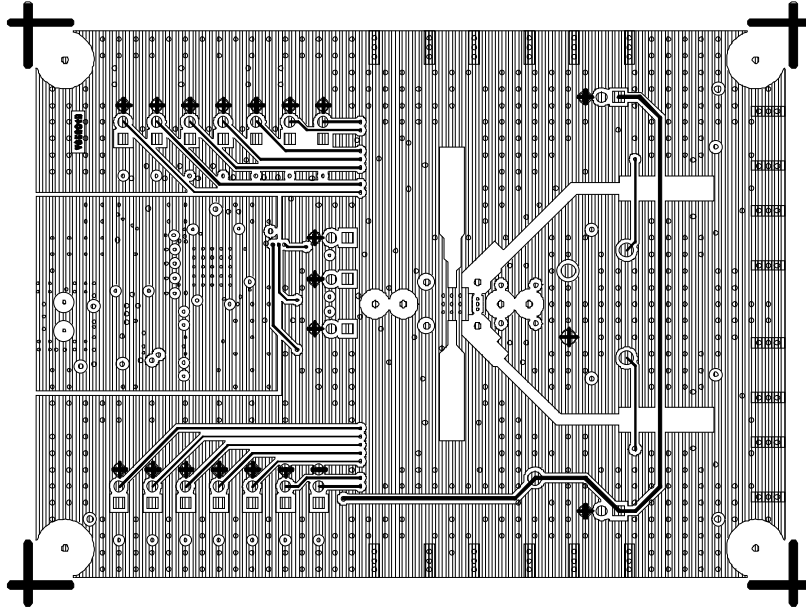


图65. 评估板底层

09387-059

## 评估板配置选项

## 主要元器件的配置选项

表9. 主要元器件的物料清单

元件	功能	默认条件
C24至C27、C51	电源去耦。标称电源去耦：通过一个0.1 $\mu\text{F}$ 电容去耦至地。	C24至C27、C51 = 0.1 $\mu\text{F}$ (尺寸：0603)
VPOS, 3V3 GND	电源连接。	VPOS、3V3(测试环路为红色)已安装 GND(测试环路为黑色)已安装
DUT1	评估器件。	已安装
INA+, INA- INB+, INB- T1、T2、C18至C23、 R8、R9、R20至R29、 R88、R89	输入接口。INA+和INA-输入SMA连接器用于以单端方式驱动通道A巴伦。INB+和INB-输入SMA连接器用于以单端方式驱动通道B巴伦。评估板默认采用单端驱动。 T1和T2是阻抗比率为3:1的RF变压器，用于将50 $\Omega$ 单端输入转换为150 $\Omega$ 平衡差分信号。 C18和C19为巴伦去耦电容。C20至C23用于隔直。 R20至R29用于匹配元件的普通布局。 R88和R89通常端接变压器初级侧的接地层，以建立50 $\Omega$ 单端输入。	INA+(SMA连接器)已安装 INA-(SMA连接器)已安装 INB+(SMA连接器)已安装 INB-(SMA连接器)已安装 T1、T2 = TC3-1T+ (Mini-Circuits) C18至C23 = 0.1 $\mu\text{F}$ (尺寸：0603) R8、R9、R26至R29 = 0 $\Omega$ (尺寸：0402) R20至R25、R88、R89 = 开路
OUTA+, OUTA- OUTB+, INB- T3、T4、C36至C45、 R63至R82、L1至L4 VXA、VXB	输出接口。OUTA+和OUTA-输出SMA连接器用于以单端方式加载通道A巴伦。评估板默认采用单端驱动。OUTB+和OUTB-输出SMA连接器用于以单端方式加载通道B巴伦。评估板默认采用单端驱动。 T3和T4是阻抗比率为3:1的变压器，用于将50 $\Omega$ 单端输出转换为150 $\Omega$ 平衡差分负载。 C40至C43用于交流耦合。C44和C45为巴伦去耦电容。 R69至R76用于匹配元件的普通布局。 通过移除R79和R80并在R81和R82处加入0 $\Omega$ ， 输出便被转换为差分输出。L1至L4为输出级提供直流偏置。 R67和R68为5 V电源层提供连接。或者可移除R67和R68， 并且通过VXA和VXB引脚偏置输出级。	OUTA+(SMA连接器)已安装 OUTA-(SMA连接器)已安装 OUTB+(SMA连接器)已安装 OUTB-(SMA连接器)已安装 T3、T4 = TC3-1T+ (mini-circuits) C36至C45 = 0.1 $\mu\text{F}$ (尺寸：0603) R63至R72、R77至R80 = 0 $\Omega$ (尺寸：0402) R73至R76、R81、R82 = 开路 L1、L2、L3、L4 = 1 $\mu\text{H}$ (尺寸：0805) VXA、VXB(测试环路)已安装
P1, P2, PWUPA, PWUPB, R30	上电接口。ADL5202通过采用外部电源对PWUPA和PWUPB施加逻辑高电平来上电(1.4 V $\leq$ PWUPA/PWUPB $\leq$ 3.3 V)，或通过P1和P2的Pin1和Pin 2之间安装分流器实现上电。	P1安装用于使能 P2安装用于使能 PWUPA(SMA连接器)已安装 PWUPB(SMA连接器)已安装 R30 = 开路
A0至A5、B0至B5、 LATCHA、LATCHB、PM、 MODE0、MODE1 R10至R19、R31至R62、 R84至R87、 C28至C35、C47至C50	增益控制接口。所有增益控制功能均可利用所提供的软件通过USB微控制器完全控制。若必要，三引脚接头可支持手动操作增益控制。 R31至R34、R45、R46、R53、R54、R84至R87电阻，以及C28至C35、C47至C50电容允许滤波器元件的普通布局。 R10至R19、R31至R62、R84至R87电阻将增益控制引脚与微控制器隔离，并提供限流功能。	A0至A5(3引脚接头)已安装 B0至B5(3引脚接头)已安装 LATCHA(3引脚接头)已安装 LATCHB(3引脚接头)已安装 MODE0(3引脚接头)已安装 MODE1(3引脚接头)已安装 PM(3引脚接头)已安装 R10至R19 = 1 k $\Omega$ (尺寸：0603) R35至R44 = 1 k $\Omega$ (尺寸：0603) R47至R52 1 k $\Omega$ (尺寸：0603) R55至R62 1 k $\Omega$ (尺寸：0603) R31至R34 = 开路 R45、R46 = 开路 R53、R54 = 开路 R84至R87 = 开路 C28至C35 = 开路 C47至C50 = 开路

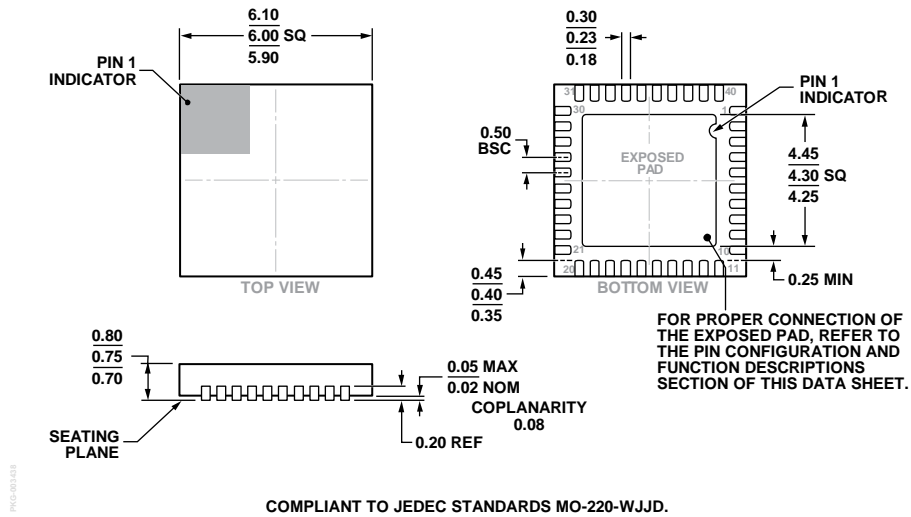
# ADL5202

## USB元器件的配置选项

表10. USB元器件的物料清单

元件	默认条件
C7, C8	22 pF(尺寸: 0603)
C13	1000 pF(尺寸: 0603)
C2, C3, C4, C6, C10, C11, C12, C14, C16, C46	0.1 $\mu$ F(尺寸: 0402)
C9, C15	1 $\mu$ F(尺寸: 0402)
C1, C5	10 pF(尺寸: 0402)
CR1	绿色LED(Panasonic LNJ308G8TRA)
P3	USB SMT连接器(Hirose Electric UX60A-MB-5ST 240-0003-4)
R1, R2, R5	2 k $\Omega$ (尺寸: 0603)
R6,	78.7 k $\Omega$ (尺寸: 0603)
R7	140 k $\Omega$ (尺寸: 0603)
R3, R4	100 k $\Omega$ (尺寸: 0603)
R83	0 $\Omega$ (尺寸: 0603)
U2	USB微控制器(Cypress CY7C68013A-56LFXC)
U1	64 kB EEPROM(Microchip 24LC64-I/SN)
U3	低压差稳压器(Analog Devices ADP3334ACPZ)
Y1	24 MHz晶振(AEL Crystals X24M000000S244)

# 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD.

图66. 40引脚引脚架芯片级封装[LFCSP\_WQ]  
6 mm x 6 mm, 超薄体  
(CP-40-10)  
尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADL5202ACPZ-R7	-40°C至+85°C	40引脚 LFCSP_WQ, 7"卷带和卷盘	CP-40-10
ADL5202-EVALZ		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**

注释

**注释**