

**Nation**  国民技术

**N32WB03x 系列蓝牙 BLE5.1 芯片**

**用户手册 V1.2**

NATIONS CONFIDENTIAL

# 目录

<b>1</b>	<b>文中的缩写</b> .....	<b>1</b>
1.1	寄存器描述表中使用的缩写列表 .....	1
<b>2</b>	<b>存储器和总线架构</b> .....	<b>2</b>
2.1	系统架构 .....	2
2.1.1	总线架构 .....	2
2.1.2	总线地址映射 .....	4
2.2	存储系统 (MEMORY SYSTEM) .....	5
2.2.1	SRAM .....	5
<b>3</b>	<b>电源控制 (PWR)</b> .....	<b>6</b>
3.1	电源系统简介 .....	6
3.1.1	电源 .....	8
3.2	电源管理 .....	8
3.3	低功耗模式 .....	10
3.3.1	Active 模式 .....	11
3.3.2	Idle 模式 .....	11
3.3.3	Standby 模式 .....	11
3.3.4	Sleep 模式 .....	12
3.3.5	PD 模式 .....	13
3.4	PWR 寄存器 .....	13
3.4.1	PWR 寄存器图 .....	13
3.4.2	电源控制寄存器 1 (PWR_CR1) .....	14
3.4.3	电源控制寄存器 2 (PWR_CR2) .....	14
3.4.4	中断向量地址重映射寄存器 (VTOR_REG) .....	15
<b>4</b>	<b>复位和时钟控制 (RCC)</b> .....	<b>17</b>
4.1	复位控制单元 .....	17
4.1.1	电源复位 .....	17
4.1.2	系统复位 .....	17
4.2	时钟控制单元 .....	18
4.2.1	HSE 时钟 .....	20
4.2.2	HSI 时钟 .....	20
4.2.3	HSI 校准 .....	20
4.2.4	LSE 时钟 .....	21
4.2.5	外部时钟源 (LSE 旁路) .....	21
4.2.6	LSI 时钟 .....	21
4.2.7	LSI 校准 .....	21
4.2.8	系统时钟 (SYSCLK) 选择 .....	22
4.2.9	RTC 时钟 .....	22
4.2.10	看门狗时钟 .....	22
4.2.11	LPUART 时钟 .....	22

4.2.12	时钟输出.....	22
4.3	RCC 寄存器.....	23
4.3.1	RCC 寄存器地址映像.....	23
4.3.2	时钟控制寄存器 (RCC_CTRL) .....	24
4.3.3	时钟配置寄存器 (RCC_CFG) .....	25
4.3.4	时钟中断寄存器 (RCC_CLKINT) .....	27
4.3.5	APB2 外设复位寄存器 (RCC_APB2PRST) .....	29
4.3.6	APB1 外设复位寄存器 (RCC_APB1PRST) .....	30
4.3.7	AHB 外设时钟使能寄存器 (RCC_AHBCLKEN) .....	31
4.3.8	APB2 外设时钟使能寄存器 (RCC_APB2CLKEN) .....	32
4.3.9	APB1 外设时钟使能寄存器 (RCC_APB1CLKEN) .....	33
4.3.10	低速时钟控制寄存器 (RCC_LSCTRL) .....	34
4.3.11	控制/状态寄存器 (RCC_CTRLSTS) .....	36
4.3.12	AHB 外设复位寄存器 (RCC_AHBPRST) .....	37
4.3.13	时钟配置寄存器 2 (RCC_CFG2) .....	37
4.3.14	OSCFRC 控制寄存器 (OSCFCCR) .....	38
4.3.15	OSCFRC 状态寄存器 (OSCFCSR) .....	38
4.3.16	计数寄存器 (OSCFCLCNT) .....	39
4.3.17	计数寄存器 (OSCFCHCNT) .....	39
4.3.18	DBGMCU_CR 寄存器.....	39
5	<b>GPIO 和 AFIO.....</b>	<b>41</b>
5.1	概述.....	41
5.2	IO 功能描述.....	42
5.2.1	IO 模式配置.....	42
5.2.2	复位后状态.....	47
5.2.3	单独的位设置和位清除.....	47
5.2.4	外部中断/唤醒线.....	47
5.2.5	复用功能.....	48
5.2.6	外设的 IO 配置.....	53
5.2.7	GPIO 锁定机制.....	55
5.3	GPIO 寄存器.....	55
5.3.1	GPIO 寄存器地址映像.....	55
5.3.2	GPIO 端口模式寄存器 (GPIOx_PMODE) .....	56
5.3.3	GPIO 端口输出类型寄存器 (GPIOx_POTYPE) .....	57
5.3.4	GPIO 翻转率配置寄存器 (GPIOx_SR) .....	58
5.3.5	GPIO 端口上下拉寄存器 (GPIOx_PUPD) .....	58
5.3.6	GPIO 端口输入数据寄存器 (GPIOx_PID) .....	59
5.3.7	GPIO 端口输出数据寄存器 (GPIOx_POD) .....	59
5.3.8	GPIO 端口位设置/清除寄存器 (GPIOx_PBSC) .....	60
5.3.9	GPIO 端口锁定置寄存器 (GPIOx_PLOCK) .....	60
5.3.10	GPIO 复用功能低配置寄存器 (GPIOx_AFL) .....	61
5.3.11	GPIO 复用功能高配置寄存器 (GPIOx_AFH) .....	61
5.3.12	GPIO 端口位清除寄存器 (GPIOx_PBC) .....	62

5.3.13	GPIO 驱动能力配置寄存器 (GPIOx_DS)	62
5.4	AFIO 寄存器	63
5.4.1	AFIO 寄存器地址映像	63
5.4.2	AFIO 配置寄存器 (AFIO_CFG)	63
5.4.3	AFIO 外部中断配置寄存器 1 (AFIO_EXTI_CFG1)	64
5.4.4	AFIO 外部中断配置寄存器 2 (AFIO_EXTI_CFG2)	65
<b>6</b>	<b>中断和事件</b>	<b>67</b>
6.1	嵌套向量中断寄存器	67
6.1.1	系统嘀嗒 (SysTick) 校准值寄存器	67
6.1.2	中断和异常向量	67
6.2	外部中断/事件控制器 (EXTI)	68
6.2.1	EXTI 简介	68
6.2.2	EXTI 主要特性	68
6.2.3	功能描述	69
6.2.4	EXTI 线路映像	70
6.3	EXTI 寄存器	71
6.3.1	EXTI 寄存器地址映像	71
6.3.2	EXTI 中断屏蔽寄存器 (EXTI_IMASK)	71
6.3.3	EXTI 事件屏蔽寄存器 (EXTI_EMASK)	72
6.3.4	EXTI 上升沿触发配置寄存器 (EXTI_RT_CFG)	72
6.3.5	EXTI 下降沿触发配置寄存器 (EXTI_FT_CFG)	72
6.3.6	EXTI 软件中断事件寄存器 (EXTI_SWIE)	73
6.3.7	EXTI 挂起寄存器 (EXTI_PEND)	73
<b>7</b>	<b>DMA 控制器</b>	<b>75</b>
7.1	DMA 简介	75
7.2	DMA 主要特性	75
7.3	功能框图	76
7.4	功能描述	76
7.4.1	DMA 处理	76
7.4.2	仲裁器	77
7.4.3	DMA 通道	77
7.4.4	可编程的数据传输宽度、对齐方式和数据大小端	78
7.4.5	错误管理	80
7.4.6	中断	80
7.4.7	DMA 请求映像	80
7.5	DMA 寄存器	81
7.5.1	DMA 寄存器地址映像	81
7.5.2	DMA 中断状态寄存器 (DMA_INTSTS)	82
7.5.3	DMA 中断标志清除寄存器 (DMA_INTCLR)	83
7.5.4	DMA 通道 x 配置寄存器 (DMA_CHCFGx)	84
7.5.5	DMA 通道 x 传输数量寄存器 (DMA_TXNUMx)	85
7.5.6	通道 x 外设基地址寄存器 (DMA_PADDRx)	86

7.5.7	通道x 存储器基地址寄存器 (DMA_MADDRx)	86
7.5.8	DMA 通道x 通道选择寄存器 (DMA_CHSELx)	87
<b>8</b>	<b>循环冗余校验 (CRC)</b>	<b>88</b>
8.1	CRC 简介	88
8.2	CRC 主要特性	88
8.2.1	CRC32	88
8.2.2	CRC16	88
8.3	CRC 功能描述	89
8.3.1	CRC32	89
8.3.2	CRC16	89
8.4	CRC 寄存器	89
8.4.1	CRC 寄存器映像	89
8.4.2	CRC32 数据寄存器 (CRC_CRC32DAT)	90
8.4.3	CRC32 独立数据寄存器 (CRC_CRC32IDAT)	90
8.4.4	CRC32 控制寄存器 (CRC_CRC32CTRL)	90
8.4.5	CRC16 控制寄存器 (CRC_CRC16CTRL)	91
8.4.6	CRC16 待校验数据寄存器 (CRC_CRC16DAT)	91
8.4.7	CRC 循环冗余校验码寄存器 (CRC_CRC16D)	92
8.4.8	LRC 校验值寄存器 (CRC_LRC)	92
<b>9</b>	<b>高级控制定时器 (TIM1)</b>	<b>94</b>
9.1	TIM1 简介	94
9.2	TIM1 主要特性	94
9.3	TIM1 功能描述	95
9.3.1	时基单元	95
9.3.2	计数器模式	97
9.3.3	重复计数器	106
9.3.4	时钟选择	107
9.3.5	输入捕获模式	110
9.3.6	捕获/比较通道	111
9.3.7	PWM 输入模式	113
9.3.8	强置输出模式	114
9.3.9	输出比较模式	114
9.3.10	PWM 模式	116
9.3.11	互补输出和死区插入	118
9.3.12	使用刹车功能	120
9.3.13	在外部事件时清除 OCxREF 信号	122
9.3.14	产生六步 PWM 输出	123
9.3.15	单脉冲模式	124
9.3.16	编码器接口模式	126
9.3.17	定时器输入异或功能	128
9.3.18	与霍尔传感器的接口	128
9.3.19	TIMx 定时器和外部触发的同步	130

9.3.20	定时器同步	134
9.3.21	调试模式	134
9.4	TIM1 寄存器描述	134
9.4.1	TIM1 寄存器图	134
9.4.2	TIM1 控制寄存器 1 (TIMx_CTRL1)	136
9.4.3	TIM1 控制寄存器 2 (TIMx_CTRL2)	137
9.4.4	TIM1 从模式控制寄存器 (TIMx_SMCTRL)	139
9.4.5	TIM1 DMA/中断使能寄存器 (TIMx_DINTEN)	141
9.4.6	TIM1 状态寄存器 (TIMx_STS)	142
9.4.7	TIM1 事件产生寄存器 (TIMx_EVTGEN)	144
9.4.8	TIM1 捕获/比较模式寄存器 1 (TIMx_CCMOD1)	145
9.4.9	TIM1 捕获/比较模式寄存器 2 (TIMx_CCMOD2)	148
9.4.10	TIM1 捕获/比较使能寄存器 (TIMx_CCEN)	150
9.4.11	TIM1 计数器 (TIMx_CNT)	152
9.4.12	TIM1 预分频器 (TIMx_PSC)	152
9.4.13	TIM1 自动重装载寄存器 (TIMx_AR)	153
9.4.14	TIM1 重复计数寄存器 (TIMx_REPCNT)	153
9.4.15	TIM1 捕获/比较寄存器 1 (TIMx_CCDAT1)	153
9.4.16	TIM1 捕获/比较寄存器 2 (TIMx_CCDAT2)	154
9.4.17	TIM1 捕获/比较寄存器 3 (TIMx_CCDAT3)	154
9.4.18	TIM1 捕获/比较寄存器 4 (TIMx_CCDAT4)	155
9.4.19	TIM1 刹车和死区寄存器 (TIMx_BKDT)	155
9.4.20	TIM1 DMA 控制寄存器 (TIMx_DCTRL)	157
9.4.21	TIM1 连续模式的 DMA 地址 (TIMx_DADDR)	158
10	通用定时器 (TIM3)	160
10.1	TIM3 简介	160
10.2	TIM3 主要功能	160
10.3	TIM3 功能描述	161
10.3.1	时基单元	161
10.3.2	计数器模式	163
10.3.3	时钟选择	173
10.3.4	捕获/比较通道	175
10.3.5	输入捕获模式	176
10.3.6	PWM 输入模式	177
10.3.7	强置输出模式	178
10.3.8	输出比较模式	178
10.3.9	PWM 模式	180
10.3.10	单脉冲模式	183
10.3.11	编码器接口模式	184
10.3.12	定时器输入异或功能	187
10.3.13	定时器和外部触发的同步	187
10.3.14	定时器同步	190
10.3.15	调试模式	195

10.4	TIMx 寄存器描述 .....	196
10.4.1	TIMx 寄存器图.....	196
10.4.2	控制寄存器 1 (TIMx_CTRL1) .....	197
10.4.3	控制寄存器 2 (TIMx_CTRL2) .....	198
10.4.4	从模式控制寄存器 (TIMx_SMCTRL) .....	199
10.4.5	DMA/中断使能寄存器 (TIMx_DINTEN) .....	201
10.4.6	状态寄存器 (TIMx_STS) .....	202
10.4.7	事件产生寄存器 (TIMx_EVTGEN) .....	203
10.4.8	捕获/比较模式寄存器 1 (TIMx_CCMOD1) .....	204
10.4.9	捕获/比较模式寄存器 2 (TIMx_CCMOD2) .....	207
10.4.10	捕获/比较使能寄存器 (TIMx_CCEN) .....	208
10.4.11	计数器 (TIMx_CNT) .....	210
10.4.12	预分频器 (TIMx_PSC) .....	210
10.4.13	自动重装载寄存器 (TIMx_AR) .....	210
10.4.14	捕获/比较寄存器 1 (TIMx_CCDAT1) .....	211
10.4.15	捕获/比较寄存器 2 (TIMx_CCDAT2) .....	211
10.4.16	捕获/比较寄存器 3 (TIMx_CCDAT3) .....	212
10.4.17	捕获/比较寄存器 4 (TIMx_CCDAT4) .....	212
10.4.18	DMA 控制寄存器 (TIMx_DCTRL) .....	212
10.4.19	连续模式的 DMA 地址 (TIMx_DADDR) .....	213
<b>11</b>	<b>基本定时器 (TIM6) .....</b>	<b>215</b>
11.1	TIM6 简介 .....	215
11.2	TIM6 的主要特性 .....	215
11.3	TIM6 的功能 .....	215
11.3.1	时基单元 .....	215
11.3.2	计数模式 .....	217
11.3.3	时钟源 .....	221
11.3.4	调试模式 .....	222
11.4	TIM6 寄存器 .....	222
11.4.1	TIM6 寄存器图 .....	222
11.4.2	TIM6 控制寄存器 1 (TIMx_CTRL1) .....	223
11.4.3	TIM6 控制寄存器 2 (TIMx_CTRL2) .....	224
11.4.4	TIM6 DMA/中断使能寄存器 (TIMx_DINTEN) .....	225
11.4.5	TIM6 状态寄存器 (TIMx_STS) .....	225
11.4.6	TIM6 事件产生寄存器 (TIMx_EVTGEN) .....	225
11.4.7	TIM6 计数器 (TIMx_CNT) .....	226
11.4.8	TIM6 预分频器 (TIMx_PSC) .....	226
11.4.9	TIM6 自动重装载寄存器 (TIMx_AR) .....	226
<b>12</b>	<b>BLE 子系统 (BLE SUBSYSTEM) .....</b>	<b>228</b>
12.1	BLE 子系统简介 .....	228
12.1.1	BLE Baseband 简介 .....	228
12.1.2	RF Control 简介 .....	228

12.1.3	Modem 简介 .....	228
12.2	BLE 子系统主要特征 .....	228
12.2.1	BLE Baseband 主要特性 .....	228
12.2.2	Modem 主要特性 .....	229
<b>13</b>	<b>独立看门狗 (IWDG) .....</b>	<b>230</b>
13.1	IWDG 简介 .....	230
13.2	IWDG 主要性能 .....	230
13.3	IWDG 功能描述 .....	230
13.3.1	寄存器访问保护 .....	230
13.3.2	调试模式 .....	231
13.4	IWDG 寄存器描述 .....	231
13.4.1	IWDG 寄存器映像 .....	231
13.4.2	键寄存器 (IWDG_KEY) .....	231
13.4.3	预分频寄存器 (IWDG_PREDIV) .....	232
13.4.4	重装载寄存器 (IWDG_RELV) .....	232
13.4.5	状态寄存器 (IWDG_STS) .....	233
<b>14</b>	<b>窗口看门狗 (WWDG) .....</b>	<b>234</b>
14.1	WWDG 简介 .....	234
14.2	WWDG 主要特性 .....	234
14.3	WWDG 功能描述 .....	234
14.4	如何编写看门狗超时程序 .....	235
14.5	调试模式 .....	235
14.6	寄存器描述 .....	236
14.6.1	WWDG 寄存器映像 .....	236
14.6.2	控制寄存器 (WWDG_CTRL) .....	236
14.6.3	配置寄存器 (WWDG_CFG) .....	236
14.6.4	状态寄存器 (WWDG_STS) .....	237
<b>15</b>	<b>音频控制及 ADC .....</b>	<b>238</b>
15.1	音频控制及 ADC 简介 .....	238
15.2	主要特性 .....	238
15.3	AMIC 输入通道 .....	239
15.4	PGA 控制 .....	239
15.5	数字音频控制 .....	240
15.5.1	低通抽取滤波 LPF .....	240
15.5.2	能量与过零率检测 .....	240
15.6	ADC 功能描述 .....	241
15.6.1	输入通道和输入电压范围 .....	241
15.6.2	ADC 开关控制 .....	241
15.6.3	转换模式 .....	241
15.6.4	模拟看门狗 .....	242
15.7	数据对齐 .....	242
15.8	DMA 请求 .....	242

15.9	温度传感器.....	243
15.9.1	读温度.....	243
15.10	ADC 寄存器.....	244
15.10.1	ADC 寄存器地址映像.....	244
15.10.2	ADC 控制寄存器(ADC_CTRL).....	245
15.10.3	ADC 状态寄存器(ADC_SR).....	246
15.10.4	ADC 过采样控制寄存器(ADC_OVR_SAMP_CNT).....	247
15.10.5	ADC 数据寄存器(ADC_DAT).....	247
15.10.6	ADC 看门狗阈值控制寄存器(ADC_WDT_THRES).....	248
15.10.7	PGA&BIAS 控制寄存器(PGA_CFG).....	248
15.10.8	音频检测控制寄存器(VOICE_DET_CR).....	249
15.10.9	音频过零检测阈值寄存器(VOICE_ZCR_THRES).....	250
15.10.10	音频能量检测阈值寄存器(VOICE_ED_THRES).....	250
15.10.11	音频能量检测下溢寄存器(VOICE_ED_DWN_THRES).....	250
15.10.12	音频能量检测上溢寄存器(VOICE_ED_UP_THRES).....	251
16	I <sup>2</sup> C 接口.....	252
16.1	I <sup>2</sup> C 简介.....	252
16.2	I <sup>2</sup> C 主要特点.....	252
16.3	I <sup>2</sup> C 功能描述.....	253
16.3.1	模式选择.....	253
16.3.2	I <sup>2</sup> C 从模式.....	255
16.3.3	I <sup>2</sup> C 主模式.....	257
16.3.4	错误条件.....	260
16.3.5	SDA/SCL 线控制.....	261
16.3.6	SMBus.....	262
16.3.7	DMA 请求.....	264
16.3.8	包错误校验 (PEC).....	265
16.4	I <sup>2</sup> C 中断请求.....	266
16.5	I <sup>2</sup> C 调试模式.....	267
16.6	I <sup>2</sup> C 寄存器描述.....	267
16.6.1	I <sup>2</sup> C 寄存器地址映像.....	267
16.6.2	控制寄存器 1(I2C_CTRL1).....	268
16.6.3	控制寄存器 2(I2C_CTRL2).....	270
16.6.4	自身地址寄存器 1 (I2C_OADDR1).....	271
16.6.5	自身地址寄存器 2 (I2C_OADDR2).....	272
16.6.6	数据寄存器 (I2C_DAT).....	272
16.6.7	状态寄存器 1 (I2C_STS1).....	273
16.6.8	状态寄存器 2 (I2C_STS2).....	276
16.6.9	时钟控制寄存器 (I2C_CLKCTRL).....	277
16.6.10	TMRISE 寄存器 (I2C_TMRISE).....	277
17	通用同步异步接收器 (USART).....	279
17.1	USART 简介.....	279

17.2	USART 主要特性.....	279
17.3	功能框图.....	281
17.4	USART 功能描述.....	282
17.5	USART 帧格式.....	282
17.5.1	发送器.....	283
17.5.2	接收器.....	286
17.5.3	分数波特率的产生.....	290
17.5.4	USART 接收器容忍时钟的变化.....	292
17.5.5	检验控制.....	292
17.5.6	多处理器通信.....	293
17.5.7	LIN 模式.....	295
17.5.8	USART 同步模式.....	297
17.5.9	单线半双工通信.....	299
17.5.10	智能卡模式 (ISO7816).....	300
17.5.11	串行 IrDA 红外解码功能.....	301
17.5.12	DMA 通信模式.....	303
17.5.13	硬件流控.....	305
17.6	USART 中断请求.....	307
17.7	USART 模式配置.....	308
17.8	USART 寄存器.....	308
17.8.1	USART 寄存器地址映像.....	308
17.8.2	USART 状态寄存器 (USART_STS).....	309
17.8.3	USART 数据寄存器 (USART_DAT).....	311
17.8.4	USART 波特率配置寄存器 (USART_BRCF).....	311
17.8.5	USART 控制寄存器 1 (USART_CTRL1).....	312
17.8.6	USART 控制寄存器 2 (USART_CTRL2).....	313
17.8.7	USART 控制寄存器 3 (USART_CTRL3).....	315
17.8.8	USART 保护时间和预分频寄存器 (USART_GTP).....	316
<b>18</b>	<b>低功耗通用异步接收器 (LPUART).....</b>	<b>318</b>
18.1	LPUART 简介.....	318
18.2	LPUART 主要特性.....	318
18.3	功能框图.....	319
18.4	LPUART 功能描述.....	319
18.4.1	LPUART 帧格式.....	320
18.4.2	发送器.....	320
18.4.3	接收器.....	322
18.4.4	分数波特率的产生.....	324
18.4.5	检验控制.....	325
18.4.6	DMA 通信模式.....	326
18.4.7	硬件流控.....	328
18.4.8	低功耗唤醒.....	329
18.5	LPUART 中断请求.....	330
18.6	LPUART 寄存器.....	330

18.6.1	LPUART 寄存器地址映像.....	330
18.6.2	LPUART 状态寄存器 (LPUART_STS) .....	331
18.6.3	LPUART 中断使能寄存器 (LPUART_INTEN) .....	332
18.6.4	LPUART 控制寄存器 (LPUART_CTRL) .....	332
18.6.5	LPUART 波特率配置寄存器 1 (LPUART_BRCFG1) .....	334
18.6.6	LPUART 数据寄存器 (LPUART_DAT) .....	334
18.6.7	LPUART 波特率配置寄存器 2 (LPUART_BRCFG2) .....	335
18.6.8	LPUART 唤醒数据寄存器 (LPUART_WUDAT) .....	335
<b>19</b>	<b>串行外设接口 (SPI) .....</b>	<b>336</b>
19.1	SPI 简介.....	336
19.2	SPI 和 I2S 主要特征.....	336
19.2.1	SPI 特征.....	336
19.2.2	I <sup>2</sup> S 功能.....	336
19.3	SPI 功能描述.....	336
19.3.1	概述.....	336
19.3.2	SPI 工作模式.....	339
19.3.3	状态标志.....	345
19.3.4	关闭 SPI .....	345
19.3.5	利用 DMA 的 SPI 通信.....	346
19.3.6	CRC 计算.....	347
19.3.7	错误标志.....	348
19.3.8	SPI 中断.....	349
19.4	I <sup>2</sup> S 功能描述.....	349
19.4.1	支持的音频协议.....	350
19.4.2	时钟发生器.....	355
19.4.3	I <sup>2</sup> S 发送接收流程.....	356
19.4.4	状态标志位.....	358
19.4.5	错误标志位.....	358
19.4.6	I <sup>2</sup> S 中断.....	359
19.4.7	DMA 功能.....	359
19.5	SPI 和 I2S 寄存器描述.....	359
19.5.1	SPI 寄存器地址映象.....	359
19.5.2	SPI 控制寄存器 1 (SPI_CTRL1) (I <sup>2</sup> S 模式下不使用) .....	360
19.5.3	SPI 控制寄存器 2 (SPI_CTRL2) .....	362
19.5.4	SPI 状态寄存器 (SPI_STS) .....	363
19.5.5	SPI 数据寄存器 (SPI_DAT) .....	364
19.5.6	SPI CRC 多项式寄存器 (SPI_CRCPOLY) (I <sup>2</sup> S 模式下不使用) .....	364
19.5.7	SPI Rx CRC 寄存器 (SPI_CRCRDAT) (I <sup>2</sup> S 模式下不使用) .....	365
19.5.8	SPI Tx CRC 寄存器 (SPI_CRCTDAT) .....	365
19.5.9	SPI I <sup>2</sup> S 配置寄存器 (SPI_I <sup>2</sup> S_CFG) .....	365
19.5.10	SPI I <sup>2</sup> S 预分频寄存器 (SPI_I2SPREDIV) .....	367
<b>20</b>	<b>实时时钟 (RTC) .....</b>	<b>368</b>

20.1	RTC 简介 .....	368
20.1.1	主要特性 .....	368
20.2	RTC 功能描述 .....	369
20.2.1	RTC 框图 .....	369
20.2.2	RTC 时钟和预分频 .....	370
20.2.3	RTC 日历时钟 .....	370
20.2.4	可编程闹钟 .....	371
20.2.5	周期性自动唤醒 .....	371
20.2.6	RTC 寄存器写保护 .....	371
20.2.7	日历初始化和配置 .....	372
20.2.8	夏令时时间配置 .....	372
20.2.9	闹钟配置 .....	372
20.2.10	唤醒定时器配置 .....	372
20.2.11	日历读取 .....	373
20.2.12	RTC 亚秒寄存器位移操作 .....	373
20.2.13	RTC 数字时钟精密校准 .....	374
20.2.14	RTC 低功耗模式 .....	375
20.3	RTC 寄存器 .....	375
20.3.1	RTC 寄存器地址映像 .....	376
20.3.2	RTC 日历时间寄存器 (RTC_TSH) .....	376
20.3.3	RTC 日历日期寄存器 (RTC_DATE) .....	377
20.3.4	RTC 控制寄存器 (RTC_CTRL) .....	378
20.3.5	RTC 初始状态寄存器 (RTC_INITSTS) .....	379
20.3.6	RTC 预分频寄存器 (RTC_PRE) .....	381
20.3.7	RTC 唤醒定时器寄存器 (RTC_WKUPT) .....	381
20.3.8	RTC 闹钟A 寄存器 (RTC_ALARM_A) .....	382
20.3.9	RTC 写保护寄存器 (RTC_WRP) .....	382
20.3.10	RTC 亚秒寄存器 (RTC_SUBS) .....	383
20.3.11	RTC 平移控制寄存器 (RTC_SCTRL) .....	383
20.3.12	RTC 校准寄存器 (RTC_CALIB) .....	384
20.3.13	RTC 闹钟A 亚秒寄存器 (RTC_ALRMAS) .....	385
<b>21</b>	<b>红外控制器 (IRC) .....</b>	<b>386</b>
21.1	IRC 简介 .....	386
21.2	IRC 主要特性 .....	386
21.3	IRC 功能描述 .....	386
21.3.1	输入用户接口 .....	387
21.3.2	载波发生器 .....	388
21.3.3	调制器 .....	388
21.4	IRC 寄存器 .....	388
21.4.1	IRC 寄存器映像 .....	388
21.4.2	IRC 载波时钟高持续时间寄存器 (FREQ_CARR_ON) .....	388
21.4.3	IRC 载波时钟低持续时间寄存器 (FREQ_CARR_OFF) .....	389
21.4.4	IRC 逻辑1 时间配置寄存器 (LOGIC_ONE_TIME) .....	389

21.4.5	IRC 逻辑0 时间配置寄存器 (LOGIC_ZERO_TIME) .....	389
21.4.6	IRC 控制寄存器 (IR_CTRL) .....	390
21.4.7	IRC 状态寄存器 (IR_STATUS) .....	391
21.4.8	IRC 重复时间寄存器 (IR_REPEAT_TIME) .....	391
21.4.9	IRC CODE FIFO 数据寄存器 (IR_CODE_FIFO) .....	392
21.4.10	IRC REPEAT FIFO 数据寄存器 (IR_REPEAT_FIFO) .....	392
<b>22</b>	<b>按键检测 (KEYSCAN) .....</b>	<b>393</b>
22.1	KEYSCAN 简介 .....	393
22.2	KEYSCAN 主要特性 .....	393
22.3	KEYSCAN 功能描述 .....	393
22.4	KEYSCAN 寄存器描述 .....	396
22.4.1	KEYSCAN 寄存器映像 .....	396
22.4.2	KEYSCAN 控制寄存器 (KEYCR) .....	396
22.4.3	KEYSCAN INFO 寄存器0 (KEYDATA0) .....	398
22.4.4	KEYSCAN INFO 寄存器1 (KEYDATA1) .....	398
22.4.5	KEYSCAN INFO 寄存器2 (KEYDATA2) .....	399
22.4.6	KEYSCAN INFO 寄存器3 (KEYDATA3) .....	399
22.4.7	KEYSCAN INFO 寄存器4 (KEYDATA4) .....	399
<b>23</b>	<b>调试支持 (DBG) .....</b>	<b>401</b>
23.1	简介 .....	401
23.2	SW 功能 .....	402
23.2.1	引脚分配 .....	402
<b>24</b>	<b>版本历史 .....</b>	<b>403</b>
<b>25</b>	<b>声明 .....</b>	<b>404</b>

## 表目录

表 2-1 外设寄存器地址列表 .....	4
表 3-1 工作模式 .....	9
表 5-1 IO 模式和配置关系 .....	42
表 5-2 IO 不同配置的输入输出特性 .....	43
表 5-3 SWD 复用功能 I/O 重映射 .....	48
表 5-4 TIM1 复用功能 I/O 重映射 .....	48
表 5-5 TIM3 复用功能 I/O 重映射 .....	49
表 5-6 USART1 复用功能 I/O 重映射 .....	49
表 5-7 USART2 复用功能 I/O 重映射 .....	49
表 5-8 LPUART 复用功能 I/O 重映射 .....	50
表 5-9 I2C 复用功能 I/O 重映射 .....	50
表 5-10 SPI1/I2S1 管脚重映射 .....	50
表 5-11 SPI2/I2S2 管脚重映射 .....	51
表 5-12 IRC 复用功能 I/O 重映射 .....	51
表 5-13 KEYSKAN 复用功能 I/O 重映射 .....	51
表 5-14 BLE 复用功能 I/O 重映射 .....	52
表 5-15 RCC_MCO 复用功能 I/O 重映射 .....	52
表 5-16 OSC32_IN/OSC32_OUT 复用功能重映射 .....	52
表 5-17 PB8/PB9 复用功能重映射 .....	52
表 5-18 ADC .....	53
表 5-19 TIM1 .....	53
表 5-20 TIM3 .....	53
表 5-21 USART .....	53
表 5-22 LPUART .....	53
表 5-23 I2C .....	53
表 5-24 SPI .....	54
表 5-25 I2S .....	54
表 5-26 IRC .....	54
表 5-27 KEYSKAN .....	54
表 5-28 BLE .....	54

表 5-29 其他.....	55
表 6-1 向量表.....	67
表 6-2 EXTI 寄存器地址映像和复位值.....	71
表 7-1 可编程的数据传输宽度和大小端操作（当 PINC = MINC = 1）.....	79
表 7-2 DMA 中断请求.....	80
表 7-3 各个通道的 DMA 请求一览.....	81
表 7-4 DMA 寄存器地址映像和复位值.....	81
表 8-1 CRC 计算单元寄存器映像和复位值.....	89
表 9-1 计数方向与编码器信号的关系.....	126
表 9-2 TIM1 - 寄存器图和复位值.....	134
表 9-3 TIMx 内部触发连接.....	141
表 9-4 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位.....	151
表 10-1 计数方向与编码器信号的关系.....	185
表 10-2 TIMx -寄存器图和复位.....	196
表 10-3 TIMx 内部触发连接.....	200
表 10-4 标准 OCx 通道的输出控制位.....	210
表 11-1 TIM6-寄存器图和复位值.....	222
表 13-1 看门狗超时时间 <sup>(1)</sup> .....	231
表 13-2 IWDG 寄存器映像和复位值.....	231
表 14-1 WWDG 寄存器映像和复位值.....	236
表 15-1 ADC 寄存器映像和复位值.....	244
表 16-1 MBus 与 I <sup>2</sup> C 的比较.....	262
表 16-2 I <sup>2</sup> C 中断请求表:.....	266
表 16-3 I <sup>2</sup> C 寄存器地址映象和复位值.....	267
表 17-1 停止位配置.....	284
表 17-2 检测噪声的数据采样.....	289
表 17-3 设置波特率时的误差计算.....	291
表 17-4 当 DIV_Decimal =0 时, USART 接收器的容忍度.....	292
表 17-5 当 DIV_Decimal !=0 时, USART 接收器的容忍度.....	292
表 17-6 帧格式.....	293
表 17-7 USART 中断请求.....	307
表 17-8 USART 模式设置 <sup>(1)</sup> .....	308

表 17-9 USART 寄存器地址映像和复位值 .....	308
表 18-1 检测噪声的数据采样 .....	324
表 18-2 帧格式 .....	326
表 18-3 LPUART 中断请求 .....	330
表 18-4 LPUART 寄存器地址映像和复位值 .....	330
表 19-1 SPI 中断请求 .....	349
表 19-2 使用标准的 64MHz HSI 时钟得到精确的音频频率 .....	356
表 19-3 I <sup>2</sup> S 中断请求 .....	359
表 19-4 SPI 寄存器列表及其复位值 .....	359
表 20-1 RTC 寄存器地址映像和复位值 .....	376
表 22-1 KEYSKAN 按键信息表 .....	395
表 22-2 KEYSKAN 寄存器映像和复位值 .....	396

## 图目录

图 2-1 总线架构图.....	3
图 2-2 总线地址映射图.....	4
图 3-1 供电图.....	6
图 4-1 复位电路.....	18
图 4-2 时钟树目录.....	19
图 5-1 I/O 端口的基本结构.....	42
图 5-2 输入浮空/上拉/下拉配置.....	44
图 5-3 输出模式配置.....	45
图 5-4 复用功能配置.....	46
图 5-5 高阻抗的模拟输入配置.....	47
图 6-1 外部中断/事件控制器框图.....	69
图 6-2 外部中断通用 I/O 映像.....	70
图 7-1 DMA 框图.....	76
图 8-1 CRC 计算单元框图.....	88
图 9-1 高级控制定时器框图.....	95
图 9-2 当预分频器的参数从 1 变到 2 时, 计数器的时序图.....	96
图 9-3 当预分频器的参数从 1 变到 4 时, 计数器的时序图.....	97
图 9-4 计数器时序图, 内部时钟分频因子为 1.....	98
图 9-5 计数器时序图, 内部时钟分频因子为 2.....	98
图 9-6 计数器时序图, 内部时钟分频因子为 4.....	98
图 9-7 计数器时序图, 内部时钟分频因子为 N.....	99
图 9-8 计数器时序图, 当 ARPEN=0 时的更新事件 (TIMx_AR 没有预装入).....	99
图 9-9 计数器时序图, 当 ARPEN=1 时的更新事件 (预装入了 TIMx_AR).....	100
图 9-10 计数器时序图, 内部时钟分频因子为 1.....	101
图 9-11 计数器时序图, 内部时钟分频因子为 2.....	101
图 9-12 计数器时序图, 内部时钟分频因子为 4.....	101
图 9-13 计数器时序图, 内部时钟分频因子为 N.....	102
图 9-14 计数器时序图, 当没有使用重复计数器时的更新事件.....	102
图 9-15 计数器时序图, 内部时钟分频因子为 1, TIMx_AR=0x6.....	103
图 9-16 计数器时序图, 内部时钟分频因子为 2.....	104

图 9-17 计数器时序图，内部时钟分频因子为 4，TIMx_AR=0x36.....	104
图 9-18 计数器时序图，内部时钟分频因子为 N .....	105
图 9-19 计数器时序图，ARPEN=1 时的更新事件（计数器下溢） .....	105
图 9-20 计数器时序图，ARPEN=1 时的更新事件（计数器溢出） .....	106
图 9-21 不同模式下更新速率的例子，及 TIMx_REPCNT 的寄存器设置.....	107
图 9-22 一般模式下的控制电路，内部时钟分频因子为 1 .....	108
图 9-23 TI2 外部时钟连接例子 .....	108
图 9-24 外部时钟模式 1 下的控制电路 .....	109
图 9-25 外部触发输入框图 .....	109
图 9-26 外部时钟模式 2 下的控制电路 .....	110
图 9-27 捕获/比较通道（如：通道 1 输入部分） .....	111
图 9-28 捕获/比较通道 1 的主电路 .....	112
图 9-29 捕获/比较通道的输出部分（通道 1 至 3） .....	112
图 9-30 捕获/比较通道的输出部分（通道 4） .....	113
图 9-31 PWM 输入模式时序 .....	114
图 9-32 输出比较模式，翻转 OC1.....	116
图 9-33 边沿对齐的 PWM 波形（AR=8）.....	117
图 9-34 中央对齐的 PWM 波形（APR=8） .....	118
图 9-35 带死区插入的互补输出 .....	119
图 9-36 死区波形延迟大于负脉冲 .....	119
图 9-37 死区波形延迟大于正脉冲 .....	120
图 9-38 响应刹车的输出在外部事件时清除 OCxREF 信号.....	122
图 9-39 清除 TIMx 的 OCxREF .....	123
图 9-40 产生六步 PWM，使用 COM 的例子（OSSR=1） .....	124
图 9-41 单脉冲模式的例子 .....	125
图 9-42 编码器模式下的计数器操作实例 .....	127
图 9-43 IC1FP1 反相的编码器接口模式实例.....	128
图 9-44 霍尔传感器接口的实例 .....	130
图 9-45 复位模式下的控制电路 .....	131
图 9-46 门控模式下的控制电路 .....	132
图 9-47 触发器模式下的控制电路 .....	133
图 9-48 外部时钟模式 2+触发模式下的控制电路 .....	134

图 10-1 通用定时器框图.....	161
图 10-2 当预分频器的参数从 1 变到 2 时，计数器的时序图 .....	162
图 10-3 当预分频器的参数从 1 变到 4 时，计数器的时序图 .....	163
图 10-4 计数器时序图，内部时钟分频因子为 1 .....	164
图 10-5 计数器时序图，内部时钟分频因子为 2 .....	164
图 10-6 计数器时序图，内部时钟分频因子为 4 .....	165
图 10-7 计数器时序图，内部时钟分频因子为 N .....	165
图 10-8 计数器时序图，当 ARPEN=0 时的更新事件（TIMx_AR 没有预装入） .....	166
图 10-9 计数器时序图，当 ARPEN=1 时的更新事件（预装入了 TIMx_AR） .....	166
图 10-10 计数器时序图，内部时钟分频因子为 1 .....	167
图 10-11 计数器时序图，内部时钟分频因子为 2 .....	168
图 10-12 计数器时序图，内部时钟分频因子为 4 .....	168
图 10-13 计数器时序图，内部时钟分频因子为 N .....	168
图 10-14 计数器时序图，当没有使用重复计数器时的更新事件 .....	169
图 10-15 计数器时序图，内部时钟分频因子为 1，TIMx_AR=0x6.....	170
图 10-16 计数器时序图，内部时钟分频因子为 2 .....	170
图 10-17 计数器时序图，内部时钟分频因子为 4，TIMx_AR=0x36.....	171
图 10-18 计数器时序图，内部时钟分频因子为 N .....	171
图 10-19 计数器时序图，ARPEN=1 时的更新事件（计数器下溢） .....	172
图 10-20 计数器时序图，ARPEN=1 时的更新事件（计数器溢出） .....	172
图 10-21 一般模式下的控制电路，内部时钟分频因子为 1 .....	173
图 10-22 TI2 外部时钟连接例子 .....	174
图 10-23 外部时钟模式 1 下的控制电路 .....	175
图 10-24 捕获/比较通道（如：通道 1 输入部分） .....	175
图 10-25 捕获/比较通道 1 的主电路 .....	176
图 10-26 捕获/比较通道的输出部分（通道 1） .....	176
图 10-27 PWM 输入模式时序.....	178
图 10-28 输出比较模式，翻转 OC1.....	180
图 10-29 边沿对齐的 PWM 波形（AR=8） .....	181
图 10-30 中央对齐的 PWM 波形（APR=8） .....	182
图 10-31 单脉冲模式的例子 .....	183
图 10-32 编码器模式下的计数器操作实例 .....	186

图 10-33 IC1FP1 反相的编码器接口模式实例.....	186
图 10-34 复位模式下的控制电路.....	188
图 10-35 门控模式下的控制电路.....	189
图 10-36 触发器模式下的控制电路.....	190
图 10-37 主/从定时器的例子.....	190
图 10-38 定时器 1 的 OC1REF 控制定时器 3.....	191
图 10-39 通过使能定时器 1 可以控制定时器 3.....	192
图 10-40 使用定时器 1 的更新触发定时器 3.....	193
图 10-41 利用定时器 1 的使能触发定时器 3.....	194
图 10-42 使用定时器 1 的 TI1 输入触发定时器 1 和定时器 3.....	195
图 11-1 基本定时器框图.....	215
图 11-2 预分频系数从 1 变到 2 的计数器时序图.....	216
图 11-3 预分频系数从 1 变到 4 的计数器时序图.....	217
图 11-4 计数器时序图, 内部时钟分频系数为 1.....	218
图 11-5 计数器时序图, 内部时钟分频系数为 2.....	218
图 11-6 计数器时序图, 内部时钟分频系数为 4.....	219
图 11-7 计数器时序图, 内部时钟分频系数为 N.....	219
图 11-8 计数器时序图, 当 ARPEN=0 时的更新事件 (TIMx_AR 没有预装载).....	220
图 11-9 计数器时序图, 当 ARPEN=1 时的更新事件 (预装载 TIMx_AR).....	221
图 11-10 普通模式时序图, 内部时钟分频系数为 1.....	222
图 13-1 为独立看门狗模块的功能框图。.....	230
图 14-1 看门狗框图.....	234
图 14-2 WWDG 时序图.....	235
图 15-1 音频控制及 ADC 架构图.....	239
图 15-2 模拟看门狗警戒区.....	242
图 15-3 数据右对齐.....	242
图 16-1 I <sup>2</sup> C 总线协议.....	254
图 16-2 I <sup>2</sup> C 的功能框图.....	254
图 16-3 从发送器的传送序列图.....	256
图 16-4 从接收器的传送序列图.....	256
图 16-5 主发送器传送序列图.....	259
图 16-6 主接收器传送序列图.....	260

图 16-7 I <sup>2</sup> C 中断映射图.....	267
图 17-1 USART 框图.....	281
图 17-2 字长设置.....	283
图 17-3 配置停止位.....	284
图 17-4 发送时 TXC/TXDE 的变化情况.....	285
图 17-5 起始位侦测.....	287
图 17-6 检测噪声的数据采样.....	289
图 17-7 利用空闲总线检测的静默模式.....	294
图 17-8 利用地址标记检测的静默模式.....	294
图 17-9 LIN 模式下的断开检测（11 位断开长度 - 设置了 LINBDL 位）.....	296
图 17-10 LIN 模式下的断开检测与帧错误的检测.....	297
图 17-11 USART 同步传输的例子.....	298
图 17-12 USART 数据时钟时序示例（WL=0）.....	298
图 17-13 USART 数据时钟时序示例（WL=1）.....	299
图 17-14 RX 数据采样/保持时间.....	299
图 17-15 ISO7816-3 异步协议.....	300
图 17-16 使用 1.5 停止位检测奇偶检验错.....	301
图 17-17 IrDA SIR ENDEC - 框图.....	302
图 17-18 IrDA 数据调制（3/16）- 普通模式.....	303
图 17-19 利用 DMA 发送.....	304
图 17-20 利用 DMA 接收.....	305
图 17-21 两个 USART 间的硬件流控制.....	305
图 17-22 RTS 流控制.....	306
图 17-23 CTS 流控制.....	306
图 17-24 USART 中断映像图.....	307
图 18-1 LPUART 框图.....	319
图 18-2 帧格式.....	320
图 18-3 发送时 TXC 的变化情况.....	322
图 18-4 检测噪声的数据采样.....	324
图 18-5 利用 DMA 发送.....	327
图 18-6 利用 DMA 接收.....	328
图 18-7 两个 LPUART 间的硬件流控制.....	328

图 18-8 RTS 流控制.....	329
图 18-9 CTS 流控制.....	329
图 19-1 SPI 框图.....	337
图 19-2 硬件/软件的从选择管理.....	338
图 19-3 单主和单从应用.....	338
图 19-4 数据时钟时序图.....	339
图 19-5 主机全双工模式下连续传输时，TE/RNE/BUSY 的变化示意图.....	340
图 19-6 主机单向只发送模式下连续传输时，TE/BUSY 变化示意图.....	341
图 19-7 只接收模式（BIDIRMODE=0 并且 RONLY=1）下连续传输时，RNE 变化示意图.....	342
图 19-8 从机全双工模式下连续传输时，TE/RNE/BUSY 的变化示意图.....	343
图 19-9 从机单向只发送模式下连续传输时，TE/BUSY 变化示意图.....	343
图 19-10 BIDIRMODE=0，RONLY=0 非连续传输发送时，TE/BUSY 变化示意图.....	345
图 19-11 使用 DMA 发送.....	347
图 19-12 使用 DMA 接收.....	347
图 19-13 I <sup>2</sup> S 框图.....	349
图 19-14 I <sup>2</sup> S 飞利浦协议波形（16/32 位全精度，CLKPOL = 0）.....	351
图 19-15 I <sup>2</sup> S 飞利浦协议标准波形（24 位帧，CLKPOL = 0）.....	351
图 19-16 I <sup>2</sup> S 飞利浦协议标准波形（16 位扩展至 32 位包帧，CLKPOL = 0）.....	351
图 19-17 MSB 对齐 16 位或 32 位全精度，CLKPOL = 0.....	352
图 19-18 MSB 对齐 24 位数据，CLKPOL = 0.....	352
图 19-19 MSB 对齐 16 位数据扩展到 32 位包帧，CLKPOL = 0.....	353
图 19-20 LSB 对齐 16 位或 32 位全精度，CLKPOL = 0.....	353
图 19-21 LSB 对齐 24 位数据，CLKPOL = 0.....	353
图 19-22 LSB 对齐 16 位数据扩展到 32 位包帧，CLKPOL = 0.....	354
图 19-23 PCM 标准波形（16 位）.....	354
图 19-24 PCM 标准波形（16 位扩展到 32 位包帧）.....	355
图 19-25 I <sup>2</sup> S 时钟发生器结构.....	355
图 19-26 音频采样频率定义.....	356
图 20-1 RTC 框图.....	369
图 21-1 IRC 模块示意图.....	386
图 21-2 NEC 码对应命令示意图.....	387
图 22-1 8 个可配置 IO-低功耗模式下可唤醒的按键区域.....	394

图 22-2 10 个可配置 IO-低功耗模式下可唤醒的按键区域.....	394
图 22-3 13 个可配置 IO-低功耗模式下可唤醒的按键区域.....	394
图 23-1 N32WB03x 级别和 Cortex <sup>®</sup> -M0 级别的调试框图 .....	401

NATIONS CONFIDENTIAL

## 1 文中的缩写

### 1.1 寄存器描述表中使用的缩写列表

在对寄存器的描述中使用了下列缩写：

read/write(rw)	软件能读写此位。
read-only(r)	软件只能读此位。
write-only(w)	软件只能写此位，读此位将返回复位值。
read/clear(rc_w1)	软件可以读此位，也可以通过写‘1’清除此位，写‘0’对此位无影响。
read/clear(rc_w0)	软件可以读此位，也可以通过写‘0’清除此位，写‘1’对此位无影响。
read/clear by read(rc_r)	软件可以读此位，读此位将自动地清除它为‘0’，写‘0’对此位无影响。
read/set(rs)	软件可以读也可以设置此位，写‘0’对此位无影响。
read-only write trigger(rt_w)	软件可以读此位，写‘0’或‘1’触发一个事件但对此位数值没有影响。
toggle(t)	软件只能通过写‘1’来翻转此位，写‘0’对此位无影响。
Reserved(Res.)	保留位，必须保持默认值不变。

## 2 存储器和总线架构

### 2.1 系统架构

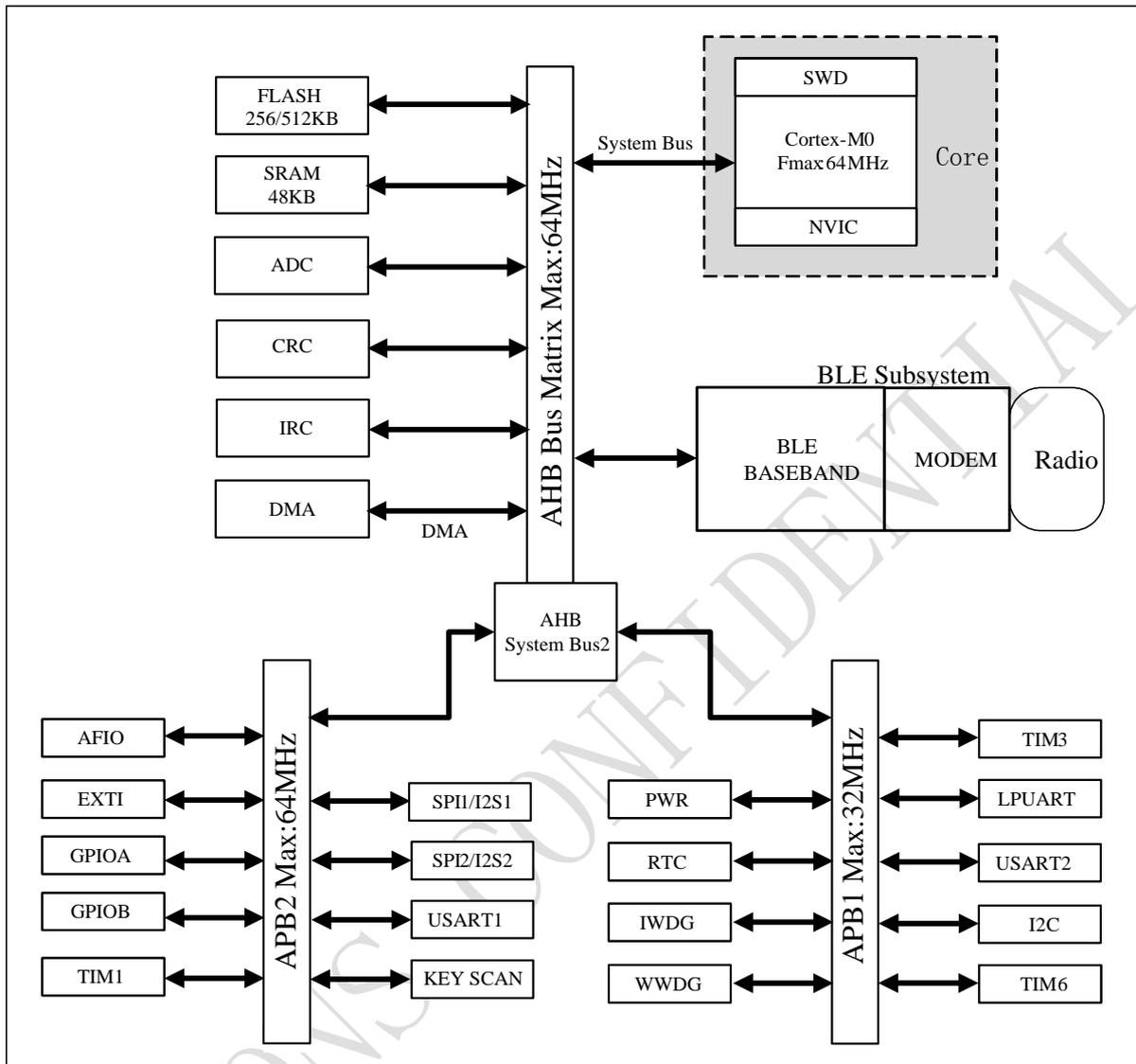
#### 2.1.1 总线架构

主系统由以下部分构成：

- 两个主驱动单元：
  - ◆ Cortex®-M0 内核系统总线
  - ◆ 通用 DMA
- 多个被动单元：
  - ◆ 内部 SRAM
  - ◆ 低功耗蓝牙 BLE 子系统
  - ◆ ADCCTRL
  - ◆ AHB 到 AHB 的桥，它连接一些 AHB 设备
  - ◆ AHB 到 APB 的桥(AHB2APBx)，它连接所有的 APB 设备

这些都是通过一个多级的 AHB 总线构架相互连接的，如图 2-1 所示：

图 2-1 总线架构图



- **CPU 系统总线:** 连接 Cortex™-M0 内核的 ICode/DCode 总线到总线矩阵, 用来指令预取, 数据加载 (常量加载和调试访问) 及 AHB/APB 外设访问。
- **DMA 总线:** DMA 的 AHB 主控接口连接到总线矩阵, 总线矩阵协调着内核和 DMA 到 SRAM、闪存和外设的访问。
- 总线矩阵协调内核系统总线和 DMA 主控总线之间的访问仲裁, 仲裁利用轮算法。总线矩阵包含 2 个驱动部件(CPU 的系统总线、DMA 总线)和多个从部件(SRAM、BLE(SRAM 和寄存器)、ADCCTRL 和 AHB 系统总线 1/2)。AHB 一些外设通过总线矩阵与系统总线 1 相连, 系统总线 2 连接 2 个 AHB2APB 桥。
- 系统包含 2 个 AHB2APB 桥, 即 AHB2APB1 和 AHB2APB2。其中 APB1 包含 9 个 APB 外设, PCLK 的最高速度为 32MHz; APB2 包含 9 个 APB 外设, PCLK 最高速度等于 64MHz。

## 2.1.2 总线地址映射

总线地址映射包括所有 AHB 和 APB 外设：AHB 外设、APB1 外设、APB2 外设、FLASH、SRAM 等。具体映射如下。

图 2-2 总线地址映射图

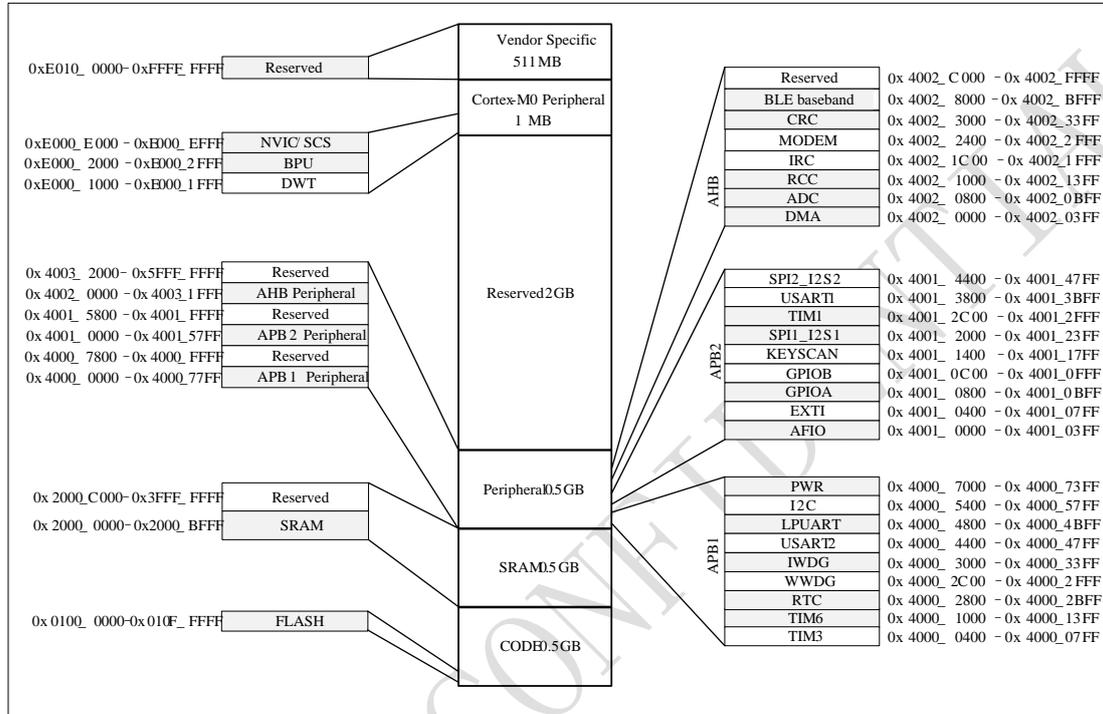


表 2-1 外设寄存器地址列表

地址范围	外设	总线
0x4002_C000 - 0x4002_FFFF	Reserved	AHB
0x4002_8000 - 0x4002_BFFF	BLE baseband	
0x4002_3000 - 0x4002_33FF	CRC	
0x4002_2400 - 0x4002_2FFF	MODEM	
0x4002_1C00 - 0x4002_1FFF	IRC	
0x4002_1000 - 0x4002_13FF	RCC	
0x4002_0800 - 0x4002_0BFF	ADC	
0x4002_0000 - 0x4002_03FF	DMA	
0x4001_4400 - 0x4001_47FF	SPI2_I2S2	
0x4001_3800 - 0x4001_3BFF	USART1	
0x4001_2C00 - 0x4001_2FFF	TIM1	
0x4001_2000 - 0x4001_23FF	SPI1_I2S1	
0x4001_0C00 - 0x4001_0FFF	GPIOB	
0x4001_0800 - 0x4001_0BFF	GPIOA	
0x4001_0400 - 0x4001_07FF	EXTI	
0x4001_0000 - 0x4001_03FF	AFIO	

地址范围	外设	总线
0x4000_7000 – 0x4000_73FF	PWR	APB1
0x4000_5400 – 0x4000_57FF	I2C	
0x4000_4800 – 0x4000_4BFF	LPUART	
0x4000_4400 – 0x4000_47FF	USART2	
0x4000_3000 – 0x4000_33FF	IWDG	
0x4000_2C00 – 0x4000_2FFF	WWDG	
0x4000_2800 – 0x4000_2BFF	RTC	
0x4000_1000 – 0x4000_13FF	TIM6	
0x4000_0400 – 0x4000_07FF	TIM3	

### 2.1.2.1 启动地址及配置

系统固定从 ROM 跳转到 FLASH 的起始地址 0x0100\_0000 开始运行。

系统向量表默认在 ROM 地址中。

另外为了支持 FLASH 或 SRAM 中运行中断服务程序，软件可以通过寄存器 PWR\_VTOR\_REG 配置，将 VECTOR 映射到对应空间。

## 2.2 存储系统 ( Memory System )

程序存储器、数据存储器、寄存器和输入输出端口被组织在同一个 4GB 的线性地址空间内。数据字节以小端格式存放在存储器中，一个字里的最低地址字节被认为是该字的最低有效字节，而最高地址字节是最高有效字节。对程序存储器和数据存储器的规格说明如下。

### 2.2.1 SRAM

SRAM 主要用于代码运行，存放程序执行过程中的变量和数据或堆栈，容量最大为 48KB。

SRAM 支持字节、半字、字的读写访问。

SRAM 支持代码运行，可以在 SRAM 全速运行程序。SRAM 的最大地址范围是 0x2000 0000~0x2000 BFFF。

SRAM 在 PD 模式下数据不能保持；其他工作模式（Active/Idle/Standby/Sleep）数据可以正常保持。

SRAM Standby/Sleep 模式可配 PowerSwitch 关电。

主要特性如下：

- 容量最大总共为 48KB
- 支持字节/半字/字读写
- CPU/DMA 均可访问
- 低功耗下支持 retention 功能
- 在系统时钟频率下运行

### 3 电源控制 ( PWR )

#### 3.1 电源系统简介

N32WB03x 工作电压 (VCC) 为 2.32V~3.6V。它主要有 2 个模拟/数字电源区域 (VCC、VCCRF)。具体请参考图 3-1 供电图。

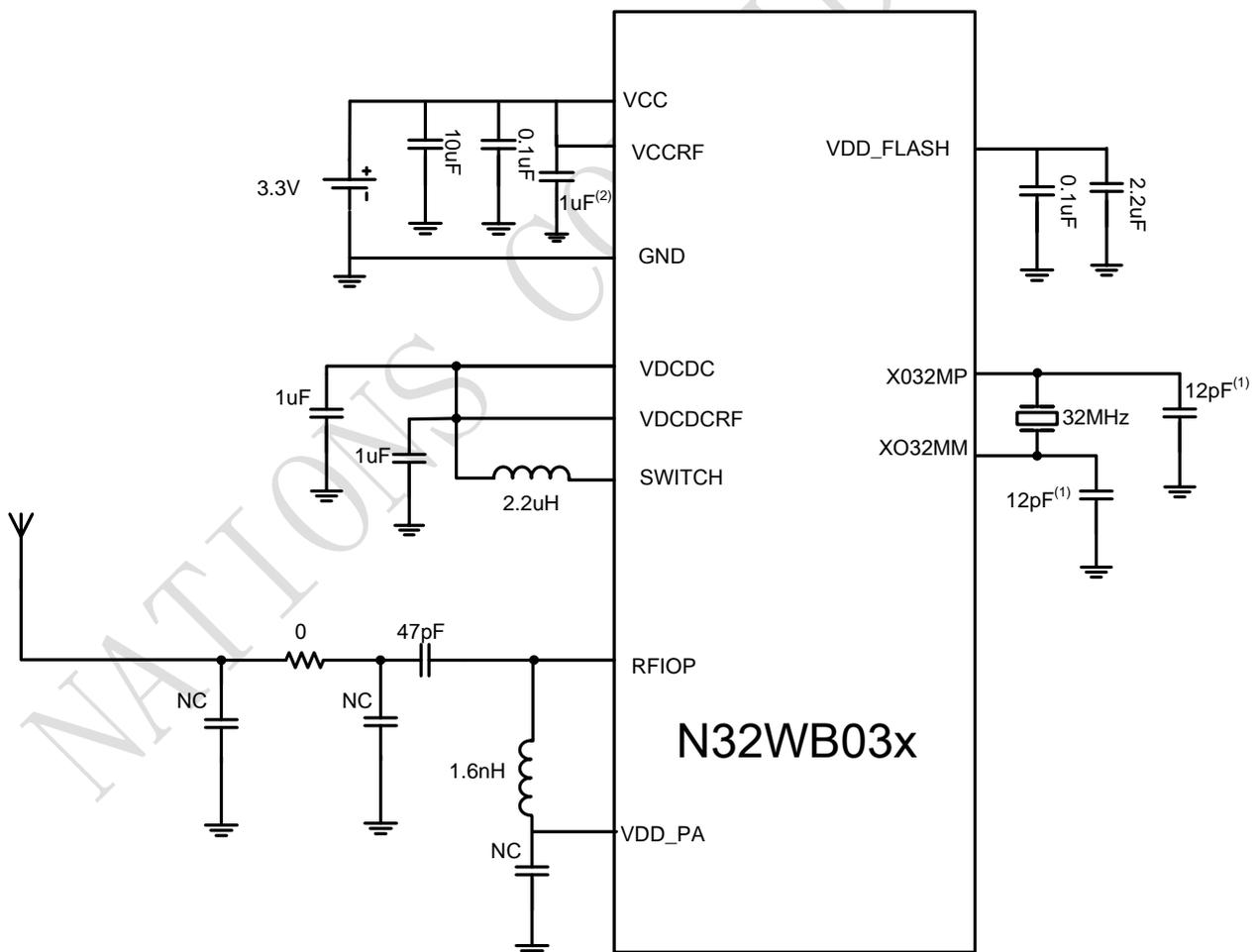
PWR 作为整个器件的电源控制模块，主要功能是控制 N32WB03x 进入不同的电源模式以及可以被其他事件或者中断唤醒。N32WB03x 支持 Active、Idle、Standby、Sleep 和 PD 模式。

N32WB03x 电源架构设计采用 Buck DC/DC 级联 LDO 式两段式供电结构，其可兼顾 DC/DC 的高效率和 LDO 的低噪声/小纹波电压等特点，可适用于低功耗应用场景。

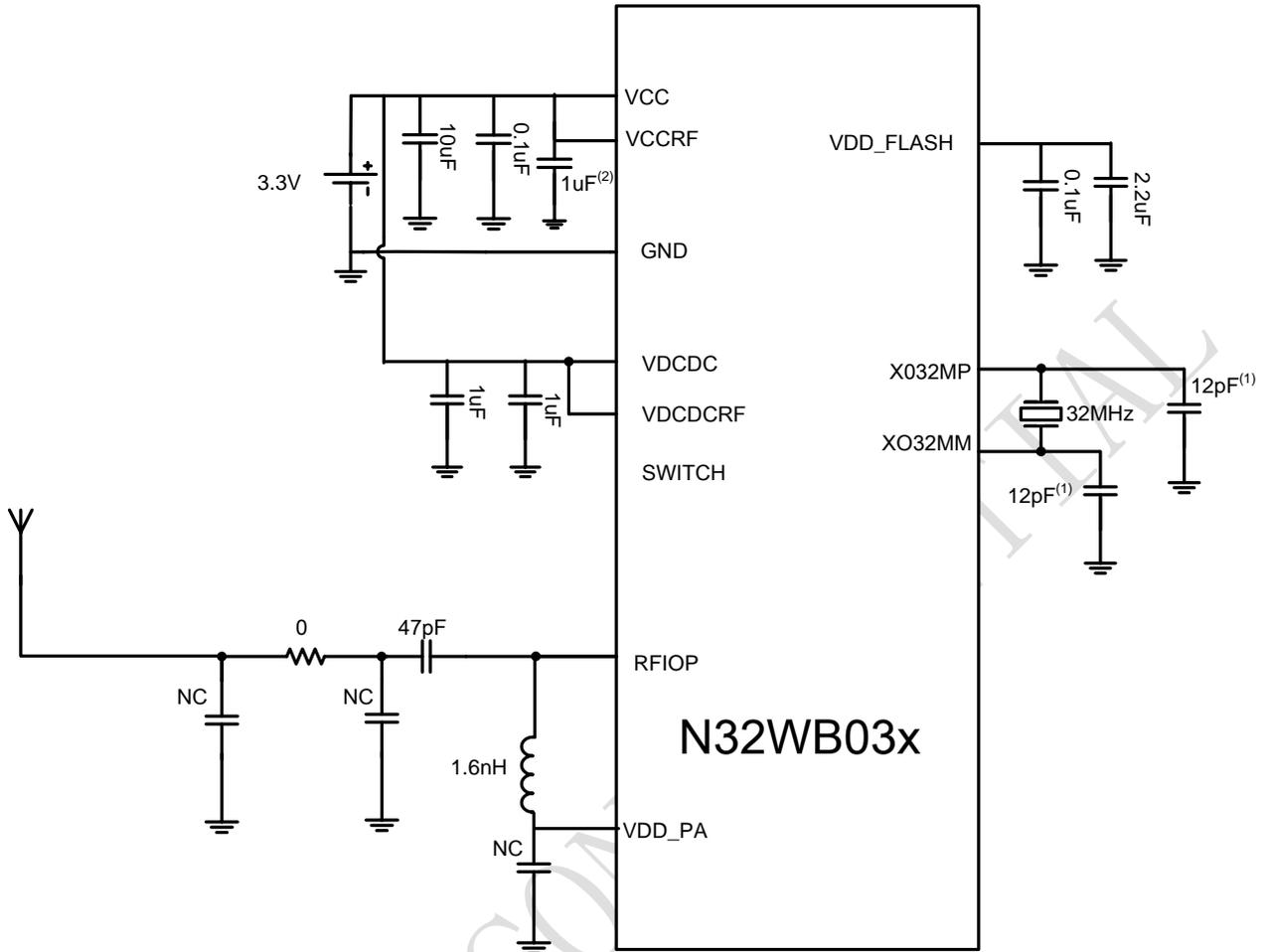
DC/DC 可采用 PCD 峰值电流控制方式和 PFM 调制方式，工作于 DCM 非连续电流工作模式(小负载)。

LDO 采用分布式供电方式给各个模块供电，来提高 BLE TRX 的通信质量，提高 Radio 各模块间的电源隔离度。

图 3-1 供电图



(a) VDCDC/VDCDCRF 采用内部 DCDC 供电



(b) VDCDC/VDCDCRF 采用外部电源供电

- (1)不同晶体或谐振器所需要的负载电容  $C_L$  通常不同,  $C_L$  的选择必须与所用晶体或谐振器相匹配。
- (2)对纹波要求不高的情况下,  $1\mu\text{F}$  电容可以不用焊接。

DC/DC: Buck 直流电平转换器, 其将外部电源输入电压为  $2.32\sim 3.6\text{V}$ , 给内部 LDO\_SYS 和 LDOs\_RF 供电, 提高系统电源转换效率, 达到节省动态功耗的目的。

数字系统电源: 电压调节器有三种运行模式, 正常模式, 低功耗模式和掉电模式。

#### ■ 正常模式(Active、Idle、Standby)

电压调节器使用 LDO\_SYS 供电, 主要用在 Active 模式, Idle 模式以及 Standby 模式。

DCDC 运行, LDO\_SYS 运行, LDO\_RET 运行。

#### ■ 低功耗模式(Sleep)

电压调节器 VCC 域的 LDO\_RET 用在低功耗模式, 用在 Sleep 模式。

DCDC 关闭, LDO\_SYS 关闭, LDO\_RET 运行。

■ 掉电模式(PD)

在 PD 模式下，电压调节器处于 Power down 模式。

DCDC/LDO\_SYS/LDO\_RET 全部关闭。

### 3.1.1 电源

为了说明不同的电源域的功能，下面将对一些电源区域进行介绍。

- VCC: 电压输入范围为 2.32V~3.6V，主要为 DCDC，LDO、IO 及时钟复位系统提供电源输入。
- VCCRF: 输入电压范围 2.32V~3.6V，为大部分模拟和射频外设供电。
- VDD\_FLASH: 不需要外加电源，外部仅需要挂载 2.2μF 电容。

## 3.2 电源管理

N32WB03x 共有五种电源模式: Active、Idle、Standby、Sleep 和 PD 模式，不同的模式具有不同的性能和功耗。

不同工作模式下，系统运行或关闭情况如图：

电源		工作模式				
		Active	Idle	Standby	Sleep	PD
电源系统		运行	运行	部分运行	少量运行	关闭
时钟	HSE/HSI	运行	运行	HSE 运行 HSI 关闭	关闭	关闭
	LSE/LSI	可用	可用	可用	可用（LSE 默认）	关闭
CPU CORE		运行	停内核时钟	关闭	关闭	关闭
SYS_CLK		运行	运行	关闭	关闭	关闭
外围接口		可用	可用	关闭	关闭	关闭
FLASH		运行	Standby	Standby	Deep Power-down	关闭
RAM <sup>[1][2]</sup> RETENTION		保持	保持	保持 / 部分保持 / 关闭	保持 / 部分保持 / 关闭	关闭
寄存器		保持	保持	部分保持	部分保持	关闭
射频		可用	可用	可用	关闭	关闭

唤醒	中断	可用	可用	关闭	关闭	关闭
	EXTI (RTC+LPUART+ KEYSCAN+8IO)	可用	可用	可用	可用	关闭
	WKUP1	可用	可用	可用	可用	可用
	RESET Pin(唤醒+复位)	可用	可用	可用	可用	可用

注[1]: RAM, 采用 48KB SYS SRAM, 8KQSPIC SRAM, 16KB EM SRAM;

注[2]: Sleep 和 Standby 模式下, 32KB SYS SRAM, 16KB SYS SRAM 可选进 SD/DS 模式;

N32WB03x 工作模式请参考下面表格:

表 3-1 工作模式

模式	条件	进入	退出
Active	CPU 启动 所有外设可配置	上电, 系统复位, 低功耗唤醒	进入 Idle、Standby、Sleep 和 PD 模式
Idle	CPU 进入睡眠模式, 内核停止。 所有的外设可配置。 电压调节器运行在正常模式。 FLASH 处于 Standby 状态。 唤醒源: 任一 NVIC 中断, EXTI 中断或事件, RESET 都可以唤醒 CPU。	1) SLEEPING = 1, SLEEPDEEP = 0, SLEEPONEXIT = 0, WFI/WFE 2) SLEEPING = 1, SLEEPDEEP = 0, SLEEPONEXIT = 1, ISR 返回时没有中断等待	唤醒: 1) 如果通过 WFI 或者 ISR 返回进入, 任一 NVIC 中断都可以退出 2) 如果通过 WFE 进入, SEVEONPEND=0, 任何来自外部中断/事件线 EXTI 的事件可唤醒。 3) 如果通过 WFE 进入, SEVONPEND=1, 任一外设中断 (disabled in NVIC) 都可唤醒 EXTI 的事件可唤醒
Standby <sup>[1]</sup>	CPU 深度睡眠方式。 电压调节器运行在正常模式。 CPU 及外围接口关闭。 SRAM 可选全部或部分保持数据。 HSE / HSI / LSE / LSI 开关可配。 寄存器部分保持。 BB 和射频可用。 所有 IO Retention, 所有 GPIO 状态保持。 唤醒源: EXTI 中断或事件, RESET 都可以唤醒 CPU。 唤醒之后开启 HSI 和 HSE, 代码	WFI / WFE: 1) SLEEPDEEP = 1 2) PDSTANDBY = 0 3) 没有中断 (WFI) 或事件 (WFE) 置起	唤醒: 1) 如果由 WFI 进入, 任何来自外部中断/事件线 EXTI 的中断可唤醒, 它可以来自外部 GPIO 中断或内部外设, NVIC 相应中断使能需要开启。 2) 如果由 WFE 进入, SEVEONPEND=0, 任何来自外部中断/事件线 EXTI 的事件可唤醒。 3) 如果由 WFE 进入, SEVEONPEND=1, 任何来自外部中断/事件线 EXTI 的中断 (disabled in NVIC) 可唤醒, 需要软件清除外设中断状态位及 EXTI 中断 pending 位。 EXTI 的事件可唤醒。

模式	条件	进入	退出
	从挂起的地方启动。		
Sleep <sup>[1]</sup>	<p>CPU 深度睡眠方式。</p> <p>电压调节器运行在低功耗模式。</p> <p>CPU 及外围接口关闭。</p> <p>SRAM 可选全部或部分保持数据。</p> <p>HSE / HSI 关闭。LSE / LSI 开关可配。</p> <p>寄存器部分保持。</p> <p>VDDDD_BB/LDOs_RF OFF, BB 和射频关闭。</p> <p>FLASH 关电。</p> <p>所有 IO Retention,所有 GPIO 状态保持。</p> <p>唤醒源: EXTI 中断或事件, RESET 都可以唤醒 CPU。</p> <p>唤醒之后开启 HSI 和 HSE, 代码从挂起的地方启动。</p>	<p>WFI / WFE:</p> <p>1) SLEEPDEEP = 1</p> <p>2) SLEEPS=1</p> <p>3) 没有中断 (WFI) 或事件 (WFE) 置起</p>	<p>唤醒:</p> <p>1) 如果由 WFI 进入, 任何来自外部中断/事件线 EXTI 的中断可唤醒, 它可以来自外部 GPIO 中断或内部外设, NVIC 相应中断使能需要开启。</p> <p>2) 如果由 WFE 进入, SEVEONPEND=0, 任何来自外部中断/事件线 EXTI 的事件可唤醒。</p> <p>3) 如果由 WFE 进入, SEVEONPEND=1, 任何来自外部中断/事件线 EXTI 的中断 (disabled in NVIC) 可唤醒, 需要软件清除外设中断状态位及 EXTI 中断 pending 位。</p> <p>EXTI 的事件可唤醒。</p>
PD	<p>电压调节器关闭。</p> <p>CPU 及外围接口关闭。</p> <p>SRAM 数据丢失。</p> <p>HSE/HSI/LSE/LSI 关闭。</p> <p>寄存器不保持。</p> <p>BB 和射频关闭。</p> <p>FLASH 关电。</p> <p>除了唤醒源 RESET/ WKUP1 外, 其他 IO 口处于高阻态。</p>	<p>WFI/WFE:</p> <p>1 SLEEPDEEP = 1</p> <p>2) PDSTANDBY=1</p> <p>3) 没有中断 (WFI) 或事件 (WFE) 置起</p>	<p>WKUP1 上升沿, RESET 复位</p>

注意:

1. Standby 和 Sleep 模式, 在唤醒后, 代码可以从停止位置继续运行。

### 3.3 低功耗模式

默认情况下, N32WB03x 在系统复位或电源打开复位后处于运行模式。当 CPU 不需要运行时 (例如在等待外部事件时), 可以使用几种低功耗模式来节省功耗。由用户选择在低功耗、短启动时间和可用的唤醒源之间选择最佳低功耗模式。

N32WB03x 四种低功耗模式特征:

- Idle 模式 (内核停止, 所有外围设备包括 Cortex®-M0 核心外设, 如 NVIC, 系统滴答时钟 (SysTick) 依然在运行)。
- Standby 模式 (电压调节器仍运行正常模式, CORE 关电, BLE 和射频可运行)。
- Sleep 模式 (大部分时钟被关闭, 电压调节器运行在低功耗模式, CORE, BLE 和射频关电)。

- PD 模式（VDDD 掉电模式，VCC 保持，1 个 WAKEUP IO 及 RESET 可唤醒）。

此外，运行模式下的功耗可以通过以下方法之一来降低：

- 降低系统时钟
- 关闭 APB 和 AHB 总线上未被使用的外设时钟

### 3.3.1 Active 模式

首次进入 User 模式后，Core 系统 Active，BLE 子系统 Active，CORE 系统工作模式受 CPU 控制。

BLE 子系统工作模式受 CPU 和 baseband 控制。

SYS RAM/FLASH 上电后默认开启。

### 3.3.2 Idle 模式

#### 3.3.2.1 进入 Idle 模式

通过执行 WFI（等待中断）或 WFE（等待事件）指令和 SLEEPDEEP=0，进入 Idle 模式。根据 Cortex®-M0 系统控制寄存器中的 SLEEPONEXIT 位值，有两个选项可用于选择 Idle 模式进入机制：

- Sleep-now: 如果 SLEEPONEXIT 位清零，那么 WFI 或 WFE 指令会立马执行，系统立即进入 Idle 模式。
- Sleep-on-exit: 如果 SLEEPONEXIT 位置 1，那么系统从最低优先级中断处理程序中退出时就立即进入 Idle 模式。

在 Idle 模式下，所有 I/O 引脚保持与运行模式下相同的状态/功能。

#### 3.3.2.2 退出 Idle 模式

如果 WFI 指令用于进入 Idle 模式，那么嵌套的向量中断控制器（NVIC）所响应的任何外围中断都可以将设备从 Idle 模式中唤醒。

如果使用 WFE 指令进入 Idle 模式，则 N32WB03x 将在事件发生时立即退出 Idle 模式。唤醒事件可以通过以下方式生成：

- 在外设控制寄存器中使能一个中断，而不是在 NVIC 中使能，同时使能 Cortex®-M0 系统控制寄存器中 SEVONPEND 位。当 MCU 从 WFE 恢复时，外设中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）必须被清除。
- 配置一个外部或内部 EXTI 事件模式，当 CPU 从 WFE 恢复时，因为与事件线对应的挂起位未被设置，外设中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）没有必要清除。此模式提供最短的唤醒时间，因为没有时间损失在中断进入或者退出上。

### 3.3.3 Standby 模式

Standby 模式 CPU 及外围接口关闭。

在 Standby 模式下，只能用 LSI、LSE 和 HSE。但是 SRAM 数据可以选择保持，部分寄存器内容被保存。

在 Standby 模式下，所有 I/O 引脚保持与运行模式下相同的状态和功能。

### 3.3.3.1 进入 Standby 模式

进入 Standby 模式时，需要设置 SLEEPDEEP=1。

配置 PWR\_CR1.PMU\_MODE\_EN=1，PWR\_CR1.PMU\_MODE=3'b001。

执行 WFI 指令或执行 WFE 指令，则进入 Standby 模式。

用户可提前使能相关 EXTI 的唤醒源。

在 Standby 模式下，可以通过对各个控制位进行编程来选择以下特性：

- RTC：可以通过寄存器 RCC\_LSCTRL 中 RTCEN 位来开启
- 内部 RC 振荡器（LSI RC）：可以通过寄存器 RCC\_LSCTRL 中 LSIEN 位来开启
- 外部的晶振（LSE OSC）：可以通过寄存器 RCC\_LSCTRL 中 LSEEN 位来开启

### 3.3.3.2 退出 Standby 模式

如果由 WFI 进入，任何来自外部中断/事件线 EXTI 的中断可唤醒，它可以来自外部 GPIO 中断或内部外设，NVIC 相应中断使能需要开启。

如果由 WFE 进入，SEVEONPEND=0，任何来自外部中断/事件线 EXTI 的事件可唤醒。

如果由 WFE 进入，SEVEONPEND=1，任何来自外部中断/事件线 EXTI 的中断（disabled in NVIC）可唤醒，需要软件清除外设中断状态位及 EXTI 中断 pending 位。EXTI 的事件可唤醒。

RESET 下降沿当 EXTI 中断线唤醒 CPU。系统不会复位。

Standby 模式唤醒后，程序会继续从休眠的位置继续执行。

## 3.3.4 Sleep 模式

Sleep 模式 CPU 及外围接口关闭，BLE 子系统关闭。

在 Sleep 模式下，系统停止运行，仅保留部分唤醒逻辑和寄存器，以响应唤醒操作。SRAM 可选择保持或不保持。

高速时钟停止，32KHz 低速时钟工作。

FLASH 进入深度睡眠模式或关电。

在 Sleep 模式下，所有 I/O 引脚保持与运行模式下相同的状态和功能。

### 3.3.4.1 进入 Sleep 模式

配置 BLE DEEPSLEEP 控制寄存器（地址：0x4002\_8030）的值为 0x07（BB 进入 Sleep）。

读 PWR\_CR1.OSC\_EN=0x0，确认 BLE 已进入 Sleep。

配置 PWR\_CR1.PMU\_MODE\_EN=0x1，PWR\_CR1.PMU\_MODE=0x2。

执行 WFI 指令或执行 WFE 指令，当 FLASH、APB 都空闲时，则进入 Sleep 模式。

用户可提前使能相关 EXTI 的唤醒源。

### 3.3.4.2 退出 Sleep 模式

如果由 WFI 进入，任何来自外部中断/事件线 EXTI 的中断可唤醒，它可以来自外部 GPIO 中断或内部外设，NVIC 相应中断使能需要开启。

如果由 WFE 进入，SEVEONPEND=0，任何来自外部中断/事件线 EXTI 的事件可唤醒。

如果由 WFE 进入，SEVEONPEND=1，任何来自外部中断/事件线 EXTI 的中断（disabled in NVIC）可唤醒，

需要软件清除外设中断状态位及 EXTI 中断 pending 位。EXTI 的事件可唤醒。

RESET 下降沿当 EXTI 中断线唤醒 CPU。系统不会复位。

Sleep 模式唤醒后，程序会继续从休眠的位置继续执行。

系统唤醒后再唤醒 BLE，CPU 运行在 Active 模式。

### 3.3.5 PD 模式

PD 模式可以实现更低的功耗，它基于 Cortex®-M0 深度睡眠模式，CPU 关闭，所有的外设关闭。

主电压调节器关闭，HSE/HSI/LSE/LSI 时钟源关闭。

除了 RESET/ WKUP1，其他 IO 口处于高阻态。

#### 3.3.5.1 进入 PD 模式

当进入 PD 模式。设置 SLEEPDEEP= 1。

配置 PWR\_CR1.PMU\_MODE\_EN=0x1，PWR\_CR1.PMU\_MODE=0x4。

#### 3.3.5.2 退出 PD 模式

当外部复位（RESET 引脚）、WKUP1 引脚上升沿事件发生时，N32WB03x 退出 PD 模式。所有寄存器在从 PD 状态唤醒后都将复位。

从 PD 模式中唤醒后，代码执行等同于复位后的执行（读取复位向量等）。

## 3.4 PWR 寄存器

### 3.4.1 PWR 寄存器图

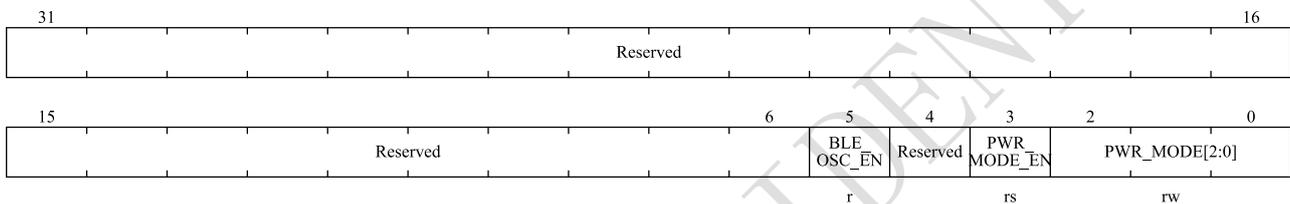
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	PWR_CR1	Reserved																								BLE_OSC_EN	Reserved	PWR_MODE_EN	PWR_MODE				
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

004h	PWR_CR2	Reserved														BLE_STATE		Reserved				Reserved				PAD_STA	Reserved	CORE_16KM	CORE_32KM			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	1	0	0	0	0	
030h	VTOR_REG	VTOR_REG																														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

### 3.4.2 电源控制寄存器 1 ( PWR\_CR1 )

偏移地址：0x00

复位值：0x0000 0020

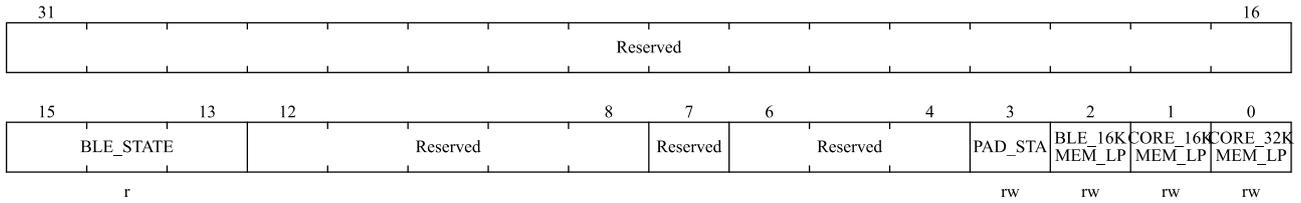


位域	名称	描述
[31:6]	Reserved	保留
[5]	BLE_OSC_EN	CPU 进入 Sleep 之前，需要查询该位为 0，确保 BLE 已进入 Sleep 模式 1: BLE 系统已退出 Sleep 模式； 0: BLE 系统处于 Sleep 模式。
[4]	Reserved	保留
[3]	PWR_MODE_EN	进入低功耗模式的使能位。
[2:0]	PWR_MODE	系统低功耗模式选择 000: Active 模式 001: Standby 模式 010: Sleep 模式 100: PD 模式 其他:reserved

### 3.4.3 电源控制寄存器 2 ( PWR\_CR2 )

偏移地址：0x04

复位值：0x0000 20b0

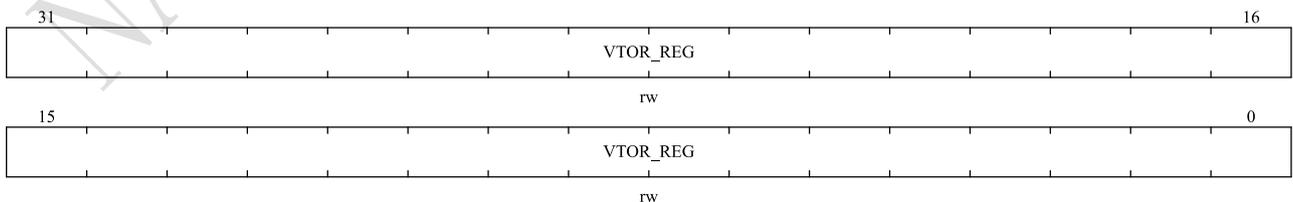


位域	名称	描述
[31:16]	Reserved	保留
[15:13]	BLE_STATE	BLE 系统所处状态 000:ble_power_on 上电状态; 001:ble_active 正常 run 状态; 100:ble_sleep ble 在 Sleep 状态; 其他:reserved
[12:8]	Reserved	保留
[7]	Reserved	必须保持为: 1
[6:4]	Reserved	保留
[3]	PAD_STA	PAD 在 Standby/Sleep 模式下的状态控制位 0: PAD 保持 1: PAD 高阻
[2]	Reserved	保留, 默认值为 0
[1]	CORE_16KMEM_LP	core_16K RAM 在 Standby/Sleep 模式下的模式选择 0:core_Ram 16K 在 SRAM DeepSleep 模式 (数据保持) 1:core_Ram 16K 在 掉电模式 (数据不保持)
[0]	CORE_32KMEM_LP	core_32K RAM 在 Standby/Sleep 模式下的模式选择 0:core_Ram 32K 在 SRAM DeepSleep 模式 (数据保持) 1:core_Ram 32K 在 掉电模式 (数据不保持)

### 3.4.4 中断向量地址重映射寄存器 (VTOR\_REG)

偏移地址: 0x30

复位值: 0x0002 0008



位域	名称	描述
----	----	----

[31:0]	VTOR_REG	中断向量地址重映射 [31]: VTOR 的重映射使能; [30:0]: 重映射地址;
--------	----------	---

NATIONS CONFIDENTIAL

## 4 复位和时钟控制 (RCC)

### 4.1 复位控制单元

N32WB03x 支持以下三种复位方式:

1. 电源复位
2. 系统复位
3. 低功耗复位

#### 4.1.1 电源复位

当以下事件中之一发生时, 产生电源复位:

- 上电/掉电复位 VDDD\_POR (POR/PDR 复位)
- 从 PD 掉电模式中返回

电源复位将复位所有寄存器。

复位源将最终作用于 RESET 引脚, 并在复位过程中保持低电平。复位入口矢量被固定在地址 0x0000\_0004。更多细节, 参阅表 6-1 向量表。

#### 4.1.2 系统复位

除了 RCC 及 VDDD\_AON 电源域 (PWR/RTC/RCC/AFIO/AFEC) 中的一些特定寄存器外, 系统复位将复位所有寄存器至它们的复位状态。

当发生以下任一事件时, 产生一个系统复位:

- RESET 引脚上的低电平 (外部复位)
- 窗口看门狗计数终止 (WWDG 复位)
- 独立看门狗计数终止 (IWDG 复位)
- 软件复位 (SCLKSW 复位)
- BOR 复位 (FLASH 版本)

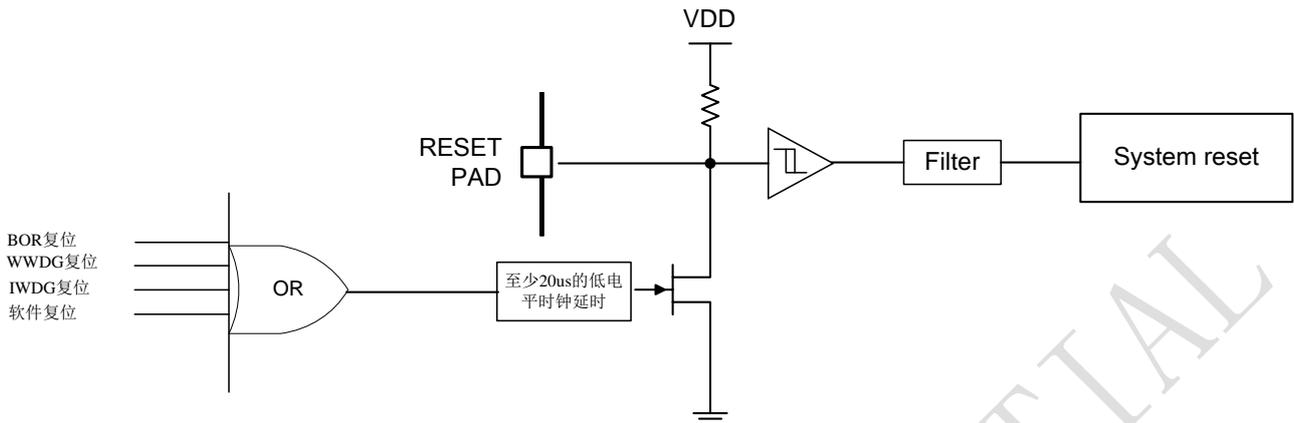
可通过查看 RCC\_CTRLSTS 控制状态寄存器中的复位状态标志位识别复位事件来源。

##### 4.1.2.1 软件复位

通过将 Cortex®-M0 中断应用和复位控制寄存器中的 SYSRESETREQ 位置 1, 可实现软件复位。请参考 Cortex®-M0 技术参考手册获得进一步信息。

芯片内部的复位信号会在 RESET 引脚上输出, 脉冲发生器保证每一个 (外部或内部) 复位源都能有至少 20  $\mu$ s 的脉冲延时; 当 RESET 引脚被拉低产生外部复位时, 它将产生复位脉冲。

图 4-1 复位电路



## 4.2 时钟控制单元

两种不同的时钟源可被用来驱动系统时钟（SYSCLK）：

- HSI 振荡器时钟（64MHz）
- HSE 振荡器时钟（32MHz）

这些设备有使用 2 个二级时钟源：

- LSI 振荡器时钟（32KHz）
- LSE 振荡器时钟（32.768KHz）

LSI 可以用于驱动独立看门狗 IWDG 和通过程序选择驱动 RTC、KEYSCAN 和 LPUART。

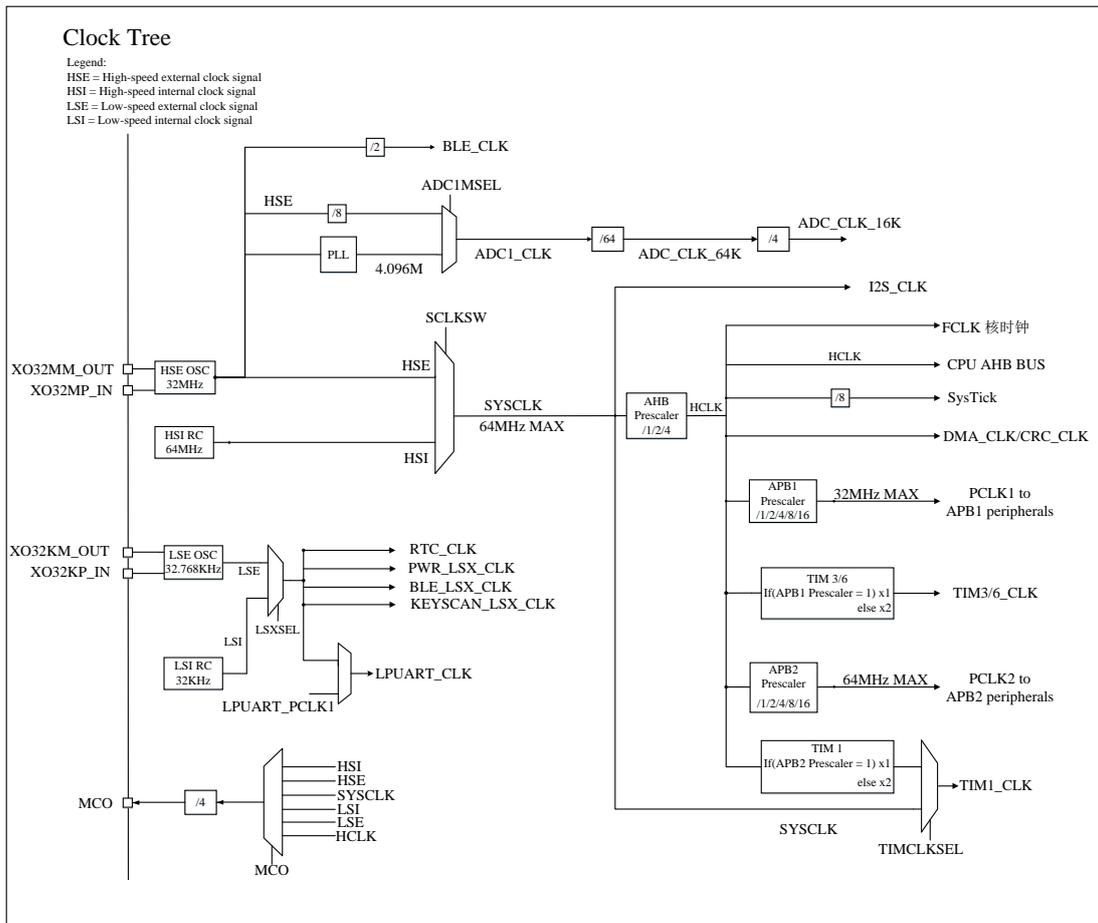
LSE 可用来通过程序选择驱动 RTC、KEYSCAN 和 LPUART。

LSI/LSE 也用于从 Idle/BLE\_SLEEP/Standby/Sleep/PD 模式下自动唤醒系统。

当不被使用时，任一个时钟源都可被独立地启动或关闭，由此优化系统功耗。

在系统上电复位释放后，HSI 和 HSE 默认使能，系统时钟默认选择 HSI。

图 4-2 时钟树目录



1. 对于内部和外部时钟源的特性，请参考相应产品数据手册中“电气特性”章节

用户可通过多个预分频器配置 AHB、APB（APB1 和 APB2）域的频率。AHB 域、APB1 域和 APB2 域的最大允许频率是 64MHz。

除去以下情况，所有外设时钟都源于系统时钟(SYSCLK)：

- ADC 时钟由 AHB 时钟经分频后获得。
- LPUART 工作时钟可以来此以下三个源之一，软件可配置：
  - ◆ LSI 时钟
  - ◆ LSE 时钟
  - ◆ APB1 时钟（PCLK）
- RTCCLK 时钟源可以由 LSE 或 LSI 时钟提供
  - ◆ LSE 时钟
  - ◆ LSI 时钟
- IWDG 的时钟源为 LSI 振荡器。

RCC 通过 AHB 时钟（HCLK）8 分频后作为 Cortex 系统定时器（SysTick）的外部时钟。通过对 SysTick 控

制与状态寄存器的设置，可选择上述时钟或 Cortex（HCLK）时钟作为 SysTick 时钟。

定时器时钟频率分配由硬件按以下 2 种情况自动设置：

- 如果相应的 APB 预分频系数是 1，定时器的时钟频率与所在 APB 总线频率一致。
- 否则，定时器的时钟频率被设为与其相连的 APB 总线频率的 2 倍。

### 4.2.1 HSE 时钟

高速外部时钟信号（HSE）由以下两种时钟源产生：HSE 外部晶体或外部时钟。

为了减少时钟输出的失真和缩短启动稳定时间，晶体和负载电容器必须尽可能地靠近振荡器引脚。负载电容值必须根据所选择的振荡器来调整。

32MHz 外部振荡器可为系统时钟提供更为精确的主时钟输入。进一步信息可参考数据手册的电气特性部分。

在时钟控制寄存器 RCC\_CTRL 中的 HSERDF 位（直接来自模拟 HSE）用来指示高速外部振荡器是否稳定。在启动时，直到这一位被硬件置 1，时钟才被释放出来。如果在时钟中断寄存器 RCC\_CLKINT 中允许产生中断，将会产生相应中断。

HSE 晶体可以通过设置时钟控制寄存器里 RCC\_CTRL 中的 HSEEN 位被启动和关闭，默认启动。

### 4.2.2 HSI 时钟

HSI 时钟信号由内部的 RC 振荡器产生，可直接作为系统时钟输入。HSI RC 振荡器能够在不需要任何外部器件的条件下提供系统时钟。它的启动时间比 HSE 晶体振荡器短。然而，即使在校准之后它的时钟频率精度仍较差。

制造工艺决定了不同芯片的 RC 振荡器频率会不同，typical 被校准到 0.5%（25℃），全温度范围 5% 以内。

如果用户的应用基于不同的电压或环境温度，这将会影响 RC 振荡器的精度。可以通过时钟控制寄存器里的 HSITRIM[6:0] 位来调整 HSI 频率。

时钟控制寄存器中的 HSIRDF 位用来指示 HSI RC 振荡器是否稳定。在时钟启动过程中，数字产生 128 个 HSI cycle 的启动计数，直到这一位被硬件置 1，HSI RC 输出时钟才被释放。

HSI RC 可由时钟控制寄存器中的 HSIEN 位来启动和关闭。

注 1：通过软件启动 HSI TRIM 到 64M，数字内部可选 HSI 或 HSI/2，默认使用 HSI/2；

### 4.2.3 HSI 校准

HSE 时钟校准 HSI 时钟（可选 HSI 或 HSI/2）：

1 开启条件：每次系统复位释放或低功耗唤醒后，HSE 输出稳定后，硬件自动进行一次校正计数，计数结果存放在寄存器中，软件初始化对 HSI 做校准（查询到计数 Done，读出计数结果，按照与 RC 时钟的频率换算关系，软件重新写 HSI 时钟频率 TRIM 值，硬件会进行一次校正计数）。

同时也支持系统 Active 时，对 HSI 做校准，软件通过配置 HSI 不同的 TRIM 值或 START 位来启动一次校正计数。（需要先打开对应时钟，并查询到时钟输出稳定）

2 HSI 时钟校准计数器工作原理

使用两个计数器，校正开始后，第一个计数器使用 HSE 时钟进行计数，计满 1024 拍后结束计数，产生计数 Done 信号。

在该计数期间，同时第二个计数器使用 HSI 时钟进行计数，并在计数 Done 时，把计数结果存入寄存器，供 CPU 通过寄存器查询。

### 3 计数结果与 RC 时钟的频率换算关系

HSI 时钟（可选 HSI 或 HSI/2）的实际频率（单位：MHz）= (RC64M\_Cnt/1024) \* 32

## 4.2.4 LSE 时钟

LSE 晶体是一个 32.768KHz 的低速外部晶体。它为实时时钟或者其他定时功能提供一个低功耗且精确的时钟源。

LSE 晶体通过在低速时钟控制寄存器 (RCC\_LSCTRL) 里的 LSEEN 位启动和关闭。

在低速时钟控制寄存器 (RCC\_LSCTRL) 里的 LSERD 指示 LSE 晶体振荡是否稳定。在启动阶段，在时钟启动过程中，数字产生 1024 个 LSE cycle 的启动计数，直到这个位被硬件置 1 后，LSE 时钟信号才被释放出来。如果在时钟中断寄存器里被允许，可产生中断申请。

## 4.2.5 外部时钟源 (LSE 旁路)

在这个模式里必须提供一个最高 1MHz 频率的外部时钟源。用户可以通过设置在低速时钟控制寄存器 (CC\_LSCTRL) 里的 LSEBP 位和 LSEEN=0 来选择这个模式。具有 50% 占空比的外部时钟信号（方波、正弦波或三角波）必须连到 OSC32K\_IN 引脚

## 4.2.6 LSI 时钟

LSIRC 可以在 STANDBY 或 Sleep 模式下为 IWDG 和 AWU 提供时钟。LSI 时钟频率大约 32KHz。进一步信息请参考数据手册中有关电气特性部分。

LSIRC 可以通过控制/状态寄存器 (RCC\_CTRLSTS) 里的 LSIEN 位来启动或关闭。

在控制/状态寄存器 (RCC\_CTRLSTS) 里的 LSIRD 位指示低速内部振荡器是否稳定。在时钟启动过程中，数字产生 8 个 LSI cycle 的启动计数，直到这个位被硬件设置为 1 后，此时钟才被释放。如果在时钟中断寄存器 (RCC\_CLKINT) 里被允许，将产生 LSI 中断申请。

## 4.2.7 LSI 校准

可以通过校准内部低速振荡器 LSI 来补偿其频率偏移，从而获得精度可接受的 RTC 时间基数，以及独立看门狗 (IWDG) 的超时时间（当这些外设以 LSI 为时钟源）。

HSE 时钟校准 LSI 时钟：

1 开启条件：支持系统 Active 时，对 LSI 做校准，软件通过配置 LSI 不同的 TRIM 值或 START 位来启动一次校正计数。（需要先打开对应时钟，并查询到时钟输出稳定）

硬件自动进行一次校正计数，计数结果存放寄存器中，软件初始化对 LSI 做校准（查询到计数 Done，读出计数结果，按照与 RC 时钟的频率换算关系，软件重新写 LSI 时钟频率 TRIM 值，硬件会进行一次校正计数）。

注：对于 LSI 校正，软件应在配置 TRIM 值或 START 后再查询计数 Done 标志位。

## 2 LSI 时钟校准计数器工作原理

使用两个计数器，校正开始后，第一个计数器使用 LSI 时钟进行计数，计满 LSI\_TRIM\_CFG (默认 20)拍后结束计数，产生计数 Done 信号。

在该计数期间，同时第二个计数器使用 HSE 时钟进行计数，并在计数 Done 时，把计数结果存入寄存器，供 CPU 通过寄存器查询。

## 3 计数结果与 RC 时钟的频率换算关系

LSI 时钟的实际频率(单位: KHz)=32000\*LSI\_TRIM\_CFG/RC32K\_Cnt

## 4.2.8 系统时钟 ( SYSCLK ) 选择

系统复位后，HSI 振荡器被选为系统时钟。软件通过 CFG 控制位 SCLKSW 选择时钟源，当时钟源被直接作为系统时钟时，它将不能被停止。

只有当目标时钟源准备就绪了(经过启动稳定阶段的延迟)，从一个时钟源到另一个时钟源的切换才会发生。在被选择时钟源没有就绪时，系统时钟的切换不会发生。直至目标时钟源就绪，才发生切换。

在时钟控制寄存器(RCC\_CTRL)里的状态位指示哪个时钟已经准备好了，哪个时钟目前被用作系统时钟。

## 4.2.9 RTC 时钟

通过设置低速时钟控制寄存器(RCC\_LSCTRL)里的 LSXSEL 位，RTCCLK 时钟可以由 LSE 或 LSI 时钟提供。

## 4.2.10 看门狗时钟

如果独立看门狗已经软件启动，LSI 振荡器将被强制在打开状态，并且不能被关闭。在 LSI 振荡器稳定后，时钟供应给 IWDG。

## 4.2.11 LPUART 时钟

正常工作模式下 LPUART 时钟支持 LSI\_LSE\_CLK 和 LPUART\_PCLK 两种时钟源。低功耗模式下由于 PCLK 会关闭，所以软件应在进入低功耗模式前将 LPUART 时钟切换至 LSI\_LSE\_CLK。

## 4.2.12 时钟输出

微控制器允许输出时钟信号到外部 MCO 引脚。

相应的 GPIO 端口寄存器必须被配置为相应功能。以下七个时钟信号可被选作 MCO 时钟：

- SYSCLK
- HCLK
- HSI
- HSE

- LSI
- LSE
- AUDIOPLL

时钟的选择由时钟配置寄存器(RCC\_CFG)中的MCO位控制,MCO引脚输出为选择时钟固定4分频输出。

## 4.3 RCC 寄存器

### 4.3.1 RCC 寄存器地址映像

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
000h	RCC_CTL	Reserved								AUDIOPLEN	Reserved								HSERDF	HSEEN	HSITRIM_7		HSITRIM_6_0								Reserved								HSIRDF	HSIEN							
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1	1	0	1	0	0	0	0	0	1	1												
004h	RCC_CFG	Reserved			MCO				Reserved								HSISRC	Reserved		APB2PRES				APB1PRES				Reserved		AHBPRES		Reserved		SCLKSTS		Reserved		SCLKSW									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
008h	RCC_CLKINT	Reserved																HSERDCLR	HSIRDCLR	LSERDCLR	LSIRDCLR	Reserved								HSERDIEN	HSIRDIEN	LSERDIEN	LSIRDIEN	Reserved								HSERDIF	HSIRDIF	LSERDIF	LSIRDIF		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
00Ch	RCC_APB2PRST	Reserved																USART1RST		Reserved		TIM1RST		Reserved		SPI2RST		SPI1RST		Reserved								IOPBRST		IOPARST		Reserved		AFIOKST			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
010h	RCC_APB1PRST	Reserved			PWRRST				Reserved				I2CRST		Reserved				USART2RST		Reserved								WWDGRST		Reserved								TIM6RST		Reserved		TIM3RST		Reserved		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
014h	RCC_AHBCLKEN	Reserved																IRCTRL		Reserved		ADCEN		Reserved								CRCEN		Reserved		Reserved		Reserved		Reserved		SRAMEN		Reserved		DMAEN	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
018h	RCC_APB2PCKEN	Reserved																USART1EN		Reserved		TIM1EN		Reserved		SPI2EN		SPI1EN		Reserved								IOPBEN		IOPAEN		Reserved		AFIOEN			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
01Ch	RCC_APB1PCKEN	Reserved			PWREN				Reserved				I2CEN		Reserved				USART2EN		Reserved								WWDGEN		Reserved								TIM6EN		Reserved		TIM3EN		Reserved		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
020h	RCC_LSCTRL	Reserved	KEYSCAN	Reserved	LPUARTRST	LPUARTEN	LPUARTSEL	RTCRST	RTCEN	Reserved								LSITRIM								Reserved								LSXSEL		LSEBP		LSERD		LSEEN		LSIRD		LSEEN			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						

024h	RCC_CT RLSTS	Reserved																				WWDGRST	IWDGRST	SFTRST	PORRST	PNRST	Reserved	RMRST						
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0			
28h	RCC_AH BPRST	Reserved																		IRCTRLRST	Reserved	ADCRST	Reserved											
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
02Ch	RCC_CF G2	TIMCLK	Reserved																		Reserved				ADCSEL	Reserved								
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
030h	OSCFCC R	Reserved																		LSL_TRIM_CFG				Reserved				HSL_CalibStart	LSL_CalibStart					
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
34h	OSCFCS R	Reserved																												HSCNTDONE	LSICNTDONE			
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
38h	OSCFCL SICNT	Reserved														LSICNT																		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
03Ch	OSCFCH SICNT	Reserved																		HSICNT														
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
044h	DBGMC U_CR	Reserved																				I2CL_TIMEO	TIM6_STOP	TIM3_STOP	TIM1_STOP	WWDG_STOP	IWDG_STOP							
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

### 4.3.2 时钟控制寄存器 (RCC\_CTRL)

偏移地址: 0x00

复位值: 0x0003 0d03

31	Reserved	25	24	23	18	17	16	
Reserved				AUDIOPLEN	Reserved		HSERDF	HSEEN
15	14	rw			2	r	rw	
HSITRIM_7	HSITRIM_6_0				Reserved	HSIRDF	HSIEN	
rw		rw				r		rw

位域	名称	描述
31:25	Reserved	始终读为0。

位域	名称	描述
24	AUDIOPLLEN	AUDIOPLL 使能位。 软件置 1 或清零。 0: 关闭 AUDIOPLL 1: 打开 AUDIOPLL
23:18	Reserved	始终读为 0。
17	HSERDF	外部高速时钟就绪位。 硬件会在 HSE 就绪后置 1。该位在 HSEEN 位清零后需要 100ns 来清零。 0: HSE 未就绪 1: HSE 已就绪
16	HSEEN	外部高速时钟使能。 软件置 1 或清零。 当进入 Sleep 或 PD 模式时, 由硬件清零。 当从 Sleep 模式返回时, 硬件会置 1 来启动 HSE 振荡器。 HSE 作为系统时钟时该位不能被清零。 0: 关闭 HSE 振荡器 1: 开启 HSE 振荡器
15	HSITRIM_7	选择 HSI 频率 0: 64MHz
14:8	HSITRIM_6_0	内部高速时钟修正值, 由软件写入, 用以校准内部 HSI RC 振荡器的频率。 详见 HSI 校准章节 HSITRIM <7:0>: 00000000: 37.62MHz; 00000001: 37.8MHz; 00001101: 40.13MHz; 01010010: 63.41 MHz; 01010011: 63.97 MHz; 01010100: 64.44 MHz; 01111110: 101.1MHz; 01111111: 102.6MHz;
7:2	Reserved	始终读为 0。
1	HSIRDF	内部高速时钟就绪标志位。 硬件会在 HSI 稳定后置 1。该位在 HSIEN 位清零后, 需要 6 个内部振荡器时钟周期来清零。
0	HSIEN	内部高速时钟使能位。 软件置 1 或清零。 当进入 Sleep 或 PD 模式时, 由硬件清零。 当从 Sleep 模式返回时, 硬件会置 1 来启动 HSI 振荡器。 HSI 作为系统时钟时该位不能不能被清零; 0: 关闭 HSI 振荡器 1: 开启 HSI 振荡器

### 4.3.3 时钟配置寄存器 ( RCC\_CFG )

偏移地址: 0x04

复位值: 0x0000 0000

31	29	28	25	24	17	16							
Reserved		MCO			Reserved		HSISRC						
15	14	13	11	10	8	7	6	5	4	3	2	1	0
Reserved		APB2PRES		APB1PRES		Reserved		AHBPRES	Reserved	SCLKSTS	Reserved	SCLKSW	
		rw		rw				rw		r		rw	

位域	名称	描述
31:29	Reserved	始终读为 0。
28:25	MCO	MCU 时钟输出 通过软件置 1 和清除。 000:没有时钟 001:LSI 时钟 010:LSE 时钟 011:系统时钟(SYSCLK)选中 100: HSI 分频时钟 101:HSE 时钟 110: HCLK 总线时钟 111: AUDIOPLL 时钟 <i>注意:</i> 该时钟输出在启动和切换 MCO 时钟源时可能会被截断。 在系统时钟作为输出至 MCO 引脚时, 应保证输出时钟频率不超过 50MHz (I/O 口最高频率)。
24:17	Reserved	始终读为 0。
16	HSISRC	系统的 HSI 时钟源。 软件置 1 或清零。仅在 HSI 关闭时才能写入此位。 0: HSI 2 分频作为系统时钟输入 1: HSI 不分频作为系统时钟输入
15:14	Reserved	始终读为 0。
13:11	APB2PRES	高速 APB (APB2) 预分频。 软件设置或清零, 配置 APB2 时钟 PCLK2 的预分频系数。必须保证 APB2 的时钟频率不超过 64MHz。 0xx: HCLK 不分频 100: HCLK 2 分频 101: HCLK 4 分频 110: HCLK 8 分频 111: HCLK 16 分频
10:8	APB1PRES	低速 APB (APB1) 预分频。 软件设置或清零, 配置 APB1 时钟 PCLK1 的预分频系数。必须保证 APB1 的时钟频率不超过 32MHz。 0xx: HCLK 不分频 100: HCLK 2 分频 101: HCLK 4 分频

位域	名称	描述
		110: HCLK 8 分频 111: HCLK 16 分频
7:6	Reserved	始终读为 0。
5:4	AHBPRES	AHB 预分频。 软件设置或清零，配置 AHB 时钟 HCLK 的预分频系数。 0x: SYSCLK 不分频 10: SYSCLK 2 分频 11: SYSCLK 4 分频
3	Reserved	始终读为 0。
2	SCLKSTS	系统时钟切换状态 由硬件设置和清除，以指示使用哪个时钟源作为系统时钟。 0: HSI 振荡器用作系统时钟 1: HSE 振荡器用作系统时钟
1	Reserved	始终读为 0。
0	SCLKSW	系统时钟开关 软件设置或清除，选择 SYSCLK 源。 0: HSI 被选为系统时钟 1: HSE 选择作为系统时钟

#### 4.3.4 时钟中断寄存器 ( RCC\_CLKINT )

偏移地址: 0x08

复位值: 0x0000 0000

Reserved										31	Reserved				20	19	18	17	16				
Reserved										15	Reserved				4	w	w	w	w				
Reserved										12	11	10	9	8	7	Reserved				3	2	1	0
Reserved										rw				rw				r					

位域	名称	描述
31:20	Reserved	始终读为 0。
19	HSERDICLR	HSE 就绪中断清除位。 软件置 1 来清除 HSERDIF 标志位。 0: 无使用 1: 清除 HSERDIF 中断标志位
18	HSIRDICLR	HSI 就绪中断清除位。 软件置 1 来清除 HSIRDIF 标志位。 0: 无使用 1: 清除 HSIRDIF 中断标志位
17	LSERDICLR	LSE 就绪中断清除位。 软件置 1 来清除 LSERDIF 标志位。

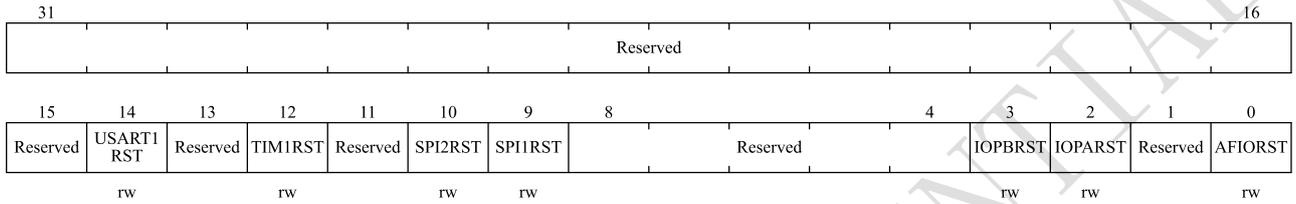
位域	名称	描述
		0: 无使用 1: 清除 LSERDIF 中断标志位
16	LSIRDICLR	LSI 就绪中断清除位。 软件置 1 来清除 LSIRDIF 标志位。 0: 无使用 1: 清除 LSIRDIF 中断标志位
15:12	Reserved	始终读为 0。
11	HSERDIEN	HSE 就绪中断使能位。 软件置 1 或清零, 以使能或关闭 HSE 就绪中断。 0: 关闭 HSE 就绪中断 1: 使能 HSE 就绪中断
10	HSIRDIEN	HSI 就绪中断使能位。 软件置 1 或清零, 以使能或关闭 HSI 就绪中断。 0: 关闭 HSI 就绪中断 1: 使能 HSI 就绪中断
9	LSERDIEN	LSE 就绪中断使能位。 软件置 1 或清零, 以使能或关闭 LSE 就绪中断。 0: 关闭 LSE 就绪中断 1: 使能 LSE 就绪中断
8	LSIRDIEN	LSI 就绪中断使能位。 软件置 1 或清零, 以使能或关闭 LSI 就绪中断。 0: 关闭 LSI 就绪中断 1: 使能 LSI 就绪中断
7:4	Reserved	始终读为 0。
3	HSERDIF	HSE 就绪中断标志位。 当 HSERDIEN 被置 1 且外部高速时钟就绪时, 硬件会将此位置 1。 此位由软件对 HSERDICLR 位置 1 来清零。 0: 无 HSE 振荡器产生的时钟就绪中断 1: HSE 振荡器产生了时钟就绪中断
2	HSIRDIF	HSI 就绪中断标志位。 当 HSIRDIEN 被置 1 且内部高速时钟就绪时, 硬件会将此位置 1。 此位由软件对 HSERDICLR 位置 1 来清零。 0: 无 HSI 振荡器产生的时钟就绪中断 1: HSI 振荡器产生了时钟就绪中断
1	LSERDIF	LSE 就绪中断标志位。 当 LSERDIEN 被置 1 且外部低速时钟就绪时, 硬件会将此位置 1。 此位由软件对 LSERDICLR 位置 1 来清零。 0: 无 LSE 振荡器产生的时钟就绪中断 1: LSE 振荡器产生了时钟就绪中断
0	LSIRDIF	LSI 就绪中断标志位。 当 LSIRDIEN 被置 1 且内部低速时钟就绪时, 硬件会将此位置 1。 此位由软件对 LSIRDICLR 位置 1 来清零。

位域	名称	描述
		0: 无 LSI 振荡器产生的时钟就绪中断 1: LSI 振荡器产生了时钟就绪中断

### 4.3.5 APB2 外设复位寄存器 ( RCC\_APB2PRST )

偏移地址: 0x0c

复位值: 0x0000 0000



位域	名称	描述
31:15	Reserved	始终读为 0。
14	USART1RST	USART1 复位。 软件置 1 或清零。 0: 无作用 1: 复位 USART1
13	Reserved	始终读为 0。
12	TIM1RST	TIM1 定时器复位。 软件置 1 或清零。 0: 无作用 1: 复位 TIM1
11	Reserved	始终读为 0。
10	SPI2RST	SPI2 复位 通过软件置 1 和清除。 0:清除复位 1:复位 SPI2
9	SPI1RST	SPI1 复位 通过软件置 1 和清除。 0:清除复位 1:复位 SPI1
8:4	Reserved	始终读为 0。
3	IOPBRST	GPIO 端口 B 复位。 软件置 1 或清零。 0: 无作用 1: 复位 GPIO 端口 B
2	IOPARST	GPIO 端口 A 复位。 软件置 1 或清零。 0: 无作用

位域	名称	描述
		1: 复位 GPIO 端口 A
1	Reserved	始终读为 0。
0	AFIORST	辅助功能 IO 复位。 软件置 1 或清零。 0: 无作用 1: 复位辅助功能 IO

#### 4.3.6 APB1 外设复位寄存器 (RCC\_APB1PRST)

偏移地址: 0x10

复位值: 0x0000 0000

31	29	28	27	22	21	20	18	17	16
Reserved	PWRRST	Reserved	Reserved	I2CRST	Reserved	Reserved	USART2RST	Reserved	Reserved
15	12	11	10	5	4	3	2	1	0
Reserved	WWDGRST	Reserved	Reserved	TIM6RST	Reserved	Reserved	TIM3RST	Reserved	Reserved
	rw			rw				rw	
		rw			rw			rw	

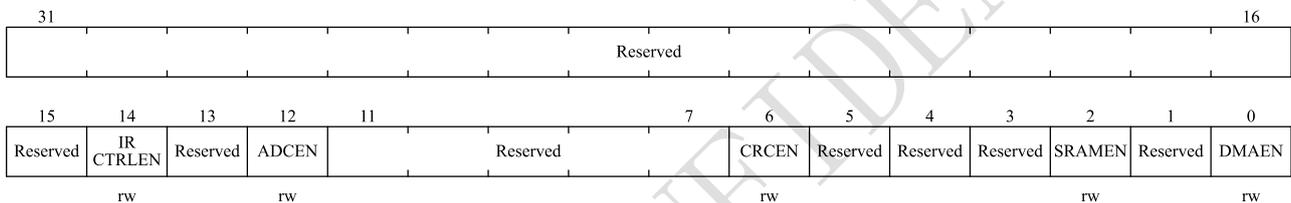
位域	名称	描述
31:29	Reserved	始终读为 0。
28	PWRRST	PWR 复位。 软件置 1 或清零。 0: 无作用 1: 复位 PWR
27:22	Reserved	始终读为 0。
21	I2CRST	I2C 复位。 软件置 1 或清零。 0: 无作用 1: 复位 I2C1
20:18	Reserved	始终读为 0。
17	USART2RST	USART2 复位。 软件置 1 或清零。 0: 无作用 1: 复位 USART2
16:12	Reserved	始终读为 0。
11	WWDGRST	窗口看门狗复位。 软件置 1 或清零。 0: 无作用 1: 复位窗口看门狗
10:5	Reserved	始终读为 0。
4	TIM6RST	TIM6 定时器复位。 软件置 1 或清零。

位域	名称	描述
		0: 无作用 1: 复位 TIM6 定时器
3:2	Reserved	始终读为 0。
1	TIM3RST	TIM3 定时器复位。 软件置 1 或清零。 0: 无作用 1: 复位 TIM3 定时器
0	Reserved	始终读为 0。

#### 4.3.7 AHB 外设时钟使能寄存器 ( RCC\_AHBPCLOCKEN )

偏移地址: 0x14

复位值: 0x0000 0014



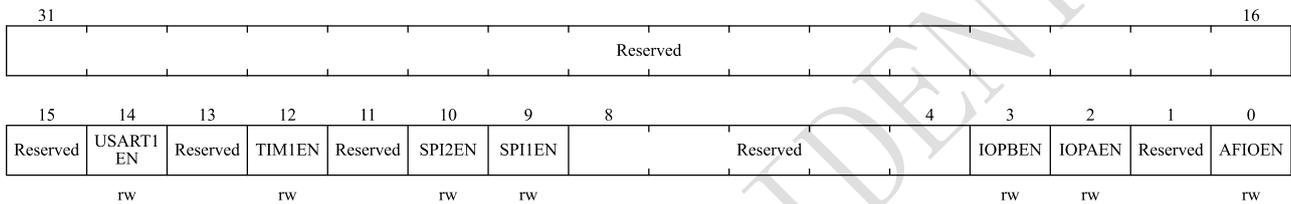
位域	名称	描述
31:15	Reserved	始终读为 0。
14	IRCTRLLEN	IRCTRL 时钟使能。 软件置 1 或清零。 0: 关闭 IRCTRL 时钟 1: 使能 IRCTRL 时钟
13	Reserved	始终读为 0。
12	ADCEN	ADC 时钟使能。 软件置 1 或清零。 0: 关闭 ADC 时钟 1: 使能 ADC 时钟
11:7	Reserved	始终读为 0。
6	CRCEN	CRC 时钟使能。 软件置 1 或清零。 0: 关闭 CRC 时钟 1: 使能 CRC 时钟
5	Reserved	默认为 0。
4	Reserved	始终读为 1。
3	Reserved	始终读为 0。
2	SRAMEN	SRAM 时钟使能。 软件置 1 或清零。 0: 关闭 Idle 模式时 SRAM 时钟

位域	名称	描述
		1: 使能 Idle 模式时 SRAM 时钟
1	Reserved	始终读为 0。
0	DMAEN	DMA 时钟使能。 软件置 1 或清零。 0: 关闭 DMA 时钟 1: 使能 DMA 时钟

#### 4.3.8 APB2 外设时钟使能寄存器 (RCC\_APB2PCLKEN)

偏移地址: 0x18

复位值: 0x0000 0000



位域	名称	描述
31:15	Reserved	始终读为 0。
14	USART1EN	USART1 时钟使能。 软件置 1 或清零。 0: 关闭 USART1 时钟 1: 使能 USART1 时钟
13	Reserved	始终读为 0。
12	TIM1EN	TIM1 定时器时钟使能。 软件置 1 或清零。 0: 关闭 TIM1 定时器时钟 1: 使能 TIM1 定时器时钟
11	Reserved	始终读为 0。
10	SPI2EN	SPI2 时钟使能。 软件置 1 或清零。 0: 关闭 SPI2 时钟 1: 使能 SPI2 时钟
9	SPI1EN	SPI1 时钟使能。 软件置 1 或清零。 0: 关闭 SPI1 时钟 1: 使能 SPI1 时钟
8:4	Reserved	始终读为 0。
3	IOPBEN	GPIO 端口 B 时钟使能。 软件置 1 或清零。 0: 关闭 GPIO 端口 B 的时钟

位域	名称	描述
		1: 使能 GPIO 端口 B 的时钟
2	IOPAEN	GPIO 端口 A 时钟使能。 软件置 1 或清零。 0: 关闭 GPIO 端口 A 的时钟 1: 使能 GPIO 端口 A 的时钟
1	Reserved	始终读为 0。
0	AFIOEN	辅助功能 IO 时钟使能。 软件置 1 或清零。 0: 关闭辅助功能 IO 时钟 1: 使能辅助功能 IO 时钟

#### 4.3.9 APB1 外设时钟使能寄存器 (RCC\_APB1PCLKEN)

偏移地址: 0x1C

复位值: 0x0000 0000

31	29	28	27	22	21	20	18	17	16
Reserved	PWREN	Reserved	I2CEN	Reserved	Reserved	USART2EN	Reserved	Reserved	Reserved
15	12	11	10	5	4	3	2	1	0
Reserved	WWDGEN	Reserved	TIM6EN	Reserved	TIM3EN	Reserved	Reserved	Reserved	Reserved
rw			rw			rw			

位域	名称	描述
31:29	Reserved	始终读为 0。
28	PWREN	电源接口时钟使能。 软件置 1 或清零。 0: 关闭电源接口时钟 1: 使能电源接口时钟
27:22	Reserved	始终读为 0。
21	I2CEN	I2C 时钟使能。 软件置 1 或清零。 0: 关闭 I2C 时钟 1: 使能 I2C 时钟
20:18	Reserved	始终读为 0。
17	USART2EN	USART2 时钟使能。 软件置 1 或清零。 0: 关闭 USART2 时钟 1: 使能 USART2 时钟
16:12	Reserved	始终读为 0。
11	WWDGEN	窗口看门狗时钟使能。 软件置 1 或清零。 0: 关闭窗口看门狗时钟

位域	名称	描述
		1: 使能窗口看门狗时钟
10:5	Reserved	始终读为0。
4	TIM6EN	TIM6 定时器时钟使能。 软件置 1 或清零。 0: 关闭 TIM6 定时器时钟 1: 使能 TIM6 定时器时钟
3:2	Reserved	始终读为0。
1	TIM3EN	TIM3 定时器时钟使能。 软件置 1 或清零。 0: 关闭 TIM3 定时器时钟 1: 使能 TIM3 定时器时钟
0	Reserved	始终读为0。

#### 4.3.10 低速时钟控制寄存器 (RCC\_LSCTRL)

偏移地址: 0x20

复位值: 0x0006 0F03

31	30	29	28	27	26	25	24	23		19	18	16				
Reserved	KEY SCANEN	Reserved	LPUART RST	LPUART EN	LPUART SEL	RTCRST	RTCEN			Reserved		LSITRIM				
	rw		rw	rw	rw	rw	rw	8	7	6	5	4	3	2	1	0
15										Reserved	LSXSEL	LSEBP	LSERD	LSEEN	LSIRD	LSIEN
											rw	rw	r	rw	r	rw

位域	名称	描述
31	Reserved	始终读为0。
30	KEYSCANEN	KEYSCAN 时钟使能。 软件置 1 或清零。 0: 关闭 KEYSCAN 时钟 1: 使能 KEYSCAN 时钟
29	Reserved	始终读为0。
28	LPUARTRST	LPUART 复位。 软件置 1 或清零。 0: 无作用 1: 复位 LPUART
27	LPUARTEN	LPUART 时钟使能。 软件置 1 或清零。 0: 关闭 LPUART 时钟 1: 使能 LPUART 时钟
26	LPUARTSEL	LPUART 时钟源选择位 该位由软件进行设置和清除 0: APB1 时钟被选择

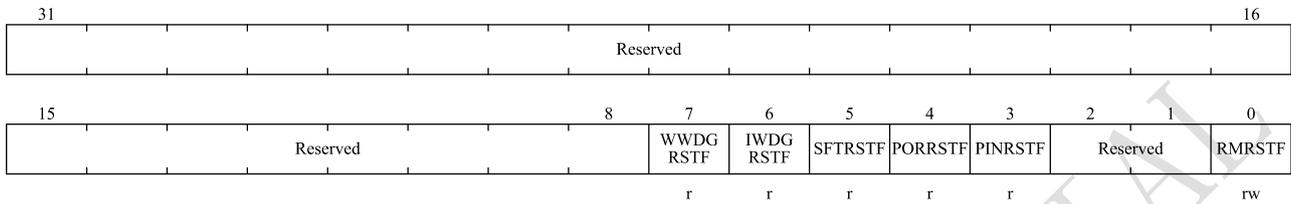
位域	名称	描述
		1: LSI_LSE_CLK 时钟
25	RTCRST	RTC 软件复位 0:无作用 1:复位 RTC
24	RTCEN	RTC 时钟启用 通过软件置 1 和清除。 0: RTC 时钟禁用 1: RTC 时钟启用
23:19	Reserved	始终读为 0。
18:8	LSITRIM	LSI 频率 trimming 控制位
7:6	Reserved	始终读为 0。
5	LSXSEL	低速时钟源选择。 软件设置这些位以选择 LSI_LSE_CLK 时钟源。 0: 选择 LSI 振荡器 1: 选择 LSE 振荡器 注: 该比特影响到 RTC, PWR, BLE, KEY, LPUART 的低速时钟;
4	LSEBP	外部低速时钟振荡器旁路。 软件置 1 旁路 LSE。 0: LSE 时钟未被旁路 1: LSE 时钟被旁路
3	LSERD	外部低速时钟振荡器就绪。 硬件置 1 或清零, 以指示 LSE 振荡器是否就绪。在 LSEEN 被清零后, 该位需要 6 个外部低速振荡器的周期才能被清零。 0: 外部 32KHz 振荡器未就绪 1: 外部 32KHz 振荡器已就绪
2	LSEEN	外部低速时钟振荡器使能位。 软件置 1 或清零。 0: 关闭外部 32KHz 振荡器 1: 开启外部 32KHz 振荡器
1	LSIRD	内部低速时钟振荡器就绪。 硬件置 1 或清零, 以指示 LSI 振荡器是否就绪。在 LSIEN 被清零后, 该位需要 3 个内部低速振荡器的周期才能被清零。 0: 内部 32KHz 振荡器未就绪 1: 内部 32KHz 振荡器已就绪
0	LSIEN	内部低速时钟振荡器使能位。 软件置 1 或清零。 0: 关闭内部 32KHz 振荡器 1: 开启内部 32KHz 振荡器

注: Sleep 模式唤醒后,如需写 RCC\_CFG 寄存器,必须先重写 RCC\_LSCTRL 寄存器,即读取再写入所读的值。

### 4.3.11 控制/状态寄存器 (RCC\_CTRLSTS)

偏移地址: 0x24

复位值: 0x00000018



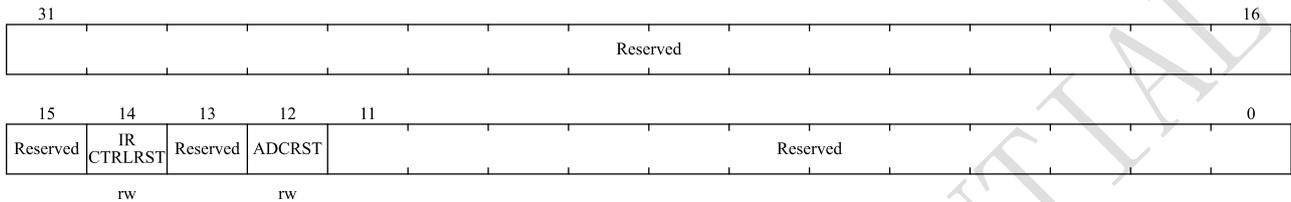
位域	名称	描述
31:8	Reserved	始终读为 0。
7	WWDGRSTF	窗口看门狗复位标志 由硬件在窗口看门狗复位时置 1。 通过写入 RMRSTF 位复位清除。 0:没有窗口看门狗复位发生 1: 窗口看门狗复位出现
6	IWDGRSTF	独立看门狗复位标志 由硬件在独立看门狗复位时置 1。 通过写入 RMRSTF 位复位清除。 0:没有独立看门狗复位发生 1: 独立看门狗复位出现
5	SFTRSTF	software 复位标志 由硬件在 software 复位时置 1。 通过写入 RMRSTF 位复位清除。 0:没有 software 复位发生 1: software 复位出现
4	PORRSTF	POR/PDR 复位标志 由硬件在 POR/PDR 复位时置 1。 通过写入 RMRSTF 位清除 0:没有 POR/PDR 复位发生 1: POR/PDR 复位出现
3	PINRSTF	PIN 复位标志 由硬件在 RESET pin 复位时置 1。 通过写入 RMRSTF 位复位清除。 0:没有 RESET pin 复位发生 1: RESET pin 复位出现
2:1	Reserved	始终读为 0。
0	RMRSTF	REMOVE 复位标志 由软件清除复位标志。 0:无作用 1:清除这些复位标志

位域	名称	描述
		需要软件清除+取消清除 (RMRSTF 写 1 再写 0)

#### 4.3.12 AHB 外设复位寄存器 (RCC\_AHBPRST)

偏移地址: 0x28

复位值: 0x0000 0000

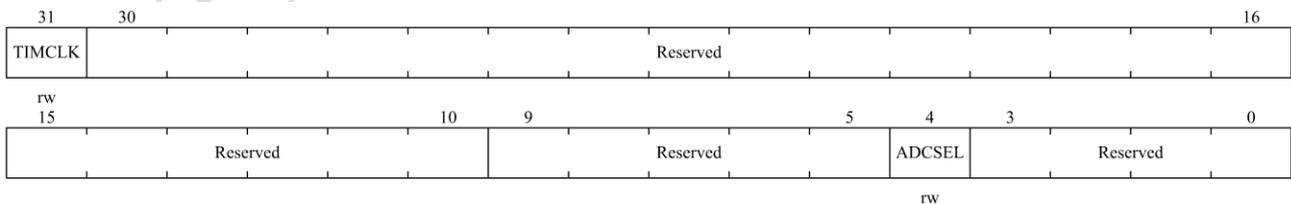


位域	名称	描述
31:15	Reserved	始终读为 0。
14	IRCTRLST	IRCTRL 接口复位 通过软件置 1 和清除。 0:清除复位 1: 复位 IRCTRL 接口
13	Reserved	始终读为 0。
12	ADCRST	ADC 接口复位 通过软件置 1 和清除。 0:清除复位 1:复位 ADC 接口
11:0	Reserved	始终读为 0。

#### 4.3.13 时钟配置寄存器 2 (RCC\_CFG2)

偏移地址: 0x2c

复位值: 0x0000 0000



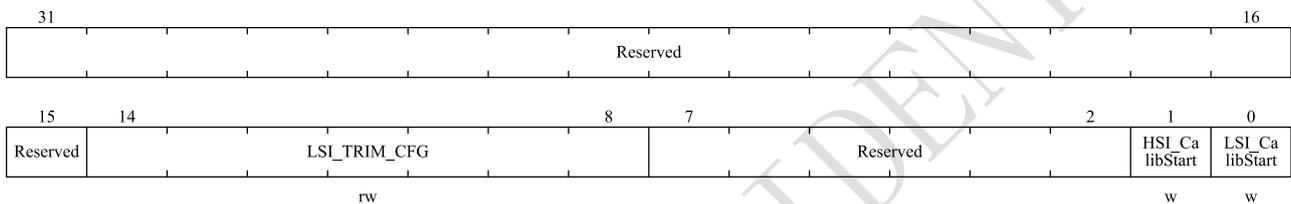
位域	名称	描述
31	TIMCLK	TIMCLK: Timer1 源选择 0: APB2 分频时钟被选择为 TIM1_CLK 输入时钟 1: SYSCLK 时钟被选择为 TIM1_CLK 输入时钟
30:10	Reserved	始终读为 0。
9:5	Reserved	始终读为 0。

位域	名称	描述
4	ADCSEL	ADC CLK 时钟源选择。 软件置 1 或清零。 0: 选择 AUDIOPLL 时钟作为 ADC 的输入时钟 1: 选择 HSE_DIV8 时钟作为 ADC 的输入时钟 注: 修改 ADC 时钟源前, 先禁能时钟源
3:0	Reserved	始终读为 0。

#### 4.3.14 OSCFC 控制寄存器 ( OSCFCCR )

偏移地址: 0x30

复位值: 0x0000 1400

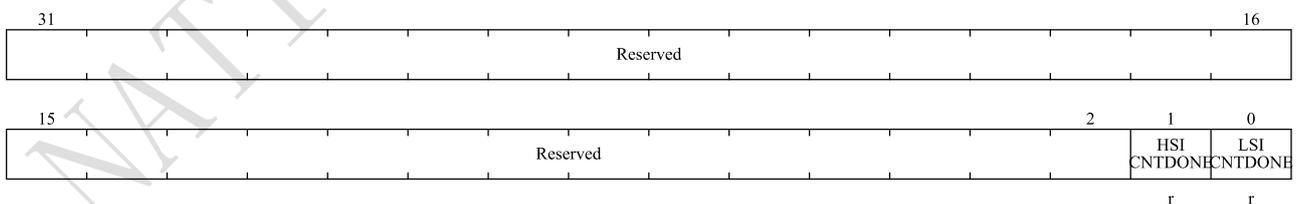


位域	名称	R/W	描述
[31:15]	Reserved	R	始终读为 0。
[14:8]	LSI_TRIM_CFG	WR	LSI TRIM 计数次数配置
[7:2]	Reserved	R	始终读为 0。
[1]	HSI_CalibStart	W	启动 HSI 校正, 读返回 0
[0]	LSI_CalibStart	W	启动 LSI 校正, 读返回 0

#### 4.3.15 OSCFC 状态寄存器 ( OSCFCSR )

偏移地址: 0x34

复位值: 0x0000 0000

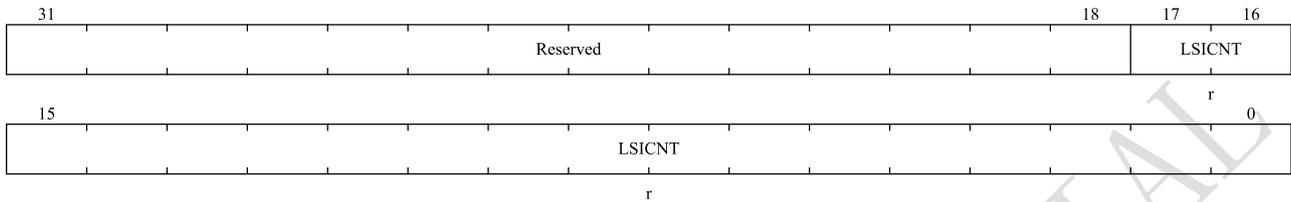


位域	名称	R/W	描述
[31:2]	Reserved	R	始终读为 0。
[1]	HSICNTDONE	R	HSI 计数完成输出标记位 注: 开启 HSI_CalibStart 位后, 到 OSCFCSR 的 HSICNTDONE 位, 需要 2μs
[0]	LSICNTDONE	R	LSI 计数完成输出标记位

### 4.3.16 计数寄存器 ( OSCFCLSICNT )

偏移地址: 0x38

复位值: 0x0000 0000

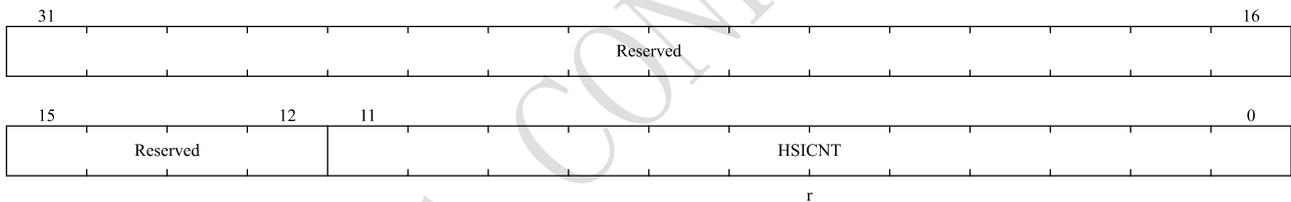


比特位	名称	R/W	功能
[31:18]	Reserved	R	始终读为 0。
[17:0]	LSICNT	R	LSI 时钟校正计数结果

### 4.3.17 计数寄存器 ( OSCFCHSICNT )

偏移地址: 0x3C

复位值: 0x0000 0000

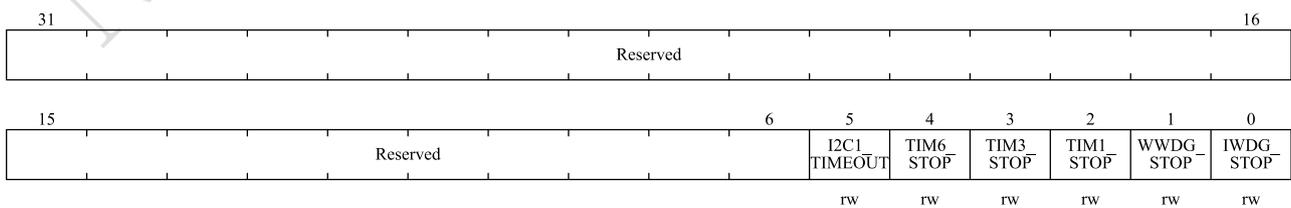


位域	名称	R/W	描述
[31:12]	Reserved	R	始终读为 0。
[11:0]	HSICNT	R	HSI 时钟校正计数结果

### 4.3.18 DBGMCU\_CR 寄存器

偏移地址: 0x44

复位值: 0x0000 0000



位域	名称	R/W	描述
[31:6]	Reserved	R	始终读为 0。

[5]	I2C1_TIMEOUT	RW	当核心停止时停止 SMBUS 超时模式。 软件置 1 或清零。 0: 与正常模式操作相同; 1: 冻结 SMBUS 的超时控制。
[4]	TIM6_STOP	RW	当内核进入调试状态时计数器停止工作。 软件置 1 或清零。 0: 选中定时器的计数器仍然正常工作; 1: 选中定时器的计数器停止工作。
[3]	TIM3_STOP	RW	当内核进入调试状态时计数器停止工作。 软件置 1 或清零。 0: 选中定时器的计数器仍然正常工作; 1: 选中定时器的计数器停止工作。
[2]	TIM1_STOP	RW	当内核进入调试状态时计数器停止工作。 软件置 1 或清零。 0: 选中定时器的计数器仍然正常工作; 1: 选中定时器的计数器停止工作。
[1]	WWDG_STOP	RW	当内核进入调试状态时调试窗口看门狗停止工作。 软件置 1 或清零。 0: 窗口看门狗计数器仍然正常工作; 1: 窗口看门狗计数器停止工作。
[0]	IWDG_STOP	RW	当内核进入调试状态时看门狗停止工作。 软件置 1 或清零。 0: 看门狗计数器仍然正常工作; 1: 看门狗计数器停止工作。

## 5 GPIO 和 AFIO

### 5.1 概述

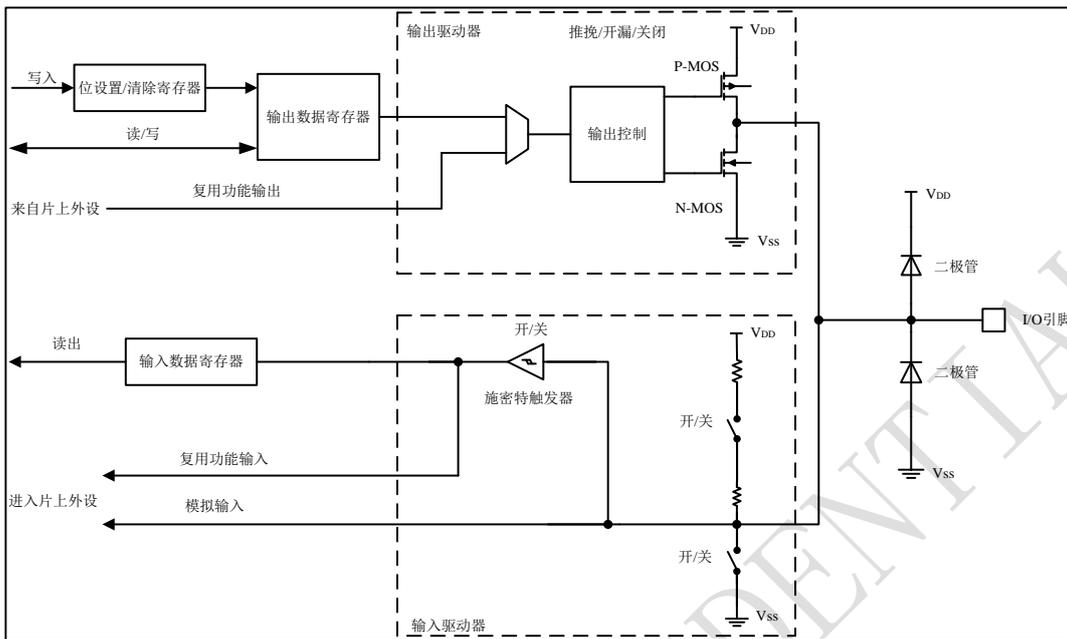
GPIO (General purpose input/output) 即通用型 I/O, AFIO (Alternate-function input/output) 即复用功能 I/O。芯片最多支持 21 个 GPIO, 共被分为 2 组 (GPIOA/GPIOB), A 组 7 个端口, B 组共 14 个。GPIO 端口和其他的复用外设共用引脚, 用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出、输入或复用的外设功能端口。除了模拟输入引脚外, 其他的 GPIO 引脚都有大电流通过能力。

GPIO 端口具有以下特性:

- GPIO 端口可由软件分别配置成以下模式:
  - ◆ 输入浮空
  - ◆ 输入上拉
  - ◆ 输入下拉
  - ◆ 模拟功能
  - ◆ 开漏输出及上/下拉可配
  - ◆ 推挽式输出及上/下拉可配
  - ◆ 推挽式复用功能及上/下拉可配
  - ◆ 开漏复用功能及上/下拉可配
- 单独的位设置或位清除功能
- 所有 IO 支持外部中断功能
- 所有 IO 支持低功耗模式唤醒, 上升或下降沿可配置
  - ◆ 8 个 EXTI 可用于 Sleep 模式唤醒, 所有 I/O 可复用为 EXTI
  - ◆ PB3(WAKEUP1)唤醒 IO 可用于 PD 模式唤醒, I/O 滤波时间最大 1 $\mu$ s
- 支持软件重新映射 I/O 复用功能
- 支持 GPIO 锁定机制, 复位方式清除锁定状态

每个 I/O 端口位可以任意编程, 但必须按照 32 位字访问 I/O 端口寄存器 (不允许 16 位半字或 8 位字节访问)。下图给出了一个 I/O 端口的基本结构。

图 5-1 I/O 端口的基本结构



## 5.2 IO 功能描述

### 5.2.1 IO 模式配置

IO 的模式控制由配置寄存器 GPIOx\_PMODE, GPIOx\_POTYPE 和 GPIOx\_PUPD (x=A,B) 来设置, 不同的操作模式下的配置如下表所示:

表 5-1 IO 模式和配置关系

PMODE[1:0]	POTYPE	PUPD[1:0]		I/O配置
01	0	0	0	通用输出推挽 (Push-Pull)
	0	0	1	通用输出推挽 (Push-Pull) +上拉
	0	1	0	通用输出推挽 (Push-Pull) +下拉
	0	1	1	保留
	1	0	0	通用输出开漏 (Open-Drain)
	1	0	1	通用输出开漏 (Open-Drain) +上拉
	1	1	0	通用输出开漏 (Open-Drain) +下拉
	1	1	1	保留
10	0	0	0	复用功能+推挽 (Push-Pull)
	0	0	1	复用功能+推挽 (Push-Pull) +上拉
	0	1	0	复用功能+推挽 (Push-Pull) +下拉
	0	1	1	保留
	1	0	0	复用功能+开漏 (Open-Drain)
	1	0	1	复用功能+开漏 (Open-Drain) +上拉
	1	1	0	复用功能+开漏 (Open-Drain) +下拉
	1	1	1	保留

PMODE[1:0]	POTYPE	PUPD[1:0]		I/O配置
00	x	0	0	浮空输入
	x	0	1	上拉输入
	x	1	0	下拉输入
	x	1	1	保留
11	x	0	0	模拟模式
	x	0	1	保留
	x	1	0	
	x	1	1	

另外 GPIOx\_DS 寄存器 DSy 位可用来配置高/低驱动强度，GPIOx\_SR 寄存器 SRy 位可用来高/低 Slew rate 的配置。

IO 在不同的配置下的输入输出特性如下表所示：

表 5-2 IO 不同配置的输入输出特性

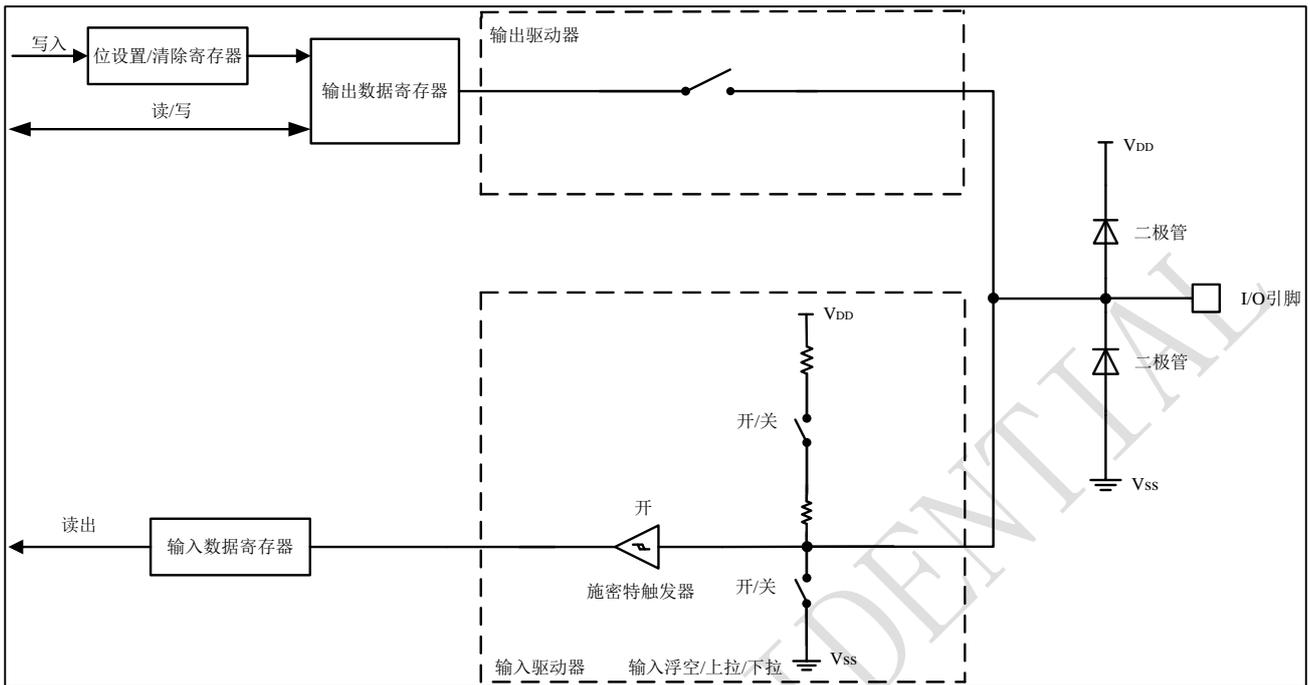
特性	GPIO输入	GPIO输出	模拟输入	外设复用
输出缓冲器	禁能	使能	禁能	根据外设功能配置
施密特触发器	使能	使能	禁能 输出值被强制为0	使能
上下拉/浮空	可配	可配	禁能	根据外设功能配置
开漏模式	禁能	可配， 输出数据为“0”时GPIO输出0，“1”时GPIO高阻	禁能	可配，输出数据为“0”时GPIO输出0，“1”时GPIO高阻
推挽模式	禁能	可配， 输出数据为“0”时GPIO输出0，“1”时GPIO输出1	禁能	可配，输出数据为“0”时GPIO输出0，“1”时GPIO输出1
输入数据寄存器（IO状态）	可读	可读	读出为0	可读
输出数据寄存器（写入值）	无效	可读写	无效	可读

### 5.2.1.1 输入模式

当 I/O 端口配置为输入模式时：

- 输出缓冲器被禁止
- 施密特触发输入被激活
- 上拉和下拉电阻是否被连接，取决于 GPIOx\_PUPD 寄存器的配置
- 出现在 I/O 脚上的数据在每个 APB2 时钟被采样到输入数据寄存器
- 通过对数据寄存器的读访问得到 I/O 状态

图 5-2 输入浮空/上拉/下拉配置

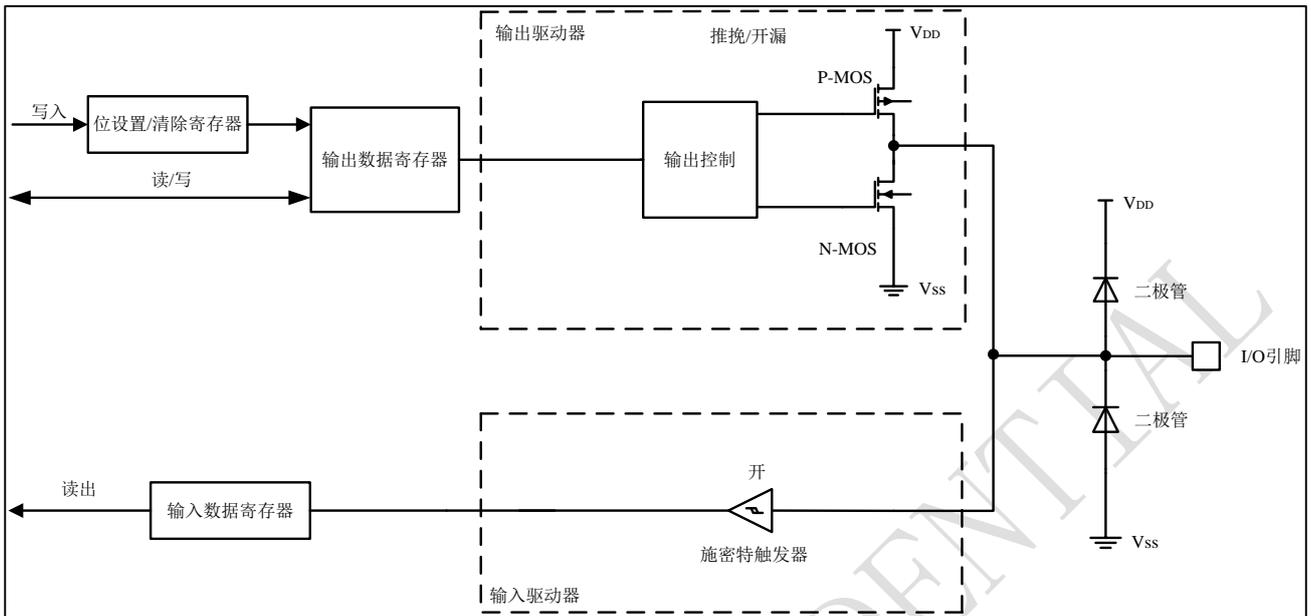


### 5.2.1.2 输出模式

当 I/O 端口配置为输出时:

- 施密特触发输入被激活
- 上拉和下拉电阻是否被连接, 取决于 GPIO\_PUPD 寄存器的配置
- 输出缓冲器被激活
  - ◆ 开漏模式: 输出寄存器上的'0'激活 N-MOS, 引脚输出低电平  
输出寄存器上的'1'端口置于高阻状态 (P-MOS 从不被激活)
  - ◆ 推挽模式: 输出寄存器上的'0'激活 N-MOS, 引脚输出低电平  
输出寄存器上的'1'激活 P-MOS, 引脚输出高电平
- 出现在 I/O 脚上的数据在每个 APB2 时钟被采样到输入数据寄存器
- 对输入数据寄存器的读访问可得到 I/O 状态
- 对输出数据寄存器的读访问得到最后一次写的值

图 5-3 输出模式配置

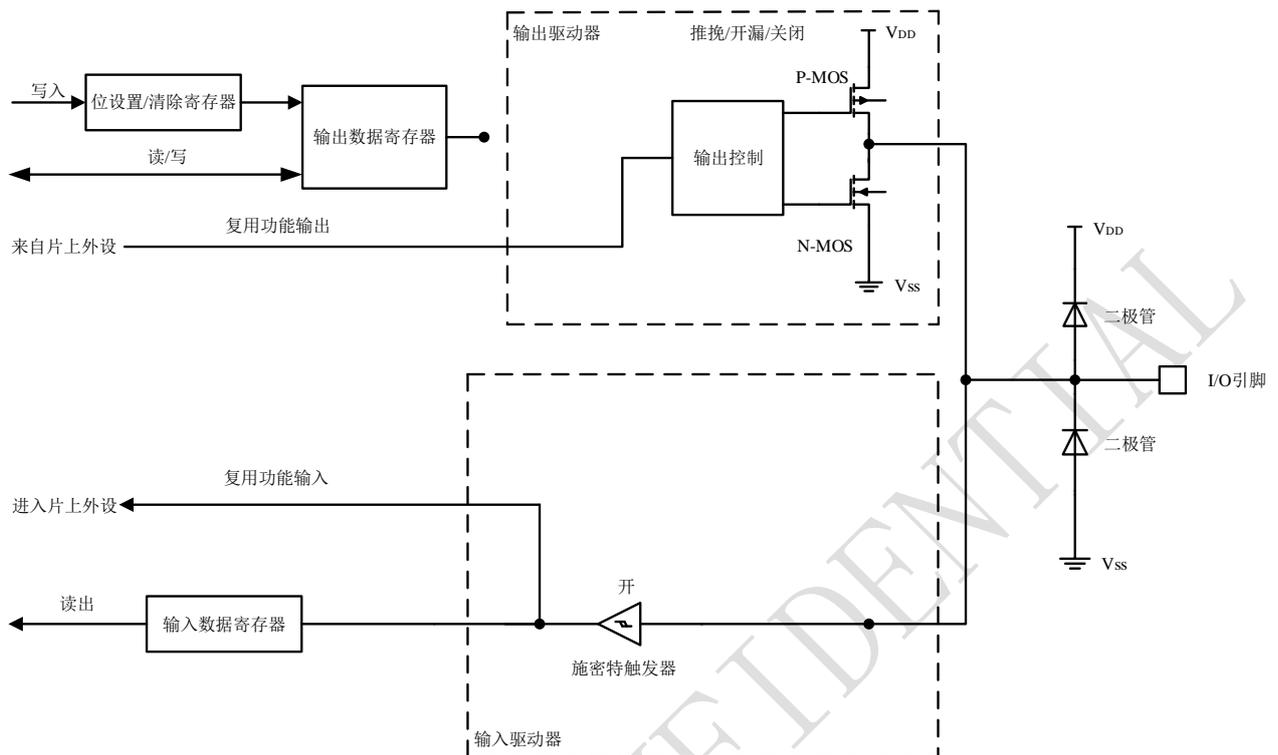


### 5.2.1.3 复用功能模式

当 I/O 端口配置为复用功能时：

- 施密特触发输入被激活
- 弱上拉和下拉电阻被禁止，取决于 `GPIOx_PUPD` 寄存器的配置
- 在开漏或推挽式配置中，输出缓冲器由外设控制
- 内置外设的信号驱动输出缓冲器
- 在每个 APB2 时钟周期，出现在 I/O 脚上的数据被采样到输入数据寄存器
- 对输入数据寄存器的读访问可得到 I/O 状态
- 对输出数据寄存器的读访问得到最后一次写的值

图 5-4 复用功能配置

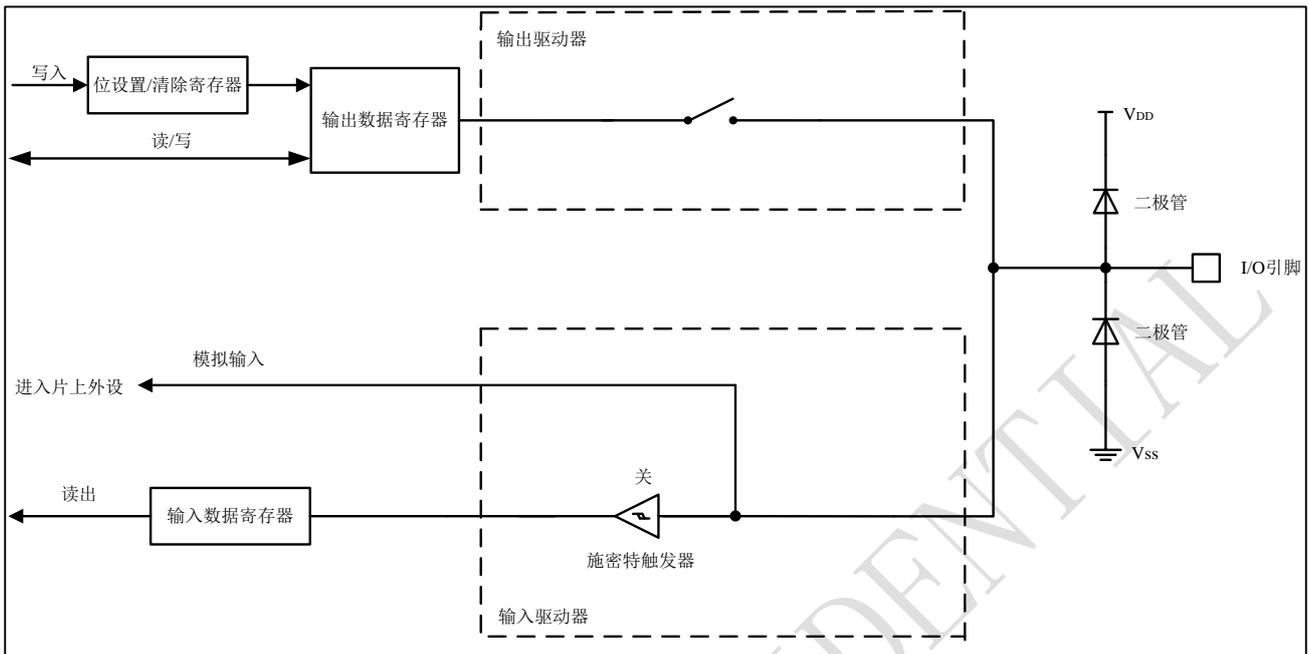


#### 5.2.1.4 模拟模式

当 I/O 端口被配置为模拟输入配置时：

- 弱上拉和下拉电阻被禁止
- 读取输入数据寄存器时数值为'0'
- 输出缓存器被禁止
- 施密特触发输入被禁止，输出值被强置为'0'（实现了每个模拟 I/O 引脚上的零消耗）

图 5-5 高阻抗的模拟输入配置



## 5.2.2 复位后状态

复位期间和刚复位后，复用功能未开启，I/O 端口被配置成模拟输入模式（ $PMODEx[1:0]=2'b11$ ）。但有以下几个例外的信号：

- RESET 默认无 GPIO 功能：
  - ◆ RESET 上拉输入
- 复位后，调试系统相关的引脚默认配置为 SWD 接口 I/O 配置：
  - ◆ PA4: SWCLK 置于输入下拉模式
  - ◆ PA5: SWDIO 置于输入上拉模式

## 5.2.3 单独的位设置和位清除

通过对“位设置/清除寄存器（ $GPIOx\_PBSC$ ）和位清除寄存器（ $GPIOx\_PBC$ ）”中想要更改的位写‘1’来实现对数据寄存器（ $GPIOx\_POD$ ）的个别位操作，可以一个或多个位。写‘1’的位被相应的置位或清除，没被写‘1’的位将不被更改。软件不需要禁止中断，在单次 APB2 写操作里完成。

## 5.2.4 外部中断/唤醒线

所有端口都有外部中断能力，可以在 EXTI 模块中配置：

- 端口必须配置成输入模式
- 所有端口可配置用于 Idle，Standby 或 Sleep 模式唤醒，支持上升或下降沿可配
- PB3，可用于 PD 模式唤醒
- 通用 I/O 端口以图 6-2 的方式连接到 8 个外部中断/事件线上，由寄存器 AFIO\_EXTI\_CFGx 配置

## 5.2.5 复用功能

当端口配置位 AFIO 时，端口引脚用作外设复用功能，使用前必须对端口位配置寄存器（GPIOx\_AFL/GPIOx\_AFH，GPIOx\_PMODE，GPIOx\_POTYPE 和 GPIOx\_PUPD），复用输入或输出由外设确定。

### 5.2.5.1 软件重新映射 I/O 复用功能

为拓展不同器件封装下的复用外设功能灵活性，可以把一些外设复用功能重新映射到其他引脚上。每个 IO 有多达 8 个可复用的功能 (AF0~ AF7)。复位后，AF\_SELy 默认选择为 AF0。可以通过软件配置相应的寄存器（GPIOx\_AFRL/AFRH）来重新映射 IO 复用功能。

这时，复用功能就不再映射到它们的原始引脚上(对于外设的 IO 重映射功能，若重映射到不同的 PAD，则输入为重映射多选一，输出则接到重映射后的位置，原位置断开)。

#### 5.2.5.1.1 SWD 复用功能 I/O 重映射

表 5-3 SWD 复用功能 I/O 重映射

复用功能	IO	重映射(remap)
SWDIO	PA5	AF0
	PB7	AF6
SWCLK	PA4	AF0
	PB6	AF6

#### 5.2.5.1.2 TIMx 复用功能 I/O 重映射

##### 5.2.5.1.2.1 TIM1 复用功能 I/O 重映射

表 5-4 TIM1 复用功能 I/O 重映射

复用功能	IO	重映射
TIM1_ETR	PA5	AF1
TIM1_BKIN	PA6	AF1
TIM1_CH1	PB0	AF1
	PB8	AF1
TIM1_CH2	PB1	AF1
	PB9	AF1
TIM1_CH3	PB2	AF1
	PB10	AF1
TIM1_CH4	PB3	AF1
	PB11	AF1
TIM1_CH1N	PB12	AF1
TIM1_CH2N	PB13	AF1
TIM1_CH3N	PA4	AF1

### 5.2.5.1.2.2 TIM3 复用功能 I/O 重映射

表 5-5 TIM3 复用功能 I/O 重映射

复用功能	IO	重映射
TIM3_CH1	PB4	AF2
TIM3_CH2	PB5	AF2
TIM3_CH3	PB6	AF2
TIM3_CH4	PB7	AF2

### 5.2.5.1.3 USARTx 复用功能 I/O 重映射

#### 5.2.5.1.3.1 USART1 复用功能 I/O 重映射

表 5-6 USART1 复用功能 I/O 重映射

复用功能	IO	重映射
USART1_CTS	PB1	AF3
	PB9	AF3
USART1_RTS	PB0	AF3
	PB8	AF3
USART1_TX	PA4	AF3
	PB6	AF4
USART1_RX	PA5	AF3
	PB7	AF4
USART1_CK	PA6	AF3

#### 5.2.5.1.3.2 USART2 复用功能 I/O 重映射

表 5-7 USART2 复用功能 I/O 重映射

复用功能	IO	重映射
USART2_TX	PB4	AF3
	PA6	AF2
USART2_RX	PB5	AF3
	PB10	AF3
USART2_CK	PB13	AF3
USART2_RTS	PB11	AF3
USART2_CTS	PB12	AF3

### 5.2.5.1.3.3 LPUART 复用功能 I/O 重映射

表 5-8 LPUART 复用功能 I/O 重映射

复用功能	IO	重映射
LPUART_CTS	PB13	AF2
	PB3	AF4
LPUART_RTS	PB10	AF2
	PB0	AF4
LPUART_TX	PB12	AF2
	PB1	AF4
LPUART_RX	PB11	AF2
	PB2	AF4

### 5.2.5.1.4 I2C 复用功能 I/O 重映射

表 5-9 I2C 复用功能 I/O 重映射

复用功能	IO	重映射
I2C_SCL	PB7	AF3
	PB9	AF2
I2C_SDA	PB6	AF3
	PB8	AF2
I2C_SMBA	PB10	AF4
	PB11	AF4

### 5.2.5.1.5 SPI/I2S 复用功能 I/O 重映射

#### 5.2.5.1.5.1 SPI1/I2S1 复用功能 I/O 重映射

表 5-10 SPI1/I2S1 管脚重映射

复用功能	IO	重映射
SPI1_I2S1_NSS_WS	PA0	AF1
SPI1_I2S1_SCK_CK	PA1	AF1
SPI1_I2S1_MISO_MCK	PA3	AF1
SPI1_I2S1_MOSI_SD	PA2	AF1

### 5.2.5.1.5.2 SPI2/I2S2 复用功能 I/O 重映射

表 5-11 SPI2/I2S2 管脚重映射

复用功能	IO	重映射
SPI2_I2S2_NSS_WS	PB0	AF2
	PB7	AF1
SPI2_I2S2_SCK_CK	PB1	AF2
	PB4	AF1
SPI2_I2S2_MISO_MCK	PB3	AF2
	PB5	AF1
SPI2_I2S2_MOSI_SD	PB2	AF2
	PB6	AF1

### 5.2.5.1.6 IRC 复用功能 I/O 重映射

表 5-12 IRC 复用功能 I/O 重映射

复用功能	IO	重映射
IRC_TX	PB4	AF2

- ◆ PB4.AF2 可以用于 IRC\_TX 或 TIM3\_CH1 引脚(默认)。
- ◆ 通过设置 IR\_CTRL 寄存器 IR\_ENABLE 位来开启 IRC 这一功能。

### 5.2.5.1.7 KEYSKAN 复用功能 I/O 重映射

表 5-13 KEYSKAN 复用功能 I/O 重映射

复用功能	IO	重映射
KEY1	PA0	AF5
KEY2	PA1	AF5
KEY3	PA2	AF5
KEY4	PA3	AF5
KEY5	PA6	AF5
KEY6	PB10	AF5
KEY7	PB8	AF5
KEY8	PB9	AF5
KEY9	PA4	AF5
KEY10	PA5	AF5
KEY11	PB0	AF5
KEY12	PB1	AF5
KEY13	PB2	AF5

### 5.2.5.1.8 BLE 复用功能 I/O 重映射

表 5-14 BLE 复用功能 I/O 重映射

复用功能	IO	重映射
PA_LDO_EN	PB3	AF6
ANT_SW1	PB3	AF7
ANT_SW2	PB6	AF7
ANT_SW3	PB7	AF7
ANT_SW4	PB1	AF7
ANT_SW5	PB2	AF7
ANT_SW6	PB4	AF7
ANT_SW7	PB5	AF7

### 5.2.5.1.9 RCC 复用功能 I/O 重映射

表 5-15 RCC\_MCO 复用功能 I/O 重映射

复用功能	IO	重映射
MCO	PB5	AF4

### 5.2.5.2 OSC32K\_IN/OSC32K\_OUT 复用功能 I/O 重映射

表 5-16 OSC32\_IN/OSC32\_OUT 复用功能重映射

复用功能	IO	重映射
OSC32_IN	PB8	AF0
OSC32_OUT	PB9	AF0

PB8~PB9 两个 PAD 可以作为 LSE 晶体/外部时钟模式或其他复用功能模式：

- ◆ PB8 和 PB9 可以用于 LSE (OSC32\_IN, OSC32\_OUT) 引脚。
- ◆ 通过设置 RCC\_LSCTRL 寄存器 LSEEN /LSEBP 位来开启 LSE 这一功能。

表 5-17 PB8/PB9 复用功能重映射

PB8和PB9	条件	PAD模式配置
LSE晶体模式	RCC_LSCTRL寄存器 LSEEN 使能, 复用模式开启	模拟模式
LSE外部时钟模式	RCC_LSCTRL寄存器 LSEEN禁能, LSEBP 使能, 复用模式开启	模拟模式(PB8)
其他功能模式	LSE关闭, 且不进入低功耗模式 (PD) 关闭VDDD电源时, 才能用于其他功能模式	其他功能的模式由应用决定

默认为模拟模式；PB8 和 PB9 根据 LSEEN、LSEBP、GPIOx\_PMODE, GPIOx\_POTYPE 和 GPIOx\_PUPD 决定处于何种模式以及 IO 功能。

## 5.2.6 外设的 IO 配置

表 5-18 ADC

ADC	PAD配置
ADC	模拟输入

表 5-19 TIM1

TIM1引脚	配置	PAD配置模式
TIM1_CHx	输入捕获通道x	浮空输入
	输出比较通道x	推挽复用输出
TIM1_CHxN	互补输出通道x	推挽复用输出
TIM1_BKIN	刹车输入	浮空输入
TIM1_ETR	外部触发时钟输入	浮空输入

表 5-20 TIM3

TIM3引脚	配置	PAD配置模式
TIM3_CHx	输入捕获通道x	浮空输入
	输出比较通道x	推挽复用输出

表 5-21 USART

USART引脚	配置	PAD配置
USART_TX	全双工模式	推挽复用输出
	半双工同步模式	推挽复用输出
USART_RX	全双工模式	浮空输入或带上拉输入
	半双工同步模式	未用，可作为通用I/O
USART_CK	同步模式	推挽复用输出
USART_RTS	硬件流量控制	推挽复用输出
USART_CTS	硬件流量控制	浮空输入或带上拉输入

表 5-22 LPUART

LPUARTx引脚	配置	PAD配置
LPUART_TX	全双工模式	推挽复用输出
LPUART_RX	全双工模式	浮空输入或带上拉输入
LPUART_RTS	硬件流量控制	推挽复用输出
LPUART_CTS	硬件流量控制	浮空输入或带上拉输入

表 5-23 I2C

I2C引脚	配置	PAD配置
I2C_SCL	I2C时钟	开漏复用输出
I2C_SDA	I2C数据	开漏复用输出
I2C_SMBA	SMBA数据	推挽复用输出

表 5-24 SPI

SPI引脚	配置	PAD配置
SPIx_SCK	主模式	推挽复用输出
	从模式	浮空输入
SPIx_MOSI	全双工模式/主模式	推挽复用输出
	全双工模式/从模式	浮空输入或带上拉输入或推挽复用输出
	简单的双向数据线/主模式	推挽复用输出
	简单的双向数据线/从模式	未用，可作为通用I/O
SPIx_MISO	全双工模式/主模式	浮空输入或带上拉输入或推挽复用输出
	全双工模式/从模式	推挽复用输出
	简单的双向数据线/主模式	未用，可作为通用I/O
	简单的双向数据线/从模式	推挽复用输出
SPIx_NSS	硬件主/从模式	浮空输入或带上拉输入或带下拉输入
	硬件主模式/NSS输出使能	推挽复用输出（作为主机时NSS可选择idle高阻或idle为1）
	软件模式	未用，可作为通用I/O

表 5-25 I2S

I2S引脚	配置	PAD配置模式
I2Sx_WS	主模式	推挽复用输出
	从模式	浮空输入
I2Sx_CK	主模式	推挽复用输出
	从模式	浮空输入
I2Sx_SD	发送器	推挽复用输出
	接收器	浮空输入或带上拉输入或带下拉输入
I2Sx_MCK	主模式	推挽复用输出
	从模式	未用，可作为通用I/O

表 5-26 IRC

IRC	PAD配置
IRC_TX	推挽复用输出

表 5-27 KEYSKAN

KEYSCAN	PAD配置
KEYx	带上拉输入或带下拉输入或推挽复用输出

表 5-28 BLE

BLE	PAD配置
PA_LDO_EN	推挽复用输出
ANT_SWx	推挽复用输出

表 5-29 其他

引脚	复用功能	GPIO配置
MCO	时钟输出	推挽复用输出
EXTI输入线	外部中断输入	浮空输入或带上拉输入或带下拉输入

### 5.2.7 GPIO 锁定机制

锁定机制用于冻结 IO 配置以防止被意外更改。当在一个端口位上执行了锁定 (LOCK) 程序，在下一次复位之前，不能再更改端口的配置，参考端口配置锁定寄存器 GPIOx\_PLOCK。

- PLOCKK 即 GPIOx\_PLOCK[16]，只有在对 PLOCKK 按照正确的序列 w1->w0->w1->r0（此处 r0 必须有）操作之后，才会变为 1；之后只有在进行系统复位才会变为 0。
- PLOCKy 即 GPIOx\_PLOCK[15:0]，只有在 PLOCKK = 0 也就是未锁定的时候才能进行修改。
- PLOCKK 只有在和非 0 的 GPIOx\_PLOCK[15:0]同时写入的情况下，序列 w1->w0->w1->r0 才会有效；序列写入的过程中，GPIOx\_PLOCK [15:0]必须不能改变；
- 只要 PLOCKK = 0，GPIOx\_PMODE/GPIOx\_POTYPE/GPIOx\_PUPD/GPIOx\_AFL/GPIOx\_AFH 的位都能修改，不受 GPIOx\_PLOCK [15:0]配置的影响。
- PLOCKK=1，GPIOx\_PMODE/GPIOx\_POTYPE/GPIOx\_PUPD/GPIOx\_AFL/GPIOx\_AFH 受 GPIOx\_PLOCK[15:0]的控制，对应 PLOCKy (y = 0...15) = 1，为锁定配置，不可修改，PLOCKy = 0，可以修改。
- 假如序列操作错误，必须重新进行 w1->w0->w1->r0 才能再次发起锁定操作。

### 5.3 GPIO 寄存器

必须以 32 位字的方式操作这些外设寄存器。

#### 5.3.1 GPIO 寄存器地址映像

Off set	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000 h	GPIOx_PMODE	x=A	Reserved		Reserved		PMODE13[1:0]	PMODE12[1:0]	PMODE11[1:0]	PMODE10[1:0]	PMODE9[1:0]	PMODE8[1:0]	PMODE7[1:0]	PMODE6[1:0]	PMODE5[1:0]	PMODE4[1:0]	PMODE3[1:0]	PMODE2[1:0]	PMODE1[1:0]	PMODE0[1:0]														
		x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
		x=B	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
004 h	GPIOx_POTYPE	x=A	Reserved															Reserved	Reserved	POT13	POT12	POT11	POT10	POT9	POT8	POT7	POT6	POT5	POT4	POT3	POT2	POT1	POT0	
		x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
		x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
008 h	GPIOx_SR	x=A	Reserved															Reserved	Reserved	SR13	SR12	SR11	SR10	SR9	SR8	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0	
		x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
		x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

00 Ch	GPIOx _PUP D	x=A .B	Reserved		Reserved		PUPD13[1:0]		PUPD12[1:0]		PUPD11[1:0]		PUPD10[1:0]		PUPD9[1:0]		PUPD8[1:0]		PUPD7[1:0]		PUPD6[1:0]		PUPD5[1:0]		PUPD4[1:0]		PUPD3[1:0]		PUPD2[1:0]		PUPD1[1:0]		PUPD0[1:0]						
		Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0					
			x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
010 h	GPIOx _PID	x=A .B	Reserved																				Reserved	Reserved	PID13	PID12	PID11	PID10	PID9	PID8	PID7	PID6	PID5	PID4	PID3	PID2	PID1	PID0	
		Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
			x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
014 h	GPIOx _POD	x=A .B	Reserved																				Reserved	Reserved	POD13	POD12	POD11	POD10	POD9	POD8	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
		Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
			x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
018 h	GPIOx _PBC C	x=A .B	Reserved	Reserved	PBC13	PBC12	PBC11	PBC10	PBC9	PBC8	PBC7	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0	Reserved	Reserved	PBS13	PBS12	PBS11	PBS10	PBS9	PBS8	PBS7	PBS6	PBS5	PBS4	PBS3	PBS2	PBS1	PBS0					
		Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
			x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
01 Ch	GPIOx _PLOC CK	x=A .B	Reserved																				PLOCKK	Reserved	Reserved	PLOCK13	PLOCK12	PLOCK11	PLOCK10	PLOCK9	PLOCK8	PLOCK7	PLOCK6	PLOCK5	PLOCK4	PLOCK3	PLOCK2	PLOCK1	PLOCK0
		Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
			x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
020 h	GPIOx _AFSEL	x=A .B	AFSEL7[3:0]			AFSEL6[3:0]			AFSEL5[3:0]			AFSEL4[3:0]			AFSEL3[3:0]			AFSEL2[3:0]			AFSEL1[3:0]																		
		Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
			x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
024 h	GPIOx _AFH	x=B	Reserved			Reserved			AFSEL13[3:0]			AFSEL12[3:0]			AFSEL11[3:0]			AFSEL10[3:0]			AFSEL9[3:0]			AFSEL8[3:0]															
		Reset Value	x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
028 h	GPIOx _PBC	x=A .B	Reserved		DS13	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0																					
		Reset Value	x=A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																				
			x=B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																			
02 Ch	GPIOx _DS	x=A .B	Reserved																				Reserved	Reserved	PID13	PID12	PID11	PID10	PID9	PID8	PID7	PID6	PID5	PID4	PID3	PID2	PID1	PID0	
		Reset Value	x=A	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1			
			x=B	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1		

### 5.3.2 GPIO 端口模式寄存器 ( GPIOx\_PMODE )

偏移地址: 0x00

复位值: 0x00003AFF (x=A); 0x0FFF FFFF (x=B);

31	28	27	26	25	24	23	22	21	20	19	18	17	16		
Reserved				PMODE13[1:0]		PMODE12[1:0]		PMODE11[1:0]		PMODE10[1:0]		PMODE9[1:0]		PMODE8[1:0]	
				rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMODE7[1:0]		PMODE6[1:0]		PMODE5[1:0]		PMODE4[1:0]		PMODE3[1:0]		PMODE2[1:0]		PMODE1[1:0]		PMODE0[1:0]	
rw		rw		rw		rw		rw		rw		rw		rw	

位域	名称	描述
31:30	PMODEy [1:0]	端口 GPIOx (x = A,B) 引脚 PINy 的模式: 00: 输入模式 01: 通用输出模式 10: 复用功能模式 11: 模拟功能模式 注: x = A 时, y = 0...6; x = B 时, y = 0...13; 其余位为保留, 保留位为只读;
29:28		
27:26		
25:24		
23:22		
21:20		
19:18		
17:16		
15:14		
13:12		
11:10		
9:8		
7:6		
5:4		
3:2		
1:0		

### 5.3.3 GPIO 端口输出类型寄存器 (GPIOx\_POTYPE)

偏移地址: 0x04

复位值: 0x0000 0000 (x=A,B)

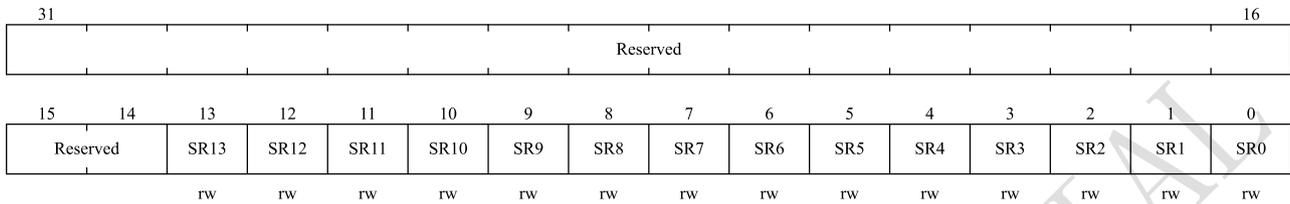
31	Reserved														16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		POT13	POT12	POT11	POT10	POT9	POT8	POT7	POT6	POT5	POT4	POT3	POT2	POT1	POT0
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:16	Reserved	必须保持复位值。
15:0	POTy	端口 GPIOx (x = A,B) 引脚 PINy 的输出类型: 0: 输出推挽模式 (复位后的状态) 1: 输出开漏模式 注: x = A 时, y = 0...6; x = B 时, y = 0...13, 其余位为保留, 保留位为只读;

### 5.3.4 GPIO 翻转率配置寄存器 ( GPIOx\_SR )

偏移地址: 0x08

复位值: 0x0000 1FFF (x=A), 0x0000 3FFF (x=B);

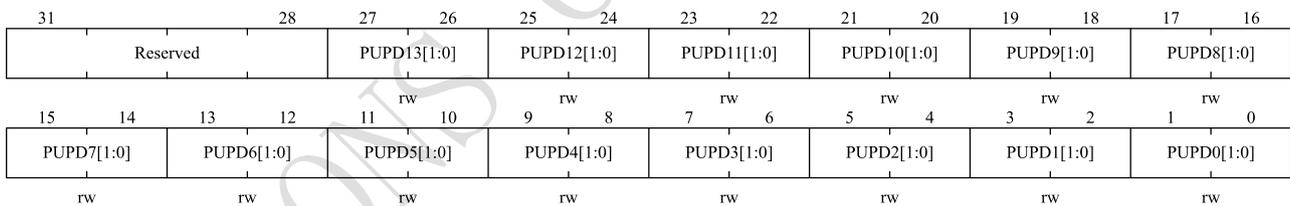


位域	名称	描述
31:16	Reserved	必须保持复位值。
15:0	SRy	端口 GPIOx (x = A,B) 引脚 PINy 的翻转率配置位 0: 快速翻转 1: 慢速翻转 注: x = A 时, y = 0...6; x = B 时, y = 0...13, 其余位为保留, 保留位为只读;

### 5.3.5 GPIO 端口上下拉寄存器 ( GPIOx\_PUPD )

偏移地址: 0x0C

复位值: 0x0015 0600 (x=A); 0x0000 0000 (x=B)



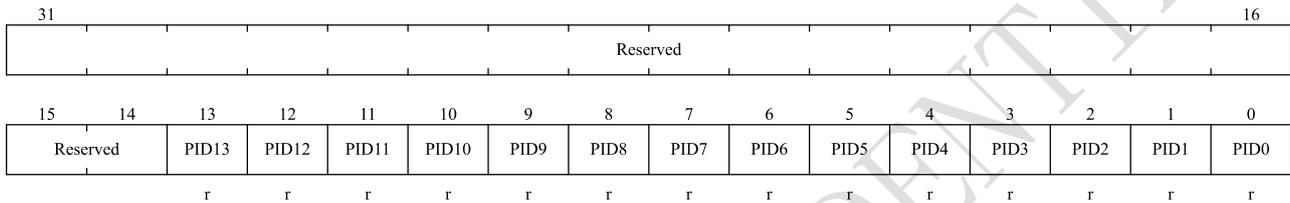
位域	名称	描述
31:30	PUPDy[1:0]	端口 GPIOx (x = A,B) 引脚 PINy 的上拉下拉模式: 00: 无上/下拉 01: 上拉 10: 下拉 11: 保留 注: x = A 时, y = 0...6; x = B 时, y = 0...13, 其余位为保留, 保留位为只读;
29:28		
27:26		
25:24		
23:22		
21:20		
19:18		
17:16		
15:14		
13:12		
11:10		
9:8		

位域	名称	描述
7:6 5:4 3:2 1:0		

### 5.3.6 GPIO 端口输入数据寄存器 ( GPIOx\_PID )

偏移地址: 0x10

复位值: 0x0000 0000 (x=A,B)

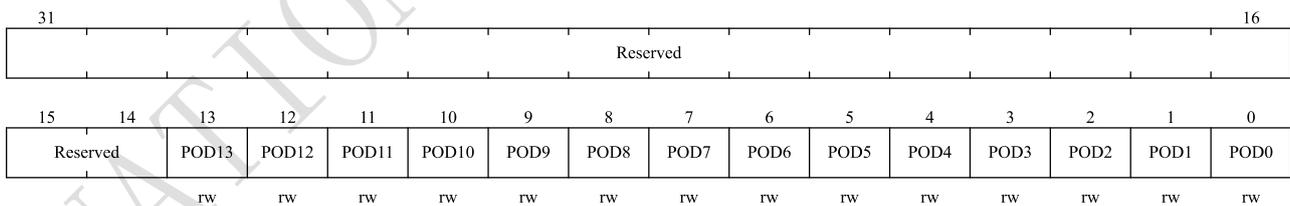


位域	名称	描述
31:16	Reserved	必须保持复位值。
15:0	PIDy	端口 GPIOx (x=A,B) 引脚 PINy 的输入数据 这些位为只读, 读出的值为对应 I/O 口的状态。 <i>注: x=A 时, y=0...6; x=B 时, y=0...13, 其余位为保留, 保留位为只读;</i>

### 5.3.7 GPIO 端口输出数据寄存器 ( GPIOx\_POD )

偏移地址: 0x14

复位值: 0x0000 0000 (x=A,B)

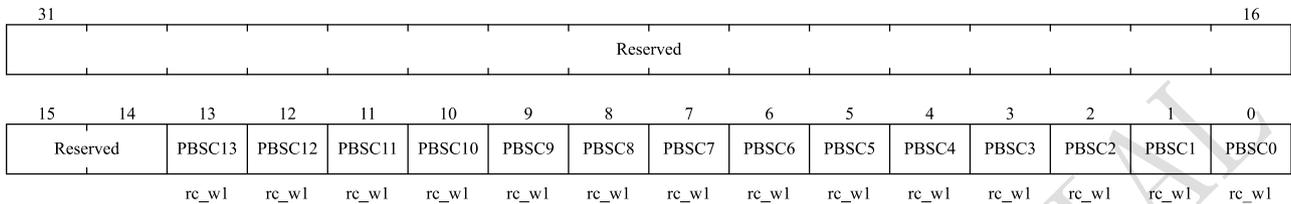


位域	名称	描述
31:16	Reserved	必须保持复位值。
15:0	PODy	端口 GPIOx (x=A,B) 引脚 PINy 的输出数据 这些位可由软件读出或写入, 可对相应的 POD 位进行独立的设置/清除。 <i>注: x=A 时, y=0...6; x=B 时, y=0...13, 其余位为保留, 保留位为只读;</i>

### 5.3.8 GPIO 端口位设置/清除寄存器 ( GPIOx\_PBSC )

偏移地址: 0x18

复位值: 0x0000 0000 (x= A,B)

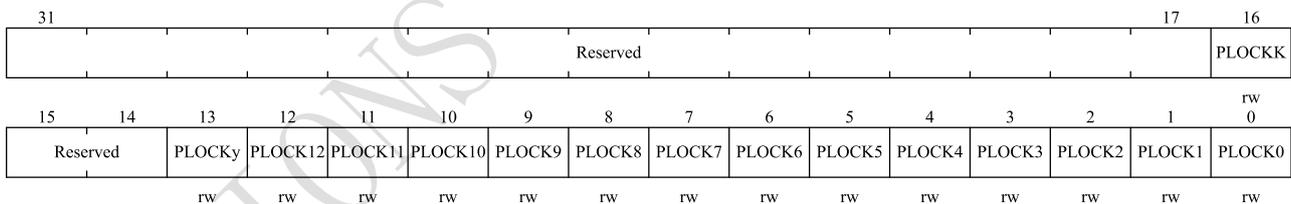


位域	名称	描述
31:14	Reserved	必须保持复位值
13:0	PBSy	设置端口 GPIOx (x = A,B) 的位 y 这些位只能写入。 0: 对相应的 PODy 位不产生影响 1: 设置对应的 PODy 位为 1 注: x = A 时, y = 0...6; x = B 时, y = 0...13, 其余位为保留, 保留位为只读;

### 5.3.9 GPIO 端口锁定置寄存器 ( GPIOx\_PLOCK )

偏移地址: 0x1C

复位值: 0x0000 0000 (x = A,B)



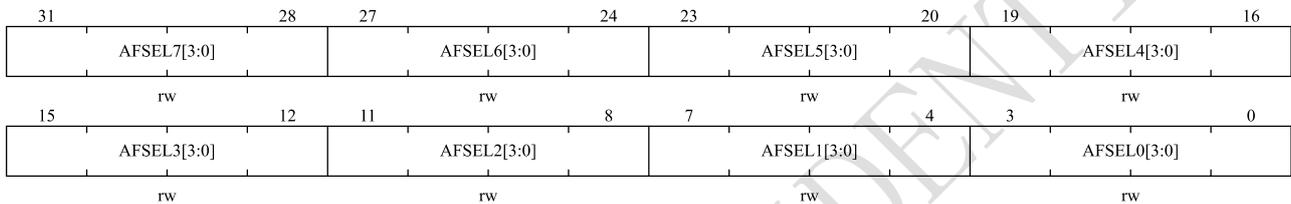
位域	名称	描述
31:17	Reserved	必须保持复位值。
16	PLOCKK	锁键 该位可随时读出, 它只可通过锁键写入序列修改。 0: 端口配置锁键位未激活 1: 端口配置锁键位被激活, 下次系统复位前 GPIOx_PLOCK 寄存器被锁住。 锁键写入序列: 写 1 -> 写 0 -> 写 1 -> 读 0 -> (读 1) 最后一个读 1 可省略, 但可以用来确认锁键已被激活。 注: 在操作锁键写入序列时, 不能改变 PLOCK[15:0] 的值。操作锁键写入序列中的任何错误将不能激活锁键。
15:0	PLOCKy	端口 GPIOx (x = A,B) 引脚 PINy 的配置锁定位

位域	名称	描述
		这些位可读可写但只能在 PLOCKK 位为 0 时写入。 0: 不锁定端口的配置 1: 锁定端口的配置 注: $x = A$ 时, $y = 0 \cdots 6$ ; $x = B$ 时, $y = 0 \cdots 13$ , 其余位为保留, 保留位为只读;

### 5.3.10 GPIO 复用功能低配置寄存器 ( GPIOx\_AFL )

偏移地址: 0x20

复位值: 0x0000 0000 ( $x = A, B$ )

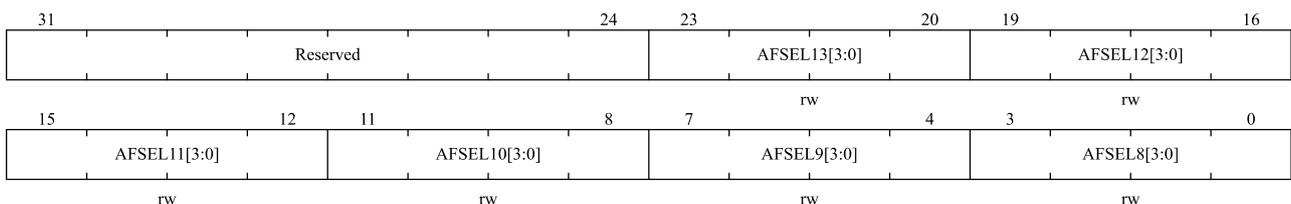


位域	名称	描述
31:28	AFSELy[3:0]	端口 GPIOx ( $x = A, B$ ) 引脚 PINy ( $y = 0 \cdots 7$ ) 的复用功能配置位 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: AF5 0110: AF6 0111: AF7 其他: reserved 注: $x = A$ 时, $y = 0 \cdots 6$ ; $x = B$ 时, $y = 0 \cdots 7$ , 其余位为保留, 保留位为只读;
27:24		
23:20		
19:16		
15:12		
11:8		
7:4		
3:0		

### 5.3.11 GPIO 复用功能高配置寄存器 ( GPIOx\_AFH )

偏移地址: 0x24

复位值: 0x0000 0000 ( $x = B$ );

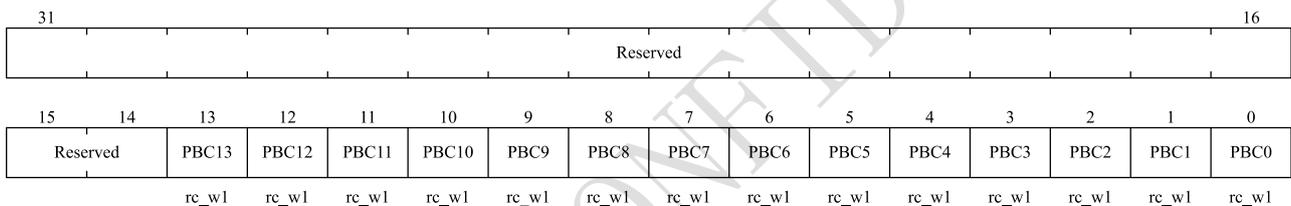


位域	名称	描述
31:28 27:24 23:20 19:16 15:12 11:8 7:4 3:0	AFSELY[3:0]	端口 GPIOx (x = B) 引脚 PINy (y = 8...13) 的复用功能配置位 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: AF5 0110: AF6 0111: AF7 <i>注: x = B 时, y = 8...13;</i>

### 5.3.12 GPIO 端口位清除寄存器 ( GPIOx\_PBC )

偏移地址: 0x28

复位值: 0x0000 0000 (x = A,B)

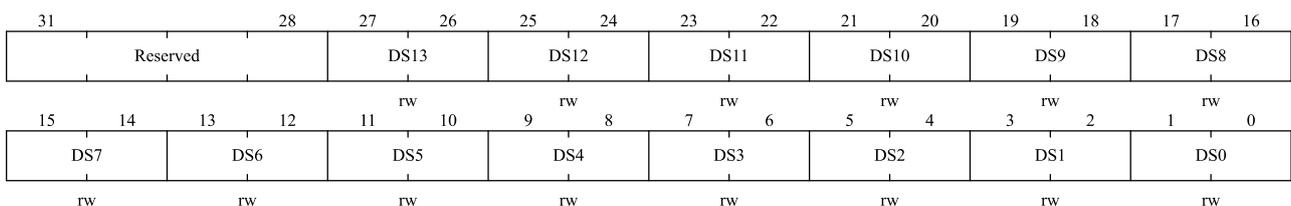


位域	名称	描述
31:16	Reserved	必须保持复位值。
15:0	PBCy	清除端口 GPIOx 的位 y (y = 0...15) 这些位只能写入。 0: 对相应的 PODy 位不产生影响 1: 清除对应的 PODy 位为 0 <i>注: x = A 时, y = 0...6; x = B 时, y = 0...13, 其余位为保留, 保留位为只读;</i>

### 5.3.13 GPIO 驱动能力配置寄存器 ( GPIOx\_DS )

偏移地址: 0x2C

复位值: 0x0155 5555 (x = A) , 0x05555555 (x = B) ;



位域	名称	描述
31:28	Reserved	必须保持复位值。
27:26	DSy	端口 GPIOx (x = A,B) 引脚 PINy (y = 0...13) 的驱动能力配置位 00 : 2mA 驱动能力 10 : 4mA 驱动能力 01 : 8mA 驱动能力 11 : 12mA 驱动能力 注: x = A 时, y = 0...6; x = B 时, y = 0...13, 其余位为保留, 保留位为只读;
25:24		
23:22		
21:20		
19:18		
17:16		
15:14		
13:12		
11:10		
9:8		
7:6		
5:4		
3:2		
1:0		

## 5.4 AFIO 寄存器

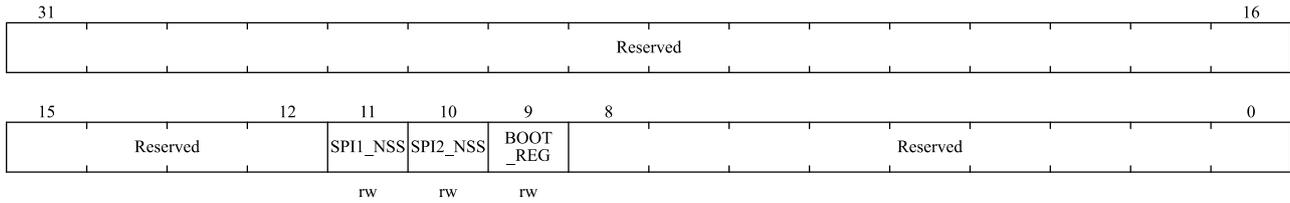
### 5.4.1 AFIO 寄存器地址映像

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	AFIO_CFG	Reserved																				SPI1_NSS	SPI2_NSS	BOOT_REG	Reserved									
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
004h	AFIO_EXTI_CFG1	Reserved																				EXTI3_CFG[1:0]	Reserved	EXTI2_CFG[1:0]	Reserved	EXTI1_CFG[1:0]	Reserved	EXTI0_CFG[1:0]						
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
008h	AFIO_EXTI_CFG2	Reserved																				EXTI7_CFG[1:0]	Reserved	EXTI6_CFG[1:0]	Reserved	EXTI5_CFG[1:0]	Reserved	EXTI4_CFG[1:0]						
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

### 5.4.2 AFIO 配置寄存器 ( AFIO\_CFG )

偏移地址: 0x00

复位值: 0x0000 0000

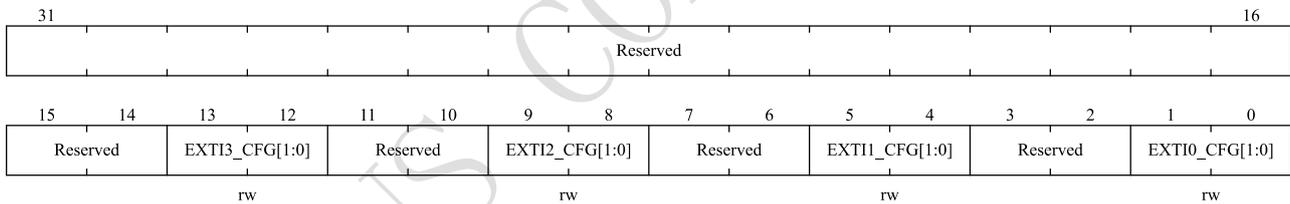


位域	名称	描述
31:12	Reserved	必须保持复位值。
11	SPI1_NSS	SPI1 的 NSS 模式选择位 (NSS 配置为 AFIO 推挽模式)。 0: NSS 空闲时为高阻态 1: NSS 空闲时为高电平
10	SPI2_NSS	SPI2 的 NSS 模式选择位 (NSS 配置为 AFIO 推挽模式)。 0: NSS 空闲时为高阻态 1: NSS 空闲时为高电平
9	BOOT_REG	Indicates if the BOOT pin is tied to 0 or 1
8:0	Reserved	必须保持复位值。

### 5.4.3 AFIO 外部中断配置寄存器 1 ( AFIO\_EXTI\_CFG1 )

偏移地址: 0x04

复位值: 0x0000 0000



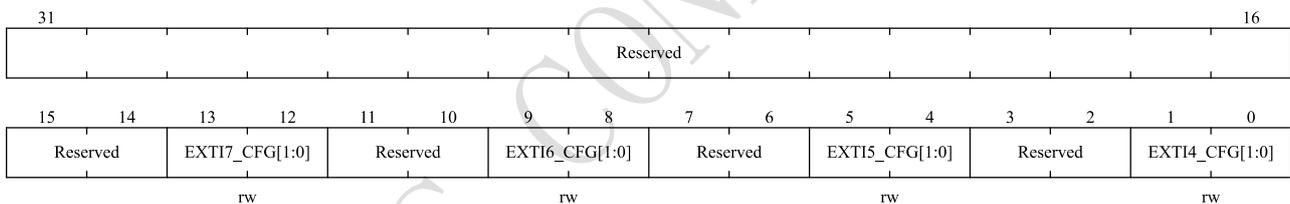
位域	名称	描述
31:14	Reserved	必须保持复位值。
13:12	EXTI3_CFG[1:0]	EXTI3 配置 这些位可由软件读写, 用于选择 EXTI3 外部中断的输入源。 00: PA[5] pin 01: PB[3] pin 10: Reserved 11:Reserved
11:10	Reserved	必须保持复位值。
9:8	EXTI2_CFG[1:0]	EXTI2 配置 这些位可由软件读写, 用于选择 EXTI2 外部中断的输入源。 00: PA[6] pin 01: PB[2] pin 10: Reserved 11: Reserved

位域	名称	描述
7:6	Reserved	必须保持复位值。
5:4	EXTI1_CFG[1:0]	EXTI1 配置 这些位可由软件读写，用于选择 EXTI1 外部中断的输入源。 00: PA[2] pin 01: PA[3] pin 10: PB[1] pin 11: Reserved
3:2	Reserved	必须保持复位值。
1:0	EXTI0_CFG[1:0]	EXTI0 配置 这些位可由软件读写，用于选择 EXTI0 外部中断的输入源。 00: PA[0] pin 01: PA[1] pin 10: PB[0] pin 11: Reserved

#### 5.4.4 AFIO 外部中断配置寄存器 2 ( AFIO\_EXTI\_CFG2 )

偏移地址: 0x08

复位值: 0x0000 0000



位域	名称	描述
31:14	Reserved	必须保持复位值。
13:12	EXTI7_CFG[1:0]	EXTI7 配置 这些位可由软件读写，用于选择 EXTI7 外部中断的输入源。 00: PB[13] pin 01: PB[7] pin 10: PB[8] pin 11: Reserved
11:10	Reserved	必须保持复位值。
9:8	EXTI6_CFG[1:0]	EXTI6 配置 这些位可由软件读写，用于选择 EXTI6 外部中断的输入源。 00: PB[12] pin 01: PB[6] pin 10: PA[4] pin 11: Reserved
7:6	Reserved	必须保持复位值。
5:4	EXTI5_CFG[1:0]	EXTI5 配置

位域	名称	描述
		这些位可由软件读写，用于选择 EXTI5 外部中断的输入源。 00: PB[10] pin 01: PB[11] pin 10: PB[5] pin 11: Reserved
3:2	Reserved	必须保持复位值。
1:0	EXTI4_CFG[1:0]	EXTI4 配置 这些位可由软件读写，用于选择 EXTI4 外部中断的输入源。 00: PB[9] pin 01: PB[4] pin 10: Reserved 11: Reserved

NATIONS CONFIDENTIAL

## 6 中断和事件

### 6.1 嵌套向量中断寄存器

#### 特性

- 32 个可屏蔽中断通道（不包含 16 个 Cortex®-M0 的中断线）
- 4 个可编程的优先等级（使用了 2 位中断优先级）
- 低延迟的异常和中断处理
- 电源管理控制
- 系统控制寄存器的实现

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。嵌套向量中断控制器管理着包括内核异常等中断。

#### 6.1.1 系统嘀嗒 ( SysTick ) 校准值寄存器

系统嘀嗒校准值固定为 8000，当系统嘀嗒时钟设定为 8MHz（HCLK/8 的最大值），产生 1ms 时间基准。

#### 6.1.2 中断和异常向量

表 6-1 向量表

位置	优先级	优先级类型	名称	说明	地址
-	-	-	Reserved	保留	0x0000 0000
-	-3	固定	Reset	复位(Reset)	0x0000 0004
-	-2	固定	NMI	不可屏蔽中断，BOR中断。	0x0000 0008
-	-1	固定	HardFault	所有类型的错误(fault)	0x0000 000C
-	3	可设置	SVCall	通过SWI指令调用的系统服务	0x0000 002C
-	5	可设置	PendSV	可挂起的系统服务请求	0x0000 0038
-	6	可设置	SysTick	系统嘀嗒定时器	0x0000 003C
0	7	可设置	WWDG	窗口看门狗中断	0x0000 0040
1	8	可设置	BLE_SW_IRQ	BLE SW触发中断,根据SW请求生成	0x0000 0044
2	9	可设置	RTC	RTC中断（联接EXTI线8和9）	0x0000 0048
3	10	可设置	BLE_HSL0T_IRQ	BLE 半时隙参考中断,在活动模式下每312.5us产生1次	0x0000 004C
4	11	可设置	FLASH	FLASH全局中断	0x0000 0050
5	12	可设置	RCC	RCC全局中断	0x0000 0054
6	13	可设置	EXTI0_1	EXTI线[1:0] 中断	0x0000 0058
7	14	可设置	EXTI2_3	EXTI 线[3:2] 中断	0x0000 005C
8	15	可设置	EXTI4_12	EXTI线[12:4] 中断	0x0000 0060
9	16	可设置	BLE_FINETGT_IRQ	BLE精细时间中断,由寄存器设置数值,	0x0000 0064

位置	优先级	优先级类型	名称	说明	地址
				参考为内部定时器,精度625μs	
10	17	可设置	BLE_FIFO_IRQ	BLE Fifo中断	0x0000 0068
11	18	可设置	DMA_CH1_2_3_4	DMA通道1/2/3/4中断	0x0000 006C
12	19	可设置	DMA_CH5	DMA通道5中断	0x0000 0070
13	20	可设置	TIM1_BRK_UP_TRG_COM	TIM1刹车、更新、触发和通信中断	0x0000 0074
14	21	可设置	TIM1_CC	TIM1捕获比较中断	0x0000 0078
15	22	可设置	Reserved	保留	0x0000 007C
16	23	可设置	TIM3	TIM3全局中断	0x0000 0080
17	24	可设置	BLE_ERROR_IRQ	BLE错误中断,当CPU和RW_BT-LE系统尝试同时访问相同内存空间时生成	0x0000 0084
18	25	可设置	BLE_CRYPT_IRQ	BLE 加密/解密中断,在加密/解密终止时产生,并由寄存器控制	0x0000 0088
19	26	可设置	BLE_TIMESTAMP_TGT1_IRQ	BLE 时间戳目标1中断,在定义的瞬间产生,精度为0.5us	0x0000 008C
20	27	可设置	TIM6	TIM6全局中断	0x0000 0090
21	28	可设置	ADC	ADC全局中断	0x0000 0094
22	29	可设置	SPI2_I2S2	SPI2_I2S2全局中断	0x0000 0098
23	30	可设置	I2C	I2C全局中断	0x0000 009C
24	31	可设置	BLE_TIMESTAMP_TGT2_IRQ	BLE 时间戳目标2中断,在定义的瞬间产生,精度为0.5us	0x0000 00A0
25	32	可设置	SPI1_I2S1	SPI1_I2S1全局中断	0x0000 00A4
26	33	可设置	BLE_SLP_IRQ	BLE 睡眠模式中断,在预先确定的唤醒时间的情况下产生(联接EXTI线11)	0x0000 00A8
27	34	可设置	KEYSCAN	KEYSCAN按键中断	0x0000 00AC
28	35	可设置	USART1	USART1全局中断	0x0000 00B0
29	36	可设置	LPUART	LPUART全局中断(联接EXTI线10)	0x0000 00B4
30	37	可设置	USART2	USART2全局中断	0x0000 00B8
31	38	可设置	IRC	IRC全局中断	0x0000 00BC

## 6.2 外部中断/事件控制器 (EXTI)

### 6.2.1 EXTI 简介

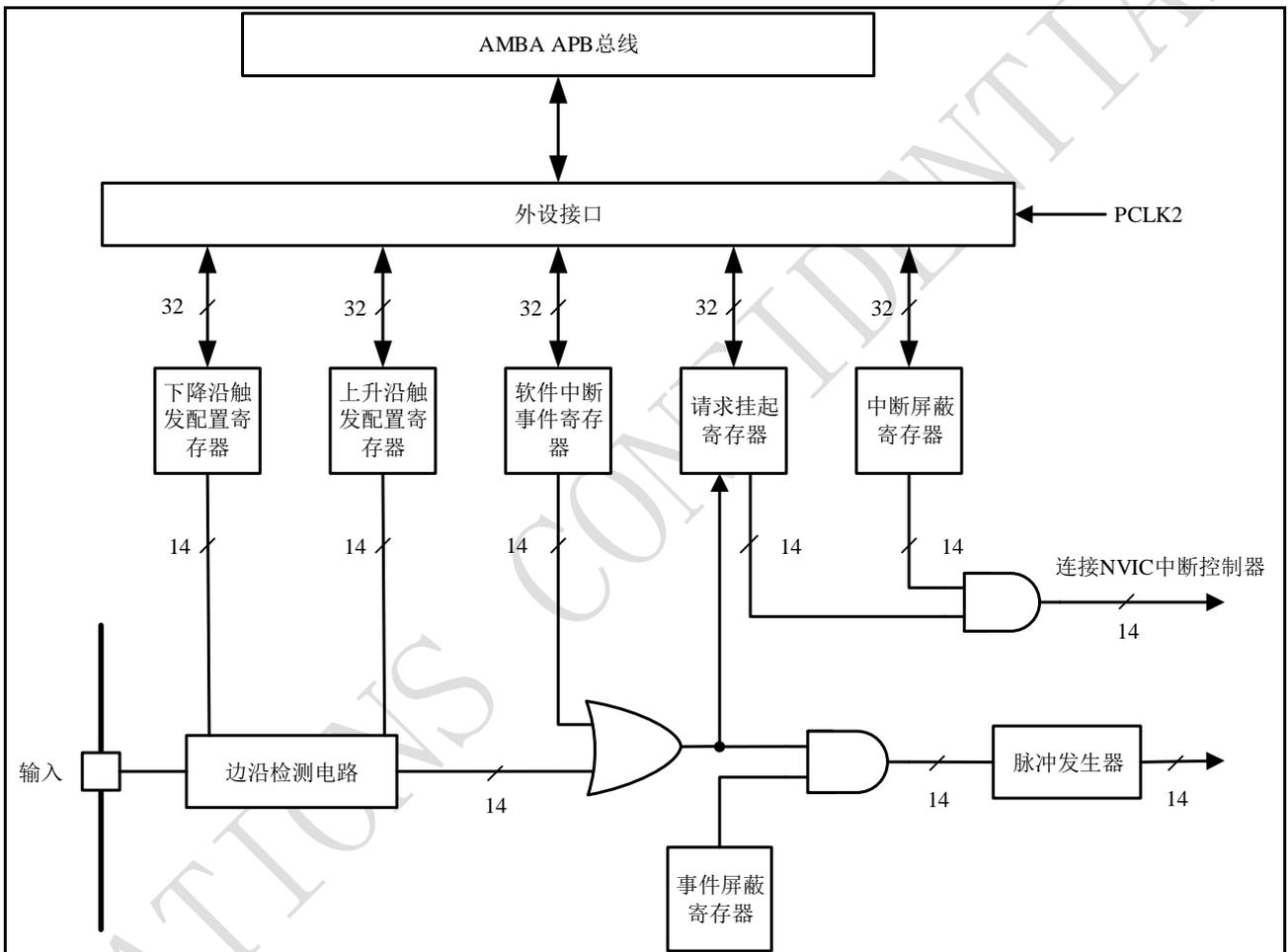
外部中断/事件控制器包含 14 个产生中断/事件触发的边沿检测电路, 每条输入线可以独立地配置脉冲或挂起输入类型, 以及上升沿、下降沿或者双边沿 3 种触发事件类型, 也可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求, 可通过在挂起寄存器的对应位写'1'操作, 清除中断请求。

### 6.2.2 EXTI 主要特性

EXTI 控制器的主要特性如下:

- 支持 14 个软件中断/事件请求
- 每条输入线对应的中断/事件都能独立配置触发或屏蔽
- 每条中断线都有独立的状态位
- 支持脉冲或挂起输入类型
- 支持上升沿、下降沿或双边沿 3 种触发事件类型
- 可唤醒退出低功耗模式

图 6-1 外部中断/事件控制器框图



### 6.2.3 功能描述

EXTI 包含 14 条中断线，其中 8 条来自 I/O 管脚，另 6 条来自内部模块。要产生中断，必须配置外部中断控制器的 NVIC 中断通道使能相应的中断线。通过沿触发配置寄存器 EXTI\_RT\_CFG 和 EXTI\_FT\_CFG 选择上升沿、下降沿或双边沿触发事件类型，并将中断屏蔽寄存器 EXTI\_IMASK 的相应位写'1'开放允许中断请求。当外部中断线上检测到预设的边沿触发极性，将产生一个中断请求，对应的挂起位也随之被置'1'。在挂起寄存器的对应位写'1'，将清除该中断请求。

要产生事件，必须配置并使能对应的事件线。根据需要的边沿检测极性，设置上升/下降沿触发配置寄存器，同时在事件屏蔽寄存器的相应位写'1'允许中断请求。当事件线上发生预设的边沿时，将产生一个事件请求

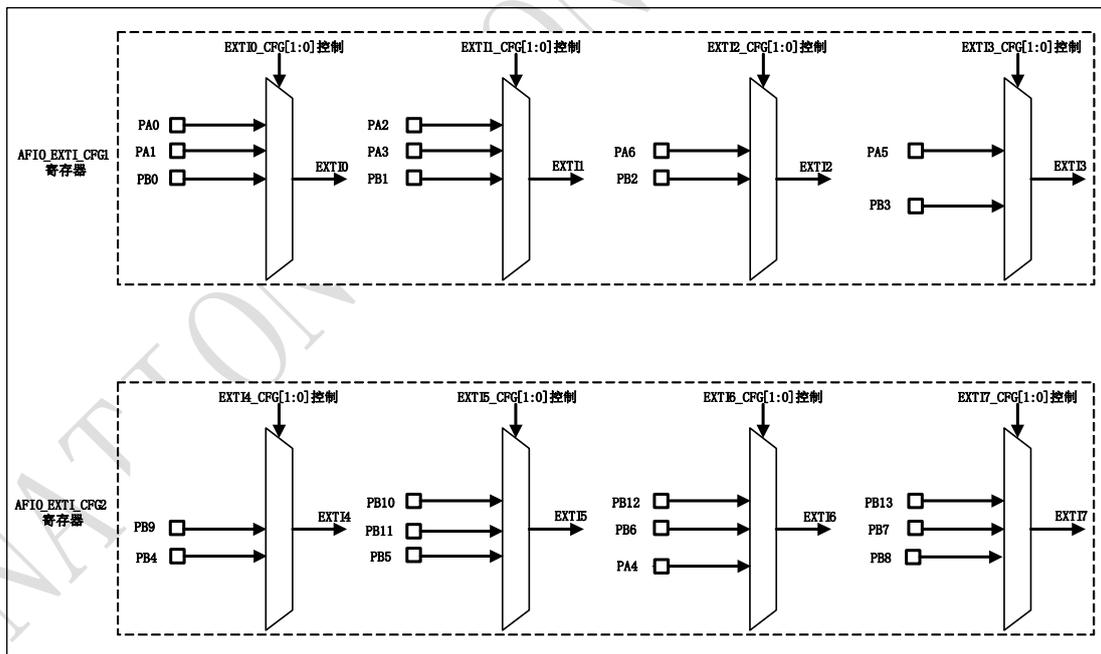
脉冲，对应的挂起位不被置‘1’。

另外，通过在软件中断/事件寄存器写‘1’，也可以通过软件产生中断/事件请求。

- 硬件中断配置，根据需要选择配置 14 条线路作为中断源：
  - ◆ 配置 14 条中断线的屏蔽位 (EXTI\_IMASK);
  - ◆ 配置所选中断线的触发配置位 (EXTI\_RT\_CFG 和 EXTI\_FT\_CFG);
  - ◆ 配置对应到外部中断控制器的 NVIC 中断通道的使能和屏蔽位，使 14 条中断线中的请求可以被正确地响应。
- 硬件事件配置，根据需要选择配置 13 条线路作为事件源：
  - ◆ 配置 13 条事件线的屏蔽位 (EXTI\_EMASK);
  - ◆ 配置所选事件线的触发配置位 (EXTI\_RT\_CFG 和 EXTI\_FT\_CFG)。
- 软件中断/事件配置，根据需要选择配置 13 条线路作为软件中断/事件线：
  - ◆ 配置 13 条中断/事件线屏蔽位 (EXTI\_IMASK,EXTI\_EMASK);
  - ◆ 配置软件中断事件寄存器的请求位 (EXTI\_SWIE)。

## 6.2.4 EXTI 线路映像

图 6-2 外部中断通用 I/O 映像



通过 AFIO\_EXTI\_CFG1~2 配置 GPIO 线上的外部中断/事件，必须先使能 AFIO 时钟。通用 I/O 端口以上图的方式连接到 8 条外部中断/事件线上。另外 6 条 EXTI 线的连接方式如下：

- EXTI 线 8 连接到 RTC 闹钟事件
- EXTI 线 9 连接到 RTC 唤醒事件
- EXTI 线 10 连接到 LPUART 唤醒事件

- EXTI 线 12 连接到 RESET 唤醒事件，只支持上升沿触发
- EXTI 线 13 连接到 KEYSKAN 唤醒事件

## 6.3 EXTI 寄存器

EXTI 基地址：0x40010400

### 6.3.1 EXTI 寄存器地址映像

表 6-2 EXTI 寄存器地址映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
000h	EXTI_IMASK	Reserved																		IMASK13	IMASK12	IMASK11	IMASK10	IMASK9	IMASK8	IMASK7	IMASK6	IMASK5	IMASK4	IMASK3	IMASK2	IMASK1	IMASK0			
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	EXTI_EMASK	Reserved																		EMASK13	EMASK12	EMASK11	EMASK10	EMASK9	EMASK8	EMASK7	EMASK6	EMASK5	EMASK4	EMASK3	EMASK2	EMASK1	EMASK0			
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
008h	EXTI_RT_CFG	Reserved																		RT_CFG13	RT_CFG12	RT_CFG11	RT_CFG10	RT_CFG9	RT_CFG8	RT_CFG7	RT_CFG6	RT_CFG5	RT_CFG4	RT_CFG3	RT_CFG2	RT_CFG1	RT_CFG0			
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
00Ch	EXTI_FT_CFG	Reserved																		FT_CFG13	FT_CFG12	FT_CFG11	FT_CFG10	FT_CFG9	FT_CFG8	FT_CFG7	FT_CFG6	FT_CFG5	FT_CFG4	FT_CFG3	FT_CFG2	FT_CFG1	FT_CFG0			
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
010h	EXTI_SWIE	Reserved																		SWIE13	SWIE12	SWIE11	SWIE10	SWIE9	SWIE8	SWIE7	SWIE6	SWIE5	SWIE4	SWIE3	SWIE2	SWIE1	SWIE0			
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
014h	EXTI_PEND	Reserved																		PEND13	PEND12	PEND11	PEND10	PEND9	PEND8	PEND7	PEND6	PEND5	PEND4	PEND3	PEND2	PEND1	PEND0			
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

### 6.3.2 EXTI 中断屏蔽寄存器 ( EXTI\_IMASK )

偏移地址：0x00

复位值：0x0000 0000

31	Reserved														16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		IMASK13	IMASK12	IMASK11	IMASK10	IMASK9	IMASK8	IMASK7	IMASK6	IMASK5	IMASK4	IMASK3	IMASK2	IMASK1	IMASK0
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

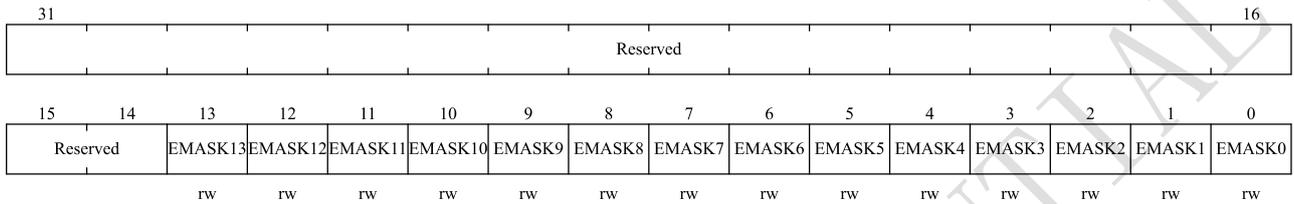
位域	名称	描述
31:14	Reserved	必须保持复位值。
13:0	IMASKx	线 x 上的中断屏蔽 0: 屏蔽来自线 x 上的中断请求;

位域	名称	描述
		1: 开放来自线 x 上的中断请求。

### 6.3.3 EXTI 事件屏蔽寄存器 ( EXTI\_EMASK )

偏移地址: 0x04

复位值: 0x0000 0000

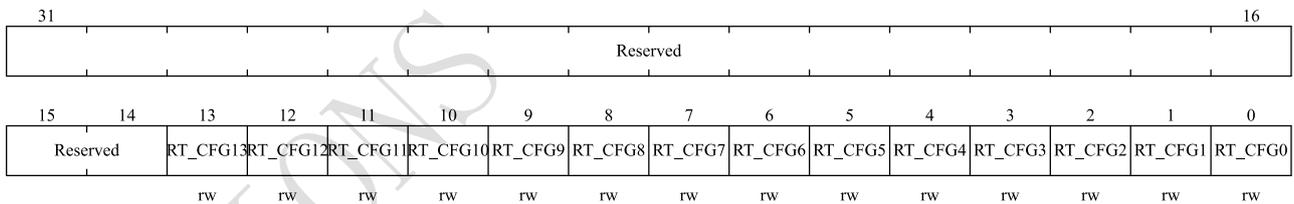


位域	名称	描述
31:14	Reserved	必须保持复位值。
13:0	EMASKx	线 x 上的事件屏蔽 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。

### 6.3.4 EXTI 上升沿触发配置寄存器 ( EXTI\_RT\_CFG )

偏移地址: 0x08

复位值: 0x0000 0000

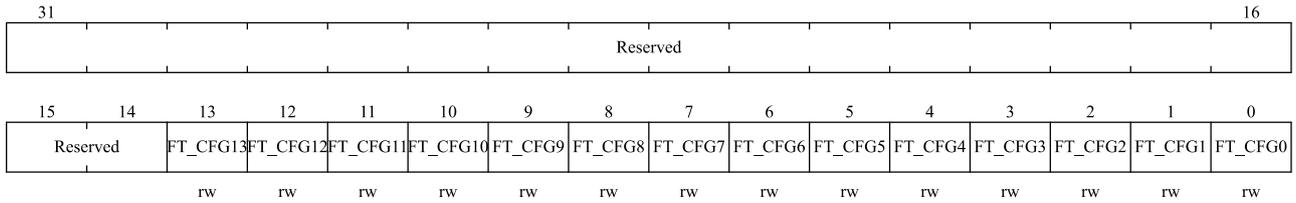


位域	名称	描述
31:14	Reserved	必须保持复位值。
13:0	RT_CFGx	线 x 上的上升沿触发配置位 0: 禁止输入线 x 上的上升沿触发 (中断和事件) 1: 允许输入线 x 上的上升沿触发 (中断和事件)

### 6.3.5 EXTI 下降沿触发配置寄存器 ( EXTI\_FT\_CFG )

偏移地址: 0x0C

复位值: 0x0000 0000

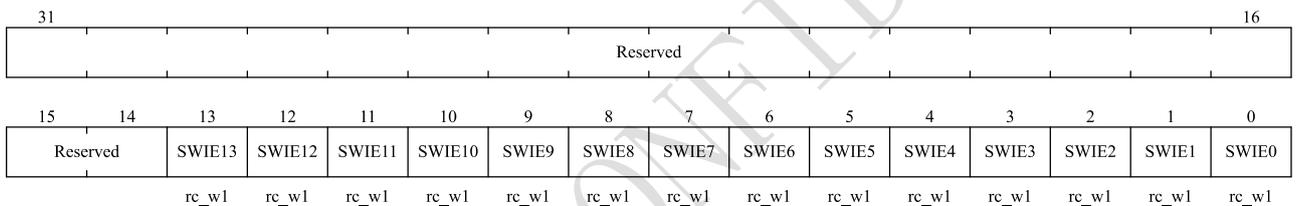


位域	名称	描述
31:14	Reserved	必须保持复位值。
13:0	FT_CFGx	线 x 上的下降沿触发配置位 0: 禁止输入线 x 上的下降沿触发（中断和事件） 1: 允许输入线 x 上的下降沿触发（中断和事件）

### 6.3.6 EXTI 软件中断事件寄存器 ( EXTI\_SWIE )

偏移地址: 0x10

复位值: 0x0000 0000

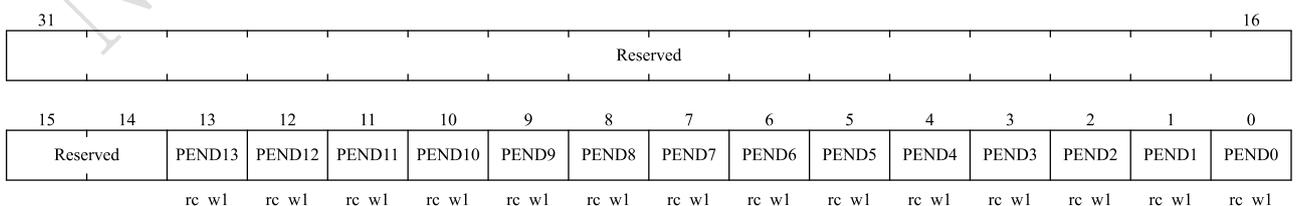


位域	名称	描述
31:14	Reserved	必须保持复位值。
13:0	SWIEx	线 x 上的软件中断 当该位为'0'时, 写'1'将设置 EXTI_PEND 中相应的挂起位。如果在 EXTI_IMASK 和 EXTI_EMASK 中允许产生该中断, 此时将产生一个中断。 <i>注: 通过写入'1'清除 EXTI_PEND 的对应位, 可以清除该位为'0'。</i>

### 6.3.7 EXTI 挂起寄存器 ( EXTI\_PEND )

偏移地址: 0x14

复位值: 0x0000 0000



位域	名称	描述
31:14	Reserved	必须保持复位值。

位域	名称	描述
13:0	PENDx	<p>线 x 上的挂起位</p> <p>0: 没有发生挂起请求</p> <p>1: 发生了挂起触发请求</p> <p>当外部中断线上发生了选择的边沿触发事件, 该位被置'1'。在该位中写入'1'可以清除它, 也可以通过改变边沿检测的极性清除此位。</p>

NATIONS CONFIDENTIAL

## 7 DMA 控制器

### 7.1 DMA 简介

直接存储器存取(DMA)用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。无须 CPU 干预,数据可以通过 DMA 快速地移动,这就节省了 CPU 的资源来做其他操作。

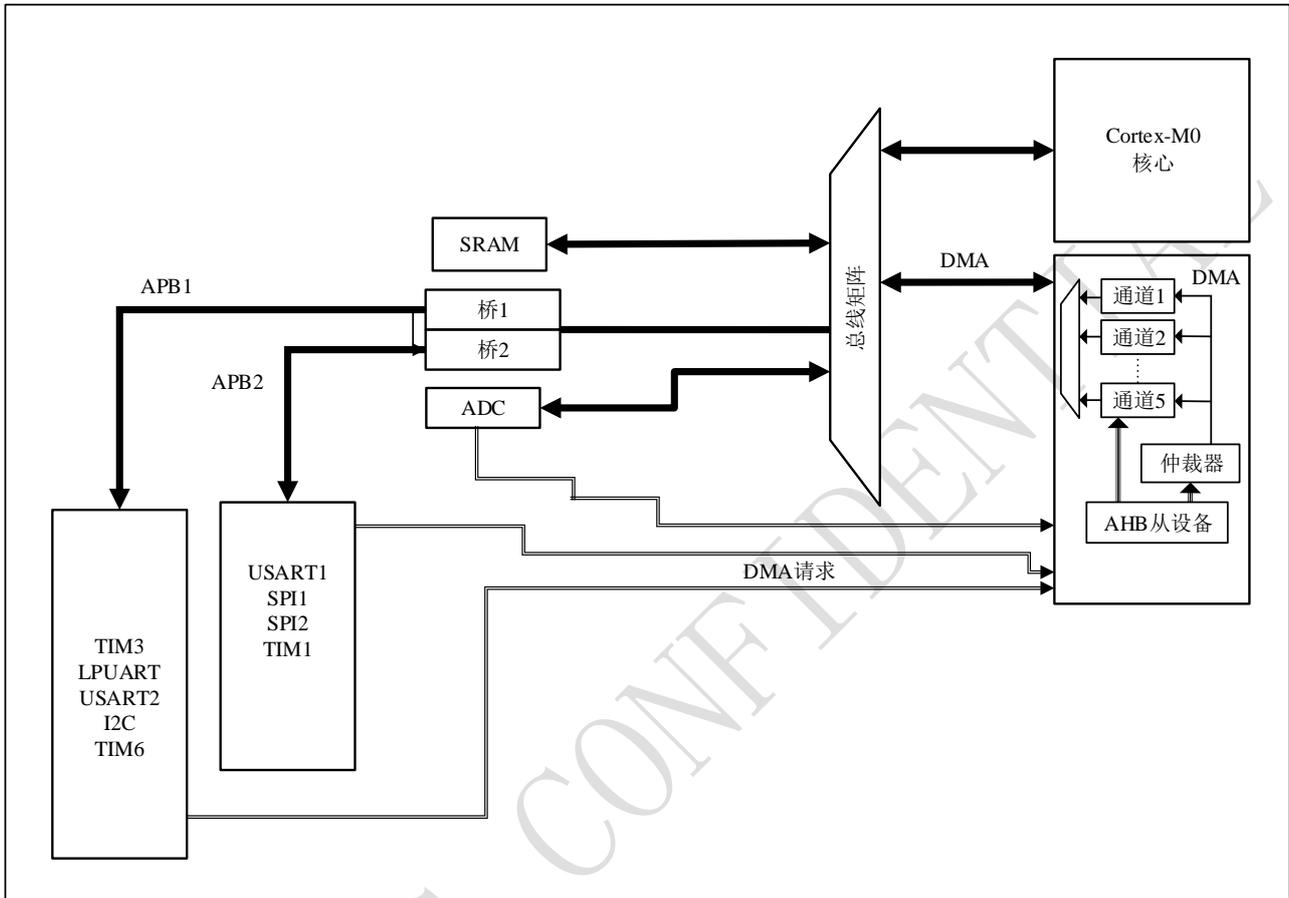
DMA 控制器有 5 个逻辑通道,每个通道专门用来管理来自于一个或多个外设对存储器访问的请求。内部还有一个仲裁器来协调各个 DMA 请求的优先权。

### 7.2 DMA 主要特性

- DMA 控制器有 5 个可配置的 DMA 通道。
- 支持可编程的数据传输长度:最大 65535 字节。
- 每个通道都直接连接专用的硬件 DMA 请求,同时支持软件触发和配置。
- 多个请求间的优先权可以通过软件编程设置(共四级:最高、高、中和低),优先权设置相等时由硬件决定,通道号越小优先级越高。
- 独立数据源和目标数据区的传输宽度(字节、半字、全字),模拟打包和拆包的过程。源和目标地址必须按数据传输宽度对齐。
- 支持循环模式传输(用于处理缓冲区或连续的数据传输)
- 每个通道都有 3 个事件标志(DMA 半传输、DMA 传输完成和 DMA 传输出错),这 3 个事件标志逻辑或成为一个单独的中断请求。
- 支持存储器和存储器间的传输
- 支持外设和存储器、存储器和外设之间的传输
- SRAM、APB1、APB2、CRC 均可作为访问的源和目标。

## 7.3 功能框图

图 7-1 DMA 框图



## 7.4 功能描述

DMA 控制器和 Cortex<sup>®</sup>-M0 核心共享系统数据总线，执行直接存储器数据传输。当 CPU 和 DMA 同时访问相同的目标（RAM 或外设）时，DMA 请求会暂停 CPU 访问系统总线达若干个周期，总线仲裁器执行循环调度，以保证 CPU 至少可以得到一半的系统总线（存储器或外设）带宽。

### 7.4.1 DMA 处理

在发生一个事件后，外设向 DMA 控制器发送一个请求信号。DMA 控制器根据通道的优先权处理请求。当 DMA 控制器开始访问发出请求的外设时，DMA 控制器立即发送给它一个应答信号。当从 DMA 控制器得到应答信号时，外设立即释放它的请求。一旦外设释放了这个请求，DMA 控制器同时撤销应答信号。如果有更多的请求时，外设可以启动下一个周期。

总之，每次 DMA 传送由 3 个操作组成：

- 从外设数据寄存器或者从当前外设/存储器地址寄存器指示的存储器地址取数据，第一次传输时的开始

地址是 DMA\_PADDRx 或 DMA\_MADDRx 寄存器指定的外设基地址或存储器单元。

- 存数据到外设数据寄存器或者当前外设/存储器地址寄存器指示的存储器地址，第一次传输时的开始地址是 DMA\_PADDRx 或 DMA\_MADDRx 寄存器指定的外设基地址或存储器单元。
- 执行一次 DMA\_TXNUMx 寄存器的递减操作，该寄存器包含未完成的操作数目。

## 7.4.2 仲裁器

本 DMA 控制器有 5 个通道，每个通道对应不同的外设的 DMA 请求。虽然每个通道可以接收多个外设的请求，但是同一时间只能接收一个，不能同时接收多个。

通道默认情况下 5 个通道软件优先级相同，优先级都为 0，硬件逻辑通道号越小优先级越高。仲裁器根据通道请求的优先级来启动外设/存储器的访问。优先权管理分 2 个阶段：

- 软件：每个通道的优先权可以在 DMA\_CHCFGx 寄存器中设置，有 4 个等级：
  - ◆ 最高优先级
  - ◆ 高优先级
  - ◆ 中优先级
  - ◆ 低优先级
- 硬件：如果 2 个请求有相同的软件优先级，则较低编号的通道比较高编号的通道有较高的优先权。例如，通道 2 优先于通道 4。

## 7.4.3 DMA 通道

每个通道都可以在有固定地址的外设寄存器和存储器地址之间执行 DMA 传输。DMA 传输的数据量是可编程的，最大达到 65535。包含要传输的数据项数量的寄存器，在每次传输后递减。

### 7.4.3.1 可编程的数据位宽

外设和存储器的传输数据位宽支持字节、半字、字，可以通过 DMA\_CHCFGx 寄存器中的 PSIZE 和 MSIZE 位编程。

### 7.4.3.2 指针增量

通过设置 DMA\_CHCFGx 寄存器中的 PINC 和 MINC 标志位，外设和存储器的指针在每次传输后可以有选择地完成自动增量。当设置为增量模式时，下一个要传输的地址将是前一个地址加上增量值，增量值取决于所选的数据宽度为 1、2 或 4。第一个传输的地址是存放在 DMA\_PADDRx/DMA\_MADDRx 寄存器中地址。在传输过程中，这些寄存器保持它们初始的数值，软件不能改变和读出当前正在传输的地址（它在内部的当前外设/存储器地址寄存器中）。

当通道配置为非循环模式时，传输结束后（即传输计数变为 0）将不再产生 DMA 操作。要开始新的 DMA 传输，需要在关闭 DMA 通道的情况下，在 DMA\_TXNUMx 寄存器中重新写入传输数目。

在循环模式下，最后一次传输结束时，DMA\_TXNUMx 寄存器的内容会自动地被重新加载为其初始数值，内部的当前外设/存储器地址寄存器也被重新加载为 DMA\_PADDRx/DMA\_MADDRx 寄存器设定的初始基地址。

### 7.4.3.3 通道配置过程

下面是配置 DMA 通道 x 的过程 (x 代表通道号):

1. 在 DMA\_PADDRx 寄存器中设置外设寄存器的地址。发生外设数据传输请求时, 这个地址将是数据传输的源或目标。
2. 在 DMA\_MADDRx 寄存器中设置数据存储器的地址。发生外设数据传输请求时, 传输的数据将从这个地址读出或写入这个地址。
3. 在 DMA\_TXNUMx 寄存器中设置要传输的数据量。在每个数据传输后, 这个数值递减。
4. 在 DMA\_CHCFGx 寄存器的 PRIOLVL[1:0]位中设置通道的优先级。
5. 在 DMA\_CHCFGx 寄存器中设置数据传输的方向、循环模式、外设和存储器的增量模式、外设和存储器的数据宽度、传输一半产生中断或传输完成产生中断。
6. 设置 DMA\_CHCFGx 寄存器的 CHEN 位, 启动该通道。

一旦启动了 DMA 通道, 它即可响应连到该通道上的外设的 DMA 请求。

当传输一半的数据后, 半传输标志 (HTXF) 被置 1, 当设置了允许半传输中断位 (HTXIE) 时, 将产生一个中断请求。在数据传输结束后, 传输完成标志 (TXCF) 被置 1, 当设置了允许传输完成中断位 (TXCIE) 时, 将产生一个中断请求。

### 7.4.3.4 循环模式

循环模式用于处理循环缓冲区和连续的数据传输 (如 ADC 的扫描模式)。在 DMA\_CHCFGx 寄存器中的 CIRC 位用于开启这一功能。当启动了循环模式, 数据传输的数目变为 0 时, 将会自动地被恢复成配置通道时设置的初值, DMA 操作将会继续进行。

如果想要关闭循环模式, 需要先对 DMA\_CHCFGx 寄存器中的 CHEN 位写 0 以关闭 DMA 通道, 然后再对 DMA\_CHCFGx 寄存器中的 CIRC 位写 0 (CHEN 位为 1 时, DMA\_CHCFGx 寄存器中其它位不能被改写)。

### 7.4.3.5 存储器到存储器模式

DMA 通道的操作可以在没有外设请求的情况下进行, 这种操作就是存储器到存储器模式。

当设置了 DMA\_CHCFGx 寄存器中的 MEM2MEM 位之后, 在软件设置了 DMA\_CHCFGx 寄存器中的 CHEN 位启动 DMA 通道时, DMA 传输将马上开始。当 DMA\_TXNUMx 寄存器变为 0 时, DMA 传输结束。存储器到存储器模式不能与循环模式同时使用。

## 7.4.4 可编程的数据传输宽度、对齐方式和数据大小端

当 PSIZE 和 MSIZE 不相同, DMA 模块按照下表进行数据对齐。

表 7-1 可编程的数据传输宽度和大小端操作（当 PINC = MINC = 1）

源端宽度	目标宽度	传输数目	源：地址/数据	传输操作	目标：地址/数据
8	8	4	0x0 / B0 0x1 / B1 0x2 / B2 0x3 / B3	1: 在0x0读B0[7:0], 在0x0写B0[7:0] 2: 在0x1读B1[7:0], 在0x1写B1[7:0] 3: 在0x2读B2[7:0], 在0x2写B2[7:0] 4: 在0x3读B3[7:0], 在0x3写B3[7:0]	0x0 / B0 0x1 / B1 0x2 / B2 0x3 / B3
8	16	4	0x0 / B0 0x1 / B1 0x2 / B2 0x3 / B3	1: 在0x0读B0[7:0], 在0x0写00B0[15:0] 2: 在0x1读B1[7:0], 在0x2写00B1[15:0] 3: 在0x2读B2[7:0], 在0x4写00B2[15:0] 4: 在0x3读B3[7:0], 在0x6写00B3[15:0]	0x0 / 00B0 0x2 / 00B1 0x4 / 00B2 0x6 / 00B3
8	32	4	0x0 / B0 0x1 / B1 0x2 / B2 0x3 / B3	1: 在0x0读B0[7:0], 在0x0写000000B0[31:0] 2: 在0x1读B1[7:0], 在0x4写000000B1[31:0] 3: 在0x2读B2[7:0], 在0x8写000000B2[31:0] 4: 在0x3读B3[7:0], 在0xC写000000B3[31:0]	0x0 / 000000B0 0x4 / 000000B1 0x8 / 000000B2 0xC / 000000B3
16	8	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: 在0x0读B1B0[15:0], 在0x0写B0[7:0] 2: 在0x2读B3B2[15:0], 在0x1写B2[7:0] 3: 在0x4读B5B4[15:0], 在0x2写B4[7:0] 4: 在0x6读B7B6[15:0], 在0x3写B6[7:0]	0x0 / B0 0x1 / B2 0x2 / B4 0x3 / B6
16	16	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: 在0x0读B1B0[15:0], 在0x0写B1B0[15:0] 2: 在0x2读B3B2[15:0], 在0x2写B3B2[15:0] 3: 在0x4读B5B4[15:0], 在0x4写B5B4[15:0] 4: 在0x6读B7B6[15:0], 在0x6写B7B6[15:0]	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6
16	32	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: 在0x0读B1B0[15:0], 在0x0写0000B1B0[31:0] 2: 在0x2读B3B2[15:0], 在0x4写0000B3B2[31:0] 3: 在0x4读B5B4[15:0], 在0x8写0000B5B4[31:0] 4: 在0x6读B7B6[15:0], 在0xC写0000B7B6[31:0]	0x0 / 0000B1B0 0x4 / 0000B3B2 0x8 / 0000B5B4 0xC / 0000B7B6
32	8	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDBC	1: 在0x0读B3B2B1B0[31:0], 在0x0写B0[7:0] 2: 在0x4读B7B6B5B4[31:0], 在0x1写B4[7:0] 3: 在0x8读BBBAB9B8[31:0], 在0x2写B8[7:0] 4: 在0xC读BFBEBDBC[31:0], 在0x3写BC[7:0]	0x0 / B0 0x1 / B4 0x2 / B8 0x3 / BC
32	16	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDBC	1: 在0x0读B3B2B1B0[31:0], 在0x0写B1B0[15:0] 2: 在0x4读B7B6B5B4[31:0], 在0x2写B5B4[15:0] 3: 在0x8读BBBAB9B8[31:0], 在0x4写B9B8[15:0] 4: 在0xC读BFBEBDBC[31:0], 在0x6写BDBC[15:0]	0x0 / B1B0 0x2 / B5B4 0x4 / B9B8 0x6 / BDBC
32	32	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDBC	1: 在0x0读B3B2B1B0[31:0], 在0x0写B3B2B1B0[31:0] 2: 在0x4读B7B6B5B4[31:0], 在0x4写B7B6B5B4[31:0] 3: 在0x8读BBBAB9B8[31:0], 在0x8写BBBAB9B8[31:0] 4: 在0xC读BFBEBDBC[31:0], 在0xC写BFBEBDBC[31:0]	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDBC

#### 7.4.4.1 操作一个不支持字节或半字写的 AHB 设备

当 DMA 模块开始一个 AHB 的字节或半字写操作时，数据将在 HWDATA[31:0]总线中未使用的部分重复。

因此，如果 DMA 以字节或半字写入不支持字节或半字写操作的 AHB 设备时（即 HSIZE 不适用于该模块），不会发生错误，DMA 将按照下面两个例子写入 32 位 HWDATA 数据：

- 当 HSIZE=半字时，写入半字'0xABCD'，DMA 将设置 HWDATA 总线为'0xABCDABCD'。
- 当 HSIZE=字节时，写入字节'0xAB'，DMA 将设置 HWDATA 总线为'0xABABABAB'。

假定 AHB/APB 桥是一个 AHB 的 32 位从设备，它不处理 HSIZE 参数，它将按照下述方式把任何 AHB 上的字节或半字按 32 位传送到 APB 上：

- 一个 AHB 上对地址 0x0（或 0x1、0x2 或 0x3）的写字节数据'0xB0'操作，将转换到 APB 上对地址 0x0 的写字数据'0xB0B0B0B0'操作。
- 一个 AHB 上对地址 0x0（或 0x2）的写半字数据'0xB1B0'操作，将转换到 APB 上对地址 0x0 的写字数据'0xB1B0B1B0'操作。

例如，如果要写入 APB 后备寄存器（与 32 位地址对齐的 16 位寄存器），需要配置存储器数据源宽度(MSIZE)为'16 位'，外设目标数据宽度 (PSIZE) 为'32 位'。

### 7.4.5 错误管理

读写一个保留的地址区域，将会产生 DMA 传输错误。当在 DMA 读写操作时发生 DMA 传输错误，硬件会自动地清除发生错误的通道所对应的通道配置寄存器 (DMA\_CHCFGx) 的 EN 位，该通道操作被停止。此时，在 DMA\_IFR 寄存器中对应该通道的传输错误中断标志位 (TEIF) 将被置位，如果在 DMA\_CHCFGx 寄存器中设置了传输错误中断允许位，则将产生中断。

### 7.4.6 中断

每个 DMA 通道都可以在 DMA 传输过半、传输完成和传输错误时产生中断。为应用的灵活性考虑，通过设置寄存器的不同位来打开这些中断。

表 7-2 DMA 中断请求

中断事件	事件标志位	使能控制位
传输过半	HTXF	HTXIE
传输完成	TXCF	TXCIE
传输错误	ERRF	ERRIE

### 7.4.7 DMA 请求映像

#### 7.4.7.1 DMA 控制器

系统总共有 28 个 DMA 外设请求。可从外设 (TIMx[x=1、3、6]、ADC、SPI1/I2S1、SPI2/I2S2、I2C、LPUART 和 USART) 获得。

DMA 控制器有 5 个独立的通道，每个通道对应外设的请求可配置。通过配置 DMA 通道 x 通道选择寄存器来实现。

当某个通道 CH\_CHSEL[4:0]=NUM，则该通道选择 Ch [NUM] 对应的外设请求。

下表为外设对应的输入请求通道：

表 7-3 各个通道的 DMA 请求一览

DMAC Request channel	Peripheral DMA request
Ch0	Adc_dma
Ch1	reserved
Ch2	Usart1_tx
Ch3	Usart1_rx
Ch4	Lpuart_tx
Ch5	Lpuart_rx
Ch6	Usart2_tx
Ch7	Usart2_rx
Ch8	Spi1_tx
Ch9	Spi1_rx
Ch10	Spi2_tx
Ch11	Spi2_rx
Ch12	I2c_tx
Ch13	I2c_rx
Ch14	Tim1_ch1
Ch15	Tim1_ch2
Ch16	Tim1_ch3
Ch17	Tim1_ch4
Ch18	Tim1_com
Ch19	Tim1_up
Ch20	Tim1_trig
Ch21	Tim3_ch1
Ch22	Tim3_ch3
Ch23	Tim3_ch4
Ch24	Tim3_up
Ch25	Tim3_trig
Ch26	Tim6
Ch27	reserved

## 7.5 DMA 寄存器

### 7.5.1 DMA 寄存器地址映像

表 7-4 DMA 寄存器地址映像和复位值

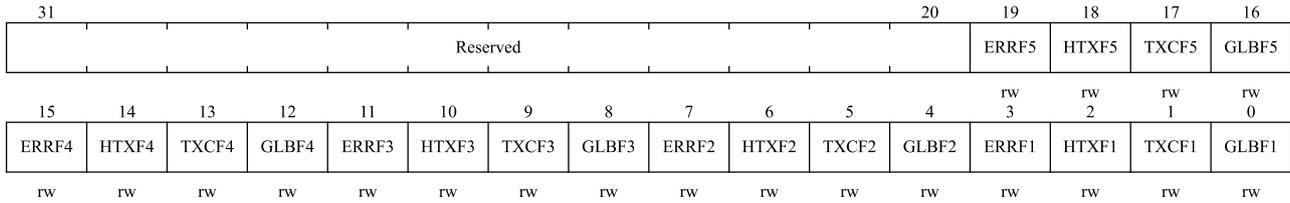
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
000h	DMA_INTSTS	Reserved														ERRF5	HTXF5	ITXCF5	GLBF5	ERRF4	HTXF4	ITXCF4	GLBF4	ERRF3	HTXF3	ITXCF3	GLBF3	ERRF2	HTXF2	ITXCF2	GLBF2	ERRF1	HTXF1	ITXCF1	GLBF1													
	Reset Value															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	DMA_INTCLR	Reserved														CERRF5	CHTXF5	CTXCF5	CGLBF5	CERRF4	CHTXF4	CTXCF4	CGLBF4	CERRF3	CHTXF3	CTXCF3	CGLBF3	CERRF2	CHTXF2	CTXCF2	CGLBF2	CERRF1	CHTXF1	CTXCF1	CGLBF1													
	Reset Value															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																		
008h	DMA_CHCFG1	Reserved																		MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN																				
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
00Ch	DMA_TXNUM1	Reserved																		NDTX[15:0]																															
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
010h	DMA_PADDR1	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
014h	DMA_MADDR1	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
018h	DMA_CHSEL1	Reserved																										CH_SEL[4:0]																							
	Reset Value	0																										0	0	0	0	0																			
01Ch	DMA_CHCFG2	Reserved																		MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN																				
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
020h	DMA_TXNUM2	Reserved																		NDTX[15:0]																															
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
024h	DMA_PADDR2	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
028h	DMA_MADDR2	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
02Ch	DMA_CHSEL2	Reserved																										CH_SEL[4:0]																							
	Reset Value	0																										0	0	0	0	0																			
030h	DMA_CHCFG3	Reserved																		MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN																				
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
034h	DMA_TXNUM3	Reserved																		NDTX[15:0]																															
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
038h	DMA_PADDR3	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
03Ch	DMA_MADDR3	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
040h	DMA_CHSEL3	Reserved																										CH_SEL[4:0]																							
	Reset Value	0																										0	0	0	0	0																			
044h	DMA_CHCFG4	Reserved																		MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN																				
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
048h	DMA_TXNUM4	Reserved																		NDTX[15:0]																															
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
04Ch	DMA_PADDR4	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
050h	DMA_MADDR4	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
054h	DMA_CHSEL4	Reserved																										CH_SEL[4:0]																							
	Reset Value	0																										0	0	0	0	0																			
058h	DMA_CHCFG5	Reserved																		MEM2MEM	PRIOLVL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	ERRIE	HTXIE	TXCIE	CHEN																				
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
05Ch	DMA_TXNUM5	Reserved																		NDTX[15:0]																															
	Reset Value	0																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
060h	DMA_PADDR5	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
064h	DMA_MADDR5	ADDR[31:0]																																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
068h	DMA_CHSEL5	Reserved																										CH_SEL[4:0]																							
	Reset Value	0																										0	0	0	0	0																			

## 7.5.2 DMA 中断状态寄存器 (DMA\_INTSTS)

偏移地址: 0x00

复位值: 0x0000 0000

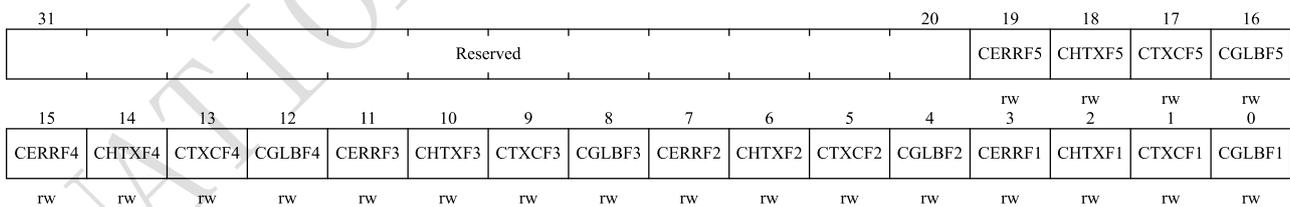


位域	名称	描述
19/15/11/7/3	ERRF <sub>x</sub>	通道 x 的传输错误标志位 (x=1...5)。 硬件置位, 软件写 DMA_INTCLR 对应位为 1 清零。 0: 在通道 x 没有传输错误 1: 在通道 x 发生了传输错误
18/14/10/6/2	HTXF <sub>x</sub>	通道 x 的半传输完成标志位 (x=1...5)。 硬件置位, 软件写 DMA_INTCLR 对应位为 1 清零。 0: 在通道 x 没有半传输事件 1: 在通道 x 产生了半传输事件
17/13/9/5/1	TXCF <sub>x</sub>	通道 x 的传输完成标志位 (x=1...5)。 硬件置位, 软件写 DMA_INTCLR 对应位为 1 清零。 0: 在通道 x 没有传输完成事件 1: 在通道 x 产生了传输完成事件
16/12/8/4/0	GLBF <sub>x</sub>	通道 x 的全局中断标志位 (x=1...5)。 硬件置位, 软件写 DMA_INTCLR 对应位为 1 清零。 0: 在通道 x 没有传输错误、半传输、传输完成事件 1: 在通道 x 至少产生了传输错误、半传输、传输完成事件之一

### 7.5.3 DMA 中断标志清除寄存器 ( DMA\_INTCLR )

偏移地址: 0x04

复位值: 0x0000 0000



位域	名称	描述
19/15/11/7/3	CERRF <sub>x</sub>	清除通道 x 的传输错误标志位 (x=1...5)。 软件置位和清除。 0: 无作用 1: 清除 DMA_INTSTS 寄存器中对应的 ERRF <sub>x</sub> 标志
18/14/10/6/2	CHTXF <sub>x</sub>	清除通道 x 的半传输完成标志位 (x=1...5)。 软件置位和清除。 0: 无作用

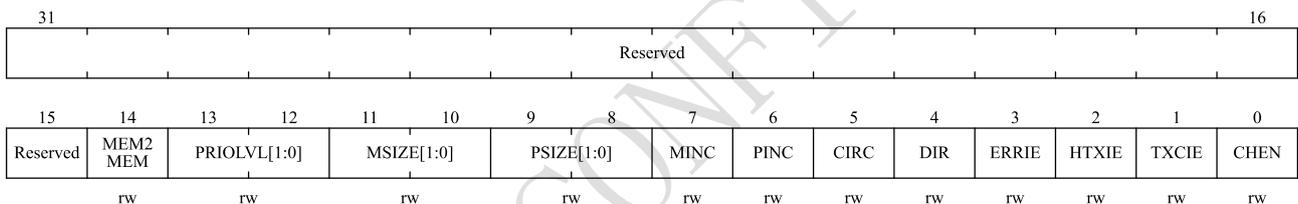
位域	名称	描述
		1: 清除 DMA_INTSTS 寄存器中对应的 HTXF <sub>x</sub> 标志
17/13/9/5/1	CTXCF <sub>x</sub>	清除通道 x 的传输完成标志位 (x=1...5)。 软件置位和清除。 0: 无作用 1: 清除 DMA_INTSTS 寄存器中对应的 TXCF <sub>x</sub> 标志
16/12/8/4/0	CGLBF <sub>x</sub>	清除通道 x 的全局中断标志位 (x=1...5)。 软件置位和清除。 0: 无作用 1: 清除 DMA_INTSTS 寄存器中对应的 GLBF <sub>x</sub> 、TXCF <sub>x</sub> 、HTXF <sub>x</sub> 以及 ERRF <sub>x</sub> 标志

### 7.5.4 DMA 通道 x 配置寄存器 (DMA\_CHCFG<sub>x</sub>)

x 为通道号, x=1 ... 5

地址偏移: 0x08 + 20 \* (x - 1)

复位值: 0x0000 0000



位域	名称	描述
31:15	Reserved	必须保持复位值。
14	MEM2MEM	存储器到存储器模式。 软件置位和清除。 0: 非存储器到存储器模式 1: 启动存储器到存储器模式
13:12	PRIOLVL[1:0]	通道优先级。 软件置位和清除。 00: 低 01: 中 10: 高 11: 最高
11:10	MSIZE[1:0]	存储器数据宽度。 软件置位和清除。 00: 8 位 01: 16 位 10: 32 位 11: 保留
9:8	PSIZE[1:0]	外设数据宽度。

位域	名称	描述
		软件置位和清除。 00: 8 位 01: 16 位 10: 32 位 11: 保留
7	MINC	存储器地址增量模式。 软件置位和清除。 0: 固定地址模式 1: 增量地址模式
6	PINC	外设地址增量模式。 软件置位和清除。 0: 固定地址模式 1: 增量地址模式
7	CIRC	循环模式。 软件置位和清除。 0: 禁止循环模式 1: 使能循环模式
4	DIR	数据传输方向。 软件置位和清除。 0: 从外设读出, 写入存储器 1: 从存储器读出, 写入外设
3	ERRIE	通道传输错误中断使能。 软件置位和清除。 0: 禁止产生通道传输错误中断 1: 使能产生通道传输错误中断
2	HTXIE	通道半传输完成中断使能。 软件置位和清除。 0: 禁止产生通道半传输完成中断 1: 使能产生通道半传输完成中断
1	TXCIE	通道传输完成中断使能。 软件置位和清除。 0: 禁止产生通道传输完成中断 1: 使能产生通道传输完成中断
0	CHEN	通道使能。 软件置位和清除。 0: 禁止通道工作 1: 使能通道

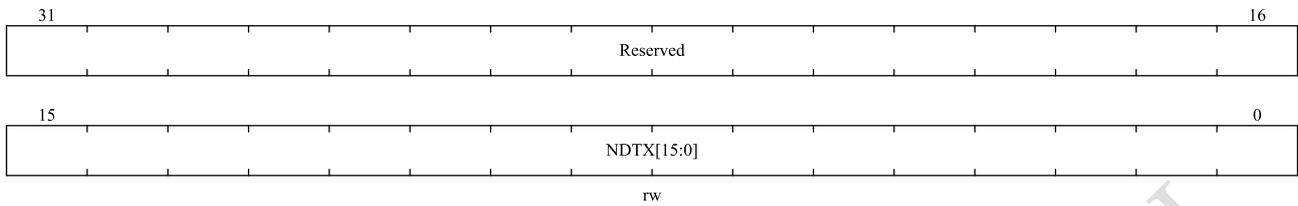
### 7.5.5 DMA 通道 x 传输数量寄存器 ( DMA\_TXNUMx )

x 为通道号, x=1 ... 5

地址偏移:  $0x0C + 20 * (x - 1)$

复位值：0x0000 0000

当通道开启（DMA\_CHCFGx 的 CHEN=1）时不能写该寄存器。



位域	名称	描述
31:16	Reserved	始终读为 0。
15:0	NDTX	数据传输数量。 取值为 0 至 65535。此寄存器只能在通道禁用时写入。通道开启后该寄存器变为只读，指示剩余的待传输字节数目。寄存器内容在每次 DMA 传输后递减。数据传输结束后，寄存器的内容会被自动重载为初始设置值。 当寄存器的内容为 0 时，无论通道是否开启，都不会发生任何数据传输。

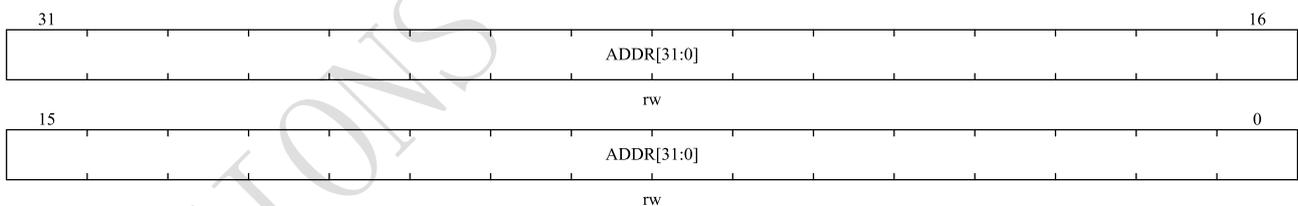
### 7.5.6 通道 x 外设基地址寄存器 ( DMA\_PADDRx )

x 为通道号，x=1 ... 5

地址偏移：0x10 + 20 \* (x - 1)

复位值：0x0000 0000

当通道开启（DMA\_CHCFGx 的 CHEN=1）时不能写该寄存器。在循环模式下，最后一次传输结束时，内部的当前外设地址寄存器也被重新加载为 DMA\_PADDRx 寄存器设定的初始基地址。



位域	名称	描述
31:0	ADDR	外设基地址，数据传输的源或目标地址。 当 PSIZE=01（16 位），不使用 ADDR[0]位。操作自动与半字地址对齐。 当 PSIZE=10（32 位），不使用 ADDR[1:0]位。操作自动与字地址对齐。

### 7.5.7 通道 x 存储器基地址寄存器 ( DMA\_MADDRx )

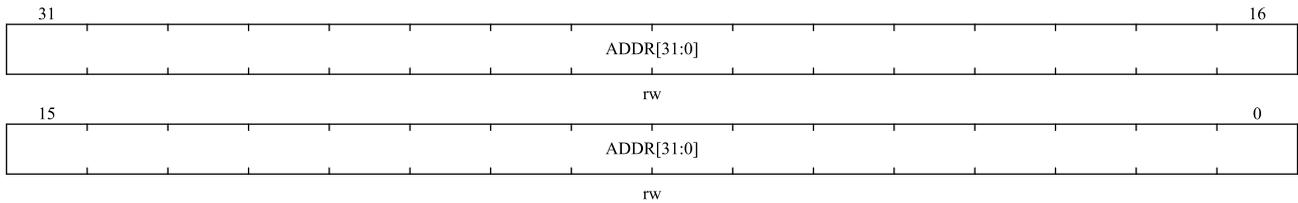
x 为通道号，x=1 ... 5

地址偏移：0x14 + 20 \* (x - 1)

复位值：0x0000 0000

当通道开启（DMA\_CHCFGx 的 CHEN=1）时不能写该寄存器。循环模式下，最后一次传输结束时，内部

的当前存储器地址寄存器也被重新加载为 DMA\_MADDRx 寄存器设定的初始基地址。



位域	名称	描述
31:0	ADDR	存储器基地址，数据传输的源或目标地址。 当 MSIZE=01（16 位），不使用 ADDR[0]位。操作自动与半字地址对齐。 当 MSIZE=10（32 位），不使用 ADDR[1:0]位。操作自动与字地址对齐。

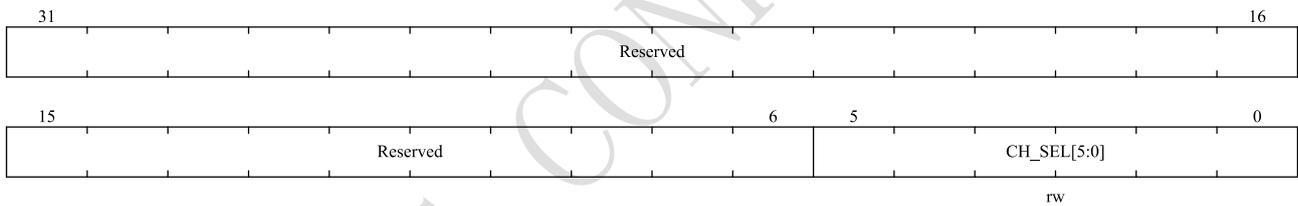
### 7.5.8 DMA 通道 x 通道选择寄存器 ( DMA\_CHSELx )

x 为通道号，x=1 ... 5

地址偏移：0x18 + 20 \* (x - 1)

复位值：0x0000 0000

该寄存器用来管理 DMA 外设请求映射的 DMA 的通道。



位域	名称	描述
31:6	Reserved	始终保持为复位值
5:0	CH_SEL[4:0]	DMA 通道请求选择 0: dma_req0 ..... 27: dma_req27 外设 DMA 请求映射到 DMA 输入请求通道号请参考表 7-3

## 8 循环冗余校验 (CRC)

### 8.1 CRC 简介

本模块集成了 CRC32 和 CRC16 功能，循环冗余校验 (CRC) 计算单元是根据固定的生成多项式得到任一 CRC 计算结果。在其他的应用中，CRC 技术主要应用于核实数据传输或者数据存储的正确性和完整性。标准 EN/IEC 60335-1 即提供了一种核实闪存存储器完整性的方法。CRC 计算单元可以在程序运行时计算出软件的标识，之后与在连接时生成的参考标识比较，然后存放在指定的存储器空间。

### 8.2 CRC 主要特性

#### 8.2.1 CRC32

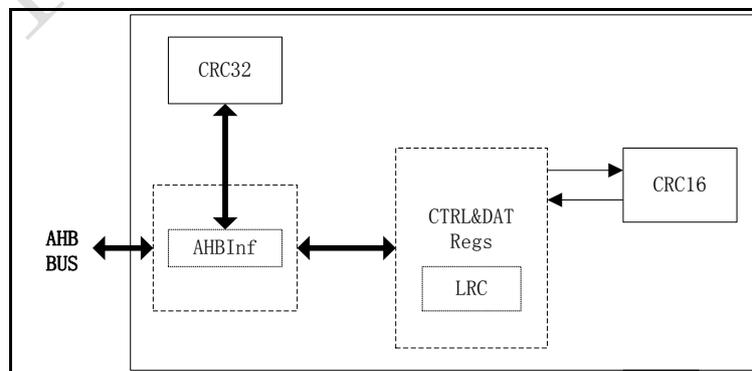
- $CRC32(X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1)$
- 待校验数据 32 位，输出校验码 32 位
- CRC 计算时间：4 个 AHB 时钟周期 (HCLK)
- 通用 8 位寄存器 (可用于存放临时数据)

#### 8.2.2 CRC16

- $CRC16(X^{16} + X^{15} + X^2 + 1)$
- 待校验数据 8 位，输出校验码 16 位
- CRC 计算时间：1 个 AHB 时钟周期 (HCLK)
- 校验初始值可配，待校验数据大小端可配
- 支持 8bitLRC 校验值生成

下图为 CRC 计算单元框图

图 8-1 CRC 计算单元框图



## 8.3 CRC 功能描述

### 8.3.1 CRC32

CRC 计算单元含有 1 个 32 位数据寄存器：

- 对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据。
- 对该寄存器进行读操作时，返回上一次 CRC 计算的结果。

每一次写入数据寄存器，其计算结果是前一次 CRC 计算结果和新计算结果的组合(对整个 32 位字进行 CRC 计算，而不是逐字节地计算)。

在 CRC 计算期间会暂停 CPU 的写操作，因此可以对寄存器 CRC\_CRC32DAT 进行背靠背写入或者连续地写-读操作。

可以通过设置寄存器 CRC\_CRC32CTRL 的 RESET 位来重置寄存器 CRC\_CRC32DAT 为 0xFFFF FFFF。该操作不影响寄存器 CRC\_CRC32IDAT 内的数据。

### 8.3.2 CRC16

若需要配置校验数据的大小端，可以配置 CRC\_CRC16CTRL\_ENDHL。

若需要清除上次 CRC 运算的结果，可以配置 CRC\_CRC16CTRL\_CLR 为 1 或 CRC\_CRC16D 为 0。

若对 CRC 校验的初始值有要求，则先配置 CRC\_CRC16D 寄存器，否则初始值为上次运行的结果。

LRC 计算过程跟 CRC 一样，二者计算同时进行。可以根据需要选择读取 CRC 或 LRC。若对初始值有要求，需先配置 LRC 寄存器。

## 8.4 CRC 寄存器

### 8.4.1 CRC 寄存器映像

下表列出了 CRC 的寄存器映像和复位值

表 8-1 CRC 计算单元寄存器映像和复位值

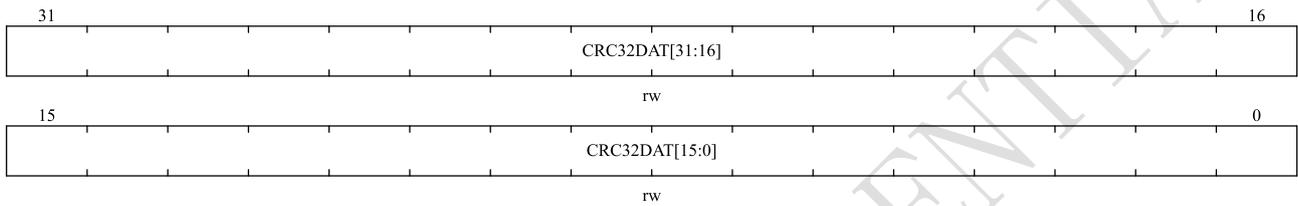
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	CRC32DAT	CRC32DAT[31:0]																															
	Reset Value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
004h	CRC32IDAT	Reserved																								CRC32IDAT[7:0]							
	Reset Value																									0	0	0	0	0	0	0	0
008h	CRC32CTRL	Reserved																															RESET
	Reset Value																																0
00Ch	CRC16CTRL	Reserved																								CLR	ENDHL	Reserved					
	Reset Value																									0	0	0					
010h	CRC16DAT	Reserved																								CRC16DAT[7:0]							
	Reset Value																									0	0	0	0	0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
014h	CRC16D	Reserved																CRC16D[15:0]																	
	Reset Value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
018h	LRC	Reserved																LRCDAT[7:0]																	
	Reset Value																	0	0	0	0	0	0	0	0	0	0	0	0						

### 8.4.2 CRC32 数据寄存器 ( CRC\_CRC32DAT )

地址偏移: 0x00

复位值: 0xFFFF FFFF

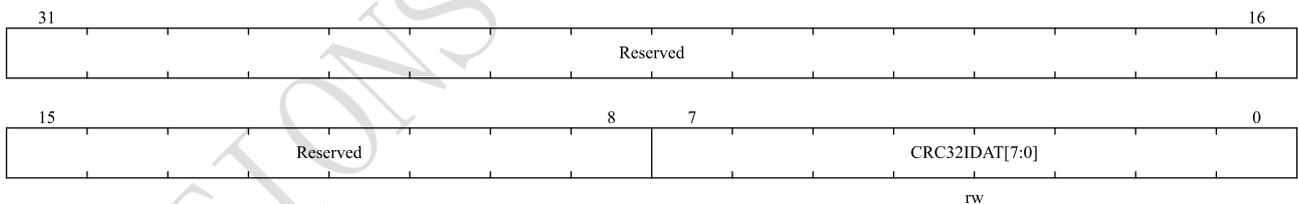


位域	名称	描述
31:0	CRC32DAT[31:0]	数据寄存器位 写入 CRC 计算器的新数据时, 作为输入寄存器 读取时返回 CRC 计算的结果

### 8.4.3 CRC32 独立数据寄存器 ( CRC\_CRC32IDAT )

地址偏移: 0x04

复位值: 0x0000 0000



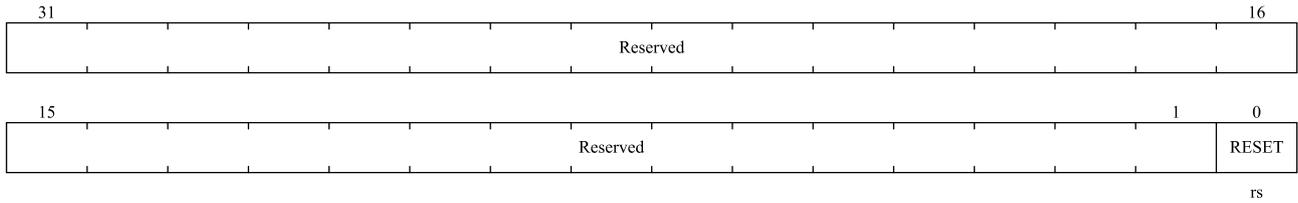
位域	名称	描述
31:8	Reserved	必须保持复位值
7:0	CRC32IDAT[7:0]	独立 8 位数据寄存器位 可用于临时存放 1 字节的数据。 寄存器 CRC_CRC32CTRL 的 RESET 位产生的 CRC 复位对本寄存器没有影响

注: 此寄存器不参与 CRC 计算, 可以存放任何数据。

### 8.4.4 CRC32 控制寄存器 ( CRC\_CRC32CTRL )

地址偏移: 0x08

复位值: 0x0000 0000

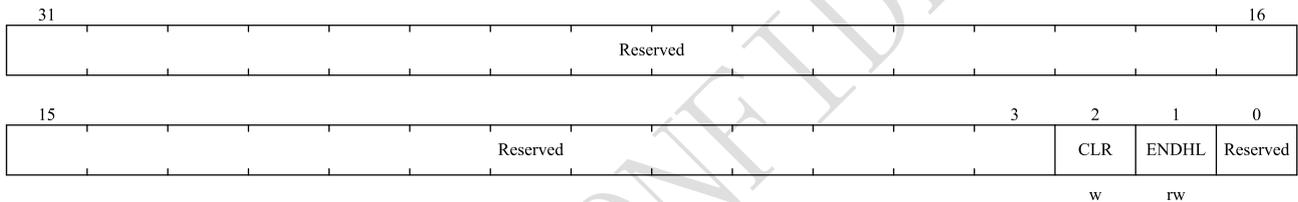


位域	名称	描述
31:1	Reserved	必须保持复位值
0	RESET	复位 CRC 计算单元，设置数据寄存器为 0xFFFF FFFF。 只能对该位写'1'，它由硬件自动清'0'。

### 8.4.5 CRC16 控制寄存器 ( CRC\_CRC16CTRL )

地址偏移: 0x0C

复位值: 0x0000 0000



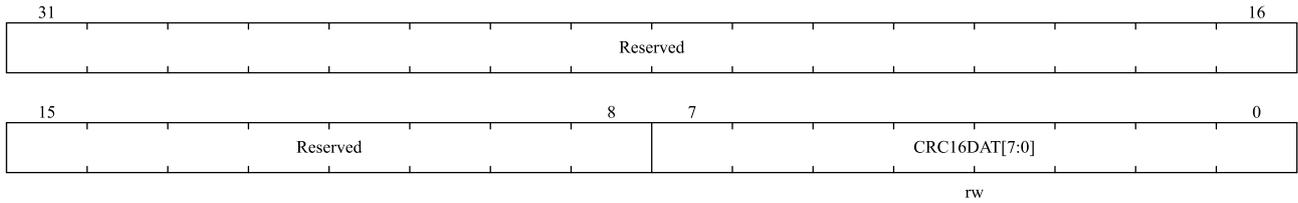
位域	名称	描述
31:3	Reserved	始终读为 0
2	CLR	清除 CRC16 校验值 0: 不清除 1: 清除，采用默认值 0x0000 该位软件置 1，仅维持 1 个周期，由硬件自动清零（软件读恒为 0）
1	ENDHL	选择待校验数据大小端 0: 从高位到低位 1: 从低位到高位 该 bit 仅针对待校验数据
0	Reserved	始终读为 0

注: 支持 8、16、32 位操作

### 8.4.6 CRC16 待校验数据寄存器 ( CRC\_CRC16DAT )

地址偏移: 0x10

复位值: 0x0000 0000



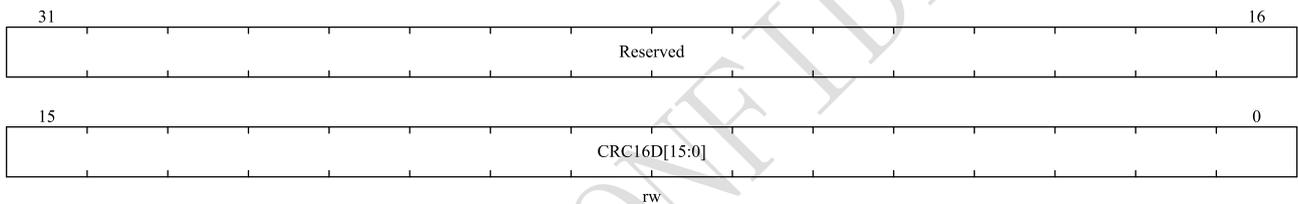
位域	名称	描述
31:8	Reserved	始终读为 0
7:0	CRC16DAT[7:0]	写入的待校验数据

注：支持 8、16、32 位操作

### 8.4.7 CRC 循环冗余校验码寄存器 ( CRC\_CRC16D )

地址偏移：0x14

复位值：0x0000 0000



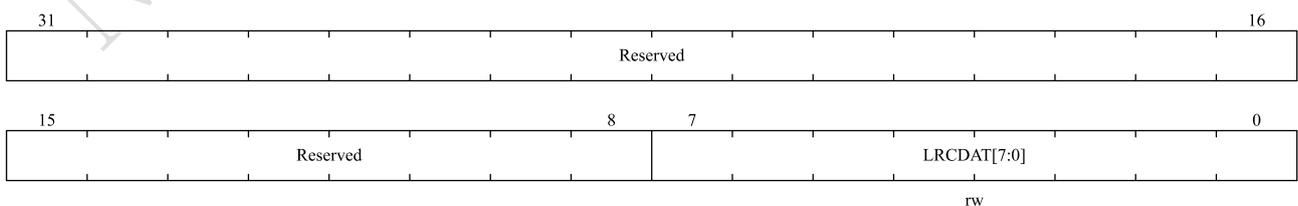
位域	名称	描述
31:16	Reserved	始终读为 0
15:0	CRC16D[15:0]	循环冗余校验码 16 位值 软件每次写 CRC16DAT 寄存器时，CRC16 计算的 16 位结果写入该寄存器

注：支持 8、16、32 位操作（8 位操作时必须连续配置 2 次，以确保写入 16 位的初值，读出 16 位正确结果）

### 8.4.8 LRC 校验值寄存器 ( CRC\_LRC )

地址偏移：0x18

复位值：0x0000 0000



位域	名称	描述
31:8	Reserved	始终读为 0

位域	名称	描述
7:0	LRCDAT[7:0]	LRC 校验值寄存器： 该寄存器可直接读写，在使用之前，软件可先配置初始值； 之后每次写入 CRC16DAT 寄存器的数值都会跟 LRC 寄存器进行“异或”运算，结果回放到该寄存器。软件读取结果，下次运算前需软件清零。

NATIONS CONFIDENTIAL

## 9 高级控制定时器 (TIM1)

### 9.1 TIM1 简介

高级控制定时器 (TIM1) 由一个 16 位的自动装载计数器、一个可编程的重复计数器和一个可编程预分频计数器组成。

高级控制定时器可以用于测量输入信号的脉冲宽度 (输入捕获)、产生输出波形 (输出比较、PWM、嵌入死区时间的互补 PWM 等) 以及对输入信号进行计数。

结合定时器预分频器和 RCC 时钟控制预分频器, 可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。

高级控制定时器 (TIM1) 和通用定时器 TIM3 不共享任何资源, 完全独立, 可以实现异步或同步操作, 具体描述参看 9.3.20 节。

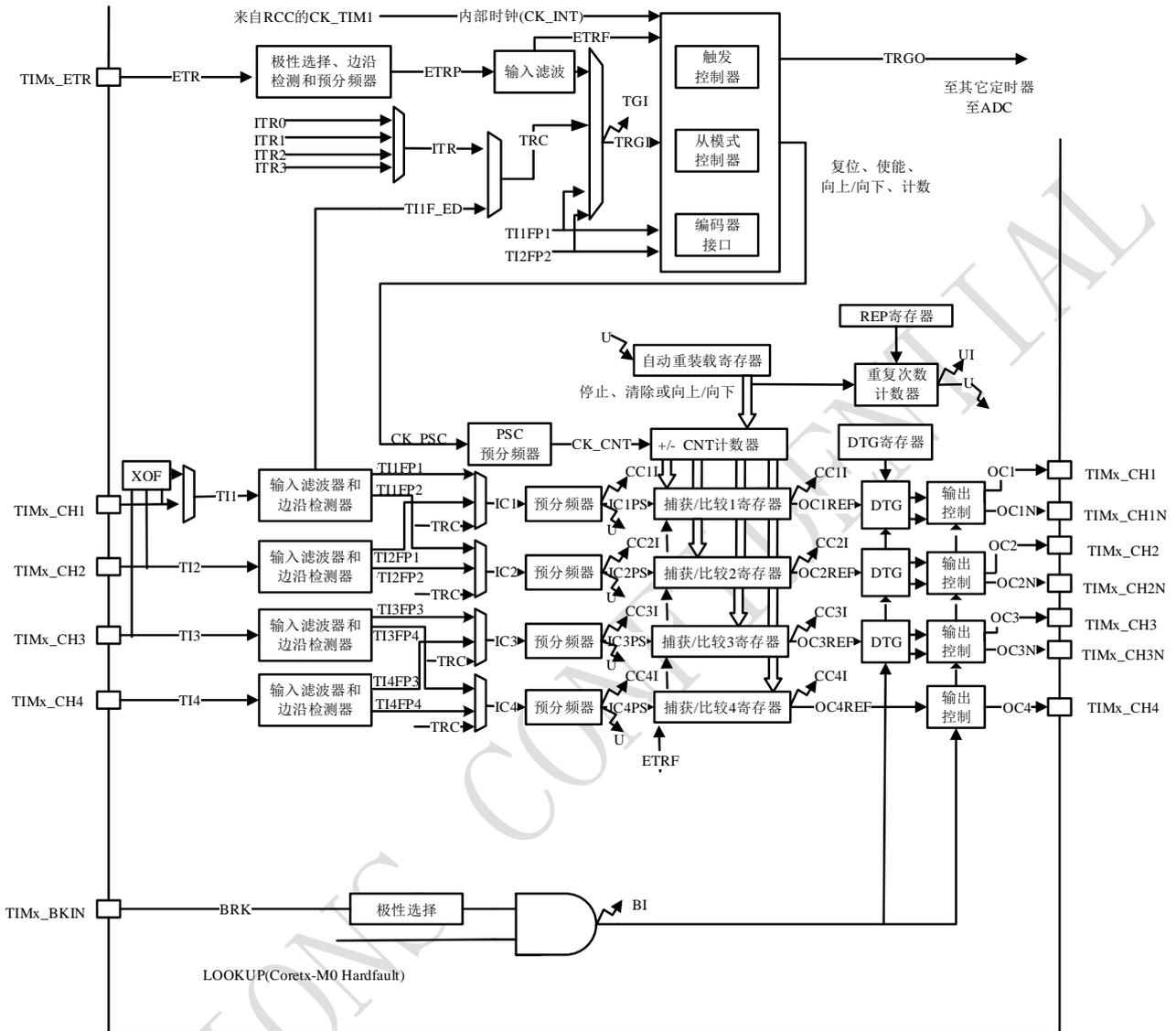
### 9.2 TIM1 主要特性

TIM1 定时器的功能包括:

- 16 位向上、向下、向上/下自动装载计数器
- 16 位可编程预分频器, 计数器时钟频率的分频系数为 1~65535 之间的任意数值
- 多达 4 个独立通道:
  - ◆ 输入捕获
  - ◆ 输出比较
  - ◆ PWM 生成 (边缘或中间对齐模式)
  - ◆ 单脉冲模式输出
- 死区时间可编程的互补输出
- 外部信号结合内置同步电路对多个定时器进行统一控制
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器
- 支持 IO 刹车信号输入, 及 HardFault 进行 PWM 刹车
- 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- 如下事件发生时产生中断/DMA:
  - ◆ 更新: 计数器向上溢出/向下溢出, 计数器初始化 (通过软件或者内部/外部触发)
  - ◆ 触发事件 (计数器启动、停止、初始化或者由内部/外部触发计数)
  - ◆ 输入捕获
  - ◆ 输出比较
  - ◆ 刹车信号输入
- 支持针对定位的增量 (正交) 编码器和霍尔传感器电路

- 触发输入作为外部时钟或者按周期的电流管理

图 9-1 高级控制定时器框图



▲ 事件  
▲ 中断和 DMA 输出

## 9.3 TIM1 功能描述

### 9.3.1 时基单元

高级定时器由预分频器、计数器、自动装载寄存器以及重复计数器组成。计数器可以向上计数、向下计数或者向上向下双向计数。预分频器分频后的时钟输入计数器。

在时基单元工作时，软件仍可以随时对计数器、自动装载寄存器和预分频器寄存器进行读写。

- 时基单元包含：预分频器寄存器（TIMx\_PSC）

- 计数器寄存器 (TIMx\_CNT)
- 自动装载寄存器 (TIMx\_AR)
- 重复次数寄存器 (TIMx\_REPCNT)

自动装载寄存器具有预先装载功能，读写自动重装载寄存器将访问预装载寄存器。根据在 TIMx\_CTRL1 寄存器中的自动装载预装载使能位 (ARPEN) 的设置，预装载寄存器的内容被立即或在每次的更新事件 UEV 时传送到影子寄存器。以下条件产生更新事件：

- 当计数器达到溢出条件 (向下计数时的下溢条件) 并当 TIMx\_CTRL1 寄存器中的 UPDIS 位等于 0 时，产生更新事件。
- 软件产生。

预分频器的时钟输出 CK\_CNT 驱动计数器，仅当设置了计数器 TIMx\_CTRL1 寄存器中的计数器使能位 (CNTEN) 时，CK\_CNT 才有效。(更多有关使能计数器的细节，请参见控制器的从模式描述)。

注意，在设置了 TIMx\_CTRL 寄存器的 CNTEN 位的一个时钟周期后，计数器开始计数。

### 9.3.1.1 预分频器描述

预分频器 (TIMx\_PSC 寄存器) 由 16 位计数器构成，可以将输入时钟频率按 1 到 65536 之间的任意值分频。因为这个控制寄存器带有缓冲器，它能够在运行时被改变。新的预分频器的参数在下次更新事件到来时被采用。

图 9-2 和图 9-3 给出了在预分频器运行时，更改计数器参数的示例。

图 9-2 当预分频器的参数从 1 变到 2 时，计数器的时序图

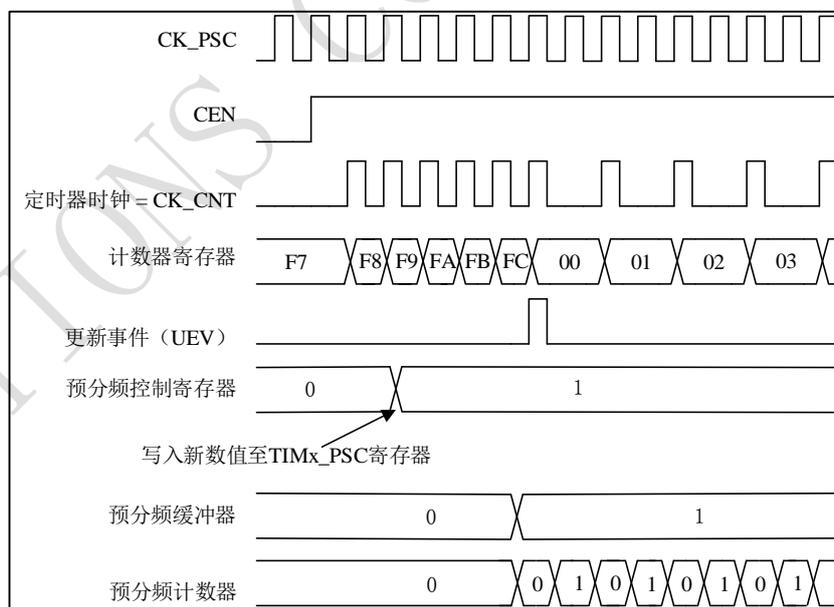
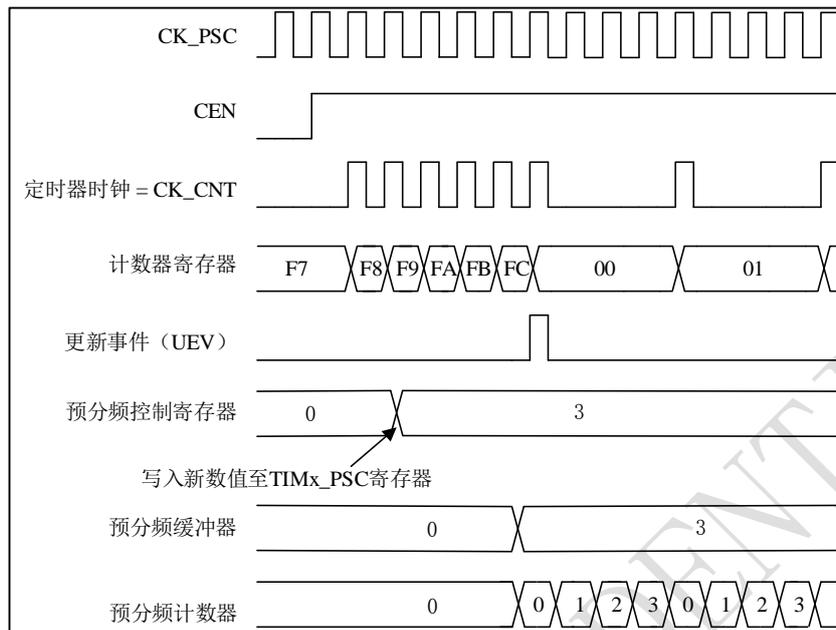


图 9-3 当预分频器的参数从 1 变到 4 时，计数器的时序图



## 9.3.2 计数器模式

### 9.3.2.1 向上计数模式

使用向上计数模式，计数器将从 0 计数到自动加载值（TIMx\_AR 计数器的值），然后重新从 0 开始计数并且产生一个计数器溢出事件。

如果使用了重复计数器功能，在向上计数达到设置的重复计数次数（TIMx\_REPCNT）时，产生更新事件（UEV）；否则每次计数器溢出时产生更新事件。

在 TIMx\_EVTGEN 寄存器中（通过软件方式或者使用从模式控制器）设置 UDN 位也同样可以产生一个更新事件。

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以设置 TIMx\_CTRL1 寄存器中的 UPDIS 位，可以禁止更新事件。在 UPDIS 位被清'0'之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清'0'，同时预分频器的计数也被清'0'（但预分频器的数值不变）。此外，如果设置了 TIMx\_CTRL1 寄存器中的 UPRS 位（选择更新请求），设置 UDN 位将产生一个更新事件 UEV，但硬件不设置 UDITF 标志（即不产生中断或 DMA 请求）。这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

更新事件发生后，所有的寄存器都被更新，硬件同时（依据 UPRS 位）设置更新标志位（TIMx\_STS 寄存器中的 UDITF 位）。

- 重复计数器被重新加载为 TIMx\_REPCNT 寄存器的内容。
- 自动装载影子寄存器被重新置入预装载寄存器的值（TIMx\_AR）。
- 预分频器的缓冲区被置入预装载寄存器的值（TIMx\_PSC 寄存器的内容）。

下图给出一些示例，当 TIMx\_AR=0x36 时计数器在不同时钟频率下的动作。

图 9-4 计数器时序图，内部时钟分频因子为 1

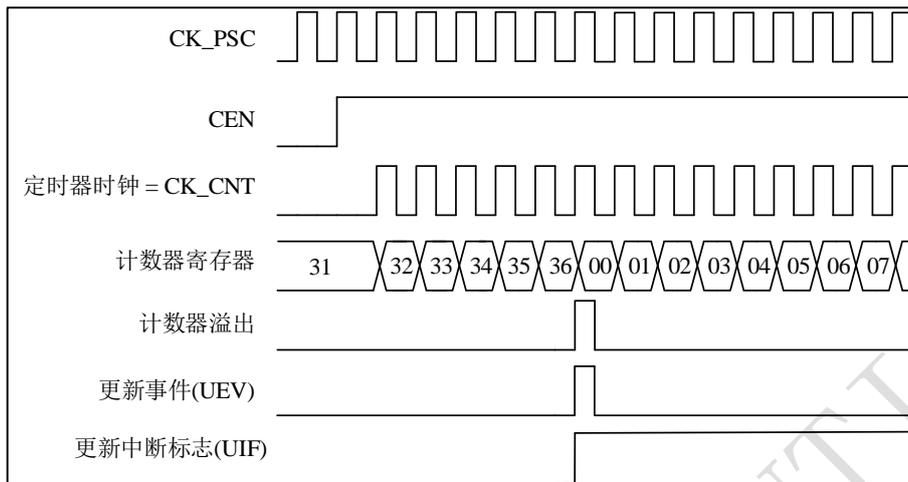


图 9-5 计数器时序图，内部时钟分频因子为 2

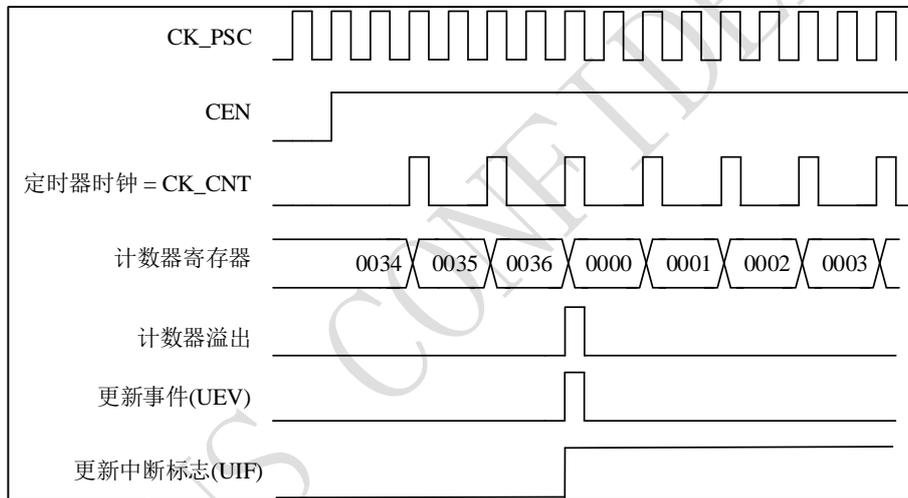


图 9-6 计数器时序图，内部时钟分频因子为 4

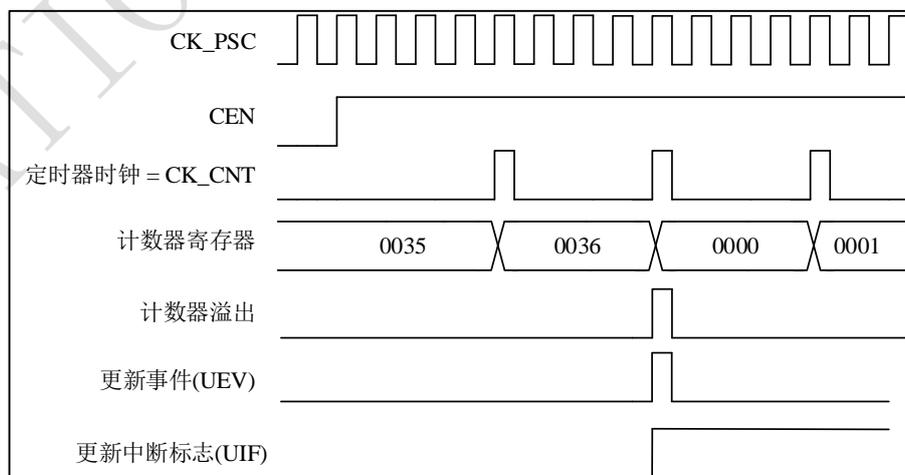


图 9-7 计数器时序图，内部时钟分频因子为 N

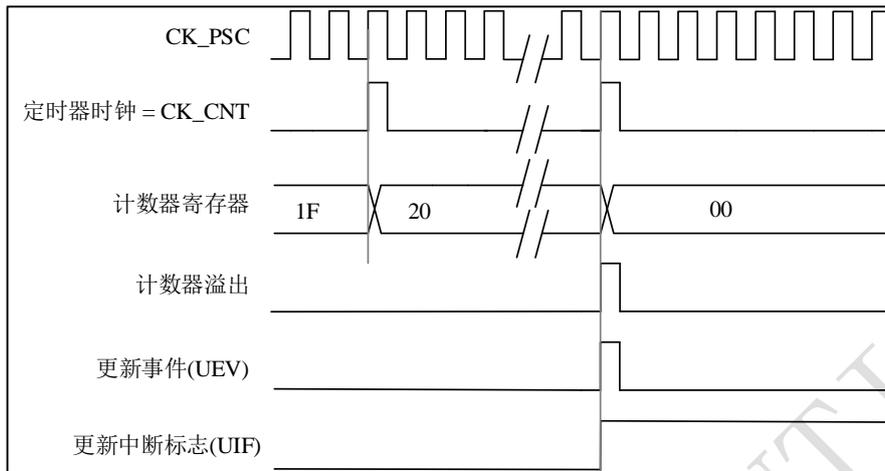


图 9-8 计数器时序图，当 ARPEN=0 时的更新事件 (TIMx\_ARR 没有预装入)

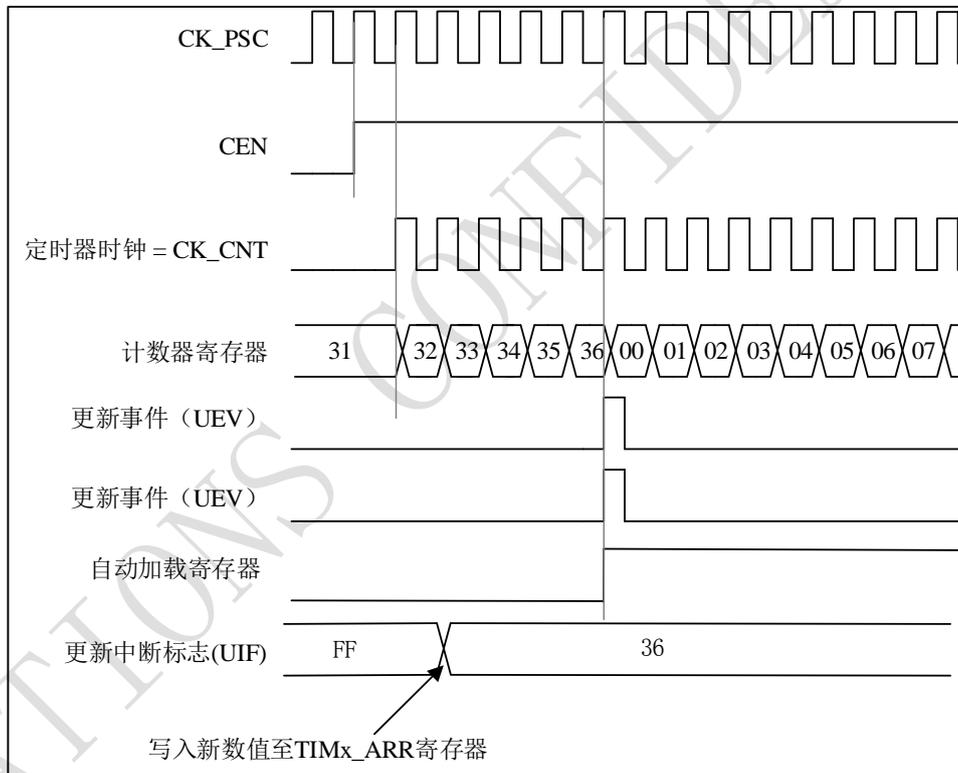
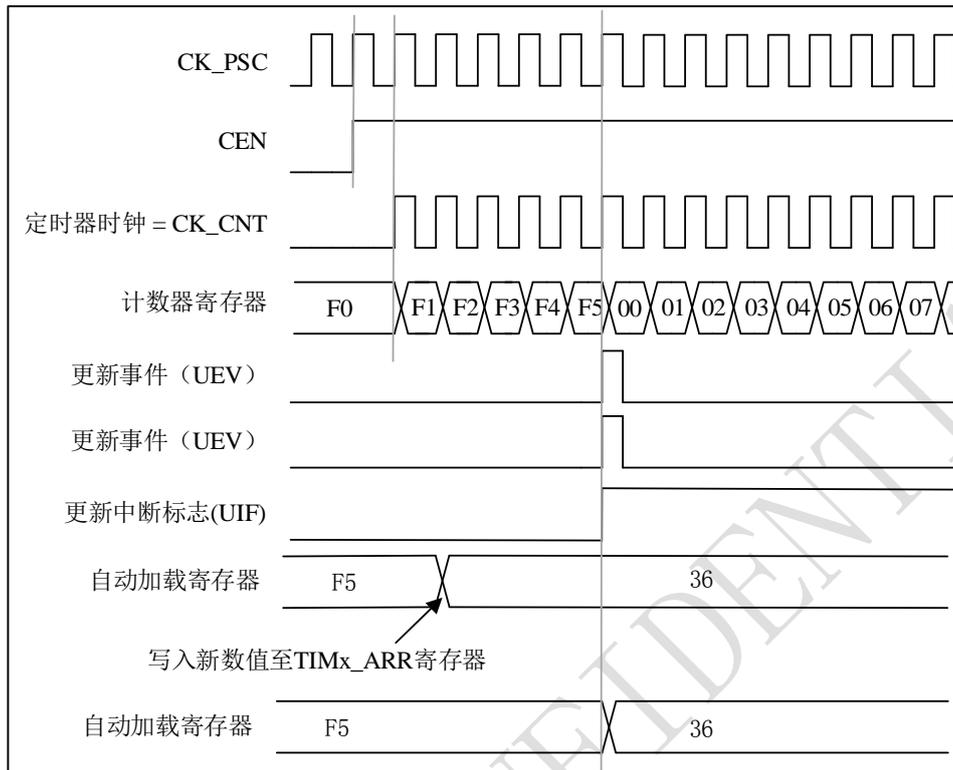


图 9-9 计数器时序图，当 ARPEN=1 时的更新事件（预装入了 TIMx\_ARR）



### 9.3.2.2 向下计数模式

如果使用向下计数模式，计数器将从自动装入的值（TIMx\_ARR 计数器的值）开始向下计数到 0，然后从自动装入的值重新开始并且产生一个计数器向下溢出事件。

如果使用了重复计数器，当向下计数重复了重复计数寄存器（TIMx\_REPCNT）中设定的次数后，将产生更新事件（UEV），否则每次计数器下溢时产生更新事件。

在 TIMx\_EVTGEN 寄存器中（通过软件方式或者使用从模式控制器）设置 UDN 位，也同样可以产生一个更新事件。

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以设置 TIMx\_CTRL1 寄存器中的 UPDIS 位，可以禁止更新事件。因此 UPDIS 位被清为 0 之前不会产生更新事件。然而，计数器仍会从当前自动加载值重新开始计数，并且预分频器的计数器重新从 0 开始（但预分频系数不变）。

此外，如果设置了 TIMx\_CTRL1 寄存器中的 UPRS 位（选择更新请求），设置 UDN 位将产生一个更新事件 UEV 但不设置 UDITF 标志（因此不产生中断和 DMA 请求），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

更新事件发生后，所有的寄存器都被更新，硬件同时（依据 UPRS 位）设置更新标志位（TIMx\_STS 寄存器中的 UDITF 位）。

- 重复计数器被重置为 TIMx\_REPCNT 寄存器中的内容
- 预分频器的缓存器被加载为预装载的值（TIMx\_PSC 寄存器的值）。
- 当前的自动加载寄存器被更新为预装载值（TIMx\_ARR 寄存器中的内容）。注：自动装载在计数器重载入之前被更新，因此下一个周期将是预期的值。

以下是一些当 TIMx\_AR=0x36 时，计数器在不同时钟频率下的操作示例。

图 9-10 计数器时序图，内部时钟分频因子为 1

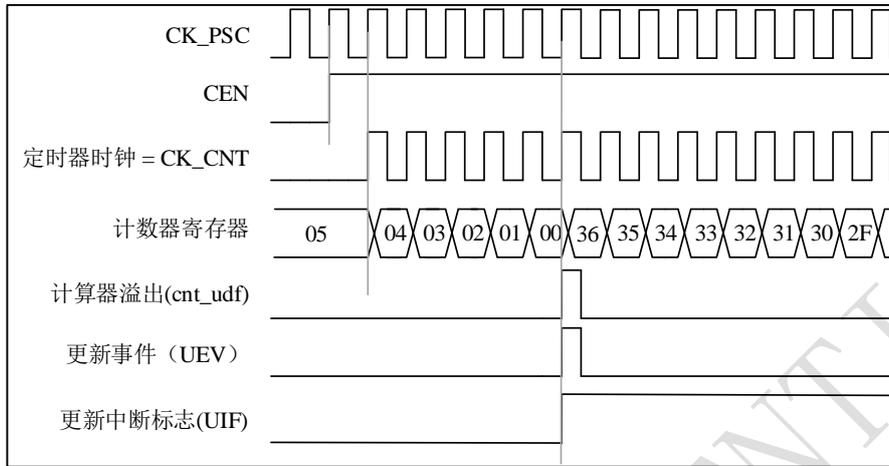


图 9-11 计数器时序图，内部时钟分频因子为 2

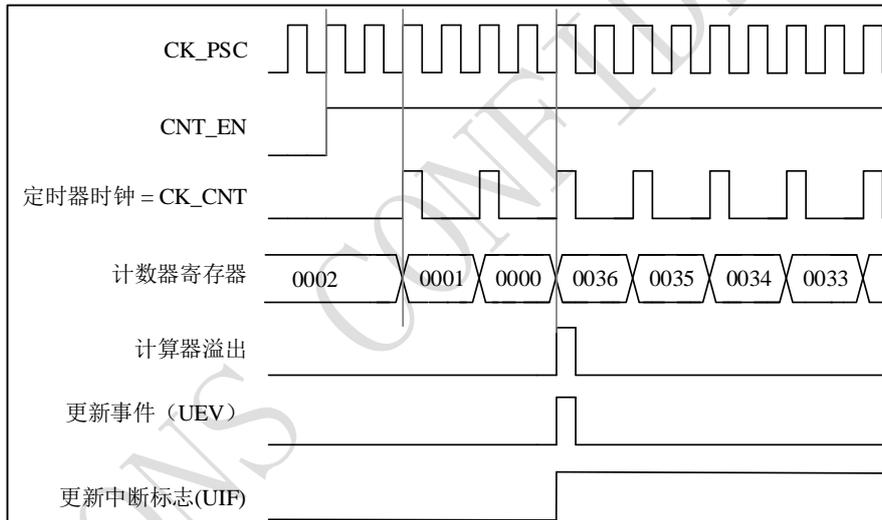


图 9-12 计数器时序图，内部时钟分频因子为 4

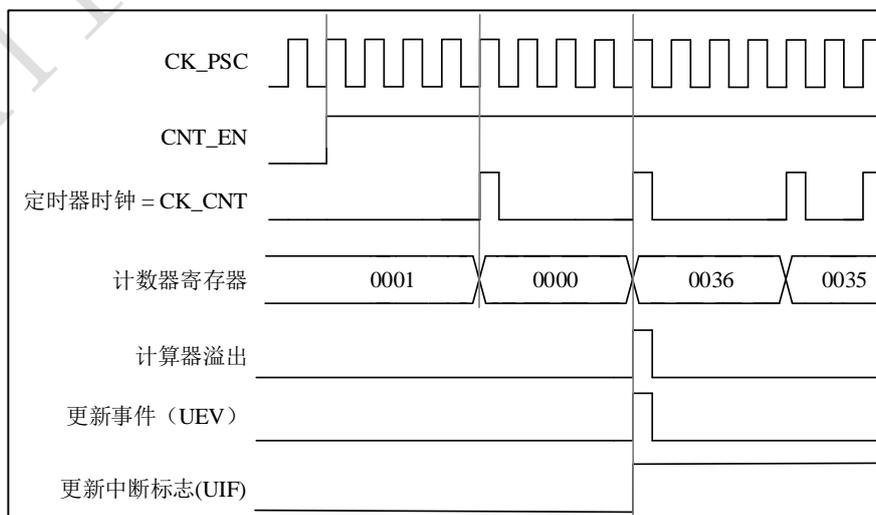


图 9-13 计数器时序图，内部时钟分频因子为 N

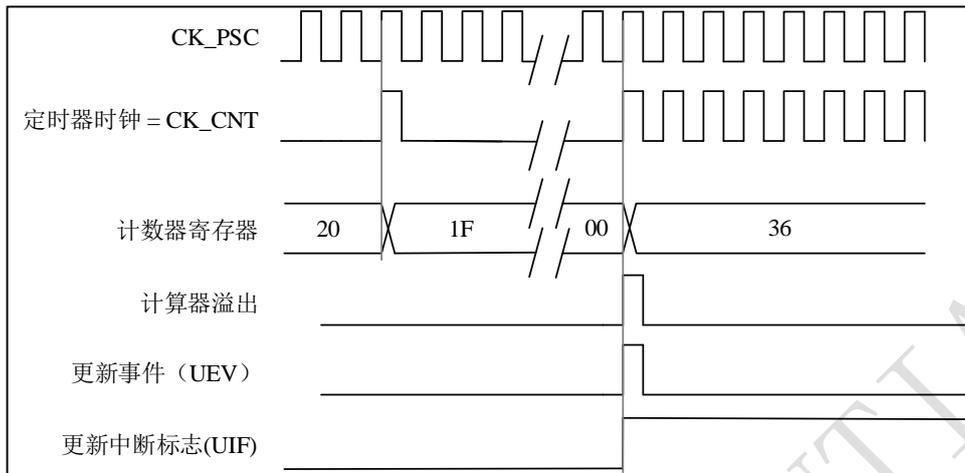
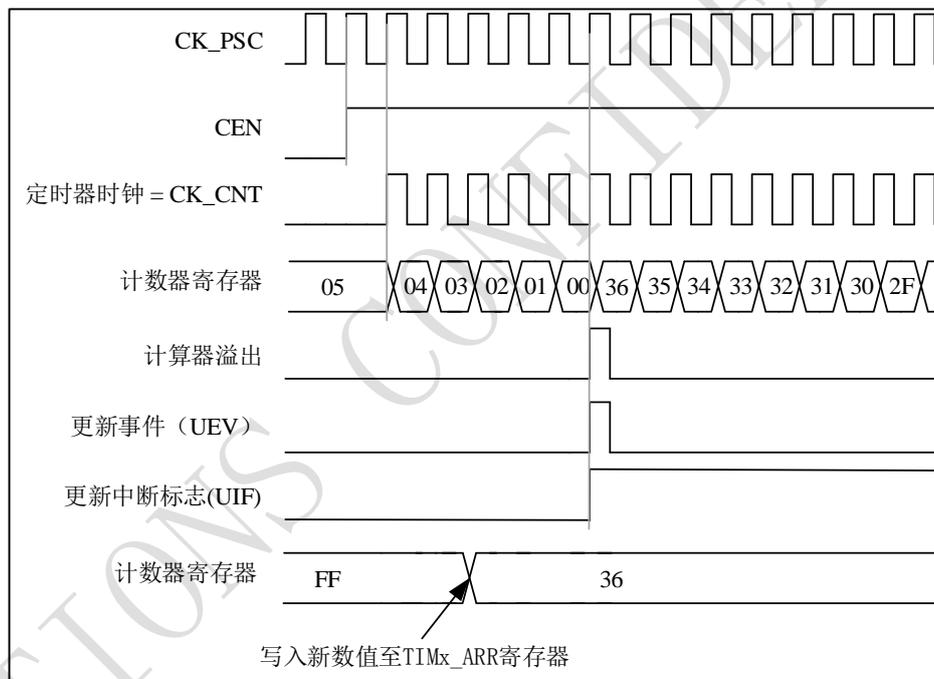


图 9-14 计数器时序图，当没有使用重复计数器时的更新事件



### 9.3.2.3 中央对齐模式 ( 向上/向下计数 )

如果使用中央对齐模式，计数器将从 0 开始计数到自动加载的值 (TIMx\_ARR 寄存器) -1，产生一个计数器溢出事件，然后向下计数到 1 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。

在此模式下，不能写入 TIMx\_CTRL1 中的 DIR 方向位。它由硬件更新并指示当前的计数方向。

可以在每次计数上溢和每次计数下溢时产生更新事件；也可以通过（软件或者使用从模式控制器）设置 TIMx\_EVTGEN 寄存器中的 UDN 位产生更新事件。然后，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以设置 TIMx\_CTRL1 寄存器中的 UPDIS 位禁止 UEV 事件。因此 UPDIS 位被清为 0 之前不会产生更新事件。然而，计数器仍会根据当前自动重新加载

的值，继续向上或向下计数。

此外，如果设置了 TIMx\_CTRL1 寄存器中的 UPRS 位（选择更新请求），设置 UDGN 位将产生一个更新事件 UEV 但不设置 UDITF 标志（因此不产生中断和 DMA 请求），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

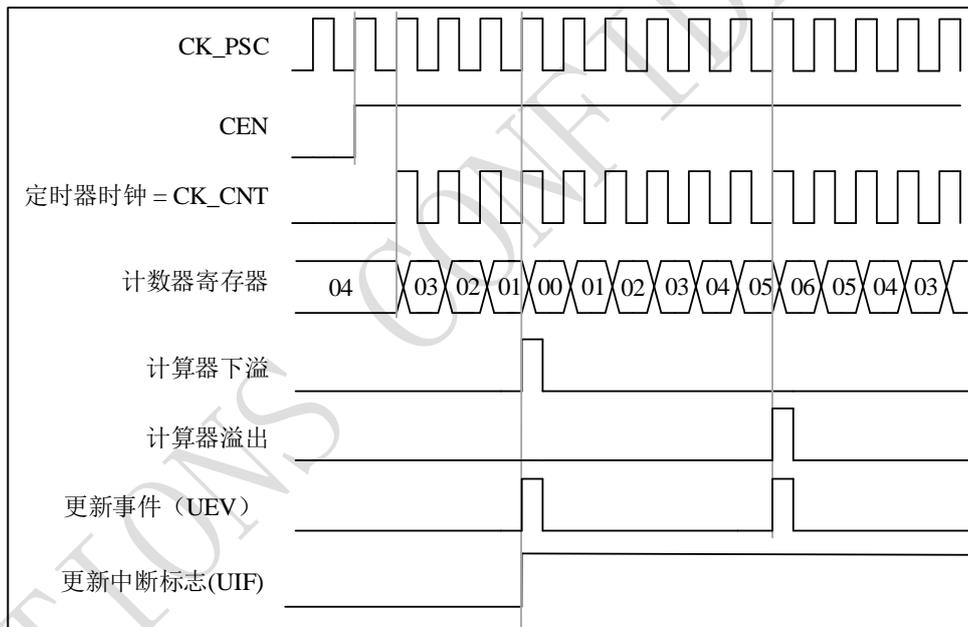
当发生更新事件时，所有的寄存器都被更新，并且（根据 UPRS 位的设置）更新标志位（TIMx\_STS 寄存器中的 UDITF 位）也被设置。

- 重复计数器被重置为 TIMx\_REPCNT 寄存器中的内容
- 预分频器的缓存器被加载为预装载（TIMx\_PSC 寄存器）的值
- 当前的自动加载寄存器被更新为预装载值（TIMx\_AR 寄存器中的内容）。

*注：如果因为计数器溢出而产生更新，自动重装载将在计数器重载入之前被更新，因此下一个周期将是预期的值（计数器被装载为新的值）。*

以下是一些计数器在不同时钟频率下的操作的示例：

图 9-15 计数器时序图，内部时钟分频因子为 1，TIMx\_AR=0x6



1. 这里使用了中心对齐模式 1（详见 9.4.2 节）。

图 9-16 计数器时序图，内部时钟分频因子为 2

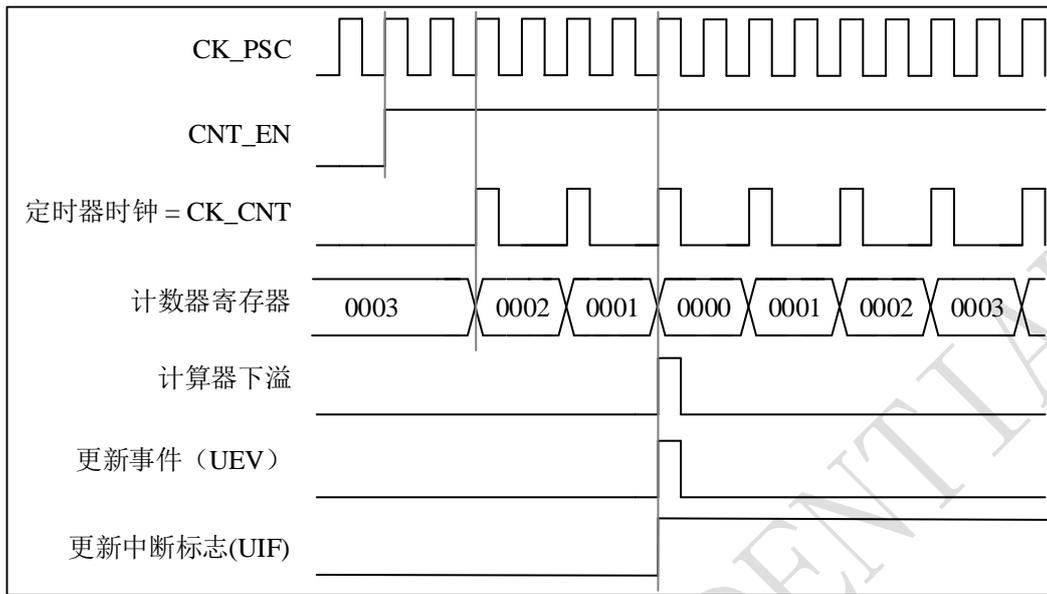


图 9-17 计数器时序图，内部时钟分频因子为 4，TIMx\_AR=0x36

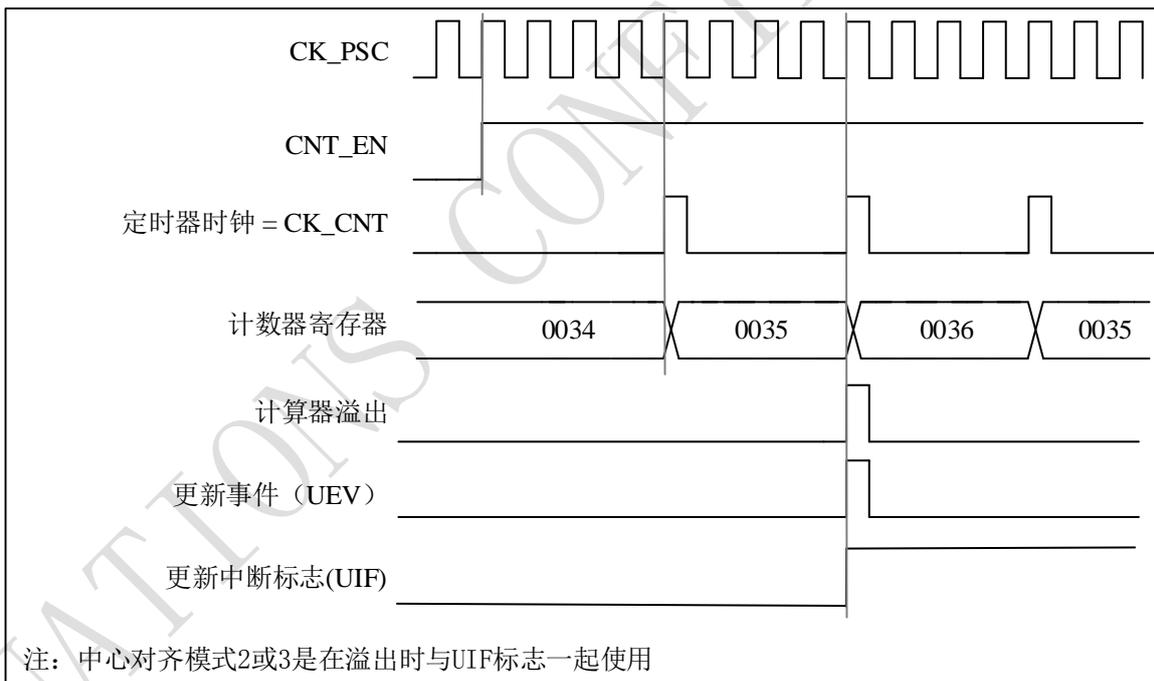


图 9-18 计数器时序图，内部时钟分频因子为 N

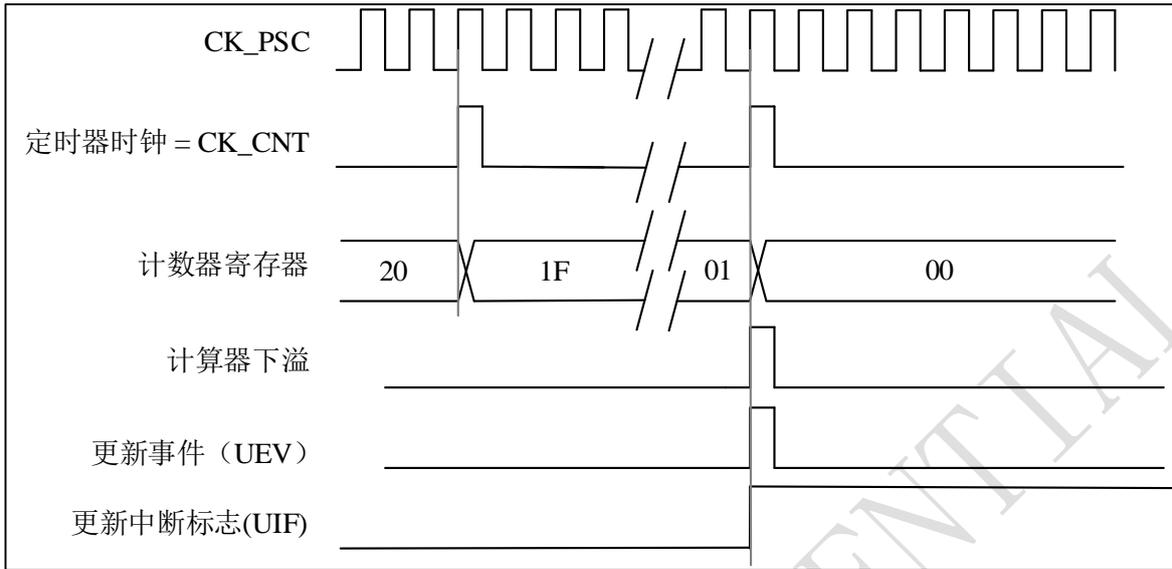


图 9-19 计数器时序图，ARPEN=1 时的更新事件（计数器下溢）

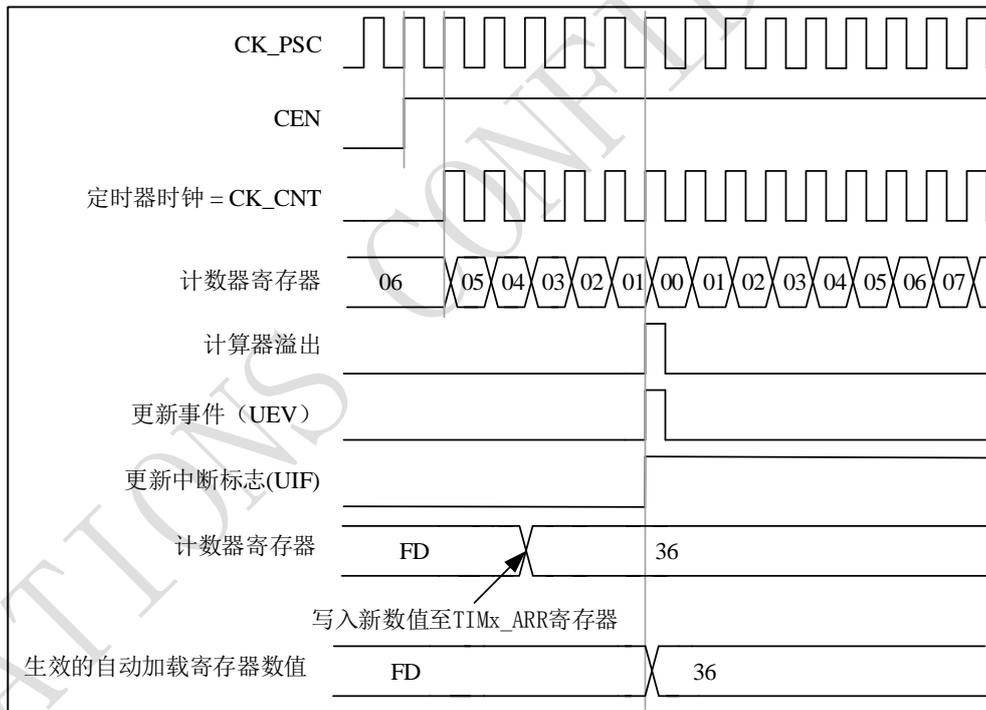
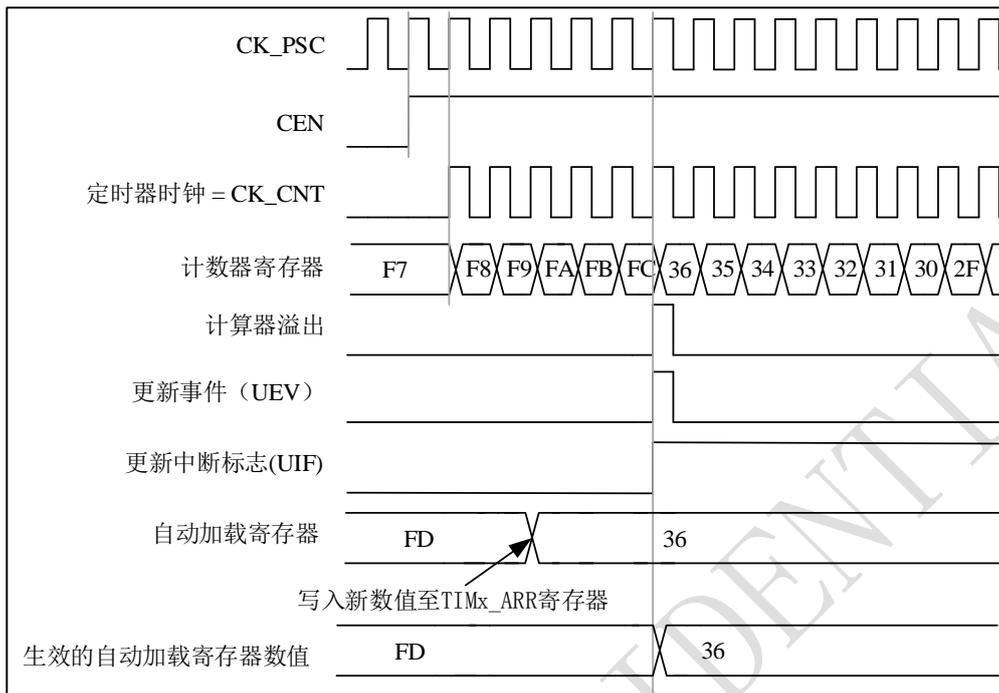


图 9-20 计数器时序图，ARPE=1 时的更新事件（计数器溢出）



### 9.3.3 重复计数器

9.3.1 节“时基单元”解释了计数器上溢/下溢时更新事件 (UEV) 是如何产生的，然而事实上它只能在重复计数达到 0 的时候产生。这个特性对产生 PWM 信号非常有用。

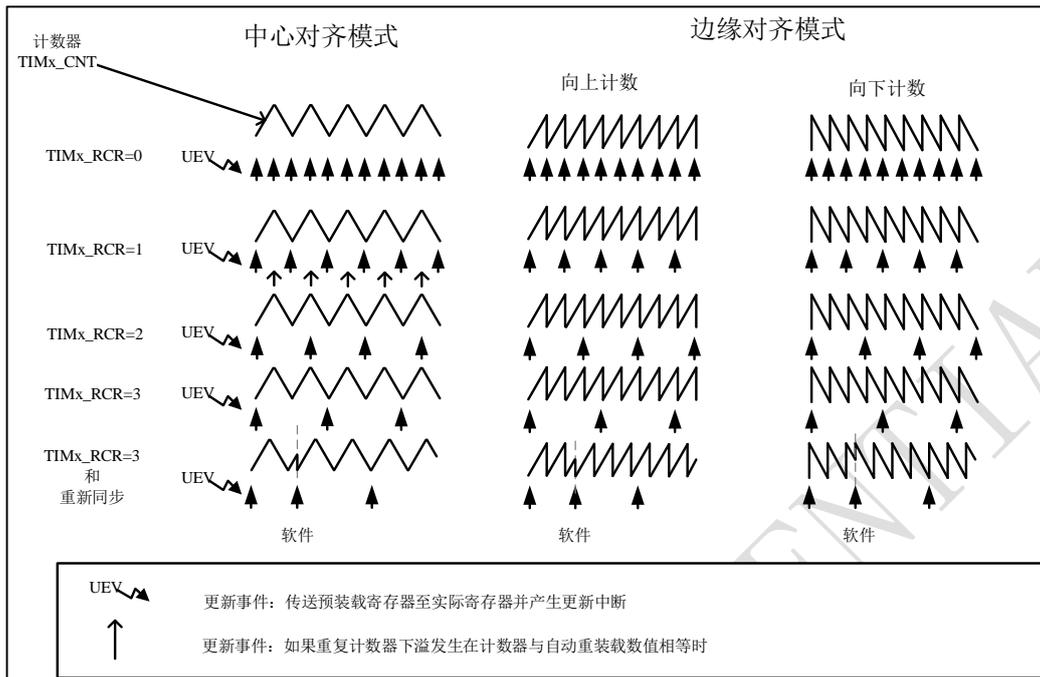
这意味着在每 N 次计数上溢或下溢时，数据从预装载寄存器传输到影子寄存器 (TIMx\_AR 自动重载入寄存器，TIMx\_PSC 预装载寄存器，以及在比较模式下的捕获 / 比较寄存器 TIMx\_CCDAx)，N 是 TIMx\_REPCNT 重复计数寄存器中的值。

重复计数器在下述任一条件成立时递减：

- 向上计数模式时，每次计数器溢出，
- 向下计数模式时，每次计数器下溢，
- 中央对齐模式时，每次上溢和每次下溢。虽然这样限制了 PWM 的最大循环周期为 128，但它能够在每个 PWM 周期 2 次更新占空比。在中央对齐模式下，因为波形是对称的，如果每个 PWM 周期中仅刷新一次比较寄存器，则最大的分辨率为  $2 \times T_{ck}$ 。

重复计数器是自动加载的，重复速率由 TIMx\_REPCNT 寄存器的值定义（参看图 9-21）。当更新事件由软件产生（通过设置 TIMx\_EVTGEN 中的 UDN 位）或者通过硬件的从模式控制器产生，则无论重复计数器的值是多少，立即发生更新事件，并且 TIMx\_REPCNT 寄存器中的内容被重载入到重复计数器。

图 9-21 不同模式下更新速率的例子，及 TIMx\_REPCNT 的寄存器设置



### 9.3.4 时钟选择

计数器时钟由以下时钟源提供:

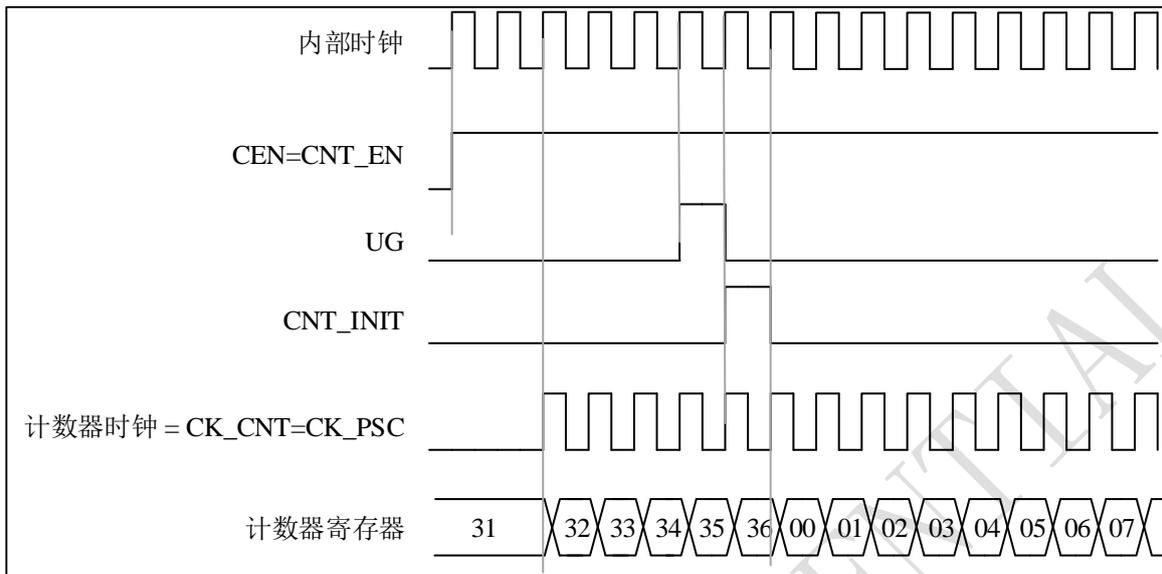
- 内部时钟 (CK\_INT)
- 外部时钟模式 1: 外部输入引脚
- 外部时钟模式 2: 外部触发输入 ETR
- 内部触发输入 (ITRx): 使用一个定时器作为另一个定时器的预分频器。如可以配置一个定时器 Timer3 而作为另一个定时器 Timer1 的预分频器。

#### 9.3.4.1 内部时钟源 (CK\_INT)

如果禁止从模式控制器 (SMSSEL=000), 那么 CNTEN、DIR (TIMx\_CTRL1 寄存器) 和 UDCN 位 (TIMx\_EVTGEN 寄存器) 是事实上的控制位, 并且只能被软件修改 (UDCN 位仍被自动清除)。只要 CNTEN 位被写成 '1', 预分频器的时钟就由内部时钟 CK\_INT 提供。

下图显示了控制电路和向上计数器在一般模式下, 不带预分频器时的操作。

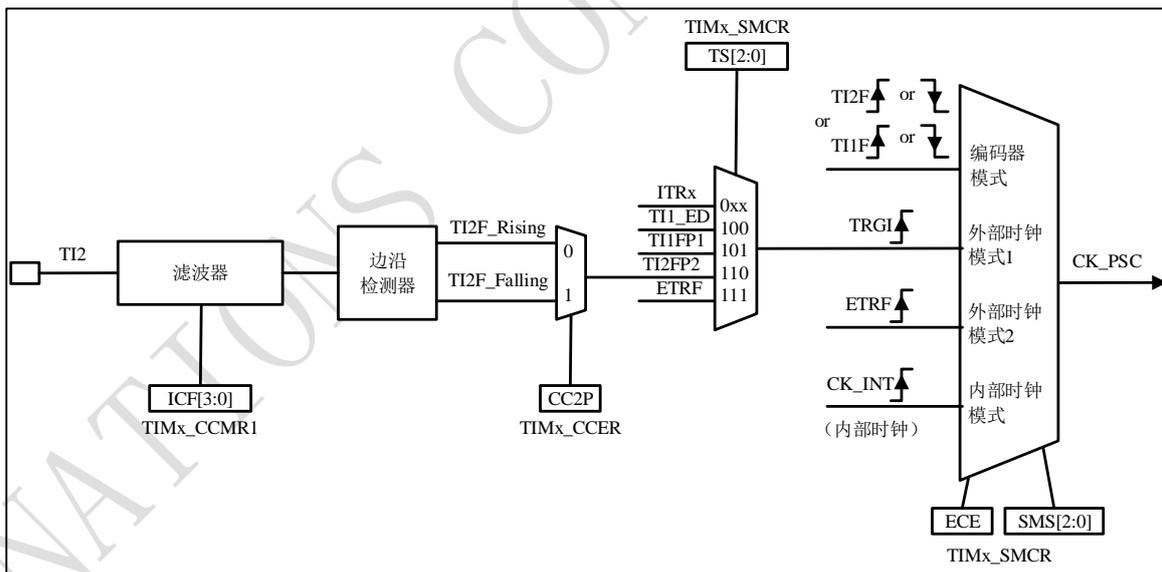
图 9-22 一般模式下的控制电路，内部时钟分频因子为 1



### 9.3.4.2 外部时钟源模式 1

如果 TIMx\_SMCTRL 寄存器的 SMSEL=111，选择 TRGI 信号，此模式被选中。计数器可以在选定输入端的每个上升沿或下降沿计数。

图 9-23 TI2 外部时钟连接例子



例如，要配置向上计数器在 TI2 输入端的上升沿计数，使用下列步骤：

- 配置 TIMx\_CCMOD1 寄存器 CC2SEL=01，配置通道 2 检测 TI2 输入的上升沿
- 配置 TIMx\_CCMOD1 寄存器的 IC2F[3:0]，选择输入滤波器带宽（如果不需要滤波器，保持 IC2F=0000）
- 配置 TIMx\_CCEN 寄存器的 CC2P=0，选定上升沿极性
- 配置 TIMx\_SMCTRL 寄存器的 SMSEL=111，选择定时器外部时钟模式 1 配置 TIMx\_SMCTRL 寄存器

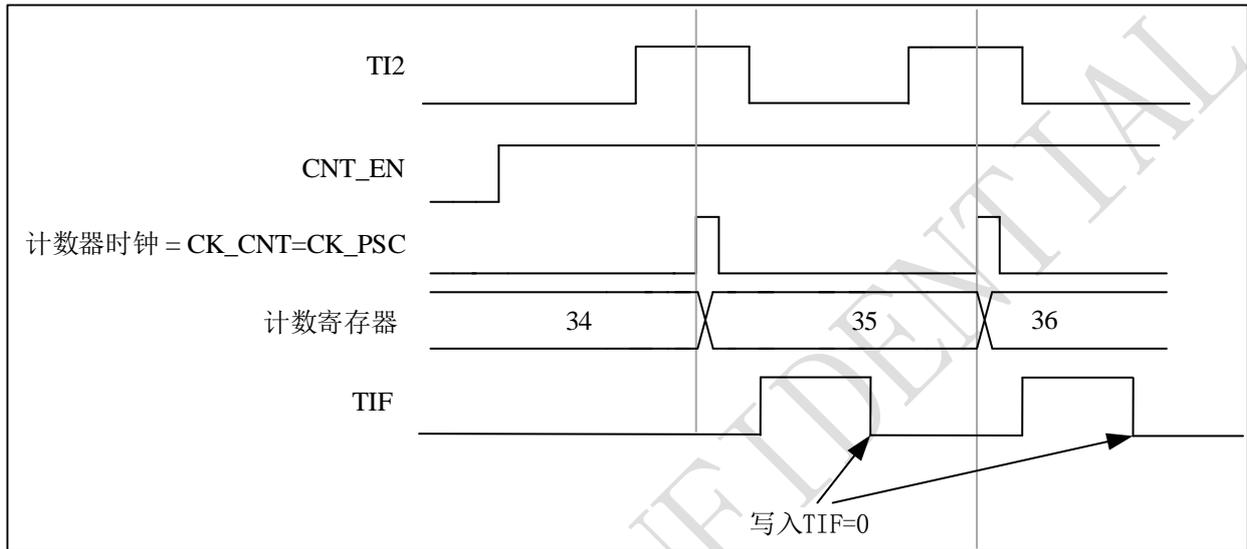
中的 TSEL=110, 选定 TI2 作为触发输入源 设置 TIMx\_CTRL1 寄存器的 CNTEN=1, 启动计数器

注: 捕获预分频器不用作触发, 所以不需要对它进行配置

当上升沿出现在 TI2, 计数器计数一次, 且 TITF 标志被设置。

在 TI2 的上升沿和计数器实际时钟之间的延时, 取决于在 TI2 输入端的重新同步电路。

图 9-24 外部时钟模式 1 下的控制电路

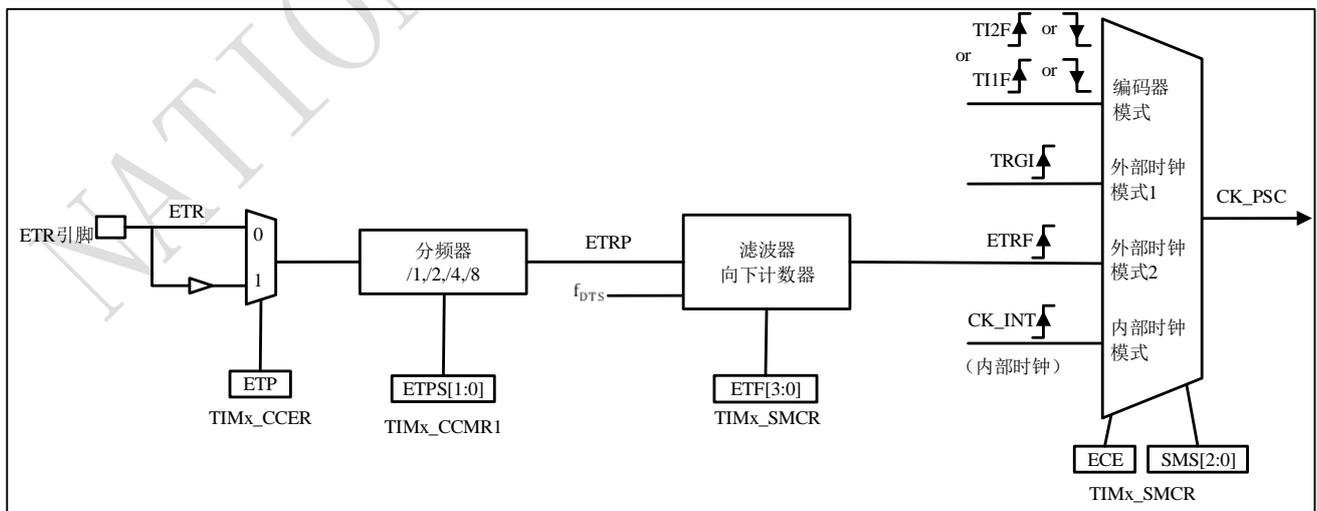


### 9.3.4.3 外部时钟源模式 2

选定此模式的方法是设置 TIMx\_SMCTRL 寄存器中的 EXCEN=1 (设置 TIMx\_SMCTRL 寄存器中的 SMSSEL=111, 同时设置 TSEL=111 有相同效果)。

计数器能够在外部触发 ETR 的每一个上升沿或下降沿计数。下图是外部触发输入的框图。

图 9-25 外部触发输入框图

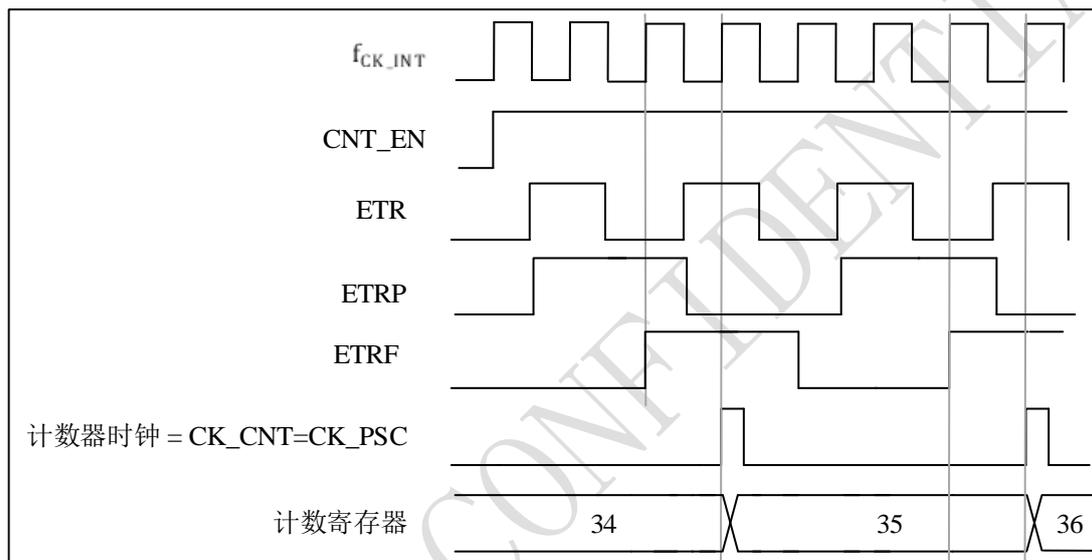


例如, 要配置在 ETR 下每 2 个上升沿计数一次的向上计数器, 使用下列步骤:

- 本例中不需要滤波器，置TIMx\_SMCTRL寄存器中的EXTF[3:0]=0000
- 设置预分频器，置TIMx\_SMCTRL寄存器中的EXTPS[1:0]=01
- 设置在ETR的上升沿检测，置TIMx\_SMCTRL寄存器中的EXTP=0
- 开启外部时钟模式2，置TIMx\_SMCTRL寄存器中的EXCEN=1
- 启动计数器，置TIMx\_CTRL1寄存器中的CNTEN=1

计数器在每 2 个 ETR 上升沿计数一次。在 ETR 的上升沿和计数器实际时钟之间的延时取决于在 ETRP 信号端的重新同步电路。

图 9-26 外部时钟模式 2 下的控制电路



### 9.3.5 输入捕获模式

配置成输入捕获模式时，当检测到 ICx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 (TIMx\_CCx) 中。当发生捕获事件时，相应的 CCxIF 标志 (TIMx\_STS 寄存器) 被置 1，如果开放了中断或者 DMA 操作，则将产生中断或者 DMA 请求。如果发生捕获事件时 CCxIF 标志已经为高，那么重复捕获标志 CCxOCF (TIMx\_STS 寄存器) 被置 1。写 CCxIF=0 可清除 CCxIF，或读取存储在 TIMx\_CCx 寄存器中的捕获数据也可清除 CCxIF。写 CCxOCF=0 可清除 CCxOCF。

以下示例说明如何将 TI1 输入的上升沿时捕获计数器的值捕获到 TIMx\_CCx 寄存器中，步骤如下：

- 选择有效输入端：TIMx\_CCx 必须连接到 TI1 输入，所以写入 TIMx\_CCMOD1 寄存器中的 CC1SEL=01，只要 CC1SEL 不为'00'，通道被配置为输入，并且 TIMx\_CCx 寄存器变为只读。
- 根据输入信号的特点，配置输入滤波器为所需的带宽（即输入为 TIx 时，输入滤波器控制位是 TIMx\_CCMODx 寄存器中的 ICxF 位）。假设输入信号在最多 5 个内部时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期；因此我们可以（以  $f_{DTS}$  频率）连续采样 8 次，以确认在 TI1 上一次真实的边沿变换，即在 TIMx\_CCMOD1 寄存器中写入 IC1F=0011。
- 选择 TI1 通道的有效转换边沿，在 TIMx\_CCEN 寄存器中写入 CC1P=0（上升沿）。

- 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止（写  $TIMx\_CCMOD1$  寄存器的  $IC1PS=00$ ）。
- 设置  $TIMx\_CCEN$  寄存器的  $CC1EN=1$ ，允许捕获计数器的值到捕获寄存器中。
- 必要的时候，通过设置  $TIMx\_DINTEN$  寄存器中的  $CC1IE$  位允许相关中断请求，通过设置  $TIMx\_DINTEN$  寄存器中的  $CC1DE$  位允许 DMA 请求。

当发生一个输入捕获时：

- 产生有效的电平转换时，计数器的值被传送到  $TIMx\_CCDAT1$  寄存器。
- $CC1ITF$  标志被设置（中断标志）。当发生至少 2 个连续的捕获时，而  $CC1ITF$  未曾被清除， $CC1OCF$  也被置 1。
- 如设置了  $CC1IE$  位，则会产生一个中断。
- 如设置了  $CC1DE$  位，则还会产生一个 DMA 请求。

在处理捕获溢出时，建议在读出捕获溢出标志之前读取数据，这样可以避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

注：设置  $TIMx\_EVTGEN$  寄存器中相应的  $CCxGN$  位，可以通过软件产生输入捕获中断和/或 DMA 请求。

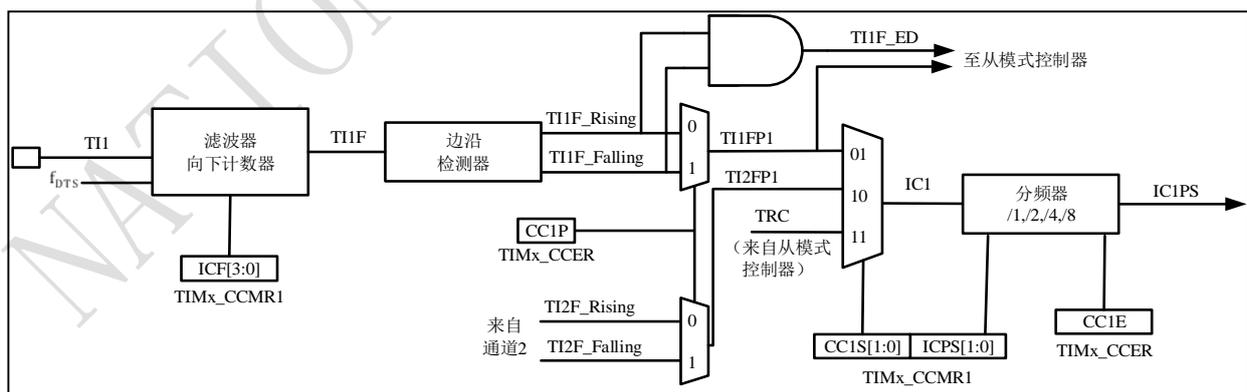
### 9.3.6 捕获/比较通道

捕获/比较通道都是独立的，都是围绕着一个捕获/比较寄存器（含影子寄存器），包括捕获的输入部分（数字滤波、多路复用和预分频器）和比较输出部分（比较器和输出控制）。

图 9-27 至图 9-30 是一个捕获/比较通道概览。

输入部分对相应的  $TIx$  输入信号采样，并产生一个滤波后的信号  $TIxF$ 。然后，一个带极性选择的边缘监测器产生一个信号（ $TIxFP_x$ ），它可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器（ $ICxPS$ ）。

图 9-27 捕获/比较通道（如：通道 1 输入部分）



输出部分产生一个中间波形  $OCxRef$ （高有效）作为基准，链的末端决定最终输出信号的极性。

图 9-28 捕获/比较通道 1 的主电路

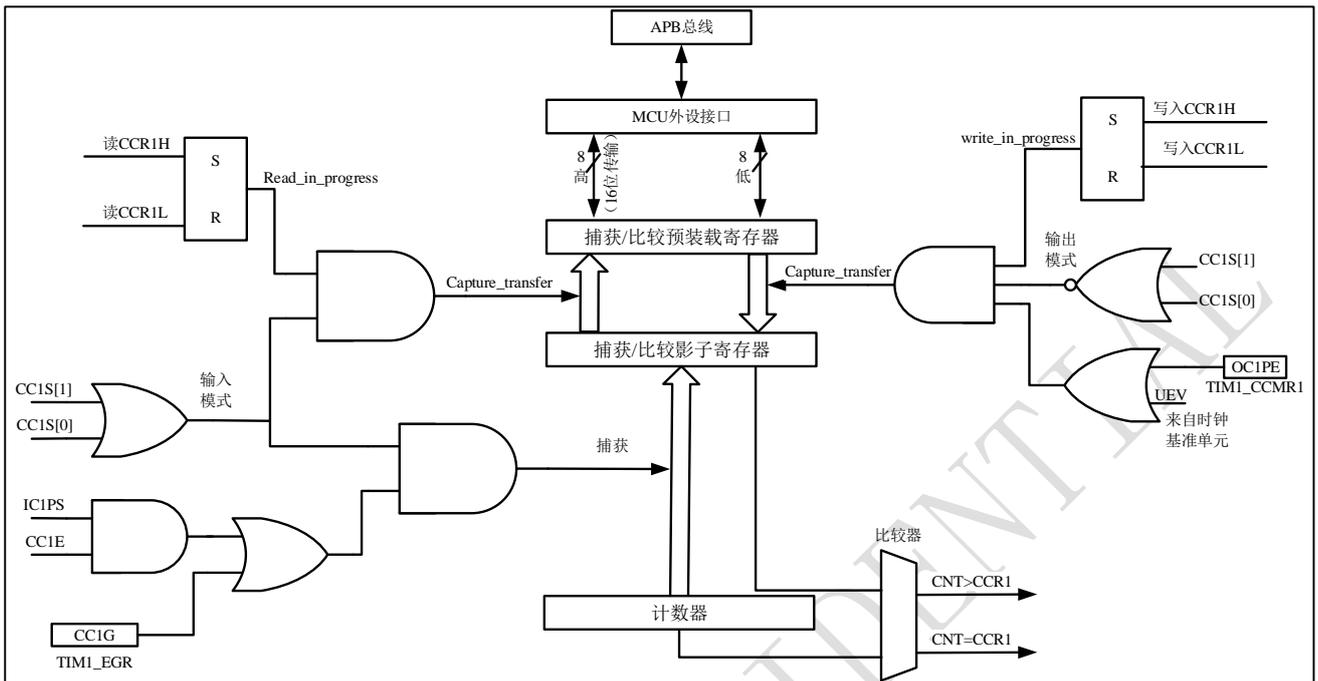


图 9-29 捕获/比较通道的输出部分（通道 1 至 3）

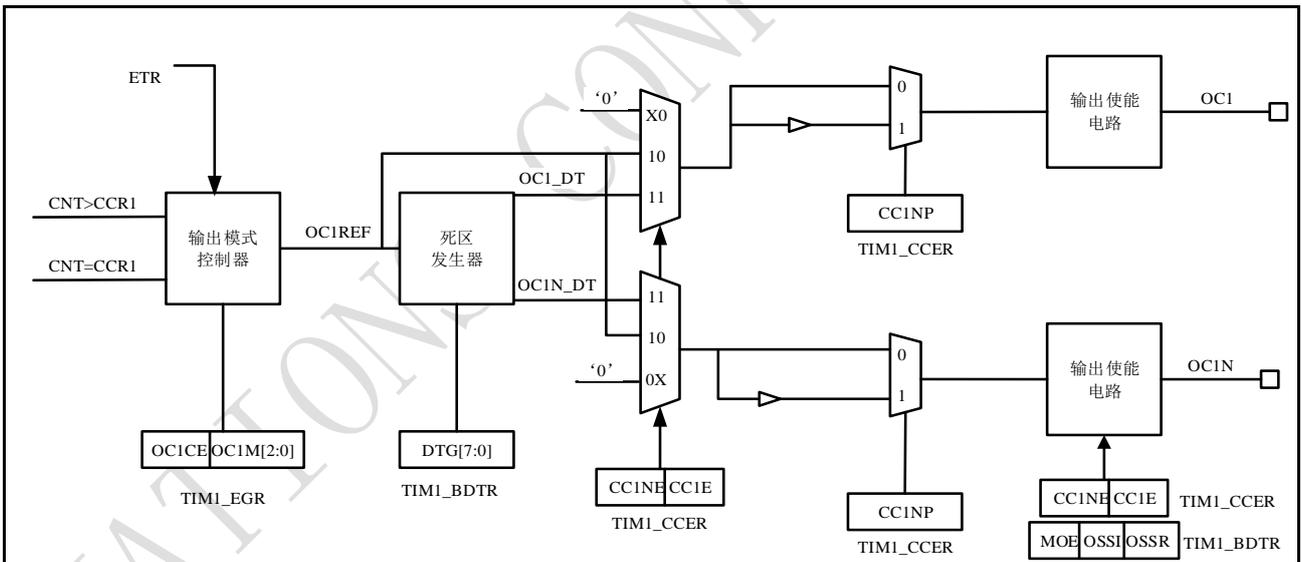
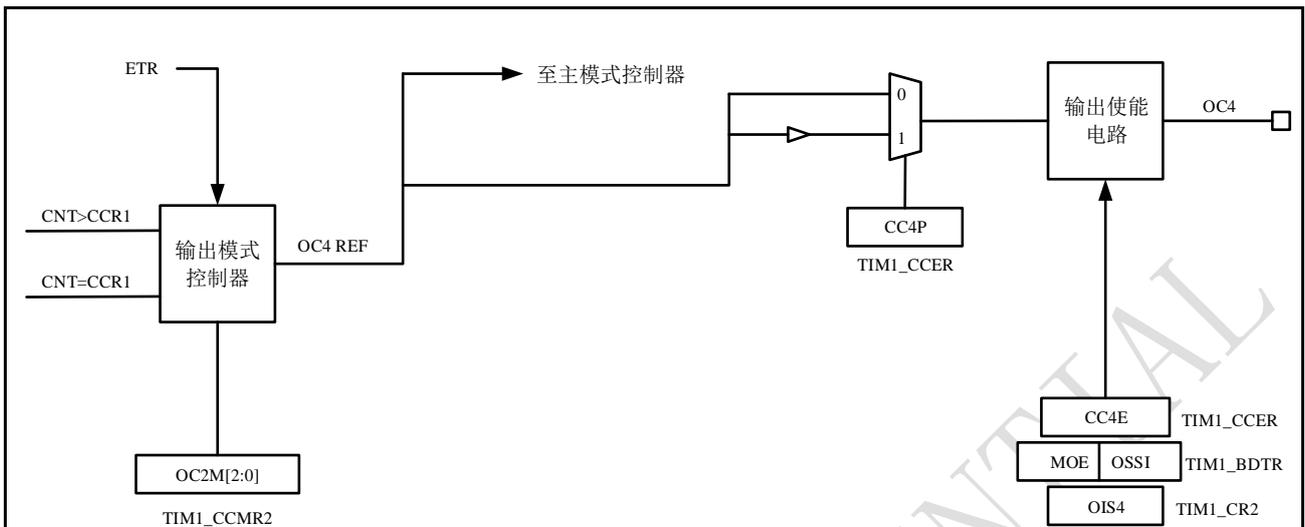


图 9-30 捕获/比较通道的输出部分（通道 4）



捕获/比较模块包括一个预装载寄存器和一个影子寄存器。读写过程中仅操作预装载寄存器。

在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

### 9.3.7 PWM 输入模式

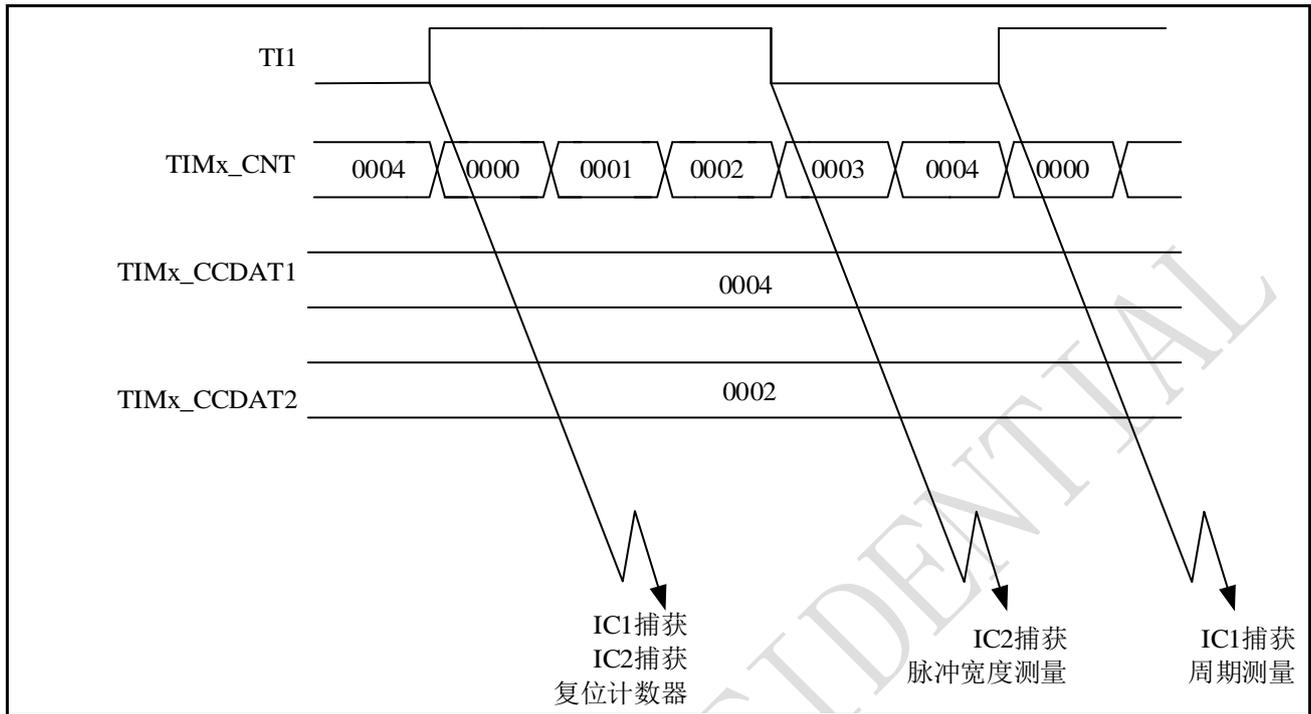
此模式是输入捕获模式的一个特例，除以下区别外，操作与输入捕获模式相同：

- 两个 ICx 信号被映射至同一个 TIx 输入。
- 这 2 个 ICx 信号为边沿有效，但是极性相反。
- 其中一个 TIxFP 信号被作为触发输入信号，而从模式控制器被配置成复位模式。

例如，为了测量输入到 TI1 上的 PWM 信号的长度（TIMx\_CC DAT1 寄存器）和占空比（TIMx\_CC DAT2 寄存器），可以采用如下具体步骤（取决于 CK\_INT 的频率和预分频器的值）

- 选择 TIMx\_CC DAT1 的有效输入：置 TIMx\_CCMOD1 寄存器的 CC1SEL=01（选中 TI1）。
- 选择 TI1FP1 的有效极性（用来捕获数据到 TIMx\_CC DAT1 中和清除计数器）：置 CC1P=0（上升沿有效）。
- 选择 TIMx\_CC DAT2 的有效输入：置 TIMx\_CCMOD1 寄存器的 CC2SEL=10（选中 TI1）。
- 选择 TI1FP2 的有效极性（捕获数据到 TIMx\_CC DAT2）：置 CC2P=1（下降沿有效）。
- 选择有效的触发输入信号：置 TIMx\_SMCTRL 寄存器中的 TSEL=101（选择 TI1FP1）。
- 配置从模式控制器为复位模式：置 TIMx\_SMCTRL 中的 SMSSEL=100。
- 使能捕获：置 TIMx\_CCEN 寄存器中 CC1EN=1 且 CC2EN=1。

图 9-31 PWM 输入模式时序



硬件上只有 TI1FP1 和 TI2FP2 连到了从模式控制器，所以 PWM 输入模式只能使用 TIMx\_CH1/TIMx\_CH2 信号。

### 9.3.8 强置输出模式

此模式具有使输出比较信号（OCxREF 和相应的 OCx/OCxN）直接由软件强置为有效或无效状态，而不依赖于输出比较寄存器和计数器间的比较结果。

配置 TIMx\_CCMODx 寄存器中相应的 OCxMD=101，即可强置输出比较信号（OCxREF/OCx）为有效状态。这样 OCxREF 被强置为高电平（OCxREF 始终为高电平有效），同时 OCx 得到 CCxP 极性相反的信号。

例如：CCxP=0（OCx 高电平有效），则 OCx 被强置为高电平。

配置 TIMx\_CCMODx 寄存器中的 OCxMD=100，可强置 OCxREF 信号为低。

该模式下，在 TIMx\_CCDATx 影子寄存器和计数器之间的比较仍然在进行，相应的标志也会被修改。因此仍然会产生相应的中断和 DMA 请求。这将会在下面的输出比较模式一节中介绍。

### 9.3.9 输出比较模式

此项功能具有控制输出特定的波形，或者指示一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时，输出比较功能做如下操作：

- 将输出比较模式（TIMx\_CCMODx 寄存器中的 OCxMD 位）和输出极性（TIMx\_CCEN 寄存器中的 CCxP 位）定义的值输出到对应的引脚上。在比较匹配时，输出引脚可以保持它的电平（OCxMD=000）、被设置成有效电平（OCxMD=001）、被设置成无效电平（OCxMD=010）或进行翻转（OCxMD=011）。
- 设置中断状态寄存器中的标志位（TIMx\_STS 寄存器中的 CCxIF 位）。

- 若设置了相应的中断屏蔽 (TIMx\_DINTEN 寄存器中的 CCxIEN 位), 则产生一个中断。
- 若设置了相应的使能位 (TIMx\_DINTEN 寄存器中的 CCxDEN 位, TIMx\_CTRL2 寄存器中的 CCDS 位选择 DMA 请求功能), 则产生一个 DMA 请求。

TIMx\_CCMODx 中的 OCxPEN 位选择 TIMx\_CC DATx 寄存器是否需要使用预装载寄存器。在输出比较模式下, 更新事件 UEV 对 OCxREF 和 OCx 输出没有影响。

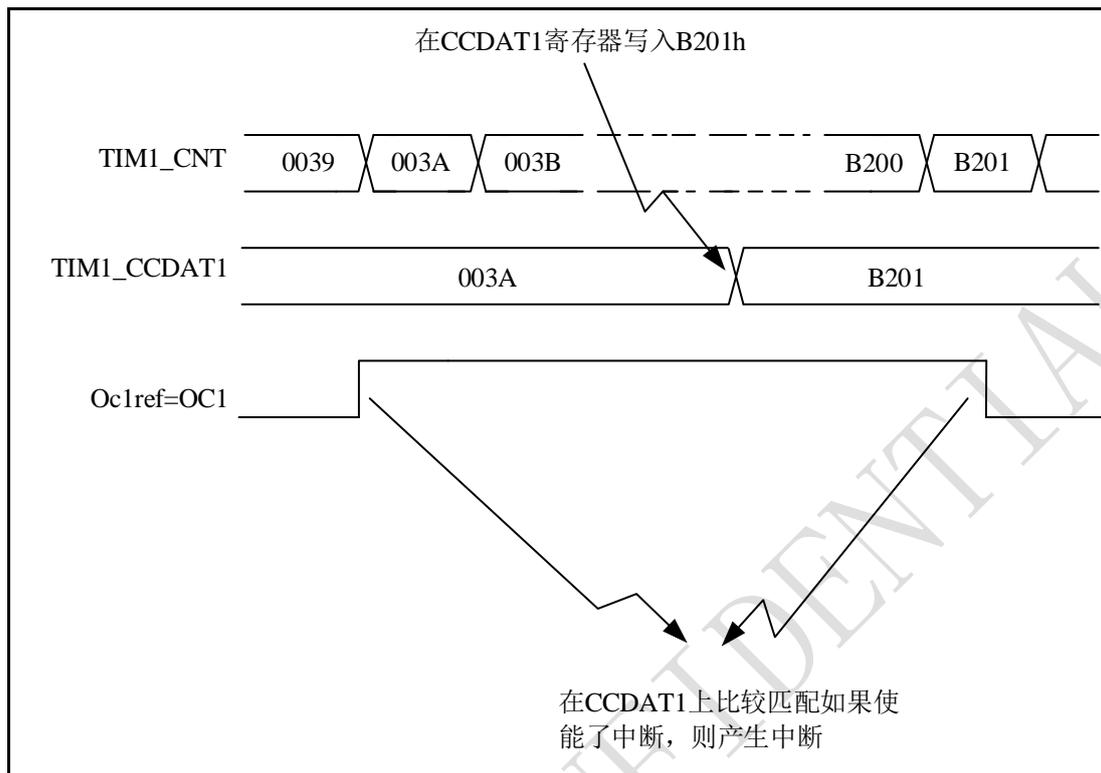
同步的精度可以达到计数器的一个计数周期。输出比较模式 (在单脉冲模式下) 也能用来输出一个单脉冲。

输出比较模式的配置步骤:

- 选择计数器时钟 (内部, 外部, 预分频器)。
- 将相应的数据写入 TIMx\_AR 和 TIMx\_CC DATx 寄存器中。
- 如果要产生一个中断请求, 设置 CCxIEN 位。
- 选择输出模式, 例如:
  - ◆ 要求计数器与 CC DATx 匹配时翻转 OCx 的输出引脚, 设置 OCxMD=011
  - ◆ 置 OCxPEN = 0 禁用预装载寄存器
  - ◆ 置 CCxP = 0 选择极性为高电平有效
  - ◆ 置 CCxEN = 1 使能输出
- 设置 TIMx\_CTRL1 寄存器的 CNTEN 位启动计数器

TIMx\_CC DATx 寄存器能够在任何时候通过软件进行更新以控制输出波形, 条件是未使用预装载寄存器 (OCxPEN='0', 否则 TIMx\_CC DATx 的影子寄存器只能在发生下一次更新事件时被更新)。下图给出了一个例子。

图 9-32 输出比较模式，翻转 OC1



### 9.3.10 PWM 模式

脉冲宽度调制（PWM）模式可以产生一个由 TIMx\_AR 寄存器确定频率、由 TIMx\_CCDATx 寄存器确定占空比的信号。

TIMx\_CCMODx 寄存器中的 OCxMD 位写入 '110'（PWM 模式 1）或 '111'（PWM 模式 2），能够独立地设置每个 OCx 输出通道产生一路 PWM。必须通过设置 TIMx\_CCMODx 寄存器的 OCxPEN 位使能相应的预装载寄存器，最后还要设置 TIMx\_CTRL1 寄存器的 ARPEN 位（在向上计数或中心对称模式中）使能自动重载的预装载寄存器。

仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TIMx\_EVTGEN 寄存器中的 UDCGN 位来初始化所有的寄存器。

OCx 的极性可以通过软件在 TIMx\_CCEN 寄存器中的 CCxP 位进行设置，允许设置为高电平有效或低电平有效。OCx 的输出使能通过（TIMx\_CCEN 和 TIMx\_BKDT 寄存器中）CCxEN、CCxNEN、MOEN、OSSI 和 OSSR 位的组合控制。详见 9.4.10 TIMx\_CCEN 寄存器的描述。

在 PWM 模式（模式 1 或模式 2）下，TIMx\_CNT 和 TIMx\_CCDATx 始终在进行比较，（依据计数器的计数方向）以确定是否符合  $TIMx\_CCDATx \leq TIMx\_CNT$  或者  $TIMx\_CNT \leq TIMx\_CCDATx$ 。

根据 TIMx\_CTRL1 寄存器中 CAMSEL 位的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

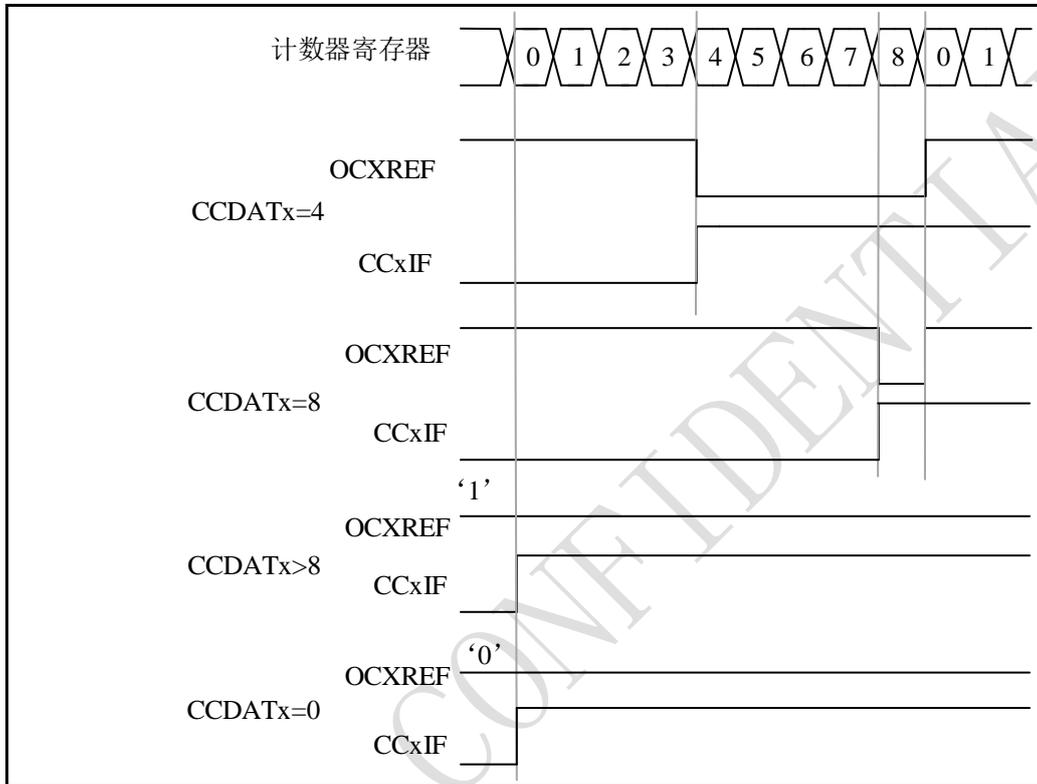
#### 9.3.10.1 PWM 边沿对齐模式

##### ■ 向上计数配置

当 TIMx\_CTRL1 寄存器中的 DIR 位为低的时候执行向上计数。参看 9.3.2 节。

在 PWM 模式 1 中，当  $TIMx\_CNT < TIMx\_CCDATx$  时，PWM 参考信号 OCxREF 为高，否则为低。如果 TIMx\_CCDATx 中的比较值大于自动重装载值 (TIMx\_AR)，则 OCxREF 保持为 '1'。如果比较值为 0，则 OCxREF 保持为 '0'。下图给出了 TIMx\_AR=8 时边沿对齐的 PWM 波形实例。

图 9-33 边沿对齐的 PWM 波形 (AR=8)



■ 向下计数的配置

当 TIMx\_CTRL1 寄存器的 DIR 位为高时执行向下计数。参看 9.3.2 节。

在 PWM 模式 1 中，当  $TIMx\_CNT > TIMx\_CCDATx$  时参考信号 OCxREF 为低，否则为高。如果 TIMx\_CCDATx 中的比较值大于 TIMx\_AR 中的自动重装载值，则 OCxREF 保持为 '1'。

注：该模式下不能产生 0% 的 PWM 波形。

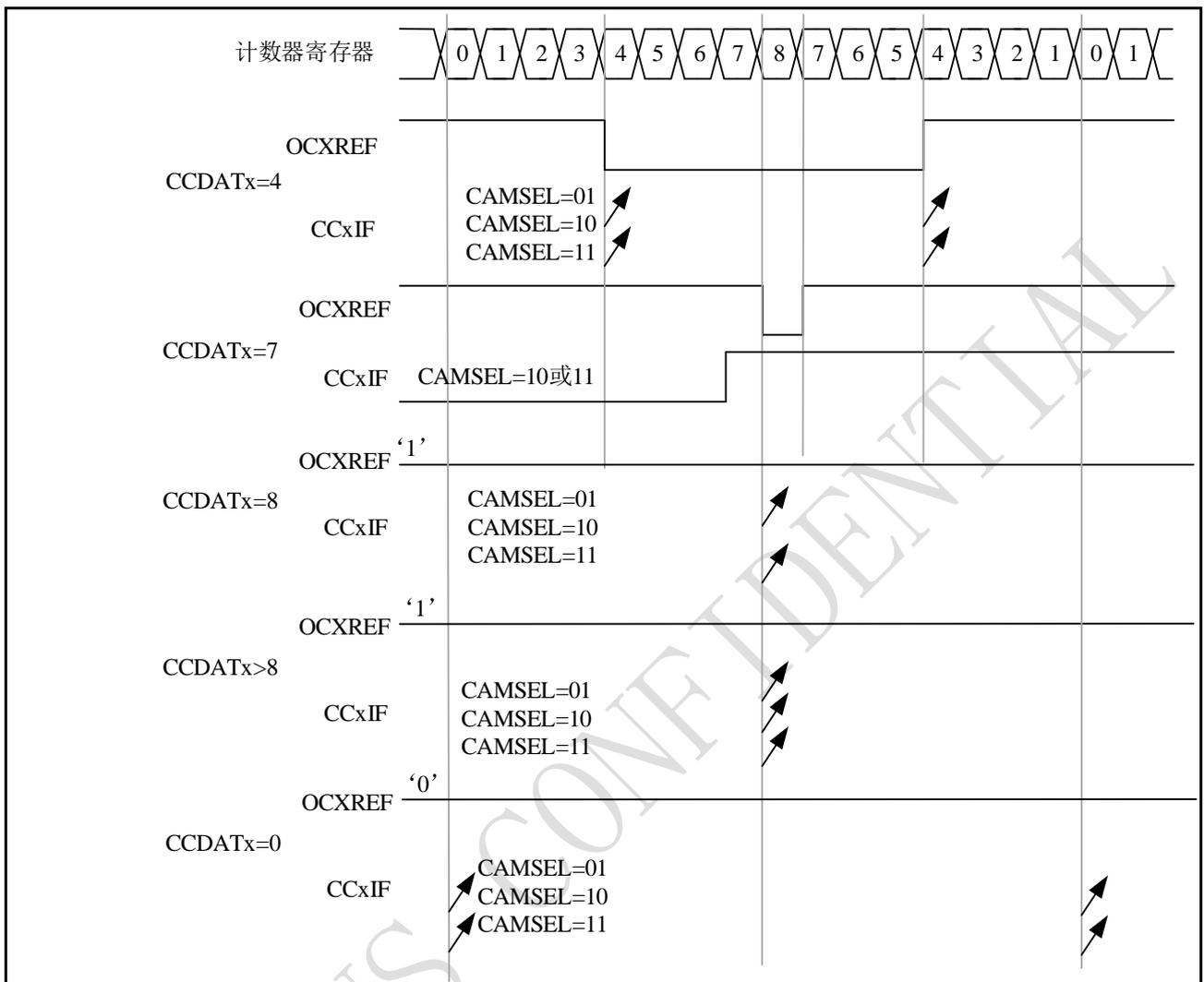
### 9.3.10.2 PWM 中央对齐模式

配置 TIMx\_CTRL1 寄存器中的 CAMSEL 位不为 '00' 时为中央对齐模式 (所有其他的配置对 OCxREF/OCx 信号都有相同的作用)。根据 CAMSEL 不同的位设置，比较标志可以在计数器向上计数时被置 1、在计数器向下计数时被置 1、或在计数器向上和向下计数时被置 1。TIMx\_CTRL1 寄存器中的计数方向位 (DIR) 由硬件更新，不要用软件修改。参看 9.3.2 节的中央对齐模式。

下图给出了一些中央对齐的 PWM 波形的示例

- TIMx\_AR=8
- PWM 模式 1
- TIMx\_CTRL1 寄存器的 CAMSEL=01，在中央对齐模式 1 下，当计数器向下计数时设置比较标志。

图 9-34 中央对齐的 PWM 波形 (APR=8)



### 9.3.10.3 使用中央对齐模式的提示：

- 在进入中央对齐模式的时候，使用当前的向上/向下计数配置值；即计数器向上还是向下计数取决于 TIMx\_CTRL1 寄存器中 DIR 位的当前值。此外，软件不能同时对 DIR 和 CAMSEL 位进行修改。
- 不推荐当运行在中央对齐模式时改写计数器，因为这样可能会产生预期之外的 PWM 波形和软件行为。特别地：
  - ◆ 如果写入计数器的值大于自动重加载的值 (TIMx\_CNT > TIMx\_AR)，则方向不会被更新。例如，如果计数器正在向上计数，它就会继续向上计数。
  - ◆ 如果将 0 或者 TIMx\_AR 的值写入计数器，方向被更新，但不产生更新事件 UEV。
- 使用中央对齐模式最可靠的方法，就是在启动计数器之前产生一个软件更新（设置 TIMx\_EVTGEN 位中的 UDN 位）事件，并且不要在计数进行过程中修改计数器的值。

### 9.3.11 互补输出和死区插入

高级控制定时器 (TIM1) 能够输出两路互补信号，并且能够管理输出的瞬时关断和接通时间。这段时间通

常被称为死区时间，用户应该根据连接的输出器件和它们的特性（电平转换的延时、电源开关的延时等）来对死区时间进行调整。

通过配置 TIMx\_CCEN 寄存器中的 CCxP 和 CCxNP 位，可以为每主输出 OCx 和互补输出 OCxN 独立选择极性。

主输出 OCx 和互补输出 OCxN 通过下列控制位的组合进行控制：TIMx\_CCEN 寄存器的 CCxEN 和 CCxNEN 位，TIMx\_BKDT 和 TIMx\_CTRL2 寄存器中的 MOEN、OIx、OIxN、OSSI 和 OSSR 位，详见表 9-4 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位。特别是在转换到 Idle 状态时（MOEN 下降到 0）死区被激活。

通过同时设置 CCxEN 和 CCxNEN 位将插入死区，如果存在刹车电路，则还要设置 MOEN 位。每一个通道都有一个 10 位的死区发生器。参考信号 OCxREF 可以产生 2 路输出 OCx 和 OCxN。

如果 OCx 和 OCxN 为高有效：

- OCx 输出信号与参考信号相同，只是它的上升沿相对于参考信号的上升沿有一个延迟。
- OCxN 输出信号与参考信号相反，只是它的上升沿相对于参考信号的下降沿有一个延迟。如果延迟大于当前有效的输出宽度（OCx 或者 OCxN），则不会产生相应的脉冲。

下列时序演示了死区发生器的输出信号和当前参考信号 OCxREF 之间的关系。（假设 CCxP=0、CCxNP=0、MOEN=1、CCxEN=1 并且 CCxNEN=1）

图 9-35 带死区插入的互补输出

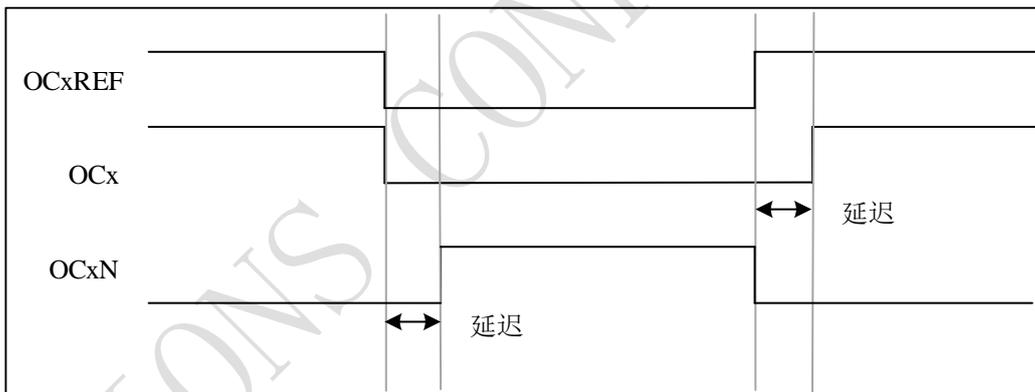


图 9-36 死区波形延迟大于负脉冲

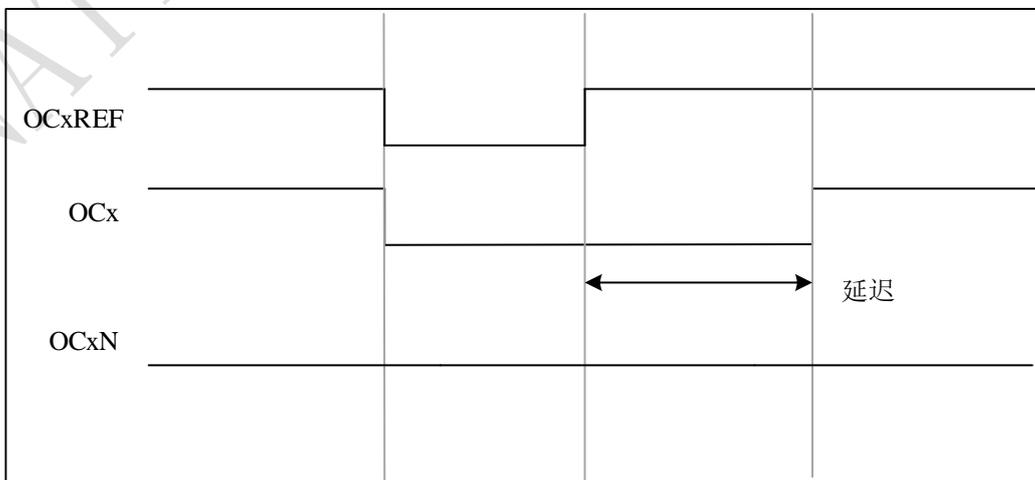
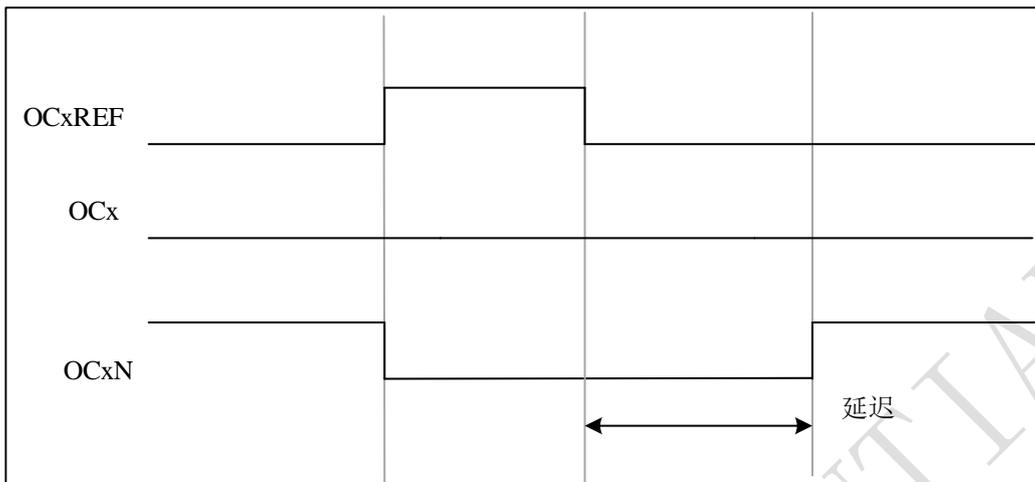


图 9-37 死区波形延迟大于正脉冲



每一个通道的死区延时统一由  $TIM_x\_BKDT$  寄存器中的  $DTGN$  位编程配置。详见 9.4.19TIM1 刹车和死区寄存器 ( $TIM_x\_BKDT$ ) 中的延时计算。

### 9.3.11.1 重定向 OCxREF 到 OCx 或 OCxN

在(强置、输出比较或 PWM)输出模式下,通过配置  $TIM_x\_CCEN$  寄存器的  $CCxEN$  和  $CCxNEN$  位,  $OCxREF$  可以被重定向到  $OCx$  或者  $OCxN$  的输出。

此功能有二个作用:

- 可以在互补输出处于无效电平时,在某个输出上送出一个指定的波形(例如 PWM 或者静态有效电平)。
- 让两个输出同时处于无效电平,或处于有效电平和带死区的互补输出。

*注:当只使能  $OCxN$  ( $CCxEN=0, CCxNEN=1$ ) 时,它不会反相,当  $OCxREF$  有效时立即变高。例如,如果  $CCxNP=0$ , 则  $OCxN=OCxREF$ 。另一方面,当  $OCx$  和  $OCxN$  都被使能时 ( $CCxEN=CCxNEN=1$ ), 当  $OCxREF$  为高时  $OCx$  有效;而  $OCxN$  相反,当  $OCxREF$  低时  $OCxN$  变为有效。*

### 9.3.12 使用刹车功能

在使用刹车功能时,依据相应的控制位 ( $TIM_x\_BKDT$  寄存器中的  $MOEN$ 、 $OSSI$  和  $OSSR$  位,  $TIM_x\_CTRL2$  寄存器中的  $OIx$  和  $OIxN$  位), 输出使能信号和无效电平都会被修改。但任意时候,  $OCx$  和  $OCxN$  输出不能在同一时间同时处于有效电平上。详见表 9-4 带刹车功能的互补输出通道  $OCx$  和  $OCxN$  的控制位。

有如下信号可以作为刹车源,当多个刹车信号都被使能后,各刹车信号构成一个或逻辑

- 刹车输入管脚
- 内核 Hardfault 事件

系统复位后,刹车电路被禁止,  $MOEN$  位为低。设置  $TIM_x\_BKDT$  寄存器中的  $BKEN$  位可以使能刹车功能,刹车输入信号的极性可以通过配置同一个寄存器中的  $BKP$  位选择。 $BKEN$  和  $BKP$  可以同时被修改。当写入  $BKEN$  和  $BKP$  位时,在真正写入之前会有 1 个 APB 时钟周期的延迟,因此需要等待一个 APB 时钟周期之后,才能正确地读回写入的位。

因为  $MOEN$  下降沿可以是异步的,在实际信号(作用在输出端)和同步控制位(在  $TIM_x\_BKDT$  寄存器中)

之间设置了一个再同步电路。这个再同步电路会在异步信号和同步信号之间产生延迟。特别的，如果当它为低时写 MOEN=1，则读出它之前必须先插入一个延时（空指令）才能读到正确的值。这是因为写入的是异步信号而读的是同步信号。

在发生刹车时（在刹车输入端出现选定的电平），有下述动作：

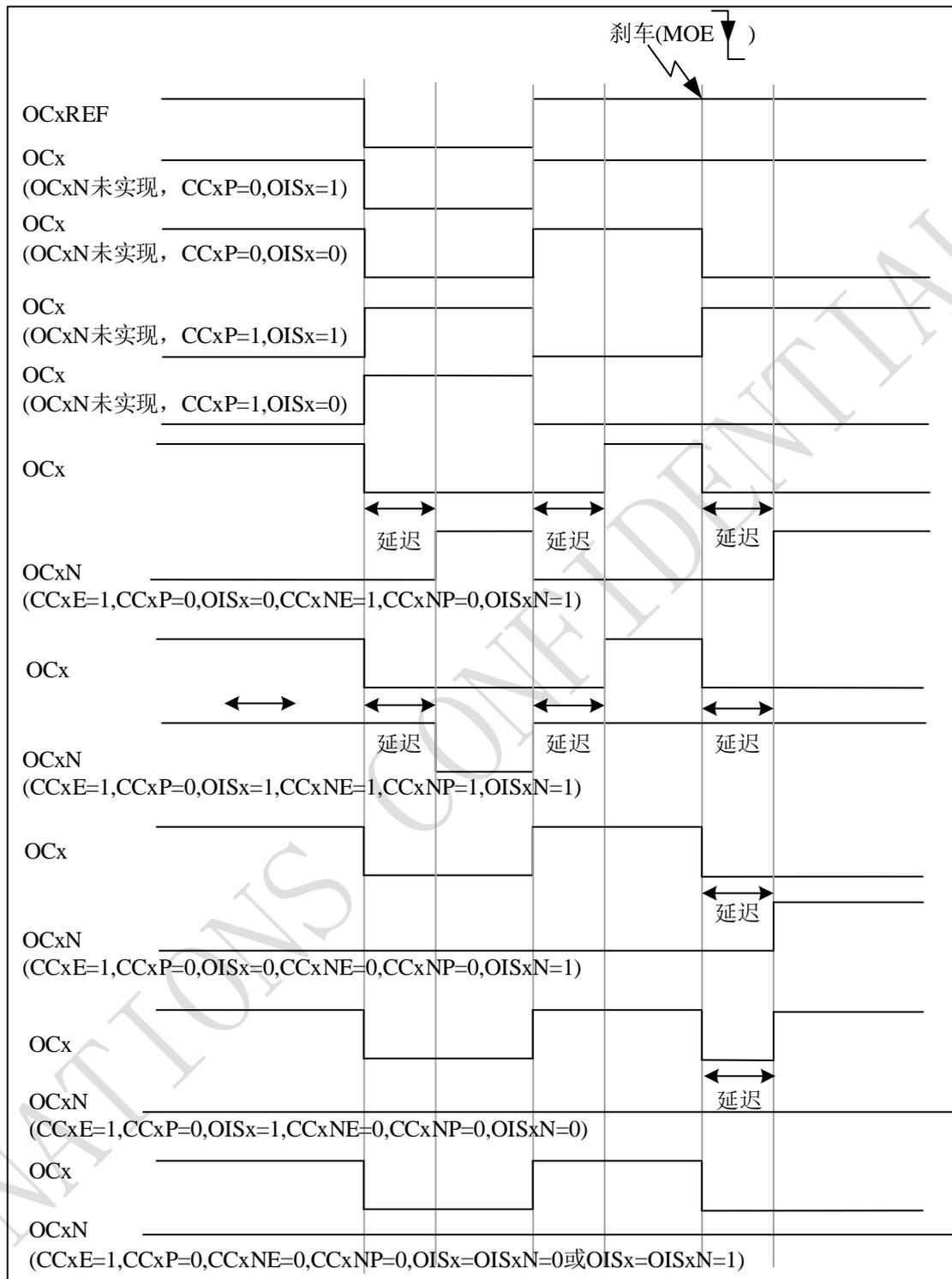
- MOEN 位被异步地清除，将输出置于无效状态、空闲状态或者复位状态（由 OSSI 位选择）。这个特性在 MCU 的振荡器关闭时依然有效。
- 一旦 MOEN=0，每一个输出通道输出由 TIMx\_CTRL2 寄存器中的 OIx 位设定的电平。如果 OSSI=0，则定时器释放使能输出，否则使能输出始终为高。
- 当使用互补输出时：
  - ◆ 输出首先被置于复位状态即无效的状态（取决于极性）。这是异步操作，即使定时器没有时钟时，此功能也有效。
  - ◆ 如果定时器的时钟依然存在，死区生成器将会重新生效，在死区之后根据 OIx 和 OIxN 位指示的电平驱动输出端口。即使在这种情况下，OCx 和 OCxN 也不能被同时驱动到有效的电平。注，因为重新同步 MOEN，死区时间比通常情况下长一些（大约 2 个 ck\_tim 的时钟周期）。
  - ◆ 如果 OSSI=0，定时器释放使能输出，否则保持使能输出；或一旦 CCxEN 与 CCxNEN 之一变高时，使能输出变为高。
- 如果设置了 TIMx\_DINTEN 寄存器中的 BIE 位，当刹车状态标志（TIMx\_STS 寄存器中的 BITF 位）为'1'时，则产生一个中断。如果设置了 TIMx\_DINTEN 寄存器中的 BDE 位，则产生一个 DMA 请求。
- 如果设置了 TIMx\_BKDT 寄存器中的 AOEN 位，在下一个更新事件 UEV 时 MOEN 位被自动置位；例如，这可以用来进行整形。否则，MOEN 始终保持低直到被再次置'1'；此时，这个特性可以被用在安全方面，可以把刹车输入连到电源驱动的报警输出、热敏传感器或者其他安全器件上。

*注：刹车输入为电平有效。所以，当刹车输入有效时，不能同时（自动地或者通过软件）设置 MOEN。同时，状态标志 BITF 不能被清除。*

刹车由 BRK 输入产生，它的有效极性是可编程的，且由 TIMx\_BKDT 寄存器中的 BKEN 位开启。除了刹车输入和输出管理，刹车电路中还实现了写保护以保证应用程序的安全。支持用户冻结几个配置参数（死区长度，OCx/OCxN 极性和被禁止的状态，OCxMD 配置，刹车使能和极性）。

用户可以通过 TIMx\_BKDT 寄存器中的 LCKCFG 位，在三级保护中选择其中一种，参看 9.4.19TIM1 刹车和死区寄存器（TIMx\_BKDT）。在 MCU 复位后 LCKCFG 位只能被修改一次。下图演示实例了响应刹车的输出。

图 9-38 响应刹车的输出在外部事件时清除 OCxREF 信号



### 9.3.13 在外部事件时清除 OCxREF 信号

针对给定的通道，设置 TIMx\_CCMODx 寄存器中对应的 OCxCEN 位为‘1’，能够用 ETRF 输入端的高电平把 OCxREF 信号拉低，OCxREF 信号将保持为低直到发生下一次的更新事件 UEV。

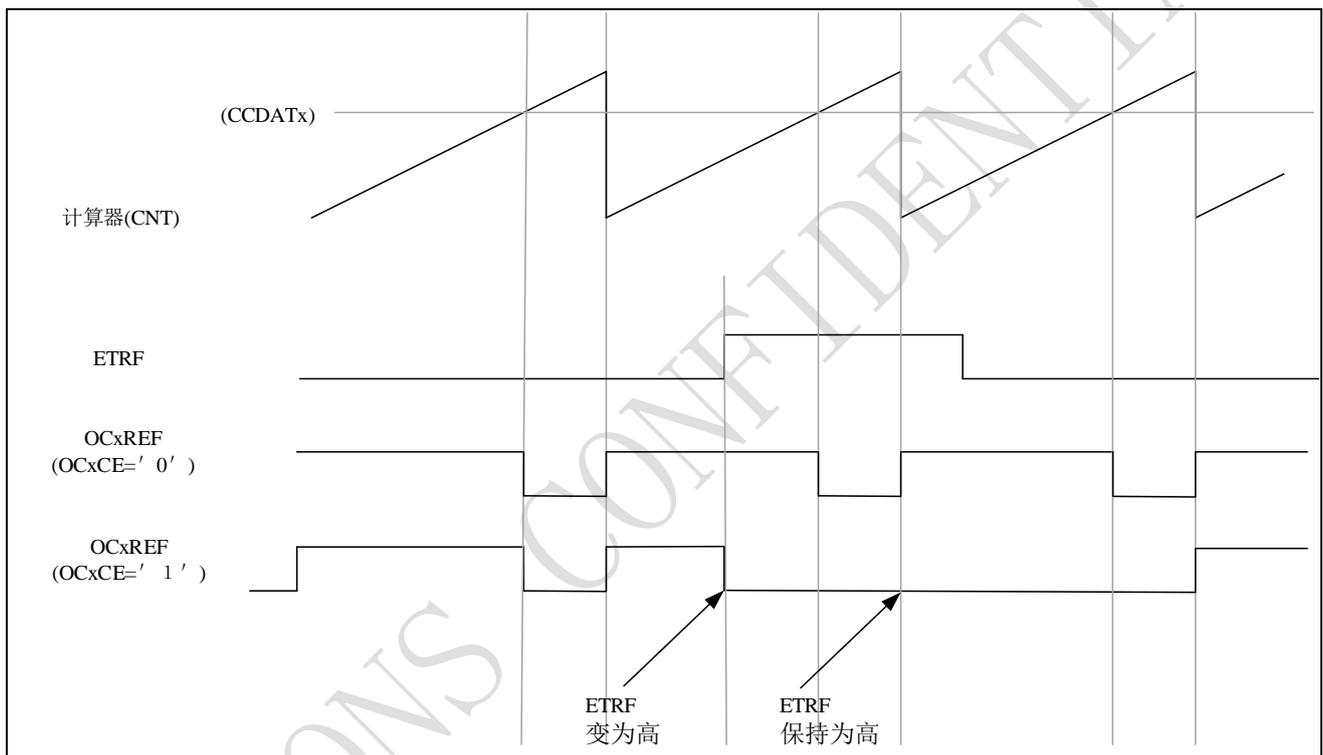
该功能只能用于输出比较和 PWM 模式，不能用于强置模式。

例如，OCxREF 信号可以联到一个比较器的输出，用于控制电流。这时，ETRF 必须配置如下：

- 外部触发预分频器必须处于关闭：TIMx\_SMCTRL 寄存器中的 EXTTPS[1:0]=00。
- 必须禁止外部时钟模式 2：TIMx\_SMCTRL 寄存器中的 EXCEN=0。
- 外部触发极性（EXTP）和外部触发滤波器（EXTF）可以根据需要配置。

下图定时器 TIMx 被置于 PWM 模式，显示了当 ETRF 输入变为高时，对应不同 OCxCEN 的值，OCxREF 信号的动作。在这个例子中。

图 9-39 清除 TIMx 的 OCxREF



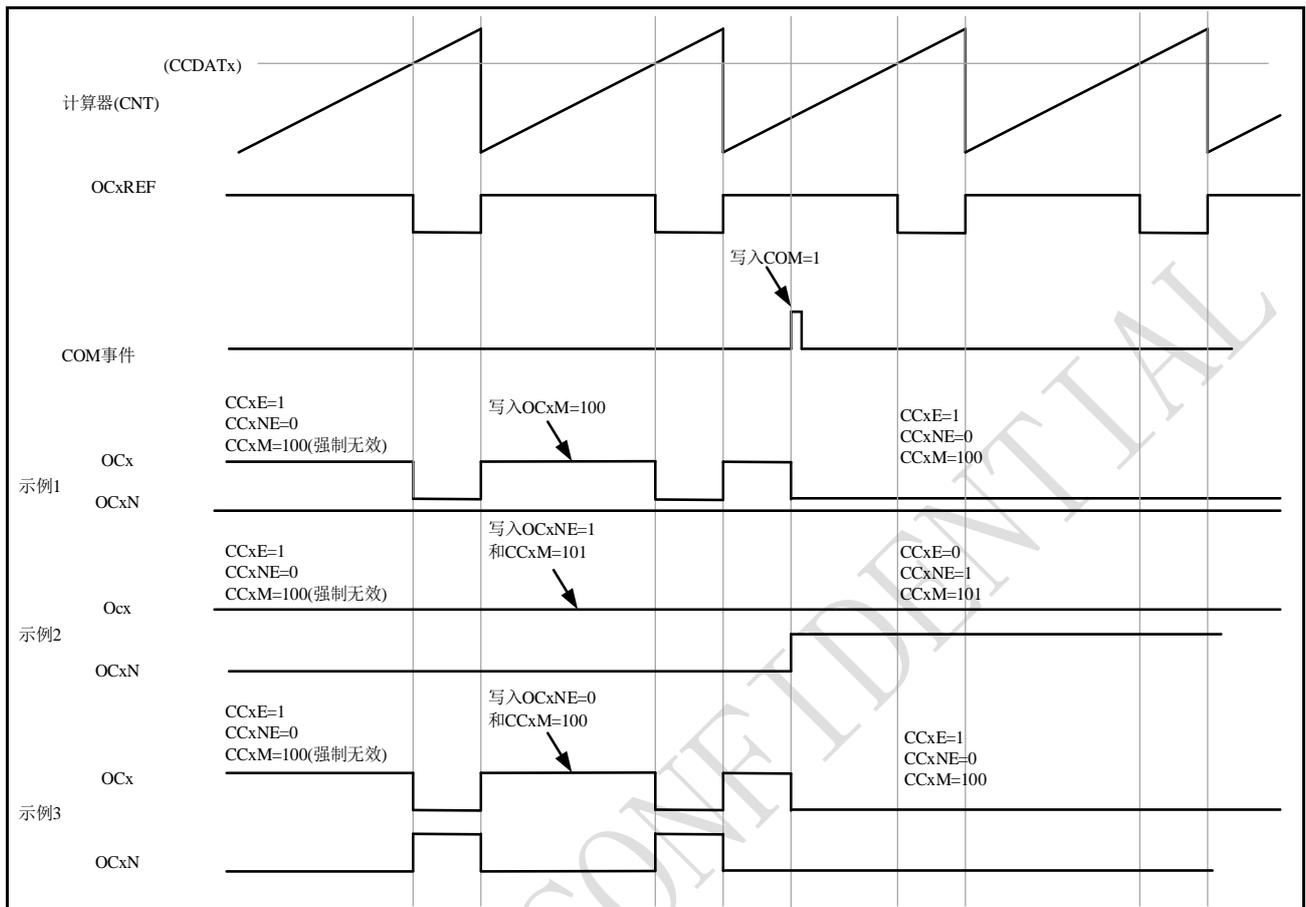
### 9.3.14 产生六步 PWM 输出

需要在—个通道上产生互补输出时，预装载位有 OCxMD、CCxEN 和 CCxNEN。在发生 COM 换相事件时，这些预装载位被传送到影子寄存器位。这样就可以预先设置好下一步骤配置，并在同一个时刻同时修更改所有通道的配置。COM 可以通过设置 TIMx\_EVTGEN 寄存器的 CCUDGN 位由软件产生，或在 TRGI 上升沿由硬件产生。当发生 COM 事件时会设置—个标志位（TIMx\_STS 寄存器中的 COMITF 位），这时如果已设置了 TIMx\_DINTEN 寄存器的 COMIE 位，则产生—个中断；如果已设置了 TIMx\_DINTEN 寄存器的 COMDEN 位，则产生—个 DMA 请求。

注：COM 事件指比较更新事件。

下图显示当发生 COM 事件时，三种不同配置下 OCx 和 OCxN 输出。

图 9-40 产生六步 PWM，使用 COM 的例子 (OSSR=1)



### 9.3.15 单脉冲模式

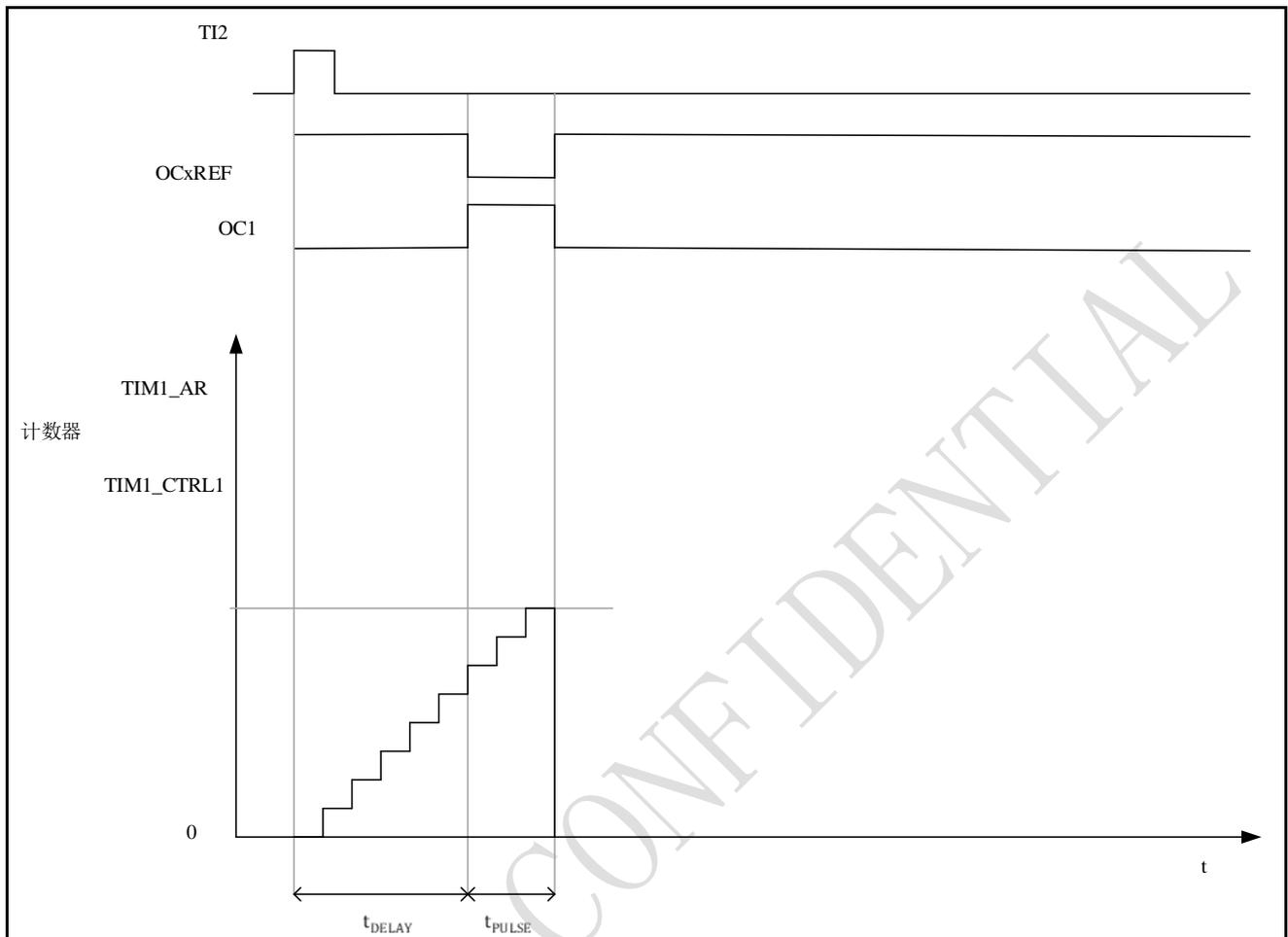
单脉冲模式 (ONEPM) 允许计数器响应一个激励，并在一个程序可控的延时之后产生一个脉宽可程序控制的脉冲，是前述众多模式的一个特例。

可以通过从模式控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TIMx\_CTRL1 寄存器中的 ONEPM 位将选择单脉冲模式，这样可以使计数器自动地在产生下一个更新事件 UEV 后停止。

仅当比较值与计数器的初始值不同时，才能产生一个脉冲。启动之前（当定时器正在等待触发），必须进行如下配置：

- 向上计数方式：计数器  $CNT < CCDATx \leq AR$ （特别地， $0 < CCDATx$ ），
- 向下计数方式：计数器  $CNT > CCDATx$ 。

图 9-41 单脉冲模式的例子



例如，需要在从 TI2 输入脚上检测到一个上升沿开始，延迟  $t_{\text{DELAY}}$  之后，在 OC1 上产生一个长度为  $t_{\text{PULSE}}$  的正脉冲。

假定 TI2FP2 作为触发 1:

- 置 TIMx\_CCMOD1 寄存器中的 CC2SEL=01，把 TI2FP2 映像到 TI2。
- 置 TIMx\_CCEN 寄存器中的 CC2P=0，使 TI2FP2 能够检测上升沿。
- 置 TIMx\_SMCTRL 寄存器中的 TSEL=110，TI2FP2 作为从模式控制器的触发（TRGI）。
- 置 TIMx\_SMCTRL 寄存器中的 SMSEL=110（触发模式），TI2FP2 被用来启动计数器。

ONEPM 的波形由写入比较寄存器的数值决定（要考虑时钟频率和计数器预分频器）

- $t_{\text{DELAY}}$  由 TIMx\_CCDAT1 寄存器中的值定义。
- $t_{\text{PULSE}}$  由自动装载值和比较值之间的差值定义（TIMx\_AR - TIMx\_CCDAT1）。
- 假定当发生比较匹配时要产生从 0 到 1 的波形，当计数器达到预装载值时要产生一个从 1 到 0 的波形；首先置 TIMx\_CCMOD1 寄存器的 OC1M=111，进入 PWM 模式 2；根据需要可选择地使能预装载寄存器：置 TIMx\_CCMOD1 中的 OC1PEN=1 和 TIMx\_CTRL1 寄存器中的 ARPEN；然后在 TIMx\_CCDAT1 寄存器中填写比较值，在 TIMx\_AR 寄存器中填写自动装载值，设置 UDN 位来产生一个更新事件，然后等待在 TI2 上产生一个外部触发事件。在本示例中，CC1P=0。

在本示例中，TIMx\_CTRL1 寄存器中的 DIR 和 CAMSEL 位置低。

因为只需要一个脉冲，所以必须设置 TIMx\_CTRL1 寄存器中的 ONEPM=1，在下一个更新事件（当计数器从自动装载值翻转到 0）时停止计数。

### 9.3.15.1 特殊情况：OCx 快速使能：

在单脉冲模式下，在 TIx 输入管脚的边沿检测逻辑设置 CNTEN 位以启动计数器。然后计数器和比较值间的比较操作产生了输出的转换。但是这些操作需要一定的时钟周期，因此它限制了可得到的最小延时  $t_{DELAY}$ 。

如果要以最小延时输出波形，可以设置 TIMx\_CCMODx 寄存器中的 OCxFEN 位；此时 OCxREF（和 OCx）直接响应激励而不再依赖比较的结果，输出的波形与比较匹配时的波形一样。OCxFEN 只在通道配置为 PWM1 和 PWM2 模式时起作用。

### 9.3.16 编码器接口模式

选择编码器接口模式的方法有：

- 如果计数器只在 TI2 的边沿计数，则置 TIMx\_SMCTRL 寄存器中的 SMSEL=001。
- 如果只在 TI1 边沿计数，则置 SMSEL=010。
- 如果计数器同时在 TI1 和 TI2 边沿计数，则置 SMSEL=011。

通过设置 TIMx\_CCEN 寄存器中的 CC1P 和 CC2P 位，可以选择 TI1 和 TI2 极性；如果需要，还可以对输入滤波器编程。

两个输入 TI1 和 TI2 用来作为增量编码器的接口。参看表 9-1，假定计数器已经启动（TIMx\_CTRL1 寄存器中的 CNTEN=1），则计数器由每次在 TI1FP1 或 TI2FP2 上的有效跳变进行驱动。TI1FP1 和 TI2FP2 是 TI1 和 TI2 在通过输入滤波器和极性控制后的信号；如果没有滤波和变相，则 TI1FP1=TI1，TI2FP2=TI2。根据两个输入信号的跳变顺序，产生了计数脉冲和方向信号。依据两个输入信号的跳变顺序，计数器向上或向下计数，同时硬件对 TIMx\_CTRL1 寄存器的 DIR 位进行相应的设置。不管计数器是依靠 TI1 计数、依靠 TI2 计数或者同时依靠 TI1 和 TI2 计数，在任一输入端（TI1 或者 TI2）的跳变都会重新计算 DIR 位。

编码器接口模式基本上相当于使用一个带有方向选择的外部时钟。这意味着计数器只在 0 到 TIMx\_AR 寄存器的自动装载值之间连续计数（根据方向，或是 0 到 AR 计数，或是 AR 到 0 计数）。所以在开始计数之前必须配置 TIMx\_AR；同样，捕获器、比较器、预分频器、重复计数器、触发输出特性等仍工作如常。

*注：编码器模式和外部时钟模式 2 不兼容，因此不能同时操作。*

在这个模式下，计数器依照增量编码器的速度和方向被自动的修改，因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。下表列出了所有可能的组合，假设 TI1 和 TI2 不同时变换。

表 9-1 计数方向与编码器信号的关系

有效边沿	相对信号的电平 (TI1FP1对应TI2, TI2FP2对应TI1)	TI1FP1信号		TI2FP2信号	
		上升	下降	上升	下降
仅在TI1计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在TI2计数	高	不计数	不计数	向上计数	向下计数

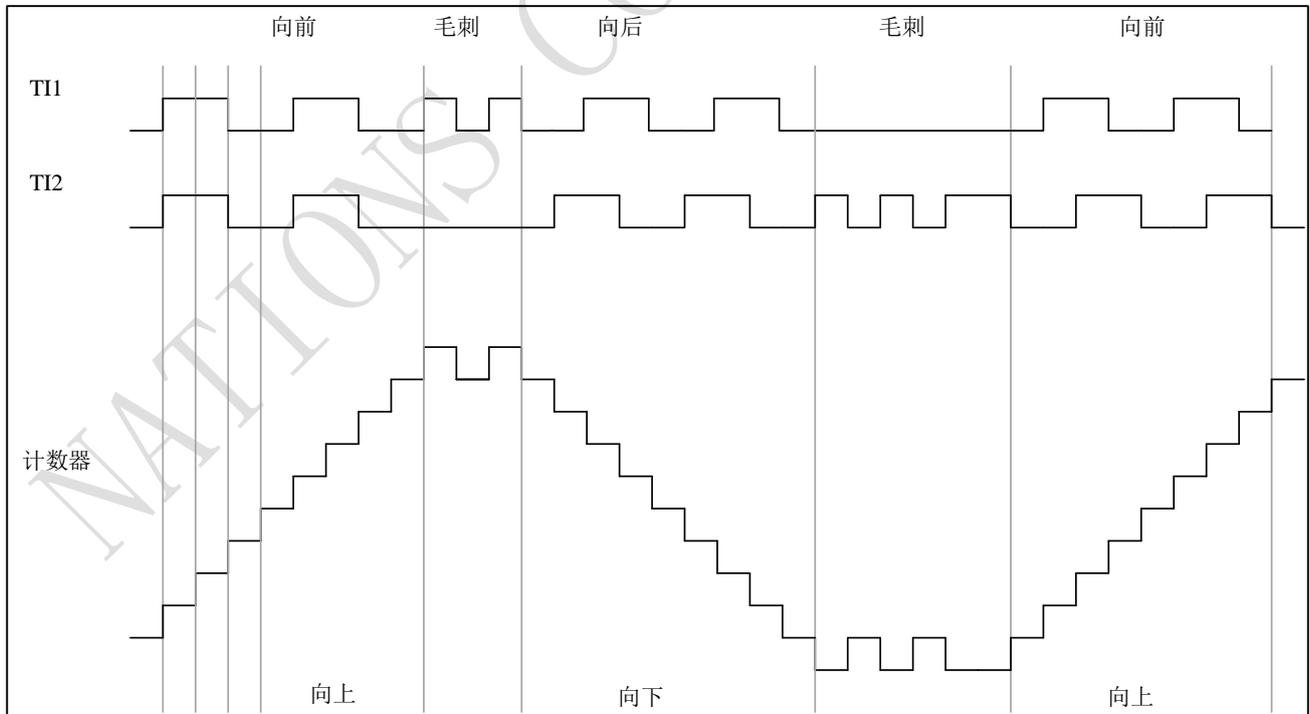
有效边沿	相对信号的电平 (TI1FP1对应TI2, TI2FP2对应TI1)	TI1FP1信号		TI2FP2信号	
		上升	下降	上升	下降
	低	不计数	不计数	向下计数	向上计数
在TI1和TI2上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

一个外部的增量式编码器可以直接与 MCU 管脚连接而不需要增加外部接口逻辑。但是，一般会使用比较器将编码器的差动输出转换到数字信号，这大大增加了抗噪声干扰能力。编码器输出的第三个信号表示机械过零点，可以把它连接到一个外部中断输入并触发一个计数器复位。

下图是一个计数器操作的示例，显示了计数信号的产生和方向控制。它还显示了当选择了双边沿时，输入抖动是如何被抑制的；抖动可能会在传感器的位置靠近一个转换点时产生。在这个例子中，我们假定配置如下：

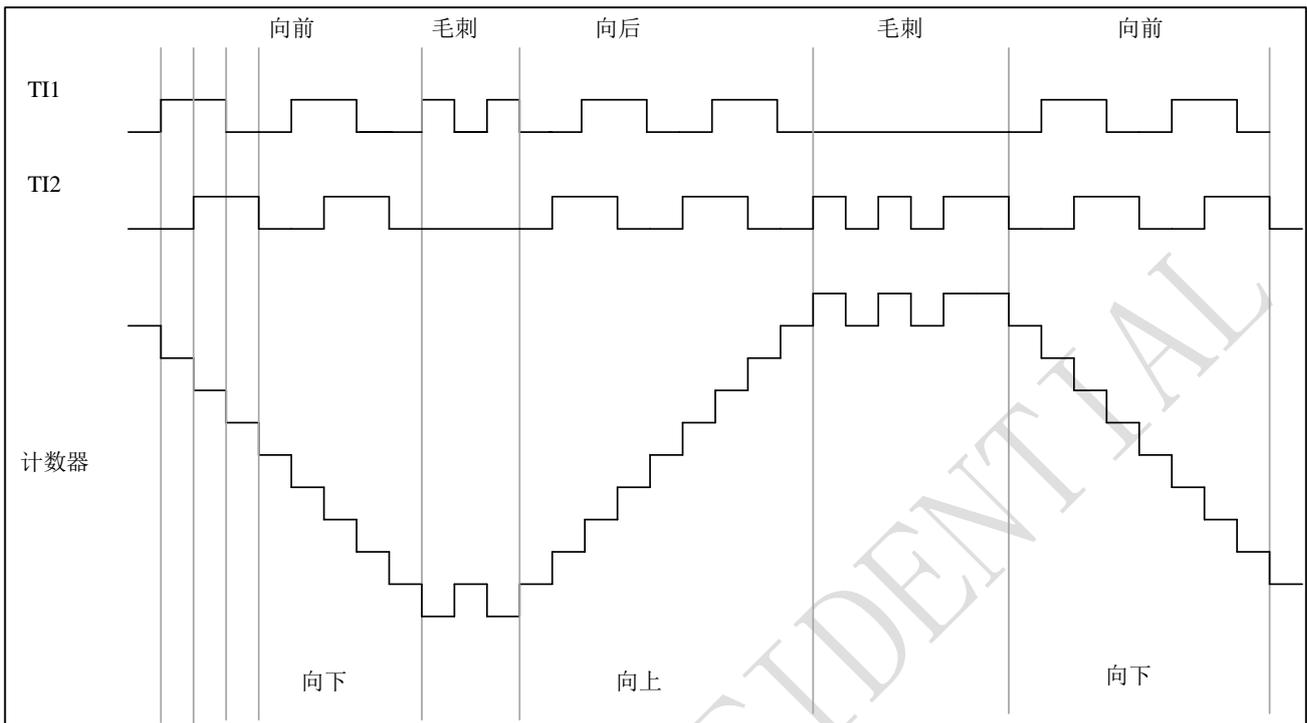
- CC1SEL='01' (TIMx\_CCMOD1 寄存器, IC1FP1 映射到 TI1)
- CC2SEL='01' (TIMx\_CCMOD2 寄存器, IC2FP2 映射到 TI2)
- CC1P='0' (TIMx\_CCEN 寄存器, IC1FP1 不反相, IC1FP1=TI1)
- CC2P='0' (TIMx\_CCEN 寄存器, IC2FP2 不反相, IC2FP2=TI2)
- SMSEL='011' (TIMx\_SMCTRL 寄存器, 所有的输入均在上升沿和下降沿有效)
- CNTEN='1' (TIMx\_CTRL1 寄存器, 计数器使能)

图 9-42 编码器模式下的计数器操作实例



下图为当 IC1FP1 极性反相时计数器的操作实例 (CC1P='1', 其他配置与上例相同)

图 9-43 IC1FP1 反相的编码器接口模式实例



定时器配置成编码器接口模式时,可以提供传感器当前位置的信息。使用第二个配置在捕获模式的定时器,可以测量两个编码器事件的间隔,获得动态的信息(速度,加速度,减速度)。指示机械过零点的编码器输出可被用做此目的。根据两个事件间的间隔,可以按照固定的时间读出计数器。如果可能的话,可以把计数器的值锁存到第三个输入捕获寄存器(捕获信号必须是周期的并且可以由另一个定时器产生);也可以通过一个由实时时钟产生的 DMA 请求来读取它的值。

### 9.3.17 定时器输入异或功能

通过设置 TIMx\_CTRL2 寄存器中的 TI1SEL 位,允许通道 1 的输入滤波器连接到一个异或门的输出端,异或门的 3 个输入端为 TIMx\_CH1、TIMx\_CH2 和 TIMx\_CH3。异或输出能够用于所有定时器的输入功能,如触发或者输入捕获。下节 9.3.18 给出了此特性用于连接霍尔传感器的例子。

### 9.3.18 与霍尔传感器的接口

当高级控制定时器(TIM1)产生 PWM 信号驱动电机时,可以同时使用另一个通用 TIM3 定时器作为“接口定时器”来连接霍尔传感器,见图 9-44,3 个定时器输入脚(CC1、CC2、CC3)通过一个异或门连接到 TI1 输入通道(通过设置 TIMx\_CTRL2 寄存器中的 TI1SEL 位来选择),“接口定时器”捕获这个信号。

“接口定时器”配置为从模式下的复位模式,从输入是 TI1F\_ED。每当 3 个输入之一发生变化时,计数器重新从 0 开始计数。这样产生一个由霍尔输入端的任何变化而触发的时间基准。

“接口定时器”上的捕获/比较通道 1 配置为捕获模式,捕获信号为 TRC(见图 9-27)。捕获值反映了两个输入变化间的时间延迟,延迟值给出了马达的速度信息。

“接口定时器”可以用来在输出模式产生一个脉冲,这个脉冲可以(通过触发一个 COM 事件)用于改变高级定时器 TIM1 各个通道的属性,而高级控制定时器产生 PWM 信号驱动马达。因此“接口定时器”通道必须编程为在一个指定的延时(输出比较或 PWM 模式)之后产生一个正脉冲,这个脉冲通过 TRGO 输出被送到

高级控制定时器 TIM1。

示例：

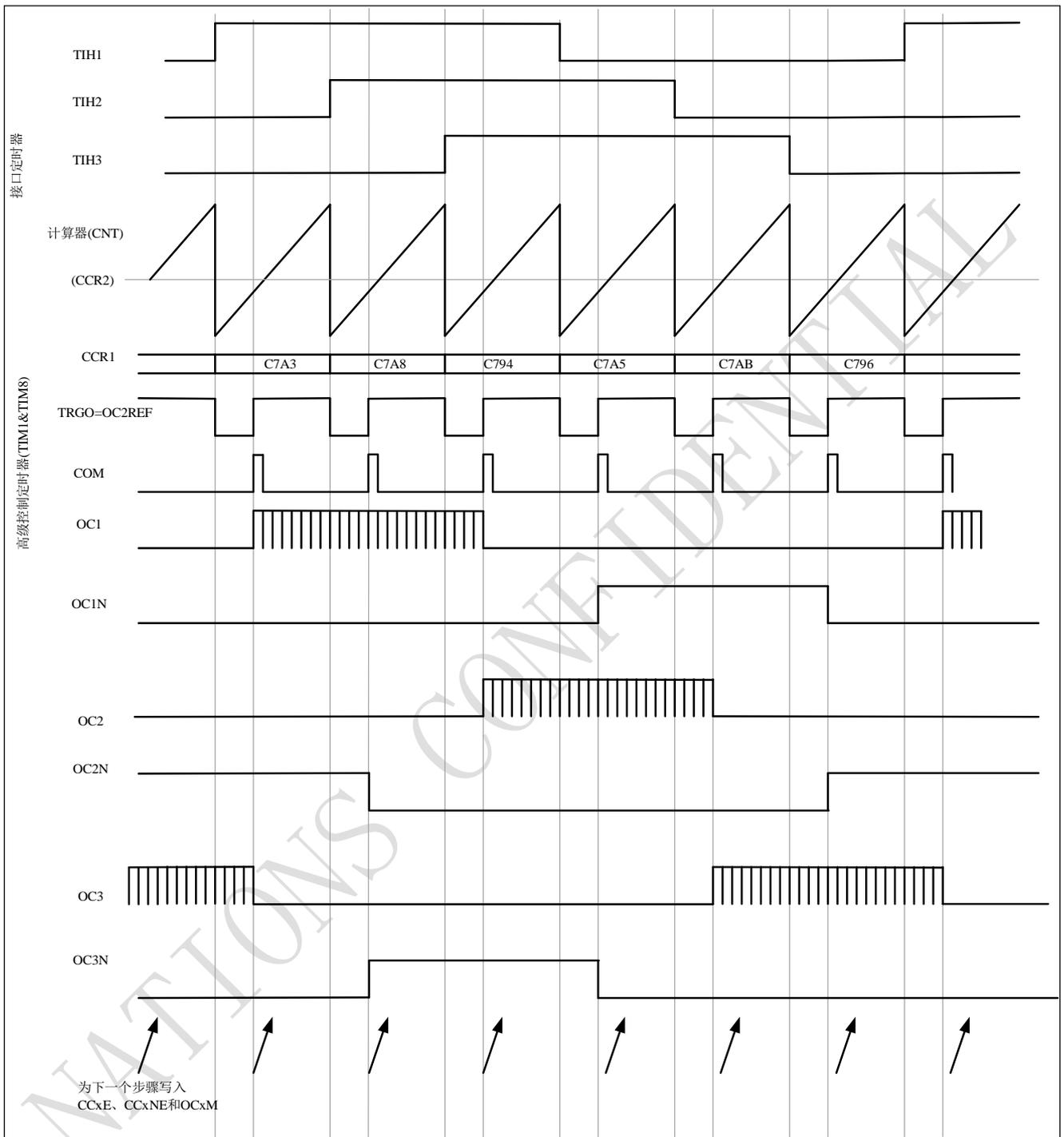
霍尔输入连接到 TIMx 定时器，要求每次任一霍尔输入上发生变化之后的一个指定的时刻，改变高级控制定时器 TIMx 的 PWM 配置。

- 置 TIMx\_CTRL2 寄存器的 TI1SEL 位为'1'，配置三个定时器输入逻辑或到 TI1 输入，
- 时基编程：置 TIMx\_AR 为其最大值（计数器必须通过 TI1 的变化清零）。设置预分频器得到一个最大的计数器周期，它长于传感器上的两次变化的时间间隔。
- 设置通道 1 为捕获模式（选中 TRC）：置 TIMx\_CCMOD1 寄存器中 CC1SEL=01，如果需要，还可以设置数字滤波器。
- 设置通道 2 为 PWM2 模式，并具有要求的延时：置 TIMx\_CCMOD1 寄存器中的 OC2M=111 和 CC2SEL=00。
- 选择 OC2REF 作为 TRGO 上的触发输出：置 TIMx\_CTRL2 寄存器中的 MMSEL=101。

在高级控制寄存器 TIMx 中，正确的 ITR 输入必须是触发器输入，定时器被编程为产生 PWM 信号，捕获比较控制信号为预装载的（TIMx\_CTRL2 寄存器中 CCPCTL=1），同时触发输入控制 COM 事件（TIMx\_CTRL2 寄存器中 CCUSEL=1）。在一次 COM 事件后，写入下一步的 PWM 控制位（CCxEN、OCxMD），这可以在处理 OC2REF 上升沿的中断子程序里实现。

下图显示了这个示例

图 9-44 霍尔传感器接口的实例



### 9.3.19 TIMx 定时器和外部触发的同步

TIMx 定时器能够在多种从模式下和一个外部的触发同步：复位模式、门控模式和触发模式。

#### 9.3.19.1 从模式：复位模式

输入一个触发输入事件时，计数器和它的预分频器能够重新被初始化；同时，如果 TIMx\_CTRL1 寄存器的

UPRS 位为低，还产生一个更新事件 UEV；然后所有的预装载寄存器（TIMx\_AR，TIMx\_CCx）都被更新。

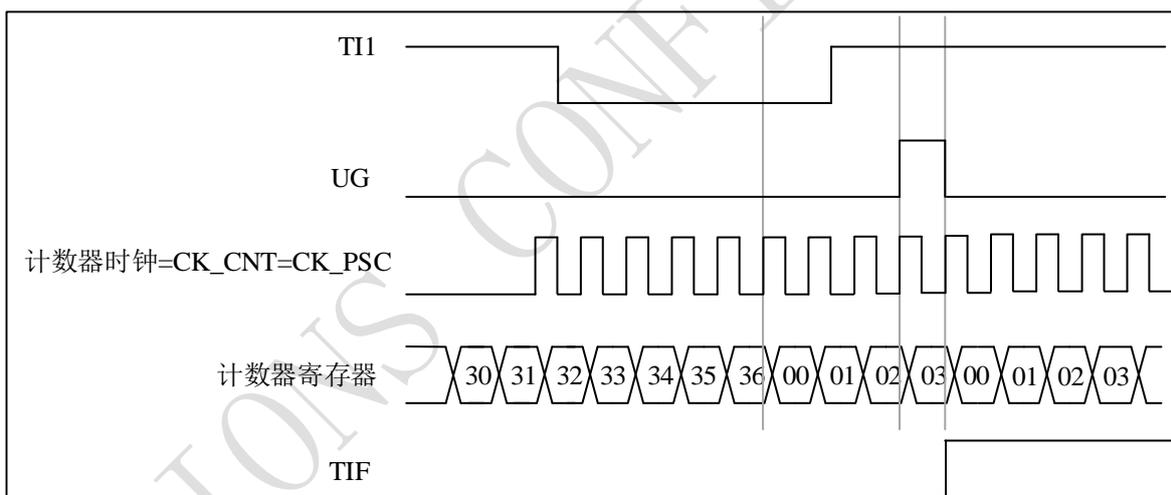
在以下的示例中，TI1 输入端的上升沿事件导致向上计数器被清零：

- 配置通道 1 以能检测 TI1 的上升沿。配置输入滤波器的带宽（在本例中，不需要任何滤波器，因此保持 IC1F=0000）。触发操作中不使用捕获预分频器，所以不需要配置。CC1SEL 位只选择输入捕获源，即 TIMx\_CCMOD1 寄存器中 CC1SEL=01。置 TIMx\_CCEN 寄存器中 CC1P=0 以确定极性（只检测上升沿）。
- 置 TIMx\_SMCTRL 寄存器中 SMSEL=100，配置定时器为复位模式；置 TIMx\_SMCTRL 寄存器中 TSEL=101，选择 TI1 作为输入源。
- 置 TIMx\_CTRL1 寄存器中 CNTEN=1，启动计数器。

计数器开始基于内部时钟进行计数，然后正常运转直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志（TIMx\_STS 寄存器中的 TIF 位）被设置，根据 TIMx\_DINTEN 寄存器中 TIE（中断使能）位和 TDEN（DMA 使能）位的设置，产生一个中断请求或一个 DMA 请求。

下图显示了当自动重载寄存器 TIMx\_AR=0x36 时，TI1 上升沿事件到来后计数器的动作。在 TI1 上升沿和计数器的实际复位之间的延时长度取决于 TI1 输入端的重同步电路。

图 9-45 复位模式下的控制电路



### 9.3.19.2 从模式：门控模式

按照选中的输入端电平极性使能计数器。

在如下的示例中，计数器只在 TI1 为低时向上计数：

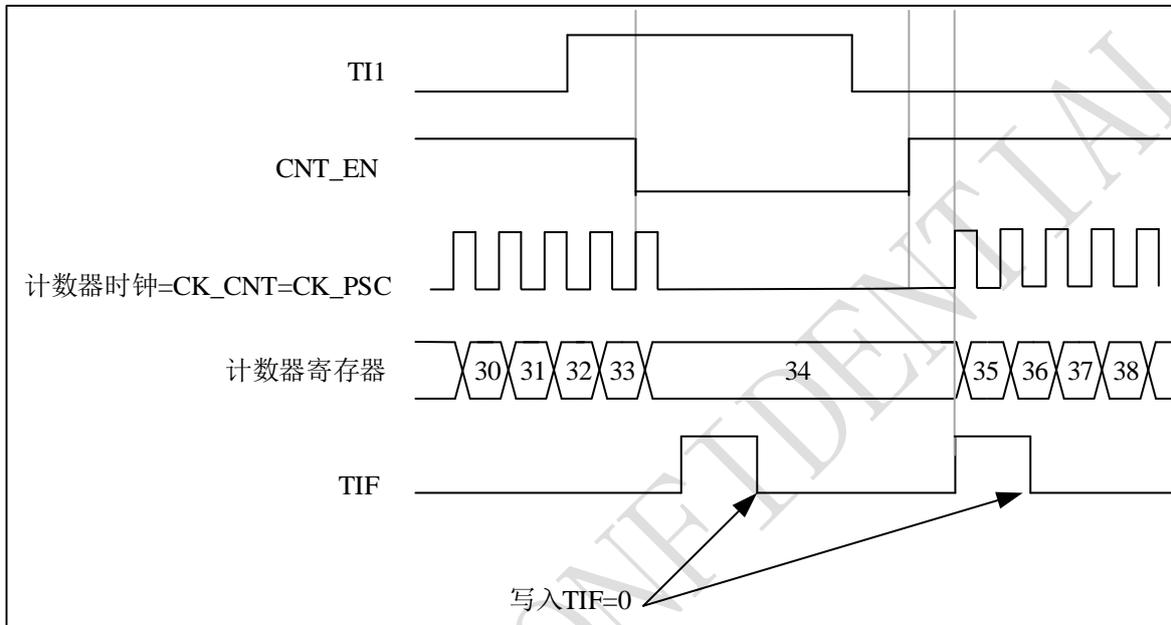
- 配置通道 1 以检测 TI1 上的低电平。配置输入滤波器带宽（本例中，不需要滤波，所以保持 IC1F=0000）。触发操作中不使用捕获预分频器，所以不需要配置。CC1SEL 位用于选择输入捕获源，置 TIMx\_CCMOD1 寄存器中 CC1SEL=01。置 TIMx\_CCEN 寄存器中 CC1P=1 以确定极性（只检测低电平）。
- 置 TIMx\_SMCTRL 寄存器中 SMSEL=101，配置定时器为门控模式；置 TIMx\_SMCTRL 寄存器中 TSEL=101，选择 TI1 作为输入源。
- 置 TIMx\_CTRL1 寄存器中 CNTEN=1，启动计数器。在门控模式下，如果 CNTEN=0，则计数器不能启

动，不论触发输入电平如何。

只要 TI1 为低，计数器开始依据内部时钟源计数，一旦 TI1 由低变高则停止计数。当计数器开始或停止时都设置 TIMx\_STS 中的 TITF 标志。

TI1 上升沿和计数器实际停止之间的延时长度取决于 TI1 输入端的重同步电路。

图 9-46 门控模式下的控制电路



### 9.3.19.3 从模式：触发模式

在输入端上选中的事件（上升沿或下降沿）使能计数器。

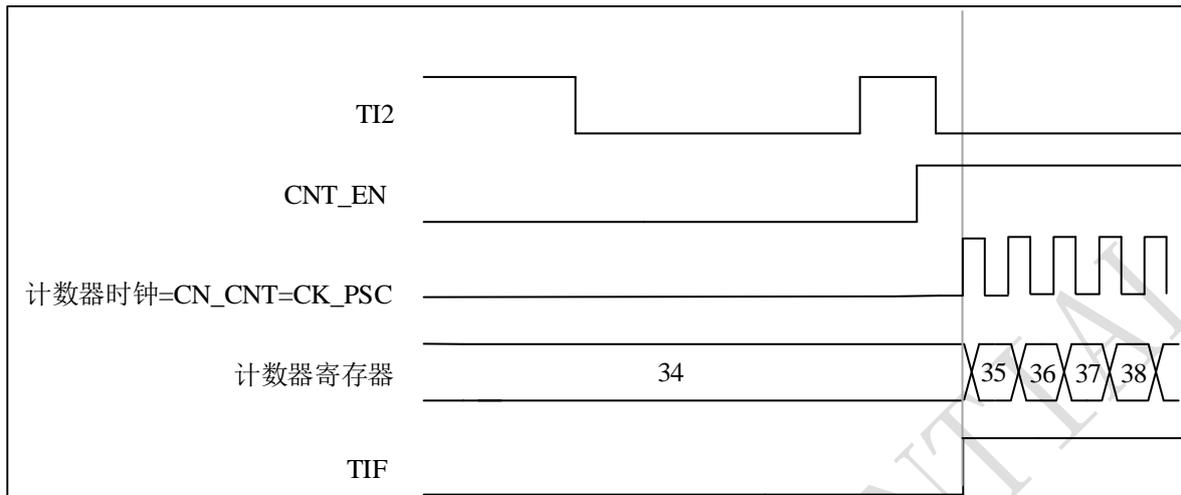
在下面的示例中，计数器在 TI2 输入的上升沿开始向上计数：

- 配置通道 2 检测 TI2 的上升沿。配置输入滤波器带宽（本例中，不需要任何滤波器，保持 IC2F=0000）。触发操作中不使用捕获预分频器，不需要配置。CC2SEL 位只用于选择输入捕获源，置 TIMx\_CCMOD1 寄存器中 CC2SEL=01。置 TIMx\_CCEN 寄存器中 CC2P=1 以确定极性（只检测低电平）。
- 置 TIMx\_SMCTRL 寄存器中 SMSEL=110，配置定时器为触发模式；置 TIMx\_SMCTRL 寄存器中 TS=110，选择 TI2 作为输入源。

只要 TI2 出现一个上升沿时，计数器开始在内部时钟源驱动下进行计数，同时设置 TITF 标志。

TI2 上升沿和计数器启动计数之间的延时，取决于 TI2 输入端的重同步电路。

图 9-47 触发器模式下的控制电路



#### 9.3.19.4 从模式：外部时钟模式 2 + 触发模式

外部时钟模式 2 可以与另一种从模式（外部时钟模式 1 和编码器模式除外）一起使用。这时 ETR 信号被用作外部时钟源的输入，在复位模式、门控模式或触发模式可以选择另一个输入作为触发输入。不建议使用 TIMx\_SMCTRL 寄存器的 TSEL 位选择 ETR 作为 TRGI。

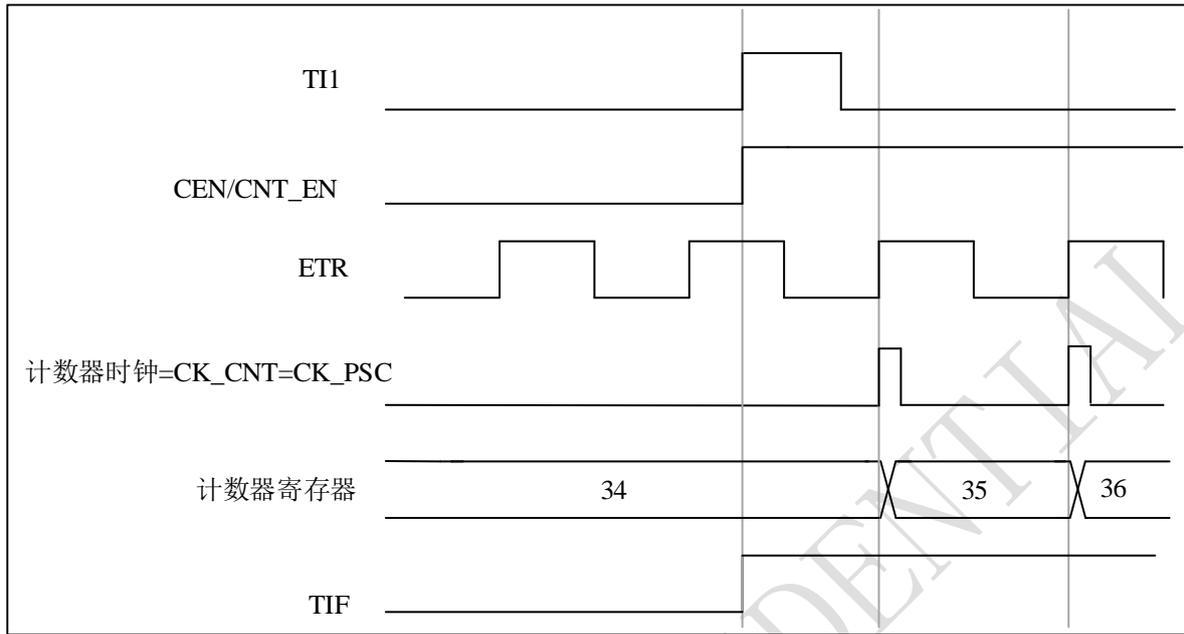
在下面的例子中，一旦在 TI1 上出现一个上升沿，计数器在 ETR 的每一个上升沿向上计数一次：

- 通过 TIMx\_SMCTRL 寄存器配置外部触发输入电路：
  - ◆ EXTF=0000：没有滤波
  - ◆ EXTPS=00：不用预分频器
  - ◆ EXTP=0：检测 ETR 的上升沿，置 EXCEN=1 使能外部时钟模式 2。
- 按如下配置通道 1，检测 TI 的上升沿：
  - ◆ IC1F=0000：没有滤波
  - ◆ 触发操作中不使用捕获预分频器，不需要配置
  - ◆ 置 TIMx\_CCMOD1 寄存器中 CC1SEL=01，选择输入捕获源
  - ◆ 置 TIMx\_CCEN 寄存器中 CC1P=0 以确定极性（只检测上升沿）
- 置 TIMx\_SMCTRL 寄存器中 SMSEL=110，配置定时器为触发模式。置 TIMx\_SMCTRL 寄存器中 TSEL=101，选择 TI1 作为输入源。

在 TI1 上出现一个上升沿时，TIF 标志被设置，计数器开始在 ETR 的上升沿计数。

ETR 信号的上升沿和计数器实际复位间的延时长度，取决于 ETRP 输入端的重同步电路。

图 9-48 外部时钟模式 2+触发模式下的控制电路



### 9.3.20 定时器同步

所有 TIM 定时器在内部相连，用于定时器同步或链接。详见下一章 10.3.14 节。

### 9.3.21 调试模式

当微控制器进入调试模式时（Cortex®-M0 核心停止），根据 DBG\_CTRL 中 TIMxSTP 的设置值，TIMx 计数器可以继续正常操作，或者停止。详见 4.3.18 DBGMCU\_CR 寄存器。

## 9.4 TIM1 寄存器描述

关于在寄存器描述里面所用到的缩写，详见第 1.1 节。

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

### 9.4.1 TIM1 寄存器图

下表中将 TIM1 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表 9-2 TIM1 - 寄存器图和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	TIMx_CTRL1	Reserved														PBKPEN	LBKPEN	CLRSEL	Reserved	Reserved	Reserved	CISEL	IOMBKPEN	CLKDI[1:0]	ARPEN	CAMSEL[1:0]		DIR	ONEPM	UPRS	UPDIS	CNTEN	
	Reset Value															0	0	0				0	0	0	0	0	0	0	0	0	0	0	0
004h	TIMx_CTRL2	Reserved														O16	Reserved	Reserved	O14	O13N	O13	O12N	O12	O11N	O11	TI1SEL	MMSEL[2:0]		CCDSEL	CCUSEL	Reserved	CCPCTL	
	Reset Value															0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
008h	TIMx_SMCTRL	Reserved														EXTP	EXCEN	EXTPS[1:0]		EXTIF[3:0]			MISM	TSEL[2:0]		Reserved		SMSSEL[2:0]																
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
00Ch	TIMx_DINTEN	Reserved														TDEN	COMDEN	CC4DEN	CC3DEN	CC2DEN	CC1DEN	UDEN	BIEN	TIEN	COMIEN	CC4IEN	CC3IEN	CC2IEN	CC1IEN	UIEN														
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
010h	TIMx_STS	Reserved										CC6ITF	CC5ITF	Reserved				CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved	BITF	TITF	COMITF	CC4ITF	CC3ITF	CC2ITF	CC1ITF	UDITF														
	Reset Value	0										0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
014h	TIMx_EVTGEN	Reserved														BGN	TGN	CCUDGN	CC4GN	CC3GN	CC2GN	CC1GN	UDGN																					
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
018h	TIMx_CCMOD1 输出比较模式	Reserved														OC2CEN	OC2M[2:0]		OC2PEN	OC2FEN	CC2SEL[1:0]	OC1CEN	OC1M[2:0]		OC1PEN	OC1FEN	CC1SEL[1:0]																	
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
018h	TIMx_CCMOD1 输入捕获模式	Reserved														IC2F[3:0]			IC2PSC[1:0]	CC2SEL[1:0]	IC1F[3:0]			IC1PSC[1:0]	CC1SEL[1:0]																			
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
01Ch	TIMx_CCMOD2 输出比较模式	Reserved														OC4CEN	OC4M[2:0]		OC4PEN	OC4FEN	CC4SEL[1:0]	OC3CEN	OC3M[2:0]		OC3PEN	OC3FEN	CC3SEL[1:0]																	
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
01Ch	TIMx_CCMOD2 输入捕获模式	Reserved														IC4F[3:0]			IC4PSC[1:0]	CC4SEL[1:0]	IC3F[3:0]			IC3PSC[1:0]	CC3SEL[1:0]																			
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
020h	TIMx_CCEN	Reserved										CC6P	CC6EN	Reserved		CC3P	CC5EN	Reserved	CC4P	CC4EN	CC3NP	CC3NEN	CC3P	CC3EN	CC2NP	CC2NEN	CC2P	CC2EN	CC1NP	CC1NEN	CC1P	CC1EN												
	Reset Value	0										0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
024h	TIMx_CNT	Reserved														CNT[15:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
028h	TIMx_PSC	Reserved														PSC[15:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
02Ch	TIMx_AR	Reserved														AR[15:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
030h	TIMx_REPCNT	Reserved														REPCNT[7:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
034h	TIMx_CCDAT1	Reserved														CCDAT1[15:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
038h	TIMx_CCDAT2	Reserved														CCDAT2[15:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
03Ch	TIMx_CCDAT3	Reserved														CCDAT3[15:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
040h	TIMx_CCDAT4	Reserved														CCDAT4[15:0]																												
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
044h	TIMx_BKDT	Reserved														MOEN	AOEN	BKP	BKEN	OSSR	OSSI	LCKCFG[1:0]	DTGN[7:0]																					
	Reset Value	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0										
048h	TIMx_DCTRL	Reserved													DBLEN[4:0]				Reserved			DBADDR[4:0]																					
	Reset Value														0	0	0	0	0				0	0	0	0	0																
04Ch	TIMx_DADDR	Reserved													BURST[15:0]																												
	Reset Value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

### 9.4.2 TIM1 控制寄存器 1 (TIMx\_CTRL1)

偏移地址: 0x00

复位值: 0x0000

31	Reserved															17	16
																	LOCKUPEN
15	Reserved			11	10	9	8	7	6	5	4	3	2	1	0		
			IOMBKPEN	CLKD[1:0]	ARPEN	CAMSEL[1:0]	DIR	ONEPM	UPRS	UPDIS	CNTEN						
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw					

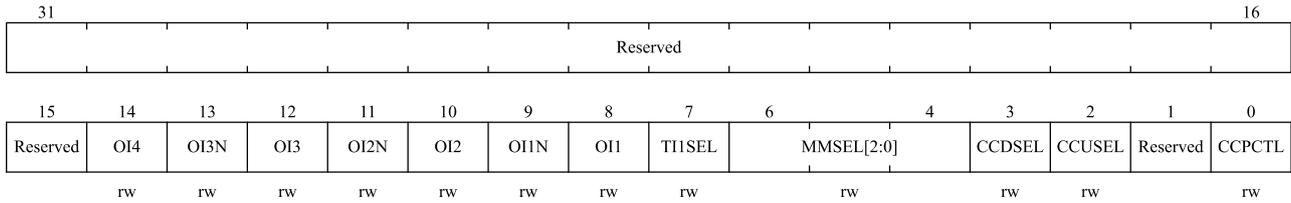
位域	名称	描述
31:17	Reserved	始终读为0。
16	LOCKUPEN	锁存作为BRK使能 (Cortex®-M0 Hardfault) 0: 禁止 1: 使能
15:11	Reserved	始终读为0。
10	IOMBKPEN	IOM作为BKP使能 0: 使能 1: 禁止
9:8	CLKD[1:0]	时钟分频因子 这2位定义在定时器时钟 (CK_INT) 频率、死区时间和由死区发生器与数字滤波器 (ETR,TIx) 所用的采样时钟之间的分频比例。 00: $t_{DTS} = t_{CK\_INT}$ 01: $t_{DTS} = 2 \times t_{CK\_INT}$ 10: $t_{DTS} = 4 \times t_{CK\_INT}$ 11: 保留, 不要使用这个配置
7	ARPEN	自动重载预装载允许位 0: TIMx_AR寄存器没有缓冲 1: TIMx_AR寄存器被装入缓冲器
6:5	CAMSEL[1:0]	选择中央对齐模式 00: 边沿对齐模式。计数器依据方向位 (DIR) 向上或向下计数。 01: 中央对齐模式1。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMODx寄存器中CCxSEL=00) 的输出比较中断标志位, 只在计数器向下计数时被设置。 10: 中央对齐模式2。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMODx寄存器中CCxSEL=00) 的输出比较中断标志位, 只在计数器向上计数时被设置。

位域	名称	描述
		11: 中央对齐模式3。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMODx寄存器中CCxSEL=00) 的输出比较中断标志位, 在计数器向上和向下计数时均被设置。 <i>注: 在计数器开启时 (CNTEN=1), 不允许从边沿对齐模式转换到中央对齐模式。</i>
4	DIR	方向 0: 计数器向上计数; 1: 计数器向下计数。 <i>注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。</i>
3	ONEPM	单脉冲模式 0: 在发生更新事件时, 计数器不停止; 1: 在发生下一次更新事件 (清除CNTEN位) 时, 计数器停止。
2	UPRS	更新请求源 软件通过该位选择UEV事件的源 0: 如果使能了更新中断或DMA请求, 则下述任一事件产生更新中断或DMA请求: — 计数器溢出/下溢 — 设置UDGN位 — 从模式控制器产生的更新 1: 如果使能了更新中断或DMA请求, 则只有计数器溢出/下溢才产生更新中断或DMA请求。
1	UPDIS	禁止更新 软件通过该位允许/禁止UEV事件的产生 0: 允许UEV。更新 (UEV) 事件由下述任一事件产生: — 计数器溢出/下溢 — 设置UDGN位 — 从模式控制器产生的更新 具有缓存的寄存器被装入它们的预装载值。(译注: 更新影子寄存器) 1: 禁止UEV。不产生更新事件, 影子寄存器 (AR、PSC、CCDATx) 保持它们的值。如果设置了UDGN位或从模式控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化。
0	CNTEN	使能计数器 0: 禁止计数器; 1: 使能计数器。 <i>注: 在软件设置了CNTEN位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。</i>

### 9.4.3 TIM1 控制寄存器 2 (TIMx\_CTRL2)

偏移地址: 0x04

复位值: 0x0000



位域	名称	描述
31:15	Reserved	始终读为0。
14	OI4	输出空闲状态4（OC4输出）。参见OI1位。
13	OI3N	输出空闲状态3（OC3N输出）。参见OI1N位。
12	OI3	输出空闲状态3（OC3输出）。参见OI1位。
11	OI2N	输出空闲状态2（OC2N输出）。参见OI1N位。
10	OI2	输出空闲状态2（OC2输出）。参见OI1位。
9	OI1N	输出空闲状态1（OC1N输出） 0：当MOEN=0时，死区后OC1N=0； 1：当MOEN=0时，死区后OC1N=1。 <i>注：已经设置了LCKCFG（TIMx_BKR寄存器）级别1、2或3后，该位不能被修改。</i>
8	OI1	输出空闲状态1（OC1输出） 0：当MOEN=0时，如果实现了OC1N，则死区后OC1=0； 1：当MOEN=0时，如果实现了OC1N，则死区后OC1=1。 <i>注：已经设置了LCKCFG（TIMx_BKR寄存器）级别1、2或3后，该位不能被修改。</i>
7	TI1SEL	TI1选择 0：TIMx_CH1引脚连到TI1输入； 1：TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
6:4	MMSEL[2:0]	主模式选择 这3位用于选择在主模式下送到从定时器的同步信息（TRGO）。可能的组合如下： 000：复位 – TIMx_EVTGEN寄存器的UDGN位被用于作为触发输出（TRGO）。如果是触发输入产生的复位（从模式控制器处于复位模式），则TRGO上的信号相对实际的复位会有一个延迟。 001：使能 – 计数器使能信号CNTEN被用于作为触发输出（TRGO）。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过CNTEN控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时，TRGO上会有一个延迟，除非选择了主/从模式（见TIMx_SMCTRL寄存器中MSMD位的描述）。 010：更新 – 更新事件被选为触发输入（TRGO）。例如，一个主定时器的时钟可以被用作一个从定时器的预分频器。 011：比较脉冲 – 在发生一次捕获或一次比较成功时，当要设置CCI1TF标志时（即使它已经为高），触发输出送出一个正脉冲（TRGO）。 100：比较 – OC1REF信号被用于作为触发输出（TRGO）。 101：比较 – OC2REF信号被用于作为触发输出（TRGO）。 110：比较 – OC3REF信号被用于作为触发输出（TRGO）。 111：比较 – OC4REF信号被用于作为触发输出（TRGO）。

位域	名称	描述
3	CCDSEL	捕获/比较的DMA选择 0: 当发生CCx事件时, 送出CCx的DMA请求; 1: 当发生更新事件时, 送出CCx的DMA请求。
2	CCUSEL	捕获/比较控制更新选择 0: 如果捕获/比较控制位是预装载的 (CCPCTL=1), 只能通过设置COM位更新它们; 1: 如果捕获/比较控制位是预装载的 (CCPCTL=1), 可以通过设置COM位或TRGI上的一个上升沿更新它们。 <i>注: 该位只对具有互补输出的通道起作用。</i>
1	Reserved	始终读为0。
0	CCPCTL	捕获/比较预装载控制位 0: CCxEN, CCxNEN和OCxMD位不是预装载的; 1: CCxEN, CCxNEN和OCxMD位是预装载的; 设置该位后, 它们只在设置了COM位后被更新。 <i>注: 该位只对具有互补输出的通道起作用。</i>

#### 9.4.4 TIM1 从模式控制寄存器 (TIMx\_SMCTRL)

偏移地址: 0x08

复位值: 0x0000

15	14	13	12	11	8	7	6	4	3	2	0
EXTP	EXCEN	EXTPS[1:0]		EXTF[3:0]		MSMD		TSEL[2:0]	Reserved		SMSEL[2:0]
rw	rw	rw		rw		rw		rw			rw

位域	名称	描述
15	EXTP	外部触发极性 该位选择是用ETR还是ETR的反相来作为触发操作 0: ETR不反相, 高电平或上升沿有效; 1: ETR被反相, 低电平或下降沿有效。
14	EXCEN	外部时钟使能位 该位启用外部时钟模式2 0: 禁止外部时钟模式2; 1: 使能外部时钟模式2。计数器由ETRF信号上的任意有效边沿驱动。 <i>注1: 设置EXCEN位与选择外部时钟模式1并将TRGI连到ETRF (SMSEL=111和TSEL=111) 具有相同功效。</i> <i>注2: 下述从模式可以与外部时钟模式2同时使用: 复位模式, 门控模式和触发模式; 但是, 这时TRGI不能连到ETRF (TSEL位不能是'111')。</i> <i>注3: 外部时钟模式1和外部时钟模式2同时被使能时, 外部时钟的输入是ETRF。</i>
13:12	EXTPS[1:0]	外部触发预分频 外部触发信号ETRP的频率必须最多是TIMxCLK频率的1/4。当输入较快的外部时钟时, 可以使用预分频降低ETRP的频率。 00: 关闭预分频; 01: ETRP频率除以2; 10: ETRP频率除以4;

位域	名称	描述
		11: ETRP频率除以8。
11:8	EXTF[3:0]	<p>外部触发滤波</p> <p>这些位定义了对ETRP信号采样的频率和对ETRP数字滤波的带宽。实际上，数字滤波器是一个事件计数器，它记录到N个事件后会产生一个输出的跳变。</p> <p>0000: 无滤波器，以fDTS采样 1000: 采样频率fSAMPLING=fDTS/8, N=6</p> <p>0001: 采样频率fSAMPLING=fCK_INT, N=2 1001: 采样频率fSAMPLING=fDTS/8, N=8</p> <p>0010: 采样频率fSAMPLING=fCK_INT, N=4 1010: 采样频率fSAMPLING=fDTS/16, N=5</p> <p>0011: 采样频率fSAMPLING=fCK_INT, N=8 1011: 采样频率fSAMPLING=fDTS/16, N=6</p> <p>0100: 采样频率fSAMPLING=fDTS/2, N=6 1100: 采样频率fSAMPLING=fDTS/16, N=8</p> <p>0101: 采样频率fSAMPLING=fDTS/2, N=8 1101: 采样频率fSAMPLING=fDTS/32, N=5</p> <p>0110: 采样频率fSAMPLING=fDTS/4, N=6 1110: 采样频率fSAMPLING=fDTS/32, N=6</p> <p>0111: 采样频率fSAMPLING=fDTS/4, N=8 1111: 采样频率fSAMPLING=fDTS/32, N=8</p>
7	MSMD	<p>主/从模式</p> <p>0: 无作用;</p> <p>1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。</p>
6:4	TSEL[2:0]	<p>触发选择</p> <p>这3位选择用于同步计数器的触发输入。</p> <p>000: 内部触发0 (ITR0) 100: TI1的边沿检测器 (TI1F_ED)</p> <p>001: 内部触发1 (ITR1) 101: 滤波后的定时器输入1 (TI1FP1)</p> <p>010: 内部触发2 (ITR2) 110: 滤波后的定时器输入2 (TI2FP2)</p> <p>011: 内部触发3 (ITR3) 111: 外部触发输入 (ETRF)</p> <p>更多有关ITRx的细节, 参见表 9-3。</p> <p>注: 这些位只能在未用到 (如SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。</p>
3	Reserved	始终读为0。

位域	名称	描述
2:0	SMSEL[2:0]	<p>从模式选择</p> <p>当选择了外部信号，触发信号（TRGI）的有效边沿与选中的外部输入极性相关（见输入控制寄存器和控制寄存器的说明）</p> <p>000：关闭从模式 – 如果CNTEN=1，则预分频器直接由内部时钟驱动。</p> <p>001：编码器模式1 – 根据TI1FP1的电平，计数器在TI2FP2的边沿向上/下计数。</p> <p>010：编码器模式2 – 根据TI2FP2的电平，计数器在TI1FP1的边沿向上/下计数。</p> <p>011：编码器模式3 – 根据另一个信号的输入电平，计数器在TI1FP1和TI2FP2的边沿向上/下计数。</p> <p>100：复位模式 – 选中的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。</p> <p>101：门控模式 – 当触发输入（TRGI）为高时，计数器的时钟开启。一旦触发输入变为低，则计数器停止（但不复位）。计数器的启动和停止都是受控的。</p> <p>110：触发模式 – 计数器在触发输入TRGI的上升沿启动（但不复位），只有计数器的启动是受控的。</p> <p>111：外部时钟模式1 – 选中的触发输入（TRGI）的上升沿驱动计数器。</p> <p><i>注：如果TIIF_EN被选为触发输入（TSEL=100）时，不要使用门控模式。这是因为，TIIF_ED在每次TIIF变化时输出一个脉冲，然而门控模式是要检查触发输入的电平。</i></p>

表 9-3 TIMx 内部触发连接

从定时器	ITR0 (TSEL=000)	ITR1 (TSEL=001)	ITR2 (TSEL=010)	ITR3 (TSEL=011)
TIM1	NA	NA	TIM3	NA

### 9.4.5 TIM1 DMA/中断使能寄存器 (TIMx\_DINTEN)

偏移地址：0x0C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TDEN	COMDEN	CC4DEN	CC3DEN	CC2DEN	CC1DEN	UDEN	BIEN	TIEN	COMIEN	CC4IEN	CC3IEN	CC2IEN	CC1IEN	UIEN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

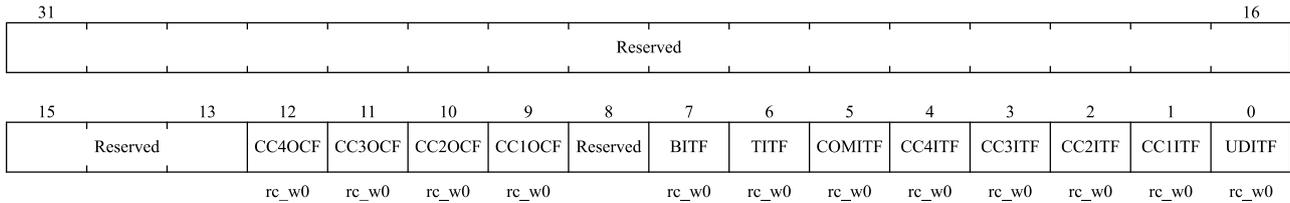
位域	名称	描述
15	Reserved	始终读为0。
14	TDEN	<p>允许触发DMA请求</p> <p>0：禁止触发DMA请求；</p> <p>1：允许触发DMA请求。</p>
13	COMDEN	<p>允许COM的DMA请求</p> <p>0：禁止COM的DMA请求；</p> <p>1：允许COM的DMA请求。</p>
12	CC4DEN	<p>允许捕获/比较4的DMA请求</p> <p>0：禁止捕获/比较4的DMA请求；</p> <p>1：允许捕获/比较4的DMA请求。</p>

位域	名称	描述
11	CC3DEN	允许捕获/比较3的DMA请求 0: 禁止捕获/比较3的DMA请求; 1: 允许捕获/比较3的DMA请求。
10	CC2DEN	允许捕获/比较2的DMA请求 0: 禁止捕获/比较2的DMA请求; 1: 允许捕获/比较2的DMA请求。
9	CC1DEN	允许捕获/比较1的DMA请求 0: 禁止捕获/比较1的DMA请求; 1: 允许捕获/比较1的DMA请求。
8	UDEN	允许更新的DMA请求 0: 禁止更新的DMA请求; 1: 允许更新的DMA请求。
7	BIEN	允许刹车中断 0: 禁止刹车中断; 1: 允许刹车中断。
6	TIEN	触发中断使能 0: 禁止触发中断; 1: 使能触发中断。
5	COMIEN	允许COM中断 0: 禁止COM中断; 1: 允许COM中断。
4	CC4IEN	允许捕获/比较4中断 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。
3	CC3IEN	允许捕获/比较3中断 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。
2	CC2IEN	允许捕获/比较2中断 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。
1	CC1IEN	允许捕获/比较1中断 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。
0	UIEN	允许更新中断 0: 禁止更新中断; 1: 允许更新中断。

#### 9.4.6 TIM1 状态寄存器 (TIMx\_STS)

偏移地址: 0x10

复位值: 0x0000



位域	名称	描述
31:13	Reserved	始终读为0。
12	CC4OCF	捕获/比较4重复捕获标记 参见CC1OCF描述。
11	CC3OCF	捕获/比较3重复捕获标记 参见CC1OCF描述。
10	CC2OCF	捕获/比较2重复捕获标记 参见CC1OCF描述。
9	CC1OCF	捕获/比较1重复捕获标记 仅当相应的通道被配置为输入捕获时，该标记可由硬件置1。写0可清除该位。 0：无重复捕获产生； 1：计数器的值被捕获到TIMx_CCDAT1寄存器时，CC1ITF的状态已经为‘1’。
8	Reserved	始终读为0。
7	BITF	刹车中断标记 一旦刹车输入有效，由硬件对该位置‘1’。如果刹车输入无效，则该位可由软件清‘0’。 0：无刹车事件产生； 1：刹车输入上检测到有效电平。
6	TITF	触发器中断标记 当发生触发事件（当从模式控制器处于除门控模式外的其它模式时，在TRGI输入端检测到有效边沿，或门控模式下的任一边沿）时由硬件对该位置‘1’。它由软件清‘0’。 0：无触发器事件产生； 1：触发中断等待响应。
5	COMITF	COM中断标记 一旦产生COM事件（当捕获/比较控制位：CCxEN、CCxNEN、OCxMD已被更新）该位由硬件置‘1’。它由软件清‘0’。 0：无COM事件产生； 1：COM中断等待响应。
4	CC4ITF	捕获/比较4中断标记 参考CC1ITF描述。
3	CC3ITF	捕获/比较3中断标记 参考CC1ITF描述。
2	CC2ITF	捕获/比较2中断标记 参考CC1ITF描述。
1	CC1ITF	捕获/比较1中断标记 <b>如果通道CC1配置为输出模式：</b> 当计数器值与比较值匹配时该位由硬件置1，但在中心对称模式下除外（参考TIMx_CTRL1寄存器的CAMSEL位）。它由软件清‘0’。

位域	名称	描述
		<p>0: 无匹配发生;</p> <p>1: TIMx_CNT的值与TIMx_CCDAT1的值匹配。</p> <p>当TIMx_CCDAT1的内容大于TIMx_AR的内容时, 在向上或向上/下计数模式时计数器溢出, 或向下计数模式时的计数器下溢条件下, CC1ITF位变高</p> <p><b>如果通道CC1配置为输入模式:</b></p> <p>当捕获事件发生时该位由硬件置'1', 它由软件清'0'或通过读TIMx_CCDAT1清'0'。</p> <p>0: 无输入捕获产生;</p> <p>1: 计数器值已被捕获(拷贝)至TIMx_CCDAT1(在IC1上检测到与所选极性相同的边沿)。</p>
0	UDITF	<p>更新中断标记</p> <p>当产生更新事件时该位由硬件置'1'。它由软件清'0'。</p> <p>0: 无更新事件产生;</p> <p>1: 更新中断等待响应。当寄存器被更新时该位由硬件置'1':</p> <ul style="list-style-type: none"> <li>- 若TIMx_CTRL1寄存器的UPDIS=0, 当重复计数器数值上溢或下溢时(重复计数器=0时产生更新事件)。</li> <li>- 若TIMx_CTRL1寄存器的UPRS=0、UPDIS=0, 当设置TIMx_EVTGEN寄存器的UDGN=1时产生更新事件, 通过软件对计数器CNT重新初始化时。</li> <li>- 若TIMx_CTRL1寄存器的UPRS=0、UPDIS=0, 当计数器CNT被触发事件重新初始化时。(参考9.4.4: TIM1和TIM8从模式控制寄存器(TIMx_SMCTRL))。</li> </ul>

### 9.4.7 TIM1 事件产生寄存器 (TIMx\_EVTGEN)

偏移地址:0x14

复位值:0x0000

15	8	7	6	5	4	3	2	1	0						
Reserved								BGN	TGN	CCUDGN	CC4GN	CC3GN	CC2GN	CC1GN	UDGN
								w	w	w	w	w	w	w	w

位域	名称	描述
15:8	Reserved	始终读为0。
7	BGN	<p>产生刹车事件</p> <p>该位由软件置'1', 用于产生一个刹车事件, 由硬件自动清'0'。</p> <p>0: 无动作;</p> <p>1: 产生一个刹车事件。此时MOEN=0、BITF=1, 若开启对应的中断和DMA, 则产生相应的中断和DMA。</p>
6	TGN	<p>产生触发事件</p> <p>该位由软件置'1', 用于产生一个触发事件, 由硬件自动清'0'。</p> <p>0: 无动作;</p> <p>1: TIMx_STS寄存器的TITF=1, 若开启对应的中断和DMA, 则产生相应的中断和DMA。</p>

位域	名称	描述
5	CCUDGN	捕获/比较事件，产生控制更新 该位由软件置'1'，由硬件自动清'0'。 0: 无动作； 1: 当CCPCTL=1，允许更新CCxEN、CCxNEN、OCxMD位。 注：该位只对拥有互补输出的通道有效。
4	CC4GN	产生捕获/比较4事件 参考CC1GN描述。
3	CC3GN	产生捕获/比较3事件（ 参考CC1GN描述。
2	CC2GN	产生捕获/比较2事件 参考CC1GN描述。
1	CC1GN	产生捕获/比较1事件 该位由软件置'1'，用于产生一个捕获/比较事件，由硬件自动清'0'。 0: 无动作； 1: 在通道CC1上产生一个捕获/比较事件： <b>若通道CC1配置为输出：</b> 设置CC1ITF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。 <b>若通道CC1配置为输入：</b> 当前的计数器值被捕获至TIMx_CC1DAT1寄存器；设置CC1ITF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。若CC1ITF已经为1，则设置CC1OCF=1。
0	UDGN	产生更新事件 该位由软件置'1'，由硬件自动清'0'。 0: 无动作； 1: 重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清'0'（但是预分频系数不变）。若在中心对称模式下或DIR=0（向上计数）则计数器被清'0'；若DIR=1（向下计数）则计数器取TIMx_AR的值。

#### 9.4.8 TIM1 捕获/比较模式寄存器 1 (TIMx\_CCMOD1)

偏移地址：0x18

复位值：0x0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的CCxSEL位定义。该寄存器其它位的作用在输入和输出模式下不同。OCxx描述了通道在输出模式下的功能，ICxx描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式：

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC2CEN	OC2M[2:0]		OC2PEN	OC2FEN	CC2SEL[1:0]		OC1CEN	OC1M[2:0]		OC1PEN	OC1FEN	CC1SEL[1:0]	
rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	

位域	名称	描述
15	OC2CEN	输出比较2清0使能
14:12	OC2M[2:0]	输出比较2模式
11	OC2PEN	输出比较2预装载使能

位域	名称	描述
10	OC2FEN	输出比较2快速使能
9:8	CC2SEL[1:0]	捕获/比较2选择。 该位定义通道的方向（输入/输出），及输入脚的选择： 00：CC2通道被配置为输出； 01：CC2通道被配置为输入，IC2映射在TI2上； 10：CC2通道被配置为输入，IC2映射在TI1上； 11：CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC2SEL仅在通道关闭时（TIMx_CCEN寄存器的CC2EN=0）才是可写的。</i>
7	OC1CEN	输出比较1清'0'使能 0：OC1REF 不受ETRF输入的影响； 1：一旦检测到ETRF输入高电平，清除OC1REF=0。
6:4	OC1M[2:0]	输出比较1模式 该3位定义了输出参考信号OC1REF的动作，而OC1REF决定了OC1、OC1N的值。 OC1REF 是高电平有效，而OC1、OC1N的有效电平取决于CC1P、CC1NP位。 000：冻结。输出比较寄存器TIMx_CCDAT1与计数器TIMx_CNT间的比较对OC1REF不起作用； 001：匹配时设置通道1 为有效电平。当计数器TIMx_CNT 的值与捕获/比较寄存器1（TIMx_CCDAT1）相同时，强制OC1REF为高。 010：匹配时设置通道1 为无效电平。当计数器TIMx_CNT 的值与捕获/比较寄存器1（TIMx_CCDAT1）相同时，强制OC1REF为低。 011：翻转。当TIMx_CCDAT1=TIMx_CNT时，翻转OC1REF的电平。 100：强制为无效电平。强制OC1REF为低。 101：强制为有效电平。强制OC1REF为高。 110：PWM模式1— 在向上计数时，一旦TIMx_CNT<TIMx_CCDAT1时通道1为有效电平，否则为无效电平；在向下计数时，一旦TIMx_CNT>TIMx_CCDAT1时通道1为无效电平（OC1REF=0），否则为有效电平（OC1REF=1）。 111：PWM模式2— 在向上计数时，一旦TIMx_CNT<TIMx_CCDAT1时通道1为无效电平，否则为有效电平；在向下计数时，一旦TIMx_CNT>TIMx_CCDAT1时通道1为有效电平，否则为无效电平。 <i>注1：一旦LOCK级别设为3（TIMx_BKDT寄存器中的LCKCFG位）并且CC1SEL=00（该通道配置成输出）则该位不能被修改。</i> <i>注2：在PWM模式1或PWM模式2中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到PWM模式时，OC1REF电平才改变。</i>
3	OC1PEN	输出比较1预装载使能 0：禁止TIMx_CCDAT1寄存器的预装载功能，可随时写入TIMx_CCDAT1寄存器，并且新写入的数值立即起作用。 1：开启TIMx_CCDAT1寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CCDAT1的预装载值在更新事件到来时被加载至当前寄存器中。 <i>注1：一旦LOCK级别设为3（TIMx_BKDT寄存器中的LCKCFG位）并且CC1SEL=00（该通道配置成输出）则该位不能被修改。</i> <i>注2：仅在单脉冲模式下（TIMx_CTRL1寄存器的ONEPM=1），可以在未确认预装载寄存器情况下使用</i>

位域	名称	描述
		PWM模式，否则其动作不确定。
2	OC1FEN	输出比较1 快速使能 该位用于加快CC输出对触发输入事件的响应。 0: 根据计数器与CCDAT1的值，CC1正常操作，即使触发器是打开的。当触发器的输入有一个有效沿时，激活CC1输出的最小延时为5个时钟周期。 1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此，OC被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周期。 OCxPEN只在通道被配置成PWM1或PWM2模式时起作用。
1:0	CC1SEL[1:0]	捕获/比较1 选择。 这2位定义通道的方向（输入/输出），及输入脚的选择： 00: CC1通道被配置为输出； 01: CC1通道被配置为输入，IC1映射在TI1上； 10: CC1通道被配置为输入，IC1映射在TI2上； 11: CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 注：CC1SEL仅在通道关闭时（TIMx_CCEN寄存器的CC1EN=0）才是可写的。

输入捕获模式：

15	12	11	10	9	8	7	4	3	2	1	0
IC2F[3:0]			IC2PSC[1:0]		CC2SEL[1:0]		IC1F[3:0]		IC1PSC[1:0]		CC1SEL[1:0]
rw			rw		rw		rw		rw		rw

位域	名称	描述
15:12	IC2F[3:0]	输入捕获2滤波器
11:10	IC2PSC[1:0]	输入/捕获2预分频器
9:8	CC2SEL[1:0]	捕获/比较2选择 这2位定义通道的方向（输入/输出），及输入脚的选择： 00: CC2通道被配置为输出； 01: CC2通道被配置为输入，IC2映射在TI2上； 10: CC2通道被配置为输入，IC2映射在TI1上； 11: CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 注：CC2SEL仅在通道关闭时（TIMx_CCEN寄存器的CC2EN=0）才是可写的。

位域	名称	描述
7:4	IC1F[3:0]	<p>输入捕获1滤波器</p> <p>这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到N个事件后会产生一个输出的跳变：</p> <p>0000：无滤波器，以<math>f_{DTS}</math>采样    1000：采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>，<math>N=6</math></p> <p>0001：采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>，<math>N=2</math>    1001：采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>，<math>N=8</math></p> <p>0010：采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>，<math>N=4</math>    1010：采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>，<math>N=5</math></p> <p>0011：采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>，<math>N=8</math>    1011：采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>，<math>N=6</math></p> <p>0100：采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>，<math>N=6</math>    1100：采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>，<math>N=8</math></p> <p>0101：采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>，<math>N=8</math>    1101：采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>，<math>N=5</math></p> <p>0110：采样频率<math>f_{SAMPLING}=f_{DTS}/4</math>，<math>N=6</math>    1110：采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>，<math>N=6</math></p> <p>0111：采样频率<math>f_{SAMPLING}=f_{DTS}/4</math>，<math>N=8</math>    1111：采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>，<math>N=8</math></p>
3:2	IC1PSC[1:0]	<p>输入/捕获1预分频器</p> <p>这2位定义了CC1输入（IC1）的预分频系数。</p> <p>一旦<math>CC1EN=0</math>（TIMx_CCEN寄存器中），则预分频器复位。</p> <p>00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获；</p> <p>01：每2个事件触发一次捕获；</p> <p>10：每4个事件触发一次捕获；</p> <p>11：每8个事件触发一次捕获。</p>
1:0	CC1SEL[1:0]	<p>捕获/比较1选择</p> <p>这2位定义通道的方向（输入/输出），及输入脚的选择：</p> <p>00：CC1通道被配置为输出；</p> <p>01：CC1通道被配置为输入，IC1映射在TI1上；</p> <p>10：CC1通道被配置为输入，IC1映射在TI2上；</p> <p>11：CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。</p> <p><i>注：CC1SEL仅在通道关闭时（TIMx_CCEN寄存器的CC1EN=0）才是可写的。</i></p>

### 9.4.9 TIM1 捕获/比较模式寄存器 2 (TIMx\_CCMOD2)

偏移地址：0x1C

复位值：0x0000

参看以上 CCMOD1 寄存器的描述

输出比较模式：

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC4CEN	OC4MD[2:0]		OC4PEN	OC4FEN	CC4SEL[1:0]	OC3CEN	OC3MD[2:0]		OC3PEN	OC3FEN	CC3SEL[1:0]		
rw	rw		rw	rw	rw	rw	rw		rw	rw	rw		

位域	名称	描述
15	OC4CEN	输出比较4清0使能
14:12	OC4MD[2:0]	输出比较4模式
11	OC4PEN	输出比较4预装载使能
10	OC4FEN	输出比较4快速使能

位域	名称	描述
9:8	CC4SEL[1:0]	捕获/比较4选择 该2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC4通道被配置为输出； 01：CC4通道被配置为输入，IC4映射在TI4上； 10：CC4通道被配置为输入，IC4映射在TI3上； 11：CC4通道被配置为输入，IC4映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC4SEL仅在通道关闭时（TIMx_CCEN寄存器的CC4EN=0）才是可写的。</i>
7	OC3CEN	输出比较3清0使能
6:4	OC3MD[2:0]	输出比较3模式
3	OC3PEN	输出比较3预装载使能
2	OC3FEN	输出比较3快速使能
1:0	CC3SEL[1:0]	捕获/比较3选择 这2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC3通道被配置为输出； 01：CC3通道被配置为输入，IC3映射在TI3上； 10：CC3通道被配置为输入，IC3映射在TI4上； 11：CC3通道被配置为输入，IC3映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC3SEL仅在通道关闭时（TIMx_CCEN寄存器的CC3EN=0）才是可写的。</i>

输入捕获模式：

15	12	11	10	9	8	7	4	3	2	1	0
IC4F[3:0]			IC4PSC[1:0]		CC4SEL[1:0]		IC3F[3:0]		IC3PSC[1:0]		CC3SEL[1:0]
rw			rw		rw		rw		rw		rw

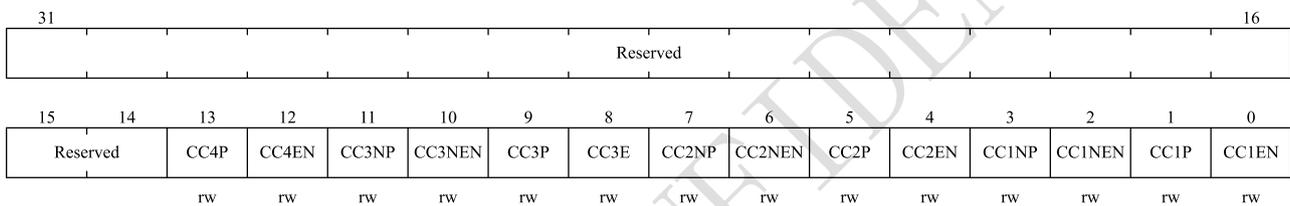
位域	名称	描述
15:12	IC4F[3:0]	输入捕获4滤波器
11:10	IC4PSC[1:0]	输入/捕获4预分频器
9:8	CC4SEL[1:0]	捕获/比较4选择 这2位定义通道的方向(输入/输出)，及输入脚的选择： 00：CC4通道被配置为输出； 01：CC4通道被配置为输入，IC4映射在TI4上； 10：CC4通道被配置为输入，IC4映射在TI3上； 11：CC4通道被配置为输入，IC4映射在TRC上。此模式仅工作在内部触发器输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 <i>注：CC4SEL仅在通道关闭时(TIMx_CCEN寄存器的CC4EN=0)才是可写的。</i>
7:4	IC3F[3:0]	输入捕获3滤波器
3:2	IC3PSC[1:0]	输入/捕获3预分频器

位域	名称	描述
1:0	CC3SEL[1:0]	<p>捕获/比较3选择</p> <p>这2位定义通道的方向(输入/输出), 及输入脚的选择:</p> <p>00: CC3通道被配置为输出;</p> <p>01: CC3通道被配置为输入, IC3映射在TI3上;</p> <p>10: CC3通道被配置为输入, IC3映射在TI4上;</p> <p>11: CC3通道被配置为输入, IC3映射在TRC上。此模式仅工作在内部触发器输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。</p> <p>注: CC3SEL仅在通道关闭时(TIMx_CCEN寄存器的CC3EN=0)才是可写的。</p>

#### 9.4.10 TIM1 捕获/比较使能寄存器 (TIMx\_CCEN)

偏移地址: 0x20

复位值: 0x0000



位域	名称	描述
31:14	Reserved	始终读为0。
13	CC4P	<p>输入/捕获4输出极性</p> <p>参考CC1P的描述。</p>
12	CC4EN	<p>输入/捕获4输出使能</p> <p>参考CC1EN 的描述。</p>
11	CC3NP	<p>输入/捕获3互补输出极性</p> <p>参考CC1NP的描述。</p>
10	CC3NEN	<p>输入/捕获3互补输出使能</p> <p>参考CC1NEN的描述。</p>
9	CC3P	<p>输入/捕获3输出极性</p> <p>参考CC1P的描述。</p>
8	CC3E	<p>输入/捕获3输出使能</p> <p>参考CC1E 的描述。</p>
7	CC2NP	<p>输入/捕获2互补输出极性</p> <p>参考CC1NP的描述。</p>
6	CC2NEN	<p>输入/捕获2互补输出使能</p> <p>参考CC1NEN的描述。</p>
5	CC2P	<p>输入/捕获2输出极性</p> <p>参考CC1P的描述。</p>
4	CC2EN	<p>输入/捕获2输出使能</p> <p>参考CC1EN的描述。</p>

位域	名称	描述
3	CC1NP	输入/捕获1互补输出极性 0: OC1N高电平有效; 1: OC1N低电平有效。 <i>注: 一旦LOCK级别 (TIMx_BKDT寄存器中的LCKCFG位) 设为3或2且CC1SEL=00 (通道配置为输出) 则该位不能被修改。</i>
2	CC1NEN	输入/捕获1互补输出使能 0: 关闭— OC1N禁止输出, 因此OC1N的电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1EN位的值。 1: 开启— OC1N信号输出到对应的输出引脚, 其输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1EN位的值。
1	CC1P	输入/捕获1输出极性 <b>CC1通道配置为输出:</b> 0: OC1高电平有效; 1: OC1低电平有效。 <b>CC1通道配置为输入:</b> 该位选择是IC1还是IC1的反相信号作为触发或捕获信号。 0: 不反相: 捕获发生在IC1的上升沿; 当用作外部触发器时, IC1不反相。 1: 反相: 捕获发生在IC1的下降沿; 当用作外部触发器时, IC1反相。 <i>注: 一旦LOCK级别 (TIMx_BKDT寄存器中的LCKCFG位) 设为3或2, 则该位不能被修改。</i>
0	CC1EN	输入/捕获1输出使能 (Capture/Compare 1 output enable) <b>CC1通道配置为输出:</b> 0: 关闭— OC1禁止输出, 因此OC1的输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 1: 开启— OC1信号输出到对应的输出引脚, 其输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 <b>CC1通道配置为输入:</b> 该位决定了计数器的值是否能捕获入TIMx_CCDA1寄存器。 0: 捕获禁止; 1: 捕获使能。

表 9-4 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位

控制位					输出状态 <sup>(1)</sup>	
MOEN	OSSI	OSSR	CCxEN	CCxNEN	OCx 输出状态	OCxN 输出状态
1	X	0	0	0	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	0	1	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	OCxREF + 极性, OCxN= OCxREF xor CCxNP, OCxN_EN=1
		0	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF反相 + 极性 + 死区, OCxN_EN=1
		1	0	0	输出禁止 (与定时器断开)	输出禁止 (与定时器断开)

控制位					输出状态 <sup>(1)</sup>	
MOEN	OSSI	OSSR	CCxEN	CCxNEN	OCx 输出状态	OCxN 输出状态
					OCx=CCxP, OCx_EN=0	OCxN=CCxNP, OCxN_EN=0
		1	0	1	关闭状态 (输出使能且为无效电平) OCx=CCxP, OCx_EN=1	OCxREF + 极性, OCxN= OCxREF xor CCxNP, CxN_EN=1
		1	1	0	OCxREF + 极性, OCx= OCxREF xor CCxP, OCx_EN=1	关闭状态 (输出使能且为无效电平) OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCxREF + 极性 + 死区, OCx_EN=1	OCxREF反相 + 极性 + 死区, OCxN_EN=1
0	0	X	0	0	输出禁止 (与定时器断开)	
	0		1	异步: OCx=CCxP, OCx_EN=0, OCxN=CCxNP, OCxN_EN=0;		
	0		0	若时钟存在: 假设OIx与OIxN并不都对应OCx和OCxN的有效电平。		
	0		1	经过一个死区时间后OCx=OIx, OCxN=OIxN		
	1		0	关闭状态 (输出使能且为无效电平)		
	1		1	异步: OCx=CCxP, OCx_EN=1, OCxN=CCxNP, OCxN_EN=1;		
	1		0	若时钟存在: 假设OIx与OIxN并不都对应OCx和OCxN的有效电平。		
	1		1	经过一个死区时间后OCx=OIx, OCxN=OIxN,		

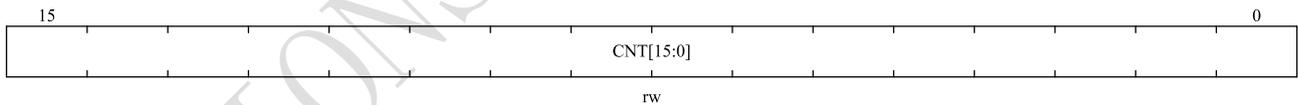
1. 如果一个通道的 2 个输出都没有使用 (CCxEN = CCxNEN = 0), 那么 OIx, OIxN, CCxP 和 CCxNP 都必须清零。

注: 引脚连接到互补的 OCx 和 OCxN 通道的外部 I/O 引脚的状态, 取决于 OCx 和 OCxN 通道状态和 GPIO 以及 AFIO 寄存器。

### 9.4.11 TIM1 计数器 (TIMx\_CNT)

偏移地址: 0x24

复位值: 0x0000

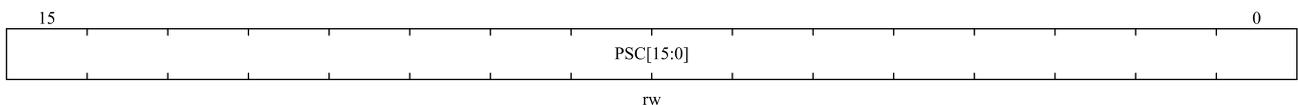


位域	名称	描述
15:0	CNT[15:0]	计数器的值

### 9.4.12 TIM1 预分频器 (TIMx\_PSC)

偏移地址: 0x28

复位值: 0x0000

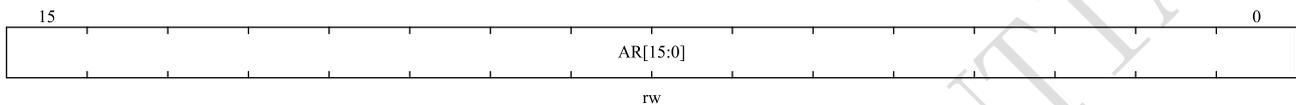


位域	名称	描述
15:0	PSC[15:0]	<p>预分频器的值</p> <p>计数器的时钟频率（CK_CNT）等于fCK_PSC/(PSC[15:0]+1)。</p> <p>PSC包含了每次当更新事件产生时，装入当前预分频器寄存器的值；更新事件包括计数器被TIM_EVTGEN的UDGN位清'0'或被工作在复位模式的从控制器清'0'。</p>

### 9.4.13 TIM1 自动重装载寄存器 (TIMx\_AR)

偏移地址: 0x2C

复位值: 0xFFFF

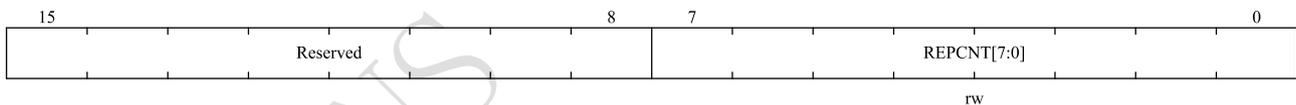


位域	名称	描述
15:0	AR[15:0]	<p>自动重装载的值</p> <p>AR包含了将要装载入实际的自动重装载寄存器的值。详细参考9.3.1节：有关AR的更新和动作。</p> <p>当自动重装载的值为空时，计数器不工作。</p>

### 9.4.14 TIM1 重复计数寄存器 (TIMx\_REPCNT)

偏移地址: 0x30

复位值: 0x0000

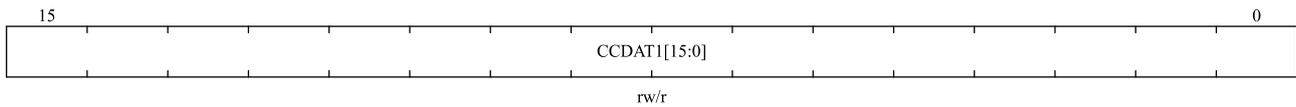


位域	名称	描述
15:8	Reserved	始终读为0。
7:0	REPCNT[7:0]	<p>重复计数器的值</p> <p>开启了预装载功能后，这些位允许用户设置比较寄存器的更新速率（即周期性地从预装载寄存器传输到当前寄存器）；如果允许产生更新中断，则会同时影响产生更新中断的速率。</p> <p>每次向下计数器CNT达到0，会产生一个更新事件并且计数器CNT重新从REPCNT值开始计数。由于CNT只有在周期更新事件UDGN发生时才重载REPCNT值，因此对TIMx_REPCNT寄存器写入的新值只在下次周期更新事件发生时才起作用。</p> <p>这意味着在PWM模式中，（REPCNT+1）对应着：</p> <ul style="list-style-type: none"> <li>— 在边沿对齐模式下，PWM周期的数目；</li> <li>— 在中心对称模式下，PWM半周期的数目；</li> </ul>

### 9.4.15 TIM1 捕获/比较寄存器 1 (TIMx\_CC DAT1)

偏移地址: 0x34

复位值：0x0000

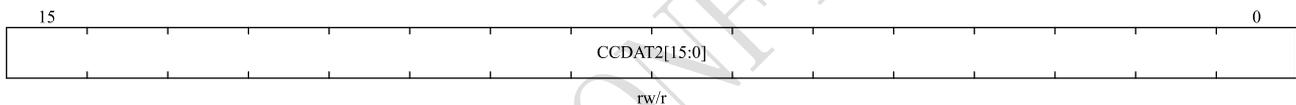


位域	名称	描述
15:0	CCDAT1[15:0]	<p>捕获/比较通道1的值</p> <p><b>若CC1通道配置为输出：</b></p> <p>CCDAT1包含了装入当前捕获/比较1寄存器的值（预装载值）。</p> <p>如果在TIMx_CCMOD1寄存器（OC1PEN位）中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较1寄存器中。当前捕获/比较寄存器参与同计数器TIMx_CNT的比较，并在OC1端口上产生输出信号。</p> <p><b>若CC1通道配置为输入：</b></p> <p>CCDAT1包含了由上一次输入捕获1事件（IC1）传输的计数器值。</p>

#### 9.4.16 TIM1 捕获/比较寄存器 2 (TIMx\_CCDAT2)

偏移地址：0x38

复位值：0x0000

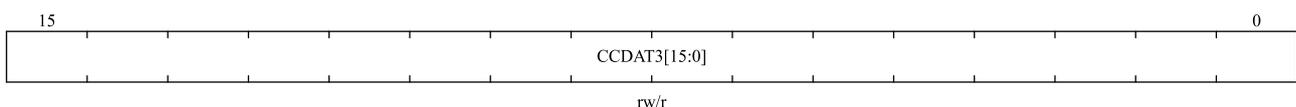


位域	名称	描述
15:0	CCDAT2[15:0]	<p>捕获/比较通道2的值</p> <p><b>若CC2通道配置为输出：</b></p> <p>CCDAT2包含了装入当前捕获/比较2寄存器的值（预装载值）。</p> <p>如果在TIMx_CCMOD1寄存器（OC2PEN位）中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较2寄存器中。当前捕获/比较寄存器参与同计数器TIMx_CNT的比较，并在OC2端口上产生输出信号。</p> <p><b>若CC2通道配置为输入：</b></p> <p>CCDAT2包含了由上一次输入捕获2事件（IC2）传输的计数器值。</p>

#### 9.4.17 TIM1 捕获/比较寄存器 3 (TIMx\_CCDAT3)

偏移地址：0x3C

复位值：0x0000

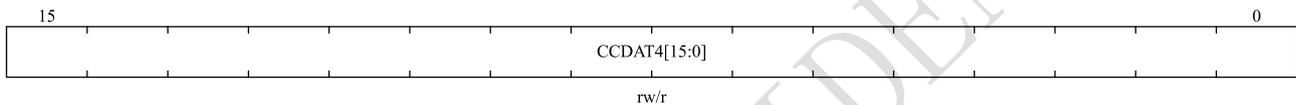


位域	名称	描述
15:0	CCDAT3[15:0]	<p>捕获/比较通道3的值</p> <p><b>若CC3通道配置为输出：</b></p> <p>CCDAT3包含了装入当前捕获/比较3寄存器的值（预装载值）。</p> <p>如果在TIMx_CCMOD2寄存器（OC3PEN位）中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较3寄存器中。当前捕获/比较寄存器参与同计数器TIMx_CNT的比较，并在OC3端口上产生输出信号。<b>若CC3通道配置为输入：</b></p> <p>CCDAT3包含了由上一次输入捕获3事件（IC3）传输的计数器值。</p>

#### 9.4.18 TIM1 捕获/比较寄存器 4 ( TIMx\_CCDAT4 )

偏移地址：0x40

复位值：0x0000

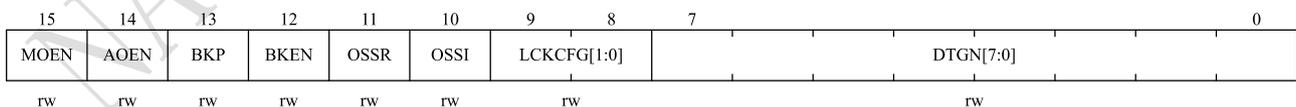


位域	名称	描述
15:0	CCDAT4[15:0]	<p>捕获/比较通道4的值</p> <p><b>若CC4通道配置为输出：</b></p> <p>CCDAT4包含了装入当前捕获/比较4寄存器的值（预装载值）。</p> <p>如果在TIMx_CCMOD2寄存器（OC4PEN位）中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较4寄存器中。当前捕获/比较寄存器参与同计数器TIMx_CNT的比较，并在OC4端口上产生输出信号。</p> <p><b>若CC4通道配置为输入：</b></p> <p>CCDAT4包含了由上一次输入捕获4事件（IC4）传输的计数器值。</p>

#### 9.4.19 TIM1 刹车和死区寄存器 ( TIMx\_BKDT )

偏移地址：0x44

复位值：0x0000



**注释：** 根据锁定设置，AOEN、BKP、BKEN、OSSI、OSSR 和DTGN[7:0]位均可被写保护，有必要在第一次写入TIMx\_BKDT寄存器时对它们进行配置。

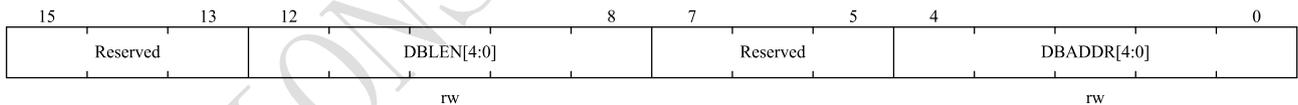
位域	名称	描述
15	MOEN	<p>主输出使能</p> <p>一旦刹车输入有效，该位被硬件异步清'0'。根据AOEN位的设置值，该位可以由软件清'0'或被自动置1。它仅对配置为输出的通道有效。</p> <p>0: 禁止OC和OCN输出或强制为空闲状态；</p> <p>1: 如果设置了相应的使能位（TIMx_CCEN寄存器的CCxEN、CCxNEN位），则开启OC和OCN输出。有关OC/OCN使能的细节，参见9.4.10节，TIM1捕获/比较使能寄存器（TIMx_CCEN）。</p>
14	AOEN	<p>自动输出使能</p> <p>0: MOEN只能被软件置'1'；</p> <p>1: MOEN能被软件置'1'或在下一个更新事件被自动置'1'（如果刹车输入无效）。</p> <p>注：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为'1'，则该位不能被修改。</p>
13	BKP	<p>刹车输入极性</p> <p>0: 刹车输入低电平有效；</p> <p>1: 刹车输入高电平有效。</p> <p>注：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为'1'，则该位不能被修改。</p> <p>注：任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
12	BKEN	<p>刹车功能使能</p> <p>0: 禁止刹车输入；</p> <p>1: 开启刹车输入。</p> <p>注：当设置了LOCK级别1时（TIMx_BKDT寄存器中的LCKCFG位），该位不能被修改。</p> <p>注：任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
11	OSSR	<p>运行模式下“关闭状态”选择</p> <p>该位用于当MOEN=1且通道为互补输出时。没有互补输出的定时器中不存在OSSR位。参考OC/OCN使能的详细说明（9.4.10节，TIM1捕获/比较使能寄存器（TIMx_CCEN））。</p> <p>0: 当定时器不工作时，禁止OC/OCN输出（OC/OCN使能输出信号=0）；</p> <p>1: 当定时器不工作时，一旦CCxEN=1或CCxNEN=1，首先开启OC/OCN并输出无效电平，然后置OC/OCN使能输出信号=1。</p> <p>注：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为2，则该位不能被修改。</p>
10	OSSI	<p>空闲模式下“关闭状态”选择</p> <p>该位用于当MOEN=0且通道设为输出时。</p> <p>参考OC/OCN使能的详细说明（9.4.10节，TIM1捕获/比较使能寄存器（TIMx_CCEN））。</p> <p>0: 当定时器不工作时，禁止OC/OCN输出（OC/OCN使能输出信号=0）；</p> <p>1: 当定时器不工作时，一旦CCxEN=1或CCxNEN=1，OC/OCN首先输出其空闲电平，然后OC/OCN使能输出信号=1。</p> <p>注：一旦LOCK级别（TIMx_BKDT寄存器中的LCKCFG位）设为2，则该位不能被修改。</p>
9:8	LCKCFG[1:0]	<p>锁定设置 该位为防止软件错误而提供写保护。</p> <p>00: 锁定关闭，寄存器无写保护；</p> <p>01: 锁定级别1，不能写入TIMx_BKDT寄存器的DTGN、BKEN、BKP、AOEN位和TIMx_CTRL2寄存器的OIx/OIxN位；</p> <p>10: 锁定级别2，不能写入锁定级别1中的各位，也不能写入CC极性位（一旦相关通道通过CCxSEL位设为输出，CC极性位是TIMx_CCEN寄存器的CCxP/CCxN位）以及OSSR/OSSI位；</p>

位域	名称	描述
		11: 锁定级别3, 不能写入锁定级别2中的各位, 也不能写入CC控制位(一旦相关通道通过CCxSEL位设为输出, CC控制位是TIMx_CCMODx寄存器的OCxMD/OCxPEN位); <i>注: 在系统复位后, 只能写一次LCKCFG位, 一旦写入TIMx_BKDT寄存器, 则其内容冻结直至复位。</i>
7:0	DTGN [7:0]	死区发生器设置 这些位定义了插入互补输出之间的死区持续时间。假设DT表示其持续时间: DTGN[7:5]=0xx => DT=DTGN[7:0] × T <sub>dtgn</sub> , T <sub>dtgn</sub> = T <sub>DTS</sub> ; DTGN[7:5]=10x => DT=(64+DTGN[5:0]) × T <sub>dtgn</sub> , T <sub>dtgn</sub> = 2 × T <sub>DTS</sub> ; DTGN[7:5]=110 => DT=(32+DTGN[4:0]) × T <sub>dtgn</sub> , T <sub>dtgn</sub> = 8 × T <sub>DTS</sub> ; DTGN[7:5]=111 => DT=(32+DTGN[4:0]) × T <sub>dtgn</sub> , T <sub>dtgn</sub> = 16 × T <sub>DTS</sub> ; 例: 若T <sub>DTS</sub> = 125ns(8MHZ), 可能的死区时间为: 0到15875ns, 若步长时间为125ns; 16us到31750ns, 若步长时间为250ns; 32us到63us, 若步长时间为1us; 64us到126us, 若步长时间为2us; <i>注: 一旦LOCK级别 (TIMx_BKDT寄存器中的LCKCFG位) 设为1、2或3, 则不能修改这些位。</i>

### 9.4.20 TIM1 DMA 控制寄存器 (TIMx\_DCTRL)

偏移地址: 0x48

复位值: 0x0000



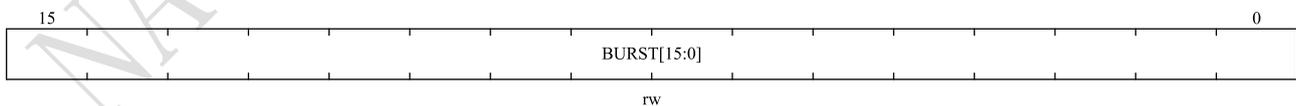
位域	名称	描述
15:13	Reserved	始终读为0。

位域	名称	描述
12:8	DBLEN[4:0]	<p>DMA连续传送长度</p> <p>这些位定义了DMA在连续模式下的传送长度（当对TIMx_DADDR寄存器进行读或写时，定时器则进行一次连续传送），即：定义传输的次数，传输可以是半字（双字节）或字节：</p> <p>00000: 1次传输      00001: 2次传输 00010: 3次传输      .....</p> <p>.....                      10001: 18次传输</p> <p>例：我们考虑这样的传输：DBLEN=7，DBADDR=TIM8_CTRL1</p> <ul style="list-style-type: none"> <li>如果DBLEN=7，DBADDR=TIM8_CTRL1表示待传输数据的地址，那么传输的地址由下式给出： (TIMx_CTRL1的地址) + DBADDR + (DMA索引)，其中 DMA索引 = DBLEN 其中(TIMx_CTRL1的地址) + DBADDR再加上7，给出了将要写入或者读出数据的地址，这样数据的传输将发生在从地址(TIMx_CTRL1的地址) + DBADDR开始的7个寄存器。 <p>根据DMA数据长度的设置，可能发生以下情况：</p> <li>如果设置数据为半字（16位），那么数据就会传输给全部7个寄存器。</li> <li>如果设置数据为字节，数据仍然会传输给全部7个寄存器：第一个寄存器包含第一个MSB字节，第二个寄存器包含第一个LSB字节，以此类推。因此对于定时器，用户必须指定由DMA传输的数据宽度。</li> </li></ul>
7:5	Reserved	始终读为0。
4:0	DBADDR[4:0]	<p>DMA基地址</p> <p>这些位定义了DMA在连续模式下的基地址（当对TIMx_DADDR寄存器进行读或写时），DBADDR定义为从TIMx_CTRL1寄存器所在地址开始的偏移量：</p> <p>00000: TIMx_CTRL1, 00001: TIMx_CTRL2, 00010: TIMx_SMCTRL, .....</p>

### 9.4.21 TIM1 连续模式的 DMA 地址 ( TIMx\_DADDR )

偏移地址：0x4C

复位值：0x0000



位域	名称	描述
15:0	BURST[15:0]	<p>DMA连续传送寄存器</p> <p>对TIMx_DADDR寄存器的读或写会导致对以下地址所在寄存器的存取操作： TIMx_CTRL1地址 + DBADDR + DMA索引，其中：</p> <p>“TIMx_CTRL1地址”是控制寄存器1（TIMx_CTRL1）所在的地址；</p> <p>“DBADDR”是TIMx_DCTRL寄存器中定义的基地址；</p> <p>“DMA索引”是由DMA自动控制的偏移量，它取决于TIMx_DCTRL寄存器中定义的DBLEN。</p>

NATIONS CONFIDENTIAL

## 10 通用定时器 (TIM3)

### 10.1 TIM3 简介

通用定时器是由一个 16 位的自动装载计数器和一个可编程预分频计数器组成。它适用于多种场合，包括测量输入信号的脉冲长度（输入捕获）或者产生输出波形（输出比较和 PWM）以及对输入信号进行计数。

结合定时器预分频器和 RCC 时钟控制预分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。

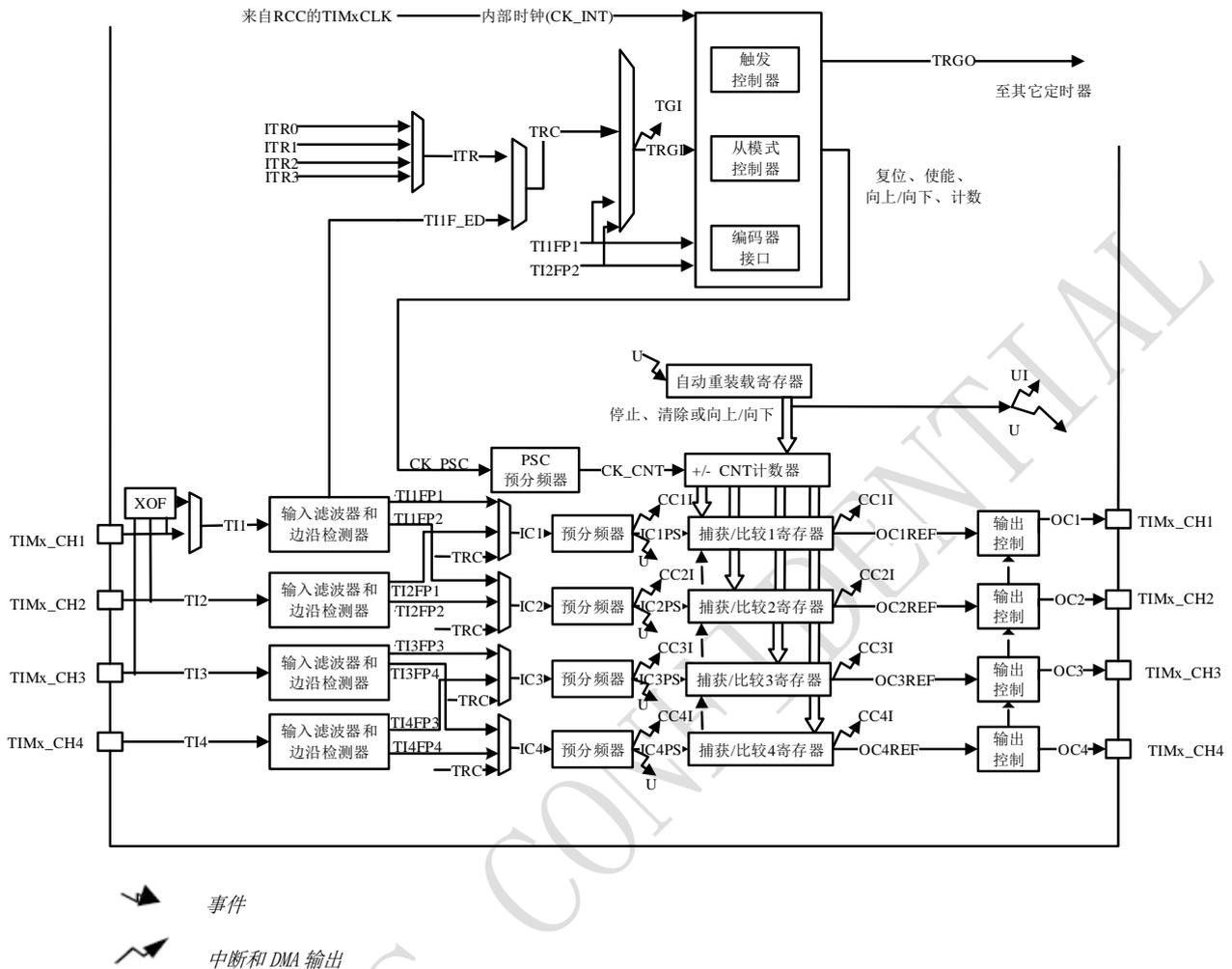
每个定时器都是完全独立的，没有互相共享任何资源，完全独立，可以实现异步或同步操作，具体参见 10.3.14 章节。

### 10.2 TIM3 主要功能

通用 TIM3 定时器功能包括：

- 16 位向上、向下、向上/向下自动装载计数器
- 16 位可编程（可以实时修改）预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 4 个独立通道：
  - ◆ 输入捕获
  - ◆ 输出比较
  - ◆ PWM 生成（边缘或中间对齐模式）
  - ◆ 单脉冲模式输出
- 使用外部信号控制定时器和定时器互连的同步电路
- 如下事件发生时产生中断/DMA：
  - ◆ 更新：计数器向上溢出/向下溢出，计数器初始化（通过软件或者内部触发）
  - ◆ 触发事件（计数器启动、停止、初始化或者由内部触发计数）
  - ◆ 输入捕获
  - ◆ 输出比较
- 支持针对定位的增量（正交）编码器和霍尔传感器电路
- 触发输入作为外部时钟或者按周期的电流管理

图 10-1 通用定时器框图



## 10.3 TIM3 功能描述

### 10.3.1 时基单元

通用定时器的主要部分是一个 16 位计数器和与其相关的自动装载寄存器。这个计数器可以向上计数、向下计数或者向上向下双向计数。此计数器时钟由预分频器分频得到。

计数器、自动装载寄存器和预分频器寄存器可以由软件读写，在计数器运行时仍可以读写。时基单元包含：

- 预分频器寄存器 (TIMx\_PSC)
- 计数器寄存器 (TIMx\_CNT)
- 自动装载寄存器 (TIMx\_AR)

自动装载寄存器具有预先装载功能，读写自动重载寄存器将访问预装载寄存器。根据在 TIMx\_CTRL1 寄存器中的自动装载预装载使能位 (ARPEN) 的设置，预装载寄存器的内容被立即或在每次的更新事件 UEV 时传送到影子寄存器。以下条件产生更新事件：

- 当计数器达到溢出条件(向下计数时的下溢条件)并当 TIMx\_CTRL1 寄存器中的 UPDIS 位等于'0'时，

产生更新事件。

■ 软件产生

预分频器的时钟输出 CK\_CNT 驱动计数器，仅当设置了计数器 TIMx\_CTRL1 寄存器中的计数器使能位 (CNTEN) 时，CK\_CNT 才有效。(有关计数器使能的细节，请参见控制器的从模式描述)。

注意，在设置了 TIMx\_CTRL 寄存器的 CNTEN 位的一个时钟周期后，计数器开始计数。

10.3.1.1 预分频器描述

预分频器 (TIMx\_PSC 寄存器) 由 16 位计数器构成。可以将输入时钟频率按 1 到 65536 之间的任意值分频。因为这个控制寄存器带有缓冲器，它能够在运行时被改变。新的预分频器的参数在下次更新事件到来时被采用。

图 10-2 和图 10-3 给出了在预分频器运行时，更改计数器参数的示例。

图 10-2 当预分频器的参数从 1 变到 2 时，计数器的时序图

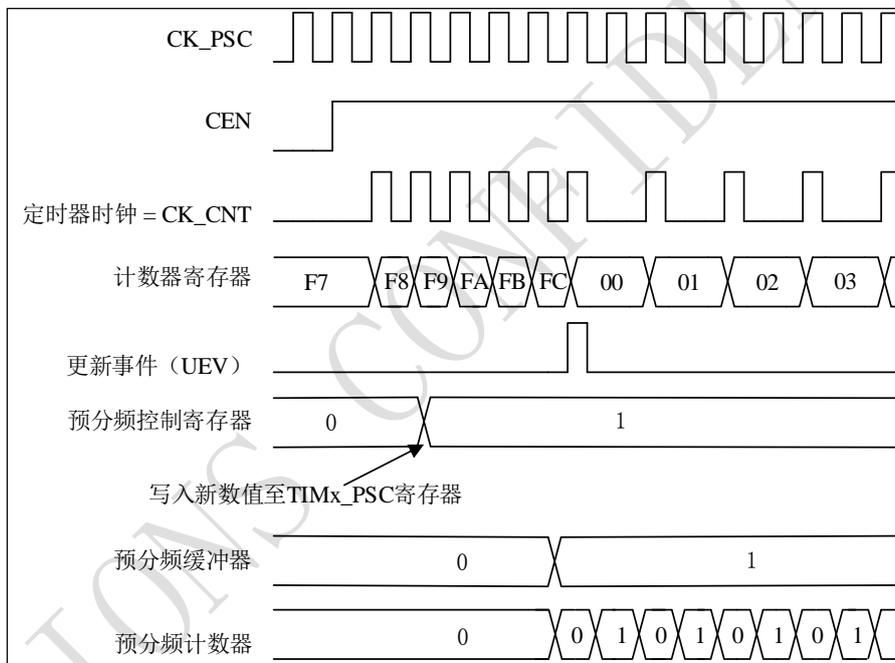
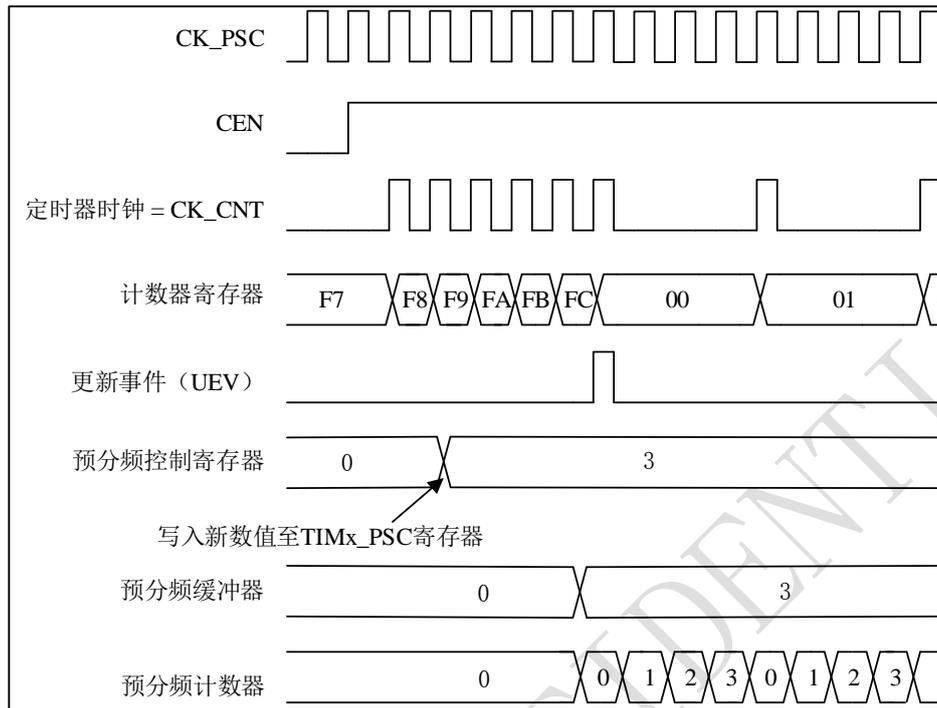


图 10-3 当预分频器的参数从 1 变到 4 时，计数器的时序图



## 10.3.2 计数器模式

### 10.3.2.1 向上计数模式

使用向上计数模式，计数器从 0 计数到自动加载值（TIMx\_AR 计数器的内容），然后重新从 0 开始计数并且产生一个计数器溢出事件。

每次计数器溢出时可以产生更新事件，在 TIMx\_EVTGEN 寄存器中(通过软件方式或者使用从模式控制器)设置 UDN 位也同样可以产生一个更新事件。

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以设置 TIMx\_CTRL1 寄存器中的 UPDIS 位，可以禁止更新事件。在 UPDIS 位被清'0'之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清'0'，同时预分频器的计数也被清 0（但预分频系数不变）。此外，如果设置了 TIMx\_CTRL1 寄存器中的 UPRS 位（选择更新请求），设置 UDN 位将产生一个更新事件 UEV，但硬件不设置 UDITF 标志（即不产生中断或 DMA 请求）；这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

更新事件发生后，所有的寄存器都被更新，硬件同时（依据 UPRS 位）设置更新标志位（TIMx\_STS 寄存器中的 UDITF 位）。

- 预分频器的缓冲区被置入预装载寄存器的值（TIMx\_PSC 寄存器的内容）。
- 自动装载影子寄存器被重新置入预装载寄存器的值（TIMx\_AR）。

下图给出一些示例，当 TIMx\_AR=0x36 时计数器在不同时钟频率下的动作。

图 10-4 计数器时序图，内部时钟分频因子为 1

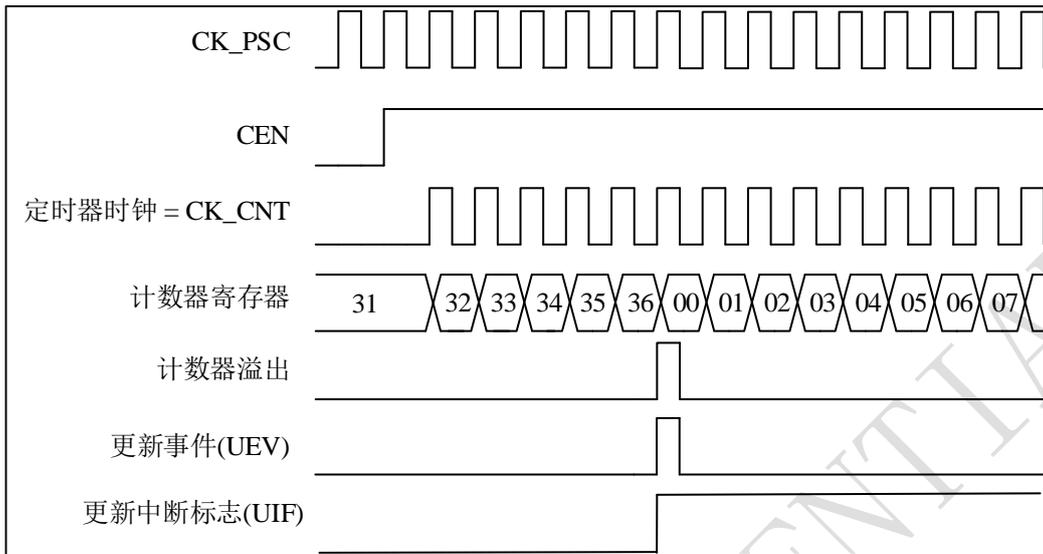


图 10-5 计数器时序图，内部时钟分频因子为 2

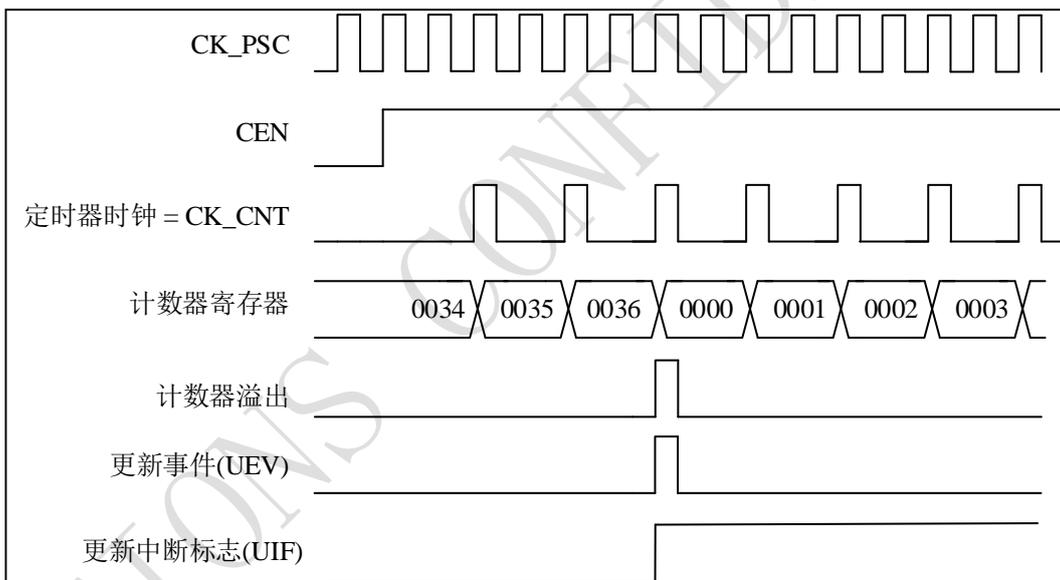


图 10-6 计数器时序图，内部时钟分频因子为 4

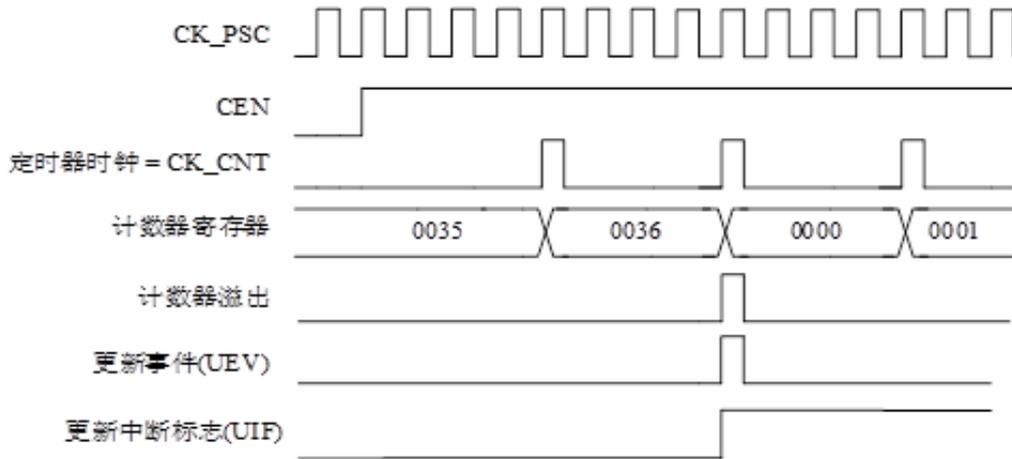


图 10-7 计数器时序图，内部时钟分频因子为 N

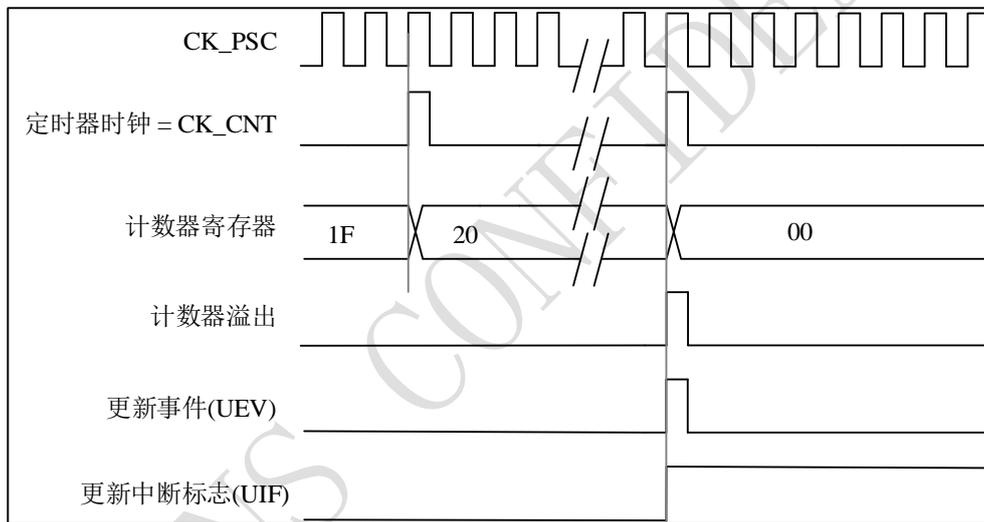


图 10-8 计数器时序图，当 ARPEN=0 时的更新事件（TIMx\_ARR 没有预装入）

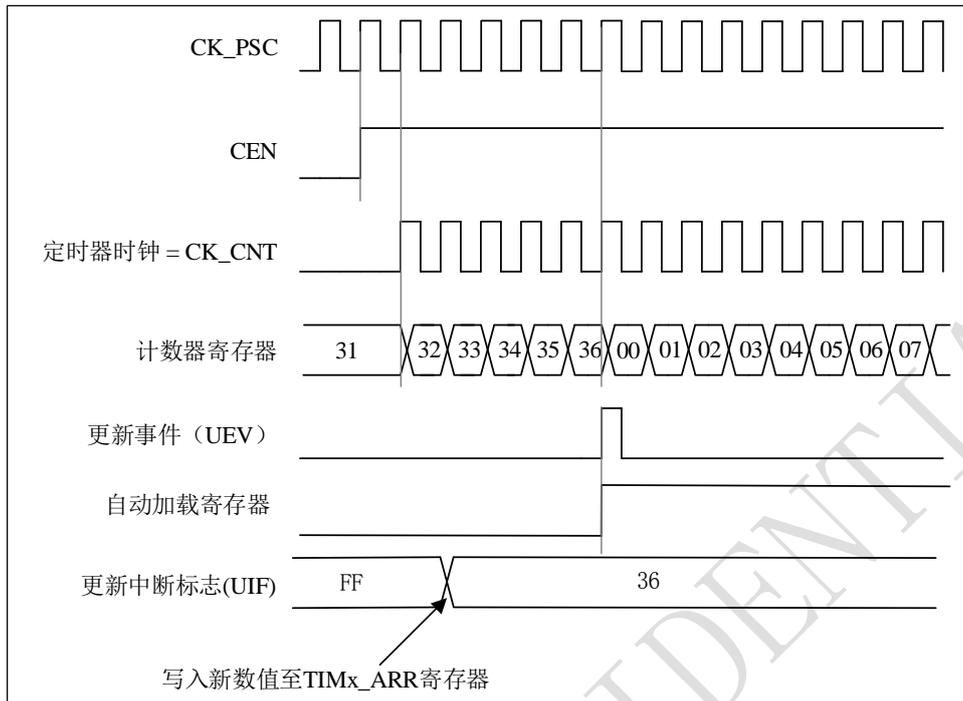
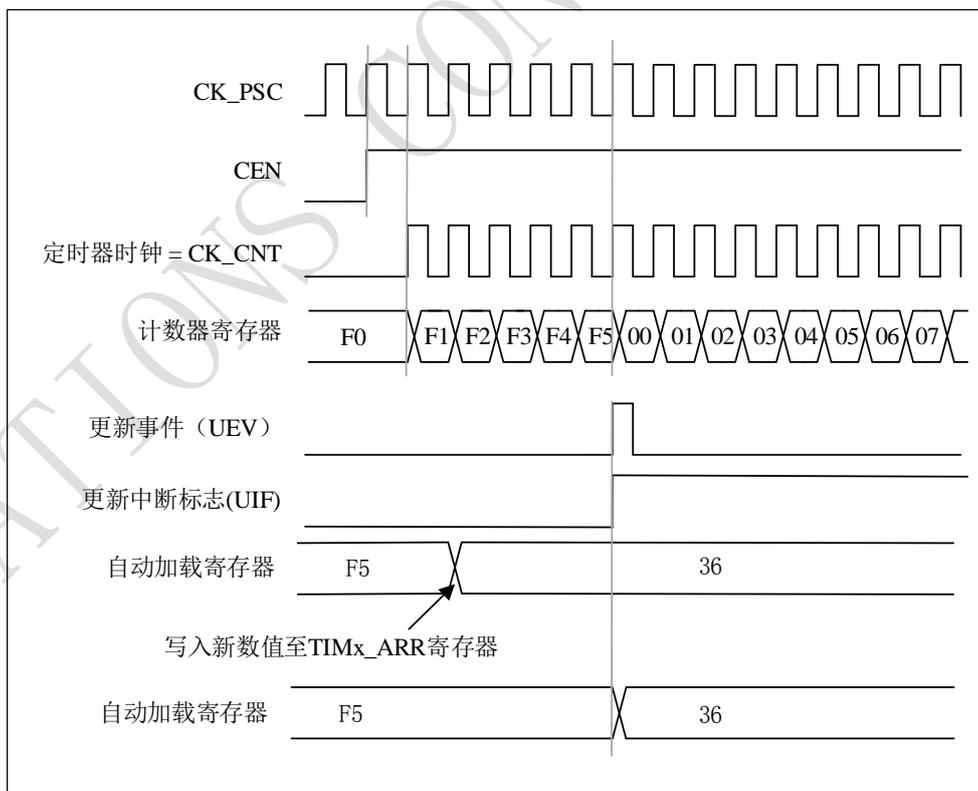


图 10-9 计数器时序图，当 ARPEN=1 时的更新事件（预装入了 TIMx\_ARR）



### 10.3.2.2 向下计数模式

如果使用向下计数模式，计数器从自动装入的值（TIMx\_AR 计数器的值）开始向下计数到 0，然后从自动装入的值重新开始并且产生一个计数器向下溢出事件。

在每次计数器溢出时可以产生更新事件，在 TIMx\_EVTGEN 寄存器中（通过软件方式或者使用从模式控制器）设置 UDFN 位，也同样可以产生一个更新事件。

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以设置 TIMx\_CTRL1 寄存器中的 UPDIS 位，可以禁止更新事件。因此 UPDIS 位被清为 0 之前不会产生更新事件。然而，计数器仍会从当前自动加载值重新开始计数，同时预分频器的计数器重新从 0 开始（但预分频系数不变）。

此外，如果设置了 TIMx\_CTRL1 寄存器中的 UPRS 位（选择更新请求），设置 UDFN 位将产生一个更新事件 UEV 但不设置 UDITF 标志（因此不产生中断和 DMA 请求），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

更新事件发生后，所有的寄存器都被更新，硬件同时（根据 UPRS 位）设置更新标志位（TIMx\_STS 寄存器中的 UDITF 位）。

- 预分频器的缓存器被置入预装载寄存器的值（TIMx\_PSC 寄存器的值）。
- 当前的自动加载寄存器被更新为预装载值（TIMx\_AR 寄存器中的内容）。注：自动装载在计数器重载入之前被更新，因此下一个周期将是预期的值。

以下是一些当 TIMx\_AR=0x36 时，计数器在不同时钟频率下的操作示例。

图 10-10 计数器时序图，内部时钟分频因子为 1

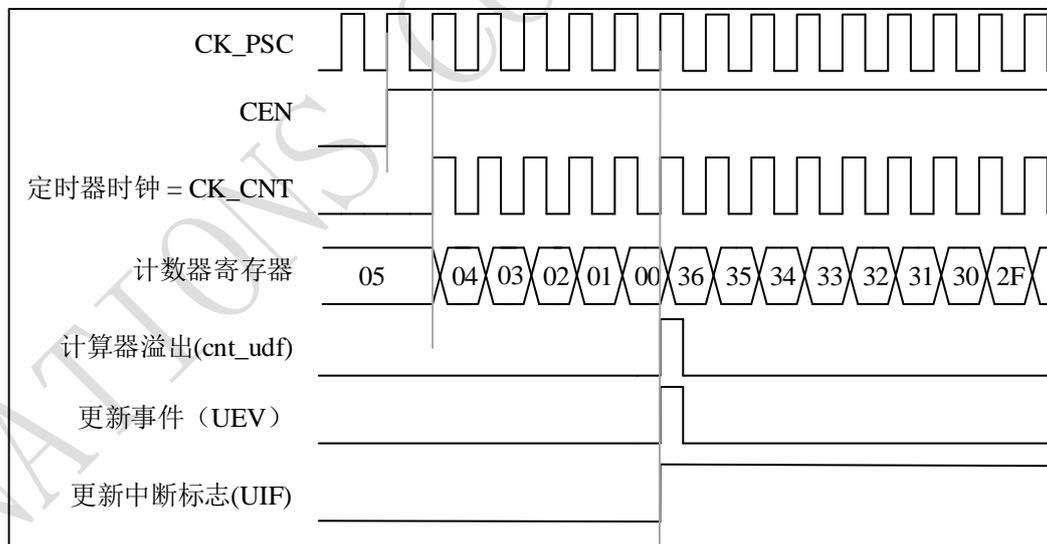


图 10-11 计数器时序图，内部时钟分频因子为 2

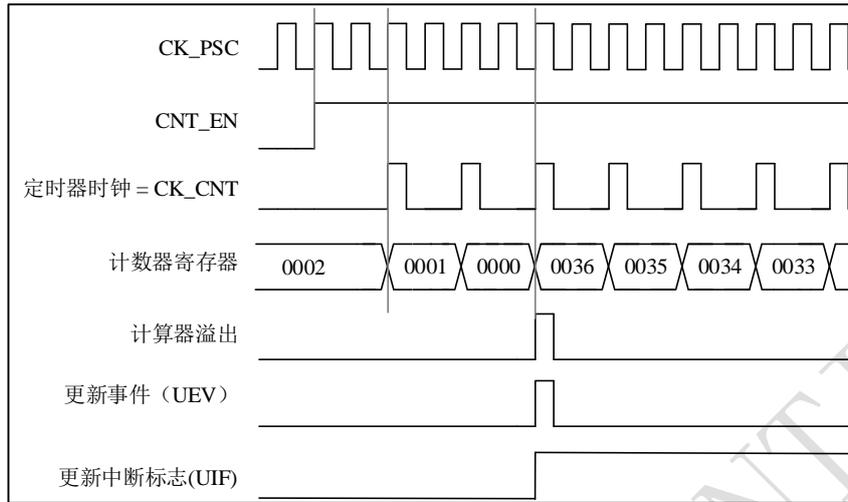


图 10-12 计数器时序图，内部时钟分频因子为 4

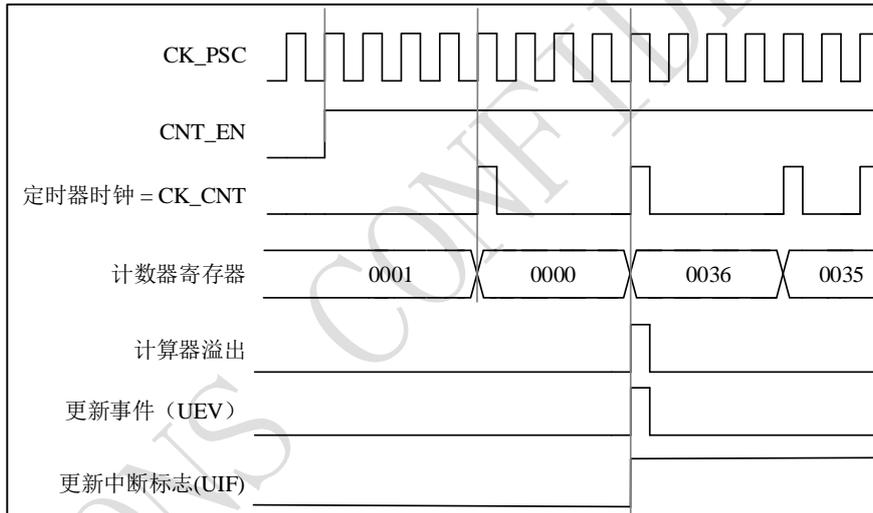


图 10-13 计数器时序图，内部时钟分频因子为 N

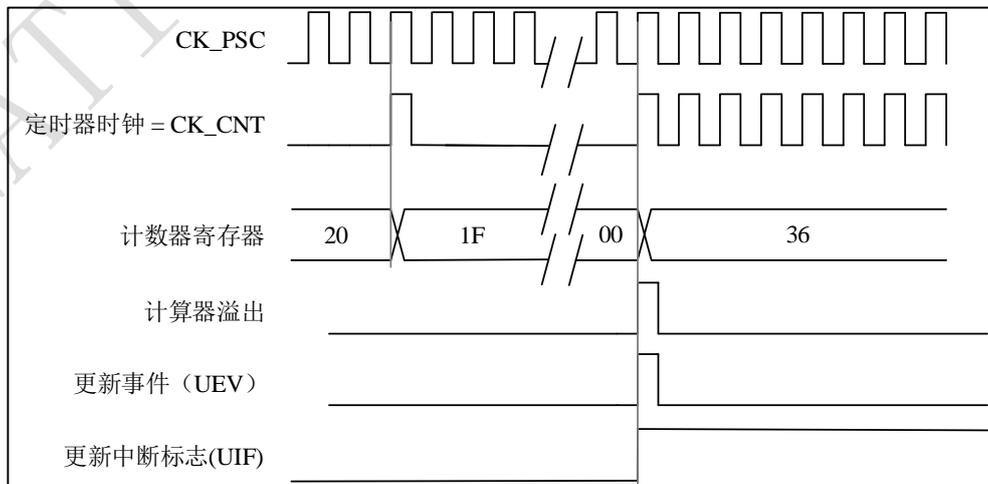
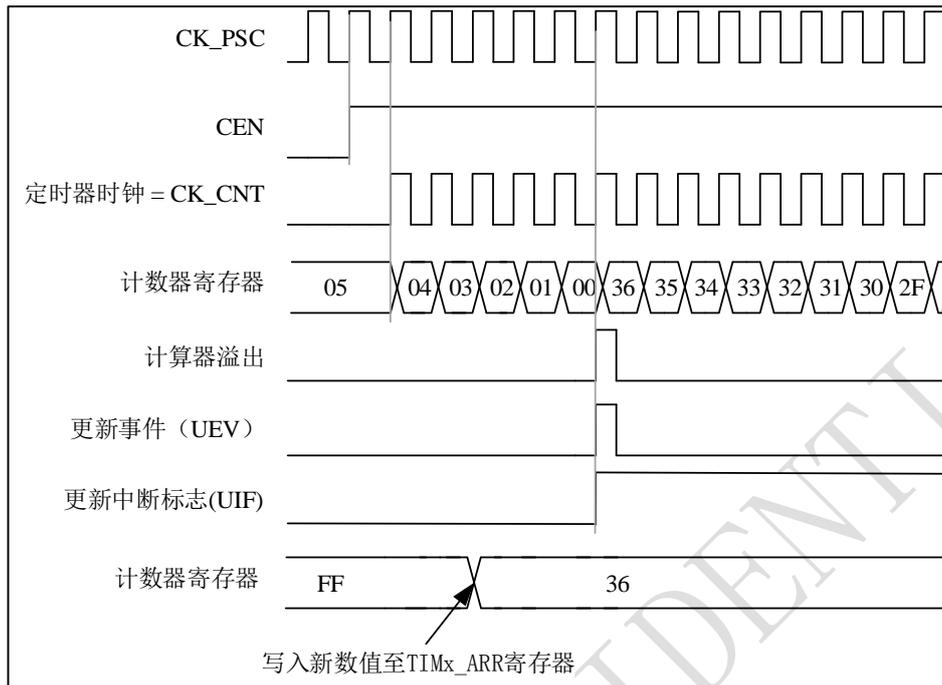


图 10-14 计数器时序图，当没有使用重复计数器时的更新事件



### 10.3.2.3 中央对齐模式 (向上/向下计数)

如果使用中央对齐模式，计数器从 0 开始计数到自动加载的值 (TIMx\_ARR 寄存器) -1，产生一个计数器溢出事件，然后向下计数到 1 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。

在此模式下，不能写入 TIMx\_CTRL1 中的 DIR 方向位。它由硬件更新并指示当前的计数方向。

可以在每次计数上溢和每次计数下溢时产生更新事件；也可以通过（软件或者使用从模式控制器）设置 TIMx\_EVTGEN 寄存器中的 UDN 位产生更新事件。然后，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。

为了避免在向预装载寄存器中写入新值时更新影子寄存器，可以设置 TIMx\_CTRL1 寄存器中的 UPDIS 位禁止 UEV 事件。因此 UPDIS 位被清为 '0' 之前不会产生更新事件。然而，计数器仍会根据当前自动重加载的值，继续向上或向下计数。

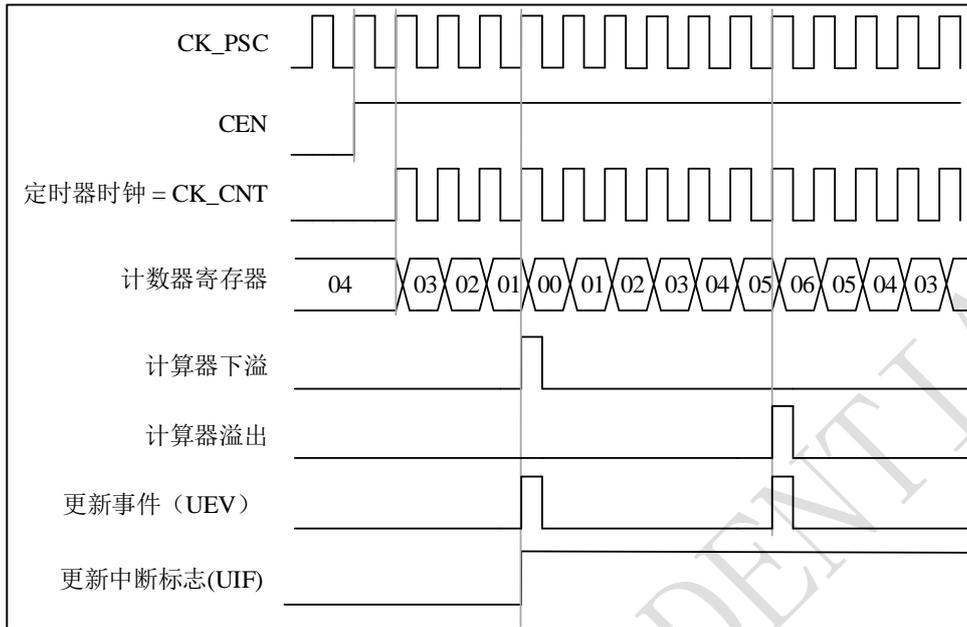
此外，如果设置了 TIMx\_CTRL1 寄存器中的 UPRS 位（选择更新请求），设置 UDN 位将产生一个更新事件 UEV 但不设置 UDITF 标志（因此不产生中断和 DMA 请求），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

在发生更新事件时，所有的寄存器都被更新，并且（根据 UPRS 位的设置）更新标志位 (TIMx\_STS 寄存器中的 UDITF 位) 也被设置。

- 预分频器的缓存器被加载为预装载 (TIMx\_PSC 寄存器) 的值。
- 当前的自动加载寄存器被更新为预装载值 (TIMx\_ARR 寄存器中的内容)。注：如果因为计数器溢出而产生更新，自动重装载将在计数器重载入之前被更新，因此下一个周期将是预期的值 (计数器被装载为新的值)。

以下是一些计数器在不同时钟频率下的操作的示例：

图 10-15 计数器时序图，内部时钟分频因子为 1，TIMx\_AR=0x6



1. 这里使用了中心对齐模式 1（详见 10.4.2 节）。

图 10-16 计数器时序图，内部时钟分频因子为 2

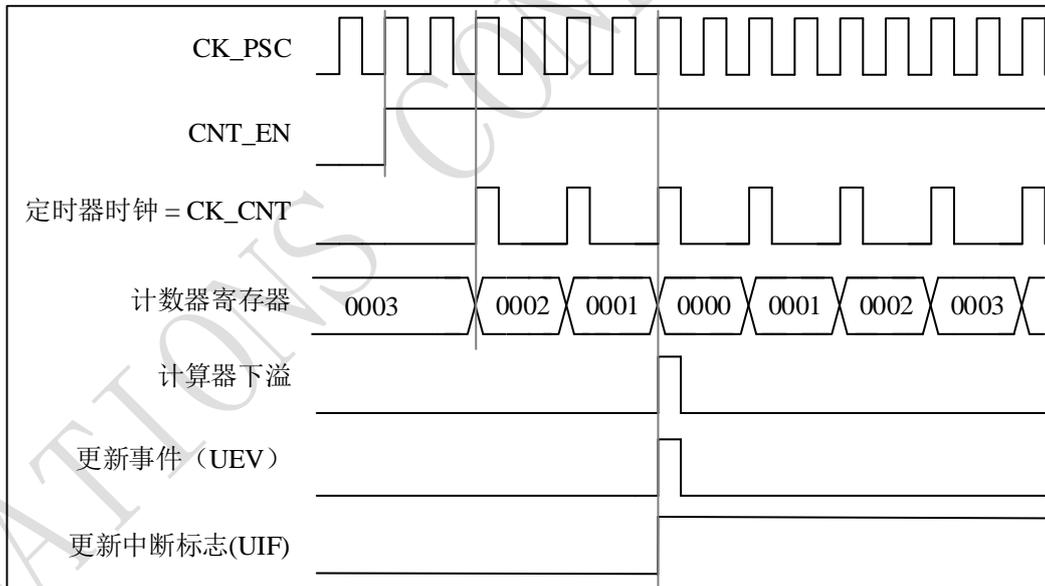


图 10-17 计数器时序图，内部时钟分频因子为 4，TIMx\_AR=0x36

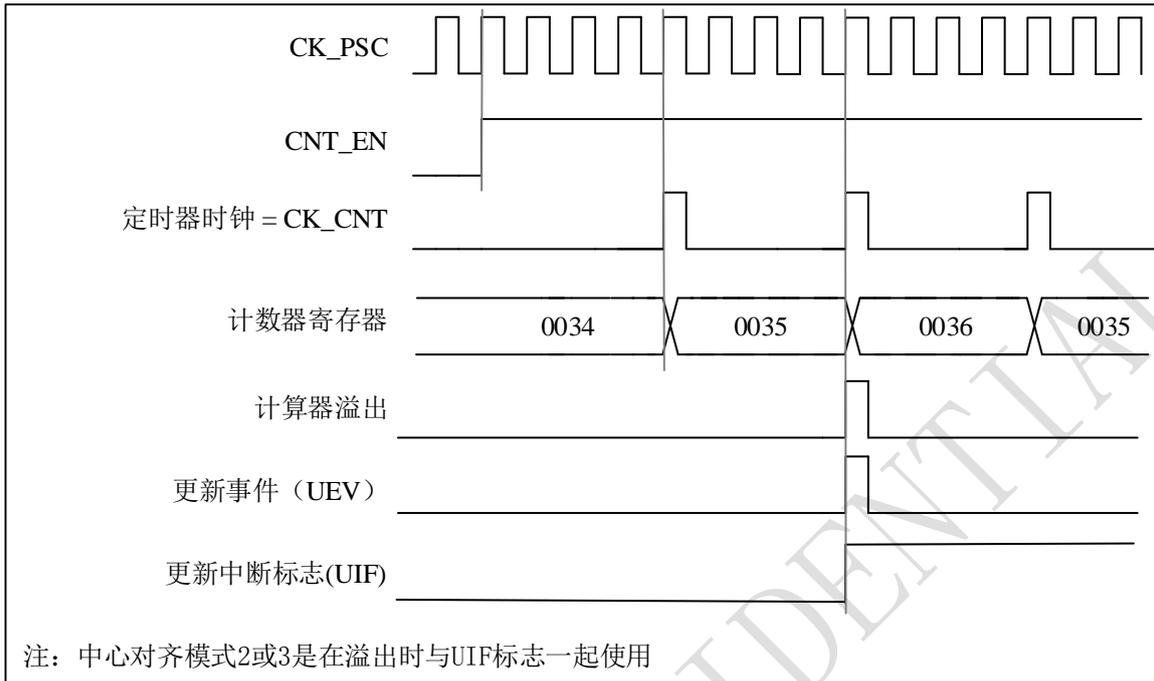


图 10-18 计数器时序图，内部时钟分频因子为 N

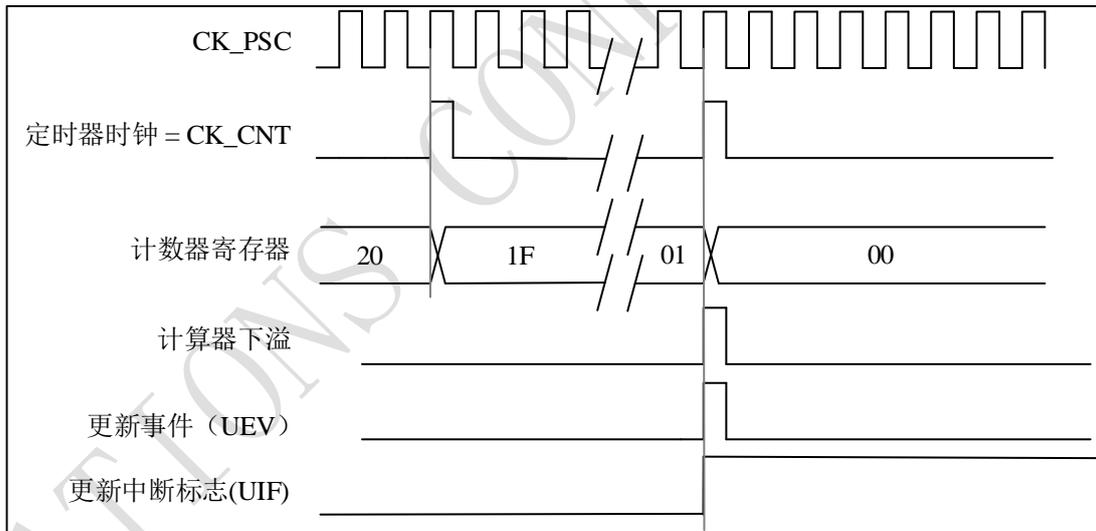


图 10-19 计数器时序图，ARPEN=1 时的更新事件（计数器下溢）

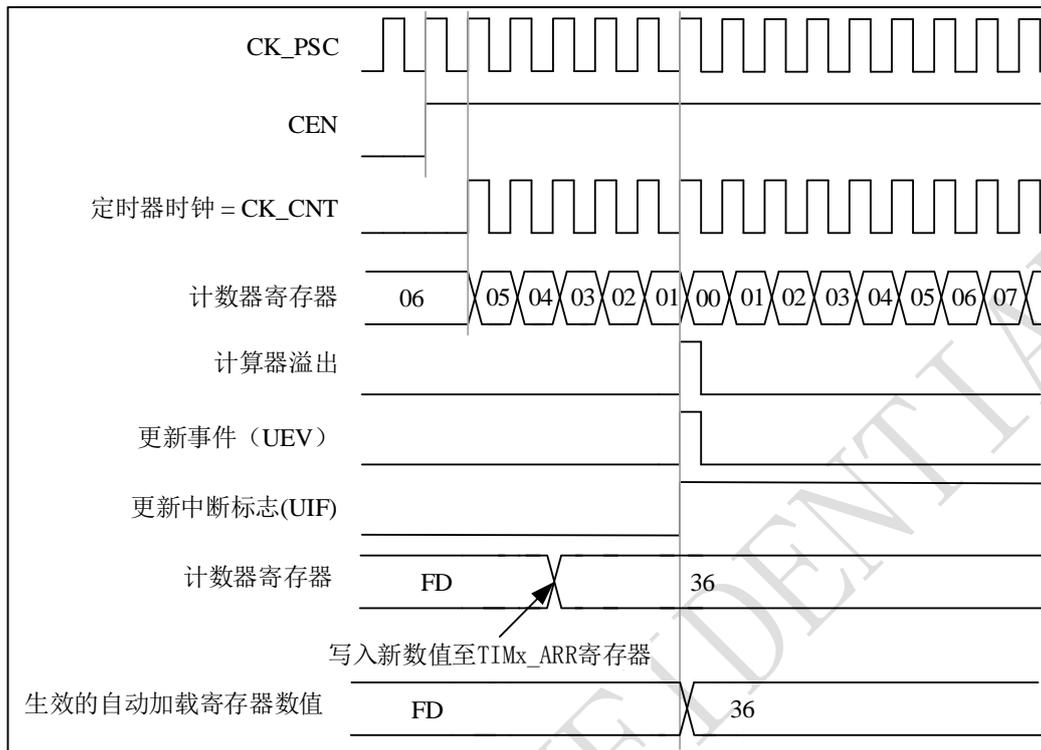
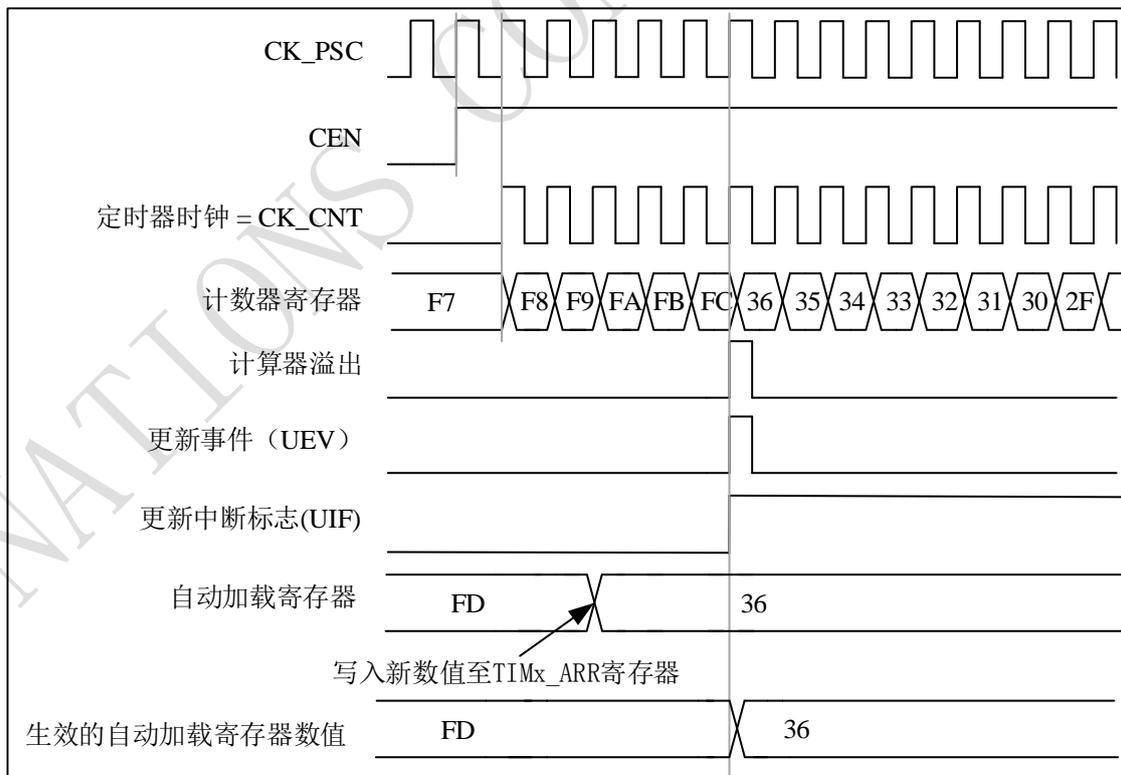


图 10-20 计数器时序图，ARPEN=1 时的更新事件（计数器溢出）



### 10.3.3 时钟选择

计数器时钟由以下时钟源提供：

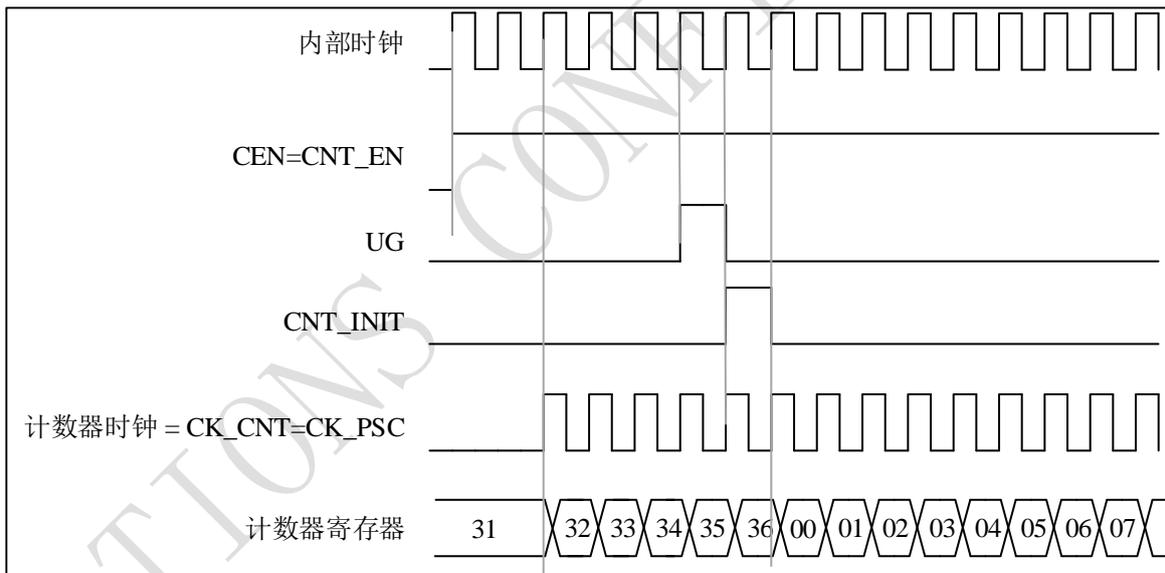
- 内部时钟 (CK\_INT)
- 外部时钟模式 1：外部输入脚 (TIx)
- 外部时钟模式 2：外部触发输入 (ETR)
- 内部触发输入 (ITRx)：使用一个定时器作为另一个定时器的预分频器，如可以配置一个定时器 Timer1 而作为另一个定时器 Timer3 的预分频器。参见 10.3.14。

#### 10.3.3.1 内部时钟源 (CK\_INT)

如果禁止了从模式控制器 (TIMx\_SMCTRL 寄存器的 SMSEL=000)，则 CNTEN、DIR (TIMx\_CTRL1 寄存器) 和 UDCN 位 (TIMx\_EVTGEN 寄存器) 是事实上的控制位，并且只能被软件修改 (UDCN 位仍被自动清除)。只要 CNTEN 位被写成'1'，预分频器的时钟就由内部时钟 CK\_INT 提供。

下图显示了控制电路和向上计数器在一般模式下，不带预分频器时的操作。

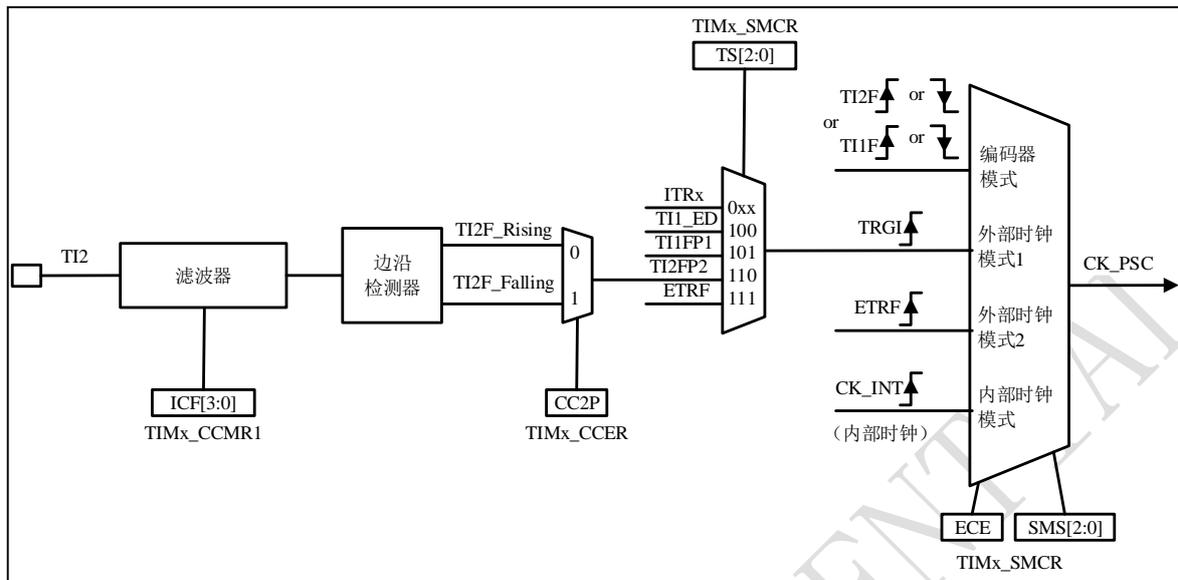
图 10-21 一般模式下的控制电路，内部时钟分频因子为 1



#### 10.3.3.2 外部时钟源模式 1

当 TIMx\_SMCTRL 寄存器的 SMSEL=111 时，此模式被选中。计数器可以在选定输入端的每个上升沿或下降沿计数。

图 10-22 TI2 外部时钟连接例子



例如，要配置向上计数器在 TI2 输入端的上升沿计数，使用下列步骤：

- 配置 TIMx\_CCMOD1 寄存器 CC2SEL='01'，配置通道 2 检测 TI2 输入的上升沿
- 配置 TIMx\_CCMOD1 寄存器的 IC2F[3:0]，选择输入滤波器带宽(如果不需要滤波器，保持 IC2F=0000)

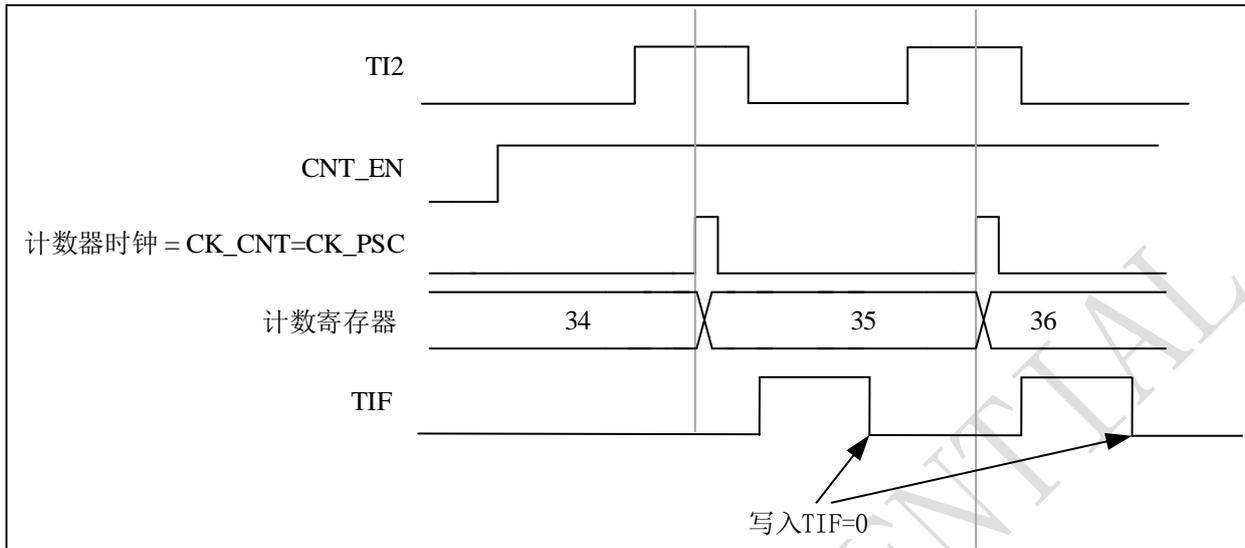
注：捕获预分频器不用作触发，所以不需要对它进行配置

- 配置 TIMx\_CCEN 寄存器的 CC2P='0'，选定上升沿极性
- 配置 TIMx\_SMCTRL 寄存器的 SMSEL='111'，选择定时器外部时钟模式 1
- 配置 TIMx\_SMCTRL 寄存器中的 TSEL='110'，选定 TI2 作为触发输入源
- 设置 TIMx\_CTRL1 寄存器的 CNTEN='1'，启动计数器

当上升沿出现在 TI2，计数器计数一次，且 TITF 标志被设置。

在 TI2 的上升沿和计数器实际时钟之间的延时，取决于在 TI2 输入端的重新同步电路。

图 10-23 外部时钟模式 1 下的控制电路



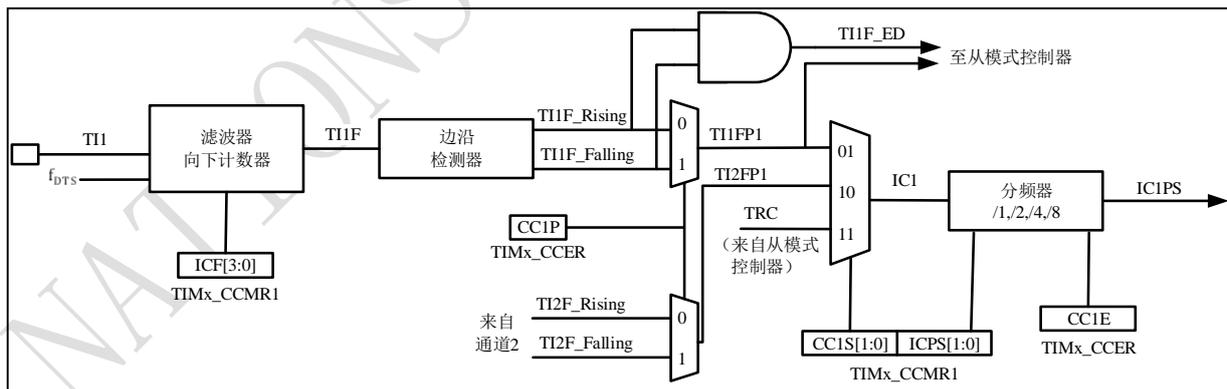
### 10.3.4 捕获/比较通道

捕获/比较通道都是独立的，都是围绕着一个捕获/比较寄存器（含影子寄存器），包括捕获的输入部分（数字滤波、多路复用和预分频器）和比较输出部分（比较器和输出控制）。

下面几张图是一个捕获/比较通道概览。

输入部分对相应的  $TIx$  输入信号采样，并产生一个滤波后的信号  $TIxF$ 。然后，一个带极性选择的边缘检测器产生一个信号 ( $TIxFPx$ )，它可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器 ( $ICxPS$ )。

图 10-24 捕获/比较通道（如：通道 1 输入部分）



输出部分产生一个中间波形  $OCxRef$ （高有效）作为基准，链的末端决定最终输出信号的极性。

图 10-25 捕获/比较通道 1 的主电路

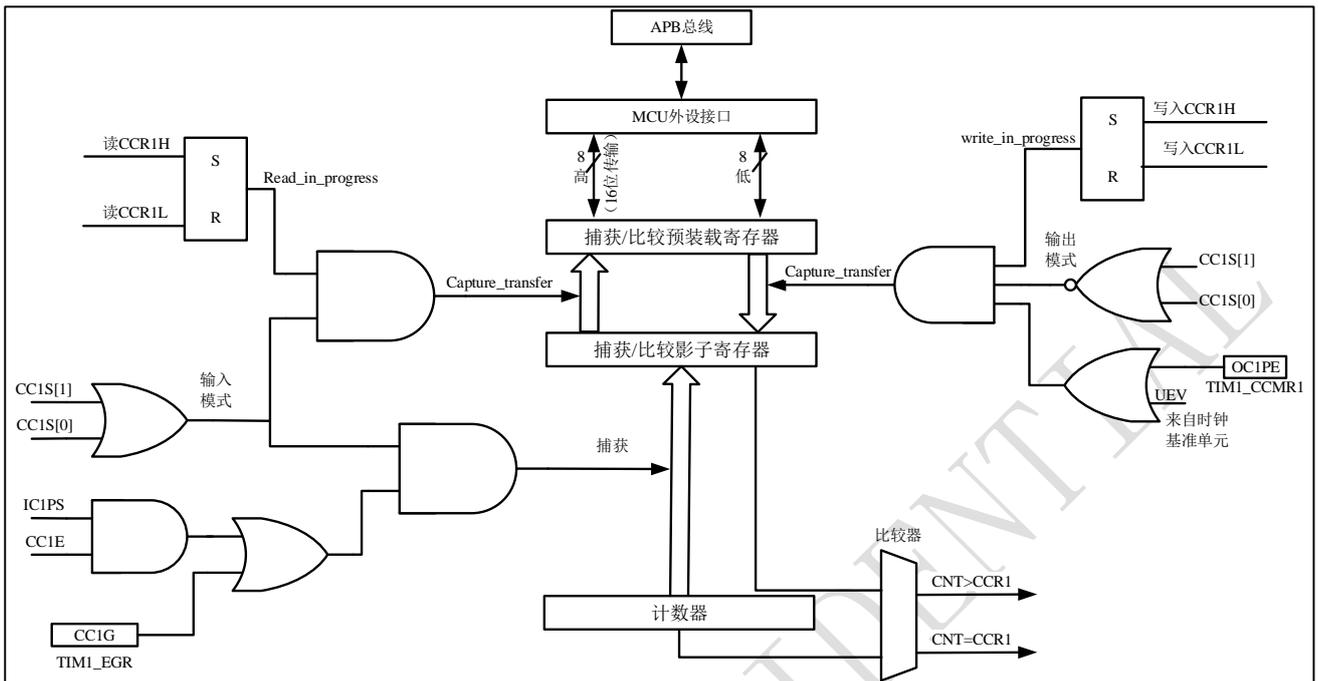
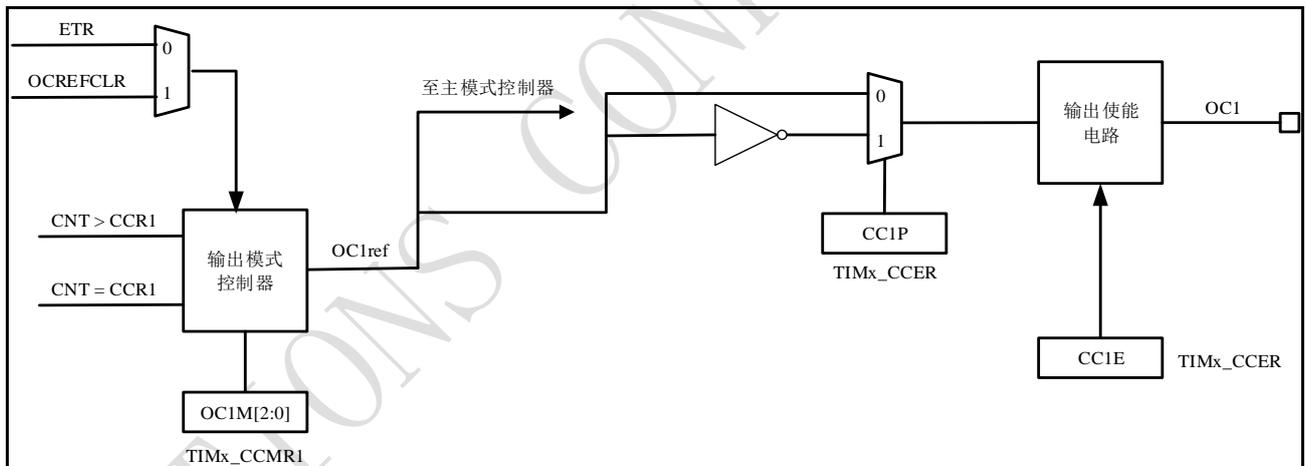


图 10-26 捕获/比较通道的输出部分（通道 1）



捕获/比较模块包括一个预装载寄存器和一个影子寄存器。读写过程仅操作预装载寄存器。

在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

### 10.3.5 输入捕获模式

配置成输入捕获模式时，当检测到 IC<sub>x</sub> 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器（TIM<sub>x</sub>\_CCDAT<sub>x</sub>）中。当捕获事件发生时，相应的 CC<sub>x</sub>IF 标志（TIM<sub>x</sub>\_STS 寄存器）被置‘1’，如果使能了中断或者 DMA 操作，则将产生中断或者 DMA 操作。如果捕获事件发生时 CC<sub>x</sub>IF 标志已经为高，那么重复捕获标志 CC<sub>x</sub>OCF（TIM<sub>x</sub>\_STS 寄存器）被置‘1’。写 CC<sub>x</sub>IF=0 可清除 CC<sub>x</sub>IF，或读取存储在 TIM<sub>x</sub>\_CCDAT<sub>x</sub> 寄存器中的捕获数据也可清除 CC<sub>x</sub>IF。写 CC<sub>x</sub>OCF=0 可清除 CC<sub>x</sub>OCF。

以下示例说明如何将 TI1 输入的上升沿时捕获计数器的值到 TIMx\_CC DAT1 寄存器中，步骤如下：

- 选择有效输入端：TIMx\_CC DAT1 必须连接到 TI1 输入，所以写入 TIMx\_CCMOD1 寄存器中的 CC1SEL=01，只要 CC1SEL 不为'00'，通道被配置为输入，并且 TIMx\_CC DAT1 寄存器变为只读。
- 根据输入信号的特点，配置输入滤波器为所需的带宽（即输入为 TIx 时，输入滤波器控制位是 TIMx\_CCMODx 寄存器中的 ICx F 位）。假设输入信号在最多 5 个内部时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期。因此我们可以（以 f<sub>DTS</sub> 频率）连续采样 8 次，以确认在 TI1 上一次真实的边沿变换，即在 TIMx\_CCMOD1 寄存器中写入 IC1F=0011。
- 选择 TI1 通道的有效转换边沿，在 TIMx\_CCEN 寄存器中写入 CC1P=0（上升沿）。
- 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止（写 TIMx\_CCMOD1 寄存器的 IC1PS=00）。
- 设置 TIMx\_CCEN 寄存器的 CC1EN=1，允许捕获计数器的值到捕获寄存器中。
- 必要的时候，通过设置 TIMx\_DINTEN 寄存器中的 CC1IE 位允许相关中断请求，通过设置 TIMx\_DINTEN 寄存器中的 CC1DE 位允许 DMA 请求。

当发生一个输入捕获时：

- 产生有效的电平转换时，计数器的值被传送到 TIMx\_CC DAT1 寄存器。
- CC1ITF 标志被设置（中断标志）。当发生至少 2 个连续的捕获时，而 CC1ITF 未曾被清除，CC1OCF 也被置'1'。
- 如设置了 CC1IE 位，则会产生一个中断。
- 如设置了 CC1DE 位，则还会产生一个 DMA 请求。

在处理捕获溢出时，建议在读出捕获溢出标志之前读取数据，这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

*注：设置 TIMx\_EVTGEN 寄存器中相应的 CCxGN 位，可以通过软件产生输入捕获中断和/或 DMA 请求。*

### 10.3.6 PWM 输入模式

此模式是输入捕获模式的一个特例，除以下区别外，操作与输入捕获模式相同：

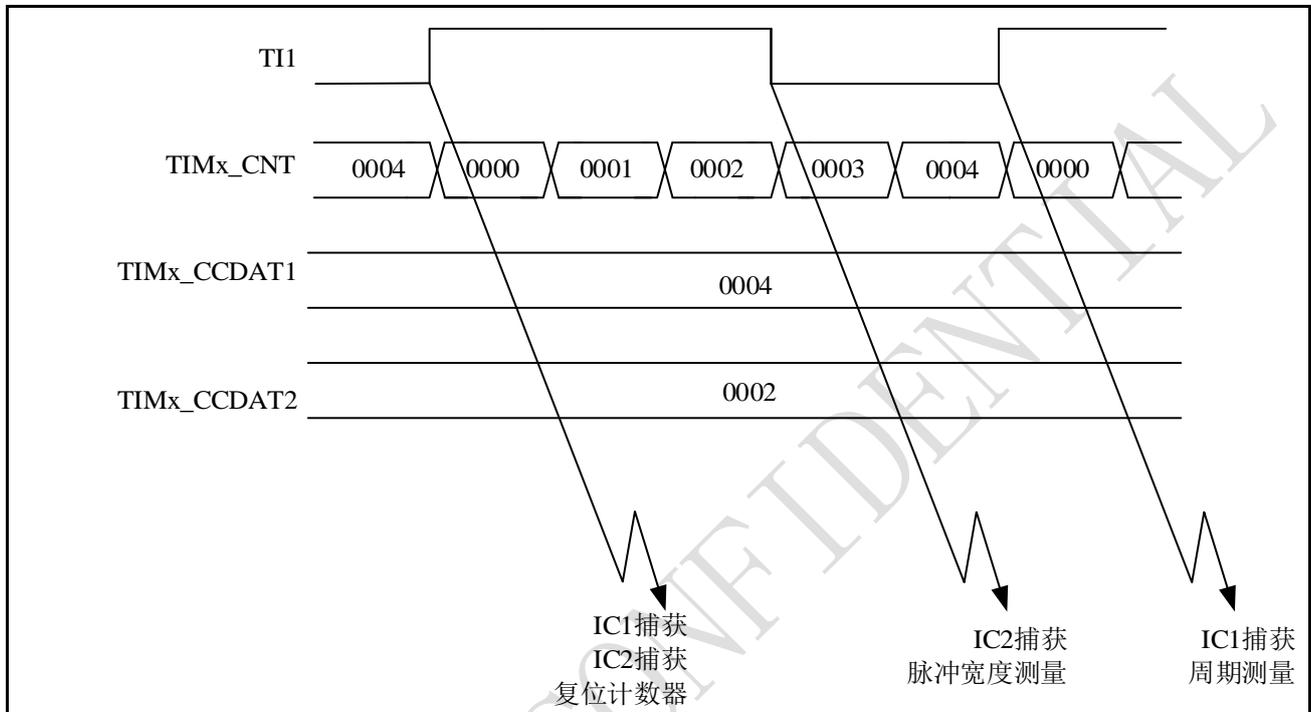
- 两个 ICx 信号被映射至同一个 TIx 输入。
- 这 2 个 ICx 信号为边沿有效，但是极性相反。
- 其中一个 TIxFP 信号被作为触发输入信号，而从模式控制器被配置成复位模式。

例如，为了测量输入到 TI1 上的 PWM 信号的长度（TIMx\_CC DAT1 寄存器）和占空比（TIMx\_CC DAT2 寄存器），可以采用如下具体步骤（取决于 CK\_INT 的频率和预分频器的值）

- 选择 TIMx\_CC DAT1 的有效输入：置 TIMx\_CCMOD1 寄存器的 CC1SEL=01（选择 TI1）。
- 选择 TI1FP1 的有效极性（用来捕获数据到 TIMx\_CC DAT1 中和清除计数器）：置 CC1P=0（上升沿有效）。
- 选择 TIMx\_CC DAT2 的有效输入：置 TIMx\_CCMOD1 寄存器的 CC2SEL=10（选择 TI1）。
- 选择 TI1FP2 的有效极性（捕获数据到 TIMx\_CC DAT2）：置 CC2P=1（下降沿有效）。

- 选择有效的触发输入信号：置 TIMx\_SMCTRL 寄存器中的 TSEL=101（选择 TI1FP1）。
- 配置从模式控制器为复位模式：置 TIMx\_SMCTRL 中的 SMSEL=100。
- 使能捕获：置 TIMx\_CCEN 寄存器中 CC1EN=1 且 CC2EN=1。

图 10-27 PWM 输入模式时序



硬件上只有 TI1FP1 和 TI2FP2 连到了从模式控制器，所以 PWM 输入模式只能使用 TIMx\_CH1/TIMx\_CH2 信号。

### 10.3.7 强置输出模式

配置成输出模式（TIMx\_CCMODx 寄存器中 CCxSEL=00）下，输出比较信号（OCxREF 和相应的 OCx）能够直接由软件强置为有效或无效状态，而不依赖于输出比较寄存器和计数器间的比较结果。

配置 TIMx\_CCMODx 寄存器中相应的 OCxMD=101，即可强置输出比较信号（OCxREF/OCx）为有效状态。这样 OCxREF 被强置为高电平（OCxREF 始终为高电平有效），同时 OCx 得到 CCxP 极性位相反的值。

例如：CCxP=0（OCx 高电平有效），则 OCx 被强置为高电平。

配置 TIMx\_CCMODx 寄存器中的 OCxMD=100，可强置 OCxREF 信号为低。

该模式下，在 TIMx\_CCDATx 影子寄存器和计数器之间的比较仍然在进行，相应的标志也会被修改。因此仍然会产生相应的中断和 DMA 请求。这将会在下面的输出比较模式一节中介绍。

### 10.3.8 输出比较模式

此项功能具有控制输出特定的波形，或者指示一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时，输出比较功能做如下操作：

- 将输出比较模式（TIMx\_CCMODx 寄存器中的 OCxMD 位）和输出极性（TIMx\_CCEN 寄存器中的 CCxP

位)定义的值输出到对应的引脚上。在比较匹配时,输出引脚可以保持它的电平(OCxMD=000)、被设置成有效电平(OCxMD=001)、被设置成无效电平(OCxMD=010)或进行翻转(OCxMD=011)。

- 设置中断状态寄存器中的标志位(TIMx\_STS寄存器中的CCxIF位)。
- 若设置了相应的中断屏蔽(TIMx\_DINTEN寄存器中的CCxIEN位),则产生一个中断。
- 若设置了相应的使能位(TIMx\_DINTEN寄存器中的CCxDEN位,TIMx\_CTRL2寄存器中的CCDSEL位选择DMA请求功能),则产生一个DMA请求。

TIMx\_CCMODx中的OCxPEN位选择TIMx\_CC DATx寄存器是否需要使用预装载寄存器。在输出比较模式下,更新事件UEV对OCxREF和OCx输出没有影响。

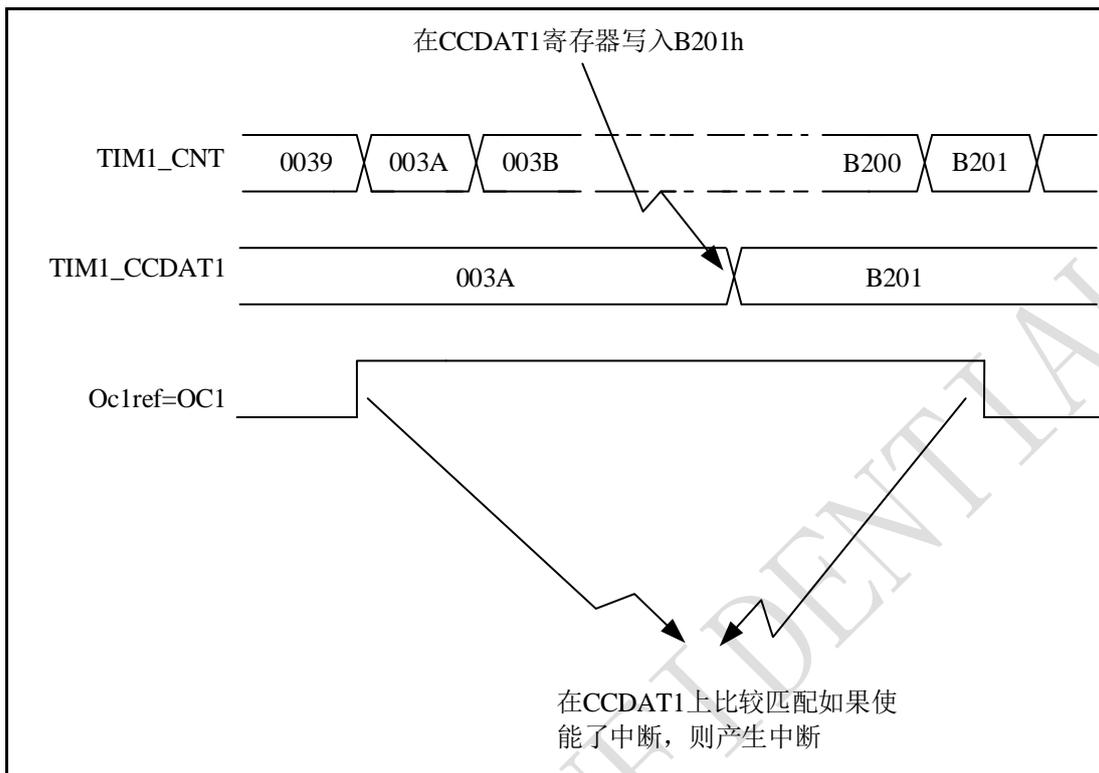
同步的精度可以达到计数器的一个计数周期。输出比较模式(在单脉冲模式下)也能用来输出一个单脉冲。

输出比较模式的配置步骤:

- 选择计数器时钟(内部,外部,预分频器)
- 将相应的数据写入TIMx\_AR和TIMx\_CC DATx寄存器中
- 如果要产生一个中断请求和/或一个DMA请求,设置CCxIEN位和/或CCxDEN位。
- 选择输出模式,例如:
  - ◆ 要求计数器与CC DATx匹配时翻转OCx的输出引脚,设置OCxMD=011
  - ◆ 置OCxPEN=0禁用预装载寄存器
  - ◆ 置CCxP=0选择极性为高电平有效
  - ◆ 置CCxEN=1使能输出
- 设置TIMx\_CTRL1寄存器的CNTEN位启动计数器

TIMx\_CC DATx寄存器能够在任何时候通过软件进行更新以控制输出波形,条件是未使用预装载寄存器(OCxPEN='0',否则TIMx\_CC DATx影子寄存器只能在发生下一次更新事件时被更新)。下图给出了一个例子。

图 10-28 输出比较模式，翻转 OC1



### 10.3.9 PWM 模式

脉冲宽度调制（PWM）模式可以产生一个由 TIMx\_AR 寄存器确定频率、由 TIMx\_CCDATx 寄存器确定占空比的信号。

TIMx\_CCMODx 寄存器中的 OCxMD 位写入 '110'（PWM 模式 1）或 '111'（PWM 模式 2），能够独立地设置每个 OCx 输出通道产生一路 PWM。必须设置 TIMx\_CCMODx 寄存器 OCxPEN 位以使能相应的预装载寄存器，最后还要设置 TIMx\_CTRL1 寄存器的 ARPEN 位，（在向上计数或中心对称模式中）使能自动重载的预装载寄存器。

仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TIMx\_EVTGEN 寄存器中的 UDCGN 位来初始化所有的寄存器。

OCx 的极性可以通过软件在 TIMx\_CCEN 寄存器中的 CCxP 位进行设置，它可以设置为高电平有效或低电平有效。TIMx\_CCEN 寄存器中的 CCxEN 位控制 OCx 输出使能。详见 TIMx\_CCENx 寄存器的描述。

在 PWM 模式（模式 1 或模式 2）下，TIMx\_CNT 和 TIMx\_CCDATx 始终在进行比较，（依据计数器的计数方向）以确定是否符合  $TIMx\_CCDATx \leq TIMx\_CNT$  或者  $TIMx\_CNT \leq TIMx\_CCDATx$ 。然而为了与 OCREF\_CLR 的功能（在下一个 PWM 周期之前，ETR 信号上的一个外部事件能够清除 OCxREF）一致，OCxREF 信号只能在下述条件下产生：

- 当比较的结果改变
- 当输出比较模式（TIMx\_CCMODx 寄存器中的 OCxMD 位）从“冻结”（无比较，OCxMD='000'）切换到某个 PWM 模式（OCxMD='110'或'111'）。

这样在运行中可以通过软件强置 PWM 输出。

根据 TIMx\_CTRL1 寄存器中 CAMSEL 位的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

### 10.3.9.1 PWM 边沿对齐模式

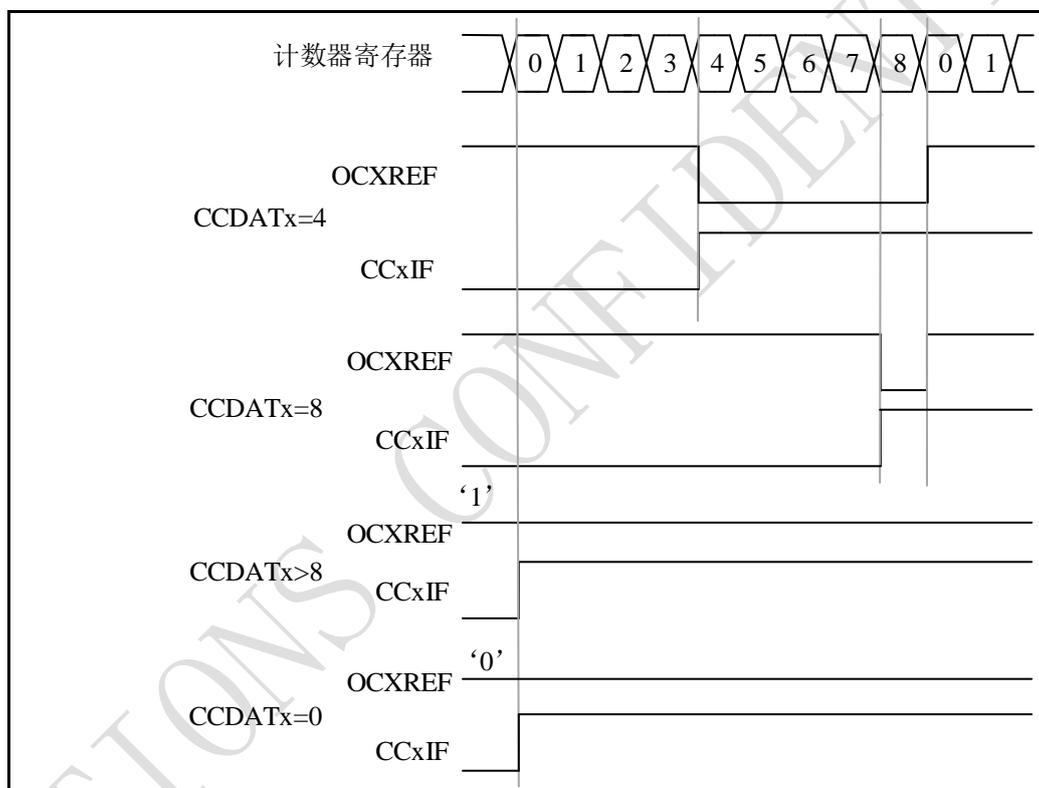
#### ■ 向上计数配置

当 TIMx\_CTRL1 寄存器中的 DIR 位为低的时候执行向上计数。参看 10.3.2 节。

当  $TIMx\_CNT < TIMx\_CCDATx$  时 PWM 信号参考 OCxREF 为高，否则为低。如果 TIMx\_CCDATx 中的比较值大于自动重装载值 (TIMx\_AR)，则 OCxREF 保持为'1'。如果比较值为 0，则 OCxREF 保持为'0'。

下图为 TIMx\_AR=8 时边沿对齐的 PWM 波形示例。

图 10-29 边沿对齐的 PWM 波形 (AR=8)



#### ■ 向下计数的配置

当 TIMx\_CTRL1 寄存器的 DIR 位为高时执行向下计数。参看 10.3.2 节。

在 PWM 模式 1，当  $TIMx\_CNT > TIMx\_CCDATx$  时参考信号 OCxREF 为低，否则为高。如果 TIMx\_CCDATx 中的比较值大于 TIMx\_AR 中的自动重装载值，则 OCxREF 保持为'1'。

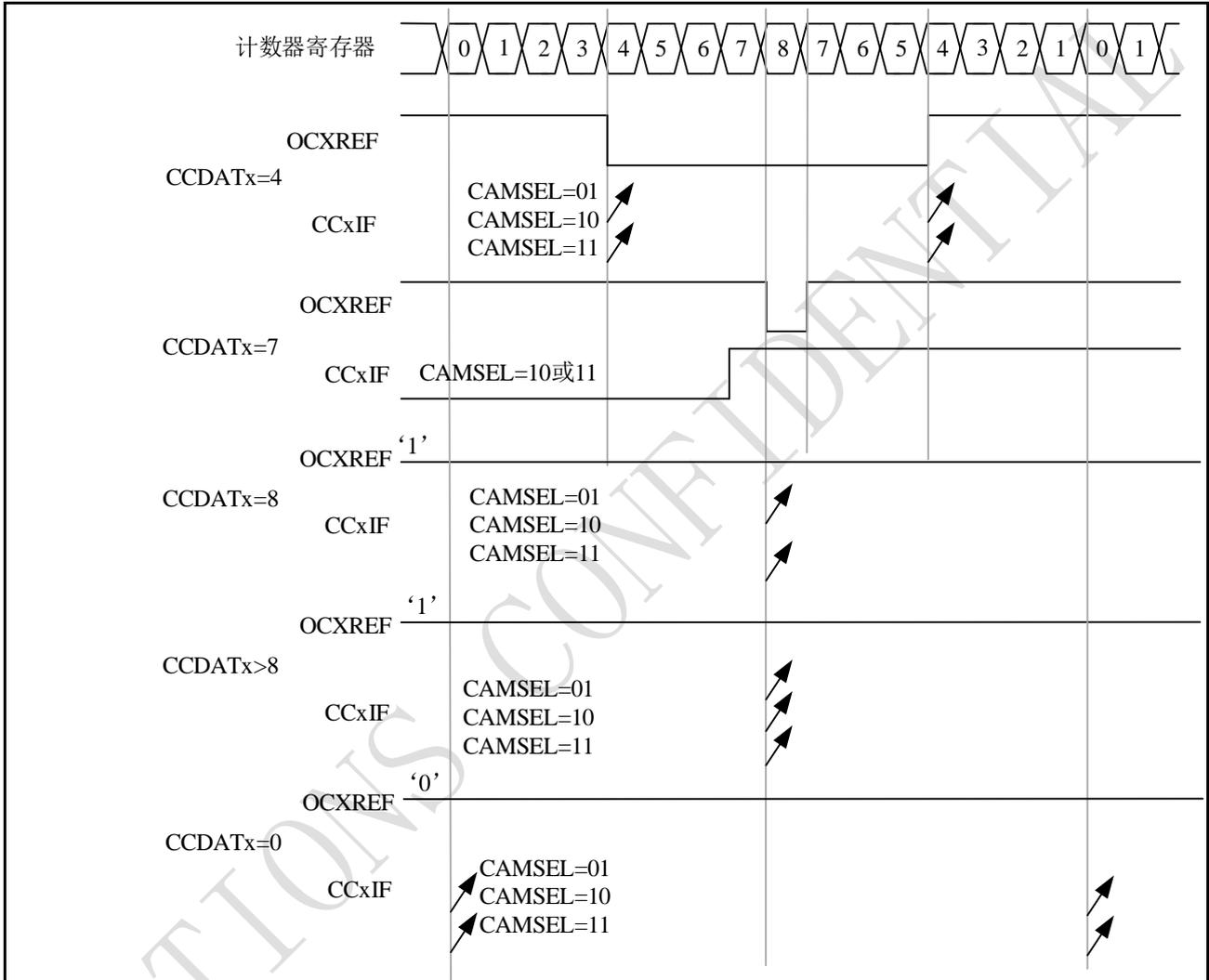
注：该模式下不能产生 0% 的 PWM 波形。

#### ■ PWM 中央对齐模式

配置 TIMx\_CTRL1 寄存器中的 CAMSEL 位不为'00'时为中央对齐模式（所有其他的配置对 OCxREF/OCx 信号都有相同的作用）。根据不同的 CAMSEL 位设置，比较标志可以在计数器向上计数时被置'1'、在计数器向下计数时被置'1'、或在计数器向上和向下计数时被置'1'。TIMx\_CTRL1 寄存器中的计数方向位 (DIR) 由硬件更新，不要用软件修改。参看 10.3.2 节的中央对齐模式。

- 下图给出了一些中央对齐的 PWM 波形的示例
- TIMx\_AR=8
- PWM 模式 1
- TIMx\_CTRL1 寄存器中的 CAMSEL=01，在中央对齐模式 1 时，当计数器向下计数时设置比较标志。

图 10-30 中央对齐的 PWM 波形 (APR=8)



### 10.3.9.2 使用中央对齐模式的提示：

- 在进入中央对齐模式时的时候，使用当前的向上/向下计数配置；这就意味着计数器向上还是向下计数取决于 TIMx\_CTRL1 寄存器中 DIR 位的当前值。此外，软件不能同时修改 DIR 和 CAMSEL 位。
- 不推荐当运行在中央对齐模式时改写计数器，因为这样可能会产生预期之外的 PWM 波形和软件行为。特别地：
  - ◆ 如果写入计数器的值大于自动重加载的值 (TIMx\_CNT > TIMx\_AR)，则方向不会被更新。例如，如果计数器正在向上计数，它就会继续向上计数。
  - ◆ 如果将 0 或者 TIMx\_AR 的值写入计数器，方向被更新，但不产生更新事件 UEV。

- 使用中央对齐模式最可靠的方法，就是在启动计数器之前产生一个软件更新（设置 TIMx\_EVTGEN 位中的 UDCN 位）事件，并且不要在计数进行过程中修改计数器的值。

### 10.3.10 单脉冲模式

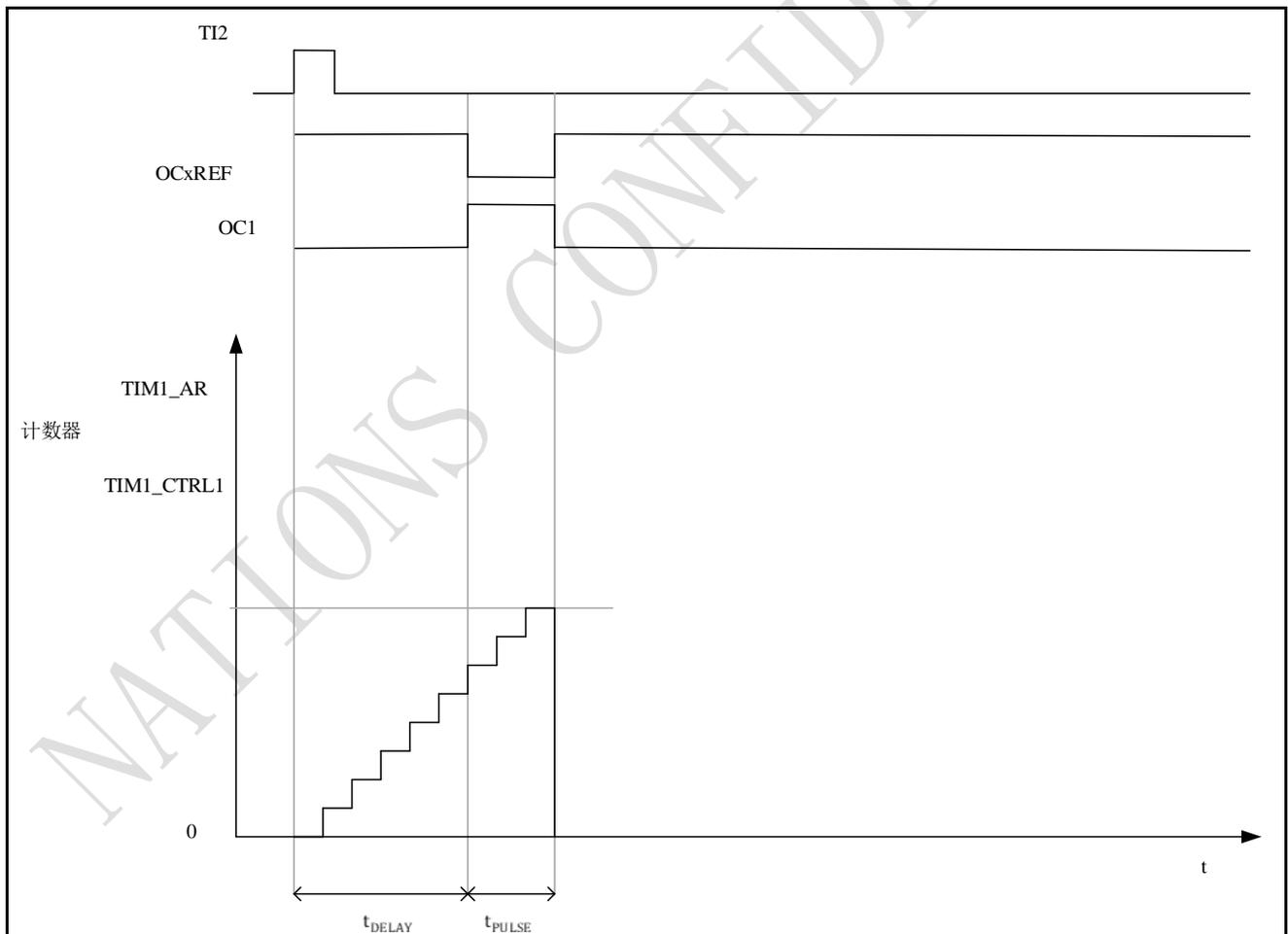
单脉冲模式 (ONEPM) 允许计数器响应一个激励，并在一个程序可控的延时之后产生一个脉宽可程序控制的脉冲，是前述众多模式的一个特例。

可以通过从模式控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TIMx\_CTRL1 寄存器中的 ONEPM 位将选择单脉冲模式，这样可以使计数器自动地在产生下一个更新事件 UEV 时停止。

仅当比较值与计数器的初始值不同时，才能产生一个脉冲。启动之前（当定时器正在等待触发），必须进行如下配置：

- 向上计数方式：CNT < CCDAx ≤ AR （特别地，0 < CCDAx），
- 向下计数方式：CNT > CCDAx。

图 10-31 单脉冲模式的例子



例如，需要在从 TI2 输入脚上检测到一个上升沿开始，延迟  $t_{DELAY}$  之后，在 OC1 上产生一个长度为  $t_{PULSE}$  的正脉冲。

假定 TI2FP2 作为触发 1:

- 置 TIMx\_CCMOD1 寄存器中的 CC2SEL='01', 把 TI2FP2 映像到 TI2。
- 置 TIMx\_CCEN 寄存器中的 CC2P='0', 使 TI2FP2 能够检测上升沿。
- 置 TIMx\_SMCTRL 寄存器中的 TSEL='110', TI2FP2 作为从模式控制器的触发 (TRGI)。
- 置 TIMx\_SMCTRL 寄存器中的 SMSEL='110' (触发模式), TI2FP2 被用来启动计数器。

ONEPM 波形由写入比较寄存器的数值决定 (要考虑时钟频率和计数器预分频器)

- $t_{DELAY}$  由写入 TIMx\_CCDAT1 寄存器中的值定义。
- $t_{PULSE}$  由自动装载值和比较值之间的差值定义 (TIMx\_AR - TIMx\_CCDAT1)。
- 假定当发生比较匹配时要产生从 0 到 1 的波形, 当计数器到达预装载值时要产生一个从 1 到 0 的波形; 首先要置 TIMx\_CCMOD1 寄存器的 OC1M='111', 进入 PWM 模式 2; 根据需要要有选择地使能预装载寄存器: 置 TIMx\_CCMOD1 中的 OC1PEN='1' 和 TIMx\_CTRL1 寄存器中的 ARPEN; 然后在 TIMx\_CCDAT1 寄存器中填写比较值, 在 TIMx\_AR 寄存器中填写自动装载值, 修改 UDN 位来产生一个更新事件, 然后等待在 TI2 上的一个外部触发事件。本例中, CC1P='0'。

在这个示例中, TIMx\_CTRL1 寄存器中的 DIR 和 CAMSEL 位应该置低。

因为只需一个脉冲, 所以必须设置 TIMx\_CTRL1 寄存器中的 ONEPM='1', 在下一个更新事件 (当计数器从自动装载值翻转到 0) 时停止计数。

### 10.3.10.1 特殊情况 : OCx 快速使能 :

在单脉冲模式下, 在 TIx 输入管脚的边沿检测逻辑设置 CNTEN 位以启动计数器。然后计数器和比较值间的比较操作产生了输出的转换。但是这些操作需要一定的时钟周期, 因此它限制了可得到的最小延时  $t_{DELAY}$ 。如果要以最小延时输出波形, 可以设置 TIMx\_CCMODx 寄存器中的 OCxFEN 位; 此时 OCxREF (和 OCx) 被强制响应激励而不再依赖比较的结果, 输出的波形与比较匹配时的波形一样。OCxFEN 只在通道配置为 PWM1 和 PWM2 模式时起作用。

### 10.3.11 编码器接口模式

选择编码器接口模式的方法有:

- 如果计数器只在 TI2 的边沿计数, 则置 TIMx\_SMCTRL 寄存器中的 SMSEL=001。
- 如果只在 TI1 边沿计数, 则置 SMSEL=010。
- 如果计数器同时在 TI1 和 TI2 边沿计数, 则置 SMSEL=011。

通过设置 TIMx\_CCEN 寄存器中的 CC1P 和 CC2P 位, 可以选择 TI1 和 TI2 极性; 如果需要, 还可以对输入滤波器编程。

两个输入 TI1 和 TI2 用来作为增量编码器的接口。参看表 10-1, 假定计数器已经启动 (TIMx\_CTRL1 寄存器中的 CNTEN='1'), 计数器由每次在 TI1FP1 或 TI2FP2 上的有效跳变驱动。TI1FP1 和 TI2FP2 是 TI1 和 TI2 在通过输入滤波器和极性控制后的信号; 如果没有滤波和变相, 则 TI1FP1=TI1, TI2FP2=TI2。根据两个输入信号的跳变顺序, 产生了计数脉冲和方向信号。依据两个输入信号的跳变顺序, 计数器向上或向下

计数，同时硬件对 TIMx\_CTRL1 寄存器的 DIR 位进行相应的设置。不管计数器是依靠 TI1 计数、依靠 TI2 计数或者同时依靠 TI1 和 TI2 计数。在任一输入端（TI1 或者 TI2）的跳变都会重新计算 DIR 位。

编码器接口模式基本上相当于使用了一个带有方向选择的外部时钟。这意味着计数器只在 0 到 TIMx\_AR 寄存器的自动装载值之间连续计数（根据方向，或是 0 到 AR 计数，或是 AR 到 0 计数）。所以在开始计数之前必须配置 TIMx\_AR；同样，捕获器、比较器、预分频器、触发输出特性等仍工作如常。

注：编码器模式和外部时钟模式 2 不兼容，因此不能同时操作。

在这个模式下，计数器依照增量编码器的速度和方向被自动的修改，因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。下表列出了所有可能的组合，假设 TI1 和 TI2 不同时变换。

表 10-1 计数方向与编码器信号的关系

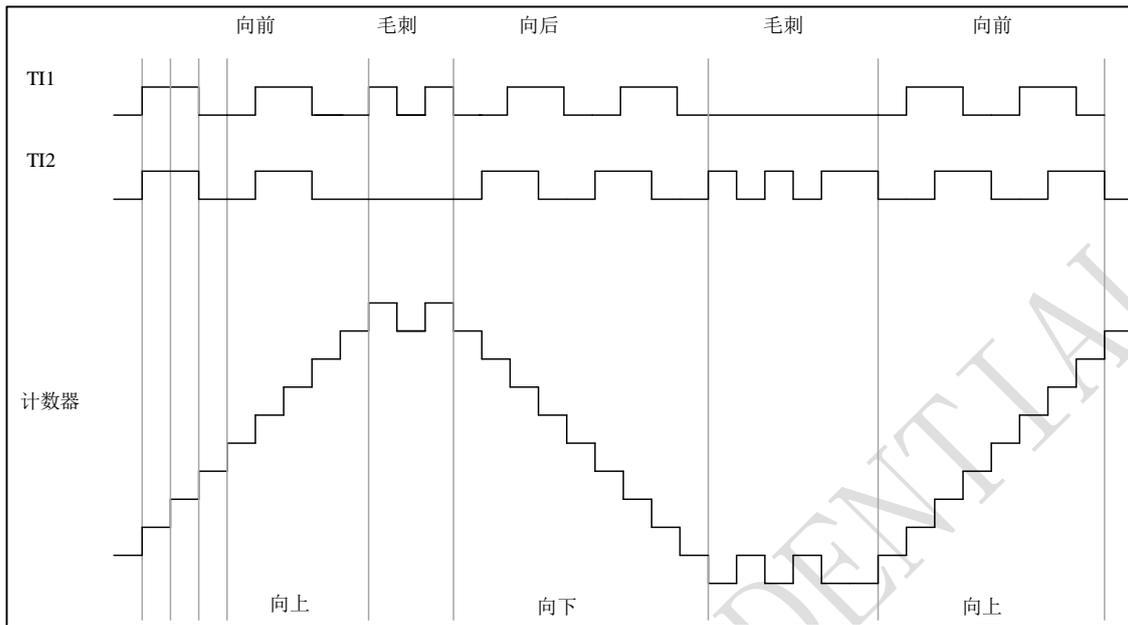
有效边沿	相对信号的电平 (TI1FP1对应TI2, TI2FP2对应TI1)	TI1FP1信号		TI2FP2信号	
		上升	下降	上升	下降
仅在TI1计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在TI2计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在TI1和TI2上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

一个外部的增量式编码器可以直接与 MCU 管脚连接而不需要增加外部接口逻辑。但是，一般会使用比较器将编码器的差动输出转换到数字信号，这大大增加了抗噪声干扰能力。编码器输出的第三个信号表示机械零点，可以把它连接到一个外部中断输入并触发一个计数器复位。

下图是一个计数器操作的示例，显示了计数信号的产生和方向控制。它还显示了当选择了双边沿时，输入抖动是如何被抑制的；抖动可能会在传感器的位置靠近一个转换点时产生。在这个例子中，我们假定配置如下：

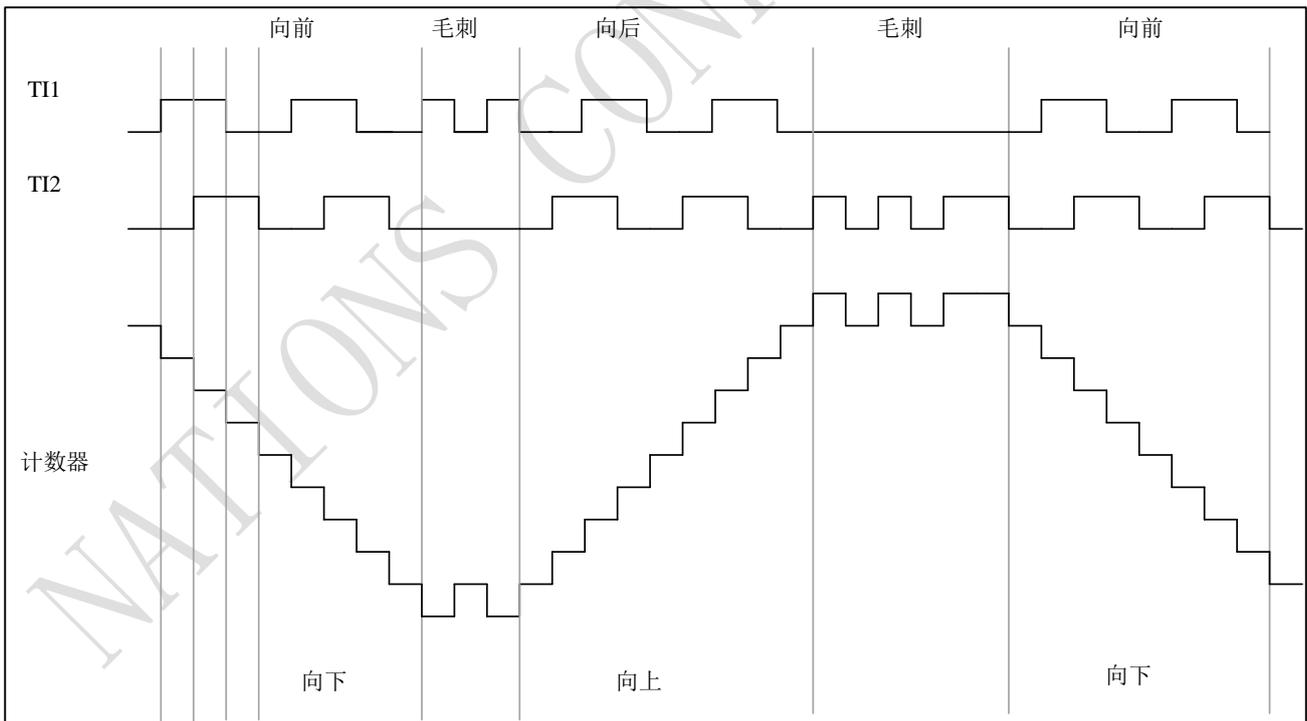
- CC1SEL='01' (TIMx\_CCMOD1 寄存器, IC1FP1 映射到 TI1)
- CC2SEL='01' (TIMx\_CCMOD2 寄存器, IC2FP2 映射到 TI2)
- CC1P='0' (TIMx\_CCEN 寄存器, IC1FP1 不反相, IC1FP1=TI1)
- CC2P='0' (TIMx\_CCEN 寄存器, IC2FP2 不反相, IC2FP2=TI2)
- SMSEL='011' (TIMx\_SMCTRL 寄存器, 所有的输入均在上升沿和下降沿有效)
- CNTEN='1' (TIMx\_CTRL1 寄存器, 计数器使能)

图 10-32 编码器模式下的计数器操作实例



下图为当 IC1FP1 极性反相时计数器的操作实例 (CC1P='1', 其他配置与上例相同)

图 10-33 IC1FP1 反相的编码器接口模式实例



定时器配置成编码器接口模式时，提供传感器当前位置的信息。使用第二个配置在捕获模式的定时器，可以测量两个编码器事件的间隔，获得动态的信息（速度，加速度，减速度）。指示机械零点的编码器输出可被用做此目的。根据两个事件间的间隔，可以按照固定的时间读出计数器。如果可能的话，可以把计数器的值锁存到第三个输入捕获寄存器（捕获信号必须是周期的并且可以由另一个定时器产生）；也可以通过一个由实时时钟产生的 DMA 请求来读取它的值。

### 10.3.12 定时器输入异或功能

通过设置 TIMx\_CTRL2 寄存器中的 TI1SEL 位，允许通道 1 的输入滤波器连接到一个异或门的输出端，异或门的 3 个输入端为 TIMx\_CH1、TIMx\_CH2 和 TIMx\_CH3。

异或输出能够被用于所有定时器的输入功能，如触发或输入捕获。上一章 9.3.18 节给出了此特性用于连接霍尔传感器的例子。

### 10.3.13 定时器和外部触发的同步

TIMx 定时器能够在多种模式下和一个外部的触发同步：复位模式、门控模式和触发模式。

#### 10.3.13.1 从模式：复位模式

输入一个触发输入事件时，计数器和它的预分频器能够重新被初始化；同时，如果 TIMx\_CTRL1 寄存器的 UPRS 位为低，还产生一个更新事件 UEV；然后所有的预装载寄存器（TIMx\_AR，TIMx\_CCDAx）都被更新。

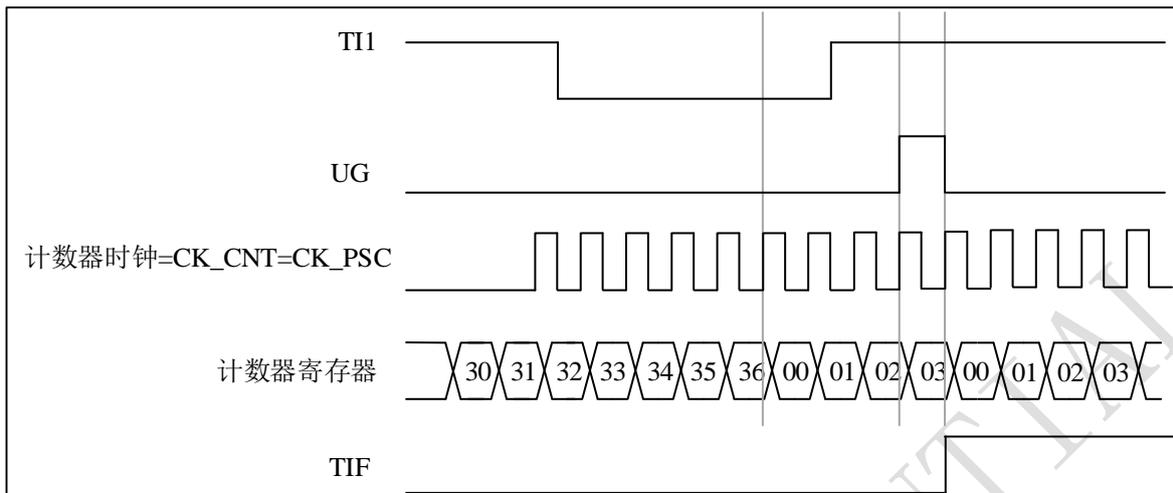
在以下的示例中，TI1 输入端的上升沿事件导致向上计数器被清零：

- 配置通道 1 以检测 TI1 的上升沿。配置输入滤波器的带宽（在本例中，不需要任何滤波器，因此保持 IC1F=0000）。触发操作中不使用捕获预分频器，所以不需要配置它。CC1SEL 位只选择输入捕获源，即 TIMx\_CCMOD1 寄存器中 CC1SEL=01。置 TIMx\_CCEN 寄存器中 CC1P=0 以确定极性（只检测上升沿）。
- 置 TIMx\_SMCTRL 寄存器中 SMSEL=100，配置定时器为复位模式；置 TIMx\_SMCTRL 寄存器中 TSEL=101，选择 TI1 作为输入源。
- 置 TIMx\_CTRL1 寄存器中 CNTEN=1，启动计数器。

计数器开始基于内部时钟计数，然后正常运转直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志（TIMx\_STS 寄存器中的 TITF 位）被设置，根据 TIMx\_DINTEN 寄存器中 TIE（中断使能）位和 TDEN（DMA 使能）位的设置，产生一个中断请求或一个 DMA 请求。

下图显示当自动重装载寄存器 TIMx\_AR=0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时，取决于 TI1 输入端的重同步电路。

图 10-34 复位模式下的控制电路



### 10.3.13.2 从模式：门控模式

按照选中的输入端电平极性使能计数器。

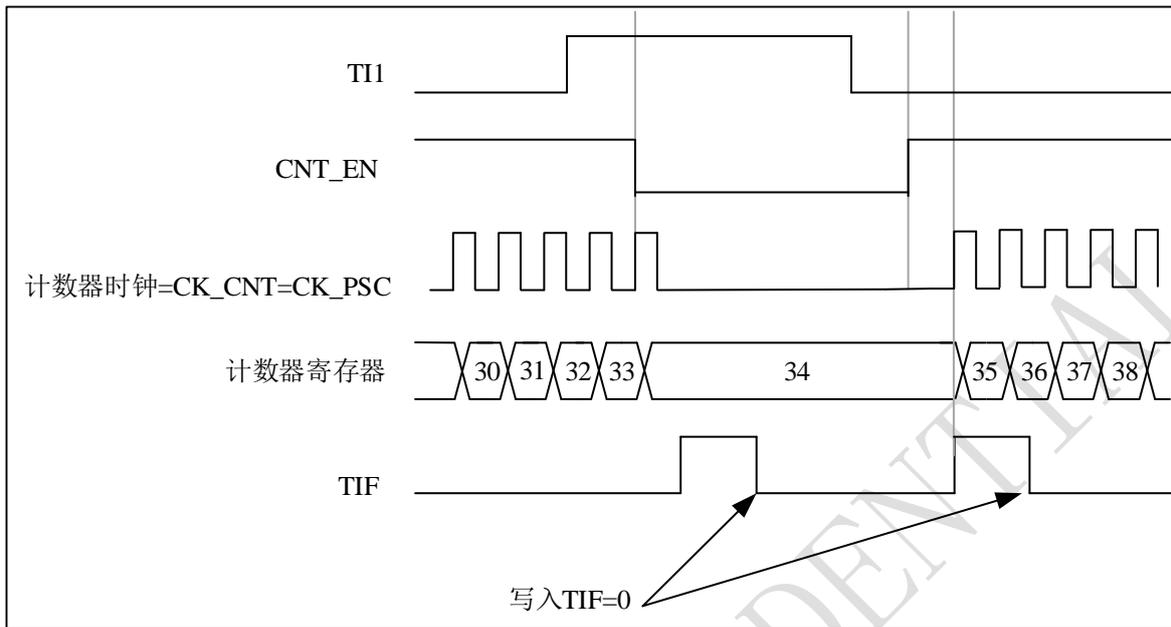
在如下的示例中，计数器只在 TI1 为低时向上计数：

- 配置通道 1 以检测 TI1 上的低电平。配置输入滤波器带宽(本例中,不需要滤波,所以保持 IC1F=0000)。触发操作中不使用捕获预分频器,所以不需要配置。CC1SEL 位用于选择输入捕获源,置 TIMx\_CCMOD1 寄存器中 CC1SEL=01。置 TIMx\_CCEN 寄存器中 CC1P=1 以确定极性(只检测低电平)。
- 置 TIMx\_SMCTRL 寄存器中 SMSSEL=101,配置定时器为门控模式;置 TIMx\_SMCTRL 寄存器中 TS=101,选择 TI1 作为输入源。
- 置 TIMx\_CTRL1 寄存器中 CNTEN=1,启动计数器。在门控模式下,如果 CNTEN=0,则计数器不能启动,不论触发输入电平如何。

只要 TI1 为低,计数器开始依据内部时钟源计数,一旦 TI1 变高时停止计数。当计数器开始或停止时都设置 TIMx\_STS 中的 TITF 标置。

TI1 上升沿和计数器实际停止之间的延时,取决于 TI1 输入端的重同步电路。

图 10-35 门控模式下的控制电路



### 10.3.13.3 从模式：触发模式

在输入端上选中的事件（上升沿或下降沿）使能计数器。

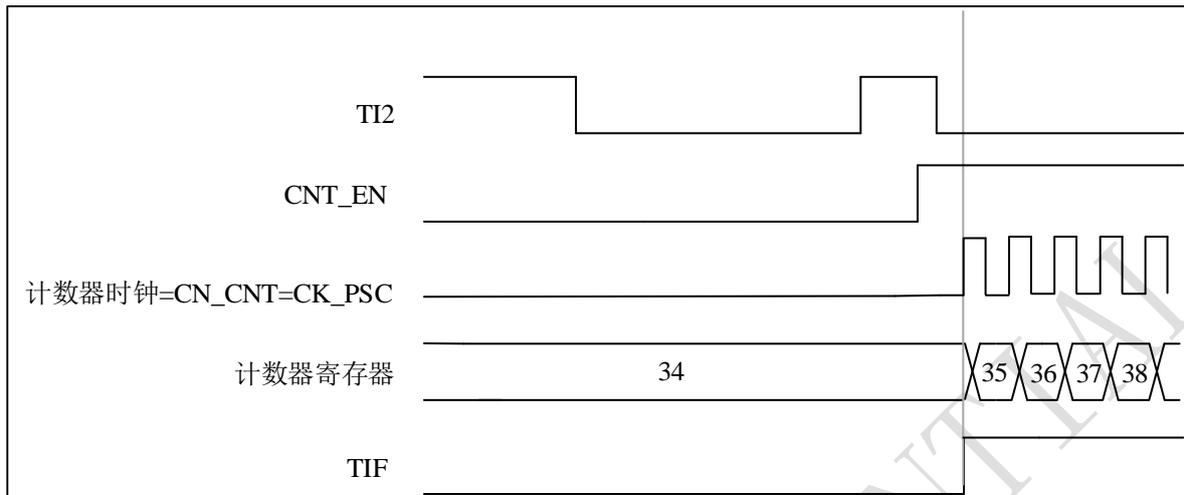
在下面的示例中，计数器在 TI2 输入的上升沿开始向上计数：

- 配置通道 2 检测 TI2 的上升沿。配置输入滤波器带宽（本例中，不需要任何滤波器，保持 IC2F=0000）。触发操作中不使用捕获预分频器，不需要配置。CC2SEL 位只用于选择输入捕获源，置 TIMx\_CCMOD1 寄存器中 CC2SEL=01。置 TIMx\_CCEN 寄存器中 CC2P=1 以确定极性（只检测低电平）。
- 置 TIMx\_SMCTRL 寄存器中 SMSEL=110，配置定时器为触发模式；置 TIMx\_SMCTRL 寄存器中 TSEL=110，选择 TI2 作为输入源。

只要 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下进行计数，同时设置 TITF 标志。

TI2 上升沿和计数器启动计数之间的延时，取决于 TI2 输入端的重同步电路。

图 10-36 触发器模式下的控制电路



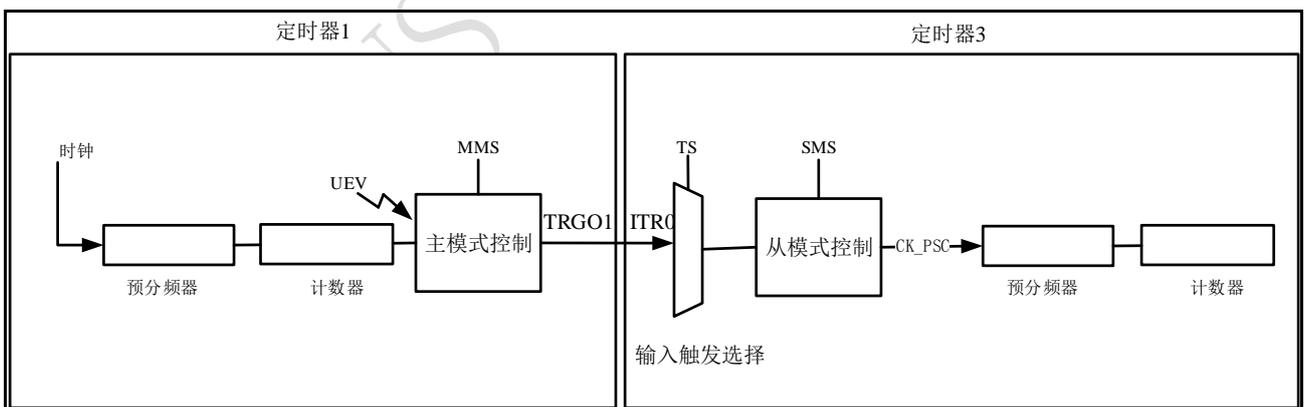
### 10.3.14 定时器同步

所有 TIMx 定时器在内部逻辑相连，用于定时器同步或链接。当一个定时器处于主模式时，它可以对另一个处于从模式的定时器的计数器进行复位、启动、停止或提供时钟等操作。

下图显示了触发选择和主模式选择模块的概况。

#### 10.3.14.1 使用一个定时器作为另一个定时器的预分频器

图 10-37 主/从定时器的例子



如：可以配置定时器 1 作为定时器 3 的预分频器。参考图 10-37，进行下述操作：

- 配置定时器 1 为主模式，它可以在每一个更新事件 UEV 时输出一个周期性的触发信号。在 TIM1\_CTRL2 寄存器的 MMSEL='010' 时，每当产生一个更新事件时在 TRGO1 上输出一个上升沿信号。
- 连接定时器 1 的 TRGO1 输出至定时器 3，设置 TIM3\_SMCTRL 寄存器的 TSEL='000'，配置定时器 3 为使用 ITR0 作为内部触发的从模式。

- 然后把从模式控制器置于外部时钟模式 1 (TIM3\_SMCTRL 寄存器的 SMSEL=111); 这样定时器 3 即可由定时器 1 周期性的上升沿 (即定时器 1 的计数器溢出) 信号驱动。
- 最后, 必须设置相应 (TIMx\_CTRL1 寄存器) 的 CNTEN 位分别启动两个定时器。

注: 如果 OCx 已被选中为定时器 1 的触发输出 (MMSEL=1xx), 它的上升沿用于驱动定时器 3 的计数器。

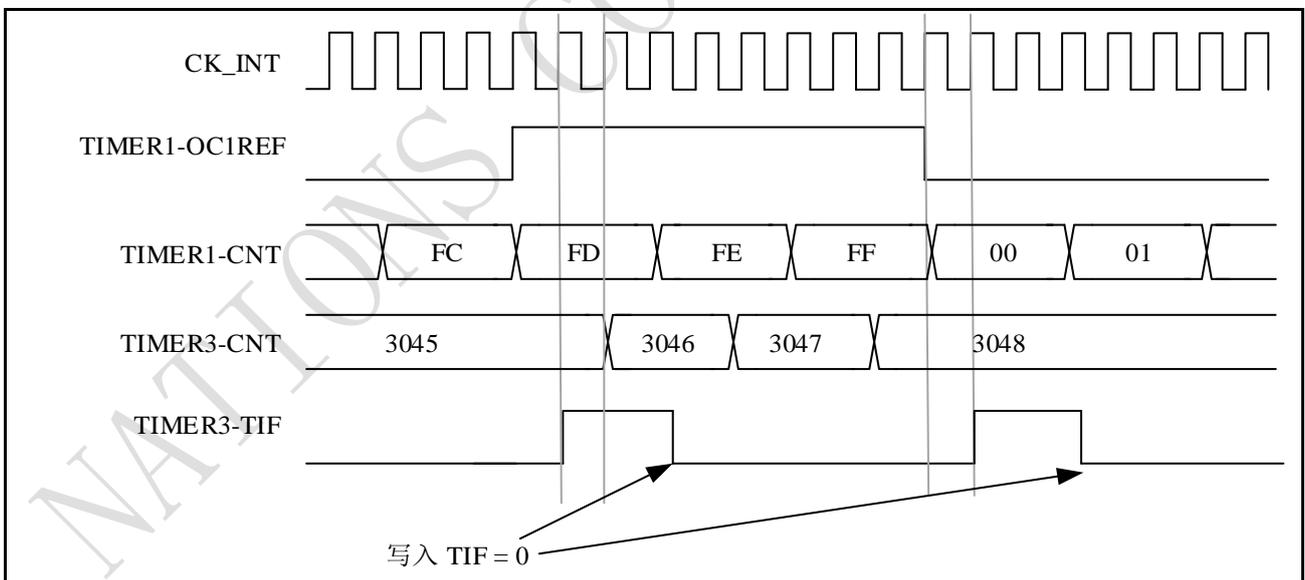
### 10.3.14.2 使用一个定时器使能另一个定时器

在本示例中, 定时器 3 的使能由定时器 1 的输出比较控制。参考图 10-37 的连接。只当定时器 1 的 OC1REF 为高时, 定时器 3 才对分频后的内部时钟计数。两个定时器的时钟频率都是由预分频器对 CK\_INT 除以 3 ( $f_{CK\_CNT}=f_{CK\_INT}/3$ ) 得到。

- 配置定时器 1 为主模式, 送出它的输出比较参考信号 (OC1REF) 为触发输出 (TIM1\_CTRL2 寄存器的 MMSEL=100)
- 配置定时器 1 的 OC1REF 波形 (TIM1\_CCMOD1 寄存器)
- 配置定时器 3 从定时器 1 获得输入触发 (TIM3\_SMCTRL 寄存器的 TSEL=000)
- 配置定时器 3 为门控模式 (TIM3\_SMCTRL 寄存器的 SMSEL=101)
- 置 TIM3\_CTRL1 寄存器的 CNTEN=1 以使能定时器 3
- 置 TIM1\_CTRL1 寄存器的 CNTEN=1 以启动定时器 1

注: 定时器 3 的时钟不与定时器 1 的时钟同步, 这个模式只影响定时器 3 计数器的使能信号。

图 10-38 定时器 1 的 OC1REF 控制定时器 3



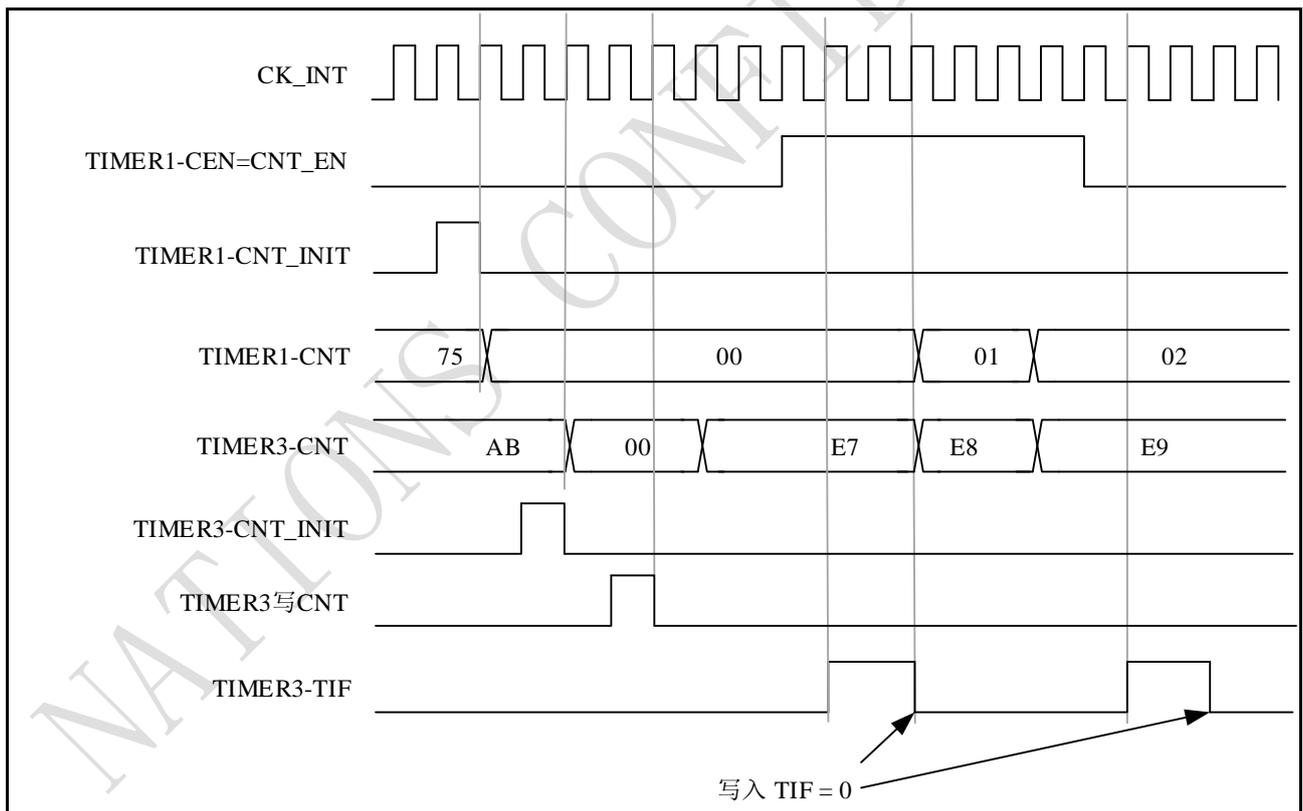
在图 10-38 的示例中, 在定时器 3 启动之前, 它们的计数器和预分频器未被初始化, 因此它们从当前的数值开始计数。可以在启动定时器 1 之前复位 2 个定时器, 使它们从给定的数值开始, 即在定时器计数器中写入需要的任意数值。写 TIMx\_EVTGEN 寄存器的 UDCN 位即可复位定时器。

在下一个示例中, 需要同步定时器 1 和定时器 3。定时器 1 是主模式并从 0 开始, 定时器 3 是从模式并从 0xE7 开始; 2 个定时器的预分频器系数相同。写 '0' 到 TIM1\_CTRL1 的 CNTEN 位将禁止定时器 1, 定时器

3 随即停止。

- 配置定时器 1 为主模式，送出输出比较 1 参考信号（OC1REF）做为触发输出（TIM1\_CTRL2 寄存器 MMSEL=100）。
- 配置定时器 1 的 OC1REF 波形（TIM1\_CCMOD1 寄存器）。
- 配置定时器 3 从定时器 1 获得输入触发（TIM3\_SMCTRL 寄存器的 TSEL=000）。
- 配置定时器 3 为门控模式（TIM3\_SMCTRL 寄存器的 SMSEL=101）
- 置 TIM1\_EGR 寄存器的 UDN=’1’，复位定时器 1。
- 置 TIM3\_EGR 寄存器的 UDN=’1’，复位定时器 3。
- 写’0xE7’至定时器 3 的计数器（TIM3\_CNTL），初始化为 0xE7。
- 置 TIM3\_CTRL1 寄存器的 CNTEN=’1’以使能定时器 3。
- 置 TIM1\_CTRL1 寄存器的 CNTEN=’1’以启动定时器 1。
- 置 TIM1\_CTRL1 寄存器的 CNTEN=’0’以停止定时器 1。

图 10-39 通过使能定时器 1 可以控制定时器 3



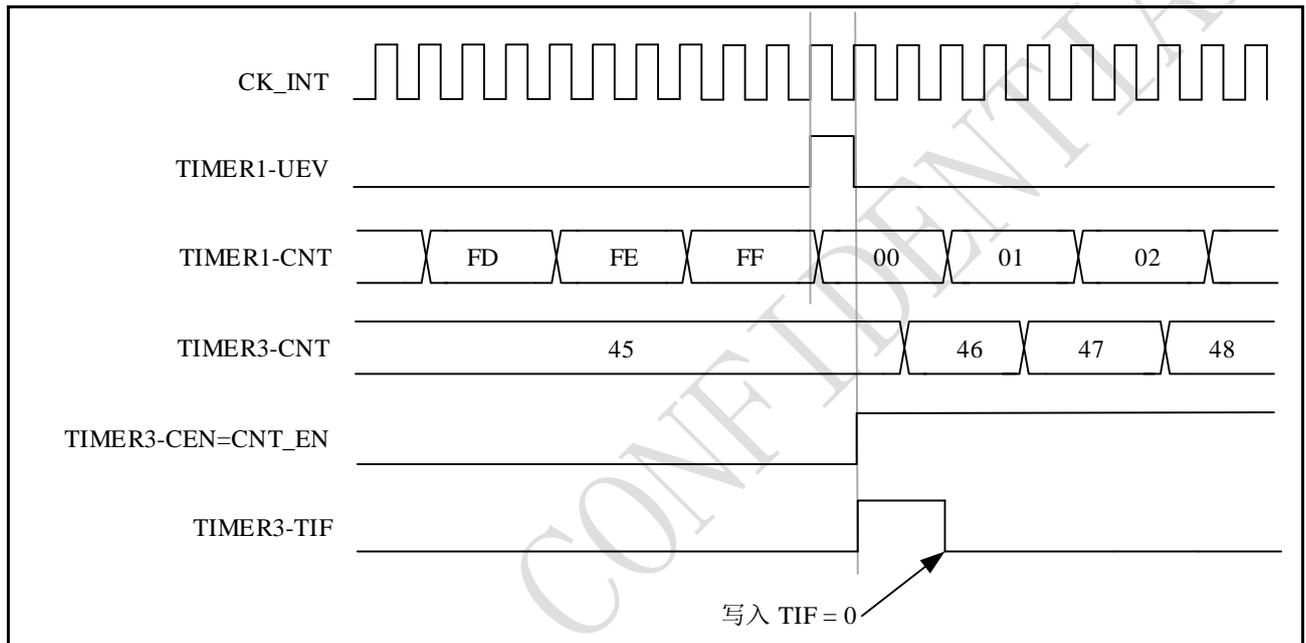
### 10.3.14.3 使用一个定时器去启动另一个定时器

在本例子中，使用定时器 1 的更新事件使能定时器 3。参考图 10-37 的连接。一旦定时器 1 产生更新事件，定时器 3 即从它当前的数值（可以是非 0）按照分频的内部时钟开始计数。在收到触发信号时，定时器 3 的 CNTEN 位被自动置’1’，同时计数器开始计数直到写’0’到 TIM3\_CTRL1 寄存器的 CNTEN 位。两个定时器

的时钟频率都是由预分频器对 CK\_INT 除以 3 ( $f_{CK\_CNT}=f_{CK\_INT}/3$ )。

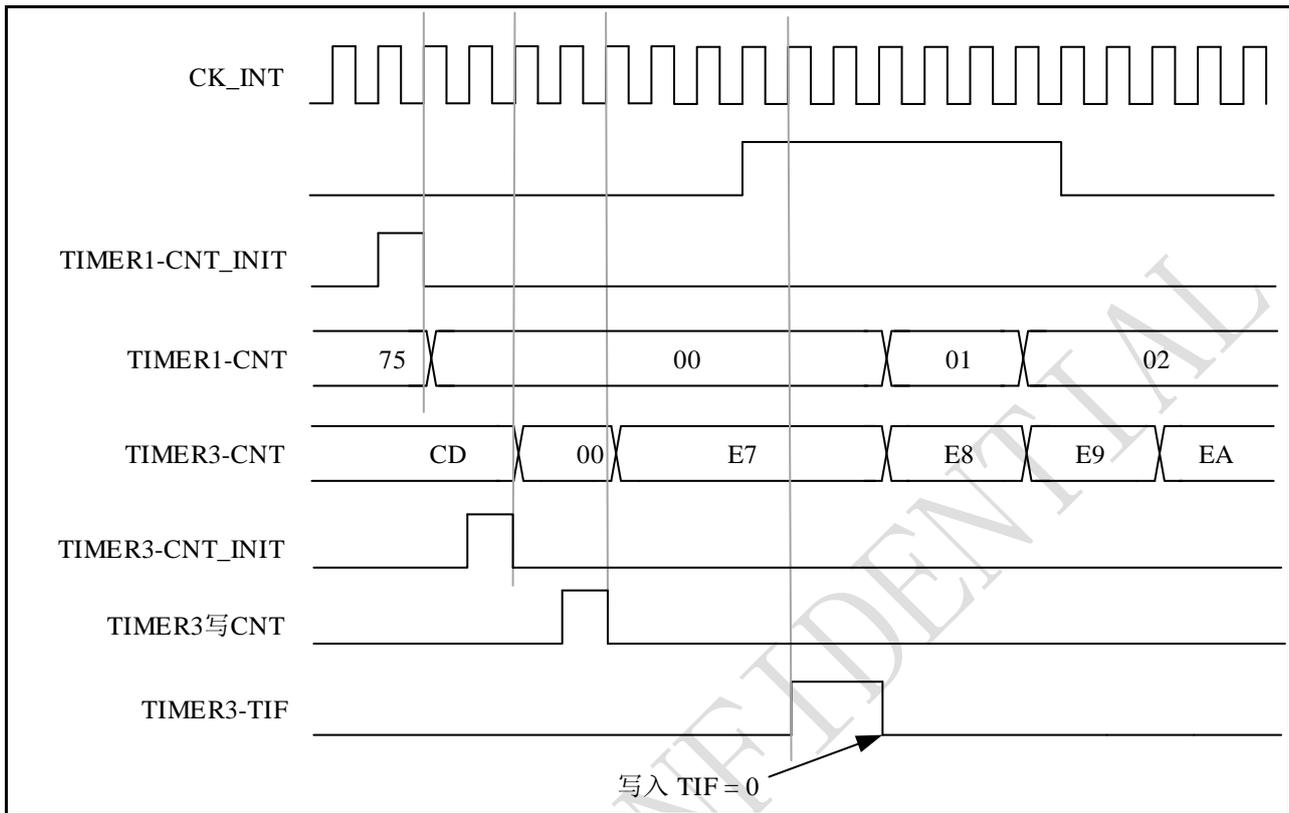
- 配置定时器 1 为主模式, 送出它的更新事件(UEV)做为触发输出(TIM1\_CTRL2 寄存器的 MMSEL=010)。
- 配置定时器 1 的周期 (TIM1\_AR 寄存器)。
- 配置定时器 3 从定时器 1 获得输入触发 (TIM3\_SMCTRL 寄存器的 TSEL=000)。
- 配置定时器 3 为触发模式 (TIM3\_SMCTRL 寄存器的 SMSEL=110)
- 配置 TIM1\_CTRL1 寄存器的 CNTEN=1 以启动定时器 1。

图 10-40 使用定时器 1 的更新触发定时器 3



在上一个例子中, 可以在启动计数之前初始化两个计数器。图 10-41 显示在与 0 相同配置情况下, 使用触发模式而不是门控模式 (TIM3\_SMCTRL 寄存器的 SMSEL=110) 的动作。

图 10-41 利用定时器 1 的使能触发定时器 3



#### 10.3.14.4 使用一个定时器作为另一个的预分频器

这个例子使用定时器 1 作为定时器 3 的预分频器。参考图 10-37 的连接，配置如下：

- 配置定时器 1 为主模式，送出它的更新事件 UEV 做为触发输出 (TIM1\_CTRL2 寄存器的 MMSEL='010')。然后每次计数器溢出时输出一个周期信号。
- 配置定时器 1 的周期 (TIM1\_AR 寄存器)。
- 配置定时器 3 从定时器 1 获得输入触发 (TIM3\_SMCTRL 寄存器的 TSEL=000)
- 配置定时器 3 使用外部时钟模式 (TIM3\_SMCTRL 寄存器的 SMSEL=111)
- 配置 TIM1\_CTRL2 寄存器的 CNTEN=1 以启动定时器 3。
- 配置 TIM1\_CTRL1 寄存器的 CNTEN=1 以启动定时器 1。

#### 10.3.14.5 使用一个外部触发同步地启动 2 个定时器

这个例子中当定时器 1 的 TI1 输入上升时使能定时器 1，使能定时器 1 的同时使能定时器 3，参见图 10-37。为保证计数器的对齐，定时器 1 必须配置为主/从模式（对应 TI1 为从，对应定时器 3 为主）：

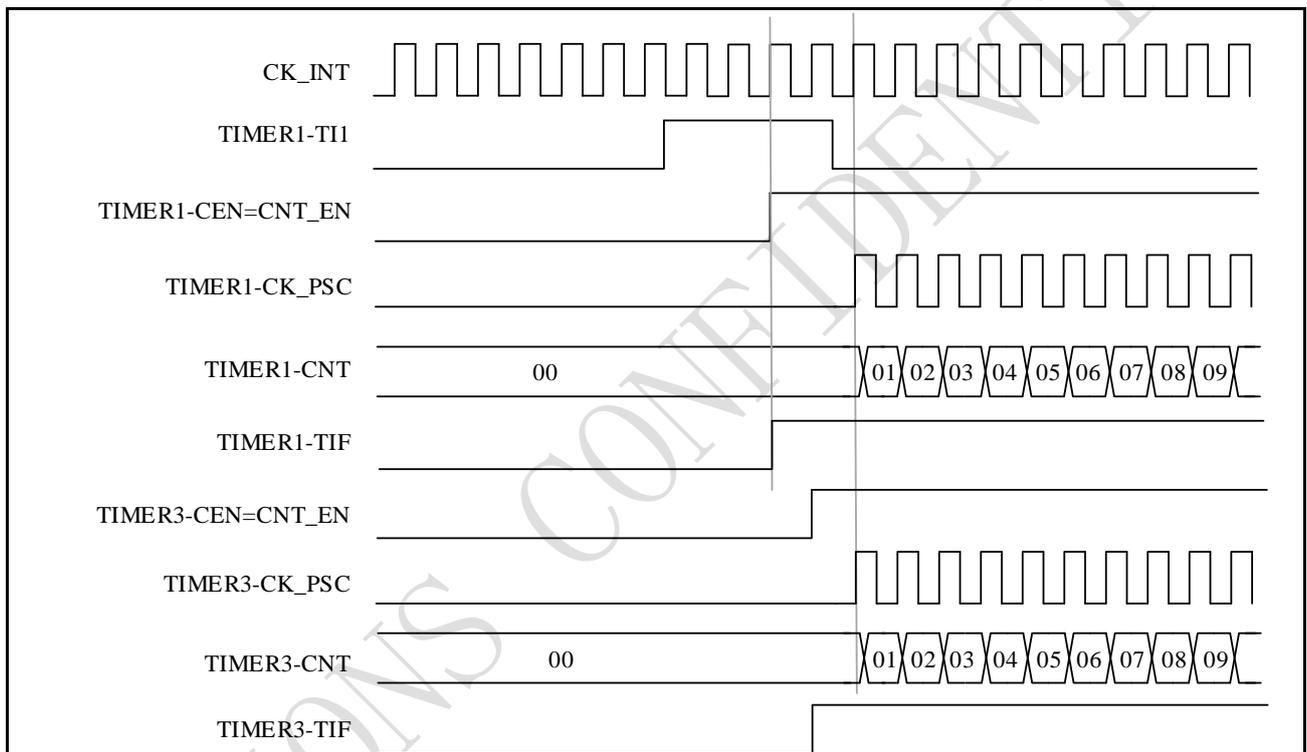
- 配置定时器 1 为主模式，送出它的使能做为触发输出 (TIM1\_CTRL2 寄存器的 MMSEL='001')。
- 配置定时器 1 为从模式，从 TI1 获得输入触发 (TIM1\_SMCTRL 寄存器的 TSEL='100')。
- 配置定时器 1 为触发模式 (TIM1\_SMCTRL 寄存器的 SMSEL='110')。

- 配置定时器 1 为主/从模式，TIM1\_SMCTRL 寄存器的 MSMD='1'。
- 配置定时器 3 从定时器 1 获得输入触发（TIM3\_SMCTRL 寄存器的 TSEL=000）
- 配置定时器 3 为触发模式（TIM3\_SMCTRL 寄存器的 SMSEL='110'）。

当定时器 1 的 TI1 上出现一个上升沿时，两个定时器同步地按照内部时钟开始计数，两个 TITF 标志也同时被设置。

注：在这个例子中，在启动之前两个定时器都被初始化（设置相应的 UDN 位），两个计数器都从 0 开始，但可以通过写入任意一个计数器寄存器（TIMx\_CNT）在定时器间插入一个偏移。下图中能看到主/从模式下在定时器 1 的 CNT\_EN 和 CK\_PSC 之间有个延迟。

图 10-42 使用定时器 1 的 TI1 输入触发定时器 1 和定时器 3



### 10.3.15 调试模式

当微控制器进入调试模式（Cortex<sup>®</sup>-M0 核心停止），根据 DBG\_CTRL 中 TIMxSTP 的设置值，TIMx 计数器或者继续正常操作，或者停止。详见 4.3.18 DBGMCU\_CR 寄存器

## 10.4 TIMx 寄存器描述

### 10.4.1 TIMx 寄存器图

表 10-2 TIMx –寄存器图和复位

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	TIMx_CTRL1	Reserved														CLKD[1:0]		ARPEN	CAMSEL[1:0]		DIR	ONEPDM	UPRS	UPDIS	CNTEN								
	Reset Value	0														0		0	0		0	0	0	0	0								
004h	TIMx_CTRL2	Reserved														TI1SEL		MMSEL[2:0]		CCDSEL		Reserved											
	Reset Value	0														0		0		0		0											
008h	TIMx_SMCTRL	Reserved														MSMD		TSEL[2:0]		Reserved		SMSEL[2:0]											
	Reset Value	0														0		0		0		0											
00Ch	TIMx_DINTEN	Reserved														TDEN	Reserved		CC4DEN	CC3DEN	CC2DEN	CC1DEN	UDEN	Reserved	T1EN	Reserved		CC4IEN	CC3IEN	CC2IEN	CC1IEN	UIEN	
	Reset Value	0														0	0		0	0	0	0	0	0	0	0		0	0	0	0	0	
010h	TIMx_STS	Reserved														CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved		T1TF	Reserved		CC4ITF	CC3ITF	CC2ITF	CC1ITF	UDITF				
	Reset Value	0														0	0	0	0	0		0	0		0	0	0	0	0	0	0		
014h	TIMx_EVTGEN	Reserved														Reserved		TGN	Reserved		CC4GN	CC3GN	CC2GN	CC1GN	UDGN								
	Reset Value	0														0		0	0		0	0	0	0	0								
018h	TIMx_CCMOD1 输出比较模式	Reserved														OC2CEN	OC2M[2:0]		OC2PEN	OC2FEN	OC2SEL[1:0]		OC1CEN	OC1M[2:0]		OC1PEN	OC1FEN	OC1SEL[1:0]					
	Reset Value	0														0	0		0	0	0		0	0		0	0	0					
018h	TIMx_CCMOD1 输入捕获模式	Reserved														IC2F[3:0]			IC2PSC[1:0]	IC2SEL[1:0]		IC1F[3:0]			IC1PSC[1:0]	IC1SEL[1:0]							
	Reset Value	0														0			0	0		0			0	0							
01Ch	TIMx_CCMOD2 输出比较模式	Reserved														OC4CEN	OC4M[2:0]		OC4PEN	OC4FEN	OC4SEL[1:0]		OC3CEN	OC3M[2:0]		OC3PEN	OC3FEN	OC3SEL[1:0]					
	Reset Value	0														0	0		0	0	0		0	0		0	0	0					
01Ch	TIMx_CCMOD2 输入捕获模式	Reserved														IC4F[3:0]			IC4PSC[1:0]	IC4SEL[1:0]		IC3F[3:0]			IC3PSC[1:0]	IC3SEL[1:0]							
	Reset Value	0														0			0	0		0			0	0							
020h	TIMx_CCEN	Reserved														CC4P	CC4EN	Reserved		CC3P	CC3EN	Reserved		CC2P	CC2EN	Reserved		CC1P	CC1EN				
	Reset Value	0														0	0	0		0	0	0		0	0	0		0	0				
024h	TIMx_CNT	Reserved														CNT[15:0]																	
	Reset Value	0														0																	
028h	TIMx_PSC	Reserved														PSC[15:0]																	
	Reset Value	0														0																	

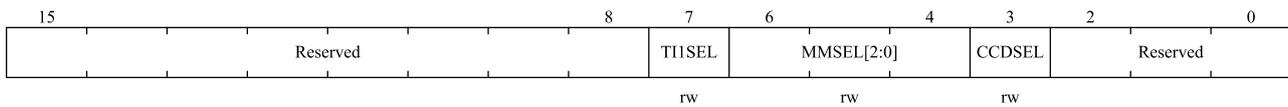


位域	名称	描述
6:5	CAMSEL[1:0]	<p>选择中央对齐模式</p> <p>00: 边沿对齐模式。计数器依据方向位 (DIR) 向上或向下计数。</p> <p>01: 中央对齐模式1。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMODx 寄存器中CCxSEL=00) 的输出比较中断标志位, 只在计数器向下计数时被设置。</p> <p>10: 中央对齐模式2。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMODx 寄存器中CCxSEL=00) 的输出比较中断标志位, 只在计数器向上计数时被设置。</p> <p>11: 中央对齐模式3。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMODx 寄存器中CCxSEL=00) 的输出比较中断标志位, 在计数器向上和向下计数时均被设置。</p> <p><i>注: 在计数器开启时 (CNTEN=1), 不允许从边沿对齐模式转换到中央对齐模式。</i></p>
4	DIR	<p>方向</p> <p>0: 计数器向上计数;</p> <p>1: 计数器向下计数。</p> <p><i>注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。</i></p>
3	ONEPM	<p>单脉冲模式</p> <p>0: 在发生更新事件时, 计数器不停止;</p> <p>1: 在发生下一次更新事件 (清除CNTEN位) 时, 计数器停止。</p>
2	UPRS	<p>更新请求源</p> <p>软件通过该位选择UEV事件的源</p> <p>0: 如果使能了更新中断或DMA请求, 则下述任一事件产生更新中断或DMA请求:</p> <ul style="list-style-type: none"> <li>— 计数器溢出/下溢</li> <li>— 设置UDGN位</li> <li>— 从模式控制器产生的更新</li> </ul> <p>1: 如果使能了更新中断或DMA请求, 则只有计数器溢出/下溢才产生更新中断或DMA请求。</p>
1	UPDIS	<p>禁止更新</p> <p>软件通过该位允许/禁止UEV事件的发生</p> <p>0: 允许UEV。更新 (UEV) 事件由下述任一事件产生:</p> <ul style="list-style-type: none"> <li>— 计数器溢出/下溢</li> <li>— 设置UDGN位</li> <li>— 从模式控制器产生的更新</li> </ul> <p>具有缓存的寄存器被装入它们的预装载值。(译注: 更新影子寄存器)</p> <p>1: 禁止UEV。不产生更新事件, 影子寄存器 (AR、PSC、CCDATx) 保持它们的值。如果设置了UDGN位或从模式控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化。</p>
0	CNTEN	<p>使能计数器</p> <p>0: 禁止计数器;</p> <p>1: 使能计数器。</p> <p><i>注: 在软件设置了CNTEN位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。</i></p>

### 10.4.3 控制寄存器 2 (TIMx\_CTRL2)

偏移地址: 0x04

复位值：0x0000

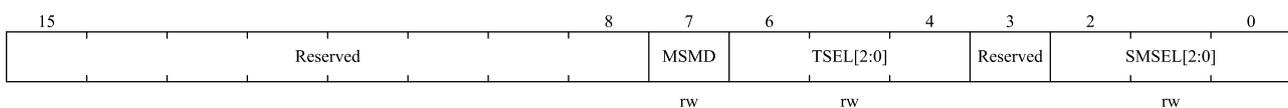


位域	名称	描述
15:8	Reserved	始终读为0。
7	TI1SEL	TI1选择 0: TIMx_CH1引脚连到TI1输入; 1: TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
6:4	MMSEL[2:0]	主模式选择 这3位用于选择在主模式下送到从定时器的同步信息 (TRGO)。可能的组合如下: 000: <b>复位</b> – TIMx_EVTGEN寄存器的UDGN位被用于作为触发输出 (TRGO)。如果是触发输入产生的复位 (从模式控制器处于复位模式), 则TRGO上的信号相对实际的复位会有一个延迟。 001: <b>使能</b> – 计数器使能信号CNTEN被用于作为触发输出 (TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过CNTEN控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时, TRGO上会有一个延迟, 除非选择了主/从模式 (见TIMx_SMCTRL寄存器中MSMD位的描述)。 010: <b>更新</b> – 更新事件被选为触发输入 (TRGO)。例如, 一个主定时器的时钟可以被用作一个从定时器的预分频器。 011: <b>比较脉冲</b> – 在发生一次捕获或一次比较成功时, 当要设置CC1ITF标志时 (即使它已经为高), 触发输出送出一个正脉冲 (TRGO)。 100: <b>比较</b> – OC1REF信号被用于作为触发输出 (TRGO)。 101: <b>比较</b> – OC2REF信号被用于作为触发输出 (TRGO)。 110: <b>比较</b> – OC3REF信号被用于作为触发输出 (TRGO)。 111: <b>比较</b> – OC4REF信号被用于作为触发输出 (TRGO)。
3	CCDSEL	捕获/比较的DMA选择 0: 当发生CCx事件时, 送出CCx的DMA请求; 1: 当发生更新事件时, 送出CCx的DMA请求。
2:0	Reserved	始终读为0。

#### 10.4.4 从模式控制寄存器 (TIMx\_SMCTRL)

偏移地址：0x08

复位值：0x0000



位域	名称	描述
15:8	Reserved	始终读为0。
7	MSMD	主/从模式 0: 无作用; 1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。
6:4	TSEL[2:0]	触发选择 这3位选择用于同步计数器的触发输入。 000: 内部触发0 (ITR0)            100: TI1的边沿检测器 (TI1F_ED) 001: 内部触发1 (ITR1)            101: 滤波后的定时器输入1 (TI1FP1) 010: 内部触发2 (ITR2)            110: 滤波后的定时器输入2 (TI2FP2) 011: 内部触发3 (ITR3)            111: 保留 关于每个定时器中ITRx的细节, 参见表 10-3。 <i>注: 这些位只能在未用到 (如SMS=000) 时被改变, 以避免在改变时产生错误的边沿检测。</i>
3	Reserved	始终读为0。
2:0	SMSSEL[2:0]	从模式选择 当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明) 000: 关闭从模式 - 如果CNTEN=1, 则预分频器直接由内部时钟驱动。 001: 编码器模式1 - 根据TI1FP1的电平, 计数器在TI2FP2的边沿向上/下计数。 010: 编码器模式2 - 根据TI2FP2的电平, 计数器在TI1FP1的边沿向上/下计数。 011: 编码器模式3 - 根据另一个信号的输入电平, 计数器在TI1FP1和TI2FP2的边沿向上/下计数。 100: 复位模式 - 选中的触发输入 (TRGI) 的上升沿重新初始化计数器, 并且产生一个更新寄存器的信号。 101: 门控模式 - 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的。 110: 触发模式 - 计数器在触发输入TRGI的上升沿启动 (但不复位), 只有计数器的启动是受控的。 111: 外部时钟模式1 - 选中的触发输入 (TRGI) 的上升沿驱动计数器。 <i>注: 如果TI1F_EN被选为触发输入 (TSEL=100) 时, 不要使用门控模式。这是因为, TI1F_ED在每次TI1F变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。</i>

表 10-3 TIMx 内部触发连接

从定时器	ITR0 (TSEL = 000)	ITR1 (TSEL = 001)	ITR2 (TSEL = 010)	ITR3 (TSEL = 011)
TIM3	TIM1	NA	NA	NA

## 10.4.5 DMA/中断使能寄存器 (TIMx\_DINTEN)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TDEN	Reserved	CC4DEN	CC3DEN	CC2DEN	CC1DEN	UDEN	Reserved	TIEN	Reserved	CC4IEN	CC3IEN	CC2IEN	CC1IEN	UIEN
	rw		rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw

位域	名称	描述
15	Reserved	始终读为0。
14	TDEN	允许触发DMA请求 0: 禁止触发DMA请求; 1: 允许触发DMA请求。
13	Reserved	始终读为0。
12	CC4DEN	允许捕获/比较4的DMA请求 0: 禁止捕获/比较4的DMA请求; 1: 允许捕获/比较4的DMA请求。
11	CC3DEN	允许捕获/比较3的DMA请求 0: 禁止捕获/比较3的DMA请求; 1: 允许捕获/比较3的DMA请求。
10	CC2DEN	允许捕获/比较2的DMA请求 0: 禁止捕获/比较2的DMA请求; 1: 允许捕获/比较2的DMA请求。
9	CC1DEN	允许捕获/比较1的DMA请求 0: 禁止捕获/比较1的DMA请求; 1: 允许捕获/比较1的DMA请求。
8	UDEN	允许更新的DMA请求 0: 禁止更新的DMA请求; 1: 允许更新的DMA请求。
7	Reserved	始终读为0。
6	TIEN	触发中断使能 0: 禁止触发中断; 1: 使能触发中断。
5	Reserved	始终读为0。
4	CC4IEN	允许捕获/比较4中断 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。
3	CC3IEN	允许捕获/比较3中断 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。

位域	名称	描述
2	CC2IEN	允许捕获/比较2中断 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。
1	CC1IEN	允许捕获/比较1中断 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。
0	UIEN	允许更新中断 0: 禁止更新中断; 1: 允许更新中断。

### 10.4.6 状态寄存器 (TIMx\_STS)

偏移地址: 0x10

复位值: 0x0000

15	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		CC4OCF	CC3OCF	CC2OCF	CC1OCF	Reserved		TITF	Reserved	CC4ITF	CC3ITF	CC2ITF	CC1ITF	UDITF
		rc_w0	rc_w0	rc_w0	rc_w0			rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

位域	名称	描述
15:13	Reserved	始终读为0。
12	CC4OCF	捕获/比较4重复捕获标记 参见CC1OCF描述。
11	CC3OCF	捕获/比较3重复捕获标记 参见CC1OCF描述。
10	CC2OCF	捕获/比较2重复捕获标记 参见CC1OCF描述。
9	CC1OCF	捕获/比较1重复捕获标记 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CC DAT1寄存器时, CC1ITF的状态已经为'1'。
8:7	Reserved	始终读为0。
6	TITF	触发器中断标记 当发生触发事件(当从模式控制器处于除门控模式外的其它模式时, 在TRGI输入端检测到有效边沿, 或门控模式下的任一边沿)时由硬件对该位置'1'。它由软件清'0'。 0: 无触发器事件产生; 1: 触发中断等待响应。
5	Reserved	始终读为0。
4	CC4ITF	捕获/比较4中断标记 参考CC1ITF描述。
3	CC3ITF	捕获/比较3中断标记 参考CC1ITF描述。

位域	名称	描述
2	CC2ITF	捕获/比较2中断标记 参考CCIITF描述。
1	CC1ITF	捕获/比较1中断标记 <b>如果通道CC1配置为输出模式:</b> 当计数器值与比较值匹配时该位由硬件置1，但在中心对称模式下除外（参考TIMx_CTRL1寄存器的CAMSEL位）。它由软件清'0'。 0: 无匹配发生; 1: TIMx_CNT的值与TIMx_CCDAT1的值匹配。 当TIMx_CCDAT1的内容大于TIMx_AR的内容时，在向上或向上/下计数模式时计数器溢出，或向下计数模式时的计数器下溢条件下，CC1ITF位变高 <b>如果通道CC1配置为输入模式:</b> 当捕获事件发生时该位由硬件置'1'，它由软件清'0'或通过读TIMx_CCDAT1清'0'。 0: 无输入捕获产生; 1: 计数器值已被捕获（拷贝）至TIMx_CCDAT1（在IC1上检测到与所选极性相同的边沿）。
0	UDITF	更新中断标记 当产生更新事件时该位由硬件置'1'。它由软件清'0'。 0: 无更新事件产生; 1: 更新中断等待响应。当寄存器被更新时该位由硬件置'1': - 若TIMx_CTRL1寄存器的UPDIS=0，当重复计数器数值上溢或下溢时（重复计数器=0时产生更新事件）。 - 若TIMx_CTRL1寄存器的UPRS=0、UPDIS =0，当设置TIMx_EVTGEN寄存器的UDGN=1时产生更新事件，通过软件对计数器CNT重新初始化时。 - 若TIMx_CTRL1寄存器的UPRS=0、UPDIS =0，当计数器CNT被触发事件重新初始化时。

### 10.4.7 事件产生寄存器 (TIMx\_EVTGEN)

偏移地址:0x14

复位值:0x0000

15				7	6	5	4	3	2	1	0
			Reserved		TGN	Reserved	CC4GN	CC3GN	CC2GN	CC1GN	UDGN
					w		w	w	w	w	w

位域	名称	描述
15:7	Reserved	始终读为0。
6	TGN	产生触发事件 该位由软件置'1'，用于产生一个触发事件，由硬件自动清'0'。 0: 无动作; 1: TIMx_STS寄存器的TITF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。
5	Reserved	始终读为0。

位域	名称	描述
4	CC4GN	产生捕获/比较4事件 参考CC1GN描述。
3	CC3GN	产生捕获/比较3事件 参考CC1GN描述。
2	CC2GN	产生捕获/比较2事件 参考CC1GN描述。
1	CC1GN	产生捕获/比较1事件 该位由软件置'1'，用于产生一个捕获/比较事件，由硬件自动清'0'。 0: 无动作; 1: 在通道CC1上产生一个捕获/比较事件; <b>若通道CC1配置为输出:</b> 设置CC1ITF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。 <b>若通道CC1配置为输入:</b> 当前的计数器值被捕获至TIMx_CCDAT1寄存器；设置CC1ITF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。若CC1ITF已经为1，则设置CC1OCF=1。
0	UDGN	产生更新事件 该位由软件置'1'，由硬件自动清'0'。 0: 无动作; 1: 重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清'0'（但是预分频系数不变）。若在中心对称模式下或DIR=0（向上计数）则计数器被清'0'；若DIR=1（向下计数）则计数器取TIMx_AR的值。

### 10.4.8 捕获/比较模式寄存器 1 ( TIMx\_CCMOD1 )

偏移地址: 0x18

复位值: 0x0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CCxSEL 定义。该寄存器其它位的作用在输入和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式:

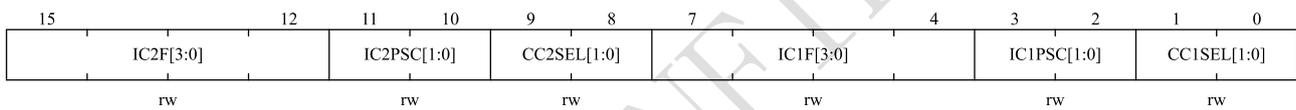
15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC2CEN	OC2M[2:0]		OC2PEN	OC2FEN	CC2SEL[1:0]		OC1CEN	OC1M[2:0]		OC1PEN	OC1FEN	CC1SEL[1:0]	
rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	

位域	名称	描述
15	OC2CEN	输出比较2清0使能
14:12	OC2M[2:0]	输出比较2模式
11	OC2PEN	输出比较2预装载使能
10	OC2FEN	输出比较2快速使能

位域	名称	描述
9:8	CC2SEL[1:0]	<p>捕获/比较2选择。</p> <p>该位定义通道的方向（输入/输出），及输入脚的选择：</p> <p>00：CC2通道被配置为输出；</p> <p>01：CC2通道被配置为输入，IC2映射在TI2上；</p> <p>10：CC2通道被配置为输入，IC2映射在TI1上；</p> <p>11：CC2通道被配置为输入，IC2映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。</p> <p><i>注：CC2SEL仅在通道关闭时（TIMx_CCEN寄存器的CC2EN=0）才是可写的。</i></p>
7	OC1CEN	<p>输出比较1清'0'使能</p> <p>0：OC1REF 不受ETRF输入的影响；</p> <p>1：一旦检测到ETRF输入高电平，清除OC1REF=0。</p>
6:4	OC1M[2:0]	<p>输出比较1模式</p> <p>该3位定义了输出参考信号OC1REF的动作，而OC1REF决定了OC1、OC1N的值。OC1REF 是高电平有效，而OC1、OC1N的有效电平取决于CC1P、CC1NP位。</p> <p>000：冻结。输出比较寄存器TIMx_CC DAT1与计数器TIMx_CNT间的比较对OC1REF不起作用；</p> <p>001：匹配时设置通道1 为有效电平。当计数器TIMx_CNT 的值与捕获/ 比较寄存器1（TIMx_CC DAT1）相同时，强制OC1REF为高。</p> <p>010：匹配时设置通道1 为无效电平。当计数器TIMx_CNT 的值与捕获/ 比较寄存器1（TIMx_CC DAT1）相同时，强制OC1REF为低。</p> <p>011：翻转。当TIMx_CC DAT1=TIMx_CNT时，翻转OC1REF的电平。</p> <p>100：强制为无效电平。强制OC1REF为低。</p> <p>101：强制为有效电平。强制OC1REF为高。</p> <p>110：PWM模式1— 在向上计数时，一旦TIMx_CNT&lt;TIMx_CC DAT1时通道1为有效电平，否则为无效电平；在向下计数时，一旦TIMx_CNT&gt;TIMx_CC DAT1时通道1为无效电平（OC1REF=0），否则为有效电平（OC1REF=1）。</p> <p>111：PWM模式2— 在向上计数时，一旦TIMx_CNT&lt;TIMx_CC DAT1时通道1为无效电平，否则为有效电平；在向下计数时，一旦TIMx_CNT&gt;TIMx_CC DAT1时通道1为有效电平，否则为无效电平。</p> <p><i>注1：一旦LOCK级别设为3（TIMx_BKDT寄存器中的LCKCFG位）并且CC1SEL=00（该通道配置成输出）则该位不能被修改。</i></p> <p><i>注2：在PWM模式1或PWM模式2中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到PWM模式时，OC1REF电平才改变。</i></p>
3	OC1PEN	<p>输出比较1预装载使能</p> <p>0：禁止TIMx_CC DAT1寄存器的预装载功能，可随时写入TIMx_CC DAT1寄存器，并且新写入的数值立即起作用。</p> <p>1：开启TIMx_CC DAT1寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CC DAT1的预装载值在更新事件到来时被加载至当前寄存器中。</p> <p><i>注1：一旦LOCK级别设为3（TIMx_BKDT寄存器中的LCKCFG位）并且CC1SEL=00（该通道配置成输出）则该位不能被修改。</i></p> <p><i>注2：仅在单脉冲模式下（TIMx_CTRL1寄存器的ONEPM=1），可以在未确认预装载寄存器情况下使用PWM模式，否则其动作不确定。</i></p>

位域	名称	描述
2	OC1FEN	输出比较1 快速使能 该位用于加快CC输出对触发输入事件的响应。 0: 根据计数器与CCDAT1的值, CC1正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活CC1输出的最小延时为5个时钟周期。 1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此, OC被设置为比较电平而与比较结果无关。采样触发器的有效沿和CC1输出间的延时被缩短为3个时钟周期。 OCxFEN只在通道被配置成PWM1或PWM2模式时起作用。
1:0	CC1SEL[1:0]	捕获/比较1 选择。 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC1通道被配置为输出; 01: CC1通道被配置为输入, IC1映射在TI1上; 10: CC1通道被配置为输入, IC1映射在TI2上; 11: CC1通道被配置为输入, IC1映射在TRC上。此模式仅工作在内部触发器输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC1SEL仅在通道关闭时(TIMx_CCEN寄存器的CCIEN=0)才是可写的。

输入捕获模式:



位域	名称	描述
15:12	IC2F[3:0]	输入捕获2滤波器
11:10	IC2PSC[1:0]	输入/捕获2预分频器
9:8	CC2SEL[1:0]	捕获/比较2选择 这2位定义通道的方向(输入/输出), 及输入脚的选择: 00: CC2通道被配置为输出; 01: CC2通道被配置为输入, IC2映射在TI2上; 10: CC2通道被配置为输入, IC2映射在TI1上; 11: CC2通道被配置为输入, IC2映射在TRC上。此模式仅工作在内部触发器输入被选中时(由TIMx_SMCTRL寄存器的TSEL位选择)。 注: CC2SEL仅在通道关闭时(TIMx_CCEN寄存器的CC2EN=0)才是可写的。
7:4	IC1F[3:0]	输入捕获1滤波器 这几位定义了TI1输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到N个事件后会产生一个输出的跳变: 0000: 无滤波器, 以fDTS采样    1000: 采样频率f <sub>SAMPLING</sub> =fDTS/8, N=6 0001: 采样频率f <sub>SAMPLING</sub> =f <sub>CK_INT</sub> , N=2    1001: 采样频率f <sub>SAMPLING</sub> =fDTS/8, N=8 0010: 采样频率f <sub>SAMPLING</sub> =f <sub>CK_INT</sub> , N=4    1010: 采样频率f <sub>SAMPLING</sub> =fDTS/16, N=5 0011: 采样频率f <sub>SAMPLING</sub> =f <sub>CK_INT</sub> , N=8    1011: 采样频率f <sub>SAMPLING</sub> =fDTS/16, N=6 0100: 采样频率f <sub>SAMPLING</sub> =fDTS/2, N=6    1100: 采样频率f <sub>SAMPLING</sub> =fDTS/16, N=8 0101: 采样频率f <sub>SAMPLING</sub> =fDTS/2, N=8    1101: 采样频率f <sub>SAMPLING</sub> =fDTS/32, N=5 0110: 采样频率f <sub>SAMPLING</sub> =fDTS/4, N=6    1110: 采样频率f <sub>SAMPLING</sub> =fDTS/32, N=6 0111: 采样频率f <sub>SAMPLING</sub> =fDTS/4, N=8    1111: 采样频率f <sub>SAMPLING</sub> =fDTS/32, N=8

位域	名称	描述
3:2	IC1PSC[1:0]	输入/捕获1预分频器 这2位定义了CC1输入（IC1）的预分频系数。 一旦CC1EN=0（TIMx_CCEN寄存器中），则预分频器复位。 00：无预分频器，捕获输入口上检测到的每一个边沿都触发一次捕获； 01：每2个事件触发一次捕获； 10：每4个事件触发一次捕获； 11：每8个事件触发一次捕获。
1:0	CC1SEL[1:0]	捕获/比较1选择 这2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC1通道被配置为输出； 01：CC1通道被配置为输入，IC1映射在TI1上； 10：CC1通道被配置为输入，IC1映射在TI2上； 11：CC1通道被配置为输入，IC1映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC1SEL仅在通道关闭时（TIMx_CCEN寄存器的CC1EN=0）才是可写的。</i>

#### 10.4.9 捕获/比较模式寄存器 2 (TIMx\_CCMOD2)

偏移地址：0x1C

复位值：0x0000

参看以上 CCMOD1 寄存器的描述

输出比较模式：

15	14	12	11	10	9	8	7	6	4	3	2	1	0
OC4CEN	OC4MD[2:0]		OC4PEN	OC4FEN	CC4SEL[1:0]		OC3CEN	OC3MD[2:0]		OC3PEN	OC3FEN	CC3SEL[1:0]	
rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	

位域	名称	描述
15	OC4CEN	输出比较4清0使能
14:12	OC4MD[2:0]	输出比较4模式
11	OC4PEN	输出比较4预装载使能
10	OC4FEN	输出比较4快速使能
9:8	CC4SEL[1:0]	捕获/比较4选择 该2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC4通道被配置为输出； 01：CC4通道被配置为输入，IC4映射在TI4上； 10：CC4通道被配置为输入，IC4映射在TI3上； 11：CC4通道被配置为输入，IC4映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC4SEL仅在通道关闭时（TIMx_CCEN寄存器的CC4EN=0）才是可写的。</i>
7	OC3CEN	输出比较3清0使能
6:4	OC3MD[2:0]	输出比较3模式
3	OC3PEN	输出比较3预装载使能

位域	名称	描述
2	OC3FEN	输出比较3快速使能
1:0	CC3SEL[1:0]	捕获/比较3选择 这2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC3通道被配置为输出； 01：CC3通道被配置为输入，IC3映射在TI3上； 10：CC3通道被配置为输入，IC3映射在TI4上； 11：CC3通道被配置为输入，IC3映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC3SEL仅在通道关闭时（TIMx_CCEN寄存器的CC3EN=0）才是可写的。</i>

输入捕获模式：

15	12	11	10	9	8	7	4	3	2	1	0
IC4F[3:0]		IC4PSC[1:0]		CC4SEL[1:0]		IC3F[3:0]		IC3PSC[1:0]		CC3SEL[1:0]	
rw		rw		rw		rw		rw		rw	

位域	名称	描述
15:12	IC4F[3:0]	输入捕获4滤波器
11:10	IC4PSC[1:0]	输入/捕获4预分频器
9:8	CC4SEL[1:0]	捕获/比较4选择 这2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC4通道被配置为输出； 01：CC4通道被配置为输入，IC4映射在TI4上； 10：CC4通道被配置为输入，IC4映射在TI3上； 11：CC4通道被配置为输入，IC4映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC4SEL仅在通道关闭时（TIMx_CCEN寄存器的CC4EN=0）才是可写的。</i>
7:4	IC3F[3:0]	输入捕获3滤波器
3:2	IC3PSC[1:0]	输入/捕获3预分频器
1:0	CC3SEL[1:0]	捕获/比较3选择 这2位定义通道的方向（输入/输出），及输入脚的选择： 00：CC3通道被配置为输出； 01：CC3通道被配置为输入，IC3映射在TI3上； 10：CC3通道被配置为输入，IC3映射在TI4上； 11：CC3通道被配置为输入，IC3映射在TRC上。此模式仅工作在内部触发器输入被选中时（由TIMx_SMCTRL寄存器的TSEL位选择）。 <i>注：CC3SEL仅在通道关闭时（TIMx_CCEN寄存器的CC3EN=0）才是可写的。</i>

#### 10.4.10 捕获/比较使能寄存器 (TIMx\_CCEN)

偏移地址：0x20

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	CC4P	CC4EN	Reserved	CC3P	CC3EN	Reserved	CC2P	CC2EN	Reserved	CC1OP	CC1EN				
	rw	rw		rw	rw		rw	rw		rw	rw			rw	rw

位域	名称	描述
15:14	Reserved	始终读为0。
13	CC4P	输入/捕获4输出极性 参考CC1P的描述。
12	CC4EN	输入/捕获4输出使能 参考CC1EN 的描述。
11:10	Reserved	始终读为0。
9	CC3P	输入/捕获3输出极性 参考CC1P的描述。
8	CC3EN	输入/捕获3输出使能 参考CC1EN 的描述。
7:6	Reserved	始终读为0。
5	CC2P	输入/捕获2输出极性 参考CC1P的描述。
4	CC2EN	输入/捕获2输出使能 参考CC1EN的描述。
3:2	Reserved	始终读为0。
1	CC1P	输入/捕获1输出极性 <b>CC1通道配置为输出:</b> 0: OC1高电平有效; 1: OC1低电平有效。 <b>CC1通道配置为输入:</b> 该位选择是IC1还是IC1的反相信号作为触发或捕获信号。 0: 不反相: 捕获发生在IC1的上升沿; 当用作外部触发器时, IC1不反相。 1: 反相: 捕获发生在IC1的下降沿; 当用作外部触发器时, IC1反相。 <i>注: 一旦LOCK级别 (TIMx_BKDT 寄存器中的LCKCFG位) 设为3或2, 则该位不能被修改。</i>
0	CC1EN	输入/捕获1输出使能 (Capture/Compare 1 output enable) <b>CC1通道配置为输出:</b> 0: 关闭— OC1禁止输出, 因此OC1的输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 1: 开启— OC1信号输出到对应的输出引脚, 其输出电平依赖于MOEN、OSSI、OSSR、OI1、OI1N和CC1NEN位的值。 <b>CC1通道配置为输入:</b> 该位决定了计数器的值是否能捕获入TIMx_CC DAT1 寄存器。 0: 捕获禁止; 1: 捕获使能。

表 10-4 标准 OCx 通道的输出控制位

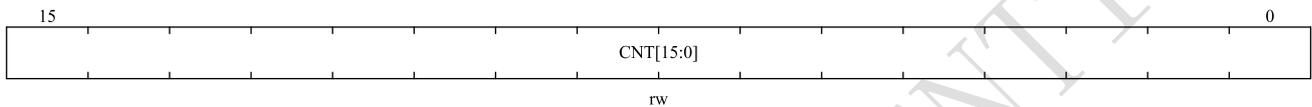
CCxEN位	OCx输出状态
0	禁止输出 (OCx=0, OCx_EN=0)
1	OCx = OCxREF + 极性, OCx_EN=1

注：连接到标准 OCx 通道的外部 I/O 引脚状态，取决于 OCx 通道状态和 GPIO 以及 AFIO 寄存器。

### 10.4.11 计数器 (TIMx\_CNT)

偏移地址：0x24

复位值：0x0000

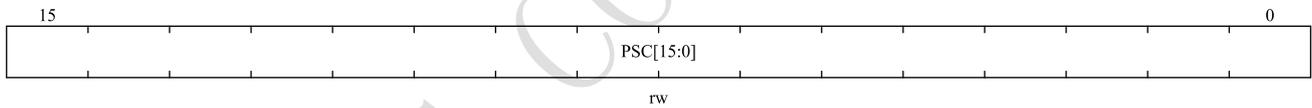


位域	名称	描述
15:0	CNT[15:0]	计数器的值

### 10.4.12 预分频器 (TIMx\_PSC)

偏移地址：0x28

复位值：0x0000

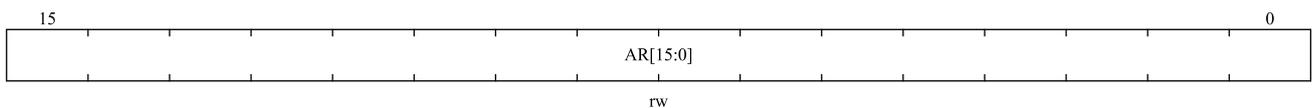


位域	名称	描述
15:0	PSC[15:0]	<p>预分频器的值</p> <p>计数器的时钟频率 (CK_CNT) 等于 <math>f_{CK\_PSC}/(PSC[15:0]+1)</math>。</p> <p>PSC包含了每次当更新事件产生时，装入当前预分频器寄存器的值；更新事件包括计数器被TIM_EVTGEN的UDGN位清'0'或被工作在复位模式的从控制器清'0'。</p>

### 10.4.13 自动重载寄存器 (TIMx\_AR)

偏移地址:0x2C

复位值:0xFFFF

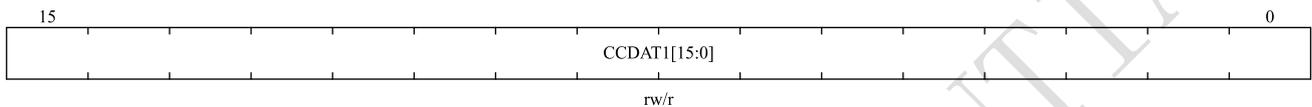


位域	名称	描述
15:0	AR[15:0]	自动重载的值 AR包含了将要装载入实际的自动重载寄存器的值。 详细参考10.3.1节：有关AR的更新和动作。 当自动重载的值为空时，计数器不工作。

#### 10.4.14 捕获/比较寄存器 1 (TIMx\_CC DAT1)

偏移地址：0x34

复位值：0x0000

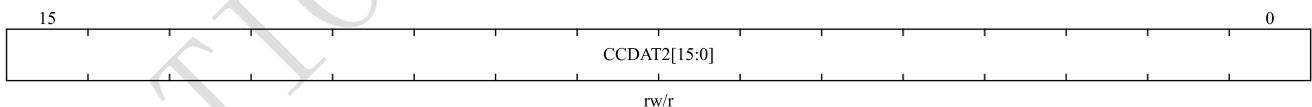


位域	名称	描述
15:0	CCDAT1[15:0]	捕获/比较通道1的值 <b>若CC1通道配置为输出：</b> CCDAT1包含了装入当前捕获/比较1寄存器的值（预装载值）。 如果在TIMx_CCMOD1寄存器（OC1PEN位）中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较1寄存器中。当前捕获/比较寄存器参与同计数器TIMx_CNT的比较，并在OC1端口上产生输出信号。 <b>若CC1通道配置为输入：</b> CCDAT1包含了由上一次输入捕获1事件（IC1）传输的计数器值。

#### 10.4.15 捕获/比较寄存器 2 (TIMx\_CC DAT2)

偏移地址：0x38

复位值：0x0000

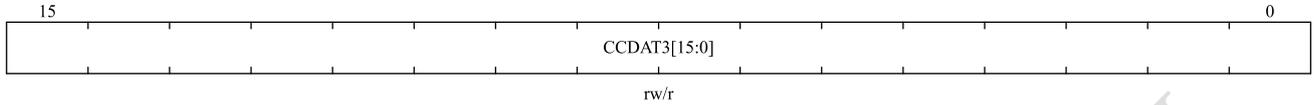


位域	名称	描述
15:0	CCDAT2[15:0]	捕获/比较通道2的值 <b>若CC2通道配置为输出：</b> CCDAT2包含了装入当前捕获/比较2寄存器的值（预装载值）。 如果在TIMx_CCMOD1寄存器（OC2PEN位）中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较2寄存器中。当前捕获/比较寄存器参与同计数器TIMx_CNT的比较，并在OC2端口上产生输出信号。 <b>若CC2通道配置为输入：</b> CCDAT2包含了由上一次输入捕获2事件（IC2）传输的计数器值。

### 10.4.16 捕获/比较寄存器 3 ( TIMx\_CC DAT3 )

偏移地址: 0x3C

复位值: 0x0000

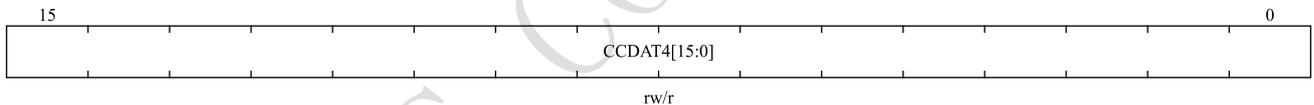


位域	名称	描述
15:0	CCDAT3[15:0]	<p>捕获/比较通道3的值</p> <p><b>若CC3通道配置为输出:</b></p> <p>CCDAT3包含了装入当前捕获/比较3寄存器的值（预装载值）。如果在TIMx_CCMOD2寄存器（OC3PEN位）中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较3寄存器中。当前捕获/比较寄存器参与同计数器TIMx_CNT的比较，并在OC3端口上产生输出信号。若CC3通道配置为输入:</p> <p>CCDAT3包含了由上一次输入捕获3事件（IC3）传输的计数器值。</p>

### 10.4.17 捕获/比较寄存器 4 ( TIMx\_CC DAT4 )

偏移地址: 0x40

复位值: 0x0000

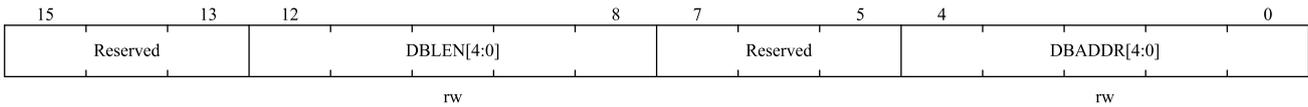


位域	名称	描述
15:0	CCDAT4[15:0]	<p>捕获/比较通道4的值</p> <p><b>若CC4通道配置为输出:</b></p> <p>CCDAT4包含了装入当前捕获/比较4寄存器的值（预装载值）。如果在TIMx_CCMOD2寄存器（OC4PEN位）中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较4寄存器中。当前捕获/比较寄存器参与同计数器TIMx_CNT的比较，并在OC4端口上产生输出信号。</p> <p><b>若CC4通道配置为输入:</b></p> <p>CCDAT4包含了由上一次输入捕获4事件（IC4）传输的计数器值。</p>

### 10.4.18 DMA 控制寄存器 ( TIMx\_D CTRL )

偏移地址: 0x48

复位值: 0x0000

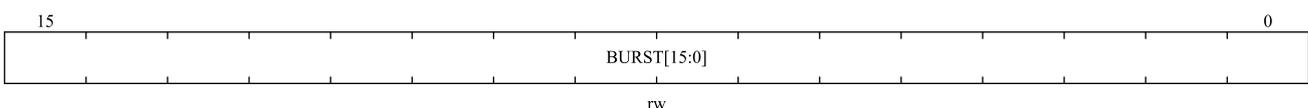


位域	名称	描述
15:13	Reserved	始终读为0。
12:8	DBLEN[4:0]	<p>DMA连续传送长度</p> <p>这些位定义了DMA在连续模式下的传送长度（当对TIMx_DADDR寄存器进行读或写时，定时器则进行一次连续传送），即：定义传输的次数，传输可以是半字（双字节）或字节：</p> <p>00000: 1次传输      00001: 2次传输            00010: 3次传输      .....</p> <p>.....                      10001: 18次传输</p> <p>例：我们考虑这样的传输：DBLEN=7，DBADDR=TIM3_CTRL1            如果DBLEN=7，DBADDR=TIM3_CTRL1表示待传输数据的地址，那么传输的地址由下式给出：            (TIMx_CTRL1的地址) + DBADDR + (DMA索引), 其中 DMA索引 = DBLEN            其中(TIMx_CTRL1的地址) + DBADDR再加上7，给出了将要写入或者读出数据的地址，这样数据的传输将发生在从地址(TIMx_CTRL1的地址) + DBADDR开始的7个寄存器。            根据DMA数据长度的设置，可能发生以下情况：            如果设置数据为半字（16位），那么数据就会传输给全部7个寄存器。            如果设置数据为字节，数据仍然会传输给全部7个寄存器：第一个寄存器包含第一个MSB字节，第二个寄存器包含第一个LSB字节，以此类推。因此对于定时器，用户必须指定由DMA传输的数据宽度。</p>
7:5	Reserved	始终读为0。
4:0	DBADDR[4:0]	<p>DMA基地址</p> <p>这些位定义了DMA在连续模式下的基地址（当对TIMx_DADDR寄存器进行读或写时），DBADDR定义为从TIMx_CTRL1寄存器所在地址开始的偏移量：</p> <p>00000: TIMx_CTRL1,            00001: TIMx_CTRL2,            00010: TIMx_SMCTRL,            .....</p>

### 10.4.19 连续模式的 DMA 地址 (TIMx\_DADDR)

偏移地址: 0x4C

复位值: 0x0000



位域	名称	描述
15:0	BURST[15:0]	<p>DMA连续传送寄存器</p> <p>对TIMx_DADDR寄存器的读或写会导致对以下地址所在寄存器的存取操作： TIMx_CTRL1地址 + DBADDR + DMA索引，其中：</p> <p>“TIMx_CTRL1地址”是控制寄存器1（TIMx_CTRL1）所在的地址；</p> <p>“DBADDR”是TIMx_DCTRL寄存器中定义的基地址；</p> <p>“DMA索引”是由DMA自动控制的偏移量，它取决于TIMx_DCTRL寄存器中定义的DBLEN。</p>

NATIONS CONFIDENTIAL

## 11 基本定时器 (TIM6)

### 11.1 TIM6 简介

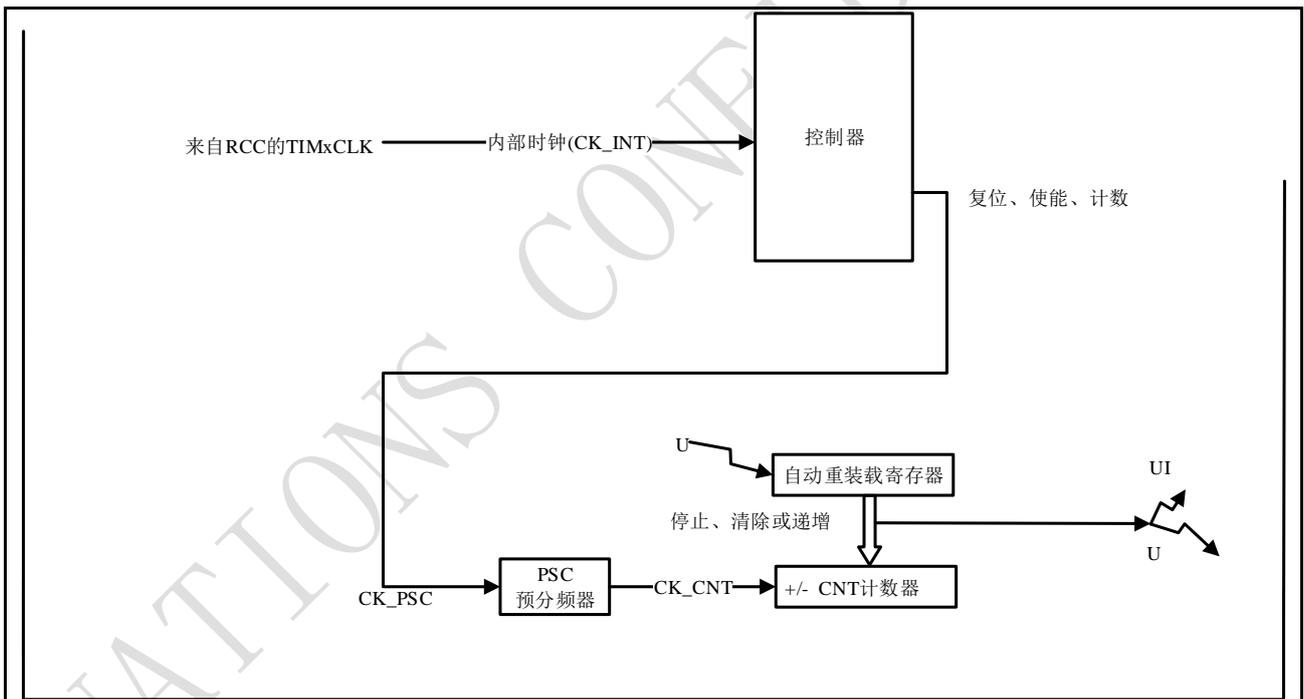
基本定时器 (TIM6) 包含一个 16 位自动装载计数器，由可编程预分频器进行驱动。可以为通用定时器提供时间基准。基本定时器互相独立，不共享任何资源。

### 11.2 TIM6 的主要特性

TIM6 定时器的主要功能包括：

- 16 位自动重载累加计数器
- 16 位可编程（可实时修改）预分频器，用于对输入的时钟按系数为 1~65536 之间的任意数值进行分频
- 在更新事件（计数器溢出）时产生中断/DMA 请求

图 11-1 基本定时器框图



### 11.3 TIM6 的功能

#### 11.3.1 时基单元

这个可编程定时器的主要部分是一个带有自动重载的 16 位累加计数器，计数器的时钟来源于一个预分频器。

软件可以读写计数器、自动重载寄存器和预分频寄存器，即使计数器运行时也可以操作。时基单元包含：

- 计数器寄存器 (TIMx\_CNT)

- 预分频寄存器 (TIMx\_PSC)
- 自动重装载寄存器 (TIMx\_AR)

自动重装载寄存器是预加载的，每次读写自动重装载寄存器时，实际上是通过读写预加载寄存器实现。根据 TIMx\_CTRL1 寄存器中的自动重装载预加载使能位 (ARPEN)，写入预加载寄存器的内容能够立即或在每次更新事件时，传送到它的影子寄存器。

- 当 TIMx\_CTRL1 寄存器的 UPDIS 位为 '0'，则每当计数器达到溢出值时，硬件发出更新事件。
- 软件也可以产生更新事件。

关于更新事件的产生，随后会有详细的介绍。

计数器由预分频输出 CK\_CNT 驱动，设置 TIMx\_CTRL1 寄存器中的计数器使能位 (CNTEN) 使能计数器计数。

*注意：实际的设置计数器使能信号 CNT\_EN 相对于 CNTEN 滞后一个时钟周期。*

### 11.3.1.1 预分频器

预分频器可以介于 1 至 65536 之间的任意数值对计数器时钟进行分频。通过对一个 16 位寄存器 (TIMx\_PSC) 的计数分频实现。由于 TIMx\_PSC 控制寄存器具有缓冲功能，可以在运行过程中改变它的数值，新的预分频数值将在下一个更新事件时起作用。

以下两图是在运行过程中改变预分频系数的示例。

图 11-2 预分频系数从 1 变到 2 的计数器时序图

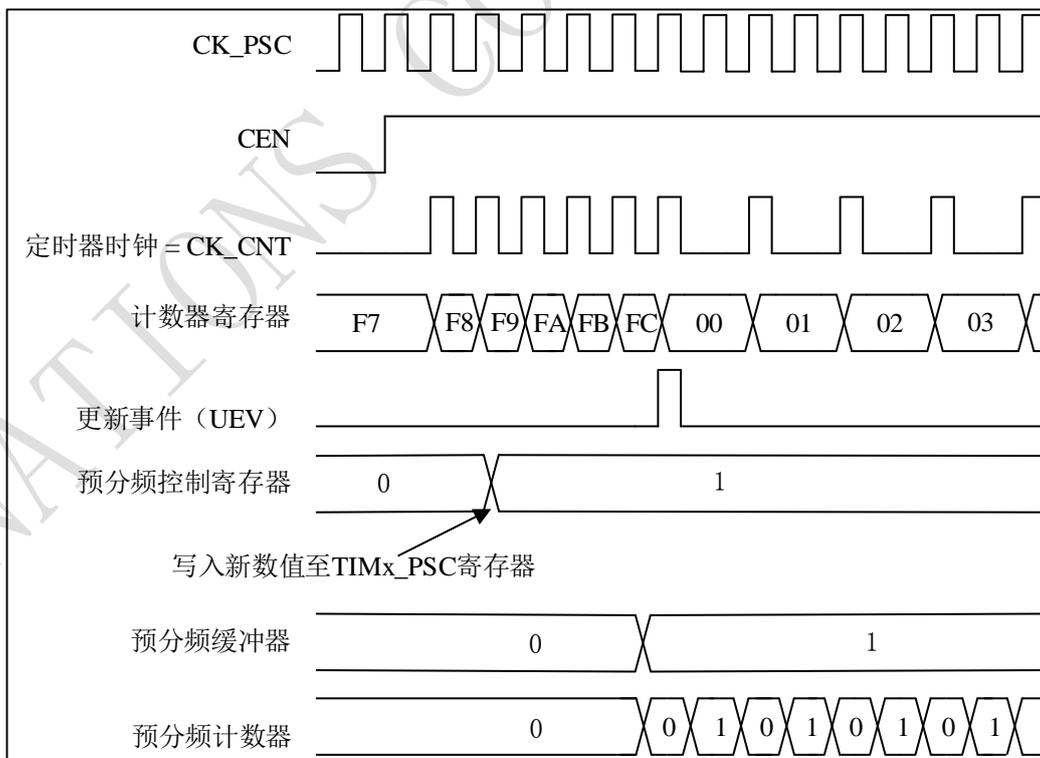
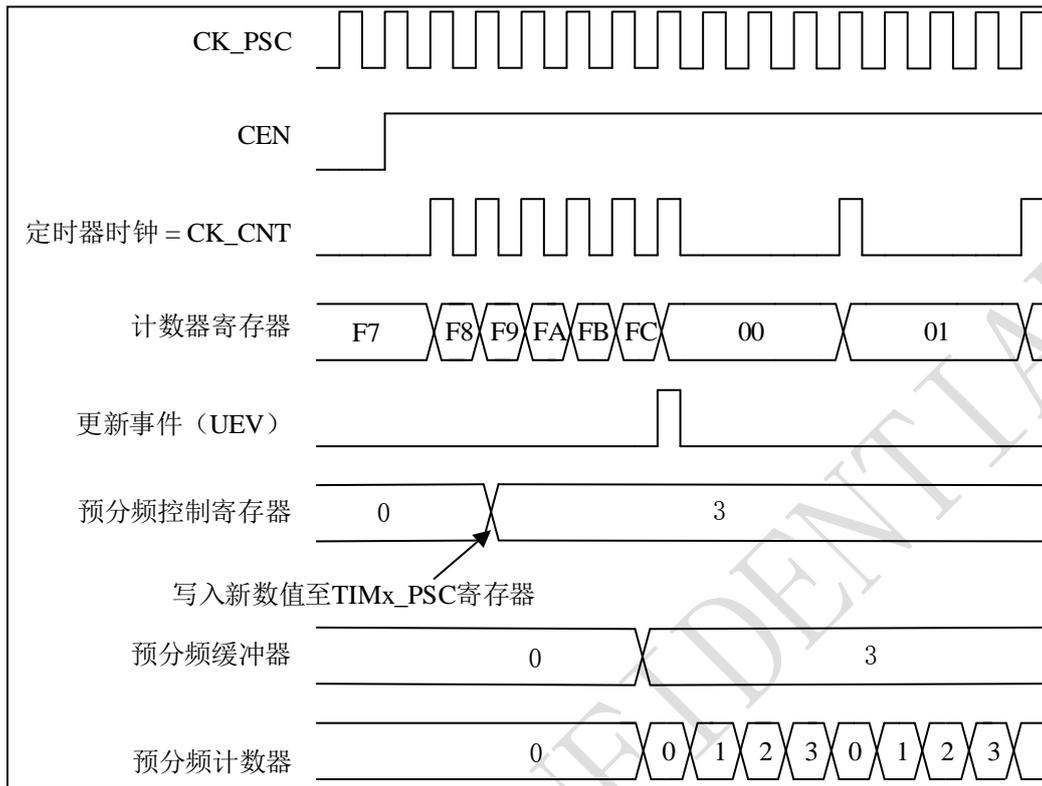


图 11-3 预分频系数从 1 变到 4 的计数器时序图



### 11.3.2 计数模式

计数器从 0 累加计数到自动重装载数值 (TIMx\_AR 寄存器), 然后产生一个计数器溢出事件并重新从 0 开始计数。

- 每次计数器溢出时可以产生更新事件;
- (通过软件或使用从模式控制器) 设置 TIMx\_EVTGEN 寄存器的 UDN 位也可以产生更新事件。

为避免在写入预加载寄存器时更改影子寄存器, 可以设置 TIMx\_CTRL1 中的 UPDIS 位以禁止产生 UEV 事件。在清除 UPDIS 位为'0'之前, 将不再产生更新事件, 但计数器和预分频器依然会在应产生更新事件时重新从 0 开始计数 (但预分频系数不变)。另外, 如果设置了 TIMx\_CTRL1 寄存器中的 UPRS (选择更新请求), 设置 UDN 位可以产生一次更新事件 UEV, 但不设置 UDITF 标志 (即没有中断或 DMA 请求)。

当发生一次更新事件时, 所有寄存器都会被更新并 (根据 UPRS 位) 设置更新标志 (TIMx\_STS 寄存器的 UDITF 位):

- 传送预装载值 (TIMx\_PSC 寄存器的内容) 至预分频器的缓冲区。
- 自动重装载影子寄存器被更新为预装载值 (TIMx\_AR)。

以下是一些在 TIMx\_AR=0x36 时不同时钟频率下计数器工作的示例。

图 11-4 计数器时序图，内部时钟分频系数为 1

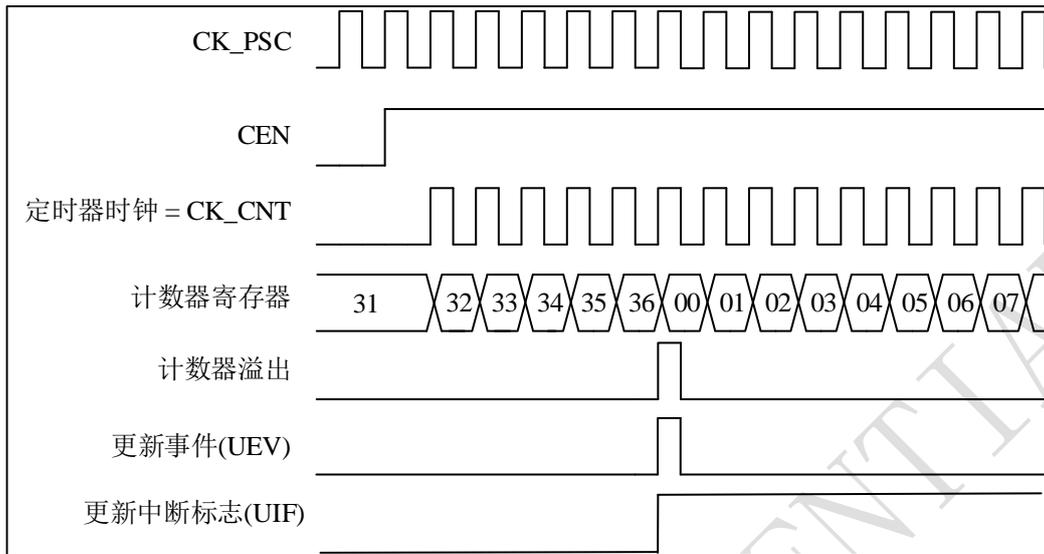


图 11-5 计数器时序图，内部时钟分频系数为 2

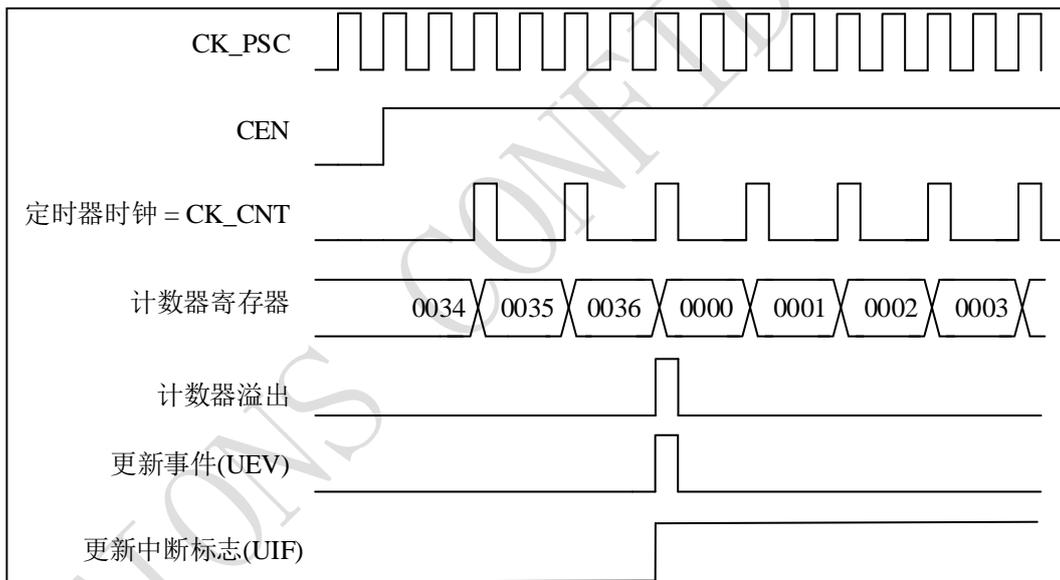


图 11-6 计数器时序图，内部时钟分频系数为 4

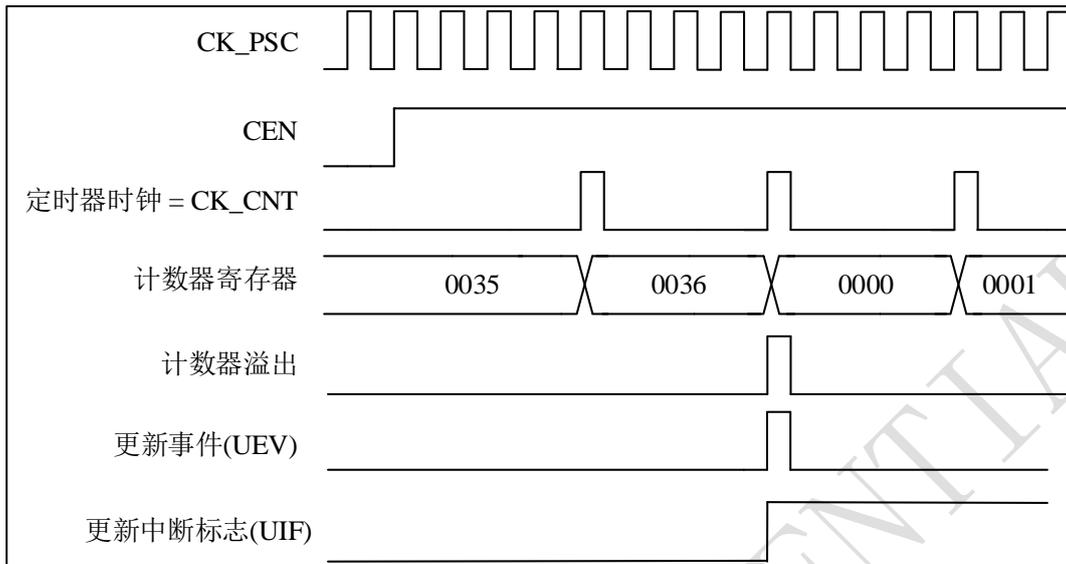


图 11-7 计数器时序图，内部时钟分频系数为 N

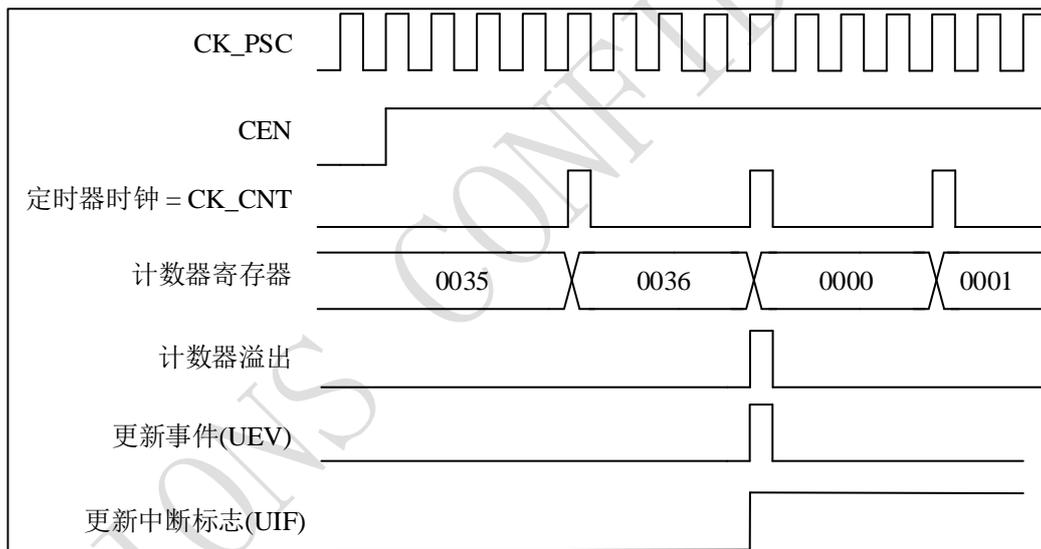


图 11-8 计数器时序图，当 ARPEN=0 时的更新事件（TIMx\_AR 没有预装载）

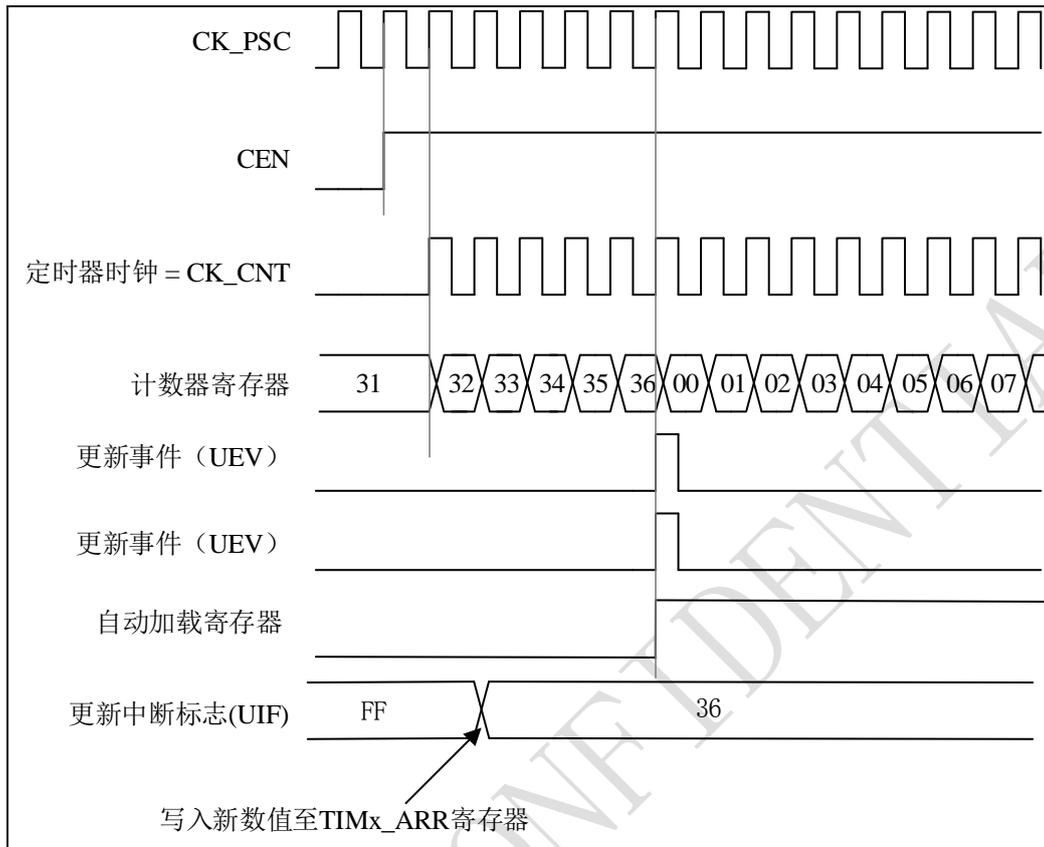
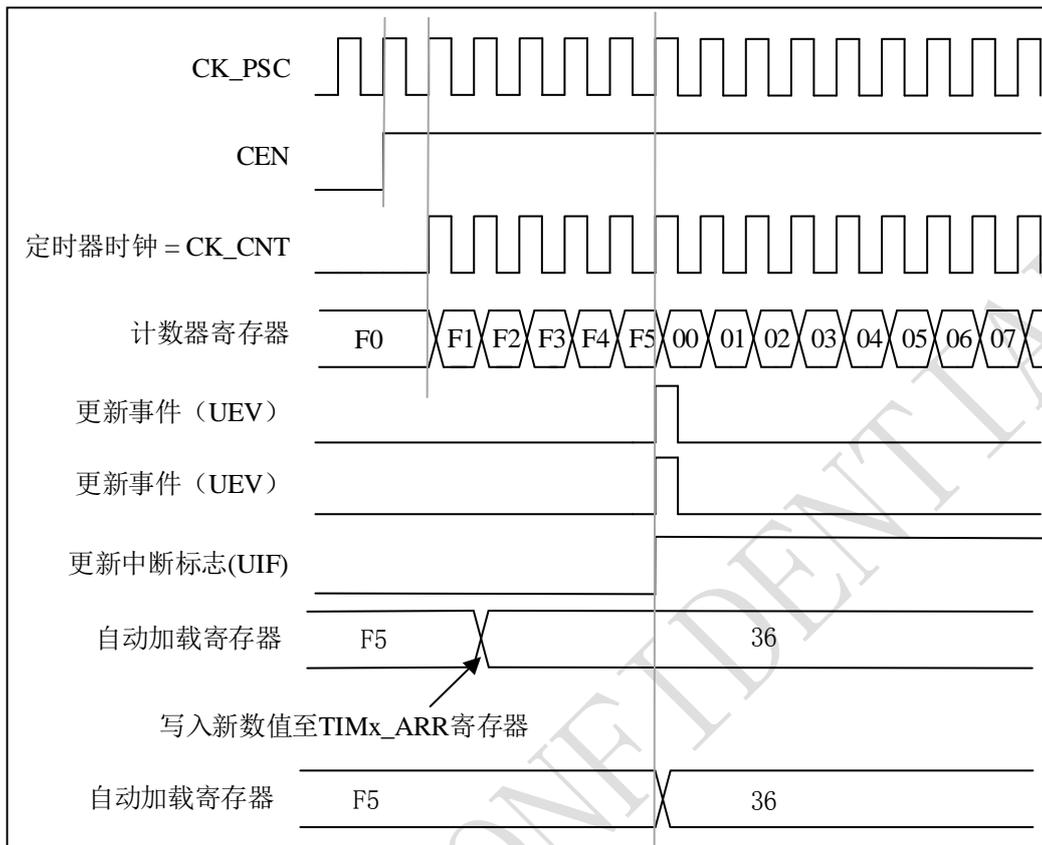


图 11-9 计数器时序图，当 ARPEN=1 时的更新事件（预装载 TIMx\_ARR）



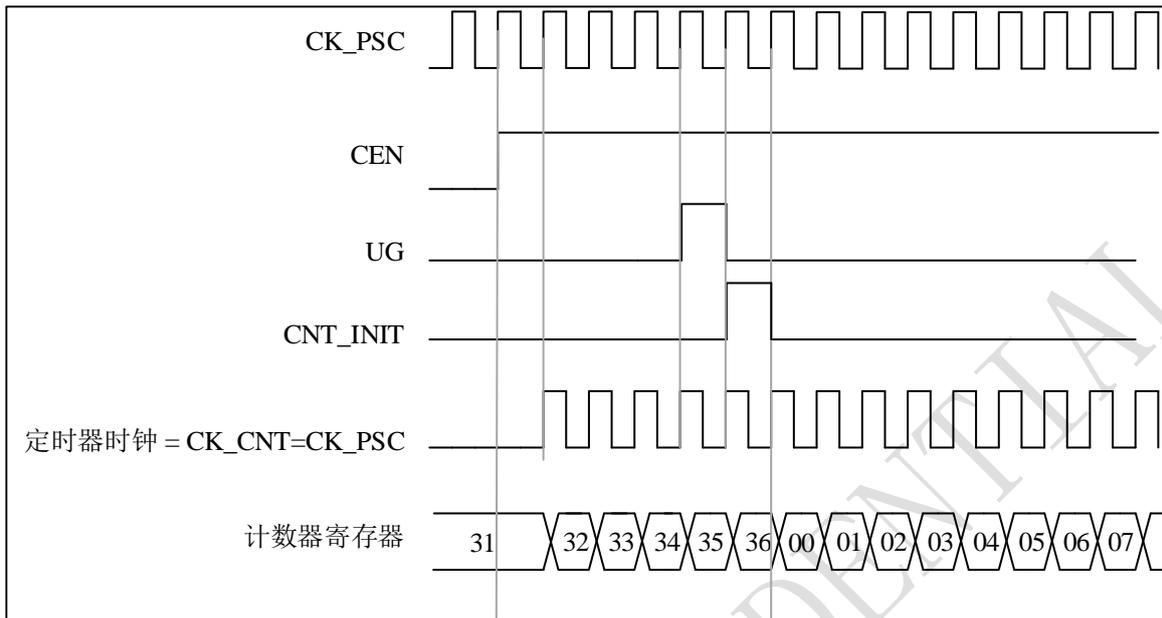
### 11.3.3 时钟源

计数器的时钟源由内部时钟（CK\_INT）提供。

TIMx\_CTRL1 寄存器的 CNTEN 位和 TIMx\_EVTGEN 寄存器的 UDCN 位是实际的控制位，（除了 UDCN 位被自动清除外）只能通过软件改变它们。当 CNTEN 位为'1'，内部时钟即向预分频器提供时钟。

下图给出了普通模式下向上计数器，没有预分频器时的示例。

图 11-10 普通模式时序图，内部时钟分频系数为 1



### 11.3.4 调试模式

当微控制器进入调试模式（Cortex®-M0 核心停止）时，根据 DBG\_CTRL 中 TIMxSTP 的设置值，TIMx 计数器或者继续计数或者停止工作。详见 4.3.18 DBGMCU\_CR 寄存器。

## 11.4 TIM6 寄存器

### 11.4.1 TIM6 寄存器图

表 11-1 TIM6—寄存器图和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	TIMx_CTRL1	Reserved																							ARPEN	Reserved			ONEPDM	UPRS	UPDIS	CNTEN	
	Reset Value																								0				0	0	0	0	
004h	TIMx_CTRL2	Reserved																							MMSEL[2:0]			Reserved					
	Reset Value																								0	0	0						
008h	Reserved																																
00Ch	TIMx_DINTEN	Reserved																							UDEN	Reserved			UIEN				
	Reset Value																								0				0				
010h	TIMx_STS	Reserved																							UDTIF								
	Reset Value																								0								

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
014h	TIMx_EVTGEN	Reserved																UDGN															
	Reset Value																	0															
018h		Reserved																															
01Ch		Reserved																															
020h		Reserved																															
024h	TIMx_CNT	Reserved																CNT[15:0]															
	Reset Value																	0 0															
028h	TIMx_PSC	Reserved																PSC[15:0]															
	Reset Value																	0 0															
02Ch	TIMx_AR	Reserved																AR[15:0]															
	Reset Value																	0 0															

### 11.4.2 TIM6 控制寄存器 1 (TIMx\_CTRL1)

偏移地址: 0x00

复位值: 0x0000

15	8	7	6	4	3	2	1	0		
Reserved				ARPEN	Reserved		ONEPM	UPRS	UPDIS	CNTEN
				rw			rw	rw	rw	rw

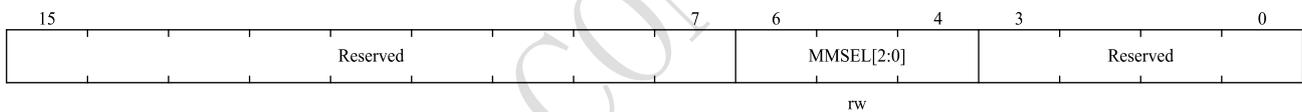
位域	名称	描述
15:8	Reserved	始终读为0。
7	ARPEN	自动重载预装载允许位 0: TIMx_AR 寄存器没有缓冲; 1: TIMx_AR 寄存器被装入缓冲器。
6:4	Reserved	始终读为0。
3	ONEPM	单脉冲模式 0: 在发生更新事件时, 计数器不停止; 1: 在发生下一次更新事件 (清除CNTEN位) 时, 计数器停止。
2	UPRS	更新请求源 软件通过该位选择UEV事件的源 0: 如果使能了更新中断或DMA请求, 则下述任一事件产生更新中断或DMA请求: — 计数器溢出/下溢 — 设置UDGN位 — 从模式控制器产生的更新 1: 如果使能了更新中断或DMA请求, 则只有计数器溢出/下溢才产生更新中断或DMA请求。

位域	名称	描述
1	UPDIS	禁止更新 软件通过该位允许/禁止UEV事件的产生 0: 允许UEV。更新（UEV）事件由下述任一事件产生： — 计数器溢出/下溢 — 设置UDGN位 — 从模式控制器产生的更新 具有缓存的寄存器被装入它们的预装载值。（译注：更新影子寄存器） 1: 禁止UEV。不产生更新事件，影子寄存器（AR、PSC、CCDATx）保持它们的值。如果设置了UDGN位或从模式控制器发出了一个硬件复位，则计数器和预分频器被重新初始化。
0	CNTEN	使能计数器 0: 禁止计数器； 1: 使能计数器。 <i>注：在软件设置了CNTEN位后，外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置CNTEN位。</i>

### 11.4.3 TIM6 控制寄存器 2 (TIMx\_CTRL2)

偏移地址：0x04

复位值：0x0000

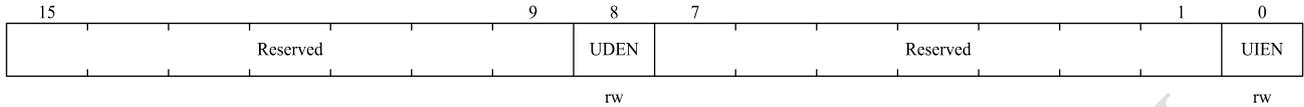


位域	名称	描述
15:7	Reserved	始终读为0。
6:4	MMSEL[2:0]	主模式选择 这些位用于选择在主模式下向从定时器发送的同步信息（TRGO），有以下几种组合： 000: <b>复位</b> – 使用TIMx_EVTGEN寄存器的UDGN位作为触发输出（TRGO）。如果触发输入产生了复位 （从模式控制器配置为复位模式），则相对于实际的复位信号，TRGO上的信号有一定的延迟。 001: <b>使能</b> – 计数器使能信号CNT_EN被用作作为触发输出（TRGO）。它可用于在同一时刻启动多个定时器，或控制使能从定时器的时机。计数器使能信号是通过CNTEN控制位和配置为门控模式时的触发输入的‘逻辑或’产生。 当计数器使能信号是通过触发输入控制时，在TRGO输出上会有一些延迟，除非选择了主/从模式（见TIMx_SMCTRL寄存器的MSMD位）。 010: <b>更新</b> – 更新事件被用作作为触发输出（TRGO）。例如一个主定时器可以作为从定时器的预分频器使用。
3:0	Reserved	始终读为0。

### 11.4.4 TIM6 DMA/中断使能寄存器 (TIMx\_DINTEN)

偏移地址: 0x0C

复位值: 0x0000

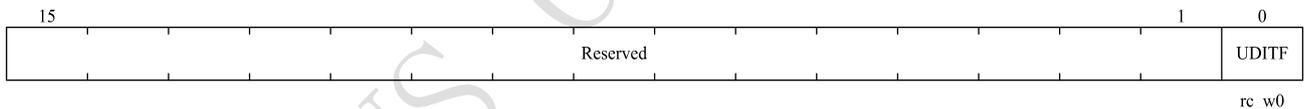


位域	名称	描述
15:9	Reserved	始终读为0。
8	UDEN	更新DMA请求使能 0: 禁止更新DMA请求 1: 使能更新DMA请求
7:1	Reserved	始终读为0。
0	UIEN	更新中断使能 0: 禁止更新中断 1: 使能更新中断

### 11.4.5 TIM6 状态寄存器 (TIMx\_STS)

偏移地址: 0x10

复位值: 0x0000

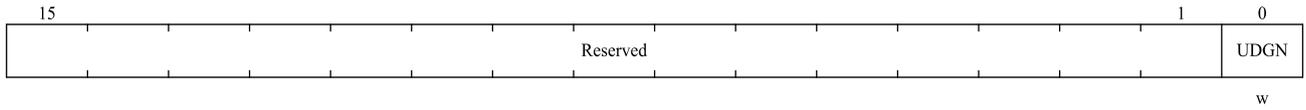


位域	名称	描述
15:1	Reserved	始终读为0。
0	UDITF	更新中断标志 硬件在更新中断时设置该位，它由软件清除。 0: 没有产生更新。 1: 产生了更新中断。下述情况下由硬件设置该位： — 计数器产生上溢或下溢并且TIMx_CTRL1中的UPDIS=0； — 如果TIMx_CTRL1中的UPRS=0并且UPDIS=0，当使用TIMx_EVTGEN寄存器的UDGN位重新初始化计数器CNT时。

### 11.4.6 TIM6 事件产生寄存器 (TIMx\_EVTGEN)

偏移地址: 0x14

复位值: 0x0000

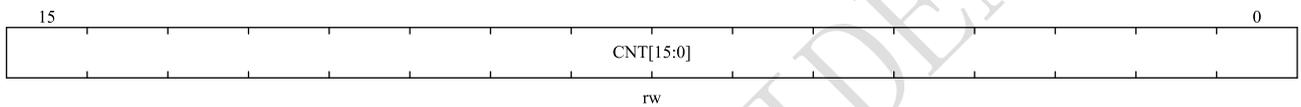


位域	名称	描述
15:1	Reserved	始终读为0。
0	UDGN	产生更新事件 该位由软件设置，由硬件自动清除。 0: 无作用 1: 重新初始化定时器的计数器并产生对寄存器的更新。 注意: 预分频器也被清除 (但预分频系数不变)。

### 11.4.7 TIM6 计数器 (TIMx\_CNT)

偏移地址: 0x24

复位值: 0x0000

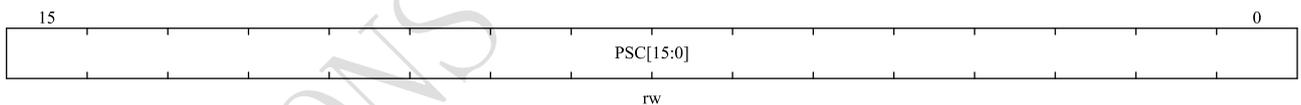


位域	名称	描述
15:0	CNT[15:0]	计数器数值

### 11.4.8 TIM6 预分频器 (TIMx\_PSC)

偏移地址: 0x28

复位值: 0x0000

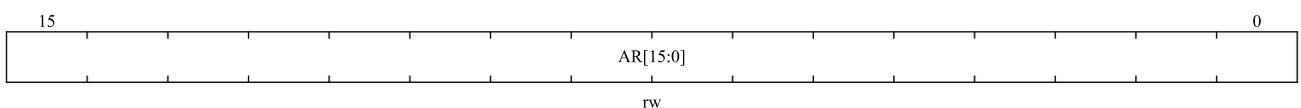


位域	名称	描述
15:0	PSC[15:0]	预分频器数值 计数器的时钟频率CK_CNT等于f <sub>CK_PSC</sub> /(PSC[15:0]+1)。 在每一次更新事件时，PSC的数值被传送到实际的预分频寄存器中。

### 11.4.9 TIM6 自动重载寄存器 (TIMx\_AR)

偏移地址: 0x2C

复位值: 0xFFFF



位域	名称	描述
15:0	AR[15:0]	自动重装载数值 AR的数值将传送到实际的自动重装载寄存器中。关于AR的更新和作用，详见11.3.1。 如果自动重装载数值为0，则计数器停止。

NATIONS CONFIDENTIAL

## 12 BLE 子系统 ( BLE Subsystem )

### 12.1 BLE 子系统简介

BLE 子系统包括 3 个组成部分,BLE Baseband,RF Control 和 Modem

#### 12.1.1 BLE Baseband 简介

规定了 BLE 通信的基础射频参数,包括信号频率,调制方案,调频机制

控制设备的状态,包括 Standby,Adverting,Scan,Initating 和 connected

为 Host 和 Controller 之间通信提供了标准接口

为上层提供数据封装服务

提供配对和密钥的分发,实现安全的数据交换

#### 12.1.2 RF Control 简介

可预先配置 SETMODE1M,SETMODE2M,SETMODEL,PRETX,POSTTX,PRERX,POSTRX 阶段的指令,并根据 Baseband 输出的状态,控制 Modem 的工作模式。

#### 12.1.3 Modem 简介

主要实现基带信号和射频信号的转换。

发射过程:基带信号经过调制,分成同向(I 信号)和正交(Q 信号)两路信号,再一次经过 DA 转换和低通滤波器,然后利用频率综合器进行频率上的转换,再将 2 个信号分量合成后,通过 PA 放大器推送到天线上。

接收过程:射频信号经过低噪声放大器(LNA),输入 2 个相位分量(I/Q),通过带通滤波器,使用 VGA 放大,最后转换成数字信号传入基带。

## 12.2 BLE 子系统主要特征

### 12.2.1 BLE Baseband 主要特性

- 符合 Bluetooth5.1 规范
- 支持 AHB 总线
- 支持数据包类型:包括广播包,广告包,数据包,控制包和 LR 包
- 广告包扩展
- 支持同步通道操作
- 加密/解密(AES-CCM)
- 比特流处理(CRC,白化)

- 跳频计算
- FDMA/TDMA/数据格式化和同步
- 设备类支持包括：广播,中央,观察者,外围设备
- 支持低功耗模式

### 12.2.2 Modem 主要特性

- 符合 Bluetooth Core Specification V5.1 规范
- 1Mbps 时-96dBm 接收灵敏度
- 2Mbps 时-93dBm 接收灵敏度
- Soc 嵌入式集成，用于各种应用
- 支持数据率包括 125Kbps, 250Kbps, 1Mbps,2Mbps
- 集成接收滤波器自动调谐
- 集成接收偏移补偿
- 集成 VCO 自动调谐
- 集成 PLL 带宽校准
- 集成直流偏移补偿
- 集成匹配网络和天线开关
- 高效的功耗管理

## 13 独立看门狗 ( IWDG )

### 13.1 IWDG 简介

N32WB03x 内置独立看门狗 ( IWDG ) 和窗口看门狗 ( WWDG ) 两个定时器用以解决软件错误引起的故障问题。看门狗定时器使用灵活，提高了系统的安全性和时间控制的精确性。

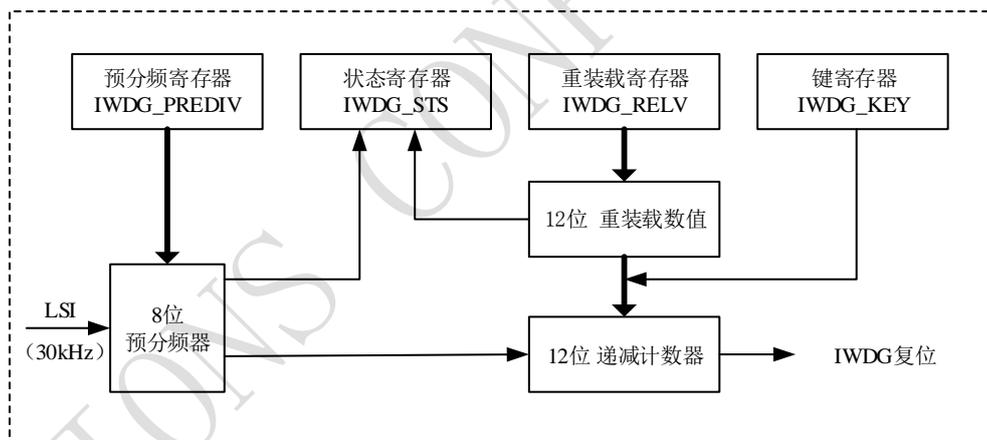
独立看门狗 ( IWDG ) 由专用时钟源 ( LSI ) 驱动，其工作状态不受主时钟故障影响。因此， IWDG 适用于独立工作在主程序之外且对时间精度要求较低场合。

### 13.2 IWDG 主要性能

- 独立运行的 12 位递减计数器
- RC 振荡器提供独立时钟源
- 使能看门狗后，当递减计数器达到 0x000 时产生系统复位

### 13.3 IWDG 功能描述

图 13-1 为独立看门狗模块的功能框图。



配置寄存器 ( IWDG\_KEY ) 为 0xCCCC 即可开启 IWDG，计数器开始递减计数。当计数达到 0x000 时，产生系统复位 ( IWDG\_RESET )。为阻止看门狗复位，可在任意时刻配置寄存器 IWDG\_KEY 为 0xAAAA，将 IWDG\_RELV 的数据重新加载到计数器中。

如果在选择字节中启用了“硬件看门狗定时器”功能，那么在系统上电复位后，看门狗会自动开始运行。在计数器计数结束前，软件重载计数器，即可避免系统复位。

#### 13.3.1 寄存器访问保护

IWDG\_PREDIV 和 IWDG\_RELV 寄存器具有写保护功能。在修改这两个寄存器数据之前，必须先配置 IWDG\_KEY 寄存器为 0x5555。配置成其他任何数据，都将再次启动寄存器写保护。

重载操作 ( IWDG\_KEY 配置 0xAAAA ) 也会启动写保护功能。

当预分频值和递减计数器正在被更新时，状态寄存器 IWDG\_STS 相应状态位置 1。

### 13.3.2 调试模式

进入调试模式时（Cortex®-M0 核心停止），当调试模块中的 DBG\_CTRL.IWDGSTP =1，IWDG 停止工作；DBG\_CTRL.IWDGSTP =0，IWDG 仍可继续工作。详见 4.3.18 DBGMCU\_CR 寄存器。

表 13-1 看门狗超时时间<sup>(1)</sup>

预分频系数	PREDIV [2:0]	最短时间 (ms) REL [11:0]=0x000	最长时间 (ms) REL [11:0]=0xFFF
/4	0	0.13	532.5
/8	1	0.26	1064.9
/16	2	0.52	2129.9
/32	3	1.04	4259.8
/64	4	2.08	8519.7
/128	5	4.16	17039.3
/256	6 或 7	8.32	34078.7

注：上表是 LSI=40kHz 的参考时间。通过对 LSI 进行校准可获得更加精确的看门狗定时器超时时间。详细介绍，见 4.2.6 节。

## 13.4 IWDG 寄存器描述

### 13.4.1 IWDG 寄存器映像

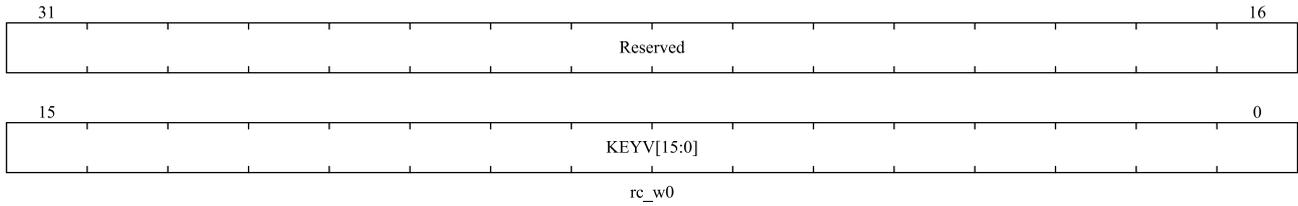
表 13-2 IWDG 寄存器映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
000h	IWDG_KEY	Reserved															KEYV[15:0]																												
	Reset Value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	IWDG_PREDIV	Reserved																									PD[2:0]																		
	Reset Value																										0	0	0																
008h	IWDG_RELV	Reserved															REL[11:0]																												
	Reset Value																1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
00Ch	IWDG_STS	Reserved																									CRVU	PVU																	
	Reset Value																										0	0																	

### 13.4.2 键寄存器 ( IWDG\_KEY )

地址偏移：0x00

复位值：0x0000 0000 （在待机模式复位）

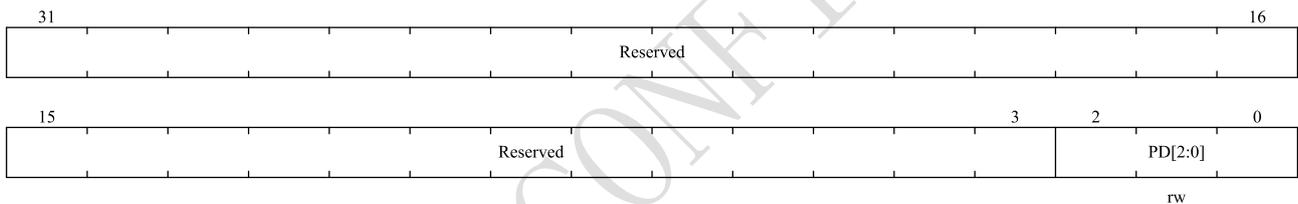


位域	名称	描述
31:16	Reserved	始终读为 0。
15:0	KEYV[15:0]	只写寄存器，读出值为 0x0000 软件必须以一定的间隔写入 0xAAAA，否则，当计数器为 0 时，看门狗会产生复位。 写入 0x5555 表示允许访问 IWDG_PREDIV 和 IWDG_RELV 寄存器。（见 13.3.1 节） 写入 0xCCCC，启动看门狗工作（若选择了硬件看门狗则不受此命令字限制）。

### 13.4.3 预分频寄存器 ( IWDG\_PREDIV )

地址偏移：0x04

复位值：0x0000 0000

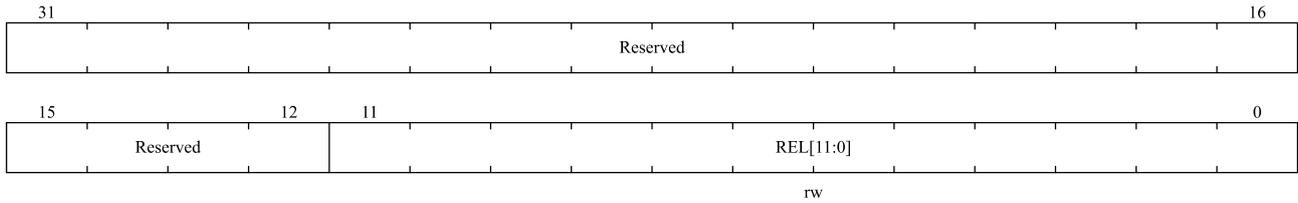


位域	名称	描述
31:3	Reserved	始终读为 0。
2:0	PD[2:0]	预分频因子 具有写保护设置，参见节 13.3.1 节。通过设置这些位来选择计数器时钟的预分频因子。要改变预分频因子，IWDG_STS 寄存器的 PVU 位必须为 0。 000: 预分频因子=4 001: 预分频因子=8 010: 预分频因子=16 011: 预分频因子=32 100: 预分频因子=64 101: 预分频因子=128 110: 预分频因子=256 111: 预分频因子=256 <i>注：对此寄存器进行读操作，只有当 IWDG_STS 寄存器的 PVU 位为 0 时，读出的值才有效。</i>

### 13.4.4 重装载寄存器 ( IWDG\_RELV )

地址偏移：0x08

复位值：0x0000 0FFF

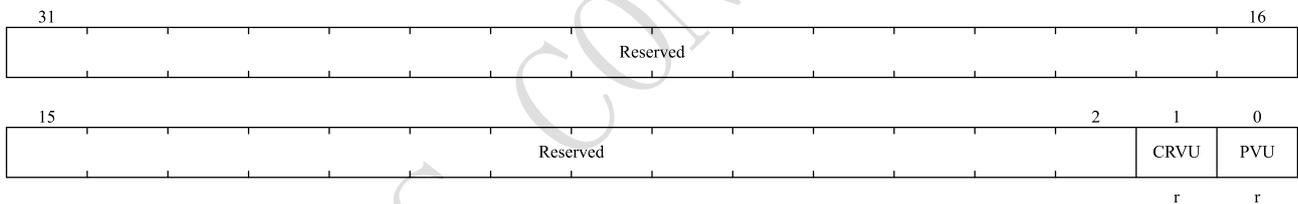


位域	名称	描述
31:12	Reserved	始终读为 0。
11:0	REL[11:0]	看门狗计数器重装载值 具有写保护功能 用于定义看门狗计数器的重装载值，每当向 IWDG_KEY 寄存器写入 0xAAAA 时，重装载值会被传送到计数器中。随后计数器从这个值开始递减计数。看门狗超时周期可通过此重装载值和时钟预分频值来计算，参照表 13-1。 只有当 IWDG_STS 寄存器中的 CRVU 位为 0 时，才能对此寄存器进行修改。 <i>注：对此寄存器进行读操作，只有当 IWDG_STS 寄存器的 CRVU 位为 0 时，读出的值才有效。</i>

### 13.4.5 状态寄存器 ( IWDG\_STS )

地址偏移：0x0C

复位值：0x0000 0000



位域	名称	描述
31:2	Reserved	始终读为 0。
1	CRVU	看门狗计数器重装载值更新 硬件置'1'用来指示重装载值的更新正在进行中。当重装载更新结束后，此位由硬件清'0'（最多需 5 个 32kHz 的 RC 周期）。重装载值只有在 CRVU 位被清'0'后才可更新。
0	PVU	看门狗预分频值更新 硬件置'1'用来指示预分频值的更新正在进行中。当预分频值更新结束后，此位由硬件清'0'（最多需 5 个 32kHz 的 RC 周期）。预分频值只有在 PVU 位被清'0'后才可更新。

*注：如果在应用程序中使用了多个重装载值或预分频值，则必须在 CRVU 位被清除后才能重新改变预装载值，在 PVU 位被清除后才能重新改变预分频值。然而，在预分频和/或重装载值更新后，不必等待 CRVU 或 PVU 复位，可继续执行下面的代码。（即是在低功耗模式下，此写操作仍会被继续执行完成。）*

## 14 窗口看门狗 ( WWDG )

### 14.1 WWDG 简介

窗口看门狗 (WWDG) 的时钟由 APB1 时钟分频而来, 通过时间窗口的配置来检测程序操作是否异常。因此, WWDG 适用于精确计时, 通常用来监测由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。WWDG 的递减计数器在达到窗口寄存器数值之前或在 T6 位变成 0 后被刷新, 会产生系统复位。

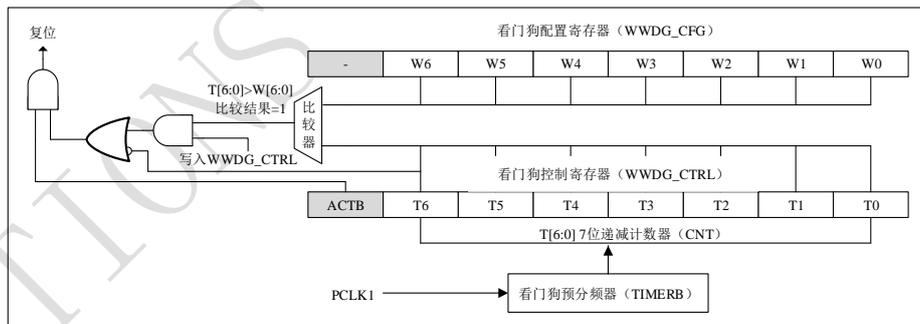
### 14.2 WWDG 主要特性

- 7 位独立运行递减计数器可编程
- WWDG 使能后, 在以下条件产生复位
  - ◆ 递减计数器的值小于 0x40
  - ◆ 递减计数器的值大于窗口寄存器的值时被重新装载
- 提前唤醒中断: 如果启动了看门狗并且使能中断, 当计数值达到 0x40 时产生唤醒中断 (EWINT)。

### 14.3 WWDG 功能描述

如果使能看门狗 (WWDG\_CTRL 寄存器中的 ACTB 位被置‘1’), 当 7 位 (T[6:0]) 递减计数器达到 0x3F (T6 位清零), 或软件在计数器值大于窗口寄存器的数值时重新装载计数器, 都将产生系统复位。为避免系统复位, 软件在正常运行过程中必须定期地在窗口内刷新计数数值。

图 14-1 看门狗框图



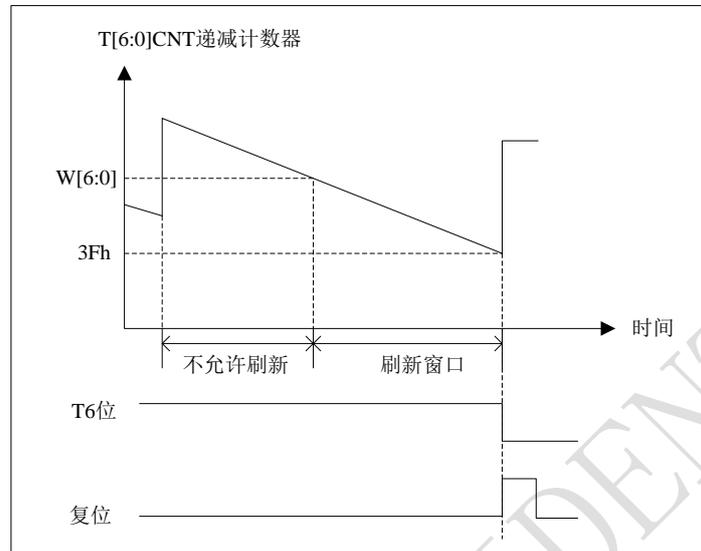
WWDG\_CTRL 寄存器的 ACTB 位置 ‘1’ 使能看门狗, 此后, 除非发生复位, WWDG 将一直处于开启状态。7 位递减计数器处于独立运行状态, 无论 WWDG 使能与否, 计数器均保持递减计数。因此, 使能看门狗前 T6 位始终置 ‘1’, 避免立即产生复位。T[5:0] 决定了两次重装之间的最大时间间隔。时钟 APB1 和 WWDG\_CFG 寄存器 TIMERB[1:0] 设定的预分频值决定了计数器的递减速度。W[6:0] 设置窗口的上限值。

当递减计数器在达到窗口寄存器数值之前或在 T6 位变成 0 后被刷新, 会产生系统复位。图 14-2 描述了窗口寄存器的工作过程。

WWDG\_CFG 寄存器的 EWINT 位置 ‘1’ 使能提前唤醒中断。当递减计数器到达 0x40 时产生中断, 可以在相应的中断服务程序 (ISR) 中分析软件故障原因或保存重要数据, 同时重新装载计数器以防止 WWDG 复位。WWDG\_STS 寄存器的 EWINTF 位写 ‘0’ 可以清除该中断。

## 14.4 如何编写看门狗超时程序

图 14-2 WWDG 时序图



计算窗口看门狗超时时间的公式如下：

$$T_{\text{WWDG}} = T_{\text{PCLK1}} \times 4096 \times 2^{\text{TIMERB}} \times (\text{T}[5:0] + 1); \quad (\text{ms})$$

其中：

$T_{\text{WWDG}}$ : WWDG 超时时间

$T_{\text{PCLK1}}$ : APB1 以 ms 为单位的时钟间隔

在 PCLK1 = 48MHz 时的最小-最大超时值

TIMERB	最小超时值	最大超时值
0	85μs	5.46ms
1	170μs	10.92ms
2	340μs	21.84ms
3	680μs	43.68ms

## 14.5 调试模式

进入调试模式时 (Cortex®-M0 核心停止)，当调试模块中的 DBG\_CTRL.WWDGSTP=1，WWDG 停止工作；DBG\_CTRL.WWDGSTP=0，WWDG 仍可继续工作。详见 4.3.18 DBGMCU\_CR 寄存器。

## 14.6 寄存器描述

### 14.6.1 WWDG 寄存器映像

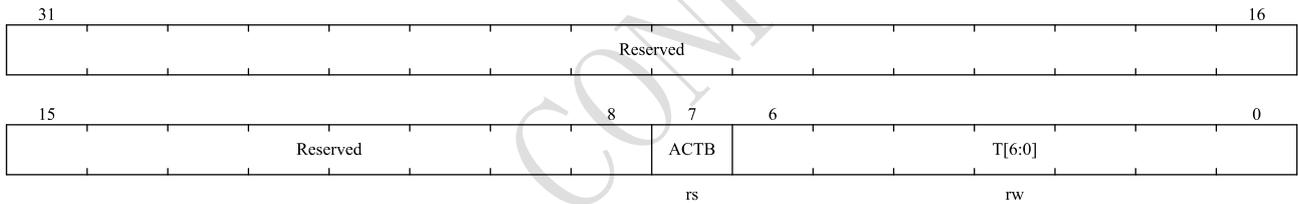
表 14-1 WWDG 寄存器映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	WWDG_CTRL	Reserved																								ACTB	T[6:0]						
	Reset Value																									0	1	1	1	1	1	1	1
004h	WWDG_CFG	Reserved																						EWINT	TIMERB [1:0]	W[6:0]							
	Reset Value																									0	0	0	1	1	1	1	1
008h	WWDG_STS	Reserved																											EWINTF				
	Reset Value																													0			

### 14.6.2 控制寄存器 ( WWDG\_CTRL )

地址偏移量: 0x00

复位值: 0x7F

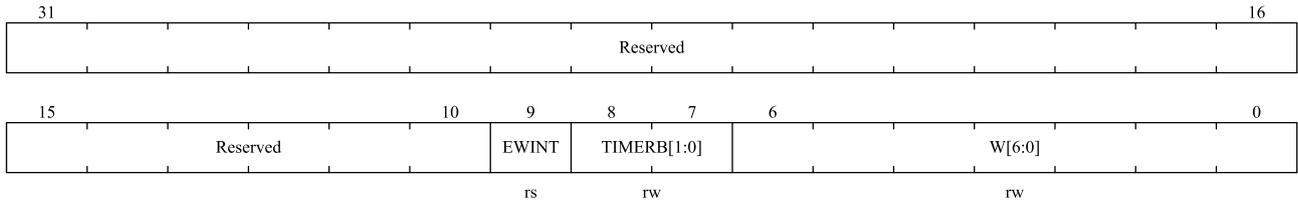


位域	名称	描述
31:8	Reserved	始终读为 0
7	ACTB	激活位 由软件置'1'，但仅能由硬件在复位后清'0'。当 ACTB=1 时，看门狗可以产生复位。 0: 禁止看门狗 1: 启用看门狗
6:0	T[6:0]	7 位计数器用来存储看门狗的计数器值 每 (4096x2 <sup>TIMERB</sup> ) 个 PCLK1 周期减 1。当计数器值从 40h 变为 3Fh 时 (T6 变成 0)，产生看门狗复位。

### 14.6.3 配置寄存器 ( WWDG\_CFG )

地址偏移量: 0x04

复位值: 0x7F

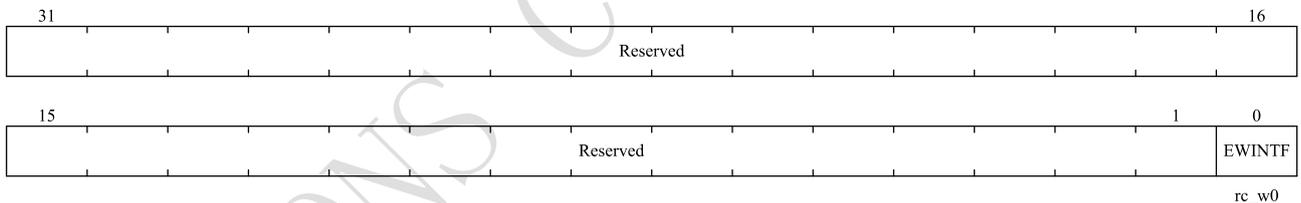


位域	名称	描述
31:8	Reserved	始终读为 0
9	EWINT	提前唤醒中断 若置'1', 则当计数器值达到 40h, 即产生中断。此中断只能由硬件在复位后清除。
8:7	TIMERB[1:0]	预分频器的时基, 设置如下: 00: CK 计时器时钟 (PCLK1 除以 4096) 除以 1 01: CK 计时器时钟 (PCLK1 除以 4096) 除以 2 10: CK 计时器时钟 (PCLK1 除以 4096) 除以 4 11: CK 计时器时钟 (PCLK1 除以 4096) 除以 8
6:0	W[6:0]	7 位窗口值 用来与递减计数器进行比较用的窗口值。

#### 14.6.4 状态寄存器 ( WWDG\_STS )

地址偏移量: 0x08

复位值: 0x00



位域	名称	描述
31:1	Reserved	始终读为 0
0	EWINTF	提前唤醒中断标志 当计数器值达到 40h 时, 由硬件置'1'。必须通过软件写'0'清除。写'1'无效。若中断未被使能, 此位也会被置'1'。

## 15 音频控制及 ADC

### 15.1 音频控制及 ADC 简介

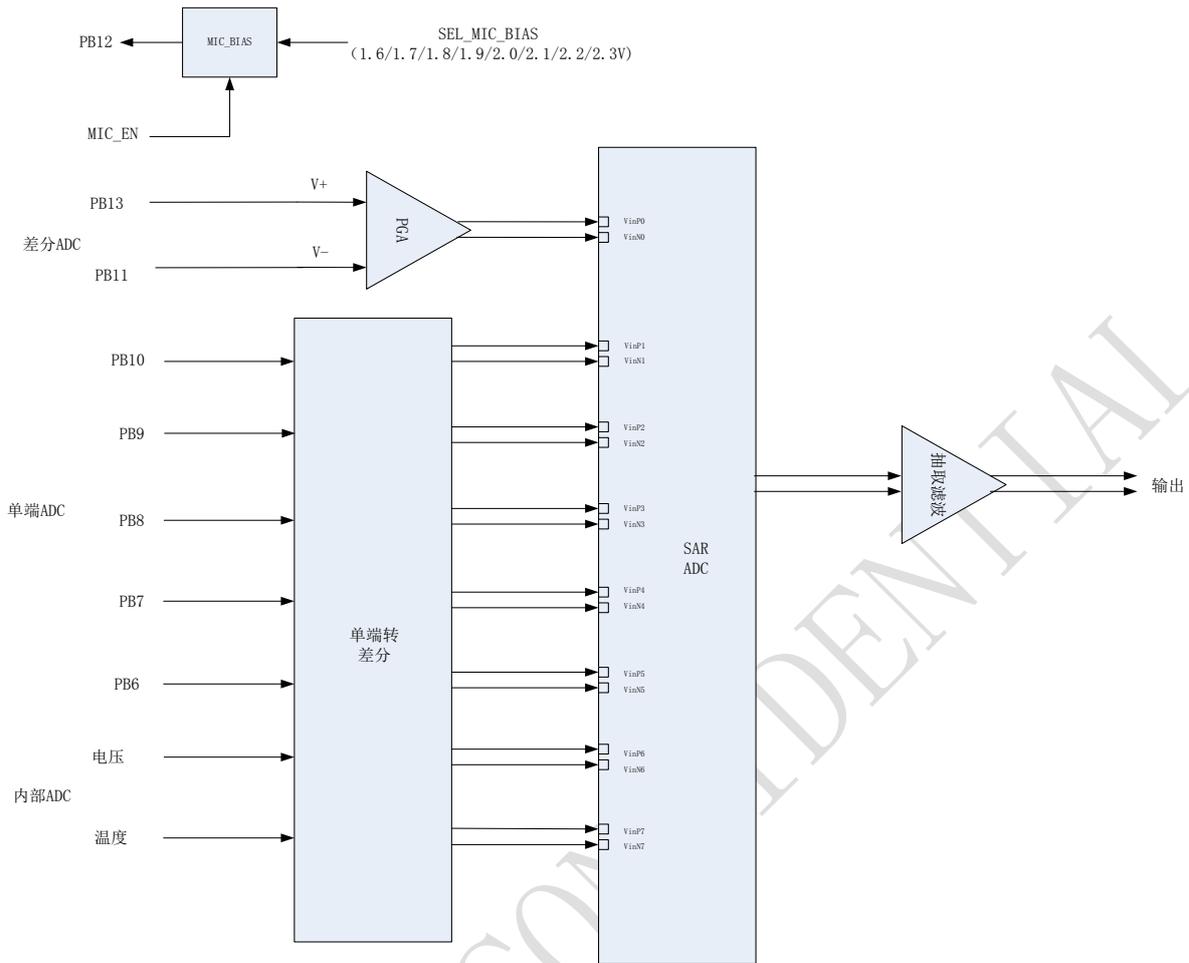
支持 10 位 1.33Msps ADC(可配置为 16 位 16Ksps)，支持单端或差分 AMIC，内置 PGA，增益最大 42Db。提供电压可调节的 MICBIAS 给 MIC 供电，输出 1.6V~2.3V 可选。

有多达 8 个通道，5 个外部单端，1 个差分 MIC 和 2 个内部通道。内部通道包括 VCC 检测通道和温度传感器通道。5 个外部通道，通道 1(PB10)，2(PB9)检测范围 0.125V-0.850V，通道 3(PB8)，4(PB7)，5(PB6)检测范围 0.5V-3.5V。

在音频模式下，利用内置的可编程增益放大器（PGA）和麦克风偏置，MIC 信号通过 PGA 放大，然后通过模拟 ADC 转换为数字信号，通过音频输入控制（低通抽取滤波及可选的能量与过零检测）后，音频数据通过 DMA 存储到系统 RAM 中，最终输出 16bit 16kHz 音频信号格式。

### 15.2 主要特性

- 支持 AMIC 输入，麦克风偏置可调
- PGA 支持单端或差分输入，增益可调
- 支持1个ADC，可测量5个外部单端，1个差分MIC和2个内部通道，输入通道可选
- 内部通道支持 TempSensor、VCC、PGA 差分输入
- 10位1.33Msps ADC(可配置为16位16Ksps)
- 支持数字抽取滤波到 16 位，支持噪声滤波
- 支持单次和连续转换模式
- 通道转换期间可配有 DMA 请求产生
- 模拟看门狗特性允许应用程序检测输入 PB10 电压是否超出用户定义的高/低阈值
- 转换结束、PGA 中断和发生模拟看门狗事件时产生中断
- 音频模式下，滤波器输出数据存储在 16 位数据寄存器中，通用模式下，数据右对齐方式存储在 16 位数据寄存器中
- 音频模式下，16bit 16Ksps有符号单声道PCM格式输出，通用模式下10bit 4Msps无符号输出
- ADCCTRL 时钟分为工作时钟
  - ◆ ADC\_CLK: ADC 工作时钟，可配置 HSE\_DIV8（4MHz）或 AUDIOPLLCLK（4.096MHz）作为工作时钟源
- 具体 ADC 内部信号连接如下：



PB13/PB11是音频输入的差分脚，PB10/PB9/PB8/PB7/PB6为单端输入

图 15-1 音频控制及 ADC 架构图

### 15.3 AMIC 输入通道

支持 1 个单端或差分 AMIC，提供电压可调节的 MICBIAS 输出，1.6~2.3V 可调节。

MICBIAS 给芯片外的麦克风提供低噪声的偏置电压，有正常模式和关断模式两种工作模式。

输出 VDD\_MIC 电源，0.9mA 驱动能力，对外供电，片外挂 4.7uF 电容。

- 1、配置 PGA\_CFG.MICBIAS\_EN =1，使能 MICBIAS；
- 2、配置 PGA\_CFG.MICBIAS[2:0]；
- 3、得到相应的 VDD\_MIC 输出；

### 15.4 PGA 控制

可编程单声道 PGA（可编程增益放大器），增益可调。AMIC 输入通道可通过 PGA 进行信号放大。

- 1、配置 PGA\_CFG.PGA\_EN =1，使能 PGA；
- 2、先配置 PGA\_CFG.PGA\_INIT\_ENA 为 1，大于 5ms 后配置为 0，片外电容快速充电使能，PGA 启

动时刻使用。

- 3、配置 PGA\_CFG.PGA\_GAIN，对应增益 0~42dB，步长 6dB，选择合适的增益配置，手动调节输入音量，切换增益后需要等 10ms 稳定时间；

输入通道选择 ADC\_CTRL.ADC\_CH\_SEL 配置为 0（默认）选择 PGA 通路，对应 PB11/PB13，输入阻抗 10KΩ。

## 15.5 数字音频控制

数字音频输入处理主要包括低通抽取滤波器 (LPF)、能量与过零率检测模块。可通过配置启用或禁能。

支持数字抽取滤波到 16 位，支持噪声滤波，音频模式下，滤波器输出数据存储在 16 位数据寄存器中，为 16 bit 16Ksps 有符号单声道 PCM 格式输出。

### 15.5.1 低通抽取滤波 LPF

LPF 为数据滤波器，LPF 接收到模拟 ADC 输出，进行固定比率 256 下采样。并滤除 ADC 采样时混入的高频噪声，然后获得有效的接收数据。

在音频模式，需要 VOICE\_DET\_CR.VAD\_FILTER\_BYP 配置为 0（默认）。

LFP 最终 16 bit 16Ksps 有符号数据输出。

### 15.5.2 能量与过零率检测

声音输入首先利用前 3 帧信号的信息为最初的噪声平均参数，与常数 C 的和即为阈值 M0 时，高于 M0 的判定为浊音，低于 M0 的再进行过零检测，过零率 ZC 在 30~70（可软件设定）之间的为清音，其他为静音。

能量检测 (ED) 和过零检测 (ZCRD) 格式：在每帧尾有四个字节。

字节 1	字节 2	字节 3	字节 4
ZCRD	ED	ED	EDx6+Silent, Clear and Voice x2

声音的帧格式：248个16KHz 16位音频采样数据+1个32位能量及过零检测结果字

能量及过零检测结果字格式：

word[31:24]: 过零检测结果

word[23:2]: 平均能量压缩到 24bit

word[1:0]: 声音检测结果

00: Silent 静音

01: Clear 轻音，语音

10: Voice 浊音，语音

## 15.6 ADC 功能描述

### 15.6.1 输入通道和输入电压范围

ADC 是一种高速逐次逼近型模拟数字转换器。有多达 8 个通道，5 个外部单端，1 个差分 MIC 和 2 个内部通道。内部通道包括 VCC 检测通道和温度传感器通道。各通道的 A/D 转换可以单次、连续模式执行。

配置 ADC\_CTRL.ADC\_CH\_SEL 用于 ADC 输入通道选择。

000（默认）选择差分 MIC 通路，对应 PB11/PB13，

001~010 用于片外预分压输入，对应 PB9/PB10，无阻性负载，检测范围 0.125~0.85V，

011~101 用于直接检测，对应 PB6~PB8，输入阻抗 360KΩ，检测范围 0.5~3.5V，

110 用于 VCC 检测，

111 用于片内温度传感器电压检测。

### 15.6.2 ADC 开关控制

通过设置 ADC\_CTRL 寄存器的 ADC\_EN 位可启动 ADC。当第一次设置 ADC\_EN 位时，ADC 在开始精确转换前需要一个稳定时间  $t_{STAB}$  64 cycle。之后每个 Cycle 进行一次转换。

在单次模式下，转换完成后，硬件自动关闭 ADC\_EN 位。如使能中断，可产生转换结束中断。用户可以通过查询 ADC\_SR 里面的 ADC\_DONE\_F 确认转换是否完成。

在连续模式下，通过清除 ADC\_EN 位可以停止转换。

输入通道切换前需要先关闭 ADC\_EN 位。

### 15.6.3 转换模式

#### 15.6.3.1 单次转换模式

每个转换有两个阶段：采样阶段和转换阶段。

单次转换模式下，ADC 只执行一次转换。设置 ADC\_CTRL.ADC\_CH\_SEL 选择输入通道后，可通过设置 ADC\_CTRL 寄存器的 ADC\_EN 位启动。

一旦选择通道的转换完成：

- ◆ 转换数据被储存在 16 位 ADC\_DAT 寄存器中
- ◆ ADC\_DONE\_F（转换结束）标志被设置
- ◆ 如果设置了 ADC\_DONE\_IE，则产生中断。

转换本身很快，只需要一个 adclk 的时钟周期。但单次模式下，ADCEN 或 ADCSEL 修改后，输入通道的切换电路需要 64 个 adclk 稳定时间。

### 15.6.3.2 连续转换模式

将 ADC\_CTRL.ADC\_MODE 置为“1”可以在连续模式下使用 ADC，在连续转换模式中，当前面 ADC 转换一结束马上就启动另一次转换。设置 ADC\_CTRL.ADC\_CH\_SEL 选择输入通道后，可通过设置 ADC\_CTRL 寄存器的 ADC\_EN 位来触发第一次转换，但之后，将每个 adcclk 周期自动生成新的转换数据。

支持过采样率设置，配置值 ADC\_OVR\_SAMP\_CNT.OS\_CNT\_LD\_CNT 需要  $\geq 2$ ，OS\_CNT\_LD\_CNT+1 个数据采样一个数据。

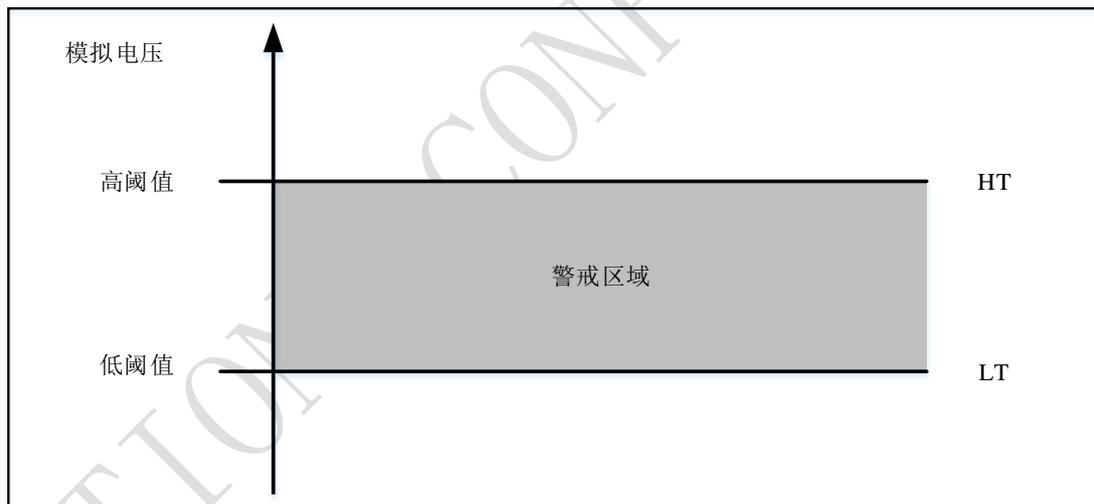
每个转换后：

- ◆ 转换数据被储存在 16 位的 ADC\_DAT 寄存器中
- ◆ 使能 DMA 模式，每次转换后会产生 DMA 请求

### 15.6.4 模拟看门狗

如果被 ADC 转换的模拟 PB10 电压低于低阈值或高于高阈值，AWDG 模拟看门狗状态位被设置。阈值位于 ADC\_WDHIGH 和 ADC\_WDLOW 寄存器的最低 10 个有效位中。通过设置 ADC\_CTRL 寄存器的 AWD\_IE 位以允许产生相应中断。

图 15-2 模拟看门狗警戒区



### 15.7 数据对齐

数据右对齐格式，如图 15-3。

图 15-3 数据右对齐



### 15.8 DMA 请求

因为通道转换的值储存在一个仅有的数据寄存器中，所以当转换多个通道时需要使用 DMA，这可以避免丢

失已经存储在 ADC\_DAT 寄存器中的数据。

只有在通道的转换结束时才产生 DMA 请求，并将转换的数据从 ADC\_DAT 寄存器传输到用户指定的目的地址。

## 15.9 温度传感器

温度传感器可以用来测量器件周围的温度( $T_A$ )。

温度传感器在内部和 VINP7/ VINN7 输入通道相连接，此通道把传感器输出的电压转换成数字值。必须设置 TS\_EN 位激活内部通道。当没有被使用时，传感器可以置于关电模式以降低功耗。

温度传感器输出电压随温度线性变化，由于生产过程中的变化，温度变化曲线的偏移在不同芯片上会有不同（最多相差 4 °C）。

内部温度传感器更适合于检测温度的变化，而不是测量绝对的温度。如果需要测量精确的温度，应该使用一个外置的温度传感器。

### 15.9.1 读温度

使用温度传感器读温度配置如下：

- 选择 VINP7/ VINN7 输入通道，ADC\_CH\_SEL=3'b111
- 设置 ADC 控制寄存器（ADC\_CTRL）的 TS\_EN 位，以唤醒关电模式下的温度传感器
- 通过设置 ADC\_EN 位启动 ADC 转换
- 读 ADC 数据寄存器上的 VSENSE 数据结果
- 利用下列公式得出温度

$$\text{温度 (}^\circ\text{C)} = \{(V_{25} - V_{\text{SENSE}}) / \text{Avg\_Slope}\} + 25$$

这里：

$V_{25} = V_{\text{SENSE}}$  在 25 °C 时的数值

Avg\_Slope = 温度与  $V_{\text{SENSE}}$  曲线的平均斜率（单位为 mV/°C 或  $\mu\text{V}/^\circ\text{C}$ ）

参考数据手册的电气特性章节中  $V_{25}$  和 Avg\_Slope 的实际值。

*注意：传感器从关电模式唤醒后到可以输出正确水平的  $V_{\text{SENSE}}$  前，有一个建立时间。ADC 在上电后也有一个建立时间，因此为了缩短延时，应该同时设置 ADC\_EN 和 TS\_EN 位。*

## 15.10 ADC 寄存器

### 15.10.1 ADC 寄存器地址映像

表 15-1 ADC 寄存器映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
000h	ADC_CTRL	Reserved																						PGARDY_IE	AWD_IE	ADC_DONE_IE	ADC_MODE	ADC_CH_SEL[2]	ADC_CH_SEL[1]	ADC_CH_SEL[0]	DMA_MODE_EN	AWD_EN	TS_EN	ADC_EN																		
	Reset Value																							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	ADC_SR	Reserved																																																		
	Reset Value																																																			
008h	ADC_OVR_SAMP_CNT	Reserved																																																		
	Reset Value																																																			
00Ch	ADC_DAT	Reserved																		ADC_DATA[15]	ADC_DATA[14]	ADC_DATA[13]	ADC_DATA[12]	ADC_DATA[11]	ADC_DATA[10]	ADC_DATA[9]	ADC_DATA[8]	ADC_DATA[7]	ADC_DATA[6]	ADC_DATA[5]	ADC_DATA[4]	ADC_DATA[3]	ADC_DATA[2]	ADC_DATA[1]	ADC_DATA[0]																	
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
010h	ADC_WDT_THRES	Reserved						HT[9]	HT[8]	HT[7]	HT[6]	HT[5]	HT[4]	HT[3]	HT[2]	HT[1]	HT[0]	Reserved												LT[9]	LT[8]	LT[7]	LT[6]	LT[5]	LT[4]	LT[3]	LT[2]	LT[1]	LT[0]													
	Reset Value							1	1	1	1	1	1	1	1	1	1	1													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
014h	PGA_CFG	Reserved														PGA_GAIN[3]	PGA_GAIN[2]	PGA_GAIN[1]	PGA_GAIN[0]	PGA_EN	AUDIOPGA_DRIVE[1]	AUDIOPGA_DRIVE[0]	AUDIOPGA_PEAK[1]	AUDIOPGA_PEAK[0]	AUDIOPGA_RESERVED[3]	AUDIOPGA_RESERVED[2]	AUDIOPGA_RESERVED[1]	AUDIOPGA_RESERVED[0]	AUDIOPGA_INIT_ENA	MICBIAS[2]	MICBIAS[1]	MICBIAS[0]	MICBIAS_EN																			
	Reset Value															1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
018h	VOICE_DET_CR	Reserved																																																		
	Reset Value																																																			

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
01Ch	VOICE_ZCR_THRES	Reserved																VAD_ZCRD_HIGH_THRES[7]	VAD_ZCRD_HIGH_THRES[6]	VAD_ZCRD_HIGH_THRES[5]	VAD_ZCRD_HIGH_THRES[4]	VAD_ZCRD_HIGH_THRES[3]	VAD_ZCRD_HIGH_THRES[2]	VAD_ZCRD_HIGH_THRES[1]	VAD_ZCRD_HIGH_THRES[0]	VAD_ZCRD_LOW_THRES[7]	VAD_ZCRD_LOW_THRES[6]	VAD_ZCRD_LOW_THRES[5]	VAD_ZCRD_LOW_THRES[4]	VAD_ZCRD_LOW_THRES[3]	VAD_ZCRD_LOW_THRES[2]	VAD_ZCRD_LOW_THRES[1]	VAD_ZCRD_LOW_THRES[0]									
	Reset Value																	0	1	1	0	1	1	0	1	0	0	1	0	0	0	1	0	0	0	1	0	1	0	1	1	1
020h	VOICE_ED_THRES	Reserved										MOFFSET[22]	MOFFSET[21]	MOFFSET[20]	MOFFSET[19]	MOFFSET[18]	MOFFSET[17]	MOFFSET[16]	MOFFSET[15]	MOFFSET[14]	MOFFSET[13]	MOFFSET[12]	MOFFSET[11]	MOFFSET[10]	MOFFSET[9]	MOFFSET[8]	MOFFSET[7]	MOFFSET[6]	MOFFSET[5]	MOFFSET[4]	MOFFSET[3]	MOFFSET[2]	MOFFSET[1]	MOFFSET[0]								
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
024h	VOICE_ED_DWN_THRES	Reserved										GATE_MIN[22]	GATE_MIN[21]	GATE_MIN[20]	GATE_MIN[19]	GATE_MIN[18]	GATE_MIN[17]	GATE_MIN[16]	GATE_MIN[15]	GATE_MIN[14]	GATE_MIN[13]	GATE_MIN[12]	GATE_MIN[11]	GATE_MIN[10]	GATE_MIN[9]	GATE_MIN[8]	GATE_MIN[7]	GATE_MIN[6]	GATE_MIN[5]	GATE_MIN[4]	GATE_MIN[3]	GATE_MIN[2]	GATE_MIN[1]	GATE_MIN[0]								
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
028h	VOICE_ED_UP_THRES	Reserved										GATE_MAX[22]	GATE_MAX[21]	GATE_MAX[20]	GATE_MAX[19]	GATE_MAX[18]	GATE_MAX[17]	GATE_MAX[16]	GATE_MAX[15]	GATE_MAX[14]	GATE_MAX[13]	GATE_MAX[12]	GATE_MAX[11]	GATE_MAX[10]	GATE_MAX[9]	GATE_MAX[8]	GATE_MAX[7]	GATE_MAX[6]	GATE_MAX[5]	GATE_MAX[4]	GATE_MAX[3]	GATE_MAX[2]	GATE_MAX[1]	GATE_MAX[0]								
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

### 15.10.2 ADC 控制寄存器(ADC\_CTRL)

地址偏移: 0x00

复位值: 0x0000 0000

Reserved																					
Reserved											PGARDY_IE	AWD_IE	ADC_DONE_IE	ADC_MODE	ADC_CH_SEL			DMA_MO DE_EN	AWD_EN	TS_EN	ADC_EN
											rw	rw	rw	rw	rw			rw	rw	rw	rw

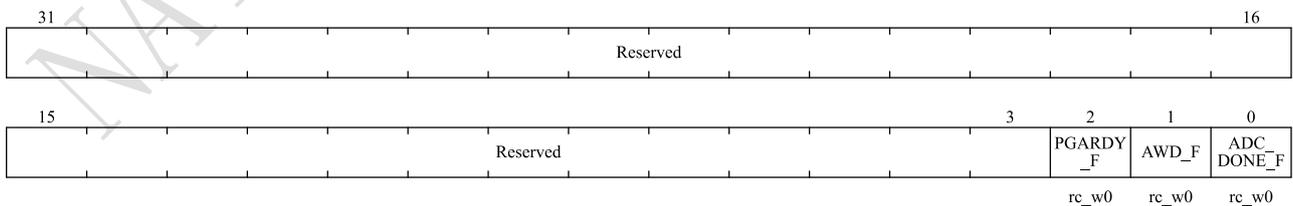
位域	名称	描述
31:11	Reserved	必须保持为0。
10	PGARDY_IE	PGA工作异常中断使能 0: 不使能 1: 使能
9	AWD_IE	模拟看门狗中断使能 0: 不使能 1: 使能
8	ADC_DONE_IE	ADC单次转换完成中断使能 0: 不使能 1: 使能

位域	名称	描述
7	ADC_MODE	ADC工作模式选择 0: 单次转换 1: 连续转换
6:4	ADC_CH_SEL	ADC输入通道选择 000: MIC的输入 001: PB10的输入 010: PB9的输入 011: PB8的输入 100: PB7的输入 101: PB6的输入 110: 外部电压输入 111: TS输入
3	DMA_MODE_EN	DMA模式使能控制 0: 不使用DMA 1: 使用DMA
2	AWD_EN	模拟看门狗使能 0: 不使能 1: 使能
1	TS_EN	温度监测使能 0: 不使能 1: 使能
0	ADC_EN	ADC工作使能 0: 不使能 1: 使能

### 15.10.3 ADC 状态寄存器(ADC\_SR)

地址偏移: 0x04

复位值: 0x0000 0000



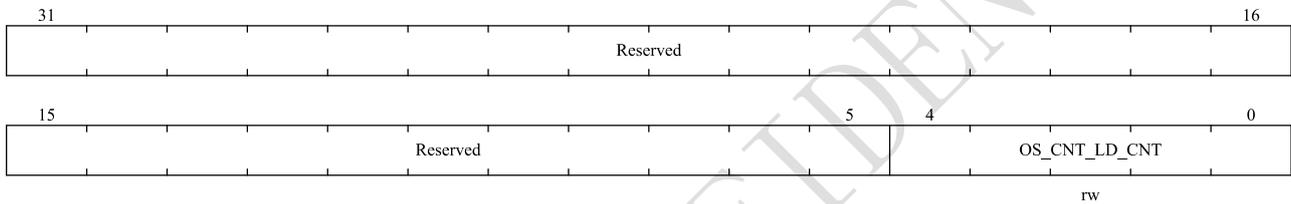
位域	名称	描述
31:3	Reserved	必须保持为0。
2	PGARDY_F	PGA异常状态指示 0: PGA工作正常

位域	名称	描述
		1: PGA工作异常
1	AWD_F	模拟看门狗工作状态指示 0: 没有模拟看门狗事件发生 1: 有模拟看门狗事件发生
0	ADC_DONE_F	ADC单次转换完成状态指示 0: 单次转换未完成 1: 单次转换完成

#### 15.10.4 ADC 过采样控制寄存器(ADC\_OVR\_SAMP\_CNT)

地址偏移: 0x08

复位值: 0x0000 001F

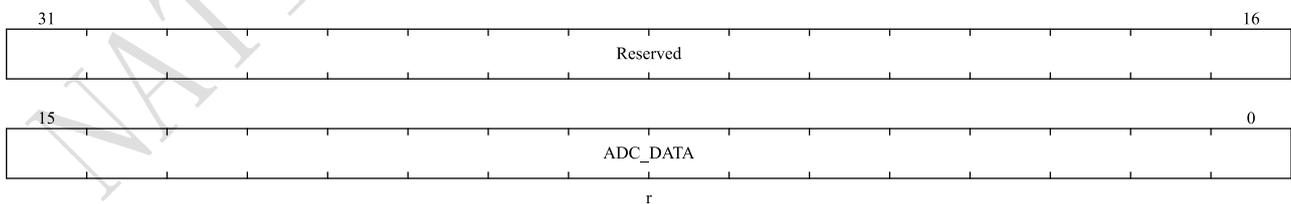


位域	名称	描述
31:5	Reserved	必须保持为0。
4:0	OS_CNT_LD_CNT	过采样率设置 注: 配置值需要 $\geq 2$ OS_CNT_LD_CNT +1个数据采样一个数据

#### 15.10.5 ADC 数据寄存器(ADC\_DAT)

地址偏移: 0x0C

复位值: 0x0000 0000

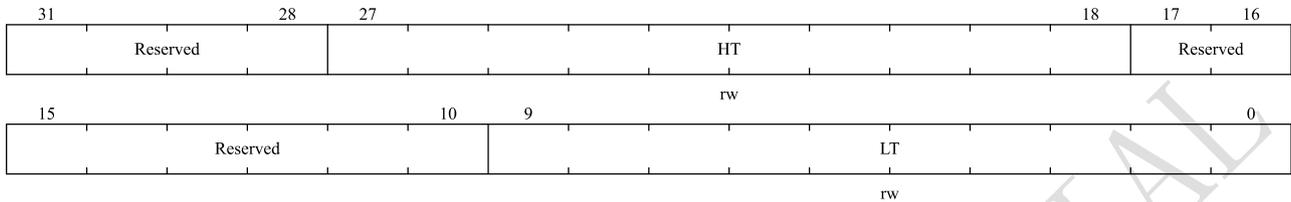


位域	名称	描述
31:16	Reserved	必须保持为0。
15:0	ADC_DATA	存储ADC转换数据 当VAD_FILTER_BYP为1时, 存储10bit无符号数 当VAD_FILTER_BYP为0,滤波器工作时, 存储16bit有符号数

### 15.10.6 ADC 看门狗阈值控制寄存器(ADC\_WDT\_THRES)

地址偏移: 0x10

复位值: 0x0FFC 0000

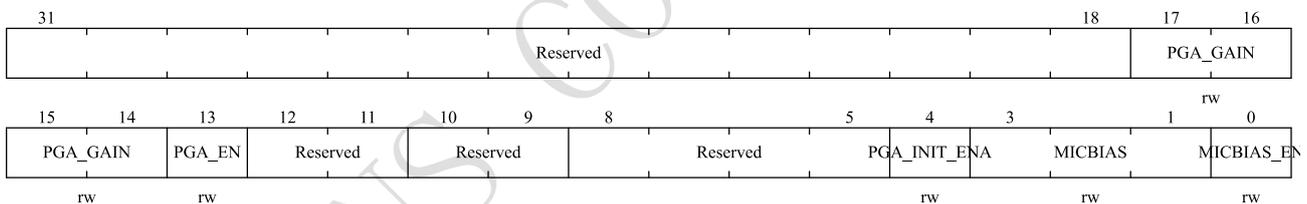


位域	名称	描述
31:28	Reserved	必须保持为0。
27:18	HT	模拟看门狗高阈值
17:10	Reserved	必须保持为0。
9:0	LT	模拟看门狗低阈值

### 15.10.7 PGA&BIAS 控制寄存器(PGA\_CFG)

地址偏移: 0x14

复位值: 0x0002 0A08



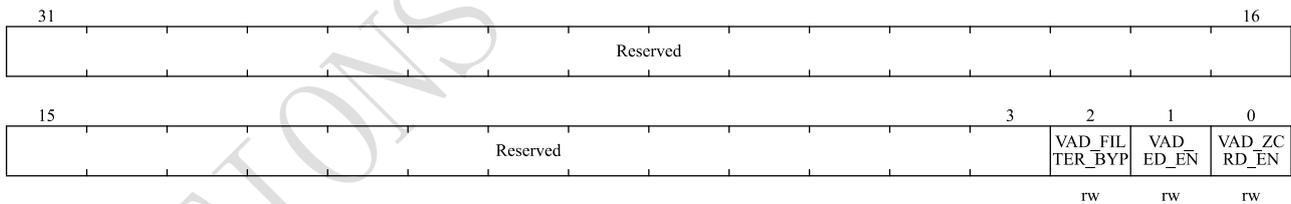
位域	名称	描述
31:18	Reserved	必须保持为0。
17	Reserved	默认值为1
16:14	PGA_GAIN	PGA增益配置 000 : 0dB 001 : 6dB 010 : 12dB 011 : 18dB 100 : 24dB 101 : 30dB 110 : 36dB 111 : 42dB
13	PGA_EN	PGA使能 0: 不使能 1: 使能

位域	名称	描述
12:11	Reserved	默认为：01
10:9	Reserved	默认为：01
8:5	Reserved	必须保持为0
4	PGA_INIT_ENA	PGA初始化使能，片外电容快速充电使能，PGA启动时刻使用 0：不使能 1：使能 注：提供大于5ms的脉冲（先配1，后配0）
3:1	MICBIAS	MIC BIAS输出电压范围设置，step=0.1V 000 : 1.6V 001 : 1.7V 010 : 1.8V 011 : 1.9V 100 : 2.0V (defalut); 101 : 2.1V 110 : 2.2V 111 : 2.3V
0	MICBIAS_EN	MICBIAS使能控制 0：不使能 1：使能

### 15.10.8 音频检测控制寄存器(VOICE\_DET\_CR)

地址偏移：0x18

复位值：0x0000 0000

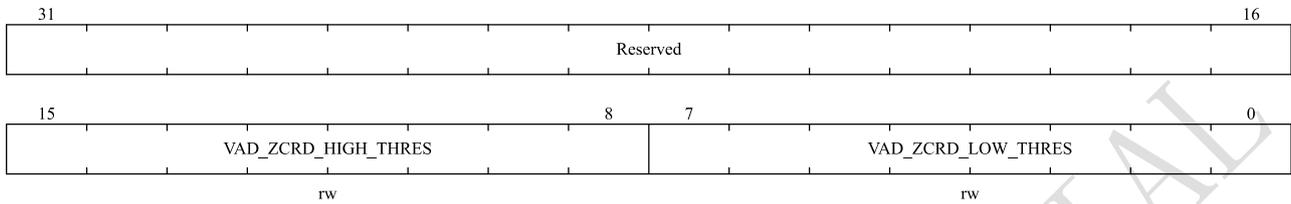


位域	名称	描述
31:3	Reserved	必须保持为0。
2	VAD_FILTER_BYP	FILTER BYPASS使能 0：不使能 1：使能
1	VAD_ED_EN	能量检测使能 0：不使能 1：使能
0	VAD_ZCRD_EN	过零检测使能 0：不使能 1：使能

### 15.10.9 音频过零检测阈值寄存器(VOICE\_ZCR\_THRES)

地址偏移: 0x1C

复位值: 0x0000 6D2E

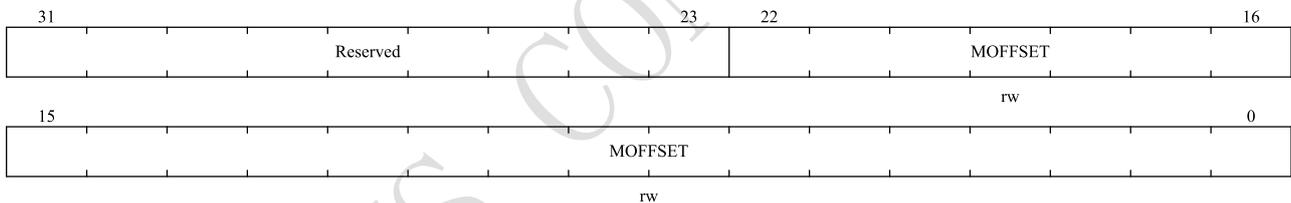


位域	名称	描述
31:16	Reserved	必须保持为0。
15:8	VAD_ZCRD_HIGH_THRES	过零检测高阈值
7:0	VAD_ZCRD_LOW_THRES	过零检测低阈值

### 15.10.10 音频能量检测阈值寄存器(VOICE\_ED\_THRES)

地址偏移: 0x20

复位值: 0x0000 0000

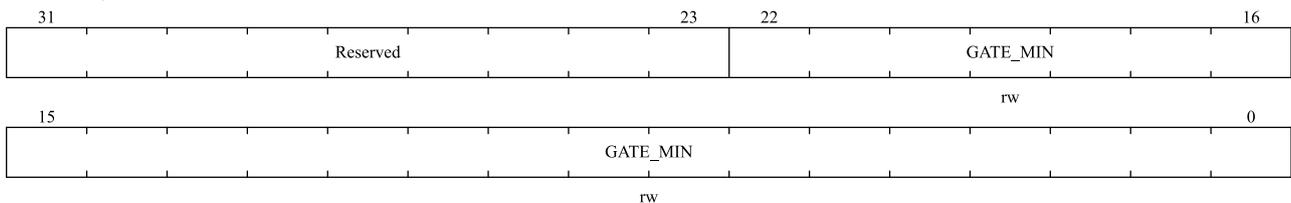


位域	名称	描述
31:23	Reserved	必须保持为0。
22:0	MOFFSET	环境噪声能量阈值

### 15.10.11 音频能量检测下溢寄存器(VOICE\_ED\_DWN\_THRES)

地址偏移: 0x24

复位值: 0x0000 0000

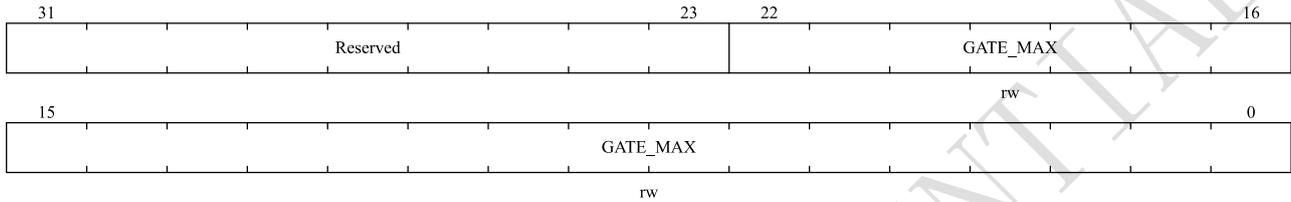


位域	名称	描述
31:23	Reserved	必须保持为0。
22:0	GATE_MIN	自适应阈值衰减限制下限，防止下溢。

### 15.10.12 音频能量检测上溢寄存器(VOICE\_ED\_UP\_THRES)

地址偏移：0x28

复位值：0x0000 0000



位域	名称	描述
31:23	Reserved	必须保持为0。
22:0	GATE_MAX	自适应阈值衰减限制上限，防止上溢。

## 16 I<sup>2</sup>C 接口

### 16.1 I<sup>2</sup>C 简介

I<sup>2</sup>C 总线是一种广泛应用的总线结构，它只有两根双向线，即数据总线 SDA 和时钟总线 SCL，通过这两根线，所有与 I<sup>2</sup>C 总线兼容的设备都可以通过 I<sup>2</sup>C 总线彼此直接通信。

I<sup>2</sup>C 接口连接微控制器和串行 I<sup>2</sup>C 总线，可用于 MCU 和外部 I<sup>2</sup>C 设备的通讯。I<sup>2</sup>C 接口模块实现了 I<sup>2</sup>C 协议的标速模式和快速模式，具备 CRC 计算和校验功能、支持 SMBus(系统管理总线)和 PMBus(电源管理总线)，此外它提供多主机功能，控制所有 I<sup>2</sup>C 总线特定的时序、协议、仲裁和定时。I<sup>2</sup>C 接口模块也支持 DMA 模式，可有效减轻 CPU 的负担。

### 16.2 I<sup>2</sup>C 主要特点

- 并行总线/I<sup>2</sup>C 总线协议转换器
- 多主机功能：该模块既可做主设备也可做从设备
- I<sup>2</sup>C 主设备功能
  - ◆ 产生时钟
  - ◆ 产生起始和停止信号
- I<sup>2</sup>C 从设备功能
  - ◆ 可编程的 I<sup>2</sup>C 地址检测
  - ◆ 可响应 2 个从地址的双地址能力
  - ◆ 停止位检测
- 产生和检测 7 位/10 位地址和广播呼叫
- 支持不同的通讯速度
  - ◆ 标准速度高达 (100 kHz)
  - ◆ 快速模式 (支持 400 kHz、1 MHz)
- 支持多种状态标志：
  - ◆ 发送器/接收器模式标志
  - ◆ 字节发送结束标志
  - ◆ I<sup>2</sup>C 总线忙标志
- 支持多种错误标志
  - ◆ 主模式时的仲裁丢失
  - ◆ 地址/数据传输后的应答 (ACK) 错误
  - ◆ 检测到错位的起始或停止条件
  - ◆ 禁止拉长时钟功能时的上溢或下溢

- 1 个中断向量
  - ◆ 事件中断和错误中断共用一个中断向量
- 可选的拉长时钟功能
- 具单字节缓冲器的 DMA
- 可配置的 PEC（信息包错误检测）的产生或校验：
  - ◆ 发送模式中 PEC 值可以作为最后一个字节传输
  - ◆ 用于最后一个接收字节的 PEC 错误校验
- 兼容 SMBus 2.0
  - ◆ 25 ms 时钟低超时延时
  - ◆ 10 ms 主设备累积时钟低扩展时间
  - ◆ 25 ms 从设备累积时钟低扩展时间
  - ◆ 带 ACK 控制的硬件 PEC 产生/校验
  - ◆ 支持地址分辨协议（ARP）
- 兼容 PMBus

注：不是所有产品中都包含上述所有特性。请参考相关的数据手册，确认该产品支持的 I<sup>2</sup>C 功能。

## 16.3 I<sup>2</sup>C 功能描述

I<sup>2</sup>C 模块接收和发送数据，并将数据从串行转换成并行，或并行转换成串行。可以开启或禁止中断。接口通过数据引脚（SDA）和时钟引脚（SCL）连接到 I<sup>2</sup>C 总线。允许连接到标准（支持 100kHz）或快速（支持 400kHz、1 MHz）的 I<sup>2</sup>C 总线。

### 16.3.1 模式选择

接口可以支持下述 4 种模式中的一种运行：

- 从发送器模式
- 从接收器模式
- 主发送器模式
- 主接收器模式

该模块默认地工作于从模式。接口在生成起始条件后自动地从从模式切换到主模式；当仲裁丢失或产生停止信号时，则从主模式切换到从模式。允许多主机功能。

#### 16.3.1.1 通信流

主模式时，I<sup>2</sup>C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。起始条件和停止条件都是在主模式下由软件控制产生。

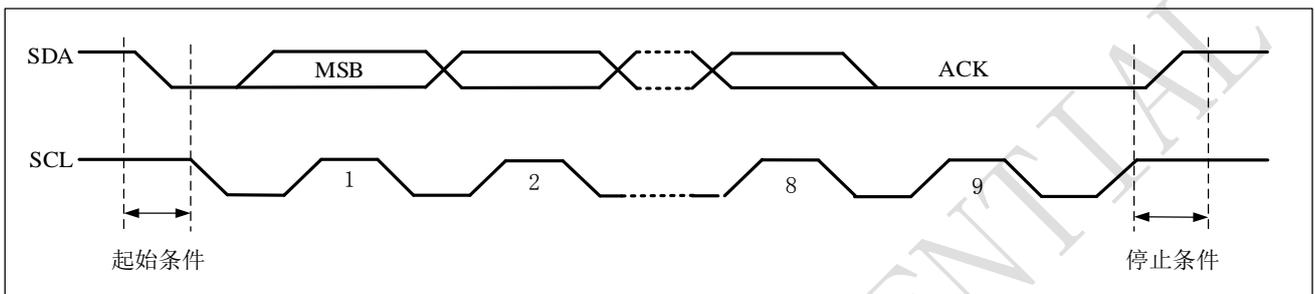
从模式时，I<sup>2</sup>C 接口能识别它自己的地址（7 位或 10 位）和广播呼叫地址。软件能够控制开启或禁止广播

呼叫地址的识别。

数据和地址按 8 位/字节进行传输，高位在前。跟在起始条件后的 1 或 2 个字节是地址（7 位模式为 1 个字节，10 位模式为 2 个字节）。地址只在主模式发送。

在一个字节传输的 8 个时钟后的第 9 个时钟期间，接收器必须回送一个应答位（ACK）给发送器。参考下图。

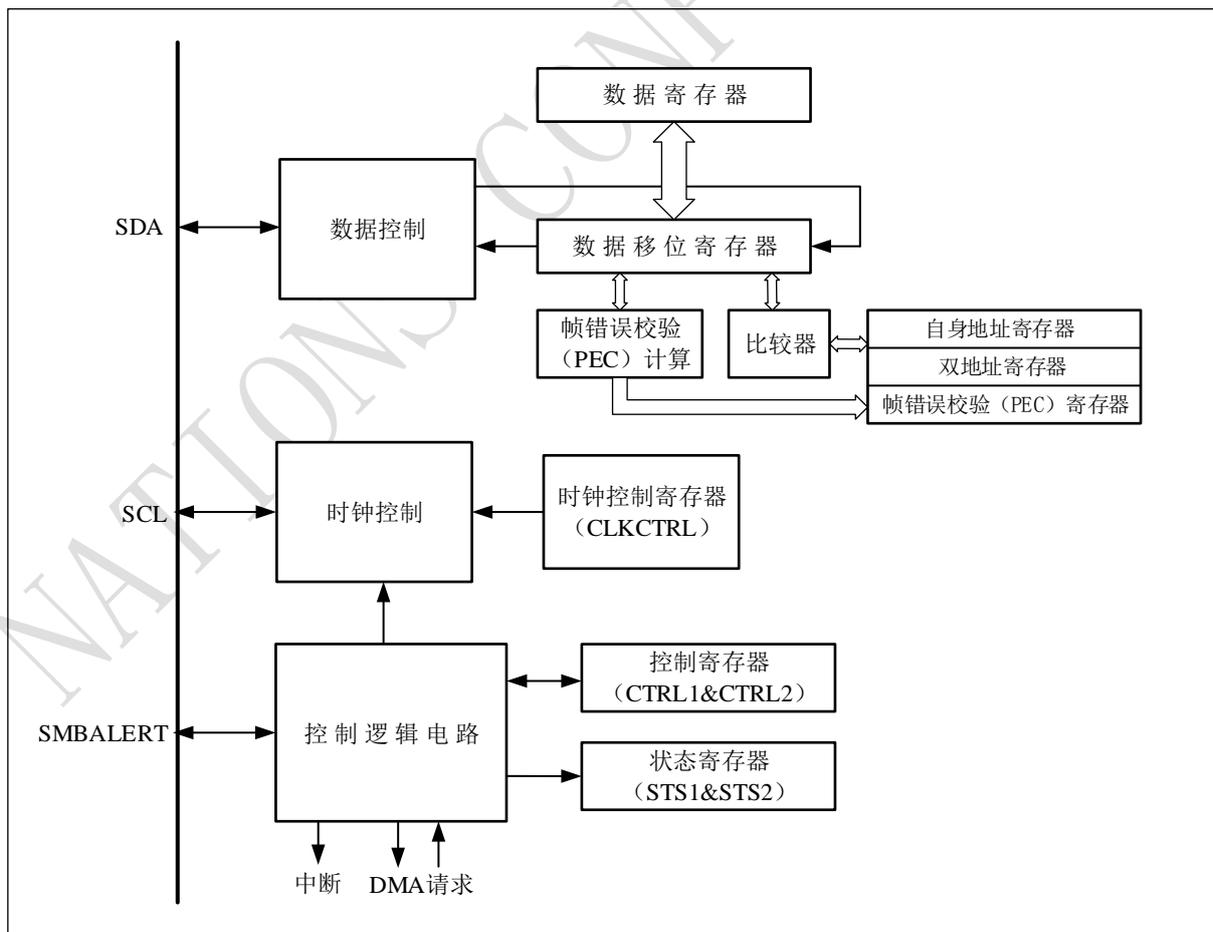
图 16-1 I<sup>2</sup>C 总线协议



软件可以开启或禁止应答（ACK），并可以设置 I<sup>2</sup>C 接口的地址（7 位、10 位地址或广播呼叫地址）。

I<sup>2</sup>C 接口的功能框图示于下图。

图 16-2 I<sup>2</sup>C 的功能框图



注：在 SMBus 模式下，SMBALERT 是可选信号。如果禁止了 SMBus，则不能使用该信号

## 16.3.2 I<sup>2</sup>C 从模式

默认情况下，I<sup>2</sup>C 接口总是工作在从模式。从从模式切换到主模式，需要产生一个起始条件。为了产生正确的时序，必须在 I2C\_CTRL2 寄存器中设定该模块的输入时钟。输入时钟的频率必须至少是：

- 标准模式下为：2MHz（100KHz 通信速率）
- 快速模式下为：3MHz（1MHz 通信速率）和 10MHz（400KHz 通信速率）。

一旦检测到起始条件，在 SDA 线上接收到的地址被送到移位寄存器。然后与芯片自己的地址 OADDR1 和 OADDR2（当 DUALEN=1）或者广播呼叫地址（如果 GCEN=1）相比较。

*注：在 10 位地址模式时，比较包括头段序列（11110xx0），其中的 xx 是地址的两个最高有效位。*

**头段或地址不匹配：** I<sup>2</sup>C 接口将其忽略并等待另一个起始条件。

**头段匹配（仅 10 位模式）：** 如果 ACK 位被置 ‘1’，I<sup>2</sup>C 接口产生一个应答脉冲并等待 8 位从地址。

**地址匹配：** I<sup>2</sup>C 接口产生以下时序：

- 如果 ACK 被置 ‘1’，则产生一个应答脉冲
- 硬件设置 ADDRDF 位；如果设置了 EVTINTEN 位，则产生一个中断
- 如果 DUALEN=1，软件必须读 DUALFLAG 位，以确认响应了哪个从地址。

在 10 位模式，接收到地址序列后，从设备总是处于接收器模式。在收到与地址匹配的头序列并且最低位为 ‘1’（即 11110xx1）后，当接收到重复的起始条件时，将进入发送器模式。

在从模式下 TRF 位指示当前是处于接收器模式还是发送器模式。

### 16.3.2.1 从发送器

在接收到地址和清除 ADDRDF 位后，从发送器将字节从 DAT 寄存器经由内部移位寄存器发送到 SDA 线上。

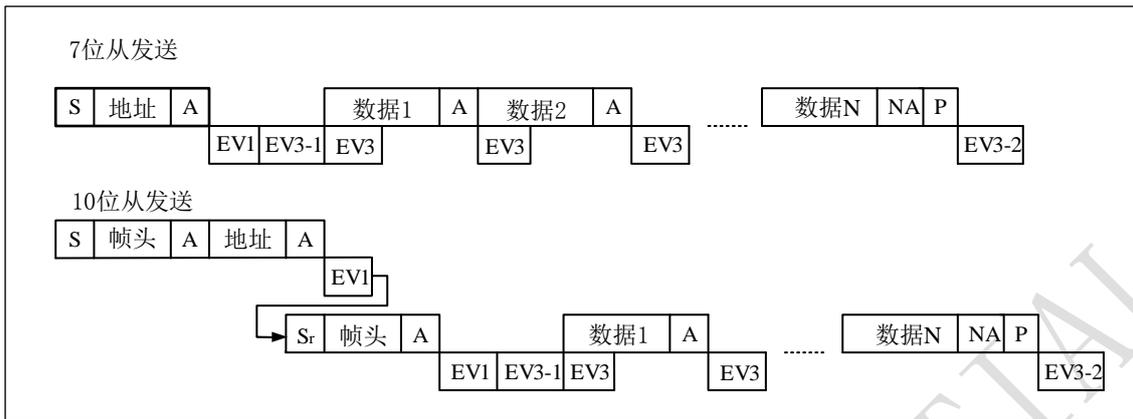
从设备保持 SCL 为低电平，直到 ADDRDF 位被清除并且待发送数据已写入 DAT 寄存器。（见下图中的 EV1 和 EV3）。

当收到应答脉冲时：

- TXDATE 位被硬件置位，如果设置了 EVTINTEN 和 BUFINTEN 位，则产生一个中断。

如果 TXDATE 位被置位，但在下一个数据发送结束之前没有新数据写入到 I2C\_DAT 寄存器，则 BSF 位被置位，在清除 BSF 之前 I<sup>2</sup>C 接口将保持 SCL 为低电平；读出 I2C\_STS1 之后再写入 I2C\_DAT 寄存器将清除 BSF 位

图 16-3 从发送器的传送序列图



说明:

- 1、S=Start（起始条件），Sr=重复的起始条件，P=Stop（停止条件），A=响应，NA=非响应，EV<sub>x</sub>=事件（EVTINTEN=1 时产生中断）
  - 2、EV1: ADDR<sub>F</sub>=1，读 STS1 然后读 STS2 将清除该事件。
  - 3、EV3-1: TXDATE=1，移位寄存器空，数据寄存器空，写 DAT。
  - 4、EV3: TXDATE=1，移位寄存器非空，数据寄存器空，写 DAT 将清除该事件。
  - 5、EV3-2: ACKFAIL=1，在 STS1 寄存器的 ACKFAIL 位写 '0' 可清除 ACKFAIL 位。
- 注: a) EV1 和 EV3\_1 事件拉长 SCL 低的时间，直到对应的软件序列结束。  
b) EV3 的软件序列必须在当前字节传输结束之前完成。

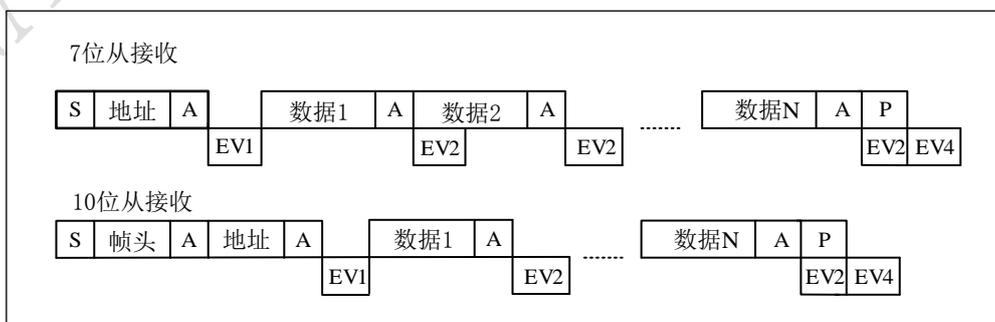
### 16.3.2.2 从接收器

在接收到地址并清除 ADDR<sub>F</sub> 后，从接收器将通过内部移位寄存器从 SDA 线接收到的字节存进 DAT 寄存器。I<sup>2</sup>C 接口在接收到每个字节后都执行下列操作:

- 如果设置了 ACK 位，则产生一个应答脉冲
- 硬件设置 RXDATNE=1。如果设置了 EVTINTEN 和 BUFINTEN 位，则产生一个中断。

如果 RXDATN 被置位，并且在接收新的数据结束之前 DAT 寄存器未被读出，BSF 位被置位，在清除 BSF 之前 I<sup>2</sup>C 接口将保持 SCL 为低电平；读出 I2C\_STS1 之后再写入 I2C\_DAT 寄存器将清除 BTF 位。（见下图）。

图 16-4 从接收器的传送序列图



说明:

- 1、S=Start (起始条件), Sr=重复的起始条件, P=Stop (停止条件), A=响应, NA=非响应, EV<sub>x</sub>=事件 (EVTINTEN=1 时产生中断)
  - 2、EV1: ADDR<sub>F</sub>=1, 读 STS1 然后读 STS2 将清除该事件。
  - 3、EV2: RXDATNE =1, 读 DAT 将清除该事件。
  - 4、EV4: STOPF=1, 读 STS1 然后写 CTRL1 寄存器将清除该事件。
- 注: a) EV1 事件拉长 SCL 低的时间, 直到对应的软件序列结束。  
b) EV2 的软件序列必须在当前字节传输结束之前完成。

### 16.3.2.3 关闭从通信

在传输完最后一个数据字节后, 主设备产生一个停止条件, I<sup>2</sup>C 接口检测到这一条件时:

- 设置 STOPF=1, 如果设置了 EVTINTEN 位, 则产生一个中断。

然后 I<sup>2</sup>C 接口等待读 STS1 寄存器, 再写 CTRL1 寄存器。(见图 16-4 的 EV4)。

### 16.3.3 I<sup>2</sup>C 主模式

在主模式时, I<sup>2</sup>C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。当通过 START 位在总线上产生了起始条件, 设备就进入了主模式。

以下是主模式所要求的操作顺序:

- 在 I2C\_CTRL2 寄存器中设定该模块的输入时钟以产生正确的时序
- 配置时钟控制寄存器
- 配置上升时间寄存器
- 编程 I2C\_CTRL1 寄存器启动外设
- 设置 I2C\_CTRL1 寄存器中的 STARTGEN 位为 1, 产生起始条件

I<sup>2</sup>C 模块的输入时钟频率必须至少是:

- 标准模式下为: 2MHz (100KHz 通信速率)
- 快速模式下为: 3MHz (1MHz 通信速率) 和 10MHz (400KHz 通信速率)。

#### 16.3.3.1 起始条件

当 BUSY=0 时, 设置 STARTGEN=1, I<sup>2</sup>C 接口将产生一个开始条件并切换至主模式 (MSMODE 位置位)。

注: 在主模式下, 设置 STARTGEN 位将在当前字节传输完后由硬件产生一个重新开始条件。

一旦发出开始条件:

- STARTBF 位被硬件置位, 如果设置了 EVTINTEN 位, 则会产生一个中断。然后主设备等待读 STS1 寄存器, 紧接着将从地址写入 DAT 寄存器 (见图 16-5 和图 16-6 的 EV5)。

#### 16.3.3.2 从地址的发送

从地址通过内部移位寄存器被送到 SDA 线上。

- 在 10 位地址模式时，发送一个头段序列产生以下事件：
  - ◆ ADDR10F 位被硬件置位，如果设置了 EVTINTEN 位，则产生一个中断。然后主设备等待读 STS1 寄存器，再将第二个地址字节写入 DAT 寄存器（见图 16-5 和图 16-6）。
  - ◆ ADDRDF 位被硬件置位，如果设置了 EVTINTEN 位，则产生一个中断。随后主设备等待一次读 STS1 寄存器，跟着读 STS2 寄存器（见图 16-5 和图 16-6）。
- 在 7 位地址模式时，只需送出一个地址字节。
  - 一旦该地址字节被送出，
    - ◆ ADDRDF 位被硬件置位，如果设置了 EVTINTEN 位，则产生一个中断。随后主设备等待一次读 STS1 寄存器，跟着读 STS2 寄存器（见图 16-5 和图 16-6）。

根据送出从地址的最低位，主设备决定进入发送器模式还是进入接收器模式。

- 在 7 位地址模式时，
  - ◆ 要进入发送器模式，主设备发送从地址时置最低位为 ‘0’。
  - ◆ 要进入接收器模式，主设备发送从地址时置最低位为 ‘1’。
- 在 10 位地址模式时
  - ◆ 要进入发送器模式，主设备先送头字节 (11110xx0)，然后送最低位为 ‘0’ 的从地址。（这里 xx 代表 10 位地址中的最高 2 位）
  - ◆ 要进入接收器模式，主设备先送头字节 (11110xx0)，然后送最低位为 ‘1’ 的从地址。然后再重新发送一个开始条件，后面跟着头字节 (11110xx1)（这里 xx 代表 10 位地址中的最高 2 位）。

TRF 位指示主设备是在接收器模式还是发送器模式。

### 16.3.3.3 主发送器

在发送了地址和清除了 ADDRDF 位后，主设备通过内部移位寄存器将字节从 DAT 寄存器发送到 SDA 线上。主设备等待，直到 TXDATE 被清除，（见图 16-5 的 EV8）。

当收到应答脉冲时：

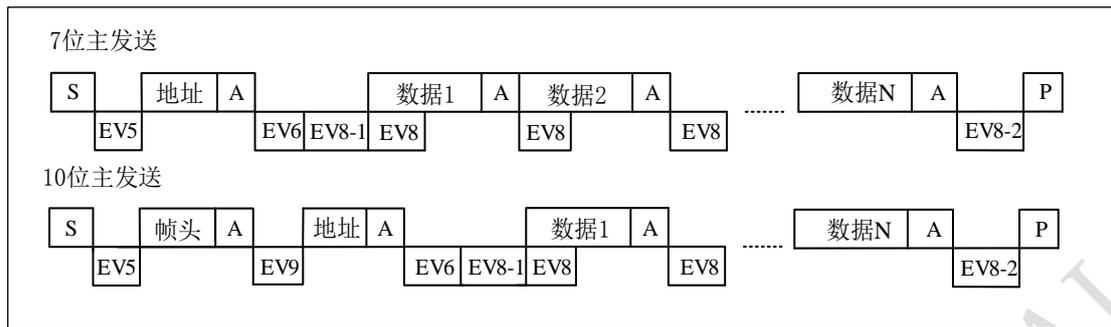
- TXDATE 位被硬件置位，如果设置了 EVTINTEN 和 BUFINTEN 位，则产生一个中断。如果 TXDATE 被置位并且在上一次数据发送结束之前没有写新的数据字节到 DAT 寄存器，则 BSF 被硬件置位，在清除 BSF 之前 I<sup>2</sup>C 接口将保持 SCL 为低电平；读出 I2C\_STS1 之后再写入 I2C\_DAT 寄存器将清除 BSF 位。

### 16.3.3.4 关闭通信

在 DAT 寄存器中写入最后一个字节后，通过设置 STOPGEN 位产生一个停止条件（见图 16-5 的 EV8\_2），然后 I<sup>2</sup>C 接口将自动回到从模式（MSMODE 位清除）。

*注：当 TXDATE 或 BSF 位置位时，停止条件应安排在出现 EV8\_2 事件时。*

图 16-5 主发送器传送序列图



说明:

- 1、S=Start (起始条件), Sr=重复的起始条件, P=Stop (停止条件), A=响应, NA=非响应, EVx=事件 (EVTINTEN=1 时产生中断)。
- 2、EV5: SB=1, 读 STS1 然后将地址写入 DAT 寄存器将清除该事件。
- 3、EV6: ADDRf=1, 读 STS1 然后读 STS2 将清除该事件。
- 4、EV8\_1: TXDATE=1, 移位寄存器空, 数据寄存器空, 写 DAT 寄存器。
- 5、EV8: TXDATE=1, 移位寄存器非空, 数据寄存器空, 写入 DAT 寄存器将清除该事件。
- 6、EV8\_2: TXDATE =1, BSF=1, 请求设置停止位。TXDATE 和 BSF 位由硬件在产生停止条件时清除。
- 7、EV9: ADDR10F =1, 读 STS1 然后写入 DAT 寄存器将清除该事件。

注: a) EV5、EV6、EV9、EV8\_1 和 EV8\_2 事件拉长 SCL 低的时间, 直到对应的软件序列结束。

b) EV8 的软件序列必须在当前字节传输结束之前完成。

### 16.3.3.5 主接收器

在发送地址和清除 ADDRf 之后, I<sup>2</sup>C 接口进入主接收器模式。在此模式下, I<sup>2</sup>C 接口从 SDA 线接收数据字节, 并通过内部移位寄存器送至 DAT 寄存器。在每个字节后, I<sup>2</sup>C 接口依次执行以下操作:

- 如果 ACKEN 位被置位, 发出一个应答脉冲。
- 硬件设置 RXDATNE=1, 如果设置了 EVTINTEN 和 BUFINTEN 位, 则会产生一个中断 (见图 16-6 的 EV7)。

如果 RXDATNE 位被置位, 并且在接收新数据结束前, DAT 寄存器中的数据没有被读走, 硬件将设置 BSF=1, 在清除 BSF 之前 I<sup>2</sup>C 接口将保持 SCL 为低电平; 读出 I2C\_STS1 之后再读出 I2C\_DAT 寄存器将清除 BSF 位。

### 16.3.3.6 关闭通信

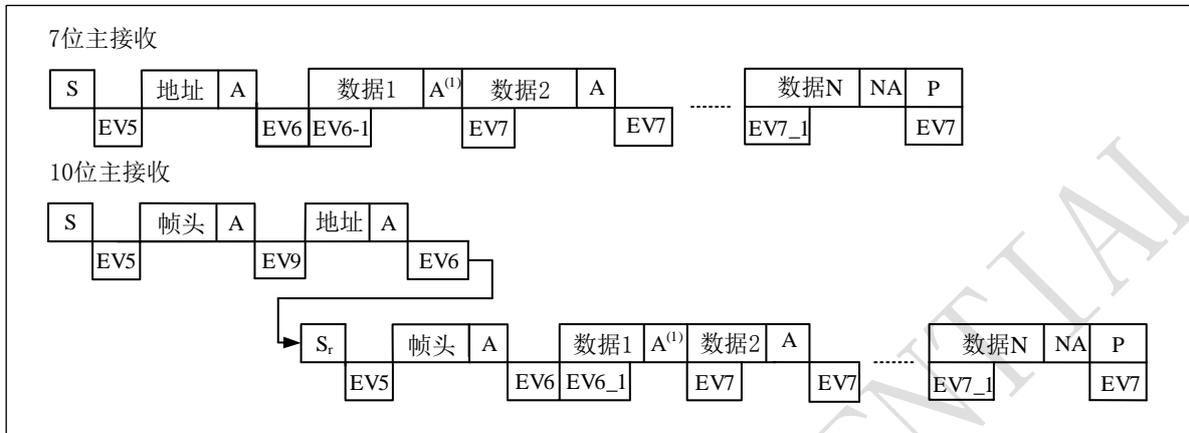
主设备在从从设备接收到最后一个字节后发送一个 NACK。接收到 NACK 后, 从设备释放对 SCL 和 SDA 线的控制; 主设备就可以发送一个停止/重新起始条件。

- 为了在收到最后一个字节后产生一个 NACK 脉冲, 在读倒数第二个数据字节之后 (在倒数第二个 RXDATNE 事件之后) 必须清除 ACKEN 位。
- 为了产生一个停止/重新起始条件, 软件必须在读倒数第二个数据字节之后 (在倒数第二个 RXDATNE 事件之后) 设置 STOPGEN / STARTGEN 位。
- 只接收一个字节时, 刚好在 EV6 之后 (EV6\_1 时, 清除 ADDR 之后) 要关闭应答和停止条件的产生

位。

在产生了停止条件后，I<sup>2</sup>C 接口自动回到从模式（MSMODE 位被清除）。

图 16-6 主接收器传送序列图



说明：

- 1、S=Start（起始条件），Sr=重复的起始条件，P=Stop（停止条件），A=响应，NA=非响应，EV<sub>x</sub>=事件（EVTINTEN=1 时产生中断）
- 2、EV5：STARTBF=1，读 STS1 然后将地址写入 DAT 寄存器将清除该事件。
- 3、EV6：ADDRF=1，读 STS1 然后读 STS2 将清除该事件。在 10 位主接收模式下，该事件后应设置 CTRL1 的 STARTGEN=1。
- 4、EV6\_1：没有对应的事件标志，只适于接收 1 个字节的情况。恰好在 EV6 之后（即清除了 ADDR 之后），要清除响应和停止条件的产生位。
- 5、EV7：RXDATNE=1，读 DAT 寄存器清除该事件。
- 6、EV7\_1：RXDATNE=1，读 DAT 寄存器清除该事件。设置 ACKEN=0 和 STOPGEN 请求。
- 7、EV9：ADDR10F=1，读 STS1 然后写入 DAT 寄存器将清除该事件。

注：a) 如果收到一个单独的字节，则是 NA。

b) EV5、EV6 和 EV9 事件拉长 SCL 低电平，直到对应的软件序列结束。

c) EV7 的软件序列必须在当前字节传输结束前完成。

d) EV6\_1 或 EV7\_1 的软件序列必须在当前传输字节的 ACK 脉冲之前完成。

### 16.3.4 错误条件

以下条件可能造成通讯失败。

#### 16.3.4.1 总线错误 (BUSERR)

在一个地址或数据字节传输期间，当 I<sup>2</sup>C 接口检测到一个外部的停止或起始条件则产生总线错误。此时：

- BUSERR 位被置位为 ‘1’；如果设置了 ERRINTEN 位，则产生一个中断；
- 在从模式情况下，数据被丢弃，硬件释放总线：
  - ◆ 如果是错误的开始条件，从设备认为是一个重启动，并等待地址或停止条件。
  - ◆ 如果是错误的停止条件，从设备按正常的停止条件操作，同时硬件释放总线。

- 在主模式情况下，硬件不释放总线，同时不影响当前的传输状态。此时由软件决定是否要中止当前的传输。

#### 16.3.4.2 应答错误 ( ACKFAIL )

当接口检测到一个无应答位时，产生应答错误。此时：

- ACKFAIL 位被置位，如果设置了 ERRINTEN 位，则产生一个中断；
- 当发送器接收到一个 NACK 时，必须复位通讯：
  - ◆ 如果是处于从模式，硬件释放总线。
  - ◆ 如果是处于主模式，软件必须生成一个停止条件。

#### 16.3.4.3 仲裁丢失 ( ARLOST )

当 I<sup>2</sup>C 接口检测到仲裁丢失时产生仲裁丢失错误，此时：

- ARLOST 位被硬件置位，如果设置了 ERRINTEN 位，则产生一个中断；
- I<sup>2</sup>C 接口自动回到从模式 (MSMODE 位被清除)。当 I<sup>2</sup>C 接口丢失了仲裁，则它无法在同一个传输中响应它的从地址，但它可以在赢得总线的主设备发送重起始条件之后响应；
- 硬件释放总线。

#### 16.3.4.4 过载/欠载错误 ( OVERRUN )

在从模式下，如果禁止时钟延长，I<sup>2</sup>C 接口正在接收数据时，当它已经接收到一个字节 (RXDATNE)，但在 DAT 寄存器中前一个字节数据还没有被读出，则发生过载错误。此时：

- 最后接收的数据被丢弃；
- 在过载错误时，软件应清除 RXDATNE 位，发送器应该重新发送最后一次发送的字节。

在从模式下，如果禁止时钟延长，I<sup>2</sup>C 接口正在发送数据时，在下一个字节的时钟到达之前，新的数据还未写入 DAT 寄存器 (TXDATE=1)，则发生欠载错误。此时：

- 在 DAT 寄存器中的前一个字节将被重复发出；
- 用户应该确定在发生欠载错时，接收端应丢弃重复接收到的数据。发送端应按 I<sup>2</sup>C 总线标准在规定的更新时间更新 DAT 寄存器。

在发送第一个字节时，必须在清除 ADDR<sub>F</sub> 之后并且第一个 SCL 上升沿之前写入 DAT 寄存器；如果不能做到这点，则接收方应该丢弃第一个数据。

### 16.3.5 SDA/SCL 线控制

I<sup>2</sup>C 模块有两条接口线：串行数据线 (SDA) 和串行时钟线 (SCL)。连接到总线上的设备通过这两根线互相传递信息。SDA 和 SCL 都是双向线，通过一个电流源或者上拉电阻接到电源正极。当总线空闲时，两条线都是高电平。连接到总线的设备输出极必须带开漏或者开集，以提供线与功能。I<sup>2</sup>C 总线上的数据在标准模式下可以达到 100 kbit/s，在快速模式下可以达到 1Mbit/s。由于 I<sup>2</sup>C 总线上可能会连接不同工艺的设备，

逻辑‘0’和逻辑‘1’的电平并不是固定的，取决于 VDD 的实际电平

如果允许时钟延长，即 SCL 线拉低，就可以避免在接收时发生过载错误以及在发送时发生欠载错误。

- 如果允许时钟延长：
  - ◆ 发送器模式：如果 TXDATE=1 且 BSF=1：I<sup>2</sup>C 接口在传输前保持时钟线为低，以等待软件读取 STS1，然后把数据写进数据寄存器（缓冲器和移位寄存器都是空的）。
  - ◆ 接收器模式：如果 RXDATNE=1 且 BSF=1：I<sup>2</sup>C 接口在接收到数据字节后保持时钟线为低，以等待软件读 STS1，然后读数据寄存器 DAT（缓冲器和移位寄存器都是满的）。
- 如果在从模式中禁止时钟延长：
  - ◆ 如果 RXDATNE=1，在接收到下个字节前 DAT 还没有被读出，则发生过载错。接收到的最后一个字节丢失。
  - ◆ 如果 TXDATE=1，在必须发送下个字节之前却没有新数据写进 DAT，则发生欠载错。相同的字节将被重复发出。
  - ◆ 不控制重复写冲突。

## 16.3.6 SMBus

### 16.3.6.1 介绍

系统管理总线（SMBus）是一个双线接口。通过它，各设备之间以及设备与系统的其他部分之间可以互相通信。它基于 I<sup>2</sup>C 操作原理。SMBus 为系统和电源管理相关的任务提供一条控制总线。

一个系统利用 SMBus 可以和多个设备互传信息，而不需使用独立的控制线路。

系统管理总线（SMBus）标准涉及三类设备。从设备：接收或响应命令的设备。主设备：用来发送命令、产生时钟和终止发送的设备。主机：一种专用的主设备，它提供与系统 CPU 的主接口。主机必须具有主-从机功能并且必须支持 SMBus 提醒协议。一个系统里只允许有一个主机。

### 16.3.6.2 SMBus 和 I<sup>2</sup>C 之间的相似点

- 2 条线的总线协议（1 个时钟，1 个数据）+ 可选的 SMBus 提醒线；
- 主-从通信，主设备提供时钟；
- 多主机功能
- SMBus 数据格式类似于 I<sup>2</sup>C 的 7 位地址格式（见图 16-1）；

### 16.3.6.3 SMBus 和 I<sup>2</sup>C 之间的不同点

下表列出了 SMBus 和 I<sup>2</sup>C 的不同点。

表 16-1 SMBus 与 I<sup>2</sup>C 的比较

SMBus	I <sup>2</sup> C
最大传输速度 100kHz	最大传输速度 1MHz
最小传输速度 10kHz	无最小传输速度

35ms 时钟低超时	无时钟超时
固定的逻辑电平	逻辑电平由 VDD 决定
不同的地址类型（保留的、动态的等）	7 位、10 位和广播呼叫从地址类型
不同的总线协议（快速命令、处理呼叫等）	无总线协议

#### 16.3.6.4 SMBus 应用用途

利用系统管理总线，设备可提供制造商信息，告诉系统它的型号/部件号，保存暂停事件的状态，报告不同类型的错误，接收控制参数，和返回它的状态。SMBus 为系统和电源管理相关的任务提供控制总线。

#### 16.3.6.5 设备标识

在系统管理总线上，任何一个作为从模式的设备都有一个唯一的地址，叫做从地址。保留的从地址表请参考 2.0 版的 SMBus 规范 (<http://smbus.org/specs/>)

#### 16.3.6.6 总线协议

SMBus 技术规范支持 9 个总线协议。有关这些协议的详细资料和 SMBus 地址类型，请参考 2.0 版的 SMBus 规范 (<http://smbus.org/specs/>)。这些协议由用户的软件来执行。

#### 16.3.6.7 地址解析协议 ( ARP )

通过给每个从设备动态地分配一个新的唯一地址，可以解决 SMBus 的从地址冲突。地址解析协议 (ARP) 具有以下特性：

- 使用标准 SMBus 物理层仲裁机制分配地址；
- 当设备维持供电期间，分配的地址仍保持不变，也允许设备在断电后保留其地址。
- 在地址分配后，没有额外的 SMBus 的打包开销（也就是说访问分配地址的设备与访问固定地址的设备所用时间是一样的）；
- 任何一个 SMBus 主设备可以遍历总线。

#### 16.3.6.8 唯一的设备标识符(UDID)

为了分配地址，需要一种区分每个设备的机制，每个设备必须拥有一个唯一的设备标识符。关于在 ARP 上 128 位的 UDID 的详细信息，参考 2.0 版的 SMBus 规范 (<http://smbus.org/specs/>)。

#### 16.3.6.9 SMBus 提醒模式

SMBus 提醒是一个带中断线的可选信号，用于那些希望扩展它们的控制能力而牺牲一个引脚的设备。SMBALERT 和 SCL、SDA 信号一样，是一种线与信号。SMBALERT 通常和 SMBus 广播呼叫地址一起使用。与 SMBus 有关的消息为 2 字节。

一个只具有从功能的设备，可以通过设置 I2C\_CTRL1 寄存器上的 SMBALERT 位，使用 SMBALERT 给主机发信号表示它希望进行通信。主机处理该中断并通过提醒响应地址 ARA (Alert Response Address, 地址值为 0001100x) 访问所有 SMBALERT 设备。只有那些将 SMBALERT 拉低的设备能应答 ARA。此状态是由 I2C\_STS1 寄存器中的 SMBALERT 状态标记来标识的。主机执行一个修改过的接收字节操作。由从发送

设备提供的 7 位设备地址被放在字节的 7 个最高位上，第八个位可以是 ‘0’ 或 ‘1’。

如果多个设备把 SMBALERT 拉低，最高优先级设备（最小的地址）将在地址传输期间通过标准仲裁赢得通信权。在确认从地址后，此设备不得再拉低它的 SMBALERT，如果当信息传输完成后，主机仍看到 SMBALERT 低，就知道需要再次读 ARA。

没有实现 SMBALERT 信号的主机可以定期访问 ARA。

有关 SMBus 提醒模式的更多详细资料，请参考 2.0 版的 SMBus 规范 (<http://smbus.org/specs/>)。

### 16.3.6.10 超时错误

在定时规范上 I<sup>2</sup>C 和 SMBus 之间有很多差别。

SMBus 定义了一个时钟低超时，35ms 的超时。SMBus 规定 TLOW: SEXT 为从设备的累积时钟低扩展时间。SMBus 规定 TLOW: MEXT 为主设备的累积时钟低扩展时间。更多超时细节请参考 2.0 版的 SMBus 规范 (<http://smbus.org/specs/>)。

I2C\_STS1 中的状态标志 TIMEOUT 错误表明了这个特性的状态。

### 16.3.6.11 如何使用 SMBus 模式的接口

为了从 I2C 模式切换到 SMBus 模式，应该执行下列步骤：

- 设置 I2C\_CTRL1 寄存器中的 SMBMODE 位；
- 按应用要求配置 I2C\_CTRL1 寄存器中的 SMBTYPE 和 ARPEN 位。

如果要把设备配置成主设备，产生起始条件的步骤见 16.3.3 节 I<sup>2</sup>C 主模式。否则，参见 16.3.2 节 I<sup>2</sup>C 从模式。

软件程序必须处理多种 SMBus 协议。

- 如果 ARPEN=1 且 SMBTYPE=0，使用 SMB 设备默认地址。
- 如果 ARPEN=1 且 SMBTYPE=1，使用 SMB 主设备头字段。
- 如果 SMBALERT=1，使用 SMB 提醒响应地址。

## 16.3.7 DMA 请求

DMA 请求（当被使能时）仅用于数据传输。发送时数据寄存器变空或接收时数据寄存器变满，则产生 DMA 请求。DMA 请求必须在当前字节传输结束之前被响应。当为相应 DMA 通道设置的数据传输量已经完成时，DMA 控制器发送传输结束信号 ETO 到 I2C 接口，并且在中断允许时产生一个传输完成中断：

- 主发送器：在 EOT 中断服务程序中，需禁止 DMA 请求，然后在等到 BSF 事件后设置停止条件。
- 主接收器：当要接收的数据数目大于或等于 2 时，DMA 控制器发送一个硬件信号 EOT\_1，它对应 DMA 传输（字节数-1）。如果在 I2C\_CTRL2 寄存器中设置了 DMALAST 位，硬件在发送完 EOT\_1 后的下一个字节，将自动发送 NACK。在中断允许的情况下，用户可以在 DMA 传输完成的中断服务程序中产生一个停止条件。

### 16.3.7.1 利用 DMA 发送

通过设置 I2C\_CTRL2 寄存器中的 DMAEN 位可以激活 DMA 模式。只要 TXDATE 位被置位，数据将由

DMA 从预置的存储区装载进 I2C\_DAT 寄存器。为 I<sup>2</sup>C 分配一个 DMA 通道，须执行以下步骤（x 是通道号）：

1. 在 DMA\_PADRx 寄存器中设置 I2C\_DAT 寄存器地址。数据将在每个 TXDATE 事件后从存储器传送到这个地址。
2. 在 DMA\_MADRx 寄存器中设置存储器地址。数据在每个 TXDATE 事件后从这个存储区传送到 I2C\_DAT。
3. 在 DMA\_TXNUMx 寄存器中设置所需的传输字节数。在每个 TXDATE 事件后，此值将被递减。
4. 利用 DMA\_CHCFGx 寄存器中的 PL[0:1]位配置通道优先级。
5. 设置 DMA\_CHCFGx 寄存器中的 DIR 位，并根据应用要求可以配置在整个传输完成一半或全部完成时发出中断请求。
6. 通过设置 DMA\_CHCFGx 寄存器上的 CHEN 位激活通道。

当 DMA 控制器中设置的数据传输数目已经完成时，DMA 控制器给 I<sup>2</sup>C 接口发送一个传输结束的 EOT/EOT\_1 信号。在中断允许的情况下，将产生一个 DMA 中断。

*注：如果使用 DMA 进行发送时，不要设置 I2C\_CTRL2 寄存器的 BUFINTEN 位。*

### 16.3.7.2 利用 DMA 接收

通过设置 I2C\_CTRL2 寄存器中的 DMAEN 位可以激活 DMA 接收模式。每次接收到数据字节时，将由 DMA 把 I2C\_DAT 寄存器的数据传送到设置的存储区(参考 DMA 说明)。设置 DMA 通道进行 I<sup>2</sup>C 接收，须执行以下步骤（x 是通道号）：

1. 在 DMA\_CPARx 寄存器中设置 I2C\_DAT 寄存器的地址。数据将在每次 RXDATNE 事件后从此地址传送到存储区。
2. 在 DMA\_CMARx 寄存器中设置存储区地址。数据将在每次 RXDATNE 事件后从 I2C\_DAT 寄存器传送到此存储区。
3. 在 DMA\_CNDTRx 寄存器中设置所需的传输字节数。在每个 RXDATNE 事件后，此值将被递减。
4. 用 DMA\_CHCFGx 寄存器中的 PL[0:1]配置通道优先级。
5. 清除 DMA\_CHCFGx 寄存器中的 DIR 位，根据应用要求可以设置在数据传输完成一半或全部完成时发出中断请求。
6. 设置 DMA\_CHCFGx 寄存器中的 CHEN 位激活该通道。

当 DMA 控制器中设置的数据传输数目已经完成时，DMA 控制器给 I<sup>2</sup>C 接口发送一个传输结束的 EOT/EOT\_1 信号。在中断允许的情况下，将产生一个 DMA 中断。

*注：如果使用 DMA 进行接收时，不要设置 I2C\_CTRL2 寄存器的 BUFINTEN 位。*

### 16.3.8 包错误校验 ( PEC )

包错误校验 (PEC) 计算器是用于提高通信的可靠性，这个计算器使用下述 CRC-8 多项式对每一位串行数据进行计算：

$$C(x) = x^8 + x^2 + x + 1$$

- PEC 计算由 I2C\_CTRL1 寄存器的 PECEN 位激活。PEC 使用 CRC-8 算法对所有信息字节进行计算，包括地址和读/写位在内。
  - ◆ 在发送时：在最后一个 TXDATE 事件时设置 I2C\_CTRL1 寄存器的 PEC 传输位，PEC 将在最后一个字节后被发送。
  - ◆ 在接收时：在最后一个 RXDATNE 事件之后设置 I2C\_CTRL1 寄存器的 PEC 位，如果下个接收到的字节不等于内部计算的 PEC，接收器发送一个 NACK。如果是主接收器，不管校对的结果如何，PEC 后都将发送 NACK。PEC 位必须在接收当前字节的 ACK 脉冲之前设置。
- 在 I2C\_STS1 寄存器中可获得 PECERR 错误标记/中断。
- 如果 DMA 和 PEC 计算器都被激活：
  - ◆ 在发送时：当 I<sup>2</sup>C 接口从 DMA 控制器处接收到 EOT 信号时，它在最后一个字节后自动发送 PEC。
  - ◆ 在接收时：当 I<sup>2</sup>C 接口从 DMA 处接收到一个 EOT\_1 信号时，它将自动把下一个字节作为 PEC，并且将检查它。在接收到 PEC 后产生一个 DMA 请求。
- 为了允许中间 PEC 传输，在 I2C\_CTRL2 寄存器中有一个控制位（DMALAST 位）用于判别是否真是最后一个 DMA 传输。如果确实是最后一个主接收器的 DMA 请求，在接收到最后一个字节后自动发送 NACK。
- 仲裁丢失时 PEC 计算失效。

## 16.4 I2C 中断请求

下表列出了所有的 I<sup>2</sup>C 中断请求

表 16-2 I<sup>2</sup>C 中断请求表：

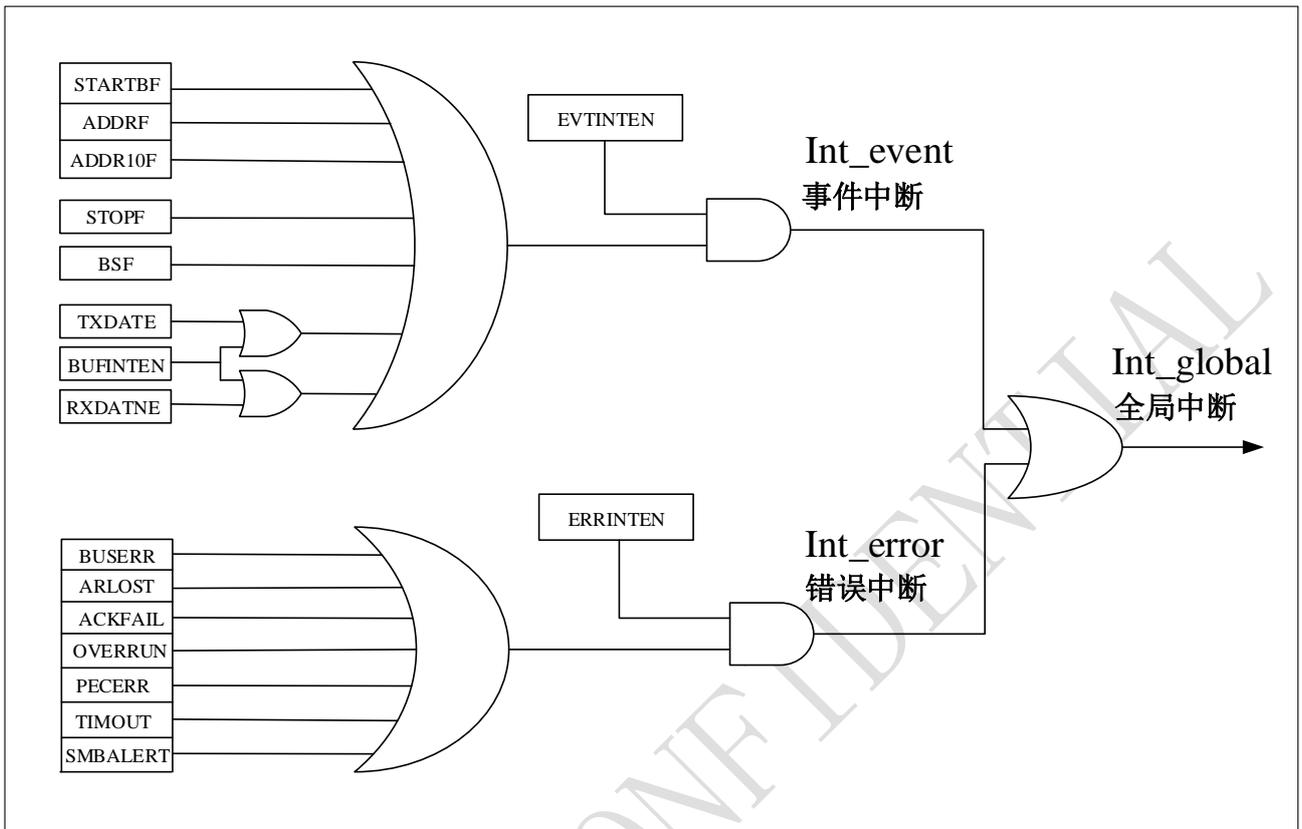
中断事件	事件标志	开启控制位
起始位已发送(主)	STARTBF	EVTINTEN
地址已发送(主) 或 地址匹配(从)	ADDRF	
10 位头段已发送(主)	ADDR10F	
已收到停止(从)	STOPF	
数据字节传输完成	BSF	
接收缓冲区非空	RXDATNE	EVTINTEN 和 BUFINTEN
发送缓冲区空	TXDATE	
总线错误	BUSERR	ERRINTEN
仲裁丢失(主)	ARLOST	
响应失败	ACKFAIL	
过载/欠载	OVERRUN	
PEC 错误	PECERR	
超时/Tlow 错误	TIMOUT	
SMBus 提醒	SMBALERT	

注：1、STARTBF、DDRF、ADDR10F、STOPF、BSF、RXDATNE 和 TXDATE 通过逻辑或汇到同一个中断通道中。

2、BUSERR、ARLOST、ACKFAIL、OVERRUN、PECERR、TIMOUT 和 SMBALERT 通过逻辑或汇到同一个中断通道中。

3、事件中断和错误中断通过逻辑或汇到全局中断通道中。

图 16-7 I<sup>2</sup>C 中断映射图



## 16.5 I<sup>2</sup>C 调试模式

当微控制器进入调试模式(Cortex<sup>®</sup>-M0 核心处于停止状态)时,根据 PWR 模块中的调试控制寄存器 (DBG\_CTRL) 配置位 I2C1TIMEOUT 和 I2C2TIMEOUT, SMBUS 超时控制或者继续正常工作或者可以停止。详见第 4.3.18 DBGMCU\_CR 寄存器。

## 16.6 I<sup>2</sup>C 寄存器描述

关于在寄存器描述里面所用到的缩写,详见第 1.1 节。

可以用半字(16 位)或字(32 位)的方式操作这些外设寄存器。

### 16.6.1 I<sup>2</sup>C 寄存器地址映射

表 16-3 I<sup>2</sup>C 寄存器地址映射和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
000h	I2C_CTRL1	Reserved																SWRESET	Reserved	SMBALERT	PEC	ACKPOS	ACKEN	STOPGEN	STARTGEN	NOEXTEND	GCEN	PECEN	ARPEN	SMBTYPE	Reserved	SMBMODE	EN	
	Reset Value																	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	I2C_CTRL2	Reserved																				DMALAST	DMAEN	BUFINTEN	EVTINTEN	ERRINTEN	Reserved	CLKFREQ[5:0]						

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
008h	I2C_OADDR1	Reserved																		ADDRMODE	Reserved	Reserved						ADDR[9:8]	ADDR[7:1]							ADDR0																
	Reset Value																			0	1							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
00Ch	I2C_OADDR2	Reserved																		ADDR2[7:1]							DUALEN																									
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
010h	I2C_DAT	Reserved																		DATA[7:0]																																
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
014h	I2C_STS1	Reserved																		SMBALERT	TIMOUT	Reserved	PECERR	OVERRUN	ACKFAIL	ARLOST	BUSERR	TXDATE	RXDATNE	Reserved	STOPP	ADDR10F	BYTEF	ADDRF	STARTBF																	
	Reset Value																			0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
018h	I2C_STS2	Reserved																		PECVAL[7:0]							DUALFLAG	SMBHADDR	SMBDADDR	GCALLADD	Reserved	TRF	BUSY	MSMODE																		
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
01Ch	I2C_CLKCTRL	Reserved																		FSMODE	DUTY	Reserved	CLKCTRL[11:0]																													
	Reset Value																			0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
020h	I2C_TMRISE	Reserved																		TMRISE[5:0]																																
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 16.6.2 控制寄存器 1(I2C\_CTRL1)

地址偏移: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SW RESET	Reserved	SMB ALERT	PEC	ACK POS	ACKEN	STOP GEN	START GEN	NO EXTEND	GCEN	PECEN	ARPEN	SMB TYPE	Reserved	SMB MODE	EN
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

位域	名称	描述
15	SWRESET	软件复位 当被置位时，I <sup>2</sup> C 处于复位状态。在复位该位前确信 I <sup>2</sup> C 的引脚被释放，总线是空的。 0: I <sup>2</sup> C 模块不处于复位状态； 1: I <sup>2</sup> C 模块处于复位状态。 注：该位可以用于 BUSY 位为 '1'，在总线上又没有检测到停止条件时。
14	Reserved	保留位，硬件强制为 0
13	SMBALERT	SMBus 提醒 软件可以设置或清除该位；当 EN=0 时，由硬件清除。 0: 释放 SMBAlert 引脚使其变高。提醒响应地址头紧跟在 NACK 信号后面； 1: 驱动 SMBAlert 引脚使其变低。提醒响应地址头紧跟在 ACK 信号后面。
12	PEC	数据包出错检测 软件可以设置或清除该位；当传送 PEC 后，或起始或停止条件时，或当 PE=0 时硬件将其清除。 0: 无 PEC 传输；

位域	名称	描述
		1: PEC 传输 (在发送或接收模式)。 <i>注: 仲裁丢失时, PEC 的计算失效。</i>
11	ACKPOS	应答/PEC 位置 (用于数据接收) 软件可以设置或清除该位, 或当 EN =0 时, 由硬件清除。 0: ACK 位控制当前移位寄存器内正在接收的字节的 (N) ACK。PEC 位表明当前移位寄存器内的字节是 PEC; 1: ACK 位控制在移位寄存器里接收的下一个字节的 (N) ACK。PEC 位表明在移位寄存器里接收的下一个字节是 PEC。 <i>注: ACKPOS 位只能用在 2 字节的接收配置中, 必须在接收数据之前配置。</i> 为了 NACK 第 2 个字节, 必须在清除 ADDR 为之后清除 ACK 位。 为了检测第 2 个字节的 PEC, 必须在配置了 ACKPOS 位之后, 拉伸 ADDR 事件时设置 PEC 位。
10	ACKEN	应答使能 软件可以设置或清除该位, 或当 EN =0 时, 由硬件清除。 0: 无应答返回; 1: 在接收到一个字节后返回一个应答(匹配的地址或数据)。
9	STOPGEN	停止条件产生 软件可以设置或清除该位; 或当检测到停止条件时, 由硬件清除; 当检测到超时错误时, 硬件将其置位。 在主模式下: 0: 无停止条件产生; 1: 在当前字节传输或在当前起始条件发出后产生停止条件。 在从模式下: 0: 无停止条件产生; 1: 在当前字节传输或释放 SCL 和 SDA 线。 <i>注: 当设置了 STOPGEN、STARTGEN 或 PEC 位, 在硬件清除这个位之前, 软件不要执行任何对 I2C_CTRL1 的写操作; 否则有可能会第 2 次设置 STOPGEN、STARTGEN 或 PEC 位。</i>
8	STARTGEN	起始条件产生 软件可以设置或清除该位, 或当起始条件发出后或 EN=0 时, 由硬件清除。 在主模式下: 0: 无起始条件产生; 1: 重复产生起始条件。 在从模式下: 0: 无起始条件产生; 1: 当总线空闲时, 产生起始条件。
7	NOEXTEND	禁止时钟延长 (从模式) 该位用于当 ADDR 或 BSF 标志被置位, 在从模式下禁止时钟延长, 直到它被软件复位。 0: 允许时钟延长; 1: 禁止时钟延长。
6	GCEN	广播呼叫使能 0: 禁止广播呼叫。以非应答响应地址 00h; 1: 允许广播呼叫。以应答响应地址 00h。

位域	名称	描述
5	PECEN	PEC 使能 0: 禁止 PEC 计算; 1: 开启 PEC 计算。
4	ARPEN	ARP 使能 0: 禁止 ARP; 1: 使能 ARP。 如果 SMBTYPE=0, 使用 SMBus 设备的默认地址。 如果 SMBTYPE=1, 使用 SMBus 的主地址。
3	SMBTYPE	SMBus 类型 0: SMBus 设备; 1: SMBus 主机。
2	Reserved	保留位, 硬件强制为 0。
1	SMBMODE	SMBus 模式 0: I <sup>2</sup> C 模式; 1: SMBus 模式。
0	EN	I <sup>2</sup> C 模块使能 0: 禁用 I <sup>2</sup> C 模块; 1: 启用 I <sup>2</sup> C 模块: 根据 SMBMODE 位的设置, 相应的 I/O 口需配置为复用功能。 <i>注: 如果清除该位时通讯正在进行, 在当前通讯结束后, I2C 模块被禁用并返回空闲状态。</i> 由于在通讯结束后发生 EN=0, 所有的位被清除。 在主模式下, 通讯结束之前, 绝不能清除该位。

### 16.6.3 控制寄存器 2(I2C\_CTRL2)

地址偏移: 0x04

复位值: 0x0000

15	13	12	11	10	9	8	7	6	5	0
Reserved		DMA LAST	DMA EN	BUFINT EN	EVTINT EN	ERRINT EN	Reserved		CLKFREQ[5:0]	
		rw	rw	rw	rw	rw			rw	

位域	名称	描述
15:13	Reserved	保留位, 硬件强制为 0
12	DMALAST	DMA 最后一次传输 0: 下一次 DMA 的 EOT 不是最后的传输; 1: 下一次 DMA 的 EOT 是最后的传输。 <i>注: 该位在主接收模式使用, 使得在最后一次接收数据时可以产生一个 NACK。</i>
11	DMAEN	DMA 请求使能 0: 禁止 DMA 请求; 1: 当 TXDATE =1 或 RXDATNE =1 时, 允许 DMA 请求。
10	BUFINTEN	缓冲器中断使能 0: 当 TXDATE=1 或 RXDATNE=1 时, 不产生任何中断; 1: 当 TXDATE=1 或 RXDATNE=1 时, 产生事件中断 (不管 DMAEN 是何种状态)。
9	EVTINTEN	事件中断使能

位域	名称	描述
		0: 禁止事件中断; 1: 允许事件中断。 在下列条件下, 将产生该中断: STARTBF = 1 (主模式); ADDR F= 1 (主/从模式); ADD10F= 1 (主模式); STOPF = 1 (从模式); BSF = 1, 但是没有 TXDATE 或 RXDATNE 事件; 如果 BUFINTEN = 1, TXDATE 事件为 1; 如果 BUFINTEN = 1, RXDATNE 事件为 1。
8	ERRINTEN	出错中断使能 0: 禁止出错中断; 1: 允许出错中断。 在下列条件下, 将产生该中断: BUSERR = 1; ARLOST = 1; ACKFAIL = 1; OVERRUN = 1; PECERR = 1; TIMEOUT = 1; SMBALERT = 1。
7:6	Reserved	保留位, 硬件强制为 0。
5:0	CLKFREQ[5:0]	I <sup>2</sup> C 模块时钟频率 必须设置正确的输入时钟频率以产生正确的时序, 允许的范围在 2~48MHz 之间: 000000: 禁用 000001: 禁用 000010: 2MHz ... 110000: 48MHz 大于 110000: 禁用。

### 16.6.4 自身地址寄存器 1 ( I2C\_OADDR1 )

复位地址偏移: 0x08

复位值: 0x0000

15	14	13	10	9	8	7	1	0
ADDR MODE	Reserved	Reserved	ADDR[9:8]			ADDR[7:1]		ADDR0
rw			rw			rw		rw

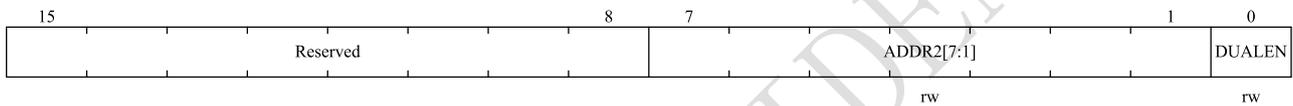
位域	名称	描述
15	ADDRMODE	寻址模式 (从模式) 0: 7 位从地址 (不响应 10 位地址); 1: 10 位从地址 (不响应 7 位地址)。
14	Reserved	必须始终由软件保持为 '1'。

位域	名称	描述
13:10	Reserved	保留位，硬件强制为 0。
9:8	ADDR[9:8]	接口地址 7 位地址模式时不用关心。 10 位地址模式时为地址的 9~8 位。
7:1	ADDR[7:1]	接口地址 地址的 7~1 位。
0	ADDR0	接口地址 7 位地址模式时不用关心。 10 位地址模式时为地址第 0 位。

### 16.6.5 自身地址寄存器 2 ( I2C\_OADDR2 )

地址偏移: 0x0C

复位值: 0x0000

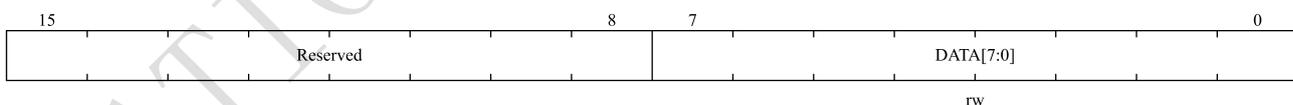


位域	名称	描述
15:8	Reserved	保留位，硬件强制为 0
7:1	ADDR2[7:1]	接口地址 在双地址模式下地址的 7~1 位。
0	DUALEN	双地址模式使能位 0: 在 7 位地址模式下，只有 OADDR1 被识别； 1: 在 7 位地址模式下，OADDR1 和 OADDR2 都被识别。

### 16.6.6 数据寄存器 ( I2C\_DAT )

地址偏移: 0x10

复位值: 0x0000



位域	名称	描述
15:8	Reserved	保留位，硬件强制为 0
7:0	DATA[7:0]	8 位数据寄存器 用于存放接收到的数据或放置用于发送到总线的数据 发送器模式: 当写一个字节至 DAT 寄存器时，自动启动数据传输。一旦传输开始 (TXDATE=1)，如果能及时把下一个需传输的数据写入 DAT 寄存器，I <sup>2</sup> C 模块将保持连续的数据流。 接收器模式: 接收到的字节被拷贝到 DAT 寄存器 (RXDATNE=1)。在接收到下一个字节 (RXDATNE=1) 之前读出数据寄存器，即可实现连续的数据传送。 注: 在从模式下，地址不会被拷贝进数据寄存器 DAT;

位域	名称	描述
		注：硬件不管理写冲突（如果TXDATE =0，仍能写入数据寄存器）； 注：如果在处理ACK脉冲时发生ARLOS事件，接收到的字节不会被拷贝到数据寄存器里，因此不能读到它。

### 16.6.7 状态寄存器 1 ( I2C\_STS1 )

地址偏移：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMB ALERT	TIM OUT	Reserved	PEC ERR	OVER RUN	ACK FAIL	AR LOST	BUS ERR	TXDATE	RXDAT NE	Reserved	STOPF	ADDR10F	BSF	ADDRF	START BF
rc_w0	rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	r	r		r	r	r	r	r

位域	名称	描述
15	SMBALERT	SMBus 提醒 在 SMBus 主机模式下： 0：无 SMBus 提醒； 1：在引脚上产生 SMBAlert 提醒事件。 ■ 在 SMBus 从机模式下： 0：没有 SMBAlert 响应地址头序列； 1：收到 SMBAlert 响应地址头序列至 SMBAlert 变低。 该位由软件写 ‘0’ 清除，或在 EN=0 时由硬件清除。
14	TIMOUT	超时或 Tlow 错误 0：无超时错误； 1：SCL 处于低已 达到 25ms（超时）；或者主机低电平累积时钟扩展时间超过 10ms（Tlow:mext）；或从设备低电平累积时钟扩展时间超过 25ms（Tlow:sext）。 ■ 当在从模式下设置该位：从设备复位通讯，硬件释放总线。 ■ 当在主模式下设置该位：硬件发出停止条件。 该位由软件写 ‘0’ 清除，或在 EN=0 时由硬件清除。
13	Reserved	保留位，硬件强制为 0。
12	PECERR	在接收时发生 PEC 错误 0：无 PEC 错误：接收到 PEC 后接收器返回 ACK（如果 ACKEN=1）； 1：有 PEC 错误：接收到 PEC 后接收器返回 NACK（不管 ACKEN 是什么值）。 该位由软件写 ‘0’ 清除，或在 EN=0 时由硬件清除。
11	OVERRUN	过载/欠载 0：无过载/欠载； 1：出现过载/欠载。 当 NOEXTEND =1 时，在从模式下该位被硬件置位，同时： ■ 在接收模式中当收到一个新的字节时（包括 ACK 应答脉冲），数据寄存器里的内容还未被读出，则新接收的字节将丢失。 ■ 在发送模式中当要发送一个新的字节时，却没有新的数据写入数据寄存器，同样的字节将被发送两次。 该位由软件写 ‘0’ 清除，或在 EN=0 时由硬件清除。。

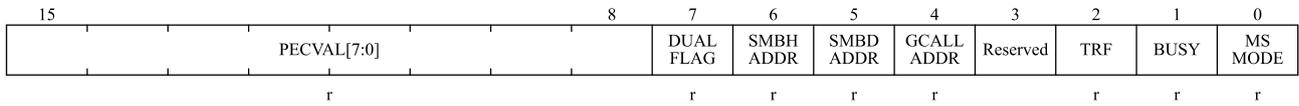
位域	名称	描述
		<i>注：如果数据寄存器的写操作发生时间非常接近 SCL 的上升沿，发送的数据是不确定的，并发生保持时间错误。</i>
10	ACKFAIL	<p>应答失败</p> <p>0：没有应答失败；</p> <p>1：应答失败。</p> <ul style="list-style-type: none"> <li>■ 当没有返回应答时，硬件将置该位为‘1’。</li> <li>■ 该位由软件写‘0’清除，或在 EN=0 时由硬件清除。</li> </ul>
9	ARLOST	<p>仲裁丢失（主模式）</p> <p>0：没有检测到仲裁丢失；</p> <p>1：检测到仲裁丢失。</p> <ul style="list-style-type: none"> <li>■ 当接口失去对总线的控制给另一个主机时，硬件将置该位为‘1’。</li> <li>■ 该位由软件写‘0’清除，或在 EN=0 时由硬件清除。</li> </ul> <p>在 ARLOST 事件之后，I<sup>2</sup>C 接口自动切换回从模式（MSMODE=0）。</p> <p><i>注：在 SMBUS 模式下，在从模式下对数据的仲裁仅仅发生在数据阶段，或应答传输区间（不包括地址的应答）。</i></p>
8	BUSERR	<p>总线出错</p> <p>0：无起始或停止条件出错；</p> <p>1：起始或停止条件出错。</p> <ul style="list-style-type: none"> <li>■ 当接口检测到错误的起始或停止条件，硬件将该位置‘1’。</li> <li>■ 该位由软件写‘0’清除，或在 EN=0 时由硬件清除。</li> </ul>
7	TXDATE	<p>数据寄存器为空（发送时）</p> <p>0：数据寄存器非空；</p> <p>1：数据寄存器空。</p> <ul style="list-style-type: none"> <li>■ 在发送数据时，数据寄存器为空时该位被置‘1’，在发送地址阶段不设置该位。</li> <li>■ 软件写数据到 DAT 寄存器可清除该位；或在发生一个起始或停止条件后，或当 EN=0 时由硬件自动清除。</li> </ul> <p>如果收到一个 NACK，或下一个要发送的字节是 PEC（PEC=1），该位不被置位。</p> <p><i>注：在写入第 1 个要发送的数据后，或设置了 BSF 时写入数据，都不能清除 TXDATE 位，这是因为数据寄存器仍然为空。</i></p>
6	RXDATNE	<p>数据寄存器非空（接收时）</p> <p>0：数据寄存器为空；</p> <p>1：数据寄存器非空。</p> <ul style="list-style-type: none"> <li>■ 在接收时，当数据寄存器不为空，该位被置‘1’。在接收地址阶段，该位不被置位。</li> <li>■ 软件对数据寄存器的读写操作清除该位，或当 EN=0 时由硬件清除。</li> </ul> <p>在发生 ARLOST 事件时，RXDATNE 不被置位。</p> <p><i>注：当设置了 BSF 时，读取数据不能清除 RXDATNE 位，因为数据寄存器仍然为满。</i></p>
5	Reserved	保留位，硬件强制为 0
4	STOPF	<p>停止条件检测位（从模式）</p> <p>0：没有检测到停止条件；</p> <p>1：检测到停止条件。</p> <ul style="list-style-type: none"> <li>■ 在一个应答之后（如果 ACK=1），当从设备在总线上检测到停止条件时，硬件将该位置‘1’。</li> <li>■ 软件读取 STS1 寄存器后，对 CTRL1 寄存器的写操作将清除该位，或当 EN=0 时，硬</li> </ul>

位域	名称	描述
		件清除该位。 <i>注：在收到NACK后，STOPF位不被置位。</i>
3	ADDR10F	10位头序列已发送（主模式） 0：没有ADDR10F事件发生； 1：主设备已经将第一个地址字节发送出去。 ■ 在10位地址模式下，当主设备已经将第一个字节发送出去时，硬件将该位置‘1’。 ■ 软件读取STS1寄存器后，对CTRL1寄存器的写操作将清除该位，或当EN=0时，硬件清除该位。 <i>注：收到一个NACK后，ADD10F位不被置位。</i>
2	BSF	字节发送结束 0：字节发送未完成； 1：字节发送结束。 当NOEXTEND=0时，在下列情况下硬件将该位置‘1’： ■ 在接收时，当收到一个新字节（包括ACK脉冲）且数据寄存器还未被读取（RXDATNE=1）。 ■ 在发送时，当一个新数据将被发送且数据寄存器还未被写入新的数据（TXDATE=1）。 ■ 在软件读取STS1寄存器后，对数据寄存器的读或写操作将清除该位；或在传输中发送一个起始或停止条件后，或当EN=0时，由硬件清除该位。 <i>注：在收到一个NACK后，BSF位不会被置位。</i> 如果下一个要传输的字节是PEC（I2C_STS2寄存器中TRF为‘1’，同时I2C_CTRL1寄存器中PEC为‘1’），BSF位不会被置位。
1	ADDRF	地址已被发送（主模式）/地址匹配（从模式） 在软件读取STS1寄存器后，对STS2寄存器的读操作将清除该位，或当EN=0时，由硬件清除该位。 ■ 地址匹配（从模式） 0：地址不匹配或没有收到地址； 1：收到的地址匹配。 当收到的从地址与OADDR寄存器中的内容相匹配、或发生广播呼叫、或SMBus设备默认地址或SMBus主机识别出SMBus提醒时，硬件就将该位置‘1’（当对应的设置被使能时）。 ■ 地址已被发送（主模式） 0：地址发送没有结束； 1：地址发送结束。 ◆ 10位地址模式时，当收到地址的第二个字节的ACK后该位被置‘1’。 ◆ 7位地址模式时，当收到地址的ACK后该位被置‘1’。 <i>注：在收到NACK后，ADDRF位不会被置位。</i>
0	STARTBF	起始位（主模式） 0：未发送起始条件； 1：起始条件已发送。 ■ 当发送出起始条件时该位被置‘1’。 ■ 软件读取STS1寄存器后，写数据寄存器的操作将清除该位，或当EN=0时，硬件清除该位。

## 16.6.8 状态寄存器 2 ( I2C\_STS2 )

地址偏移: 0x18

复位值: 0x0000



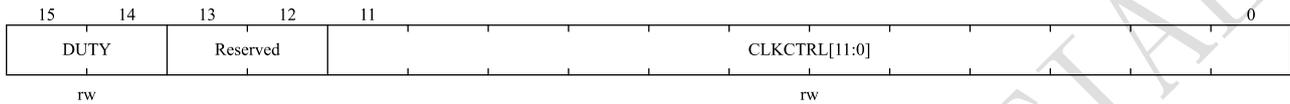
位域	名称	描述
15:8	PECVAL[7:0]	数据包出错检测 当 PECEN =1 时， PECVAL [7:0]存放内部的 PEC 的值。
7	DUALFLAG	双标志（从模式） 0: 接收到的地址与 OADDR1 内的内容相匹配； 1: 接收到的地址与 OADDR2 内的内容相匹配。 在产生一个停止条件或一个重复的起始条件时，或 EN=0 时，硬件将该位清除。
6	SMBHADDR	SMBus 主机头系列（从模式） 0: 未收到 SMBus 主机的地址； 1: 当 SMBTYPE=1 且 ENARP=1 时，收到 SMBus 主机地址。 - 在产生一个停止条件或一个重复的起始条件时，或 PE=0 时，硬件将该位清除。
5	SMBDADDR	SMBus 设备默认地址（从模式） 0: 未收到 SMBus 设备的默认地址； 1: 当 ARPEN=1 时，收到 SMBus 设备的默认地址。 在产生一个停止条件或一个重复的起始条件时，或 EN=0 时，硬件将该位清除。
4	GCALLADDR	广播呼叫地址（从模式） 0: 未收到广播呼叫地址； 1: 当 GCEN=1 时，收到广播呼叫的地址。 在产生一个停止条件或一个重复的起始条件时，或 EN=0 时，硬件将该位清除
3	Reserved	保留位，硬件强制为 0
2	TRF	发送/接收 0: 接收到数据； 1: 数据已发送； ■ 在整个地址传输阶段的结尾，该位根据地址字节的 R/W 位来设定。 ■ 在检测到停止条件（STOPF=1）、重复的起始条件或总线仲裁丢失（ARLOST=1）后，或当 EN=0 时，硬件将其清除。
1	BUSY	总线忙 0: 在总线上无数据通讯； 1: 在总线上正在进行数据通讯。 ■ 在检测到 SDA 或 SCL 为低电平时，硬件将该位置 ‘1’； ■ 当检测到一个停止条件时，硬件将该位清除。 该位指示当前正在进行的总线通讯，当接口被禁用（EN=0）时该信息仍然被更新。
0	MSMODE	主从模式 0: 从模式； 1: 主模式。

位域	名称	描述
		<ul style="list-style-type: none"> <li>当接口处于主模式 (STARTBF=1) 时, 硬件将该位置位;</li> <li>当总线上检测到一个停止条件、仲裁丢失 (ARLOST=1) 时、或当 EN=0 时, 硬件清除该位。</li> </ul>

### 16.6.9 时钟控制寄存器 ( I2C\_CLKCTRL )

地址偏移: 0x1C

复位值: 0x0000

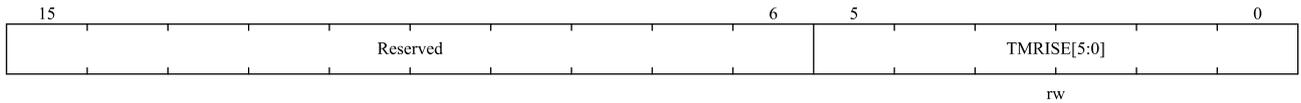


位域	名称	描述
15:14	DUTY	SCL 时钟的占空比 00: $T_{low}/T_{high} = 1$ ; 01: $T_{low}/T_{high} = 1$ ; 10: $T_{low}/T_{high} = 2$ ; 11: $T_{low}/T_{high} = 16/9$ ; 注: SCL 1M 时推荐使用 00 或 01 配置。
13:12	Reserved	保留位, 硬件强制为 0。
11:0	CLKCTRL[11:0]	时钟控制分频系数 (主模式) 该分频系数用于设置主模式下的 SCL 时钟。 如果 DUTY = 00 或 01: $T_{high} = CLKCTRL \times T_{PCLK1}$ $T_{low} = CLKCTRL \times T_{PCLK1}$ 如果 DUTY = 10: $T_{high} = CLKCTRL \times T_{PCLK1}$ $T_{low} = 2 \times CLKCTRL \times T_{PCLK1}$ 如果 DUTY = 11: $T_{high} = 9 \times CLKCTRL \times T_{PCLK1}$ $T_{low} = 16 \times CLKCTRL \times T_{PCLK1}$ 例如: 使用 DUTY = 00 产生 100kHz 的 SCL 的频率: 如果 CLKFREQ = 08, $T_{PCLK1} = 125ns$ , 则 CLKCTRL 必须写入 0x28 ( $40 \times 125ns = 5000ns$ )。 注: 1、当 DUTY = 00 或 01, 允许设定的最小值为 0x04, 其他允许的最小值为 0x01; 2、 $T_{high} = t_{r(SCL)} + t_{w(SCLH)}$ , 详见数据手册中对这些参数的定义; 3、 $T_{low} = t_{f(SCL)} + t_{w(SCLL)}$ , 详见数据手册中对这些参数的定义; 4、这些延时没有过滤器; 5、只有在关闭 PC 时 ( $EN = 0$ ) 才能设置 CLKCTRL 寄存器;

### 16.6.10 TMRISE 寄存器 ( I2C\_TMRISE )

地址偏移: 0x20

复位值: 0x0002



位域	名称	描述
15:6	Reserved	保留位，硬件强制为 0
5:0	TMRISE[5:0]	<p>在快速 / 标准模式下的最大上升时间（主模式）</p> <p>这些位必须设置为 I<sup>2</sup>C 总线规范里给出的最大的 SCL 上升时间，增长步幅为 1。</p> <p>例如：标准模式中最大允许 SCL 上升时间为 1000ns。如果在 I2C_CTRL2 寄存器中 CLKFREQ [5:0] 中的值等于 0x08 且 T<sub>PCLK1</sub>=125ns，故 TMRISE[5:0] 中必须写入 09h（1000ns/125 ns = 8+1）。</p> <p>滤波器的值也可以加到 TMRISE[5:0] 内。</p> <p>如果结果不是一个整数，则将整数部分写入 TMRISE[5:0] 以确保 t<sub>HIGH</sub> 参数。</p> <p>注：只有当 PC 被禁用（EN=0）时，才能设置 TMRISE[5:0]。</p>

## 17 通用同步异步接收器 ( USART )

### 17.1 USART 简介

通用同步异步收发器 (USART) 是一种全双工或半双工, 同步或异步的一个串行数据交换接口。USART 提供了可编程的波特率发生器, 能对系统时钟进行分频产生 USART 发送和接收所需的特定频率。

USART 支持标准的异步收发模式、红外编码规范、SIR、智能卡协议、LIN、同步单双工模式、多处理器通信和 Modem 流控操作 (CTS/RTS), 为了实现高速数据通信还使用多缓冲器配置的 DMA 方式。

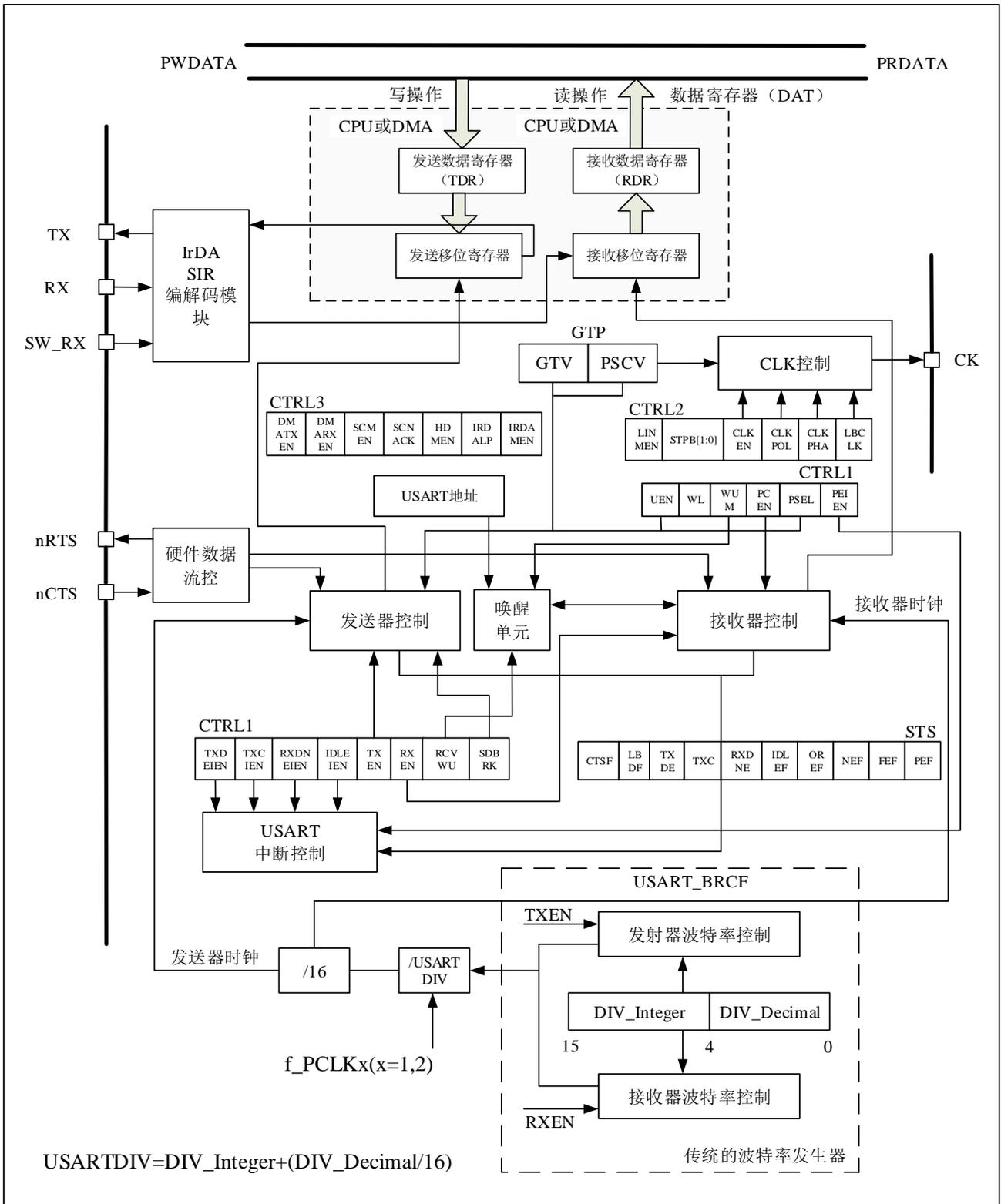
### 17.2 USART 主要特性

- 全双工异步通信
- 单线半双工通信
- NRZ 标准格式 (Mark/Space)
- 可编程的波特率发生器
  - ◆ 发送和接收共用的可编程波特率, 最高达 4Mbits/s
- 可编程数据字长度 (8 位或 9 位)
- 可配置的停止位-支持 1 或 2 个停止位
- LIN 主机有发送断开符的能力以及 LIN 从机有检测断开符的能力
  - ◆ 当 USART 硬件配置成 LIN 时, 生成 13 位断开符; 检测 10/11 位断开符
- 发送方为同步传输提供时钟
- IrDA SIR 编码器解码器
  - ◆ 在普通模式下支持 3/16 位的持续时间
- ISO7816-3 标准里定义的异步智能卡协议
  - ◆ 智能卡模式支持 0.5 或 1.5 个停止位
- 可配置的 DMA 多缓冲器通信
  - ◆ 利用 DMA 缓冲接收/发送数据
- 单独的发送器和接收器使能位
- 检测标志
  - ◆ 接收缓冲器满
  - ◆ 发送缓冲器空
  - ◆ 传输结束标志
- 校验控制
  - ◆ 发送校验位

- ◆ 对接收数据进行校验
- 四个错误检测标志
  - ◆ 溢出错误
  - ◆ 噪音错误
  - ◆ 帧错误
  - ◆ 校验错误
- 10 个带标志的中断源。
  - ◆ CTS 改变
  - ◆ LIN 断开符检测
  - ◆ 发送数据寄存器空
  - ◆ 发送完成
  - ◆ 接收数据寄存器满
  - ◆ 检测到总线为空闲
  - ◆ 溢出错误
  - ◆ 帧错误
  - ◆ 噪音错误
  - ◆ 校验错误
- 多处理器通信 --如果地址不匹配，则进入静默模式
- 从静默模式中唤醒（通过空闲总线检测或地址检测）
- 两种唤醒接收器的方式：地址位（MSB，第 9 位），总线空闲

### 17.3 功能框图

图 17-1 USART 框图



## 17.4 USART 功能描述

见图 17-1，任何 USART 双向通信至少需要两个脚：接收数据输入（RX）和发送数据输出（TX）。

**RX:** 串行数据输入端。为了区分数据和噪音,使用了过采样技术。

**TX:** 串行数据输出端。当发送使能时，引脚默认高电平。TX 口也可以同时用于数据的发送和接收例如单线或智能卡模式，当发送未被使能，TX 口为原来的设置的 I/O 端口配置。

- 总线未发送或接收时应处于空闲状态
- 一个起始位
- 一个数据字（8 或 9 位），最低有效位在前
- 0.5，1，1.5，2 个停止位，表示数据帧的结束
- 使用分数波特率发生器——12 位整数和 4 位小数的表示方法
- 一个状态寄存器（USART\_STS）
- 数据寄存器（USART\_DAT）
- 一个波特率配置寄存器（USART\_BRCF），12 位的整数和 4 位小数
- 一个智能卡模式下的保护时间寄存器（GTV）

关于以上寄存器中每个位的具体定义，请参考寄存器描述第 17.8 节：USART 寄存器。

在同步模式中需要下列引脚：

- **CK:** 此引脚输出用于同步传输的时钟，（在 Start 位和 Stop 位上没有时钟脉冲，USART\_CTRL2 寄存器中的 LBCLK 位控制最后一位数据对应时刻是否在 CK 引脚输出时钟脉冲）。数据可以在 RX 上同步被接收。这可以用来控制带有移位寄存器的外部设备（例如 LCD 驱动器）。CK 时钟相位和极性可以通过 USART\_CTRL2 寄存器中 CLKPOL/CLKPHA 修改时钟极性和相位的。在智能卡模式下，CK 也可以提供时钟。

在硬件流控模式中需要下列引脚：

- **CTS:** 接收清零，若为低电平，表明在当前数据传输结束时可继续下一次的数据发送；若为高电平，在当前数据传输结束时阻断下一次的数据发送。
- **RTS:** 发送请求，若为低电平，表明 USART 准备好接收数据。

## 17.5 USART 帧格式

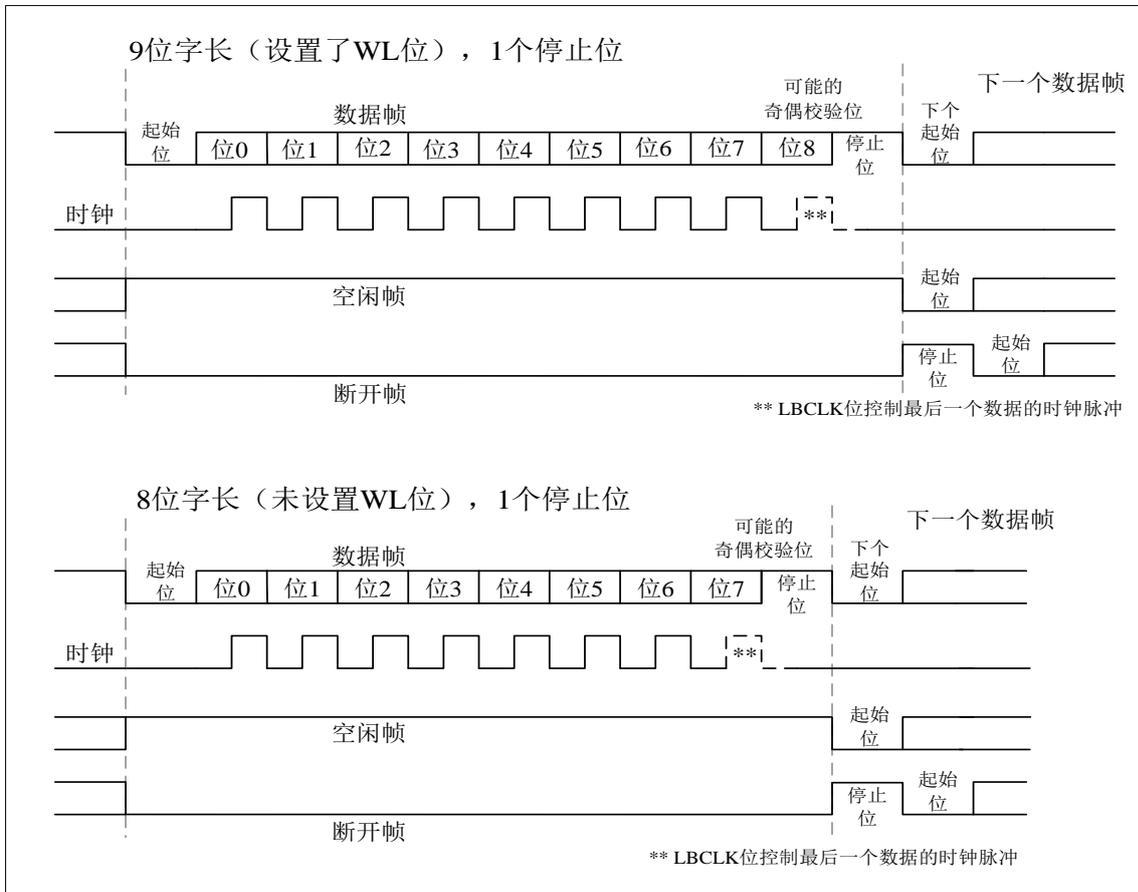
通过编程 USART\_CTRL1 寄存器中的 WL 位字长选择成 8 或 9 位（见图 17-2）。在起始位期间，TX 脚处于低电平，在停止位期间处于高电平。

**空闲帧:** 全部由 '1' 组成的一个完整的数据帧，也包含了数据的停止位。例如：如果 WL=0，则空闲帧由 10 个 '1' 组成；如果 WL=1，则空闲帧由 11 个 '1' 组成，

**断开帧:** 被视为在一个帧周期内全部收到 '0'（包括停止位期间，也是 '0'）。在断开帧结束时，发送器再插入 1 或 2 个停止位（'1'）来应答起始位，WL=0 时，10 位低电平，后跟停止位；或者 WL=1 时，11 位低电平，后跟停止位，长度不能大于 10 位或者 11 位。

发送和接收均由一个共用的波特时钟发生器驱动，当发送器和接收器的使能位分别置位时，分别为其产生波特时钟。

图 17-2 字长设置



注意：在本章中，若未特殊说明，置位均表示某个寄存器被置为状态‘1’；复位或清零均表示某个寄存器被置为状态‘0’；硬件或者程序均可能置位或者清零某个寄存器，请参考本章具体内容。

## 17.5.1 发送器

当发送使能位（TXEN）被置位时，且缓冲区内有数据，发送器根据 WL 位的状态发送 8 位或 9 位的数据字。发送移位寄存器中的数据在 TX 脚上输出，相应的时钟脉冲在 CK 脚上输出。

### 17.5.1.1 字符发送

在 USART 发送数据时，TX 引脚首先移出数据的最低有效位。在字符发送模式里，USART\_DAT 寄存器包含了一个内部总线和发送移位寄存器之间的缓冲器（见图 17-1）。

每个字符之前都有一个低电平的起始位；之后跟着的停止位，其数目可配置。

USART 支持 0.5、1、1.5 和 2 个停止位的配置。

注意：1. 在数据传输期间不能复位 TXEN 位，否则将破坏 TX 脚上的数据，因为波特率计数器停止计数。正在传输的当前数据将丢失。2. 当 TXEN 位激活后，USART 将自动发送一个空闲帧。

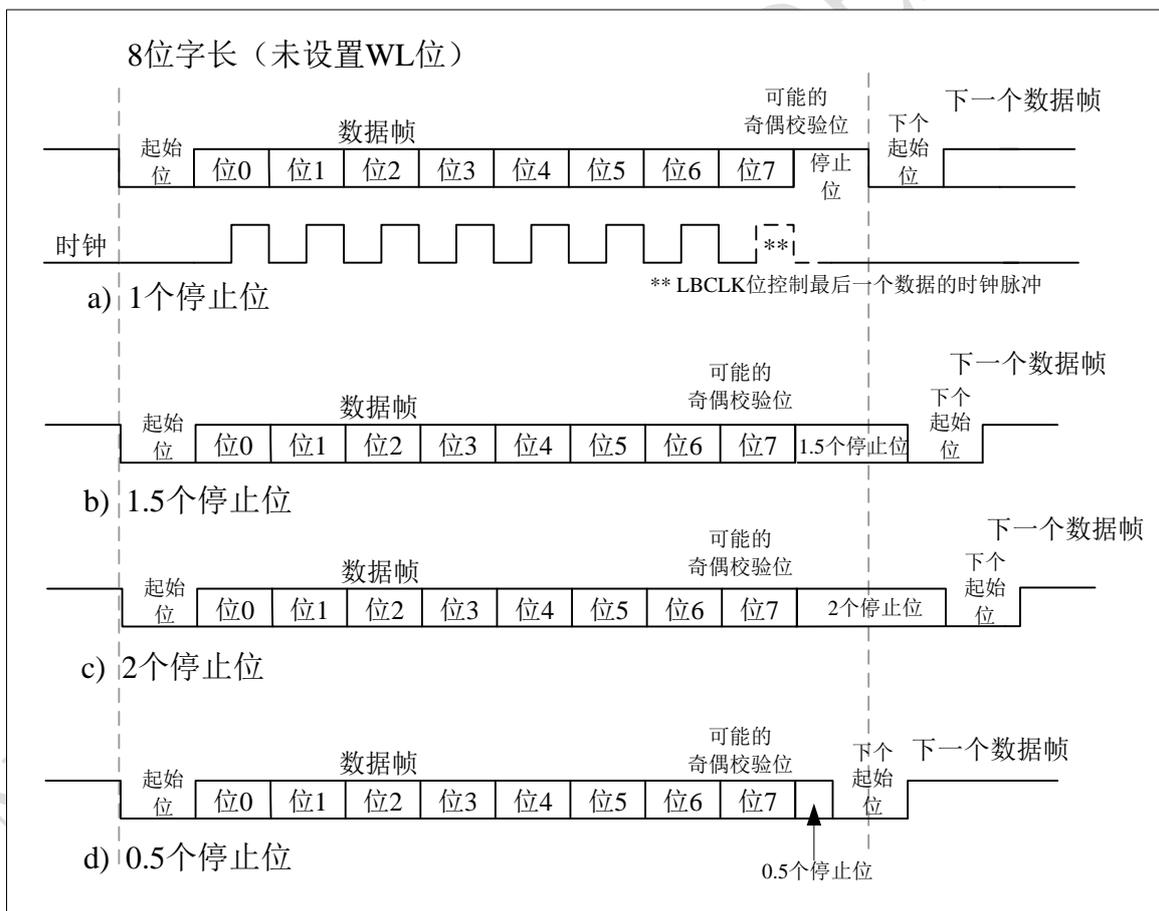
### 17.5.1.2 可配置的停止位

在发送和接收中，每个字符的停止位的位数可以通过控制寄存器 1 (USART\_CTRL2) 的 STPB[1:0]位进行配置。

表 17-1 停止位配置

STPB[1:0]	停止位长度 (位)	功能描述
00	1	默认值
01	0.5	智能卡模式下接收
10	2	常规 USART 模式、单线模式以及调制解调器模式
11	1.5	智能卡模式下发送和接收

图 17-3 配置停止位



### 17.5.1.3 单字节通信

清零 TXDE 位需要对数据寄存器的写操作来完成。

TXDE 位由硬件 (也即 USART IP 核) 来置位, 此时:

- 数据已经从发送数据寄存器（TDR）移送到移位寄存器，发送数据寄存器被清空，数据开始发送。
- 下一个数据可以被写进 USART\_DAT 寄存器。
- 如果 TXDEIEN 位被使能，此标志将产生一个中断。如果此时 USART 正在发送数据，对 USART\_DAT 寄存器的写操作把数据存入发送数据寄存器，并在当前传输结束后把该数据复制到移位寄存器。

如果此时 USART 没有发送数据，处于空闲状态，对 USART\_DAT 寄存器的写操作直接把数据放进移位寄存器，TXDE 位立即被置起，数据传输开始。

如果此时 USART 正在发送数据，对 USART\_DAT 寄存器的写操作直接把数据放进发送数据寄存器(TDR)，且在传输结束时，会把数据复制到移位寄存器。

当一帧发送完成时（停止位发送后）并且设置了 TXDE 位，TXC 位被置起，如果 USART\_CTRL1 寄存器中的 TXCIEN 位被置起时，则会立刻产生中断。

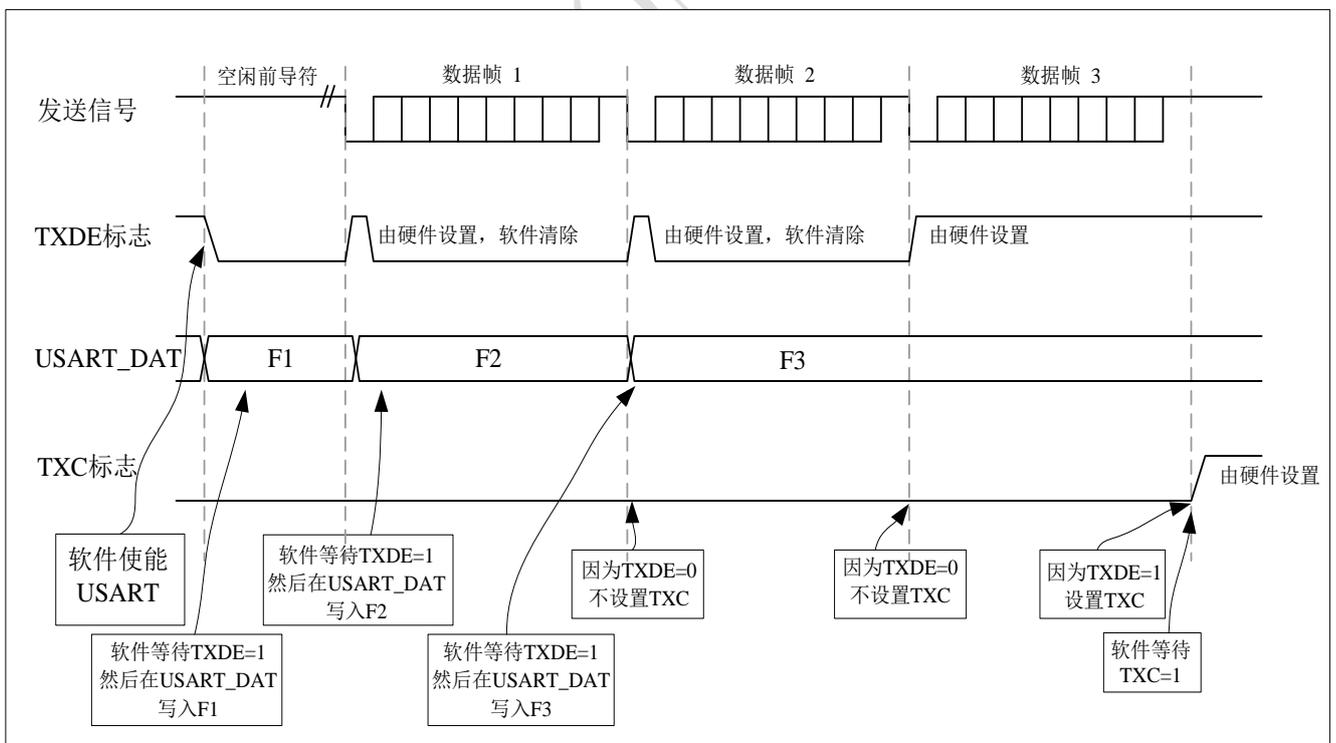
在 USART\_DAT 寄存器中写入了最后一个数据字后，在关闭 USART 模块之前或设置微控制器进入低功耗模式（见图 17-4）之前，必须先等待 TXC=1。

可以使用软件操作清除 TXC 位：

1. 读一次 USART\_STS 寄存器；
2. 写一次 USART\_DAT 寄存器。

*注意：TXC 位也可以通过软件对它写 '0' 来清除。此清零方式只推荐在 DMA 多缓冲器通信模式下使用。*

图 17-4 发送时 TXC/TXDE 的变化情况



#### 17.5.1.4 断开帧

设置 SDBRK 位可发送一个断开帧如果设置 SDBRK=1，在完成当前数据发送后，将在 TX 线上发送一个断

开帧。断开字符发送完成时（在断开帧的停止位时）SDBRK 被硬件复位。USART 在最后一个断开帧的结束处插入一逻辑'1'，以保证能识别下一帧的起始位，断开帧长度取决 WL 位（见图 17-2）。

*注意：软件复位了 SDBRK 位之后，在开始发送断开帧之前，断开帧将不被发送。如果要发送两个连续的断开帧，SDBRK 位应该在前一个断开帧的停止位之后置起。*

### 17.5.1.5 空闲符号

置位 TXEN 将使得 USART 在第一个数据帧前先发送一空闲帧。

## 17.5.2 接收器

USART\_CTRL1 的 WL 位决定接收 8 位或 9 位的数据字。

### 17.5.2.1 起始位侦测

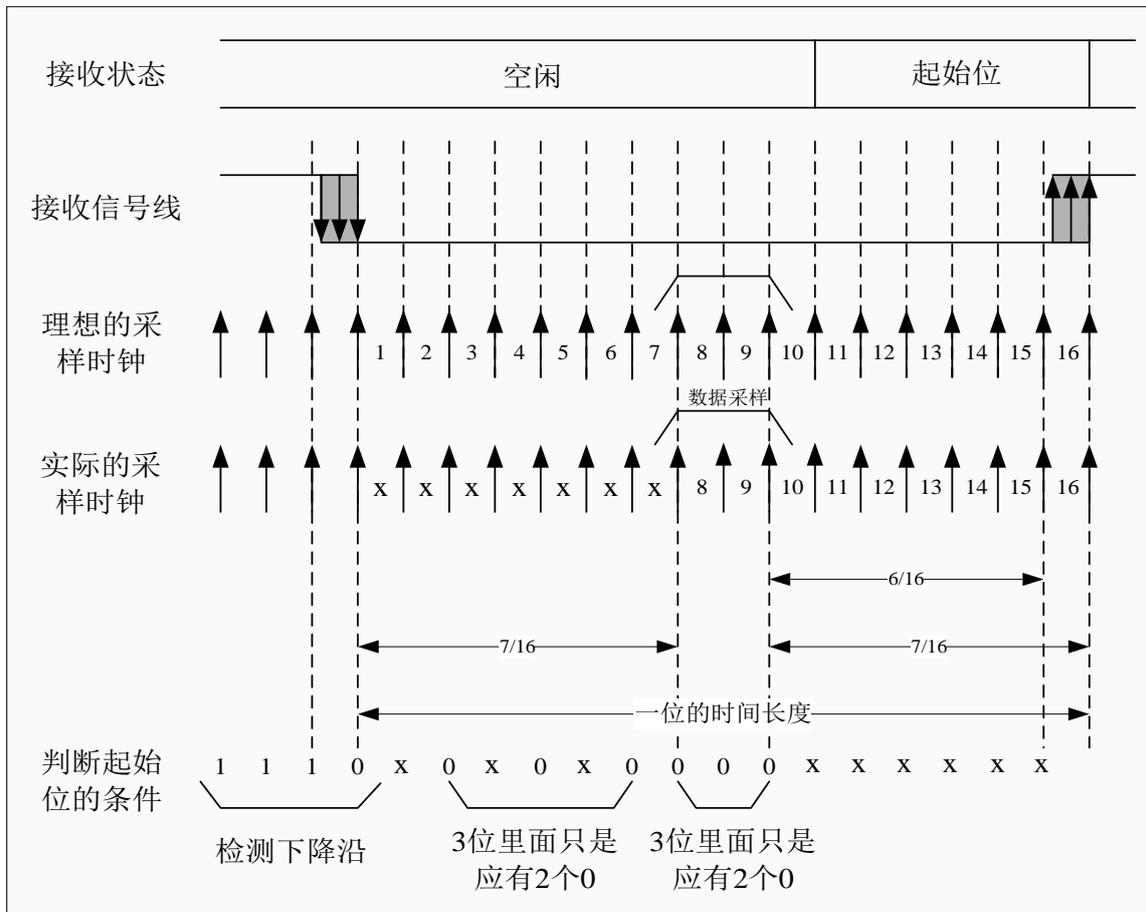
在 USART 中，如果辨认出一个特殊的采样序列，那么就认为侦测到一个起始位。

该序列为：1110X0X0000。

*注意：如果该序列不完整，那么接收端将退出起始位侦测并回到空闲状态（不设置任何标志位）并等待下降沿。*

1. 在第 3、5、7 位的采样，以及在第 8、9、10 位的采样都为'0'（也即 6 个'0'），则确认收到起始位，并且不会置位 NEF 噪声标志位。
2. 第 3、5、7 位的采样有两个'0'；与此同时，第 8、9、10 位的采样有两个'0'点，那么确认收到起始位，但是会置位 NEF 噪声标志位。
3. 第 3、5、7 位的采样有两个'0'；与此同时，第 8、9、10 位的采样有三个'0'点，那么确认收到起始位，但是会置位 NEF 噪声标志位。
4. 第 3、5、7 位的采样有三个'0'，与此同时，第 8、9、10 位的采样有两个'0'点，那么确认收到起始位，但是会置位 NEF 噪声标志位。
5. 如果在第 3、5、7、8、9、10 位的采样值满足不了上面四种要求，则该 USART 接收器认为没有接受到正确的起始位，将退出起始位侦测并回到空闲状态等待下降沿。

图 17-5 起始位侦测



### 17.5.2.2 字符接收

在 USART 接收期间，数据的最低有效位首先从 RX 脚移进。在此模式里，USART\_DAT 寄存器包含的缓冲器位于内部 APB 总线和接收移位寄存器之间。

USART 接收器使能按以下步骤进行：

1. 在 USART\_CTRL1 寄存器中置位 UEN 位，使能 USART；
2. 写 USART\_CTRL1 寄存器的 WL 去设置字长；
3. 在 USART\_CTRL2 寄存器中写 STPB[1:0]位来设置停止位的长度；
4. 如果选择了多级缓存通信方式，应该在 USART\_CTRL3 寄存器中使能 DMA (DMARXEN 位)；
5. 在 USART\_BRCF 寄存器中设置波特率；
6. 在 USART\_CTRL1 中设置 RXEN 位。

当收到一个数据帧：

- RXDNE 位会置位，移位寄存器的内容被转移到 RDR (Receiver Data Register)。此时数据已经被接收并且可以被读出（包括与之有关的错误标志）。
- 如果设置了 RXDNEIEN 位，则产生中断。

- 接收过程中会检测帧错误、噪音或溢出错误，这样错误标志将被置起。
- 在多缓冲器通信模式，RXDNE 标志位在每个字节接收后置，并由 DMA 对数据寄存器的读操作而清零。
- 在单缓冲器模式里，软件可以通过读 USART\_DAT 寄存器完成对 RXDNE 位清除或者写 0 也可以清除 RXDNE 位。RXDNE 位必须在下一帧数据接收结束前被清零，以避免溢出错误。

在接收过程中，RXNE 必须使能，否则当前数据帧会丢失。

### 17.5.2.3 断开帧

当接收到一个断开帧时，USART 帧错误标志将被置起。

备注：在 LIN 模式下，当接收到一个断开帧时，将按断开帧处理，LINBDF 将会置起。

### 17.5.2.4 空闲符号

当一空闲帧被检测到时，其处理步骤和接收到普通数据帧一样，但如果 IDLEIEN 位被设置将产生一个中断。

### 17.5.2.5 溢出错误

如果接收的数据未及时被读走，导致 RXDNE 没有及时被复位，又接收到一个字符，则发生溢出错误。数据只有当 RXDNE 位被清零后才能从移位寄存器转移到 RDR 寄存器。RXDNE 标记是接收到每个字节后被硬件置位的。如果下一个数据已被收到或先前 DMA 请求还没被服务时，RXDNE 标志仍是置起的，溢出错误产生。

当溢出错误产生时：

- OREF 位被置位。
- RDR 内容将不会丢失。读 USART\_DAT 寄存器仍能得到先前的数据。
- 移位寄存器中的内容将被覆盖。随后接收到的数据都将丢失。
- 如果 RXDNEIEN 位被设置或 ERRIEN 和 DMARXEN 位都被设置，中断产生。
- 顺序执行对 USART\_STS 和 USART\_DAT 寄存器的读操作，可复位 OREF。

注意：当 OREF 置位时，表明至少有 1 个数据已经丢失。有以下两种可能性：

- 如果 RXDNE=1，上一个有效数据还在接收寄存器 RDR 上，可以被读出。
- 如果 RXDNE=0，这意味着上一个有效数据已经被读走，RDR 已经没有东西可读。当上一个有效数据在 RDR 中被读取的同时又接收到新的（也就是丢失的）数据时，此种情况可能发生。在读序列期间（在 USART\_STS 寄存器读访问和 USART\_DAT 读访问之间）接收到新的数据，此种情况也可能发生。

噪音错误使用过采样技术（同步模式除外），通过区别有效输入数据和噪音来进行数据恢复。

图 17-6 检测噪声的数据采样

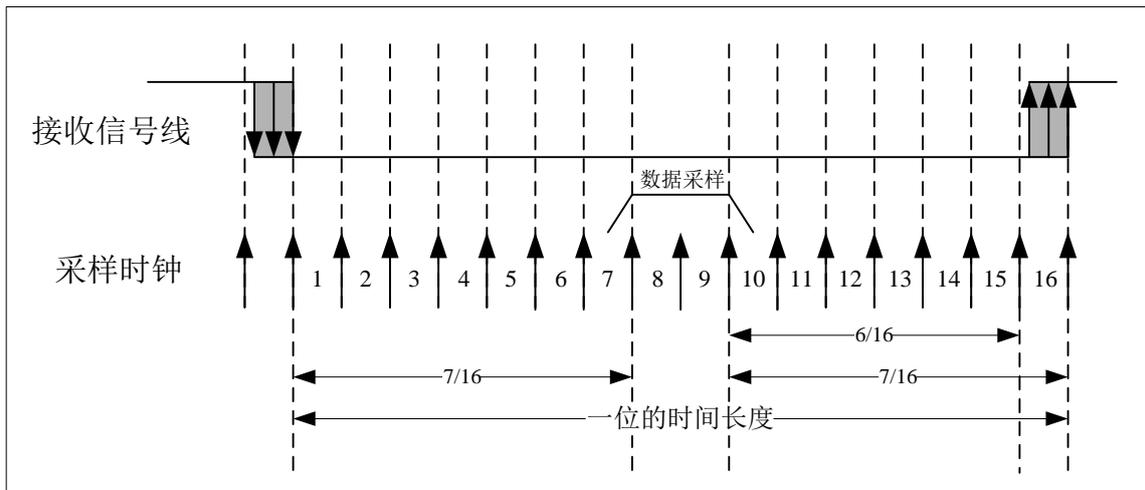


表 17-2 检测噪声的数据采样

采样值	NEF 状态	接收的位	数据有效性
000	0	0	有效
001	1	0	无效
010	1	0	无效
011	1	1	无效
100	1	0	无效
101	1	1	无效
110	1	1	无效
111	0	1	有效

当在接收帧中检测到噪音时可以进行以下操作：

- 在 RDNE 位的上升沿设置 NEF 标志。
- 无效数据从移位寄存器传送到 USART\_DAT 寄存器。
- 在单个字节通信情况下，没有噪声中断产生。但因为 NEF 标志位和 RXDNE 标志位是同时被置位，RXDNE 将产生中断。在多缓冲器通信情况下，如果已经设置了 USART\_CTRL3 寄存器中 ERRIEN 位，将产生一个中断。

顺序读 USART\_STS，再读 USART\_DAT 寄存器，将清除 NEF 标志位。

### 17.5.2.6 帧错误

当以下情况发生时检测到帧错误：由于数据未同步或大量噪音的原因，停止位没有在预期的时间上接收和识别出来。

当帧错误被检测到时，硬件置起 FEF 位，无效数据将从移位寄存器传送到 USART\_DAT 寄存器。

在单字节通信时，没有帧错误中断产生。然而，这个位和 RXDNE 位同时置起，后者将产生中断。在多缓

冲器通信情况下，如果 USART\_CTRL3 寄存器中 ERRIEN 位被置位的话，将产生中断。

顺序执行对 USART\_STS 和 USART\_DAT 寄存器的读操作，可复位 FEF 位。

### 17.5.2.7 接收期间可配置的停止位

在数据接收期间，可以通过控制寄存器 2 (USART\_CTRL2 中的 STPB[1:0]) 的控制位来配置数据停止位的个数，在普通模式时，可以选择 1 或 2 个停止位。在智能卡模式里可以选择 0.5 或 1.5 个停止位。

1. 0.5 个停止位 (智能卡模式中的接收): 不对 0.5 个停止位进行采样。因此，如果选择 0.5 个停止位则不能检测帧错误和断开帧。
2. 1 个停止位: 默认情况下通过三个点对 1 个停止位的采样，选择第 8，第 9 和第 10 采样位上进行。
3. 1.5 个停止位 (智能卡模式): 智能卡模式下发送数据时，器件必须检查数据是否被正确的发送出去。所以接收器功能块必须被激活 (USART\_CTRL2 寄存器中的 RXEN=1)，并且在停止位的发送期间采样数据线上的信号。如果出现校验错误智能卡会在发送方采样 NACK 信号时拉低数据线，表示出现了帧错误。发送端的 FEF 在 1.5 个停止位结束时被置起。对 1.5 个停止位的采样是在第 16，第 17 和第 18 采样点进行的。而在智能卡发送端，1.5 个的停止位可以被分成一个是 0.5 个数据位的周期和 1 个数据位周期，0.5 个数据位的周期不做任何事情，随后是 1 个数据位的周期的停止位，在这段时间的中点处采样。对于智能卡接收端而言，1.5 个的停止位可以被分成一个是 0.5 个数据位的周期和 1 个数据位周期，判断是否有奇偶校验错误；如果有奇偶校验错误，则在随后的 1 个数据位的周期拉低数据总线；如果没有奇偶校验错误，则在随后的 1 个数据位的周期，释放数据总线 (数据总线处于高电平)。详见第 17.5.10 节：智能卡模式。
4. 2 个停止位: 对 2 个停止位的采样是在第一停止位的第 8，第 9 和第 10 个采样点完成的。如果第一个停止位期间检测到一个帧错误，帧错误标志将被置起。在第一个停止位结束时 RXDNE 标志将被设置。第二个停止位将不会检测帧错误。

### 17.5.3 分数波特率的产生

波特率分频系数是一个 16 位数字,其中分为 12 位整数部分和 4 位小数部分。波特率发生器使用这两部分组合所得的数值来确定波特率。由于具有小数部分的波特率分频系数，将使 USART 能够产生所有标准波特率。

波特率分频系数 (USARTDIV) 与系统时钟 (PCLK) 具有如下关系:

$$\text{TX/RX 波特率} = f_{\text{PCLK}} / (16 * \text{USARTDIV})$$

这里的  $f_{\text{PCLK}}$  是给外设的时钟 (PCLK1 用于 USART2, PCLK2 用于 USART1) USARTDIV 的值设置在 USART\_BRCF 寄存器。

*注意: 在写入 USART\_BRCF 之后, 波特率计数器会被波特率寄存器的新值替换。因此, 不要在通信过程中改变波特率寄存器的数值。*

#### 17.5.3.1 如何从 USART\_BRCF 寄存器值得到 USARTDIV

例 1:

如果 DIV\_Integer=27, DIV\_Decimal=12 (USART\_BRCF=0x1BC), 于是

$DIV\_Integer (USARTDIV) = 27$

$DIV\_Decimal (USARTDIV) = 12/16 = 0.75$

所以  $USARTDIV = 27.75$

例 2:

要求  $USARTDIV = 25.62$ , 就有:

$DIV\_Decimal = 16 * 0.62 = 9.92$

最接近的整数是:  $10 = 0x0A$

$DIV\_Integer = DIV\_Integer (25.620) = 25 = 0x19$

于是,  $USART\_BRCF = 0x19A$

例 3:

要求  $USARTDIV = 50.99$  就有:

$DIV\_Decimal = 16 * 0.99 = 15.84$

最接近的整数是:  $16 = 0x10 \Rightarrow DIV\_Decimal[3: 0]$  溢出  $\Rightarrow$  进位必须加到小数部分

$DIV\_Integer = DIV\_Integer (0d50.990 + \text{进位}) = 51 = 0x33$

于是:  $USART\_BRCF = 0x330, USARTDIV = 0d51.000$

表 17-3 设置波特率时的误差计算

波特率		$f_{pclk} = 36M$			$f_{pclk} = 48M$		
序号	Kbps	实际	置于波特率寄存器中的值	误差%	实际	置于波特率寄存器中的值	误差%
1	2.4	2.4	937.5	0%	2.4	1250	0%
2	9.6	9.6	234.375	0%	9.6	312.5	0%
3	19.2	19.2	117.1875	0%	19.2	156.25	0%
4	57.6	57.6	39.0625	0%	57.623	52.0625	0.04%
5	115.2	115.384	19.5	0.15%	115.1	26.0625	0.08%
6	230.4	230.769	9.75	0.16%	230.769	13	0.16%
7	460.8	461.538	4.875	0.16%	461.538	6.5	0.16%
8	921.6	923.076	2.4375	0.16%	923.076	3.25	0.16%
9	2250	2250	1	0%	2285.714	1.3125	1.58%

10	3000	不可能	不可能	不可能	3000	1	0%
----	------	-----	-----	-----	------	---	----

注意:

1. CPU 的时钟频率越低, 则某一特定波特率的误差也越低。可以达到的波特率上限可以由这组数据得到。
2. USART/UART 使用 PCLK (最高 48MHz)。

### 17.5.4 USART 接收器容忍时钟的变化

USART 异步接收器要求整体的时钟系统地变化小于 USART 异步接收器能够容忍的范围。影响这些变化的因素有:

- 1: 由于发送器误差而产生的变化 (包括发送器端振荡器的变化)
- 2: 接收器端波特率取整所产生的误差
- 3: 接收器端振荡器的变化
- 4: 由于传输线路产生的变化 (通常是由于收发器在由低变高的转换时序, 与由高变低转换时序之间的不一致性所造成)。

需要满足以上四点所导致的误差:  $1+2+3+4 < \text{USART 接收器的容忍度}$

对于正常接收数据, USART 接收器的容忍度等于最大能容忍的变化, 它依赖于下述选择:

- 由 USART\_CTRL1 寄存器的 WL 位定义的 10 或 11 位字符长度
- 是否使用分数波特率产生

表 17-4 当 DIV\_Decimal = 0 时, USART 接收器的容忍度

WL 位	认为 NF 是错误	不认为 NF 是错误
0	3.75%	4.375%
1	3.41%	3.97%

表 17-5 当 DIV\_Decimal != 0 时, USART 接收器的容忍度

WL 位	认为 NF 是错误	不认为 NF 是错误
0	3.33%	3.88%
1	3.03%	3.53%

注意: 在特殊的情况下, 即当收到的帧包含一些在 WL=0 时, 正好是 10 位 (WL=1 时是 11 位) 的空闲帧, 上面 2 个表格中的数据可能会有少许出入。

### 17.5.5 检验控制

设置 USART\_CTRL1 寄存器上的 PCEN 位, 使能奇偶控制 (发送时生成一个奇偶位, 接收时进行奇偶校验)。根据 M 位定义的帧长度, USART 帧格式列在下表。

表 17-6 帧格式

WL 位	PCEN 位	USART 帧
0	0	起始位   8 位数据   停止位
0	1	起始位   7 位数据   奇偶检验位   停止位
1	0	起始位   9 位数据   停止位
1	1	起始位   8 位数据   奇偶检验位   停止位

注意：在用地址标记唤醒设备时，地址的匹配只考虑到数据的 MSB 位，而不用关心校验位。（MSB 是数据位中最后发出的，后面紧跟校验位或者停止位）

传输模式：通过置位 USART\_CTRL1 的 PCEN 位使能奇偶校验。如果奇偶校验失败，USART\_STS 寄存器中的 PEF 标志被置 '1'，如果设置了 USART\_CTRL1 寄存器的 PEIEN，会产生中断。

奇校验：此校验位使得一帧中的 7 或 8 个 LSB 数据以及校验位中 '1' 的个数为奇数。

例如：数据=11011101，共有 6 个 '1'，如果选择奇校验（在 USART\_CTRL1 中的 PSEL=1），校验位将是 '1'。

偶校验：校验位使得一帧中的 7 或 8 个 LSB 数据以及校验位中 '1' 的个数为偶数。

例如：数据=11011101，共有 6 个 '1'，如果选择偶校验（在 USART\_CTRL1 中的 PSEL=0），校验位将是 '0'。

## 17.5.6 多处理器通信

多处理器通信指的是多个 USART 连接到一个共同的网络。例如某个 USART 设备可以是主，它的 TX 输出和其他 USART 从设备的 RX 输入相连接；USART 从设备各自的 TX 输出逻辑地与在一起，并且和主设备的 RX 输入相连接。

在多处理器配置中，对于一个设备来说，监视所有 RX 引脚是较大的处理器开销，可以开启静默模式，这样就可以减少由未被寻址的接收器的参与带来的多余的 USART 服务负担。

在静默模式下。

- 任何接收状态位都不会被设置。
- 所有接收中断被禁止。
- USART\_CTRL1 寄存器中的 RCVWU 位被置 1。RCVWU 可以被硬件自动控制或在某个条件下由软件写入。

根据 USART\_CTRL1 寄存器中的 WUM 位状态，USART 可以用二种方法进入或退出静默模式。

- 如果 WUM 位被复位：进行空闲总线检测。
- 如果 WUM 位被设置：进行地址标记检测。

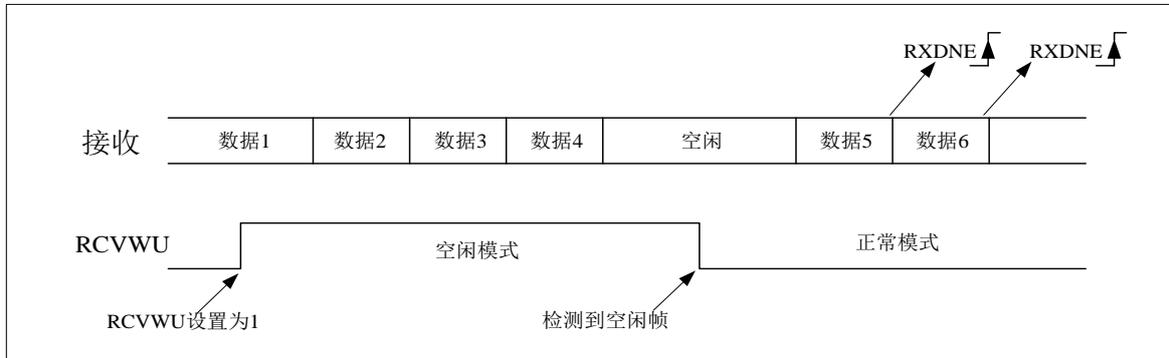
### 17.5.6.1 空闲总线检测 (WUM=0)

当 RCVWU 位置位，USART 进入静默模式。当 RX 引脚检测到一空闲帧时，RCVWU 被硬件清零，但是

USART\_STS 寄存器中的 IDLEF 位不会被置 1。RCVWU 也可以被软件写 0。

如下图 17-7 检测到空闲帧时 RCVWU 状态。

图 17-7 利用空闲总线检测的静默模式



### 17.5.6.2 地址标识 ( address mark ) 检测 ( WUM=1 )

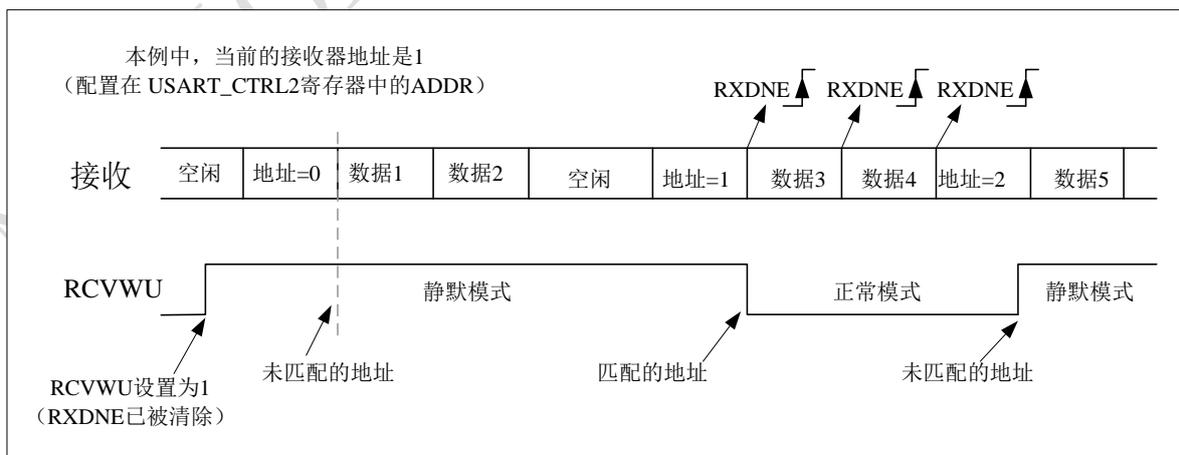
在这个模式里，最高位为地址标志位，如果为 1 的话，此字节为地址，否则为是数据。在一个地址字节中，目标接收器的地址被放在低 4 位中。如果这个 4 位地址于 USART\_CTRL2 寄存器的 ADDR[3:0]不相同，即接收到的字节与它的编程地址不匹配时，USART 将进入静默模式并设置 RCVWU 位。在这种情况下，RXDNE 也不会被置位。

当接收到的字节与接收器内编程地址相同时，接收将 USART 唤醒的数据帧，然后硬件清零 RCVWU 位，USART 退出静默模式，随后的字节被正常接收，收到这个匹配的地址字节时将设置 RXDNE 位，因为接收唤醒位 RCVWU 位已被清零。

当接收缓冲器不包含数据时 (USART\_STS 的 RXDNE=0)，接收唤醒位 RCVWU 位可以被写 0 或 1。否则，该次写操作被忽略。

下图给出利用地址标记检测来唤醒和进入静默模式的例子。

图 17-8 利用地址标记检测的静默模式



## 17.5.7 LIN 模式

LIN 模式是通过设置 USART\_CTRL2 寄存器的 LINMEN 位选择。在 LIN 模式下，以下寄存器必须清 0：

- USART\_CTRL2 寄存器的 CLKEN 位，STPB[1:0]
- USART\_CTRL3 寄存器的 SCMEN，HDMEN 和 IRDAMEN

### 17.5.7.1 LIN 发送与接收

LIN 的发送步骤与 USART 正常的操作流程有一些不同的地方，

1. 发送普通数据帧时，LIN 发送过程与普通发送过程相同，但是数据长度只能为 8，所以清零 WL 位以配置 8 位字长，置位 USART\_CTRL1 中的 SDBRK 将发送 13 位 '0' 作为断开符号。然后发一位停止位。

当 LIN 模式被使能时，断开符号检测功能完全独立于 USART 接收器，断开检测可以用在总线空闲时和发送某数据帧其间。

当接收器被激活时 (USART\_CTRL1 的 RXDEN=1)，电路开始监测 RX 上的开始信号，当起始位被检测到后，采样每个位的第 8, 9, 10 个过采样时钟点上。如果 10 个或 11 个连续位都是 '0'，并且又跟着一个定界符，USART\_STS 的 LINBDF 标志被设置。如果 LINBDIEN 位=1，中断产生。在确认定界符前，要检查定界符，因为它意味 RX 线已经回到高电平。

如果在第 10 或 11 个采样点之前采样到了 '1'，检测电路重新寻找起始位且取消当前检测。LIN 模式如果被禁止的话，接收器不需要检测断开符号。

如果 LIN 模式使能 (LINMEN=1)，发生帧错误 (也就是停止位检测到 '0'，这种情况出现在断开帧)，接收器将会被停止，直到断开符号检测电路接收到一个 '1' (这种情况发生于断开符号没有完整的发出来)，或一个定界符 (这种情况发生于已经检测到一个完整的断开符号)。

图 17-9 为断开符号检测器状态机的行为和断开符号标志的关系。

图 17-10 为断开帧的例子。

图 17-9 LIN 模式下的断开检测（11 位断开长度 - 设置了 LINBDL 位）

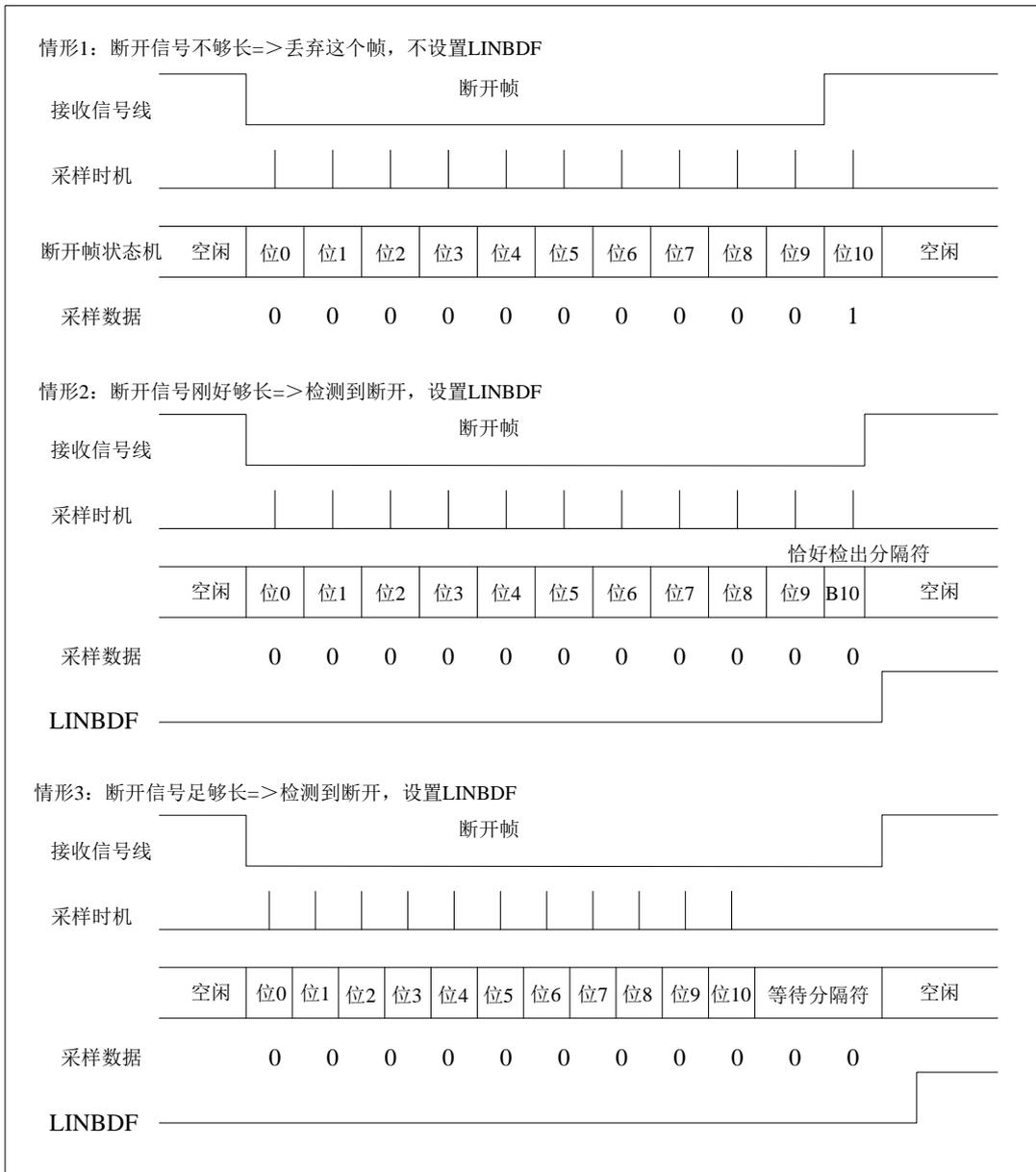
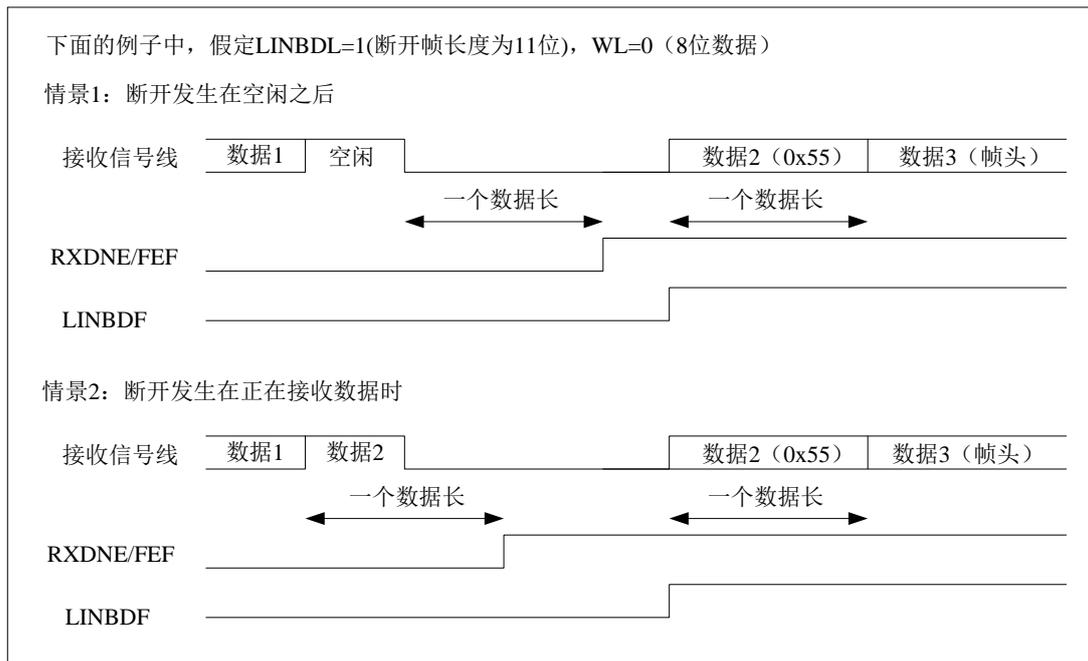


图 17-10 LIN 模式下的断开检测与帧错误的检测



## 17.5.8 USART 同步模式

通过在 USART\_CTRL2 寄存器上写 CLKEN 位选择同步模式，USART\_CTRL2 寄存器中的 LINMEN 位，USART\_CTRL3 寄存器中的 SCMEN、HDMEN 和 IRRAMEN 位必须为零。

USART 只支持主模式方式控制双向同步串行通信，不能来自其他设备的输入时钟接收或发送数据（CK 永远是输出）。CK 脚作为 USART 发送器时钟的输出。在起始位和停止位期间，CK 脚不会输出时钟脉冲。USART\_CTRL2 寄存器中 LBCLK 位决定最低位期间是否有时钟脉冲，其中 USART\_CTRL2 寄存器的 CLKPOL 位选择时钟极性，CLKPHA 位选择外部时钟的相位（见图 17-11、图 17-12 和图 17-13）。

在总线空闲状态，实际数据到来之前以及发送断开符号的时候，外部 CK 时钟不被激活。CK 脚同 TX 脚一起联合工作。因而，只有在使能了发送器（TXEN=1），并且发送数据时（写入数据至 USART\_DAT 寄存器）才提供时钟。同步模式的 USART 接收器工作方式与异步模式不同。如果 RXEN=1，数据在 CK 上采样，无需过采样。但必须考虑建立时间和持续时间（取决于波特率，1/16 位时间）。

注意：

1. 同步模式不发送数据也不能接收同步数据。
2. LBCLK,CLKPOL 和 CLKPHA 位只能在同步模式不工作时配置。
3. 同一条代码设置 TXEN 和 RXEN，可以减少接收器的建立时间和保持时间。

图 17-11 USART 同步传输的例子

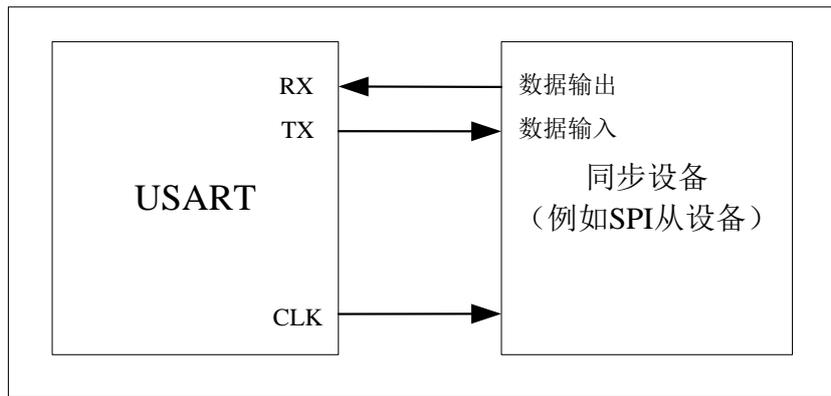


图 17-12 USART 数据时钟时序示例 (WL=0)

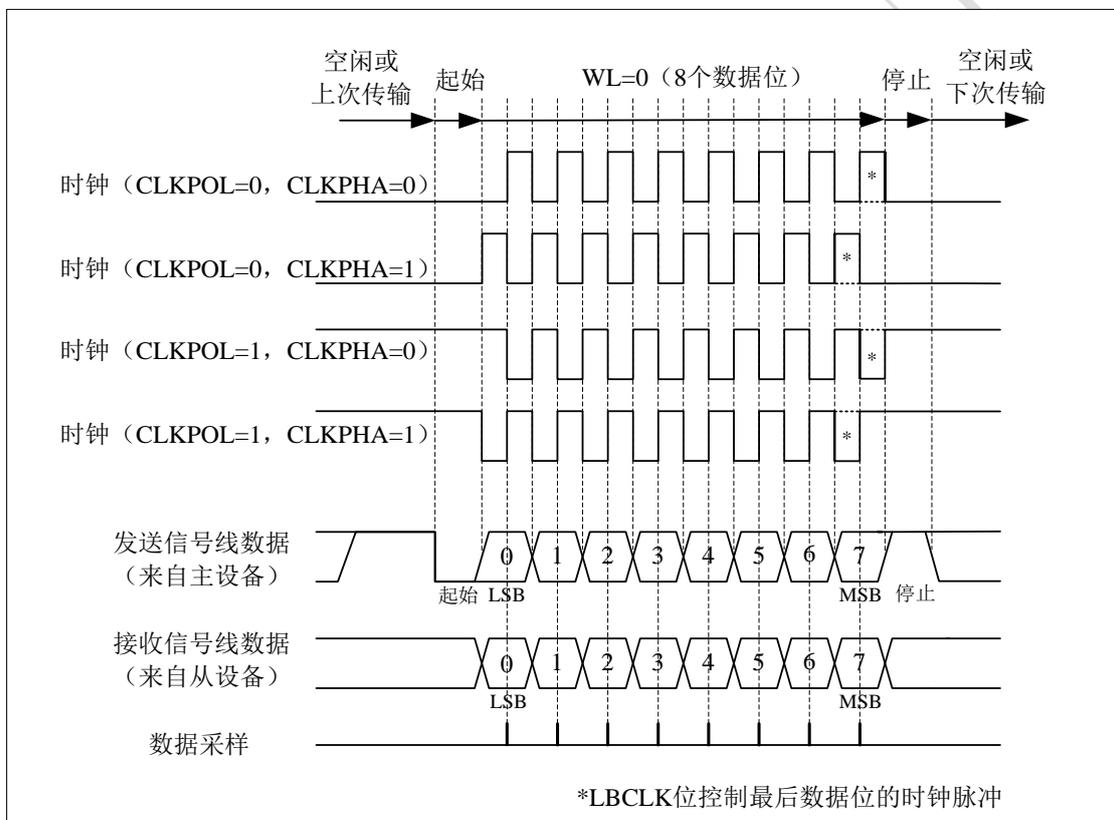


图 17-13 USART 数据时钟时序示例 (WL=1)

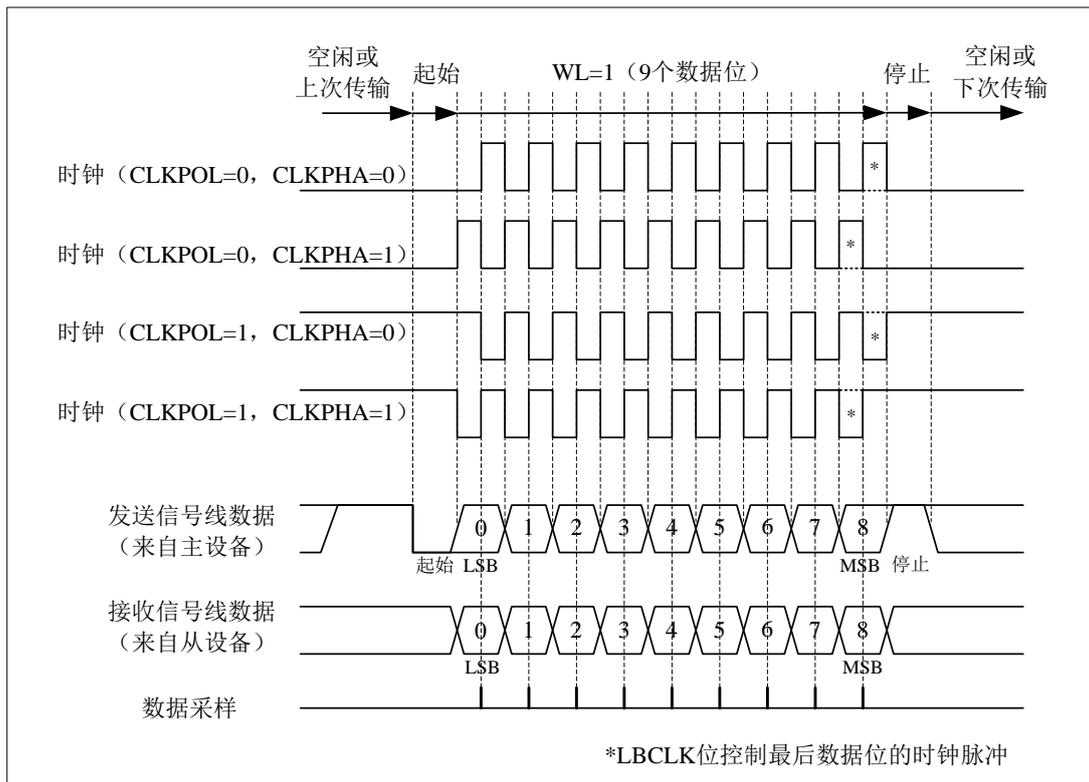
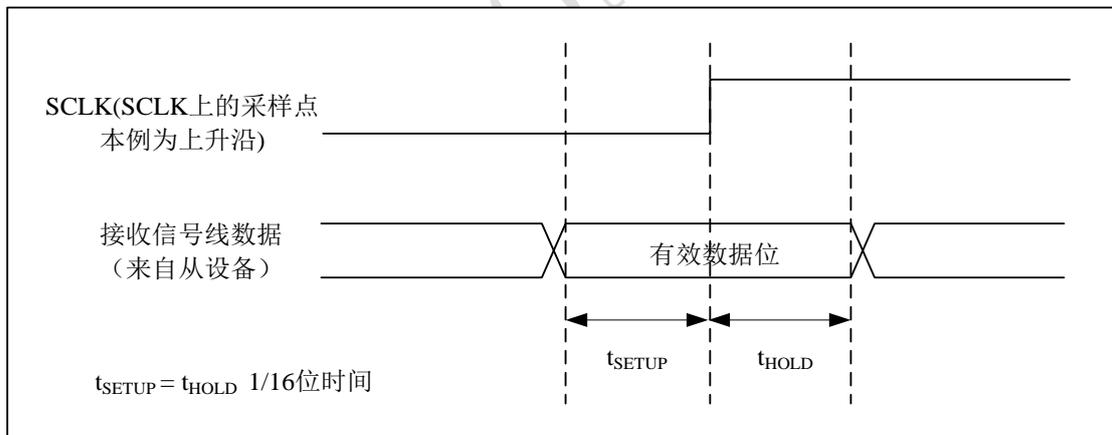


图 17-14 RX 数据采样/保持时间



注：在智能卡模式下 CK 的功能不同，有关细节请参考智能卡模式部分。

### 17.5.9 单线半双工通信

通过设置 USART\_CTRL3 寄存器的 HDMEN 位选择单线半双工模式。下面的位必须置零，USART\_CTRL2 寄存器的 LINMEN 和 CLKEN 位，USART\_CTRL3 寄存器的 SCMEN 和 IRDAMEN 位

在单线半双工模式下，TX 和 RX 引脚在芯片内部互连，RX 引脚不再使用。USART\_CTRL3 中的 HDMEN 位选择半双工和全双工通信。当没有数据传输时，TX 总是被释放。因此，它在空闲状态的或接收状态时表现为一个标准 I/O 口。所以当 TX 口未被 USART 使能时，必须配置成悬空输入或者开漏的输出高。

通信的冲突由软件来管理（例如通过使用一个中央仲裁器）。

## 17.5.10 智能卡模式 ( ISO7816 )

智能卡模式是一种异步通信模式，支持 ISO7816-3 协议。

设置 USART\_CTRL3 寄存器的 SCMEN 位选择智能卡模式。在智能卡模式下，以下寄存器必须清零：USART\_CTRL2 寄存器的 LINMEN 位，USART\_CTRL3 寄存器的 HDMEN 位和 IRDAMEN 位

如果 CLKEN 位被置位，USART 通过 CK 引脚向智能卡提供时钟。

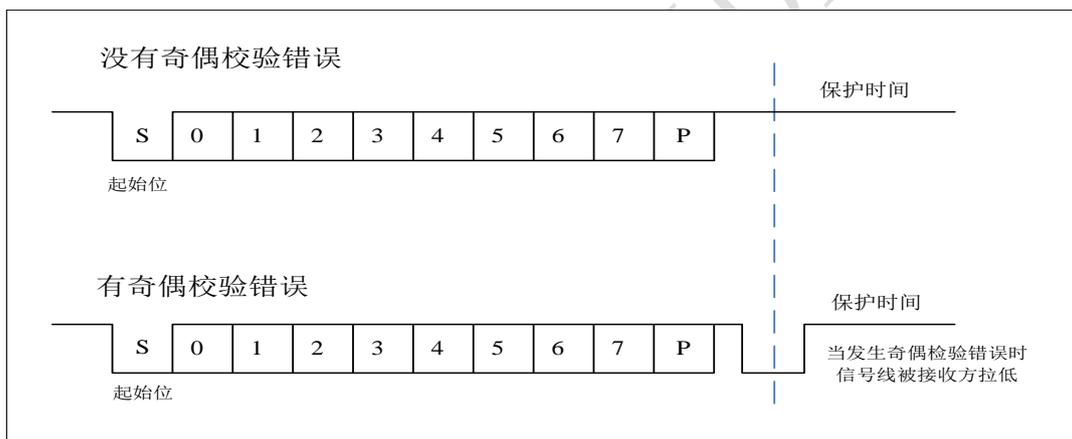
该接口支持智能卡异步协议。USART 应该被设置为：

- 8 位数据位加校验位：此时 USART\_CTRL1 寄存器中 WL=1、PCEN=1
- 发送和接收时为 1.5 个停止位：即 USART\_CTRL2 寄存器的 STPB=11

注：也可以在接收时选择 1/2 个停止位，但为了避免在 2 种配置间转换，建议在发送和接收时使用 1.5 个停止位。

下图为有无校验位的两种情况。

图 17-15 ISO7816-3 异步协议



当与智能卡相连接时，TX 引脚需要被设置成开漏模式，外接上拉电阻，这个引脚将会与智能卡驱动同一条双向连线，输出使能位 TXEN 被置起在发送开始位和数据字节期间，在发送停止位过程中被释放（弱上拉），所以接收器可以将数据线拉低在发现校验错误的情况下。如果 TXEN 未使能，停止位期间 TX 将被拉到高电平。

- 从发送移位寄存器把数据发送出去，要延时大于等于半个波特时钟。在正常操作时，一个满的发送移位寄存器将在下一个波特时钟沿开始向外移出数据。在智能卡模式里，延时半个波特时钟。
- 接收一个设置为 0.5 或 1.5 个停止位的数据帧的过程中如果检测到一个奇偶校验错误，停止位结束时，发送线将会拉低一个波特时钟周期 (NACK)，通知智能卡 USART 未正确的收到数据。此 NACK 信号在发送端将产生一个帧错误，意味着发送端被配置成 1.5 个停止位。程序可以重新发送数据。如果设置了 SCNACK 控制位，发生校验错误时接收器会给出一个 NACK 信号；否则就不会发送 NACK。
- TXC 标志的置起可以通过编程保护时间寄存器得以延时。当发送移位寄存器清零并且没有新的发送请求时，TXC 被置高。在智能卡模式，空的发送移位寄存器将触发保护时间计数器开始向上计数，在计数值到达之前，TXC 被强制拉低，计数值到达后，TXC 被置高。
- 智能卡模式不会影响到 TXC 标志的撤销。

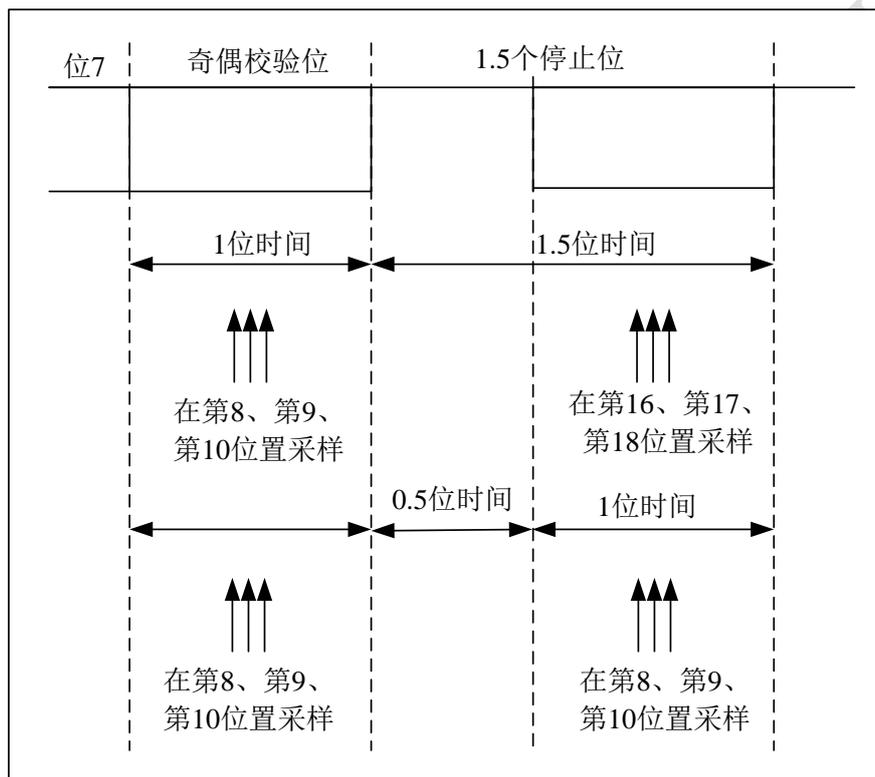
- 如果发送器检测到一个收到接收器的 NACK 信号，发送器的接收功能模块不会把 NACK 当作起始位检测。根据 ISO 协议，接收到的 NACK 的持续时间可以是 1 或 2 波特时钟周期。
- 在接收器这边，如果一个校验错误被检测到，NACK 也发送，接收器不会把 NACK 检测成起始位。

注意：1. 断开符号在智能卡模式里没有意义。一个带帧错误的 00h 数据将被当成数据而不是断开符号。

2. 当来回切换 TXEN 位时，没有 IDLE 帧被发送。ISO 协议没有定义 IDLE 帧。

图 17-16 为 USART 采样 NACK 信号。图中 USART 正在发送数据，并且被配置成 1.5 个停止位。为了检查数据的完整性和 NACK 信号，使能 USART 的接收功能块。

图 17-16 使用 1.5 停止位检测奇偶检验错



USART 可以为智能卡提供时钟通过 CK 输出。在智能卡模式里，CK 不和通信直接关联，而是先通过一个 5 位预分频器用内部的外设输入时钟来驱动智能卡的时钟。可以在预分频寄存器 USART\_GTP 中配置分频率。CK 分频的频率从  $f_{CK}/2$  到  $f_{CK}/62$ ，这里的  $f_{CK}$  是外设输入时钟。

### 17.5.11 串行 IrDA 红外解码功能

通过设置 USART\_CTRL3 寄存器的 IRDAMEN 位选择 IrDA 模式，在此模式下 LINMEN、STPB、CLKEN、SCMEN、HDMEN 位需要清零。

IrDA SIR 物理层采用反相归零调制方案 (RZI)，红外光源脉冲 (RTZ 信号) 表示逻辑 0 (见图 17-17)。脉冲宽度规定为一个位周期的 3/16，IrDA 模式下，USART 数据帧由 SIR 发送编码器进行调制，调制后的信号经由红外 LED 进行发送，经解调后将数据发送至 USART 接收器。对于编码器而言，波特率应小于 115200。

来自红外接收器的归零位比特流由 SIR 接收解码器进行解调，接收到的 NRZ 串行比特流再输出到 USART。在空闲状态里，解码器输入通常是高，发送编码器输出的极性和解码器的输入相反，当解码器输入低时，检测到一个起始位。

- 接收器可以与一低功耗发送器通信。
- SIR 发送逻辑把 '0' 作为高脉冲发送，把 '1' 作为低电平发送。脉冲的宽度规定为正常模式时位周期的 3/16（见图 17-18）。
- SIR 接收逻辑把高电平状态解释为 '1'，把低脉冲解释为 '0'。
- 发送编码器输出与解码器输入有着相反的极性。当空闲时，SIR 输出处于低状态。
- SIR 解码器把 IrDA 兼容的接收信号转变成给 USART 的比特流。
- 脉冲宽度是可编程的。IrDA 规范要求脉冲要宽于 1.41us。（PSCV 是在 IrDA 低功耗波特率寄存器 USART\_GTP 中编程的预分频值）。那些宽度大于 2 个周期的被视为一个有效的脉冲。当 PSCV=0 时，IrDA 编码器/解码器不工作。
- 在 IrDA 模式里，USART\_CTRL2 寄存器上的 STPB 位必须配置成 1 个停止位。

### 17.5.11.1 IrDA 低功耗模式的发送器与接收器

发送器在低功耗模式，脉冲宽度不再持续 3/16 个位周期。取而代之，脉冲的宽度是低功耗波特率的 3 倍，它最小可以是 1.42MHz。

接收器低功耗模式的接收类似于正常模式的接收。为了排除其它电源干扰，持续时间大于 2 个周期的 IrDA 低功耗波特率时钟的低电平信号被认为是有效的信号。

注意：

1. 宽度小于 1 个 PSCV 周期的脉冲一定被滤除掉，但是那些宽度大于 1 个而小于 2 个 PSCV 周期的脉冲可能被接收或滤除。
2. 软件管理控制接收器的建立时间。IrDA 物理层技术规范协议规定了在发送和接收之间最小要有 10ms 的延时。

图 17-17 IrDA SIR ENDEC - 框图

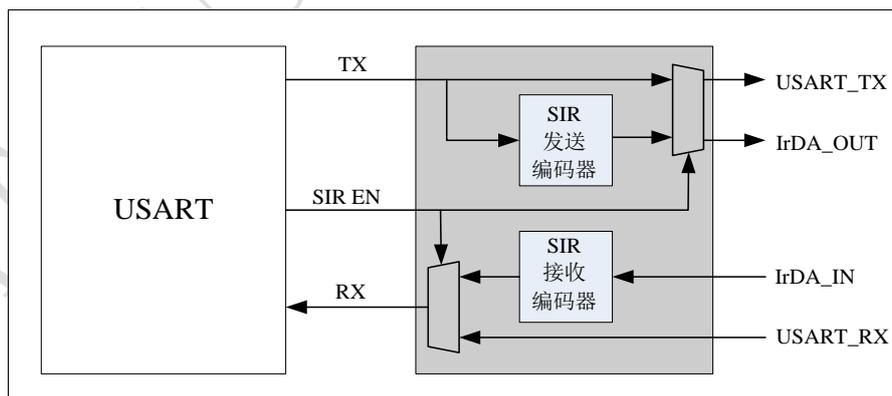
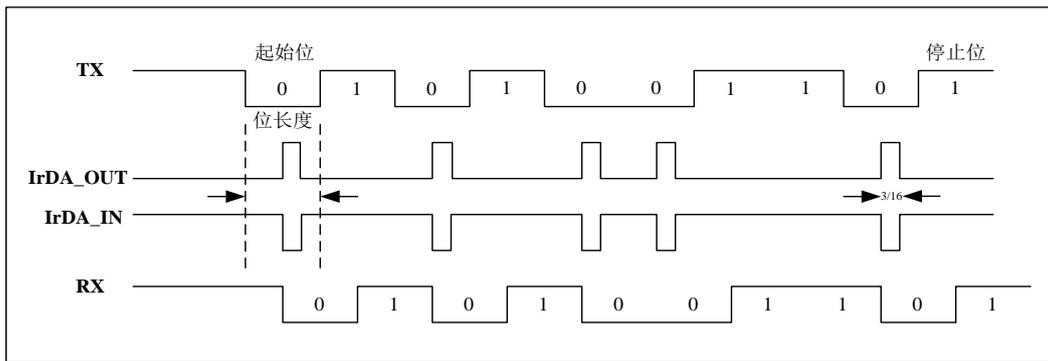


图 17-18 IrDA 数据调制 (3/16) - 普通模式



## 17.5.12 DMA 通信模式

USART 可以采用 DMA 的方式分别访问发送缓存区和接收缓存区。

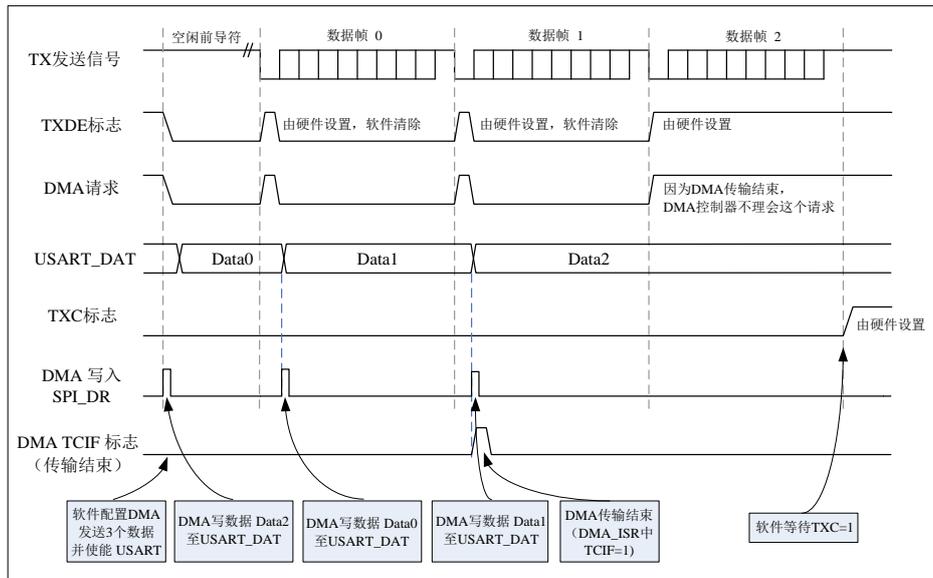
### 17.5.12.1 DMA 发送

为 USART 的发送分配一个 DMA 通道的步骤如下 (x 表示通道号):

1. USART\_DAT 寄存器地址配置成 DMA 传输的目的地址, 将存储器地址配置成 DMA 传输的源地址。
2. 配置要传输的总的字节数。
3. 配置通道优先级。
4. 配置在传输完成一半还是全部完成时产生 DMA 中断。
5. 激活该通道。

完成一次 DMA 传输, 相应 DMA 通道上产生一次中断。在发送模式下, 当 DMA 传输完所有要发送的数据时, DMA 控制器设置 DMA\_INTSTS 寄存器的 TXCFx 标志, TXC 标志位由硬件置高表示传输完成, 软件需要先等待 TXDE=1, 再等待 TXC=1。

图 17-19 利用 DMA 发送



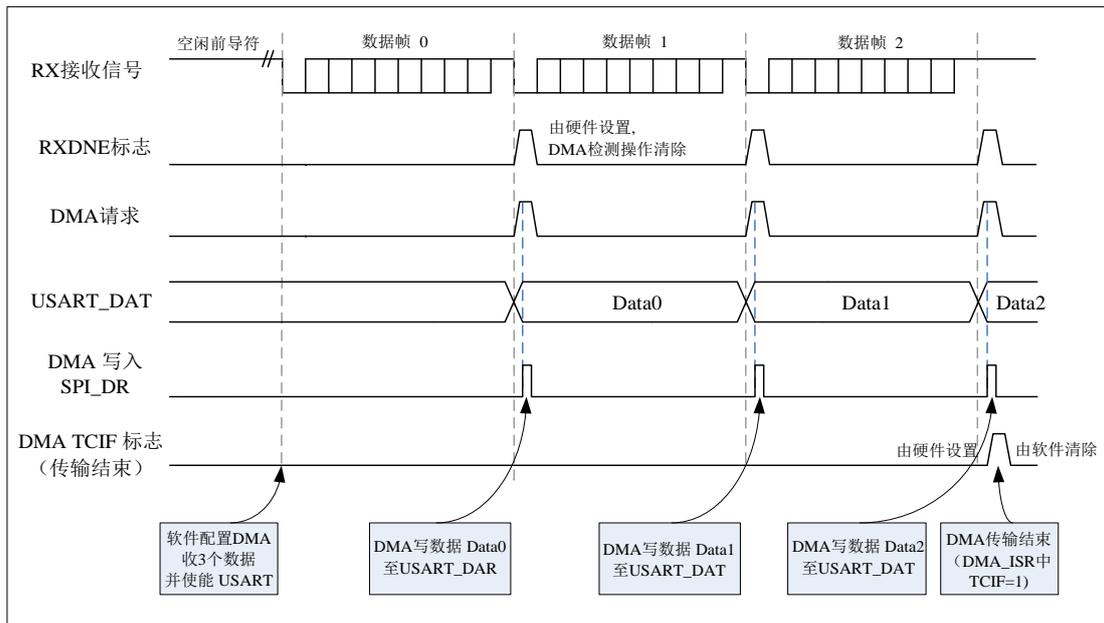
### 17.5.12.2 DMA 接收

为 USART 的接收分配一个 DMA 通道的步骤如下 (x 表示通道号):

1. 通过 DMA 控制寄存器把 USART\_DAT 寄存器地址配置成传输的源地址, 存储器地址设置传输的目的地址。
2. 配置要传输的 DMA 字节数。
3. 在 DMA 寄存器上配置通道优先级, 配置传输。
4. 配置在传输完成一半还是全部完成时产生 DMA 中断。
5. 激活该通道。

当接收完成 DMA 控制器指定的传输量时, DMA 控制器在该 DMA 通道的中断矢量上产生一中断。

图 17-20 利用 DMA 接收



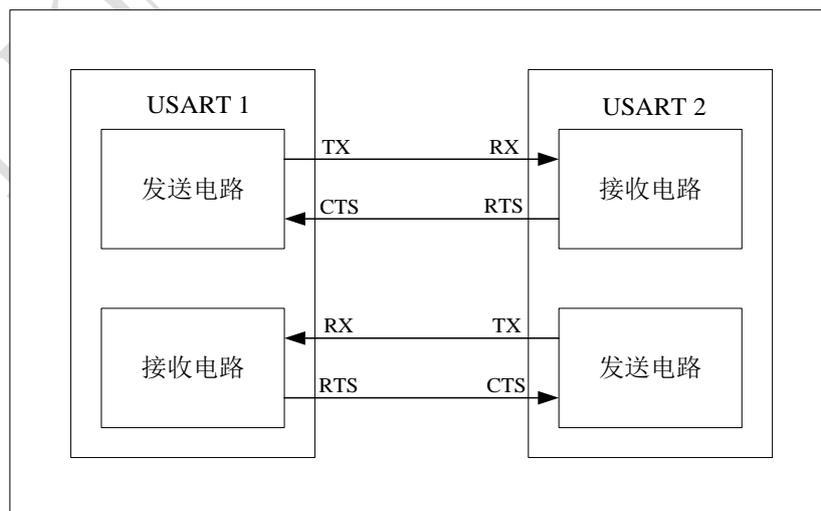
### 17.5.12.3 多缓冲通信中的错误标志和中断产生

在多缓冲器通信发生错误时，在当前字节传输完成将置起错误标志。如果中断使能位被设置，错误中断将产生。在单个字节接收时，和 RXDNE 一起被置起的帧错误、溢出错误与噪音标志，如果设置有单独的错误标志中断使能位，当前字节传输结束将会产生中断。

### 17.5.13 硬件流控

硬件流控制通过 nCTS 输入和 nRTS 输出实现功能。下图表明在这个模式里如何连接 2 个设备。

图 17-21 两个 USART 间的硬件流控制

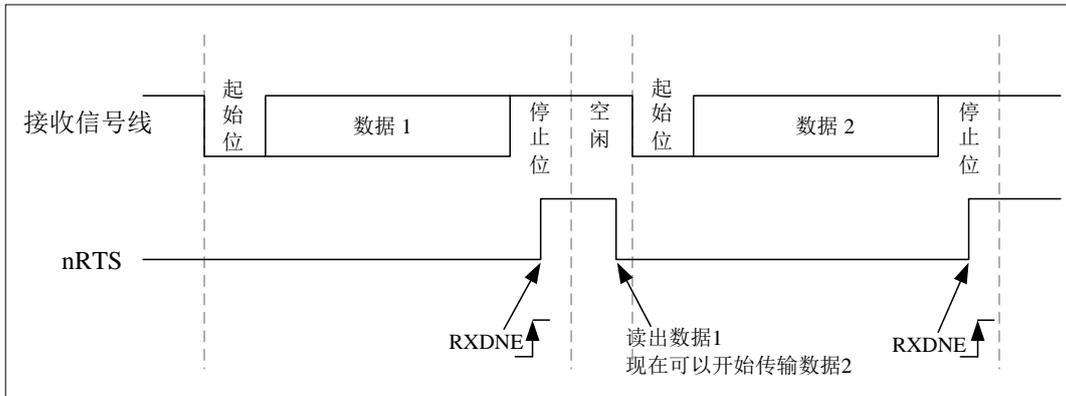


通过将 USART\_CTRL3 中的 RTSEN 和 CTSEN 置位，可以分别独立地使能 RTS 和 CTS 流控制。

### 17.5.13.1 RTS 流控制

如果 RTS 流控制被使能 (RTSEN=1)，当一帧数据接收完，nRTS 为高电平，否则为低。下图是一个启用 RTS 流控制的通信的例子。

图 17-22 RTS 流控制

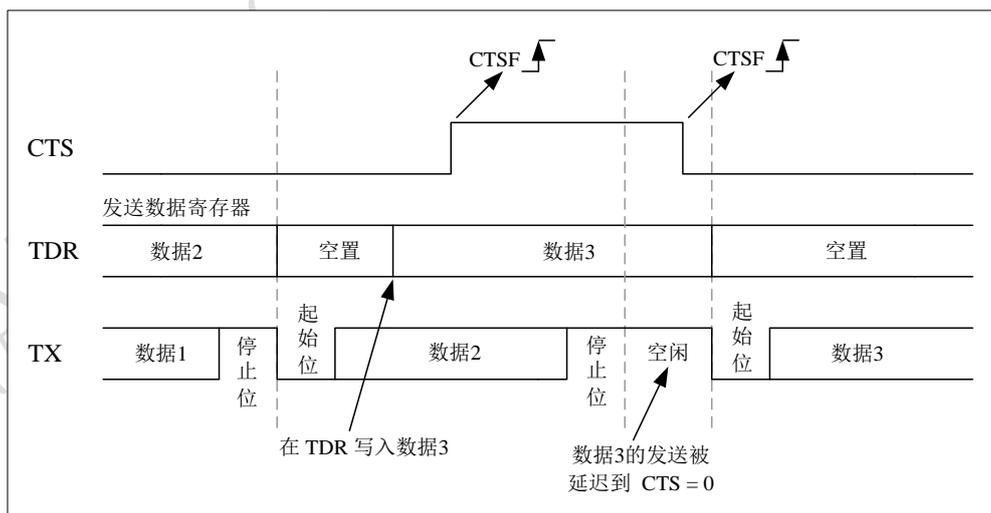


### 17.5.13.2 CTS 流控制

如果 CTS 流控制被使能时 (CTSEN=1)，发送器在发送下一帧前检查 nCTS 脚决定是否发送数据。如果 nCTS 被拉低 (有效)，发送器发送数据 (假设那个数据是准备发送的，也就是 TXDE=0)。若 nCTS 在传输期间被拉高，当前数据帧传输完成后停止发送。

如果 CTS 流控制使能 (CTSEN=1)，nCTS 引脚信号位发生变化，CTSIF 状态位置 1，如果设置了 USART\_CTRL3 寄存器的 CTSIEN 位，则会产生中断，如图 17-23 开启 CTS 流控制。

图 17-23 CTS 流控制



## 17.6 USART 中断请求

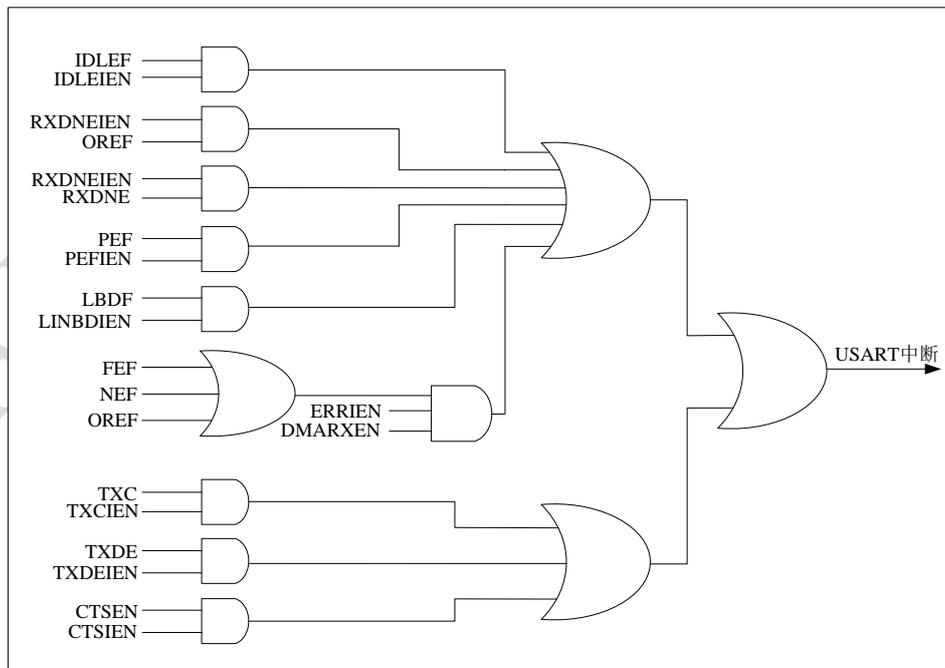
表 17-7 USART 中断请求

中断事件	事件标志	使能位
发送数据寄存器空	TXDE	TXDEIEN
CTS 标志	CTSF	CTSIEN
发送完成	TXC	TXCIEN
接收数据就绪可读	RXDNE	RXDNEIEN
检测到数据溢出	ORERR	
检测到空闲线路	IDLEF	IDLEFIEN
奇偶检验错	PEF	PEFIEN
断开标志	LINBDF	LINBDIFIEN
噪声标志, 多缓冲通信中的溢出错误和帧错误	NEF/OREF/FEF	ERRIEN

1. 仅当使用 DMA 接收数据时, 才使用这个标志位。

USART 的各种中断事件是逻辑或的关系 (见下图 17-24), 如果设置了对应的使能控制位, 这些事件就可以产生各自的中断, 但是同时只能产生一个中断请求。

图 17-24 USART 中断映像图



## 17.7 USART 模式配置

表 17-8 USART 模式设置<sup>(1)</sup>

通信模式	USART1	USART2
异步模式	Y	Y
多处理器	Y	Y
LIN	Y	Y
同步模式	Y	Y
单线模式（半双工）	Y	Y
智能卡模式	Y	Y
IrDA 红外模式	Y	Y
DMA 通讯模式	Y	Y
硬件流控模式	Y	Y

(1) Y = 支持该模式，N = 不支持该模式

## 17.8 USART 寄存器

### 17.8.1 USART 寄存器地址映像

表 17-9 USART 寄存器地址映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
000h	USART_STS	Reserved																						CTS	LINBDF	TXDE	TXC	RXDNE	IDLEF	OREF	NEF	FEF	PEF						
	Reset Value																							0	0	1	1	0	0	0	0	0	0						
004h	USART_DAT	Reserved																						DATV[8:0]															
	Reset Value																							0	0	0	0	0	0	0	0	0	0						
008h	USART_BRCF	Reserved										DIV_Integer[11:0]										DIV_Decimal [3:0]																	
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
00Ch	USART_CTRL1	Reserved										UEN	WL	WUM	PCEN	PSEL	PEIEN	TXDEIEN	TXCIEN	RXDNEIEN	IDLEIEN	TXEN	RXEN	RCVWU	SDBRK														
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
010h	USART_CTRL2	Reserved										LINMEN	STPB [1:0]	CLKEN	CLKPOL	CLKPHA	LBCLK	Reserved	LINBDIEN	LINBDL	Reserved	ADDR[3:0]																	

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																		
	Reset Value																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
014h	USART_CTRL3	Reserved																						CTSIE	CTSEN	RTSEN	DMA_TXEN	DMA_RXEN	SCMEN	SCNACK	HDMEN	IRDALP	IRDAEN	ERRIEN																	
	Reset Value																							0	0	0	0	0	0	0	0	0	0	0	0																
018h	USART_GTP	Reserved												GTV[7:0]							PSCV[7:0]																														
	Reset Value													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									

## 17.8.2 USART 状态寄存器 ( USART\_STS )

偏移地址: 0x00

复位值: 0x0000 00C0

31	Reserved																										16				
15	Reserved										CTS	LINBDF	TXDE	TXC	RXDNE	IDLEF	OREF	NEF	FEF	PEF	0										
											rc_w0	rc_w0	r	rc_w0	rc_w0	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位域	名称	描述
31:10	Reserved	必须保持复位值。
9	CTS	CTS 标志 如果设置了 USART_CTRL3 寄存器中 CTSEN 位, 当 nCTS 输入变化时, 该位由硬件置位。如果设置了 USART_CTRL3 寄存器中 CTSIE 位, 将产生中断。该位由软件清 0。 0: nCTS 状态线没有变化。 1: nCTS 状态线发生变化。
8	LINBDF	LIN 断开检测标志 如果设置了 USART_CTRL2 寄存器中 LINMEN 位, 当检测到 LIN 断开, 该位由硬件置位。如果 USART_CTRL2 寄存器中 LINBDIEN 被置位时, 将产生中断。该位由软件清 0。 0: 没有检测到 LIN 断开字符。 1: 检测到 LIN 断开字符。
7	TXDE	发送数据缓冲区空 上电复位或待发送数据已发送至移位寄存器后, 该位置 1。USART_CTRL1 寄存器中 TXDEIEN 被置位将产生中断。该位在软件将待发送数据写入 USART_DAT 时被清 0。 0: 发送数据缓冲区不为空。 1: 发送数据缓冲区空。
6	TXC	发送完成 上电复位后, 该位被置 1。如果 TXDE 置位, 在当前数据发送完成时该位置 1。

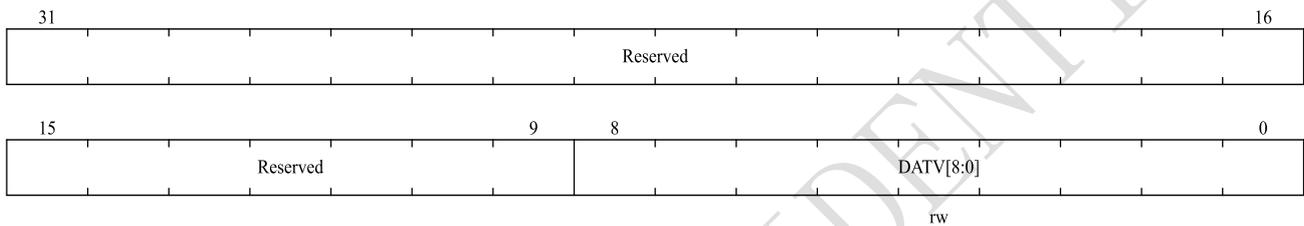
位域	名称	描述
		<p>USART_CTRL1 寄存器中 TXCIEN 被置位将产生中断。</p> <p>该位由软件清 0。</p> <p>0: 发送没有完成。</p> <p>1: 发送完成。</p>
5	RXDNE	<p>读数据缓冲区非空</p> <p>当读数据缓冲区接收到来自移位寄存器的数据时, 该位置 1。当寄存器 USART_CTRL1 的 RXDNEIEN 位被置位, 将会有中断产生。</p> <p>软件可以通过对该位写 0 或读 USART_DAT 寄存器来将该位清 0。</p> <p>0: 读数据缓冲区为空。</p> <p>1: 读数据缓冲区不为空。</p>
4	IDLEF	<p>空闲线检测标志</p> <p>在一个帧时间内, 在 RX 引脚检测到空闲状态, 该位置 1。当寄存器 USART_CTRL1 的 IDLEIEN 位被置位, 将会有中断产生。</p> <p>软件先读 USART_STS, 再读 USART_DAT 可清除该位。</p> <p>0: 未检测到空闲帧。</p> <p>1: 检测到空闲帧。</p> <p><i>注意: IDLEF 位不会再次被置高直到 RXDNE 位被置起 (即又检测到一次空闲总线)。</i></p>
3	OREF	<p>溢出错误</p> <p>在 RXDNE 置位的情况下, 如果 USART_DAT 寄存器接收到来自移位寄存器的数据, 该位置 1。当寄存器 USART_CTRL3 的 ERRIEN 位被置位, 将会有中断产生。</p> <p>软件先读 USART_STS, 再读 USART_DAT 可清除该位。</p> <p>0: 没有检测到溢出错误。</p> <p>1: 检测到溢出错误。</p>
2	NEF	<p>噪声错误标志</p> <p>在接收到的帧检测到噪音时, 由硬件对该位置位。由软件序列对其清零 (先读 USART_STS, 再读 USART_DAT)。</p> <p>0: 没检测到噪声错误。</p> <p>1: 检测到噪声错误。</p> <p><i>注意: 该位不会产生中断, 因为它和 RXDNE 一起出现, 硬件会在设置 RXDNE 标志时产生中断。在多缓冲区通信模式下, 如果设置了 ERRIEN 位, 则设置 NEF 标志时会产生中断。</i></p>
1	FEF	<p>帧错误</p> <p>当检测到同步错位, 过多的噪声或者检测到断开符, 该位被硬件置位。由软件序列将其清零 (先读 USART_STS, 再读 USART_DAT)。</p> <p>0: 未检测到帧错误。</p> <p>1: 检测到帧错误或者断开帧 (break frame)。</p> <p><i>注意: 该位不会产生中断, 因为它和 RXDNE 一起出现, 硬件会在设置 RXDNE 标志时产生中断。如果当前传输的数据既产生了帧错误, 又产生了过载错误, 硬件还是会继续该数据的传输, 并且只设置 OREF 标志位。在多缓冲区通信模式下, 如果设置了 ERRIEN 位, 则设置 FEF 标志时会产生中断。</i></p>

位域	名称	描述
0	PEF	校验错误 当接收到的数据帧校验位与预期校验值不同时，该位置位。 软件先读 USART_STS，再读 USART_DAT 可清除该位。 0: 没检测到校验错误。 1: 检测到校验错误。

### 17.8.3 USART 数据寄存器 ( USART\_DAT )

偏移地址: 0x04

复位值: 未定义 (不确定值)



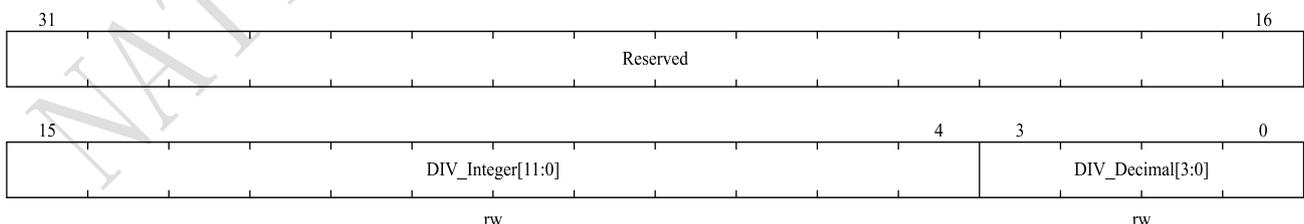
位域	名称	描述
31:9	Reserved	必须保持复位值。
8:0	DATV[8:0]	数据值 包含了发送或接收的数据；软件可以通过写这些位来改变发送数据，或读这些位的值来获取接收数据。 如果使能了奇偶校验，当发送数据被写入寄存器，数据的最高位（第7位或第8位取决于 USART_CTRL1 寄存器的 WL 位）将被校验位取代。

### 17.8.4 USART 波特率配置寄存器 ( USART\_BRCF )

地址偏移: 0x08

复位值: 0x0000 0000

注意: 使能 USART (UEN=1) 时, 不能写该寄存器; 如果 TE 或 RE 被分别禁止, 波特计数器停止计数。



位域	名称	描述
31:16	Reserved	必须保持复位值。
15:4	DIV_Integer [11:0]	波特率分频器的整数部分。
3:0	DIV_Decimal[3:0]	波特率分频器的小数部分。

## 17.8.5 USART 控制寄存器 1 ( USART\_CTRL1 )

偏移地址: 0x0C

复位值: 0x0000 0000

Reserved															
31															16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	UEN	WL	WUM	PCEN	PSEL	PEIEN	TXDE IEN	TXC IEN	RXDNE IEN	IDLE IEN	TXEN	RXEN	RCVWU	SDBRK	
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

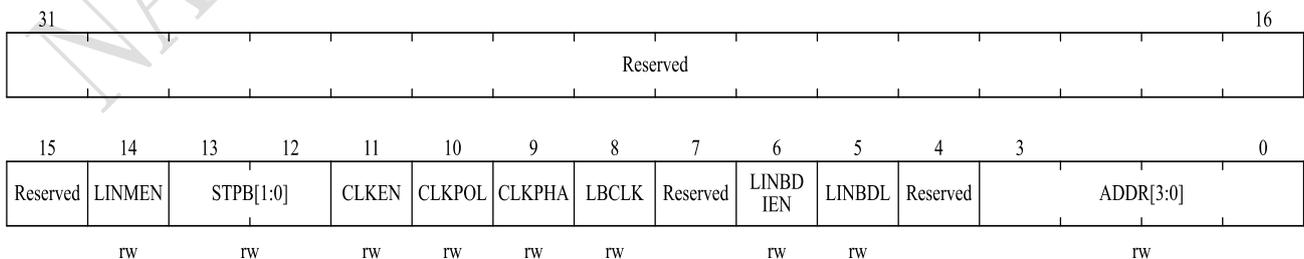
位域	名称	描述
31:14	Reserved	始终读为 0。
13	UEN	USART 使能 当该位被清零, 在当前字节传输完成后 USART 的分频器和输出停止工作, 以减少功耗。该位由软件设置和清零。 0: USART 禁用。 1: USART 使能。
12	WL	字长 0: 8 数据位。 1: 9 数据位。 <i>注意: 在数据传输过程中 (发送或者接收时), 不能修改这个位。</i>
11	WUM	从静默模式唤醒方法 0: 空闲帧唤醒。 1: 地址标识唤醒。
10	PCEN	校验控制使能 0: 校验控制禁用。 1: 校验控制被使能。
9	PSEL	校验模式 0: 偶校验。 1: 奇校验。
8	PEIEN	校验错误中断使能 如果该位置 1, USART_STS 寄存器中 PEF 被置位时产生中断。 0: 校验错误中断禁用。 1: 校验错误中断使能。
7	TXDEIEN	发送缓冲区空中断使能 如果该位置 1, USART_STS 寄存器中 TXDE 被置位时产生中断。 0: 发送缓冲区空中断禁止。 1: 发送缓冲区空中断使能。
6	TXCIEN	发送完成中断使能 如果该位置 1, USART_STS 寄存器中 TXC 被置位时产生中断。 0: 发送完成中断禁用。 1: 发送完成中断使能。

位域	名称	描述
5	RXDNEIEN	读数据缓冲区非空中断和过载错误中断使能 如果该位置 1，USART_STS 寄存器中 RXDNE 或 OREF 被置位时产生中断。 0：读数据缓冲区非空中断和过载错误中断禁用。 1：读数据缓冲区非空中断和过载错误中断使能。
4	IDLEIEN	IDLE 线检测中断使能 如果该位置 1，USART_STS 寄存器中 IDLEF 被置位时产生中断。 0：IDLE 线检测中断禁用。 1：IDLE 线检测中断禁用使能。
3	TXEN	发送器使能 0：发送器禁用。 1：发送器使能。
2	RXEN	接收器使能 0：接收器禁用。 1：接收器使能。
1	RCVWU	接收器从静默模式中唤醒 软件可以通过将该位置 1 使得 USART 进入静默模式，将该位清 0 唤醒 USART。 空闲帧唤醒模式下（WUM=0），当检测到空闲帧时，该位由硬件清 0。地址标识唤醒模式下（WUM=1），当接收到一个地址匹配帧时，该位由硬件清 0；或接收到一个地址非匹配帧时，由硬件置 1。 0：接收器处于普通工作模式。 1：接收器处于静默模式。
0	SDBRK	发送断开帧 软件通过将该位置 1 发送断开帧。 断开帧传输结束由硬件清 0 该位。 0：没有发送断开帧。 1：发送断开帧。

## 17.8.6 USART 控制寄存器 2 ( USART\_CTRL2 )

偏移地址：0x10

复位值：0x0000 0000



位域	名称	描述
31:15	Reserved	始终读为 0。
14	LINMEN	LIN 模式使能

位域	名称	描述
		0: LIN 模式禁用 1: LIN 模式使能
13:12	STPB[1:0]	停止位长 00: 1 停止位。 01: 0.5 停止位。 10: 2 停止位。 11: 1.5 停止位。
11	CLKEN	时钟使能 0: CK 引脚禁用 1: CK 引脚使能
10	CLKPOL	时钟极性 该位用来设定在同步模式下 CK 引脚的极性。 0: CK 引脚不对外发送时保持为低电平。 1: CK 引脚不对外发送时保持为高电平。
9	CLKPHA	时钟相位 该位用来设定在同步模式下 CK 引脚的相位。 0: 在首个时钟边沿采样第一个数据。 1: 在第二个时钟边沿采样第一个数据。
8	LBCLK	最后一位时钟脉冲 该位用来设定在同步模式下是否在 CK 引脚上输出最后发送的那个数据字节 (MSB) 对应的时钟脉冲。 0: 最后一位数据的时钟脉冲不从 CK 输出。 1: 最后一位数据的时钟脉冲会从 CK 输出。
7	Reserved	始终读为 0。
6	LINBDIEN	LIN 断开帧检测中断使能 如果该位置 1, 当 USART_STS 寄存器中 LBDF 被置位时将产生中断。 0: 断开信号检测中断禁用 1: 断开信号检测中断使能
5	LINBDL	LIN 断开帧检测长度 该位用来设定在断开帧长度。 0: 10 位 1: 11 位 <i>注意: LINBDL 可用于 LIN 模式及其他模式下的断开帧的检测长度控制, 且检测长度和 LIN 模式相同。</i>
4	Reserved	始终读为 0。
3:0	ADDR[3:0]	USART 地址。 在多处理器通信下的静默模式中使用的, 使用地址标识来唤醒某个 USART 设备。 地址标识唤醒模式下 (WUM=1), 如果接收到的数据帧低四位与 ADDR[3:0] 值不相等, USART 就会进入静默模式; 如果接收到的数据帧低四位与 ADDR[3:0] 值相等, USART 就会被唤醒。

*注意: 在使能发送后不能改写这三个位 (CLKPOL、CLKPHA、LBCLK)。*

## 17.8.7 USART 控制寄存器 3 ( USART\_CTRL3 )

偏移地址: 0x14

复位值: 0x0000 0000

Reserved																
31														16		
15	Reserved				11	10	9	8	7	6	5	4	3	2	1	0
				CTS IEN	CTSEN	RTSEN	DMA TXEN	DMA RXEN	SC MEN	SC NACK	HDM EN	IRDA LP	IRDA MEN	ERR IEN		
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

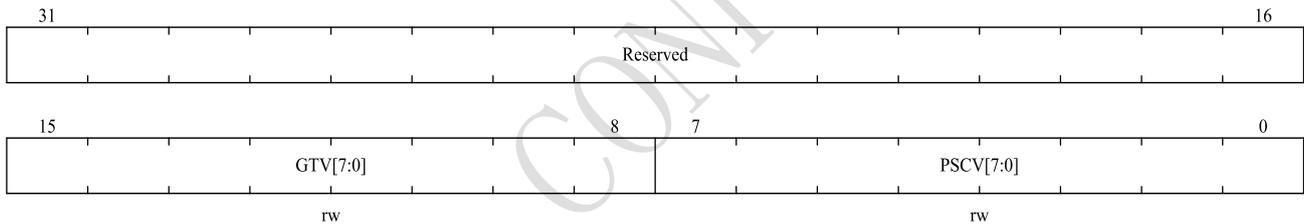
位域	名称	描述
31:11	Reserved	始终读为 0。
10	CTS IEN	CTS 中断使能 如果该位置 1，当 USART_STS 寄存器中 CTSF 被置位时将产生中断。 0: CTS 中断禁用。 1: CTS 中断使能。
9	CTSEN	CTS 使能 该位用于使能 CTS 硬件流控制功能。 0: CTS 硬件流控制禁用。 1: CTS 硬件流控制使能。
8	RTSEN	RTS 使能 该位用于使能 RTS 硬件流控制功能。 0: RTS 硬件流控制禁用。 1: RTS 硬件流控制使能。
7	DMATXEN	DMA 发送使能 0: DMA 发送模式禁用。 1: DMA 发送模式使能。
6	DMARXEN	DMA 接收使能 0: DMA 接收模式禁用。 1: DMA 接收模式使能。
5	SCMEN	智能卡模式使能 该位用于使能智能卡模式。 0: 智能卡模式禁用。 1: 智能卡模式使能。
4	SCNACK	在智能卡模式 NACK 使能 该位用于智能卡模式在奇偶校验错误发生时使能发送 NACK。 0: 当出现校验错误时不发送 NACK。 1: 当出现校验错误时发送 NACK。
3	HDMEN	半双工模式使能 该位用于使能半双工模式。 0: 半双工模式禁用。

位域	名称	描述
		1: 半双工模式使能。
2	IRDALP	IrDA 低功耗模式 该位用于为 IrDA 模式选择低功耗模式。 0: 正常模式。 1: 低功耗模式。
1	IRDAMEN	IrDA 模式使能 0: IrDA 禁用。 1: IrDA 使能。
0	ERRIEN	错误中断使能 当 DMA 接收模式 (DENR=1) 使能时, 如果该位被置 1, USART_STS 寄存器中 FEF、OREF、NEF 被置位将产生中断。 0: 错误中断禁用。 1: 错误中断使能。

### 17.8.8 USART 保护时间和预分频寄存器 ( USART\_GTP )

偏移地址: 0x18

复位值: 0x0000 0000



位域	名称	描述
31:16	Reserved	始终读为 0。
15:8	GTV[7:0]	智能卡模式下的保护时间值 该位域规定了以波特时钟为单位的保护时间。在智能卡模式下, 需要这个功能。TXC 标志置位时间延时 GUAT[7:0]个波特时钟周期。
7:0	PSCV[7:0]	预分频器值 在 IrDA 低功耗模式下, 这些位用来设定将外设时钟 (PCLK1/PCLK2) 分频产生低功耗频率的分频系数。 00000000: 保留 - 不要写入该值 00000001: 对源时钟 1 分频 ... 11111111: 对源时钟 255 分频 在 IrDA 正常模式下, PSCV 只能设置成 00000001。 在智能卡模式下, PSCV[4:0]用于设定外设时钟 (APB1/APB2) 生成智能卡时钟的分频系数。实际的分频系数为 PSCV[4:0]设定值的两倍。 00000: 保留 - 不要写入该值 00001: 对源时钟 2 分频

位域	名称	描述
		00010: 对源时钟 4 分频 ... 11111: 对源时钟 62 分频 在智能卡模式下, PSCV[7:5]保留。

NATIONS CONFIDENTIAL

## 18 低功耗通用异步接收器 ( LPUART )

### 18.1 LPUART 简介

低功耗通用异步收发器 (LPUART) 是一种低功耗、全双工、异步串行通信接口。LPUART 可由 LSI、LSE、APB1 提供时钟，当选择 32.768 kHz LSE 作为时钟源时，可在低功耗模式下工作 (Standby/Sleep)，最高可达 9600bps 的通信速率。LPUART 支持接收数据唤醒，通过配置唤醒事件，可唤醒处于 Standby/Sleep 模式下的 CPU。

同时，当 MCU 工作于 RUN 模式时，LPUART 也可作普通异步串口使用，用户可将时钟源切换至 APB1，可以获得更高的通信速度。

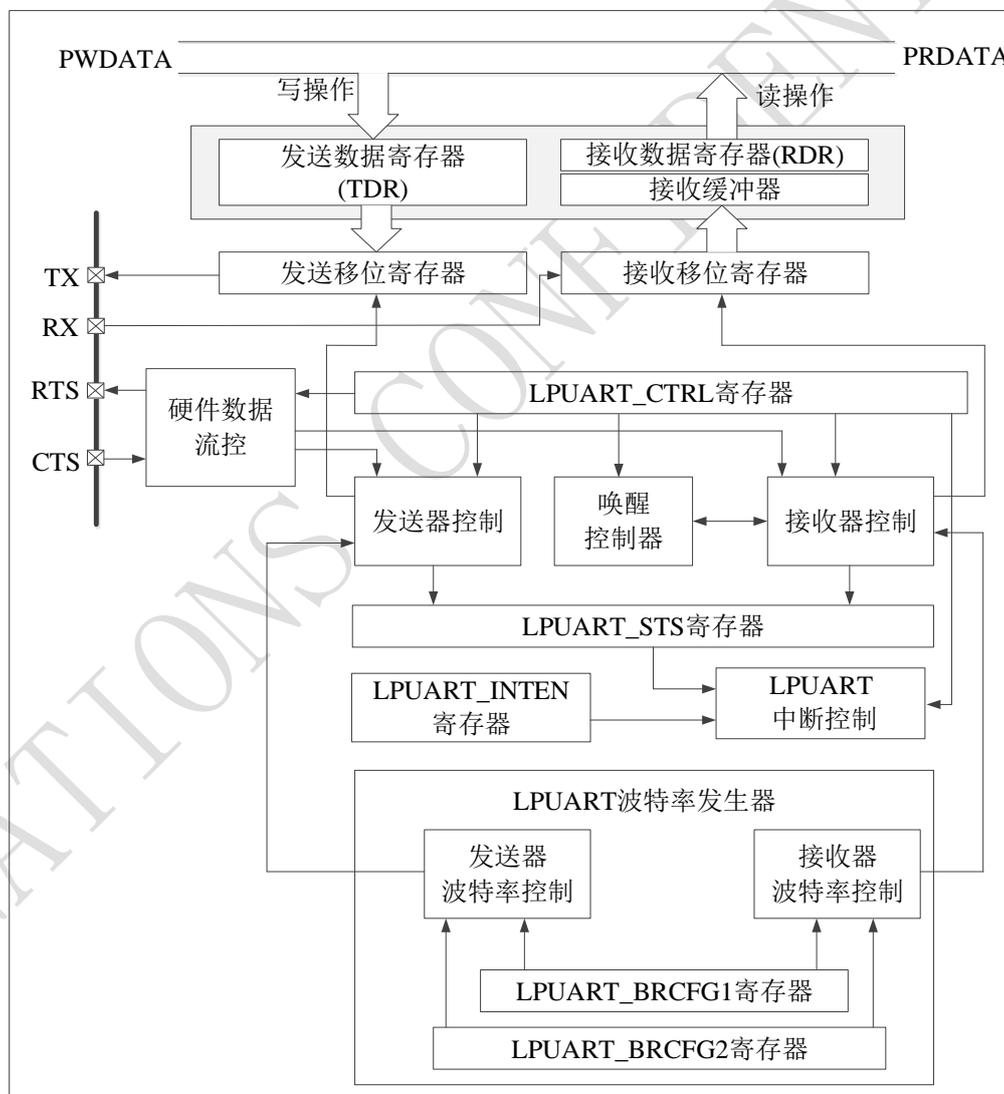
### 18.2 LPUART 主要特性

- 全双工异步通信
- 时钟源选择为 LSI、LSE 或 APB1
- 分数波特率产生器系统
  - ◆ 发送和接收共用的可编程波特率，高达 4Mbits/s
  - ◆ 使用 32.768 KHz 时钟源 (LSE)，支持 300bps 至 9600bps 的波特率
- 固定 8 位数据字长度、1 个停止位和 1 个奇偶校验位
- 支持 DMA 数据传输
- 支持硬件流控制
- 传输检测标志
  - ◆ 接收缓冲器满
  - ◆ 接收缓冲器半满
  - ◆ 接收缓冲器非空
  - ◆ 接收缓冲器溢出
  - ◆ 传输结束标志
- 奇偶校验控制
  - ◆ 奇、偶校验可配置
  - ◆ 奇偶校验可关闭
- 错误检测标志
  - ◆ 奇偶校验错误
- 32 字节接收缓冲器
- 低频率下的波特率错误校正
- 可配置 1 个或 3 个样本的采样方法

- 噪声检测
- 可配置的流控 RTS 门限
- 支持 Standby/Sleep 模式唤醒，唤醒源方式可配置
  - ◆ 起始位检测
  - ◆ 接收缓冲器非空检测
  - ◆ 一个可配置接收字节
  - ◆ 一个可编程的 4 字节帧

### 18.3 功能框图

图 18-1 LPUART 框图



### 18.4 LPUART 功能描述

见图 18-1，LPUART 双向通信至少需要两个脚：接收数据输入（RX）和发送数据输出（TX）。

**RX:** 串行数据输入端。在采样个数为 3 的情况下，可以区分数据和噪音。

**TX:** 串行数据输出端。当发送使能时，引脚默认高电平。

- 总线未发送或接收时应处于空闲状态
- 一个起始位
- 一个数据字（8 位），最低有效位在前
- 1 个停止位，表示数据帧的结束
- 一个状态寄存器（LPUART\_STS）
- 数据寄存器（LPUART\_DAT）
- 两个波特率配置寄存器（LPUART\_BRCFG1 和 LPUART\_BRCFG2），使用分数波特率发生器——16 位整数和 8 位小数的表示方法

关于以上寄存器中每个位的具体定义，请参考寄存器描述第 18.6 节：

在硬件流控模式中需要下列引脚：

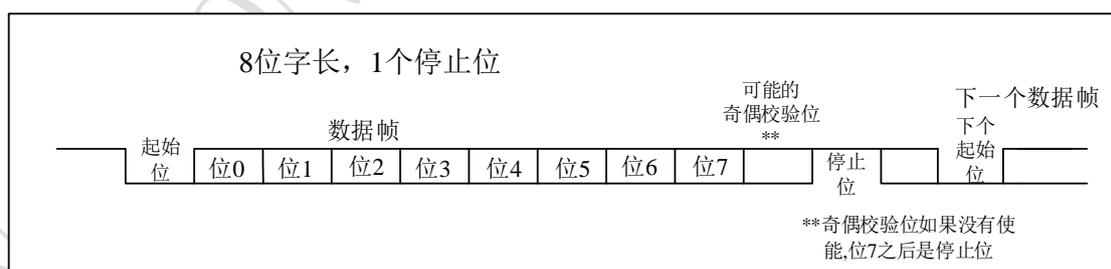
- CTS: 接收清零，若为低电平，表明在当前数据传输结束时可继续下一次的数据发送；若为高电平，在当前数据传输结束时阻断下一次的数据发送。
- RTS: 发送请求，若为低电平，表明 LPUART 准备好接收数据。

### 18.4.1 LPUART 帧格式

LPUART 数据字长固定 8 位（见图 18-2）。在起始位期间，TX 脚处于低电平，在停止位期间处于高电平。奇偶校验位在使能的情况下位于数据字之后。

发送和接收均由两个不同的波特时钟发生器驱动，当发送器的使能位（TXEN）置位时，其对应波特时钟发生器产生波特时钟。当接收到起始位的时候，接收器对应的波特时钟发生器产生时钟。

图 18-2 帧格式



*注意：在本章中，若未特殊说明，置位均表示某个寄存器被置为状态‘1’，复位或清零均表示某个寄存器被置为状态‘0’；硬件或者程序均可能置位或者清零某个寄存器，请参考本章具体内容。*

### 18.4.2 发送器

当发送使能位（TXEN）被置位时，且缓冲区内有数据，发送器发送 8 位数据字。发送移位寄存器中的数据在 TX 脚上输出。

### 18.4.2.1 字符发送

在 LPUART 发送数据时，TX 引脚首先移出数据的最低有效位。在字符发送模式里，LPUART\_DAT 寄存器包含了一个内部总线和发送移位寄存器之间的缓冲器（见图 18-1）。

每个字符之前都有一个低电平的起始位；之后跟着 1 位长的停止位。

*注意：在数据传输期间不能复位 TXEN 位，否则将破坏 TX 脚上的数据，因为波特率计数器停止计数。正在传输的当前数据将丢失。*

LPUART 发送数据的步骤如下：

1. 配置波特率、奇偶校验、DMA、流控制等；
2. 在 LPUART\_CTRL 寄存器中置位 TXEN 位，使能发送数据；
3. 在 LPUART\_DAT 寄存器中写入数据，作为要发送的数据；
4. 检查 TXC 标志是否置位，置位则意味着发送结束。如果 TXC 标志置位，则在 LPUART\_STS 寄存器中 TXC 位写 1，清除该标志；
5. 检查 LPUART\_STS 寄存器 PEF 位，确认奇偶校验是否错误；
6. 否则，返回步骤 3，发送下一个数据。

*注意：发送器使用前请务必初始化 LPUART 模块。*

LPUART 初始化按以下步骤进行：

1. 在 LPUART\_STS 寄存器中置位所有标志位，清除中断标志；
2. 如果需要使能中断，则配置 LPUART\_INTEN；
3. 在 LPUART\_CTRL 寄存器中置位 FLUSH 位，清除 RX 缓冲器内容。

### 18.4.2.2 单字节通信

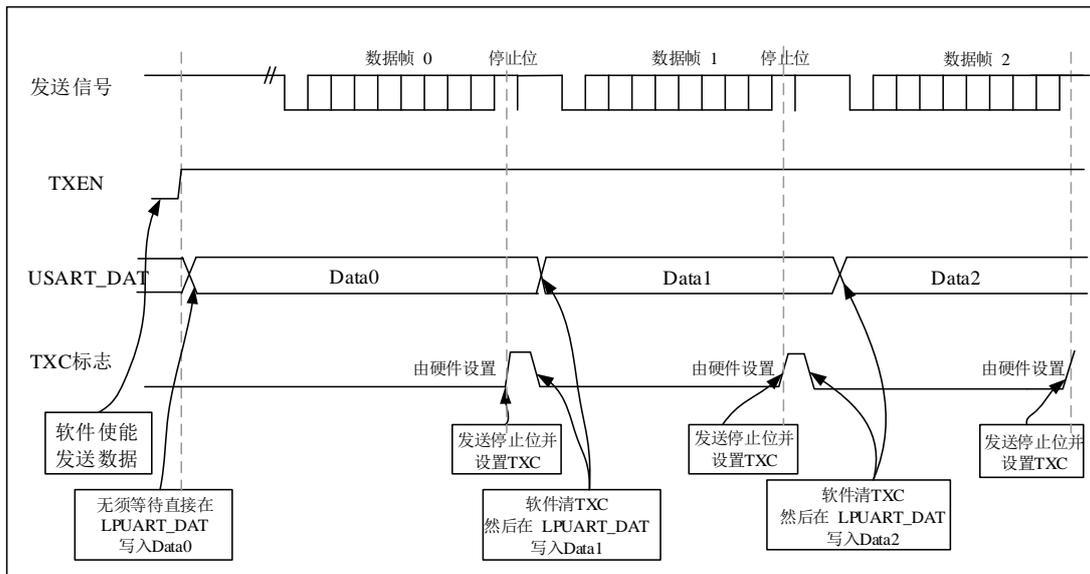
在配置波特率并且置位 TXEN 之后，CPU 可以直接写 LPUART\_DAT 寄存器发送数据。

当一帧发送完成时（停止位发送后），TXC 位被置起，如果 LPUART\_INTEN 寄存器中的 TXCIEN 位被置起时，则会立刻产生中断。

在 LPUART\_DAT 寄存器中写入了最后一个数据字后，在关闭 LPUART 模块之前或设置微控制器进入低功耗模式之前，必须先等待 TXC=1。

可以使用软件写 LPUART\_STS 寄存器 TXC 位 1 来清除 TXC 位。

图 18-3 发送时 TXC 的变化情况



### 18.4.3 接收器

#### 18.4.3.1 起始位侦测

如果 LPUART\_CTRL 寄存器 SMPCNT 位为 0，即采样数为 3，则当三个采样数里面的 2 个为 0 时，起始位有效。否则无效。

采样值	NF 状态	接收的位	起始位有效性
000	0	0	有效
001	1	0	有效
010	1	0	有效
011	1	1	无效
100	1	0	有效
101	1	1	无效
110	1	1	无效
111	0	1	无效

#### 18.4.3.2 字符接收

在 LPUART 接收期间，数据的最低有效位首先从 RX 脚移进。在此模式里，LPUART\_DAT 寄存器包含的缓冲器位于内部 APB 总线和接收移位寄存器之间。

LPUART 接收数据的步骤如下：

1. 配置波特率、奇偶校验、唤醒事件/使能、采样方式、DMA、流控制等；
2. 检查 LPUART\_STS 寄存器的中断标志：缓冲器非空、缓冲器半满、缓冲器全满、缓冲器溢出；

3. 通过读 LPUART\_DAT 寄存器，将数据从缓冲器中读出；
4. 返回步骤 2，继续接收数据。

注意：接收器使用前请务必初始化 LPUART 模块。

当收到一个数据帧：

- LPUART\_STS 寄存器 FIFO\_NE 位会置位，移位寄存器的内容被转移到 RDR(Receiver Data Register)。此时数据已经被接收并且可以被读出（包括与之有关的错误标志）。
- 如果设置了 FIFO\_NEIEN 位，则产生中断。
- 接收过程中会检测帧错误（奇偶校验检测错误）、噪音或溢出错误，这样错误标志将被置起。
- 在多缓冲器通信模式，FIFO\_NE 标志位在每个字节接收后置，并由 DMA 对数据寄存器的读操作而清零。
- 在单缓冲器模式里，软件可以通过读 LPUART\_DAT 寄存器完成对 FIFO\_NE 位清除或者写 0 也可以清除 FIFO\_NE 位。FIFO\_NE 位必须在下一帧数据接收结束前被清零，以避免溢出错误。

### 18.4.3.3 溢出错误

LPUART 接收数据缓冲器总共有 32 个字节，如果在收到 32 个字节的数据之后，FIFO\_FU 标志位置起。如果缓冲器数据未及时被读走，导致 FIFO\_FU 没有及时被复位，又接收到一个字符，则发生溢出错误。该字符将会被硬件丢掉。数据只有当 FIFO\_FU 位被清零后才能从移位寄存器转移到接收数据缓冲器。如果下一个数据已被收到或先前 DMA 请求还没被服务时，FIFO\_FU 标志仍是置起的，溢出错误产生。

当溢出错误产生时：

- FIFO\_OV 位被置位。
- 接收数据缓冲器内容将不会丢失。读 LPUART\_DAT 寄存器仍能得到先前的数据。
- 移位寄存器中的内容将被覆盖。随后接收到的数据都将丢失。
- 如果 FIFO\_OVIE 位被设置，中断产生。
- LPUART\_DAT 寄存器的读操作，可复位 FIFO\_OV。

### 18.4.3.4 噪音错误

噪音错误使用过采样技术（如果 LPUART\_CTRL 寄存器 SMPCNT 位为 0，即采样数为 3），通过区别有效输入数据和噪音来进行数据恢复。

图 18-4 检测噪声的数据采样

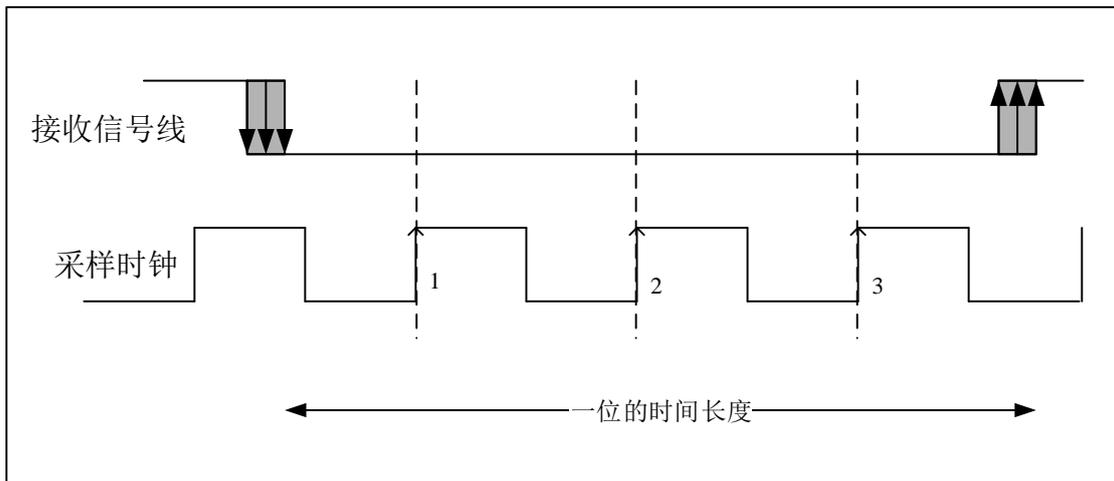


表 18-1 检测噪声的数据采样

采样值	NF 状态	接收的位
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1
110	1	1
111	0	1

当在接收帧中检测到噪音时可以进行以下操作：

- 当 3 个采样值不一致的时候马上设置 NF 标志。
- 接受到的数据从移位寄存器传送到缓冲区。
- 软件写 1 将清除 NF 标志位。

#### 18.4.4 分数波特率的产生

波特率分频系数分为 16 位整数部分和 8 位小数部分。波特率发生器使用这两部分组合所得的数值来确定波特率。由于具有小数部分的波特率分频系数，将使 LPUART 能够产生所有标准波特率。

波特率分频系数（LPUARTDIV）与系统时钟（PCLK）具有如下关系：

$$\text{TX/RX 波特率} = f_{CLK} / (\text{LPUARTDIV})$$

这里的  $f_{CLK}$  是给 LPUART 的时钟（LPUART 时钟源选择为 LSI、LSE 或 APB1） LPUARTDIV 的值设置在波特率配置寄存器 LPUART\_BRCFG1 和 LPUART\_BRCFG2

*注意：在写入 LPUART\_BRCFG1 和 LPUART\_BRCFG2 之后，波特率计数器会被波特率寄存器的新值替换。*

因此，不要在通信过程中改变波特率寄存器的数值。

对于不同的波特率和时钟，如何设置波特率配置寄存器（LPUART\_BRCFG1及LPUART\_BRRCFG2）

例如，波特率 = 4800bps，时钟频率 = 32768Hz。

$LPUARTDIV = 30000/9600 = 6.82667$ 。LPUART\_BRCFG1 = 6，而LPUART\_BRCFG2的值根据下表中的分数加法计算得出（LPUART\_BRCFG2的值为0xEFh）。

小数加法	进位至下一个整数	位域	值
$0.82667 + 0.82667 = 1.65333$	是	DECIMAL0	1
$1.65333 + 0.82667 = 2.48000$	是	DECIMAL1	1
$2.48000 + 0.82667 = 3.30667$	是	DECIMAL2	1
$3.30667 + 0.82667 = 4.13333$	是	DECIMAL3	1
$4.13333 + 0.82667 = 4.96000$	否	DECIMAL4	0
$4.96000 + 0.82667 = 5.78667$	是	DECIMAL5	1
$5.78667 + 0.82667 = 6.61333$	是	DECIMAL6	1
$6.61333 + 0.82667 = 7.44000$	是	DECIMAL7	1

当使用LSE时钟（32.768KHz）时，不同波特率设置的波特率配置寄存器LPUART\_BRCFG1和LPUART\_BRCFG2值如下：

波特率	除数	LPUART_BRCFG1	LPUART_BRCFG2
300	109.2267	6Dh	88h
600	54.6133	36h	ADh
1200	27.3067	1Bh	24h
2400	13.6533	0Dh	6Dh
4800	6.8267	06h	EFh
9600	3.4133	03h	4Ah

注意：CPU的时钟频率越低，则某一特定波特率的准确率也越低。

## 18.4.5 检验控制

复位 LPUART\_CTRL 寄存器上的 PCDIS 位，使能奇偶控制（发送时生成一个奇偶位，接收时进行奇偶校验），置位或复位 PSEL 位选择使用奇校验或偶校验。LPUART 帧格式列在下表。

表 18-2 帧格式

PCDIS 位	LPUART 帧
0	起始位   8 位数据   奇偶检验位   停止位
1	起始位   8 位数据   停止位

传输模式：通过复位 LPUART\_CTRL 的 PCDIS 位使能奇偶校验。如果奇偶校验失败，LPUART\_STS 寄存器中的 PEF 标志被置'1'，如果设置了 LPUART\_INTEN 寄存器的 PEIE，会产生中断。

奇校验：此校验位使得一帧中的 8 个 LSB 数据以及校验位中'1'的个数为奇数。

例如：数据=110111001，共有 6 个'1'，如果选择奇校验（在 LPUART\_CTRL 中的 PSEL=1），校验位将是'1'。

偶校验：校验位使得一帧中的 8 个 LSB 数据以及校验位中'1'的个数为偶数。

例如：数据=110111001，共有 6 个'1'，如果选择偶校验（在 LPUART\_CTRL 中的 PSEL=0），校验位将是'0'。

## 18.4.6 DMA 通信模式

LPUART 可以采用 DMA 的方式分别访问发送数据寄存器（TDR）和接收缓冲器。

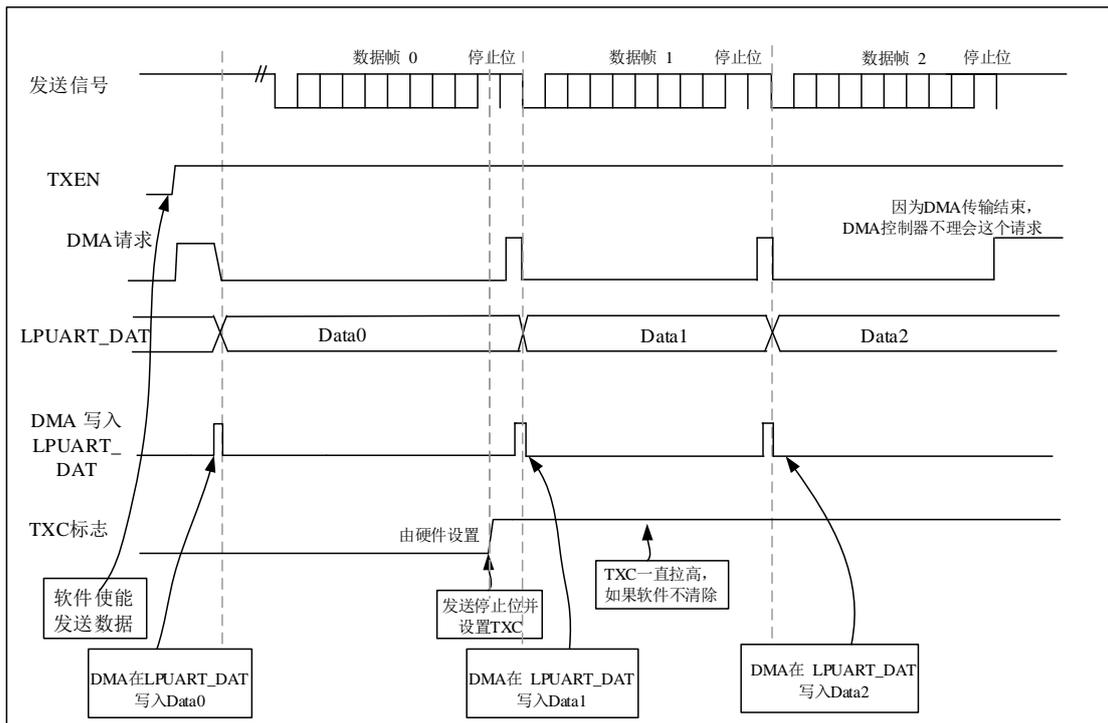
### 18.4.6.1 DMA 发送

为 LPUART 的发送分配一个 DMA 通道的步骤如下（x 表示通道号）：

1. LPUART\_DAT 寄存器地址配置成 DMA 传输的目的地址，将存储器地址配置成 DMA 传输的源地址。
2. 配置要传输的总的字节数。
3. 配置通道优先级。
4. 配置在传输完成一半还是全部完成时产生 DMA 中断。
5. 激活该通道。

完成一次 DMA 传输，相应 DMA 通道上产生一次中断。在发送模式下，当 DMA 传输完所有要发送的数据时，DMA 控制器设置 DMA\_INTSTS 寄存器的 TXCFx 标志，TXC 标志位由硬件置高表示传输完成，软件需要等待 TXC=1。

图 18-5 利用 DMA 发送



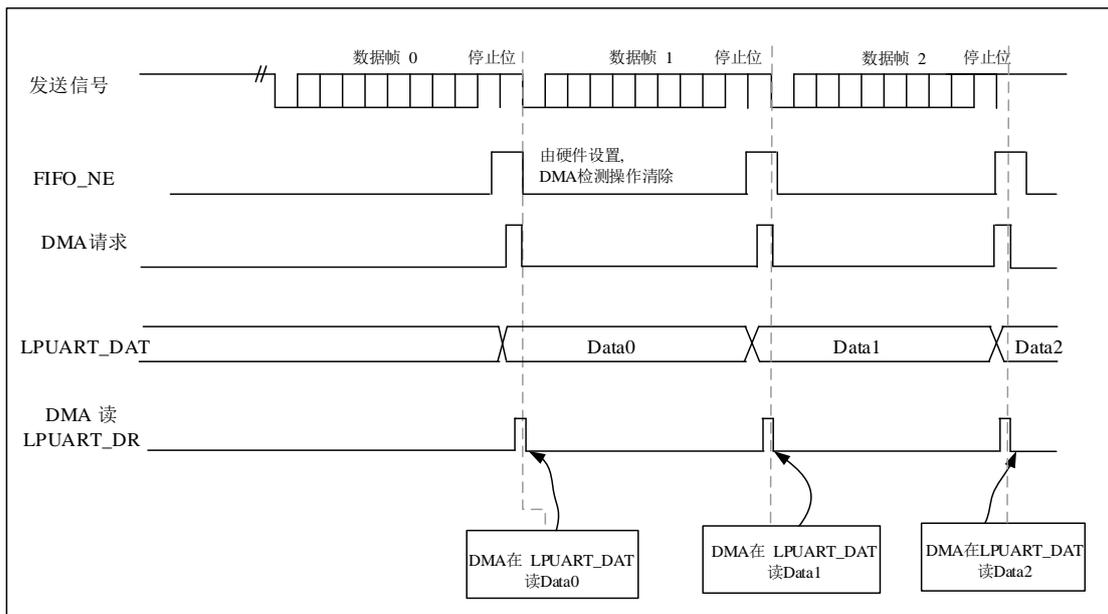
### 18.4.6.2 DMA 接收

为 LPUART 的接收分配一个 DMA 通道的步骤如下 (x 表示通道号):

1. 通过 DMA 控制寄存器把 LPUART\_DAT 寄存器地址配置成传输的源地址, 存储器地址设置传输的目的地址。
2. 配置要传输的 DMA 字节数。
3. 在 DMA 寄存器上配置通道优先级, 配置传输。
4. 配置在传输完成一半还是全部完成时产生 DMA 中断。
5. 激活该通道。

当接收完成 DMA 控制器指定的传输量时, DMA 控制器在该 DMA 通道的中断矢量上产生一中断。

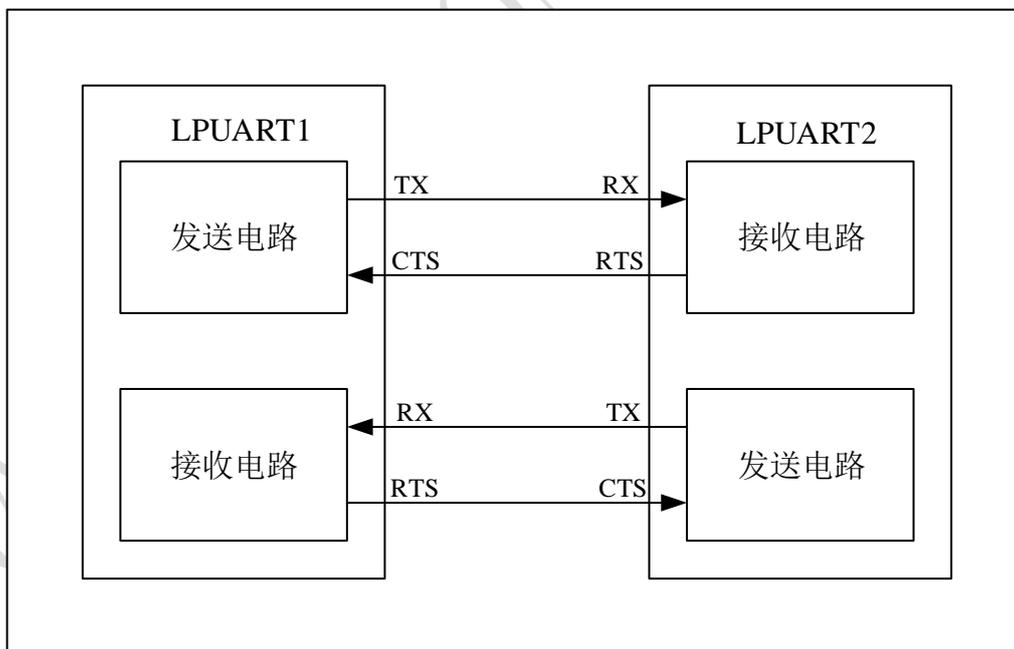
图 18-6 利用 DMA 接收



### 18.4.7 硬件流控

硬件流控制通过 CTS 输入和 RTS 输出实现功能。下图表明在这个模式里如何连接 2 个设备。

图 18-7 两个 LPUART 间的硬件流控制



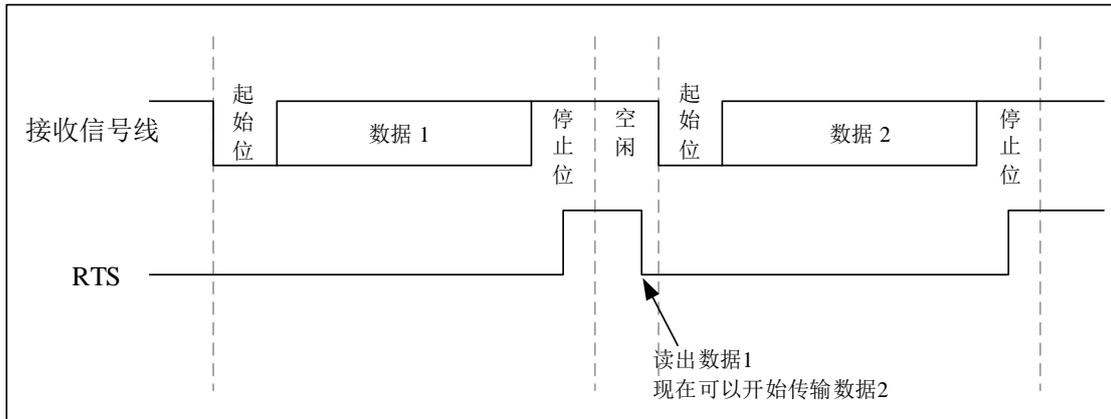
通过将 LPUART\_CTRL 中的 RTSEN 和 CTSEN 置位，可以分别独立地使能 RTS 和 CTS 流控制。

#### 18.4.7.1 RTS 流控制

如果 RTS 流控制被使能 (RTSEN=1)，满足 RTS 门限条件时，RTS 为高电平 (有效)，否则为低。其中，RTS 何时有效可由 LPUART\_CTRL 寄存器 RTS\_THSEL[1:0]位配置选择。RTS 门限可以选择在 FIFO 半满、

FIFO 3/4 满或 FIFO 全满时 RTS 有效。下图是一个启用 RTS 流控制的通信的例子。

图 18-8 RTS 流控制

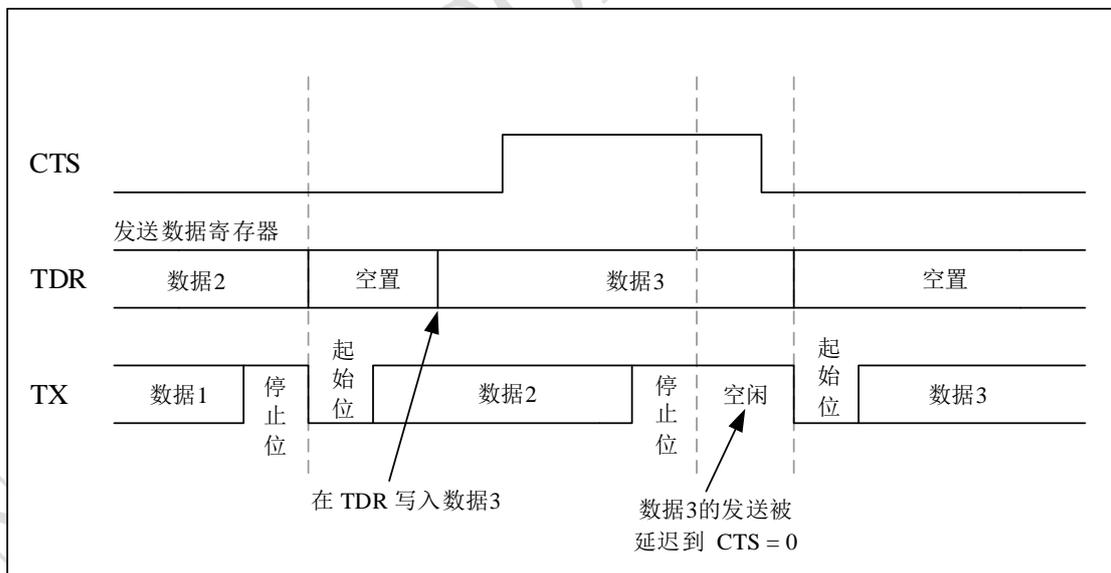


### 18.4.7.2 CTS 流控制

如果 CTS 流控制被使能时 (CTSEN=1)，发送器在发送下一帧前检查 CTS 脚决定是否发送数据。如果 CTS 被拉低 (有效)，发送器发送数据 (假设那个数据是准备发送的)。若 CTS 在传输期间被拉高，当前数据帧传输完成后停止发送。

如果 CTS 流控制使能 (CTSEN=1)，CTS 引脚信号位发生变化，如图 18-9 开启 CTS 流控制。

图 18-9 CTS 流控制



### 18.4.8 低功耗唤醒

LPUART 可以工作在低功耗模式下，如果 LPUART\_CTRL 寄存器的 WUSTP 位置位，可以在特定唤醒事件发生的时候通过 EXTI line 10 唤醒系统。

LPUART 唤醒事件有以下几种方式 (通过 LPUART\_CTRL 寄存器 WUSEL[1:0]控制):

- 当检测到起始位时，产生唤醒事件

- 当接收缓冲器非空标志置位时，产生唤醒事件
- 当接收到数据，并且第一个字节和 LPUART\_WUDAT[7:0]匹配时，产生唤醒事件
- 当接收到数据，并且 4 个字节和 LPUART\_WUDAT[31:0]匹配时，产生唤醒事件

当唤醒发生时，LPUART\_STS 寄存器 WUF 位会置位。

## 18.5 LPUART 中断请求

表 18-3 LPUART 中断请求

中断事件	事件标志	使能位
奇偶校验检测错误	PEF	PEIE
TX 结束	TXC	TXCIE
接受缓冲器溢出	FIFO_OV	FIFO_OVIE
接受缓冲器全满	FIFO_FU	FIFO_FUIE
接受缓冲器半满	FIFO_HF	FIFO_HFIE
接受缓冲器非空	FIFO_NE	FIFO_NEIE
低功耗模式唤醒	WUF	WUFIE

LPUART 的各种中断事件是逻辑或的关系，如果设置了对应的使能控制位，这些事件就可以产生各自的中断，但是同时只能产生一个中断请求。

## 18.6 LPUART 寄存器

### 18.6.1 LPUART 寄存器地址映像

表 18-4 LPUART 寄存器地址映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	LPUART_STS	Reserved																NF	WUF	CTS	FIFO_NE	FIFO_HF	FIFO_FU	FIFO_OV	TXC	PEF							
	Reset Value																	0	0	0	0	0	0	0	0	0							
004h	LPUART_INTEN	Reserved																WUFIE	FIFO_NEIE	FIFO_HFIE	FIFO_FUIE	FIFO_OVIE	TXCIE	PEIE									
	Reset Value																	0	0	0	0	0	0	0									
008h	LPUART_CTRL	Reserved										SMPCNT	WUSEL [1:0]	RTSEN	CTSEN	RTS_THSEL [1:0]	WUSTP	DMA_RXEN	DMA_TXEN	LOOPBACK	PCDIS	FLUSH	TXEN	PSEL									
	Reset Value											0	0	0	0	0	1	0	0	0	0	0	0	0	0								
00Ch	LPUART_BRCFG1	Reserved										INTEGER[15:0]																					
	Reset Value											0	0	0	0	0	0	0	0	1	0	1	1	1	1	0	1	0	0				
010h	LPUART_DAT	Reserved																DAT[7:0]															

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	Reset Value																									0	0	0	0	0	0	0	0		
014h	LPUART_BRCFG2	Reserved																								DECIMAL[7:0]									
	Reset Value																									0	0	0	0	0	0	0			
018h	LPUART_WUDAT	WUDAT[31:0]																																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

## 18.6.2 LPUART 状态寄存器 ( LPUART\_STS )

偏移地址: 0x00

复位值: 0x0000 0000

31	Reserved																16
15	Reserved							NF	WUF	CTS	FIFO_NE	FIFO_HF	FIFO_FU	FIFO_OV	TXC	PEF	0
							re_wl	re_wl	r	re_wl	re_wl	re_wl	re_wl	re_wl	re_wl		

位域	名称	描述
31:9	Reserved	必须保持复位值。
8	NF	噪声检测标志 在接收的帧中检测到噪音时，由硬件对该位置位。该位由软件清0 0: 没检测到噪声。 1: 检测到噪声。
7	WUF	低功耗模式唤醒标志。 0: 没有检测到唤醒事件。 1: 检测到唤醒事件。
6	CTS	CTS 信号（硬件流控制）标志。 一旦发送器请求发送数据，则准备接收数据。 0: CTS 线复位。 1: CTS 线置位。
5	FIFO_NE	接收缓冲器非空标志 0: 缓冲器为空。 1: 缓冲器非空。RX 数据已准备好被读取
4	FIFO_HF	接收缓冲器半满标志 0: 缓冲器非半满。 1: 缓冲器半满。应该在缓冲器全满前读出 RX 数据
3	FIFO_FU	接收缓冲器全满标志 0: 缓冲器非全满。 1: 缓冲器全满。应该读出 RX 数据，以准备接收新数据
2	FIFO_OV	接收缓冲器溢出标志 0: 缓冲器没有溢出。 1: 缓冲器溢出。
1	TXC	TX 结束标志

位域	名称	描述
		0: TX 没有使能或者没有结束。 1: TX 传输结束。
0	PEF	奇偶校验检测错误标志 0: 没检测到奇偶校验错误。 1: 检测到奇偶校验错误。

### 18.6.3 LPUART 中断使能寄存器 ( LPUART\_INTEN )

偏移地址: 0x04

复位值: 0x0000 0000

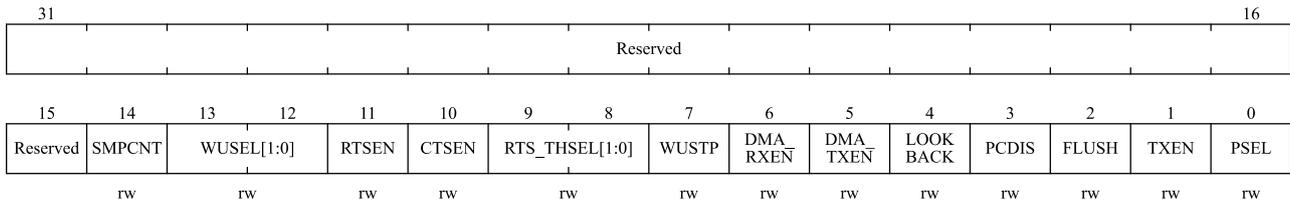
31	Reserved										16		
15	Reserved					7	6	5	4	3	2	1	0
							WUFIE	FIFO_NEIE	FIFO_HFIE	FIFO_FUIE	FIFO_OVIE	TXCIE	PEIE
							rw	rw	rw	rw	rw	rw	rw

位域	名称	描述
31:7	Reserved	必须保持复位值。
6	WUFIE	低功耗模式唤醒中断使能 0: 关闭唤醒中断 1: 使能唤醒中断
5	FIFO_NEIE	接收缓冲器非空中断使能 0: 关闭缓冲器非空中断 1: 使能缓冲器非空中断
4	FOFO_HFIE	接收缓冲器半满中断使能 0: 关闭缓冲器半满中断 1: 使能缓冲器半满中断
3	FOFO_FUIE	接收缓冲器全满中断使能 0: 关闭缓冲器全满中断 1: 使能缓冲器全满中断
2	FIFO_OVIE	接收缓冲器溢出中断使能 0: 关闭缓冲器溢出中断 1: 使能缓冲器溢出中断
1	TXCIE	TX 结束中断使能 0: 关闭 TX 结束中断 1: 使能 TX 结束中断
0	PEIE	奇偶校验检测错误中断使能 0: 关闭奇偶校验错误中断 1: 使能奇偶校验错误中断

### 18.6.4 LPUART 控制寄存器 ( LPUART\_CTRL )

地址偏移: 0x08

复位值: 0x0000 0200



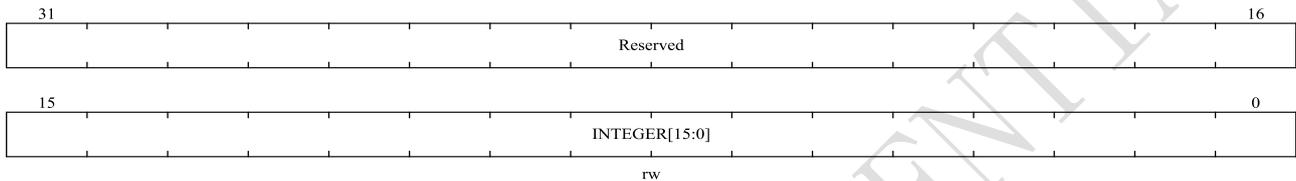
位域	名称	描述
31:15	Reserved	必须保持复位值。
14	SMPCNT	指定采样方法 0: 3 个样本位, 允许噪声检测 (LPUARTDIV 应该足够大, 如大于 10) 1: 一个样本位, 关闭噪声检测
13:12	WUSEL[1:0]	唤醒事件选择。 00: 起始位检测 01: 接收缓冲器非空检测 10: 一个可配置的可接收字节 11: 一个可编程的 4 字节帧
11	RTSEN	RTS 硬件流控制使能 0: 关闭 RTS 硬件流控制 1: 使能 RTS 硬件流控制
10	CTSEN	CTS 硬件流控制使能 0: 关闭 CTS 硬件流控制 1: 使能 CTS 硬件流控制
9:8	RTS_THSEL[1:0]	RTS 门限选择 00: FIFO 半满时, RTS 有效 (拉高) x1: FIFO 3/4 满时, RTS 有效 (拉高) 10: FIFO 全满时, RTS 有效 (拉高)
7	WUSTP	LPUART 低功耗唤醒 (中断或事件) 使能 0: 不使能低功耗唤醒 1: 使能低功耗唤醒
6	DMA_RXEN	DMA RX 请求使能
5	DMA_TXEN	DMA TX 请求使能
4	LOOKBACK	回环自测 0: 正常模式 1: 回环自测模式
3	PCDIS	奇偶校验控制 0: 使能奇偶校验位 1: 禁止奇偶校验位
2	FLUSH	清除接收缓冲器 0: 关闭清除缓冲器 1: 使能清除缓冲器内容
1	TXEN	TX 使能 0: 关闭 TX

位域	名称	描述
		1: 使能 TX
0	PSEL	奇校验位使能 0: 偶校验位 1: 奇校验位

### 18.6.5 LPUART 波特率配置寄存器 1 ( LPUART\_BRCFG1 )

偏移地址: 0x0C

复位值: 0x0000 0174

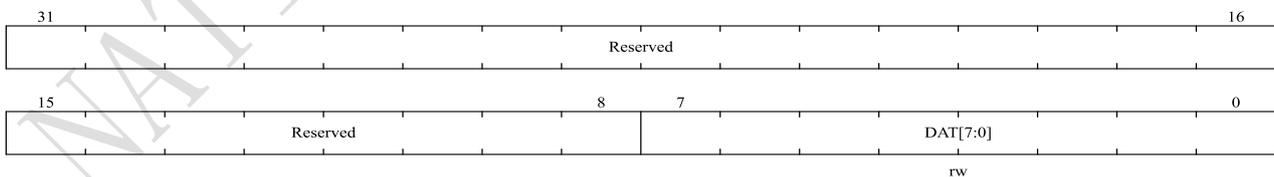


位域	名称	描述
31:16	Reserved	必须保持复位值。
15:0	INTEGER[15:0]	波特率配置寄存器 1。 波特率配置寄存器 1 的计算方法如下： 波特率为 9600bps，时钟频率为 32768Hz。 $LPUARTDIV = 32768/9600 = 3.4133$ 在这种情况下，LPUARTDIV 的整数部分为 3，小数部分为 0.4133。则 $LPUART\_BRCFG1 = 3$ 。而 LPUART_BRCFG2 将用于波特率错误校正。对于具有噪声检测特性的 3 位采样方法，此时 LPUARTDIV 不够大，所以应该采用 1 位采样方法，以避免采样误差。

### 18.6.6 LPUART 数据寄存器 ( LPUART\_DAT )

偏移地址: 0x10

复位值: 0x0000 0000

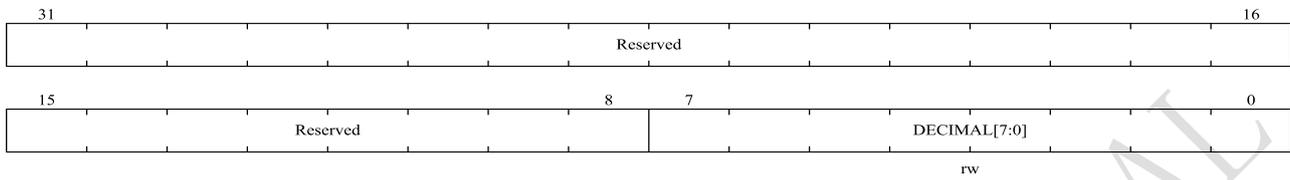


位域	名称	描述
31:8	Reserved	必须保持复位值。
7:0	DAT[7:0]	发送时写入数据寄存器 接收时读取该寄存器，即从接收缓冲器中读出 RX 数据

### 18.6.7 LPUART 波特率配置寄存器 2 ( LPUART\_BRCFG2 )

偏移地址: 0x14

复位值: 0x0000 0000

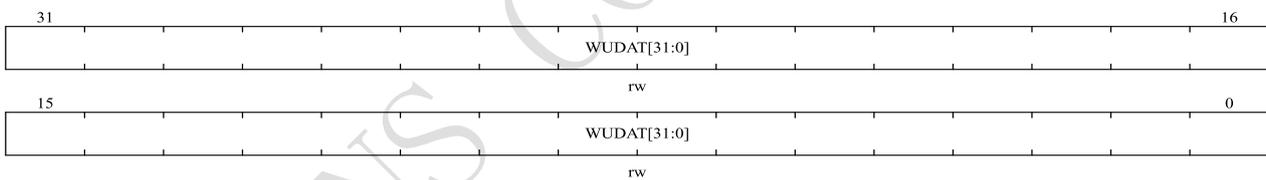


位域	名称	描述
31:8	Reserved	必须保持复位值。
7:0	DECIMAL[7:0]	波特率配置寄存器 2 用于在低频率下的波特率错误校正。例如，波特率为 4800bps，时钟频率为 32768Hz。 $LPUARTDIV = 32768/4800 = 6.8266$ 则 $LPUART\_BRCFG1 = 6$ 。此时，为了校正波特率错误，应该使用波特率配置寄存器 2，具体的配置方法请参考“分数波特率的产生”一节。

### 18.6.8 LPUART 唤醒数据寄存器 ( LPUART\_WUDAT )

偏移地址: 0x18

复位值: 0x0000 0000



位域	名称	描述
31:0	WUDAT[31:0]	WUSEL[1:0] = 1x 时，配置该寄存器用于检测将 CPU 从 STOP 模式唤醒的条件是否匹配（字节匹配或帧匹配）。 WUSEL[1:0] = 10，用于字节匹配唤醒，此时，第 1 个字节有效 WUSEL[1:0] = 11，用于帧匹配唤醒，此时，所有 4 字节有效

## 19 串行外设接口 ( SPI )

### 19.1 SPI 简介

本模块中 SPI/I<sup>2</sup>S 接口复用，默认工作在 SPI 模式，可通过配置切换到 I<sup>2</sup>S 模式。二者都是同步串行接口通讯协议。串行外设接口 (SPI) 可工作于主机或从机模式，支持全双工、单工高速通信模式，具有硬件 CRC 计算并可配置多主模式。片上音频接口 (I<sup>2</sup>S) 在单工通讯中可在主、从两种模式运行，支持飞利浦 I<sup>2</sup>S 标准、MSB 对齐标准、LSB 对齐标准和 PCM 四种音频标准。

### 19.2 SPI 和 I2S 主要特征

#### 19.2.1 SPI 特征

- 全双工和单工同步传输
- 支持主模式、从模式、多主模式
- 8 或 16 位数据帧格式
- 数据位顺序可编程
- 软件或硬件进行 NSS 管理
- 时钟极性和相位可编程
- 发送和接收支持硬件 CRC 计算、校验
- 支持 DMA

#### 19.2.2 I<sup>2</sup>S 功能

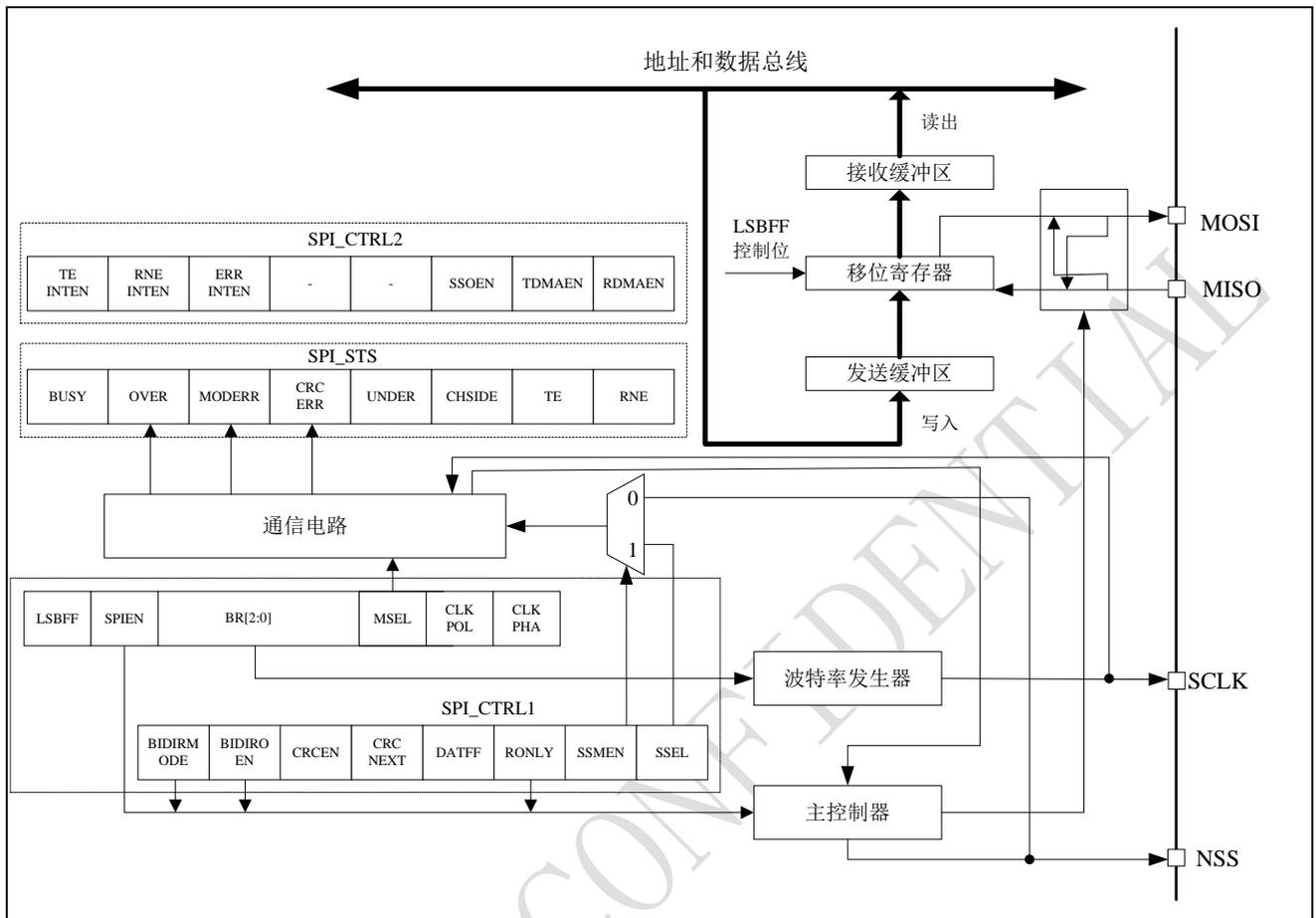
- 半双工通信(同一时刻仅发送或接收)
- 支持主模式、从模式
- 支持四种音频标准：飞利浦 I<sup>2</sup>S 标准、MSB 对齐标准、LSB 对齐标准和 PCM 标准
- 可配置 8KHz 到 96kHz 的音频采样频率
- 支持 16 位，24 位或 32 位数据长度、数据帧格式（根据需求配置）
- 稳定态时钟极性可编程
- 数据方向总是 MSB 在先
- 支持 DMA

### 19.3 SPI 功能描述

#### 19.3.1 概述

SPI 结构框图。

图 19-1 SPI 框图



SPI 共 4 个引脚与外部器件相连:

- SCLK: 串口时钟, 作为主设备的输出, 从设备的输入
- MISO: 主设备输入/从设备输出管脚。在主模式下接收数据, 从模式下发送数据。
- MOSI: 主设备输出/从设备输入管脚。在主模式下发送数据, 从模式下接收数据。
- NSS: 片选管脚。分为内部管脚和外部管脚, 内部管脚检测到高电平时, SPI 工作在主模式; 反之, 工作在从模式。从设备的 NSS 管脚可以由主设备的一个标准 I/O 引脚来控制。

### 软件 NSS 模式

SPI\_CTRL1 寄存器的 SSMEN=1 启用软件从设备管理 (见图 19-2)。

该模式下不使用 NSS 管脚, 通过写 SPI\_CTRL1 的 SSEL 位驱动内部 NSS 信号电平 (主模式 SSEL=1, 从模式 SSEL=0)。

### 硬件 NSS 模式

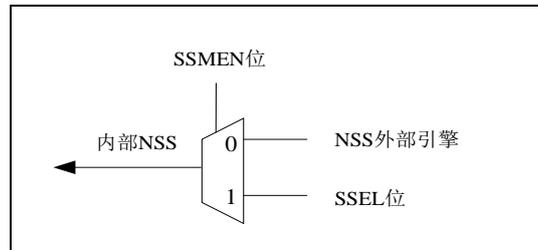
SPI\_CTRL1 寄存器的 SSMEN=0 禁止软件从设备管理。

输入模式: 配置为主模式、NSS 输出禁止 (MSEL=1, SSOEN=0), 允许操作于多主模式。主设备 (从设备) 在整个数据帧传输期间应把 NSS 脚外接到高电平 (低电平)。

输出模式：配置为主模式、NSS 输出使能（MSEL=1，SSOEN=1），SPI 作为主设备必须将 NSS 拉低，所有被设置为 NSS 硬件模式并与之相连的 SPI 设备会检测到低电平，自动进入从设备状态。若主设备不能拉低 NSS，则进入从模式，并产生主模式失效错误 MODERR 位置 ‘1’。

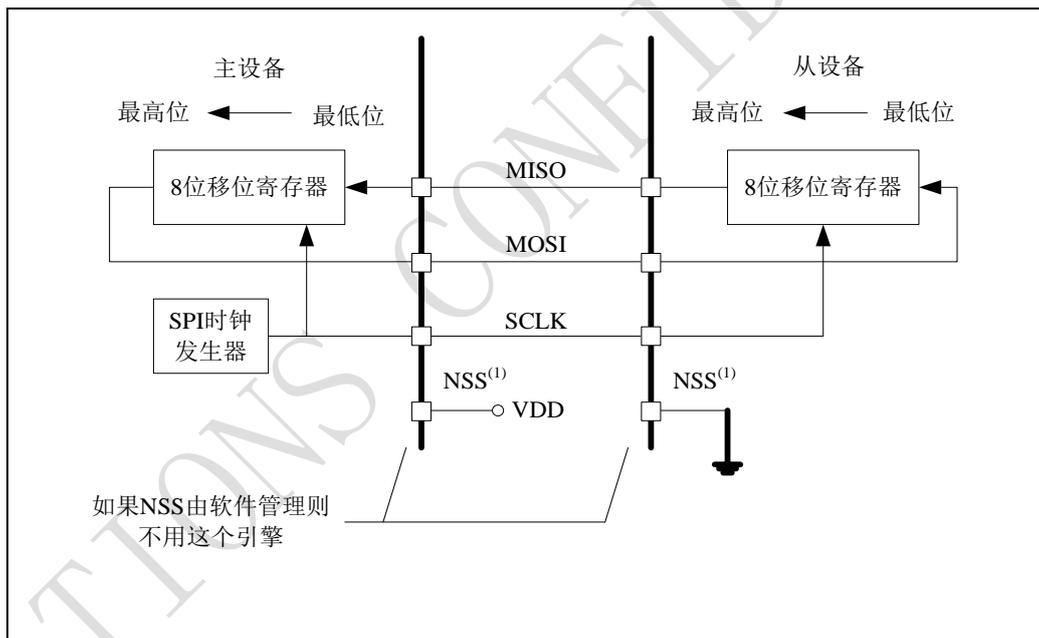
注：软件模式或硬件模式的选择，取决于通讯协议中是否需要 NSS 控制。如果不需要，可以选择软件模式，释放一个 GPIO 管脚另作他用。

图 19-2 硬件/软件的从选择管理



下图是一个单主和单从设备互连的例子。

图 19-3 单主和单从应用



注：1. NSS 引脚设置为输入

SPI 是一个环形总线结构，主设备通过 SCLK 管脚输出同步时钟信号，MOSI、MISO 管脚对应连接。主从之间串行传输数据，通过 MOSI 脚把数据发送给从设备并存在最低位，同时从设备的最高位通过 MISO 管脚传输到主设备的最低位，当第二位数据进行发送时，最低位的数据会向左移一位并将新数据存入最低位。

### SPI 时序模式

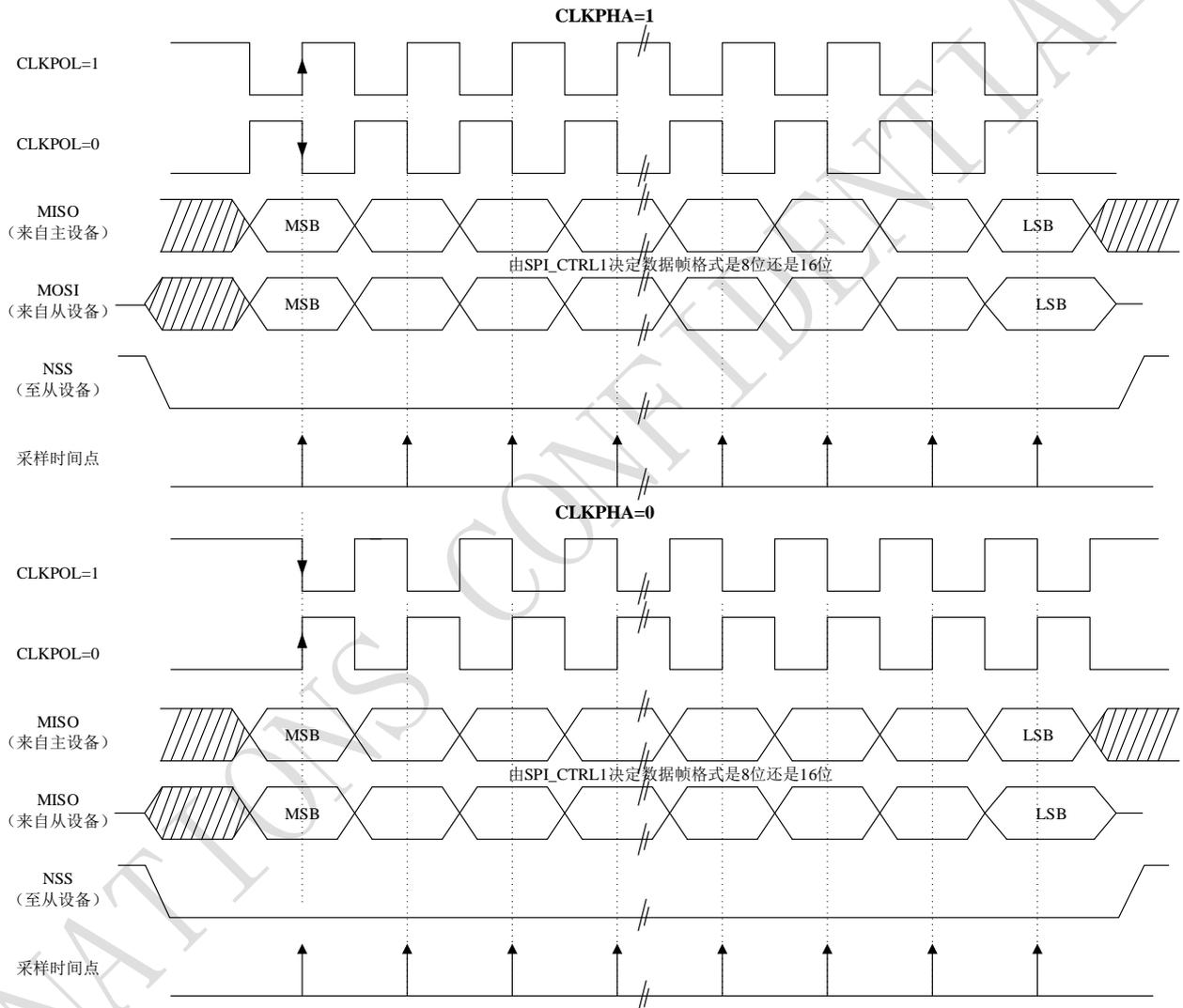
CLKPOL 时钟极性和 CLKPHA 时钟相位的组合选择数据捕捉的时钟边沿。配置 SPI\_CTRL1 寄存器的 CLKPOL 和 CLKPHA 位，有以下四种时序关系。

CLKPOL=0，CLKPHA=0：SCLK 引脚在空闲状态保持低电平，数据采样时在第一个边沿，即上升沿；

CLKPOL=0, CLKPHA=1: SCLK 引脚在空闲状态保持低电平, 数据采样时在第二个边沿, 即下降沿;  
 CLKPOL=1, CLKPHA=0: SCLK 引脚在空闲状态保持高电平, 数据采样时在第一个边沿, 即下降沿;  
 CLKPOL=1, CLKPHA=1: SCLK 引脚在空闲状态保持高电平, 数据采样时在第二个边沿, 即上升沿。  
 无论采用何种时序模式, 必须保证主从配置相同。

图 19-4 是 SPI\_CTRL1 寄存器 LSBFF=0 时, SPI 传输的 4 种 CLKPHA 和 CLKPOL 位组合时序。

图 19-4 数据时钟时序图



### 数据格式

配置 SPI\_CTRL1 寄存器中的 LSBFF 位改变数据顺序, LSBFF=0 时, SPI 先发送高位数据 (MSB); LSBFF=1 时, SPI 先发送低位数据 (LSB)。

配置 SPI\_CTRL1 寄存器的 DATFF 位选择 8 位或 16 位数据帧。

## 19.3.2 SPI 工作模式

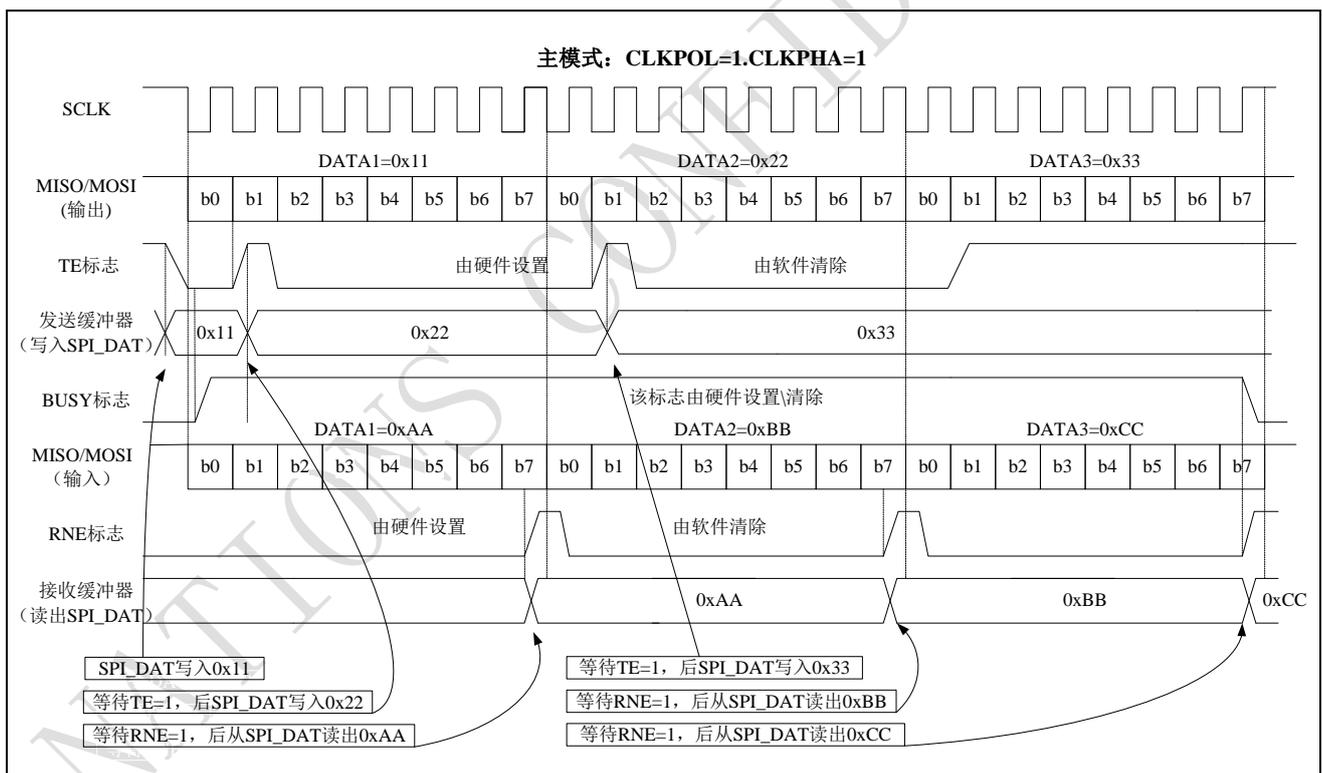
### ■ 主机全双工模式 (MSEL=1, BIDIRMODE=0, RONLY=0)

寄存器SPI\_DAT（发送缓冲器）写入数据后，传输过程开始。在发送第一位数据的同时，数据被并行地从发送缓冲器传送到8位的移位寄存器中，SPI根据LSBFF的配置按顺序将数据串行地移位到MOSI管脚上；同时，在MISO管脚上接收到的数据，按相同顺序被串行地移位进入8位的移位寄存器中，然后被并行地传送到SPI\_DAT寄存器（接收缓冲器）中。软件操作流程如下（见图19-5主机全双工模式下连续传输时，TE/RNE/BUSY的变化示意图）：

1. 使能SPI模块，SPIEN置‘1’；
2. 将第一个待发送数据写入SPI\_DAT寄存器（该操作将标志位TE清零）；
3. 等待TE置‘1’，将第二个待发送数据写入SPI\_DAT。等待RNE置‘1’，读取SPI\_DAT得到第一个接收到的数据，读SPI\_DAT的同时RNE位清零。重复以上操作，发送后续的数据同时接收n-1个数据；
4. 等待RNE置‘1’，接收最后一个数据；
5. 等待TE置‘1’，然后等待BUSY清零，关闭SPI模块。

数据收发的过程也可以在 RNE 或 TE 标志上升沿产生的中断处理程序中实现。

图 19-5 主机全双工模式下连续传输时，TE/RNE/BUSY 的变化示意图



### ■ 主机单向只发送模式（MSEL=1, BIDIRMODE=0, RONLY=0）

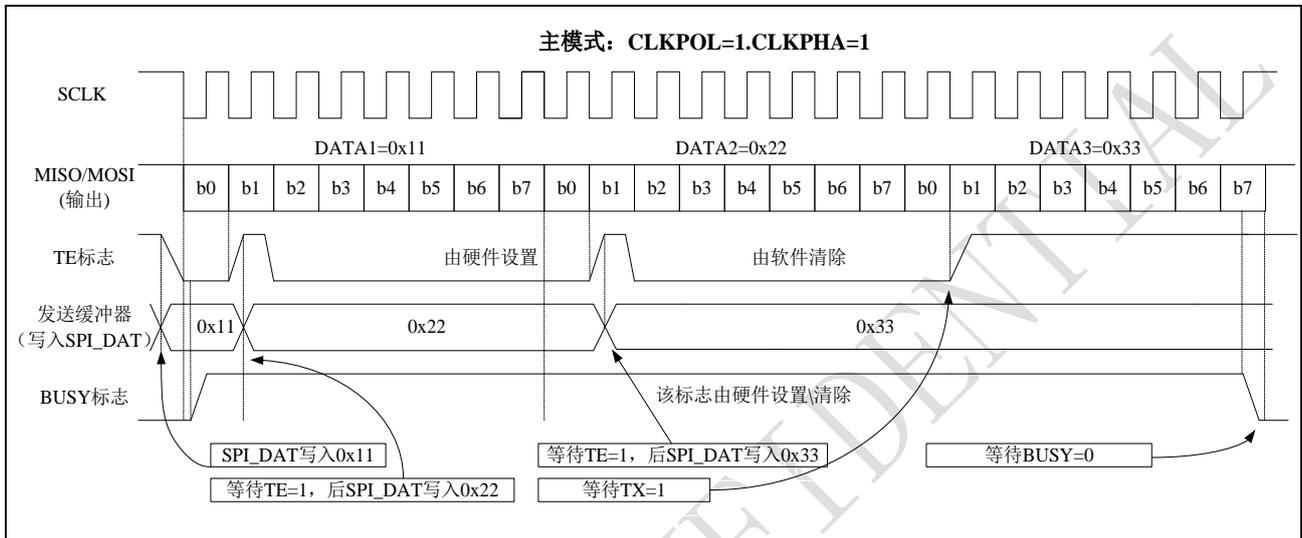
单向只发送模式的传输原理同全双工模式。不同的是，该模式不会读取接收到的数据，故 SPI\_STS 寄存器中的 OVER 位会置‘1’，软件无需理会。软件操作流程如下（见图 19-6 主机单向只发送模式下连续传输时，TE/BUSY 变化示意图）：

1. 使能SPI模块，SPIEN置‘1’；

2. 将第一个待发送数据写入 SPI\_DAT 寄存器（该操作将标志位 TE 清零）；
3. 等待 TE 置 ‘1’，将第二个待发送数据写入 SPI\_DAT。重复这个操作，发送后续的数据；
4. 写入最后一个数据到 SPI\_DAT 之后，等待 TE 置 ‘1’；然后等待 BUSY 清零，完成所有数据的发送。

数据发送的过程也可以在 TE 标志上升沿产生的中断处理程序中实现。

图 19-6 主机单向只发送模式下连续传输时，TE/BUSY 变化示意图



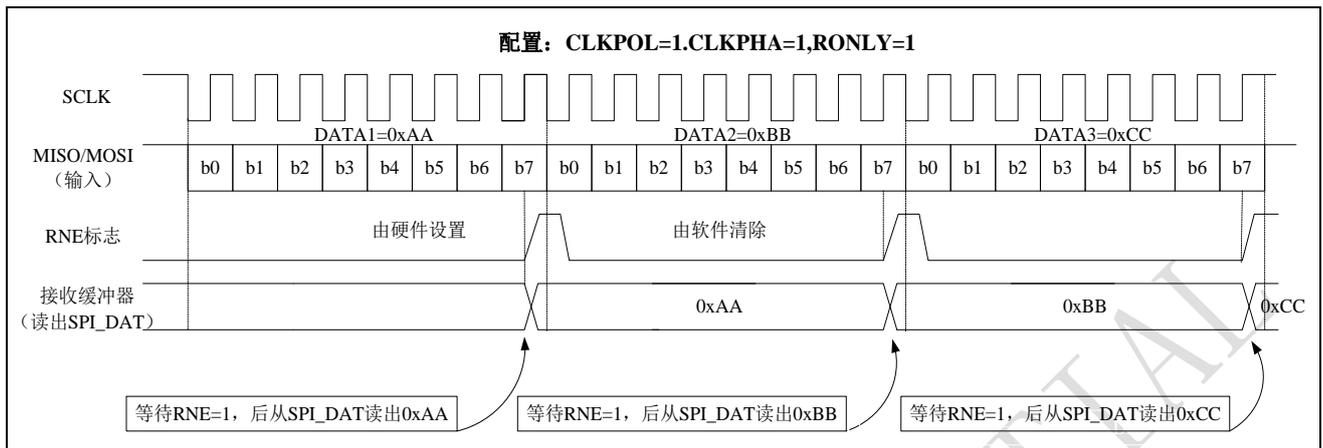
#### ■ 主机单向只接收模式（MSEL=1, BIDI MODE=0, RONLY=1）

SPIEN=1时，接收过程开始。在MISO引脚上接收到的数据，按顺序被串行地移位进入8位的移位寄存器中，然后被并行地传送到SPI\_DAT寄存器（接收缓冲器）中。软件操作流程如下（见图 19-7只接收模式（BIDI MODE=0并且RONLY=1）下连续传输时，RNE变化示意图）：

1. 使能只接收模式（SPI\_CTRL2 寄存器 RONLY=1）；
2. 使能 SPI 模块，SPIEN 置 ‘1’：主模式下，立刻产生 SCLK 时钟信号，在关闭 SPI（SPIEN=0）之前，不断地接收串行数据；从模式下，当 SPI 主设备拉低 NSS 信号并产生 SCLK 时钟时，接收串行数据。
3. 等待 RNE 置 ‘1’，读取 SPI\_DAT 寄存器得到接收到的数据，读 SPI\_DAT 的同时 RNE 位清零。重复这个操作接收所有数据。

数据发送的过程也可以在 RNE 标志上升沿产生的中断处理程序中实现。

图 19-7 只接收模式 (BIDIRMODE=0 并且 RONLY=1) 下连续传输时, RNE 变化示意图



■ **主机双向发送模式 (MSEL=1, BIDIRMODE=1, BIDIROEN=1, RONLY=0)**

寄存器SPI\_DAT (发送缓冲器) 写入数据后, 发送过程开始。该模式不接收数据, 在发送第一位数据的同时, 数据被并行地从发送缓冲器传送到8位的移位寄存器中, SPI根据LSBFF的配置按顺序将数据串行地移位到MOSI管脚上。

主机双向发送模式的软件操作流程同只发送模式。

■ **主机双向接收模式 (MSEL=1, BIDIRMODE=1, BIDIROEN=0, RONLY=0)**

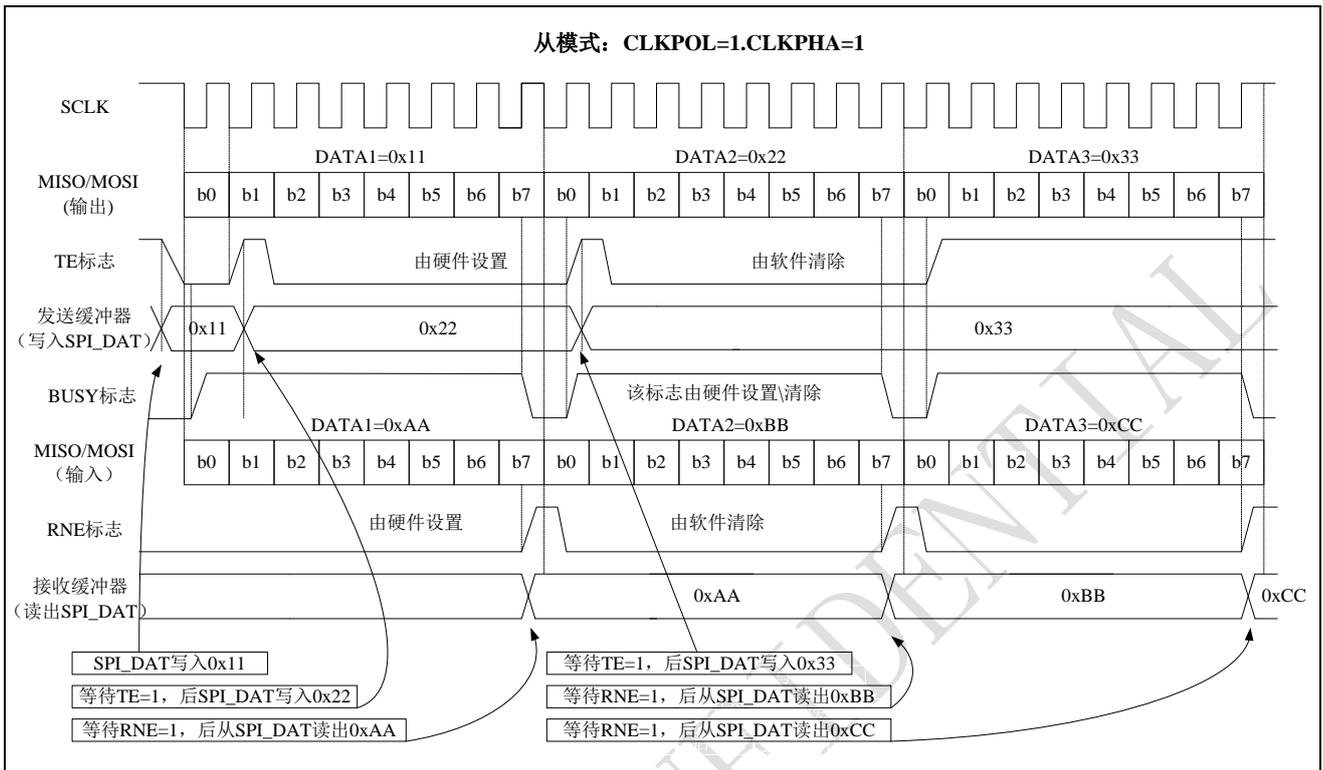
SPIEN=1、BIDIROEN=0时, 接收过程开始。该模式下MISO管脚无数据输出, 接收到的数据按顺序被串行地移位进入8位的移位寄存器中, 然后被并行地传送到SPI\_DAT寄存器 (接收缓冲器) 中。

主机双向接收模式的软件操作流程同只接收模式。

■ **从机全双工模式 (MSEL=0, BIDIRMODE=0 并且 RONLY=0)**

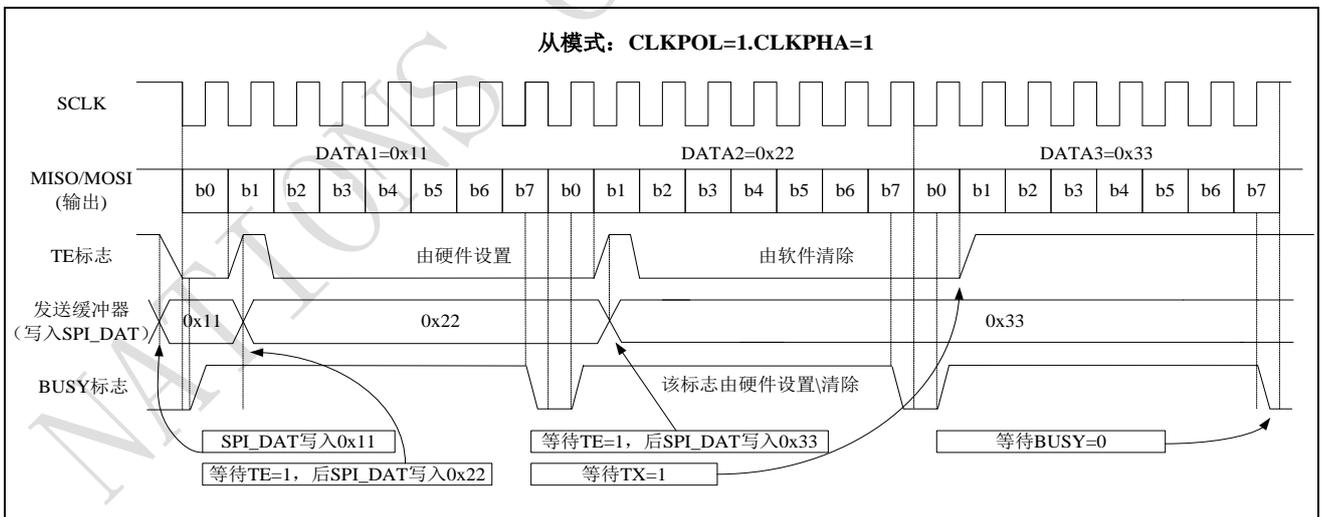
当从设备接收到时钟信号第一个边沿时, 发送过程开始。软件必须保证在 SPI 主设备开始数据传输之前寄存器 SPI\_DAT 中已写入待发送的数据。

图 19-8 从机全双工模式下连续传输时，TE/RNE/BUSY 的变化示意图



■ 从机单向只发送模式 (MSEL=0, BIDIRMODE=0 并且 RONLY=0)

图 19-9 从机单向只发送模式下连续传输时，TE/BUSY 变化示意图



■ 从机单向只接收模式 (MSEL=0, BIDIRMODE=0 并且 RONLY=1)

当从设备接收到时钟信号并且第一个数据位出现在它的MOSI时，数据接收过程开始。接收到的数据按顺序被串行地移位进入8位的移位寄存器中，然后被并行地传送到SPI\_DAT寄存器（接收缓冲器）中。

■ 从机双向发送模式 (MSEL=0, BIDIRMODE=1 并且 BIDIROEN=1)

当从设备接收到时钟信号第一个边沿时，发送过程开始。该模式下不接收数据，软件必须保证在SPI主设备开始数据传输之前寄存器SPI\_DAT中已写入待发送的数据。

#### ■ 从机双向接收模式 (MSEL=0, BIDIRMODE=1 并且 BIDIROEN=0)

当从设备接收到时钟信号并且第一个数据位出现在它的MOSI时，数据传输开始。该模式下无数据输出，接收到的数据按顺序被串行地移位进入8位的移位寄存器中，然后被并行地传送到SPI\_DAT寄存器（接收缓冲器）中。

注：从机的软件操作过程可参照主机。

#### SPI 初始化流程

1. 通过 SPI\_CTRL1 寄存器的 BR[2:0]位定义串行时钟波特率（如果工作在从模式，忽略此步骤）。
2. 选择 CLKPOL 和 CLKPHA 位，定义数据传输和串行时钟间的相位关系（见图 19-4）。
3. 设置 DATFF 位来定义 8 位或 16 位数据帧格式。
4. 配置 SPI\_CTRL1 寄存器的 LSBFF 位定义帧格式。
5. 按照上文 NSS 功能的描述配置 NSS 模式。
6. 通过 MSEL、BIDIRMODE、BIDIROEN、RONLY 位，配置运行模式。
7. 设置 SPIEN 位，使能 SPI。

#### 基本的发送与接收流程

SPI 发送一个数据帧时，首先将这个数据帧从数据缓冲区加载到移位寄存器中，然后开始发送加载的数据。当数据从发送缓冲器传送到移位寄存器时，SPI\_STS 寄存器的发送缓冲为空的标志位 TE 置 ‘1’，此时可以装载下一个数据到发送缓冲器；如果 SPI\_CTRL2 寄存器 TEINTEN 位置 ‘1’，则会产生一个中断；写入 SPI\_DAT 寄存器可将 TE 位清 ‘0’。

在采样时钟的最后一个边沿，当数据被从移位寄存器传送到接收缓冲器时，SPI\_STS 寄存器的接收缓冲器非空的标志位 RNE 置 ‘1’，此时数据已经就绪，可以从 SPI\_DAT 寄存器读出；如果 SPI\_CTRL2 寄存器 RNEINTEN 位置 ‘1’，则会产生一个中断；读出 SPI\_DAT 寄存器即可清除 RNE 位。

在主模式下，当数据写入发送缓冲区时，发送过程开始。若当前数据帧发送完成前，下一个数据已写入 SPI\_DATA 寄存器中，则实现连续发送功能。

在从模式下，NSS 管脚电平为低，当时钟信号第一个边沿来到时，发送过程开始。为避免意外的数据传输，软件必须在发送开始前，将数据写入发送缓冲区（建议在主设备发送时钟之前使能 SPI 从设备）。

在一些配置中，传输最后一个数据时，可以使用 BUSY 标志等待数据传输的结束。

#### 连续和非连续传输

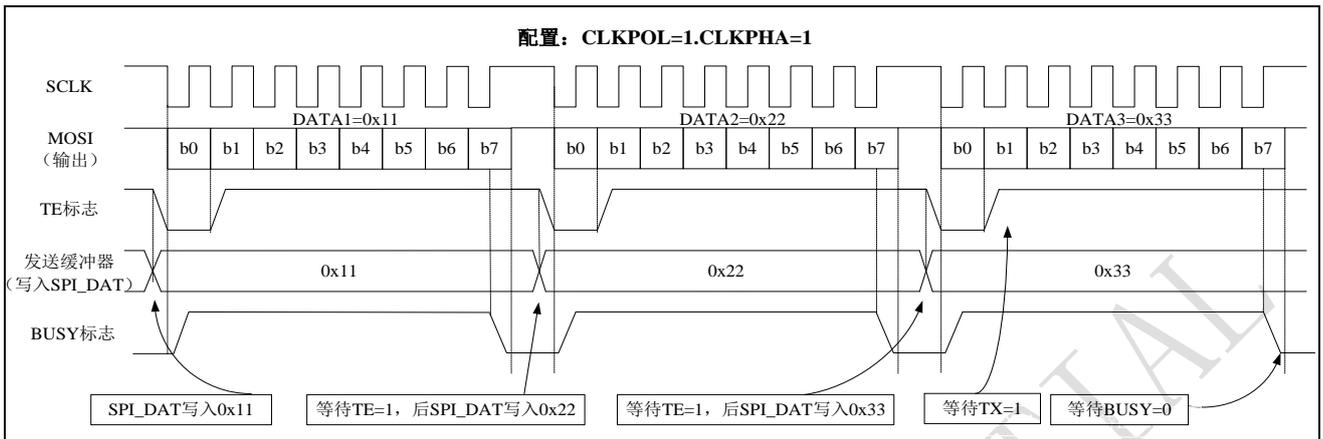
当在主模式下发送数据时，如果软件足够快，能够在检测到每次 TE 的上升沿（或 TE 中断），并立即在正在进行的传输结束之前写入 SPI\_DAT 寄存器，此时，在每个数据项的传输之间的 SPI 时钟保持连续，BUSY 位不会被清除，能够实现连续的通信。

如果软件不够快，则会导致不连续的通信；这时，在每个数据传输之间 BUSY 位清零（见下图）。

在主机只接收模式下（RONLY=1），通信总是连续的，而且 BUSY 标志始终为高。

在从模式下，通信的连续性由 SPI 主设备决定。不管怎样，即使通信是连续的，BUSY 标志会在每个数据项之间至少有一个 SPI 时钟周期为低（见图 19-9）。

图 19-10 BIDIRMODE=0, RONLY=0 非连续传输发送时, TE/BUSY 变化示意图



### 19.3.3 状态标志

SPI\_STS 寄存器中有以下 3 个标志位, 用以监视 SPI 总线的状态。

#### 发送缓存空标志位 (TE)

发送缓冲器为空时, 该位置'1', 此时可以将新的待发送数据写入 SPI\_DATA。

发送缓冲器非空时, 该位清'0'。

#### 接收缓存非空标志位 (RNE)

接收缓存区非空时, 该位置'1', 表示在接收缓存里已接收到的有效数据。

读取寄存器 SPI\_DATA 时, 该位清'0'。

#### 忙标志位 (BUSY)

BUSY 标志可以检测传输是否结束, 由硬件设置与清除 (软件操作无效)。

SPI 通讯正在进行时 BUSY 标志位置 '1', 但主模式的双向接收模式 (MSEL=1、BIDIRMODE=1、BIDIROEN=0), 在接收期间 BUSY 标志置 '0'。当传输结束或关闭 I2S 模块时, 该标志位置 '0'。

BUSY 标志被清'0'的情况:

- 传输结束 (主模式下连续通信的情况除外);
- 关闭 SPI 模块 (SPIEN=0);
- 产生主模式失效 (MODERR=1)。

当通信不是连续时: BUSY 标志在每个数据项的传输之间被清 '0'。

当通信是连续时: 主模式下, BUSY 标志在整个传输过程中保持为高; 从模式下, BUSY 标志在每个数据项的传输之间, 有一个 SPI 时钟周期为低。因此, 不要使用 BUSY 标志处理每一个数据项的发送和接收。

### 19.3.4 关闭 SPI

若要关闭 SPI 功能, 需要根据不同的工作模式采取不同的操作步骤:

### 主机全双工或从机全双工模式

1. 等待 RNE 置 '1' 并接收最后一个数据；
2. 等待 TE 置 '1'；
3. 等待 BUSY 清 '0'；
4. 关闭 SPI (SPIEN=0)。

### 主机或从机的单向只发送模式或双向的发送模式

1. 在寄存器 SPI\_DAT 中写入最后一个数据后，等待 TE 置 '1'；
2. 等待 BUSY 清 '0'；
3. 关闭 SPI (SPIEN=0)。

### 主机单向只接收模式或双向的接收模式

1. 等待倒数第二个 RNE 置 '1'；
2. 在关闭 SPI (SPIEN=0) 之前等待一个 SPI 时钟周期 (使用软件延迟)；
3. 在进入停机模式 (或关闭该模块的时钟) 之前等待最后一个 RNE=1。

### 从机单向只接收模式或双向的接收模式

1. 可以在任何时候关闭 SPI (SPIEN=0)，SPI 会在当前的传输结束后被关闭；
2. 如果希望进入停机模式，在进入停机模式 (或关闭该模块的时钟) 之前必须首先等待 BUSY=0。

## 19.3.5 利用 DMA 的 SPI 通信

SPI 利用 DMA 传输数据，将应用程序从读写收发缓冲区的过程中释放出来，大大提高了系统效率。

当发送缓冲区 DMA 使能 (SPI\_CTRL2 寄存器 TDMAEN=1)，每次 TE 被置 '1' 时发出 DMA 请求，DMA 自动将数据写入 SPI\_DAT 寄存器，该操作会清除 TE 标志。当接收缓冲区 DMA 使能 (SPI\_CTRL2 寄存器 RDMAEN =1)，每次 RNE 被置 '1' 时发出 DMA 请求，DMA 自动从 SPI\_DAT 寄存器读出数据，该操作会清除 RNE 标志。

当只使用 SPI 发送数据时，只需使能 SPI 的发送 DMA 通道。此时，因为没有读取收到的数据，OVER 被置为 '1'，此时软件无需处理这个标志。

当只使用 SPI 接收数据时，只需使能 SPI 的接收 DMA 通道。

在发送模式下，当 DMA 已经传输了所有要发送的数据 (DMA\_INTSTS 寄存器的 TXCF 标志变为 '1') 后，可以通过监视 BUSY 标志以确认 SPI 通信结束，这样可以避免在关闭 SPI 或进入停止模式时，破坏最后一个数据的传输。因此软件需要先等待 TE=1，然后等待 BUSY=0。

图 19-11 使用 DMA 发送

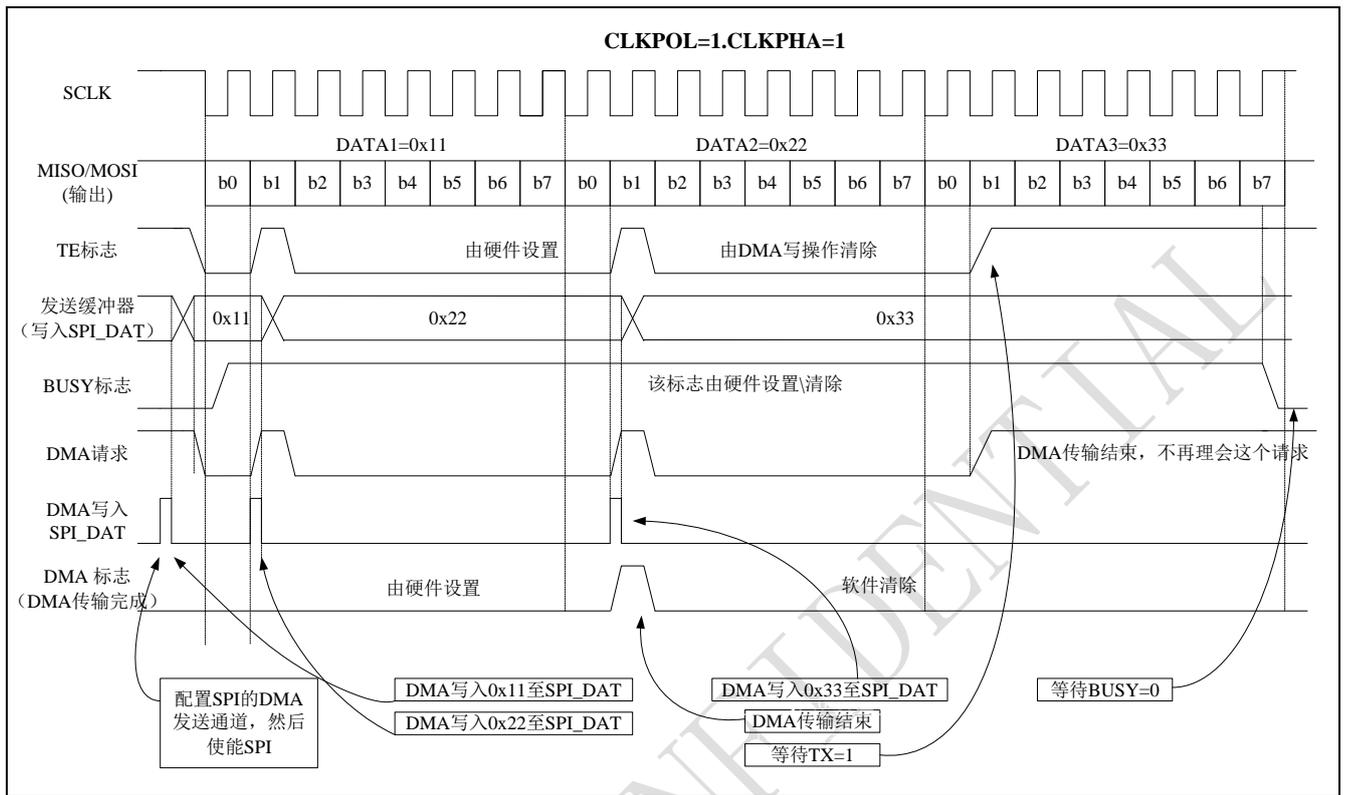
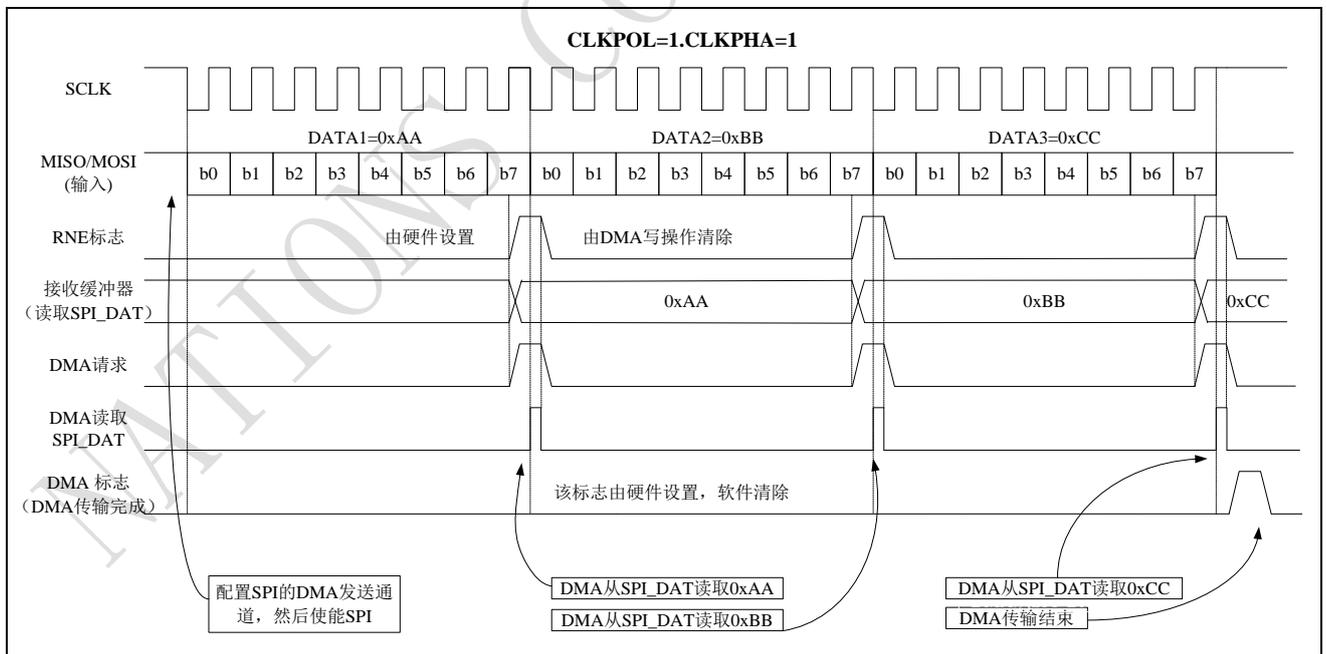


图 19-12 使用 DMA 接收



### 19.3.6 CRC 计算

SPI 包含用于数据发送和数据接收的两个独立硬件 CRC 计算器, 以保证数据传输的可靠性。CRC 根据发送和/或接收的数据帧格式采用不同的计算方法: 8 位数据帧采用 CRC8; 16 位数据帧采用 CRC16。

SPI\_CRCPOLY 寄存器设置计算所需的多项式值，设置 SPI\_CTRL1 寄存器的 CRCEN 位置 ‘1’ 使能 CRC 计算。

在发送模式下，最后一个数据写入发送缓冲区后，将 CRCNEXT 位置 ‘1’，指示硬件发送完这个数据后发送 CRC 的数值（SPI\_CRCTDAT 的值）。在传输 CRC 期间，CRC 计算停止。

在接收模式下，在倒数第二个数据帧被接收后，将 CRCNEXT 位置 ‘1’。后续接收到的 CRC 与 SPI\_CRCDAT 值进行比较，如果二者不同，SPI\_STS 寄存器的 CRCERR 标志位置 ‘1’，当 SPI\_CTRL2 寄存器的 ERRINTEN 置 ‘1’ 时，产生中断。

为了保持主从设备下次 CRC 计算结果的同步，应该清除主从两端的 CRC 数值。设置 CRCEN 位可同时复位 SPI\_CRCDAT 和 SPI\_CRCTDAT。依次执行步骤：SPIEN=0；CRCEN=0；CRCEN=1；SPIEN=1。

值得一提的是，当配置 SPI 为从模式并且使能 CRC 时，只要 SCLK 引脚上有时钟脉冲，即使 NSS 引脚为高，仍然会执行 CRC 的计算。这种情况常见于主设备交替地与多个从设备进行通信的时候，需注意避免 CRC 的误操作。

当 SPI 硬件 CRC 校验使能（CRCEN=1）并且启用 DMA 模式时，在通信结束时，硬件自动完成 CRC 字节的发送和接收。

### 19.3.7 错误标志

#### 主模式失效错误（MODERR）

以下两种情况下会发生主模式失效错误：

- NSS 引脚硬件模式管理，主设备的 NSS 脚被拉低；
- NSS 引脚软件模式管理，SSEL 位被置 ‘0’。

发生主模式失效错误时，MODERR 标志位置 ‘1’，若 ERRINTEN=1，则产生中断；SPIEN 位和 MSEL 位被写保护，硬件将二者清零，SPI 关闭，强制进入从机模式。

软件执行一次对 SPI\_STS 寄存器的读或写操作，然后写 SPI\_CTRL1 寄存器，可以清除 MODERR 位（在多主配置中，必须先拉高该主设备的 NSS 脚）。

通常配置下，从设备的 MODERR 位不能被置为 ‘1’。然而，在多主配置里，一个设备可以在设置了 MODERR 位的情况下，处于从设备模式；此时，MODERR 位表示可能出现了多主冲突。中断程序可以执行一个复位或返回到默认状态来从错误状态中恢复。

#### 溢出错误

当 RNE 置 ‘1’ 时，仍有数据发送至接收缓冲区即产生溢出错误。此时，OVER 标志位置 ‘1’，若 ERRINTEN=1，则产生中断。所有新接收到数据会被丢失，SPI\_DAT 寄存器中是之前未读的数据。

依次对 SPI\_DAT 寄存器和 SPI\_STS 寄存器进行读操作可清除 OVER 位。

#### CRC 错误

CRC 错误标志用来核对接收数据的有效性。当接收到的 CRC 的值与 SPI\_CRCDAT 寄存器中的数值不匹配时产生 CRC 错误。此时，CRCERR 标志位置 ‘1’，若 ERRINTEN=1，则产生中断。

### 19.3.8 SPI 中断

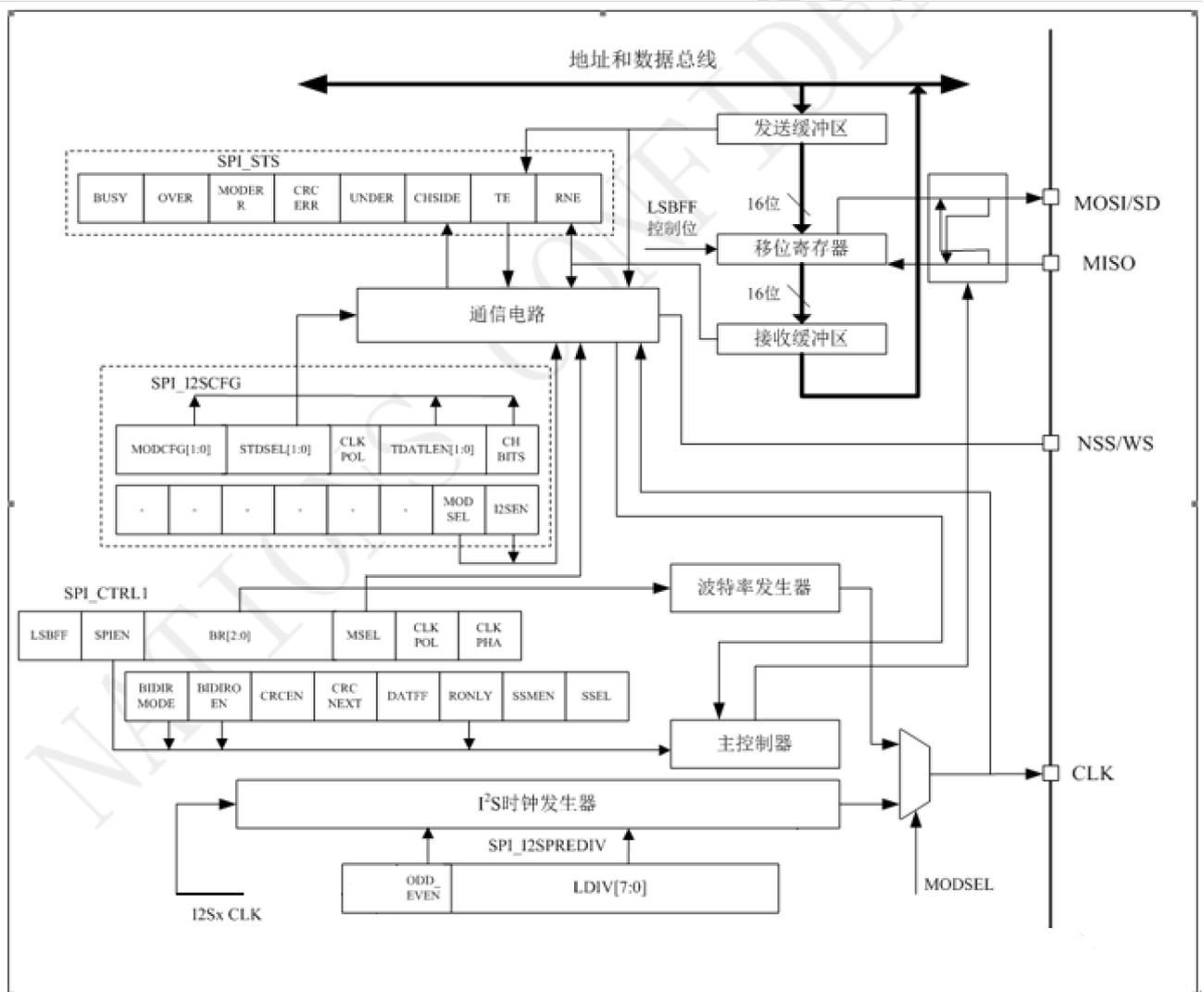
表 19-1 SPI 中断请求

中断事件	事件标志位	使能控制位
发送缓冲器空标志	TE	TEINTEN
接收缓冲器非空标志	RNE	RNEINTEN
主模式失效事件	MODERR	ERRINTEN
溢出错误	OVER	
CRC 错误标志	CRCERR	

### 19.4 I<sup>2</sup>S 功能描述

I<sup>2</sup>S 的框图如下图所示：

图 19-13 I<sup>2</sup>S 框图



I<sup>2</sup>S 接口与 SPI 接口使用大致相同的引脚、标志和中断。寄存器 SPI\_I2SCFG 的 MODSEL 位置'1'，使能 I<sup>2</sup>S

音频接口。

I<sup>2</sup>S 共有 4 个管脚，其中 3 个管脚与 SPI 共用：

- CLK: 串行时钟（与 SCLK 管脚共享），每发送 1 位数字音频数据，CLK 上都有一个脉冲，CLK 的频率=2 ×F<sub>s</sub>×采样位数，主模式下作为时钟信号输出，从模式下作为输入；
- SD: 串行数据（与 MOSI 管脚共享），用于收发数据；
- WS: 声道选择（与 NSS 管脚共享），主模式下作为数据控制信号输出，从模式下作为输入；
- MCLK: 主时钟（独立映射，可选），输出 256 ×F<sub>s</sub>的时钟频率。保证系统间更好的同步。

注：F<sub>s</sub> 是音频信号的采样频率

设置成主模式时，I<sup>2</sup>S 使用自身的时钟发生器来产生通信用时钟信号。

### 19.4.1 支持的音频协议

I<sup>2</sup>S 接口支持四种音频标准，通过配置寄存器 SPI\_I2SCFG 的 STDSEL[1:0]位进行选择：

- I2S 飞利浦标准
- MSB 对齐标准
- LSB 对齐标准
- PCM 标准

支持左声道和右声道两个声道上音频数据的时分复用，左声道总是先于右声道发送数据。通过寄存器 SPI\_STS 的 CHSIDE 位区分接收到的数据属于哪个声道。PCM 协议中 CHSIDE 位无意义。

寄存器 SPI\_I2SCTRL 的 TDATLEN 位设置待传输定数据长度，CHBITS 位设置声道的数据位数。支持四种数据格式发送数据：

- 16 位数据打包成 16 位帧
- 16 位数据打包成 32 位帧（前 16 位（MSB）是有意义的的数据，后 16 位（LSB）被硬件置 0）
- 24 位数据打包成 32 位帧（前 24 位（MSB）是有意义的的数据，后 8 位（LSB）被硬件置 0）
- 32 位数据打包成 32 位帧

I2S 使用与 SPI 相同的寄存器 SPI\_DAT 用于发送或接收 16 位宽模式数据。因此，传输数据长度为 24 位和 32 位的数据帧需要 CPU 对寄存器 SPI\_DAT 进行 2 次读或写操作；而传输数据长度为 16 位的数据帧只需对 SPI\_DATA 寄存器读写操作 1 次。

对于所有的数据格式和通讯标准，总是先发送数据位的最高位（MSB）。

#### I<sup>2</sup>S 飞利浦标准

I2S 飞利浦标准中，发送方在时钟信号的下降沿改变数据，接收方在上升沿读取数据。WS 信号在发送第一位数据（MSB）前 1 个时钟周期即为有效，在时钟信号的下降沿开始变化。

图 19-14 I<sup>2</sup>S 飞利浦协议波形（16/32 位全精度，CLKPOL = 0）

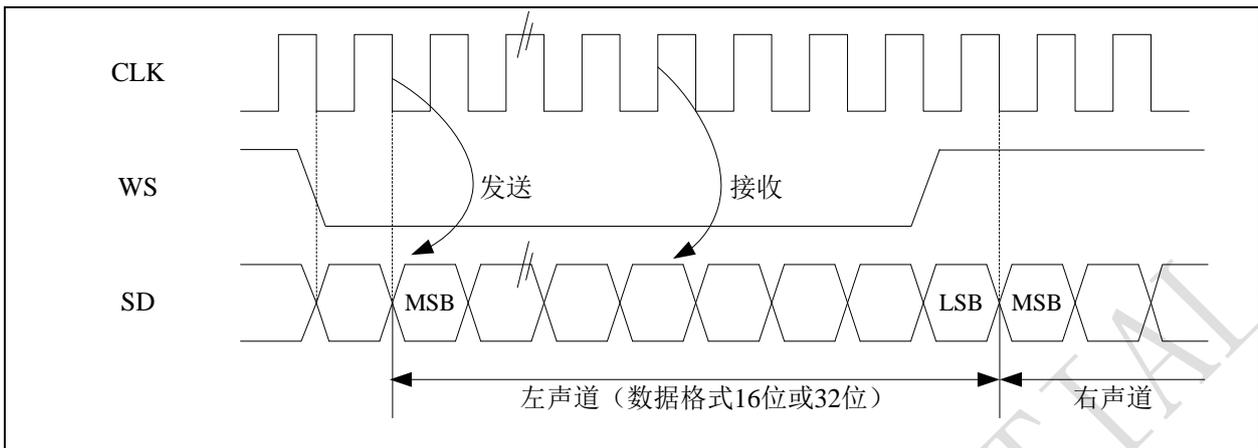
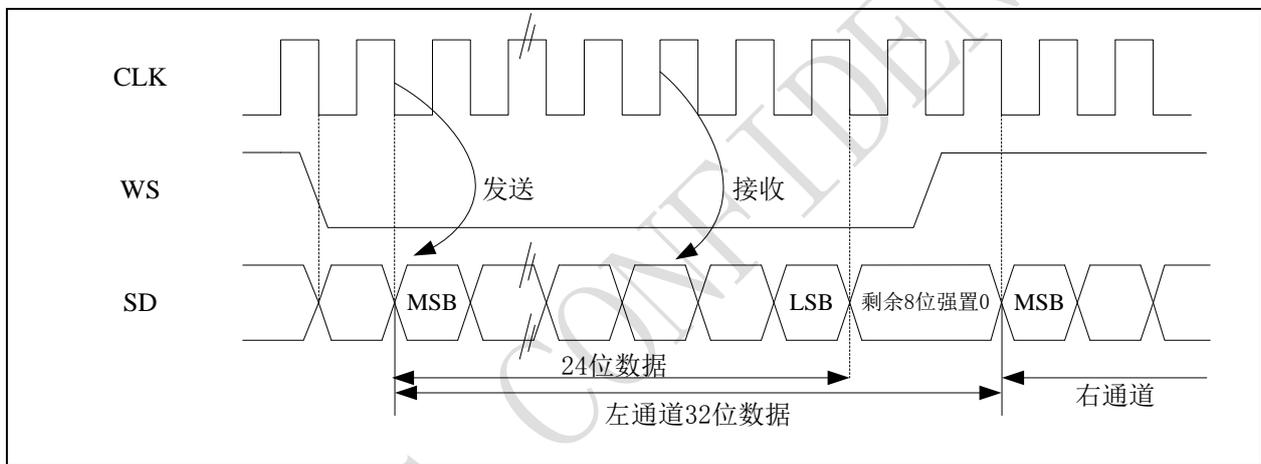
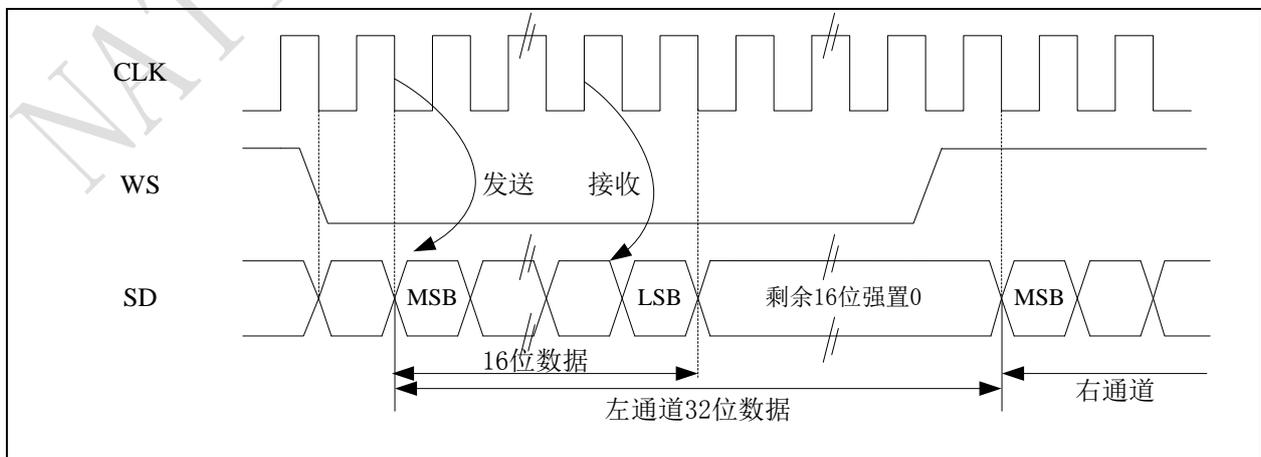


图 19-15 I<sup>2</sup>S 飞利浦协议标准波形（24 位帧，CLKPOL = 0）



当 24 位数据打包成 32 位数据帧的帧格式时，每完成 1 帧数据的传输需要对寄存器 SPI\_DAT 进行 2 次读或写操作。例：发送 24 位数据 0x95AA66，第一次 SPI\_DAT 写入 0x95AA，第二次 SPI\_DAT 写入 0x66XX（只有高 8 位有效，低 8 位没有意义，可以是任意值）；接收 24 位数据 0x95AA66，第一次读 SPI\_DAT 得到 0x95AA，第二次读 SPI\_DAT 得到 0x6600（只有高 8 位有效，低 8 位始终为 0）。

图 19-16 I<sup>2</sup>S 飞利浦协议标准波形（16 位扩展至 32 位包帧，CLKPOL = 0）



当 16 位数据打包成 32 位数据帧的帧格式时，只需对寄存器 SPI\_DAT 进行一次读写操作。用来扩展到 32 位的低 16 位被硬件置为 0x0000。例：待发送或者接收的 16 位数据是 0x89C1(扩展到 32 位是 0x89C10000)。在发送时，需要将高 16 位半字 (0x89C1) 写入寄存器 SPI\_DAT；标志位 TE 为 '1' 表示可以写入新的数据，如果允许了相应的中断，则可以产生中断。发送是由硬件完成的，即使还未发送出后 16 位的 0x0000，也会设置 TE 并产生相应的中断；接收时，每次收到高 16 位半字 (0x89C1) 后，标志位 RNE 置 '1'，如果允许了相应的中断，则可以产生中断。这样，在 2 次读和写之间有更多的时间，可以防止下溢或者上溢的情况发生。

### MSB 对齐标准

MSB 对齐标准中，发送方在时钟信号的下降沿改变数据；接收方是在上升沿读取数据。WS 信号和第一个数据位 (最高位 MSB) 同时产生。

该标准数据收发处理方式与 I2S 飞利浦标准相同。

图 19-17 MSB 对齐 16 位或 32 位全精度，CLKPOL = 0

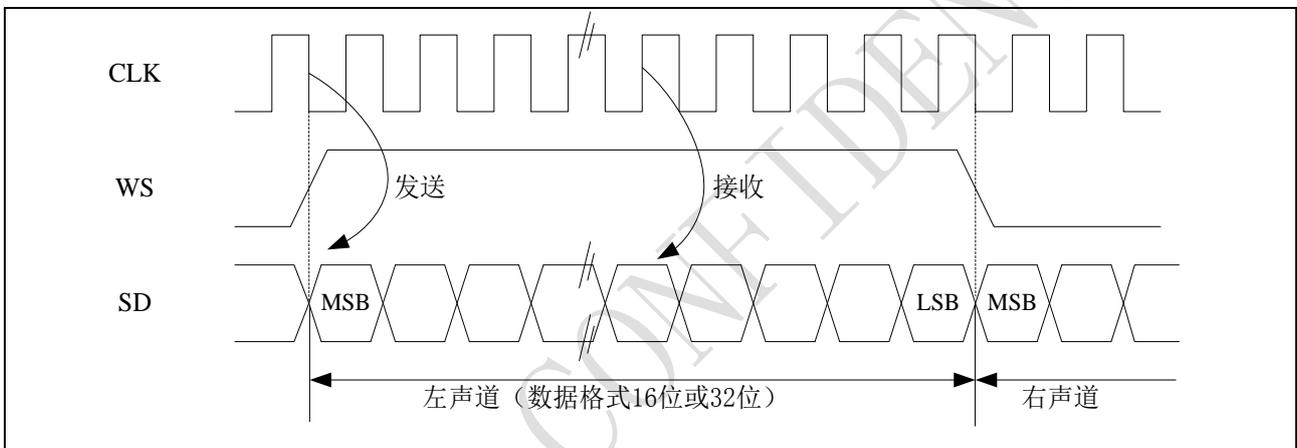


图 19-18 MSB 对齐 24 位数据，CLKPOL = 0

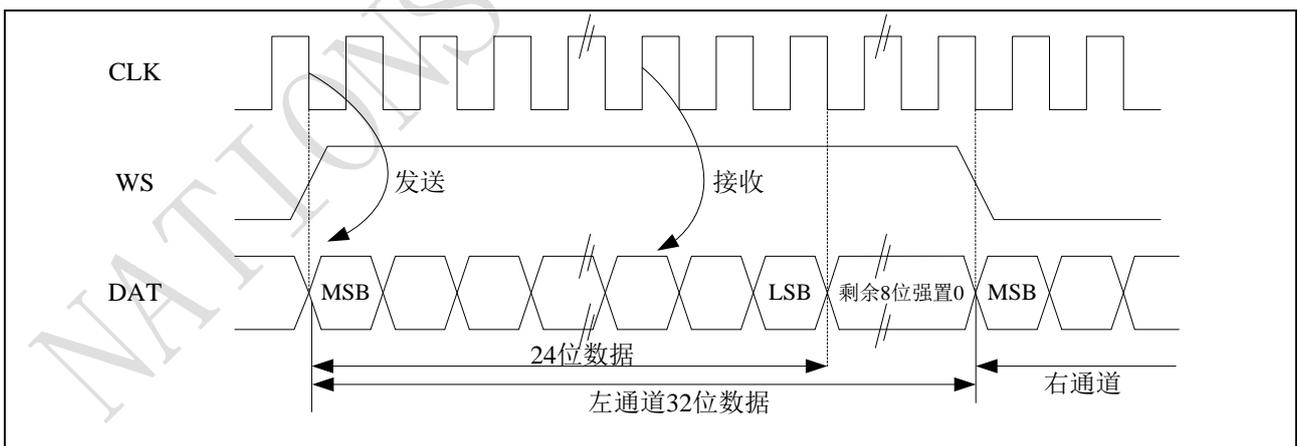
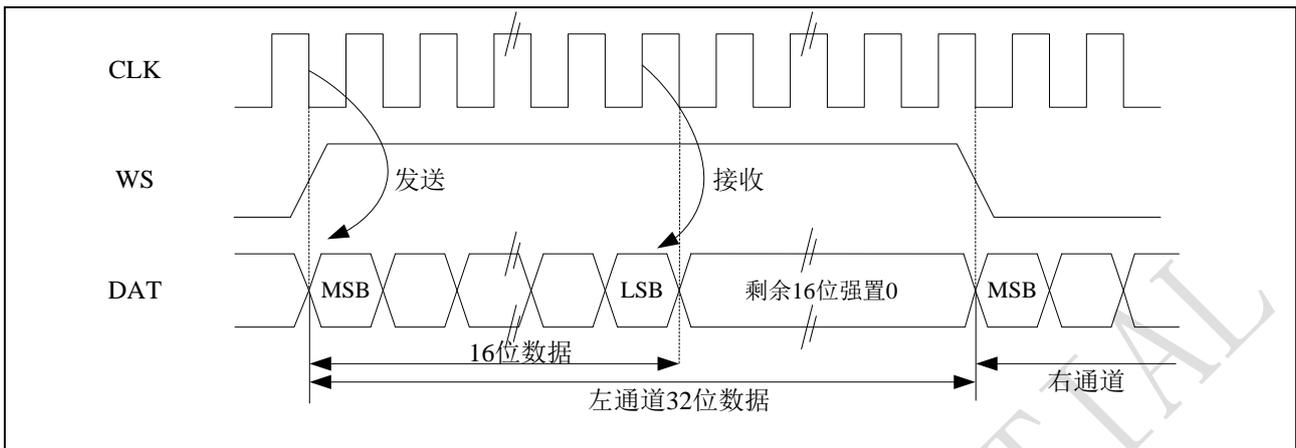


图 19-19 MSB 对齐 16 位数据扩展到 32 位包帧, CLKPOL = 0



### LSB 对齐标准

16 位或 32 位全精度帧格式下, LSB 对齐标准与 MSB 对齐标准相同。

图 19-20 LSB 对齐 16 位或 32 位全精度, CLKPOL = 0

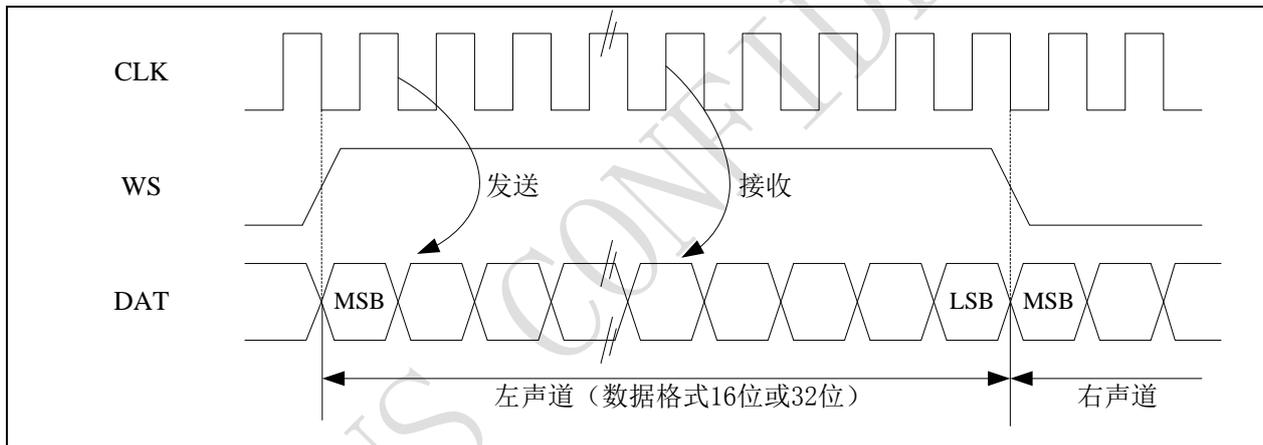
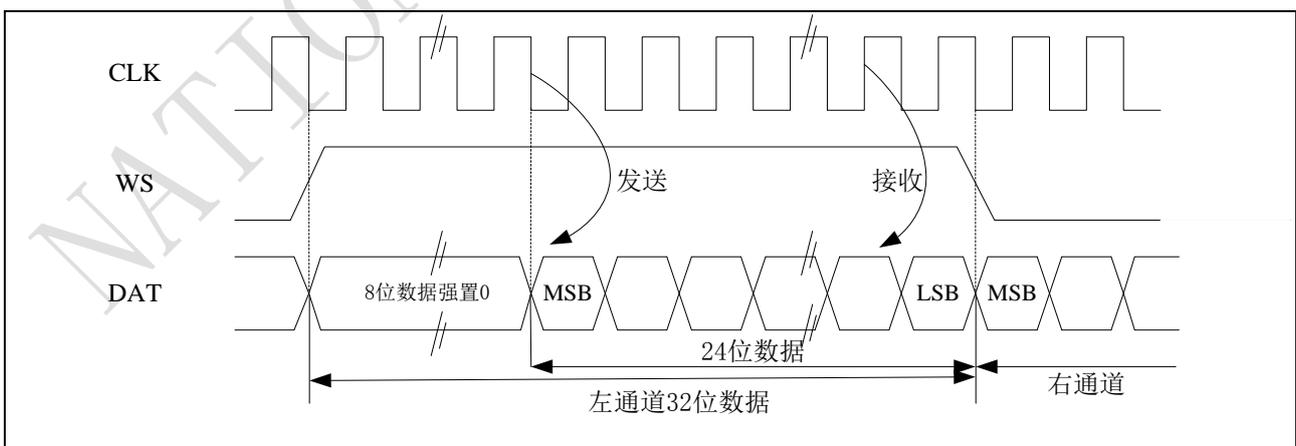
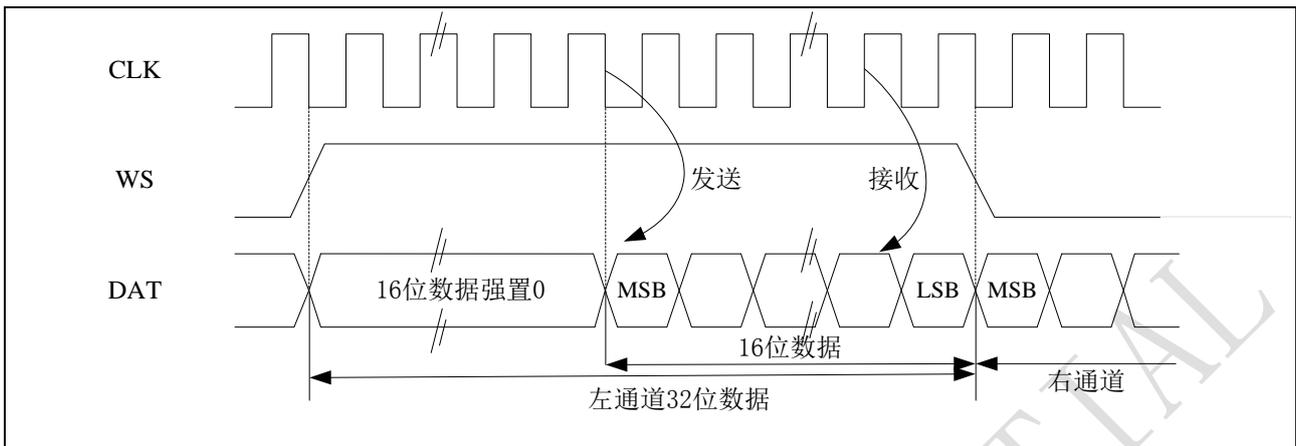


图 19-21 LSB 对齐 24 位数据, CLKPOL = 0



当 24 位数据打包成 32 位数据帧的帧格式时, 每完成 1 帧数据的传输需要对寄存器 SPI\_DAT 进行 2 次读或写操作。例: 发送 24 位数据 0x95AA66, 第一次 SPI\_DAT 写入 0xXX95 (只有低 8 位有效, 高 8 位没有意义, 可以是任意值), 第二次 SPI\_DAT 写入 0xAA66。接收 24 位数据 0x95AA66, 第一次读 SPI\_DAT 得到 0x0095 (只有低 8 位有效, 高 8 位始终为 0), 第二次读 SPI\_DAT 得到 0xAA66。

图 19-22 LSB 对齐 16 位数据扩展到 32 位包帧, CLKPOL = 0



当 16 位数据打包成 32 位数据帧的帧格式时, 只需对寄存器 `SPI_DAT` 进行一次读写操作。用来扩展到 32 位的高 16 位被硬件置为 `0x0000`。例: 待发送或者接收的 16 位数据是 `0x89C1` (扩展到 32 位是 `0x000089C1`)。在发送时, 如果 `TE` 为 '1', 用户需要写入待发送的数据 (`0x89C1`)。用来扩展的高 16 位 `0x0000` 由硬件首先发送出去, 一旦有效数据开始从 `SD` 引脚送出, 即发生下一次 `TE` 事件。在接收时, 一旦接收到有效数据 (非 `0x0000` 部分), 即发生 `RNE` 事件。这样, 在 2 次读和写之间有更多的时间, 可以防止下溢或者上溢的情况发生。

### PCM 标准

PCM 标准中有短帧、长帧 2 种帧结构, 通过设置寄存器 `SPI_I2SCFG` 的 `PCMFSYNC` 位选择。WS 信号表示帧同步信息。长帧用来同步的 WS 信号有效的时间为 13 位; 短帧用来同步的 WS 信号长度为 1 位。

该标准数据收发处理方式与 I2S 飞利浦标准相同。

图 19-23 PCM 标准波形 (16 位)

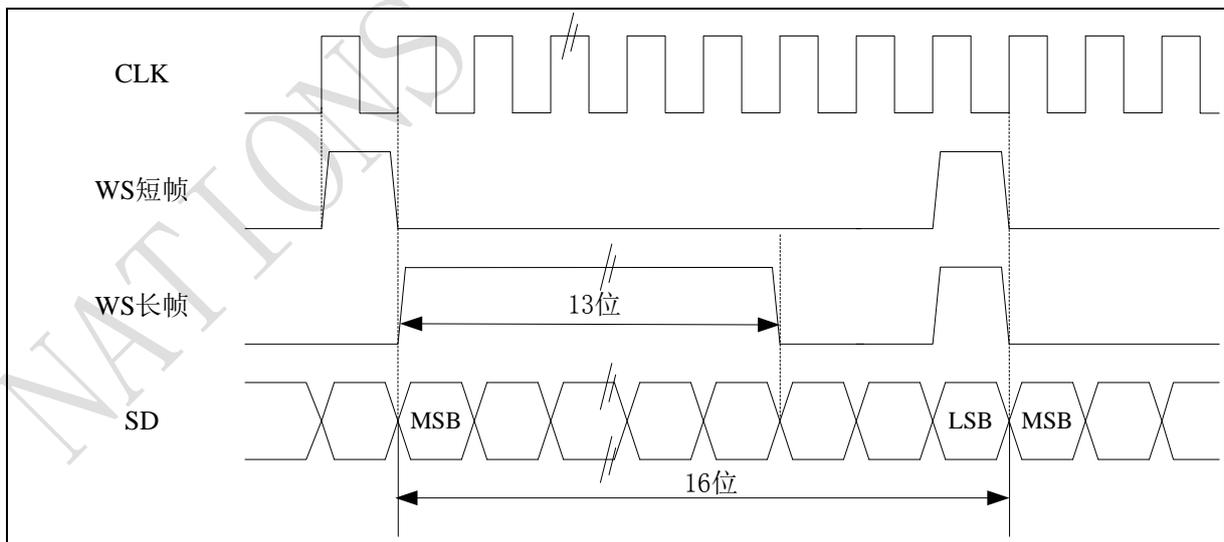
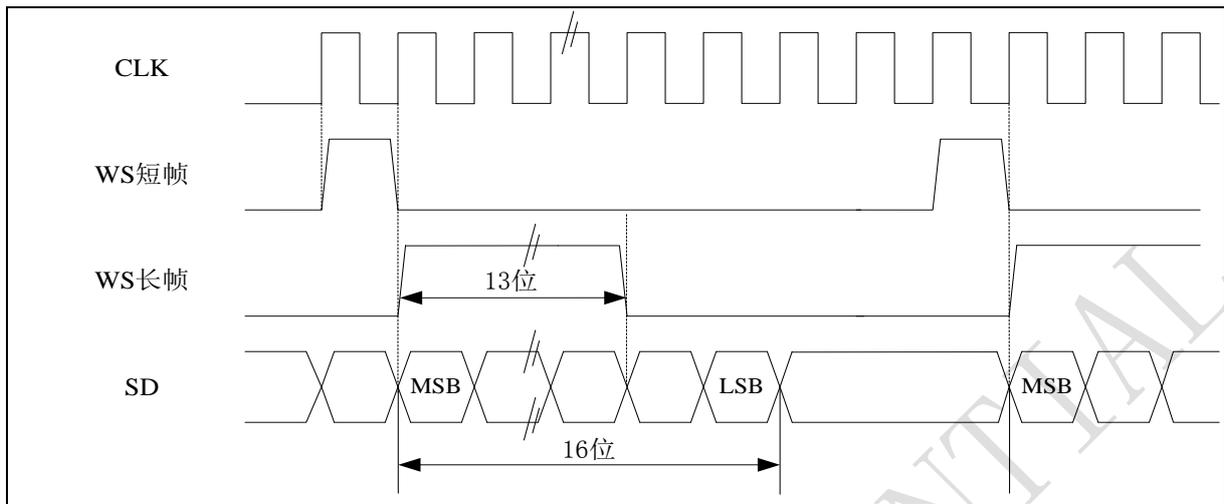


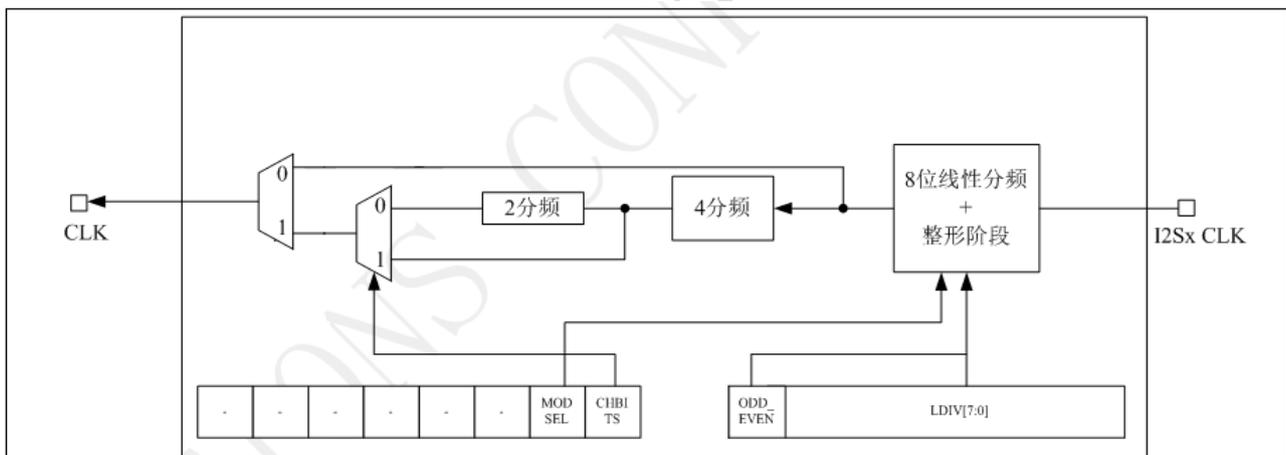
图 19-24 PCM 标准波形（16 位扩展到 32 位包帧）



## 19.4.2 时钟发生器

在主模式下，为了获得需要的音频频率，需要正确地对线性分频器进行设置。

图 19-25 I<sup>2</sup>S 时钟发生器结构



注：I<sup>2</sup>SxCLK 的时钟源是驱动 AHB 时钟的 HSI、HSE 系统时钟。

I<sup>2</sup>S 的比特率即确定了在 I<sup>2</sup>S 数据线上的数据流和 I<sup>2</sup>S 的时钟信号频率。

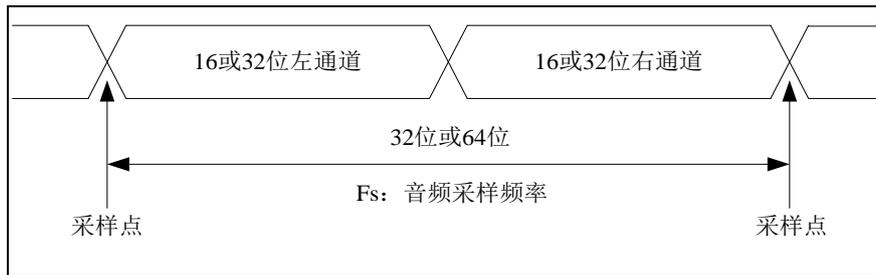
I<sup>2</sup>S 比特率 = 每个声道的比特数 × 声道数目 × 音频采样频率

对于一个具有左右声道和 16 位音频的信号，I<sup>2</sup>S 比特率计算如下：

I<sup>2</sup>S 比特率 = 16 × 2 × F<sub>s</sub>

如果包长为 32 位，则有：I<sup>2</sup>S 比特率 = 32 × 2 × F<sub>s</sub>

图 19-26 音频采样频率定义



音频的采样频率可以是 96kHz、48kHz、44.1kHz、32kHz、22.05kHz、16kHz、11.025kHz 或者 8kHz（或任何此范围内的数值）。参照以下公式设置线性分频器：

$$\text{CHBITS}=0 \text{ 时, } F_s = I^2SxCLK / [(16 \times 2) \times ((2 \times LDIV) + ODD\_EVEN)]$$

$$\text{CHBITS}=1 \text{ 时, } F_s = I^2SxCLK / [(32 \times 2) \times ((2 \times LDIV) + ODD\_EVEN)]$$

可参照下表的时钟配置得到精确的音频频率。

表 19-2 使用标准的 64MHz HSI 时钟得到精确的音频频率

SYSCLK (MHz)	I <sup>2</sup> S_LDIV		I <sup>2</sup> S_ODD_EVEN		期望值 Fs (Hz)	实际 Fs (Hz)		误差	
	16 位	32 位	16 位	32 位		16 位	32 位	16 位	32 位
64	10	5	1	0	96000	95238.10	100000	0.79%	4.17%
64	21	10	0	1	48000	47619.05	47619.05	0.79%	0.79%
64	22	11	1	1	44100	44444.44	43478.26	0.78%	1.41%
64	31	15	1	1	32000	31746.03	32258.06	0.79%	0.81%
64	45	22	1	1	22050	21978.02	22222.22	0.33%	0.78%
64	62	31	1	1	16000	16000	15873.02	0%	0.79%
64	90	45	1	1	11025	11049.72	10989.01	0.22%	0.33%
64	125	62	0	1	8000	8000	8000	0%	0%

### 19.4.3 I<sup>2</sup>S 发送接收流程

#### I<sup>2</sup>S 初始化流程

1. 寄存器 SPI\_I2SPREDIV 的 LDIV[7:0]和 ODD\_EVEN 位配置预分频相关参数，串行时钟波特率。
2. 设置寄存器 SPI\_I2S\_CFG 的 CLKPOL 位定义通信用时钟在空闲时的极性；MODSEL 位置‘1’配成 I<sup>2</sup>S 模式，MODCFG[1:0]选择 I<sup>2</sup>S 主从模式和传输方向（发送或接收）；设置 STDSEL[1:0]选择所需 I<sup>2</sup>S 标准（PCM 标准下，设置 PCMFSYNC 位选取同步方式）；设置 TDATLEN[1:0]选择数据的比特数，设置 CHBITS 选择每个声道的数据位数。
3. 若需使用中断或 DMA，配置与 SPI 相同。
4. 最后启动 I<sup>2</sup>S 通信，I<sup>2</sup>SEN 位置‘1’。

#### 发送流程

##### 主模式

当 I<sup>2</sup>S 工作在主模式，管脚 CLK 输出串行时钟，管脚 WS 产生声道选择信号。

当数据写入发送缓冲区时，发送过程开始。当前通道的数据并行的从发送缓存移到移位寄存器时，标志位 TE 置‘1’，这时，要把另一个声道的数据写入 SPI\_DAT。通过标志位 CHSIDE 确认当前待传输的数据所对应的通道。CHSIDE 的值在 TE 置‘1’时更新。一个完整的数据帧包括左声道和右声道，不可以只传输部分数据帧。当标志位 TE 置‘1’，如果寄存器 SPI\_CTRL2 的 TEINTEN 位为‘1’，则产生中断。

写入数据的操作取决于所选择的 I<sup>2</sup>S 标准，详见 19.4.1 节。

关闭 I<sup>2</sup>S 功能时，等待标志位 TE=1 及 BUSY=0，再将 I<sup>2</sup>SEN 位清‘0’。

## 从模式

从模式的发送流程与主模式相似，不同之处在于：

当 I<sup>2</sup>S 工作在从模式，无需配置时钟，管脚 CLK 和管脚 WS 与主设备对应管脚相连。当外部主设备发送时钟信号，并且当 NSS\_WS 信号请求传输数据时，发送流程开始。必须先使能从设备，并且写入 I<sup>2</sup>S 数据寄存器之后，外部主设备才能开始通信。

当代表下一个数据传输的第一个时钟边沿到达之前，新的数据仍然没有写入寄存器 SPI\_DAT，即发生下溢，标志位 UNDER 被置‘1’，如果寄存器 SPI\_CTRL2 的 ERRINTEN 位为‘1’，则产生中断，表示发生了错误。

标志位 CHSIDE 提示了目前待传输的数据对应哪个声道。与主模式的发送流程相比，在从模式中，CHSIDE 取决于外部主 I<sup>2</sup>S 的 WS 信号（WS 信号为‘1’表示发送左声道）。

## 接收流程

### 主模式

音频数据总是以 16 位包的形式接收。根据配置的数据和声道长度，收到的音频数据会需要 1 次或者 2 次传送到接收缓存的过程。

当数据被从移位寄存器传送到接收缓冲器时，SPI\_STS 寄存器的接收缓冲器非空的标志位 RNE 置‘1’，此时数据已经就绪，可以从 SPI\_DAT 寄存器读出；如果 SPI\_CTRL2 寄存器 RNEINTEN 位置‘1’，则会产生一个中断；读出 SPI\_DAT 寄存器即可清除 RNE 位。如果前一个接收到的数据还没有被读取，又接收到新数据，即发生上溢，标志位 OVER 被置为‘1’，如果寄存器 SPI\_CTRL2 的 ERRINTEN 位为‘1’，则产生中断，表示发生了错误。

通过标志位 CHSIDE 确认当前传输的数据所对应的通道，CHSIDE 的值在 RNE 置‘1’时更新。

读取数据的操作取决于所选择的 I<sup>2</sup>S 标准，详见 19.4.1 节。

关闭 I<sup>2</sup>S 功能时，不同的音频标准，数据长度和通道长度采用不同的操作步骤：

- 数据长度 16 位，通道长度 32 位（TDATLEN=00，CHBITS=1），LSB（低位）对齐标准（STDSEL=10）
  1. 等待倒数第二个 RNE 置‘1’；
  2. 软件延迟，等待 17 个 I<sup>2</sup>S 时钟周期；
  3. 关闭 I<sup>2</sup>S（I<sup>2</sup>SEN=0）。
- 数据长度 16 位，通道长度 32 位（TDATLEN=00 并且 CHBITS=1），MSB（高位）对齐标准（STDSEL=01）、I<sup>2</sup>S 飞利浦标准（STDSEL=00）或 PCM 标准（STDSEL=11）
  1. 等待最后一个 RNE 置‘1’；
  2. 软件延迟，等待 1 个 I<sup>2</sup>S 时钟周期；
  3. 关闭 I<sup>2</sup>S（I<sup>2</sup>SEN=0）。

■ 其它 TDATLEN 和 CHBITS 的组合和 STDSEL 选择的任意音频模式:

1. 等待倒数第二个 RNE 置 '1';
2. 软件延迟, 等待一个 I<sup>2</sup>S 时钟周期;
3. 关闭 I<sup>2</sup>S (I<sup>2</sup>SEN=0)。

### 从模式

从模式的接收流程与主模式相似, 不同之处在于:

标志位 CHSIDE 提示了目前待传输的数据对应哪个声道。与主模式的接收流程相比, 在从模式中, CHSIDE 取决于外部主 I<sup>2</sup>S 的 WS 信号。关闭 I<sup>2</sup>S 功能时, 等待标志位 RNE=1 时将 I<sup>2</sup>SEN 位清'0'。

## 19.4.4 状态标志位

SPL\_STS 寄存器中有以下 4 个标志位, 用以监视 I<sup>2</sup>S 总线的状态。

### 发送缓存空标志位 (TE)

发送缓冲器为空时, 该位置'1', 此时可以将新的待发送数据写入 SPI\_DATA。

发送缓冲器非空时, 该位清'0'。

### 接收缓存非空标志位 (RNE)

接收缓存区非空时, 该位置'1', 表示在接收缓存里已接收到的有效数据。

读取寄存器 SPI\_DATA 时, 该位清'0'。

### 忙标志位 (BUSY)

BUSY 标志可以检测传输是否结束, 由硬件设置与清除 (软件操作无效)。

I<sup>2</sup>S 通讯正在进行时 BUSY 标志位置 '1', 但主接收模式 (MODCFG=11) 下, 在接收期间 BUSY 标志被置 '0'。当传输结束或关闭 I<sup>2</sup>S 模块时, 该标志位置 '0'。

在连续通信的从模式下, 每个数据项传输之间, BUSY 标志在 1 个 I<sup>2</sup>S 时钟周期内变低。因此, 不要使用 BUSY 标志处理每一个数据项的发送和接收。

### 声道标志位 (CHSIDE)

CHSIDE 用来指示当前收发的数据所在的通道, 在 PCM 标准下, 这个标志位没有意义。

在发送模式下, 该标志位在 TE 置 '1' 时更新; 在接收模式下, 该标志位在 RNE 置 '1' 时更新。在收发过程中, 若发生上溢 (OVER) 或下溢 (UNDER) 错误, 该标志位无意义, 需要将 I<sup>2</sup>S 关闭再打开。

## 19.4.5 错误标志位

SPL\_STS 寄存器有 2 个错误标志位。

### 上溢标志位 (OVER)

当 RNE 置 '1' 时, 仍有数据发送至接收缓冲区即产生溢出错误。此时, OVER 标志位置 '1', 若 ERRINTEN=1, 则产生中断。所有新接收到数据会被丢失, SPI\_DAT 寄存器中是之前未读的数据。

依次对 SPI\_DAT 寄存器和 SPL\_STS 寄存器进行读操作可清除 OVER 位。

### 下溢标志位 (UNDER)

在从发送模式下，如果数据传输的第一个时钟边沿到达时，发送缓冲区仍为空时，UNDER 标志位置'1'。若 ERRINTEN=1，则产生中断。

对寄存器 SPI\_STS 进行读操作可清除 UNDER 位。

### 19.4.6 I<sup>2</sup>S 中断

下表列举了全部 I<sup>2</sup>S 中断

表 19-3 I<sup>2</sup>S 中断请求

中断事件	事件标志位	使能控制位
发送缓冲器空标志	TE	TEINTEN
接收缓冲器非空标志	RNE	RNEINTEN
下溢标志位	UNDER	ERRINTEN
上溢标志位	OVER	

### 19.4.7 DMA 功能

I<sup>2</sup>S 模式下没有数据传输保护功能，故不支持 CRC 功能，其他 DMA 功能与 SPI 模式完全相同。

## 19.5 SPI 和 I<sup>2</sup>S 寄存器描述

### 19.5.1 SPI 寄存器地址映象

表 19-4 SPI 寄存器列表及其复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
000h	SPI_CTRL1	Reserved																BIDRMODE	BIDROEN	CRCEN	CRCNEXT	DATAFF	RONLY	SSMEN	SSEL	LSBFF	SPIEN	BR[2:0]			MSEL	CLKPOL	CLKPHA													
	Reset Value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	SPI_CTRL2	Reserved																TEINTEN	RNEINTEN	ERRINTEN	Reserved			SSOEN	TDMAEN	RDMAEN																				
	Reset Value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
008h	SPI_STS	Reserved																BUSY	OVER	MODERR	CRCERR	UNDER	CHSIDE	TE	RNE																					
	Reset Value	0																0	0	0	0	0	0	1	0																					
00Ch	SPI_DAT	Reserved																DAT[15:0]																												
	Reset Value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
010h	SPI_CRCPOLY	Reserved																CRCPOLY[15:0]																												
	Reset Value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
014h	SPI_CRCRDAT	Reserved																CRCRDAT[15:0]																												
	Reset Value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
018h	SPI_CRCTDAT	Reserved																CRCTDAT[15:0]																												
	Reset Value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
01Ch	SPI_I2SCFG	Reserved																				MODSEL	I2SEN	MODCFG [1:0]	PCMF5YNC	Reserved	STDSEL [1:0]	CLKPOL	TDATLEN [1:0]	CHBITS	0																			
	Reset Value																					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
020h	SPI_I2SPREDIV	Reserved																				ODD_EVEN		LDIV[7:0]																										
	Reset Value																					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 19.5.2 SPI 控制寄存器 1 ( SPI\_CTRL1 )( I<sup>2</sup>S 模式下不使用 )

地址偏移: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	3	2	1	0
BIDIR MODE	BIDIR OEN	CRCEN	CRC NEXT	DATFF	RONLY	SSMEN	SSEL	LSBFF	SPIEN	BR[2:0]		MSEL	CLKPOL	CLKPHA
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw

位域	名称	描述
15	BIDIRMODE	双向数据模式使能 0: 选择“双线双向”模式; 1: 选择“单线双向”模式。 <i>注: I<sup>2</sup>S 模式下不使用。</i>
14	BIDIROEN	双向模式下的输出使能 和 BIDIRMODE 位一起决定在“单线双向”模式下数据的输出方向 0: 输出禁止 (只收模式); 1: 输出使能 (只发模式)。 这个“单线”数据线在主设备端为 MOSI 引脚, 在从设备端为 MISO 引脚。 <i>注: I<sup>2</sup>S 模式下不使用。</i>
13	CRCEN	硬件 CRC 校验使能 0: 禁止 CRC 计算; 1: 启动 CRC 计算。 <i>注: 只有在禁止 SPI 时 (SPIEN=0), 才能写该位, 否则出错。</i> 该位只能在全双工模式下使用。 <i>注: I<sup>2</sup>S 模式下不使用。</i>
12	CRCNEXT	下一个发送 CRC 0: 下一个发送的值来自发送缓冲区。 1: 下一个发送的值来自发送 CRC 寄存器。 <i>注: 在 SPI_DAT 寄存器写入最后一个数据后应立即设置该位。</i> <i>注: I<sup>2</sup>S 模式下不使用。</i>
11	DATFF	数据帧格式 0: 使用 8 位数据帧格式进行发送/接收; 1: 使用 16 位数据帧格式进行发送/接收。 <i>注: 只有当 SPI 禁止 (SPIEN=0) 时, 才能写该位, 否则出错。</i> <i>注: I<sup>2</sup>S 模式下不使用。</i>

位域	名称	描述
10	RONLY	只接收 该位和 BIDIRMODE 位一起决定在“双线双向”模式下的传输方向。在多个从设备的配置中，在未被访问的从设备上该位被置 1，使得只有被访问的从设备有输出，从而不会造成数据线上数据冲突。 0: 全双工（发送和接收）； 1: 禁止输出（只接收模式）。 <i>注：I<sup>2</sup>S 模式下不使用。</i>
9	SSMEN	软件从设备管理 当 SSMEN 被置位时，NSS 引脚上的电平由 SSEL 位的值决定。 0: 禁止软件从设备管理； 1: 启用软件从设备管理。 <i>注：I<sup>2</sup>S 模式下不使用。</i>
8	SSEL	内部从设备选择 该位只在 SSMEN 位为‘1’时有意义。它决定了 NSS 上的电平，在 NSS 引脚上的 I/O 操作无效。 <i>注：I<sup>2</sup>S 模式下不使用。</i>
7	LSBFF	帧格式 0: 先发送 MSB； 1: 先发送 LSB。 <i>注：当通信在进行时不能改变该位的值。</i> <i>注：I<sup>2</sup>S 模式下不使用。</i>
6	SPIEN	SPI 使能 0: 禁止 SPI 设备； 1: 开启 SPI 设备。 <i>注：I<sup>2</sup>S 模式下不使用。</i> <i>注：当关闭 SPI 设备时，请按照第 19.3.4 节的过程操作。</i>
5:3	BR[2:0]	波特率控制 000: fPCLK/2 001: fPCLK/4 010: fPCLK/8 011: fPCLK/16 100: fPCLK/32 101: fPCLK/64 110: fPCLK/128 111: fPCLK/256 当通信正在进行的时候，不能修改这些位。 <i>注：I<sup>2</sup>S 模式下不使用。</i>
2	MSEL	主设备选择 0: 配置为从设备； 1: 配置为主设备。 <i>注：当通信正在进行的时候，不能修改该位。</i> <i>注：I<sup>2</sup>S 模式下不使用。</i>

位域	名称	描述
1	CLKPOL	时钟极性 0: 空闲状态时, SCLK 保持低电平; 1: 空闲状态时, SCLK 保持高电平。 <i>注: 当通信正在进行的时候, 不能修改该位。</i> <i>注: I<sup>2</sup>S 模式下不使用。</i>
0	CLKPHA	时钟相位 0: 数据采样从第一个时钟边沿开始; 1: 数据采样从第二个时钟边沿开始。 <i>注: 当通信正在进行的时候, 不能修改该位。</i> <i>注: I<sup>2</sup>S 模式下不使用。</i>

### 19.5.3 SPI 控制寄存器 2 ( SPI\_CTRL2 )

地址偏移: 0x04

复位值: 0x0000

15	Reserved			8	7	6	5	4	3	2	1	0
					TE INTEN	RNE INTEN	ERR INTEN		Reserved	SSOEN	TDMAEN	RDMAEN
					rw	rw	rw			rw	rw	rw

位域	名称	描述
15:8	保留	硬件强制为 0
7	TEINTEN	发送缓冲区空中断使能 0: 禁止 TE 中断; 1: 允许 TE 中断, 当 TE 标志置位为'1'时产生中断请求。
6	RNEINTEN	接收缓冲区非空中断使能 0: 禁止 RNE 中断; 1: 允许 RNE 中断, 当 RNE 标志置位时产生中断请求。
5	ERRINTEN	错误中断使能 当错误 (CRCERR、OVER、MODERR) 产生时, 该位控制是否产生中断 0: 禁止错误中断; 1: 允许错误中断。
4:3	保留	硬件强制为 0
2	SSOEN	SS 输出使能 0: 禁止在主模式下 SS 输出, 该设备可以工作在多主设备模式; 1: 设备开启时, 开启主模式下 SS 输出, 该设备不能工作在多主设备模式。 <i>注: I<sup>2</sup>S 模式下不使用。</i>
1	TDMAEN	发送缓冲区 DMA 使能 当该位被设置时, TE 标志一旦被置位就发出 DMA 请求 0: 禁止发送缓冲区 DMA; 1: 启动发送缓冲区 DMA。

位域	名称	描述
0	RDMAEN	接收缓冲区 DMA 使能 当该位被设置时，RNE 标志一旦被置位就发出 DMA 请求 0: 禁止接收缓冲区 DMA; 1: 启动接收缓冲区 DMA。

## 19.5.4 SPI 状态寄存器 ( SPI\_STS )

地址偏移: 0x08

复位值: 0x0002

15	8	7	6	5	4	3	2	1	0						
Reserved								BUSY	OVER	MODERR	CRCERR	UNDER	CHSIDE	TE	RNE
								r	r	r	rc_w0	r	r	r	r

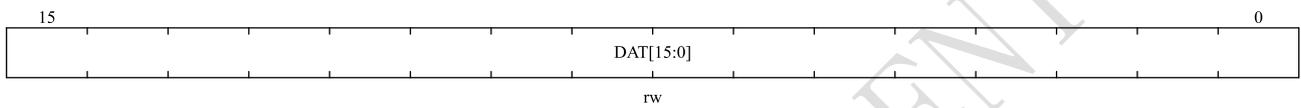
位域	名称	描述
15:8	保留	硬件强制为 0
7	BUSY	忙标志 0: SPI 不忙; 1: SPI 正忙于通信, 或者发送缓冲非空。 该位由硬件置位或者复位。 <i>注: 使用这个标志时需要特别注意, 详见第 19.3.3 节和第 19.3.4 节。</i>
6	OVER	溢出标志 0: 没有出现溢出错误; 1: 出现溢出错误。 该位由硬件置位, 由软件序列复位。关于软件序列的详细信息, 参考 19.4.5 节。
5	MODERR	模式错误 0: 没有出现模式错误; 1: 出现模式错误。 该位由硬件置位, 由软件序列复位。关于软件序列的详细信息, 参考 19.3.7 节。 <i>注: PS 模式下不使用。</i>
4	CRCERR	CRC 错误标志 0: 收到的 CRC 值和 SPI_CRCRDAT 寄存器中的值匹配; 1: 收到的 CRC 值和 SPI_CRCRDAT 寄存器中的值不匹配。 该位由硬件置位, 由软件写'0'而复位。 <i>注: PS 模式下不使用。</i>
3	UNDER	下溢标志位 0: 未发生下溢; 1: 发生下溢。 该标志位由硬件置'1', 由一个软件序列清'0', 详见 19.4.5 节。 <i>注: 在 SPI 模式下不使用。</i>
2	CHSIDE	声道 0: 需要传输或者接收左声道; 1: 需要传输或者接收右声道。 <i>注: 在 SPI 模式下不使用。在 PCM 模式下无意义。</i>

位域	名称	描述
1	TE	发送缓冲为空 0: 发送缓冲非空; 1: 发送缓冲为空。
0	RNE	接收缓冲非空 0: 接收缓冲为空; 1: 接收缓冲非空。

### 19.5.5 SPI 数据寄存器 ( SPI\_DAT )

地址偏移: 0x0C

复位值: 0x0000

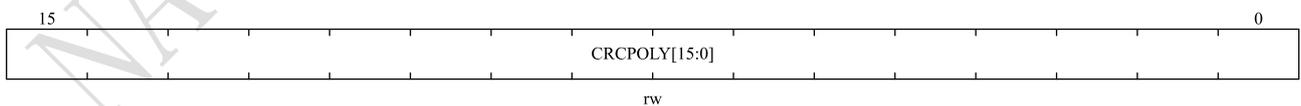


位域	名称	描述
15:0	DAT[15:0]	数据寄存器 待发送或者已经收到的数据 数据寄存器对应两个缓冲区: 一个用于写 (发送缓冲); 另外一个用于读 (接收缓冲)。写操作将数据写到发送缓冲区; 读操作将返回接收缓冲区里的数据。 对 SPI 模式的注释: 根据 SPI_CTRL1 的 DATFF 位对数据帧格式的选择, 数据的发送和接收可以是 8 位或者 16 位的。为保证正确的操作, 需要在启用 SPI 之前就确定好数据帧格式。 对于 8 位的数据, 缓冲器是 8 位的, 发送和接收时只会用到 SPI_DAT[7:0]。在接收时, SPI_DAT[15:8]被强制为 0。 对于 16 位的数据, 缓冲器是 16 位的, 发送和接收时会用到整个数据寄存器, 即 SPI_DAT[15:0]。

### 19.5.6 SPI CRC 多项式寄存器 ( SPI\_CRCPOLY )( I<sup>2</sup>S 模式下不使用 )

地址偏移: 0x10

复位值: 0x0007

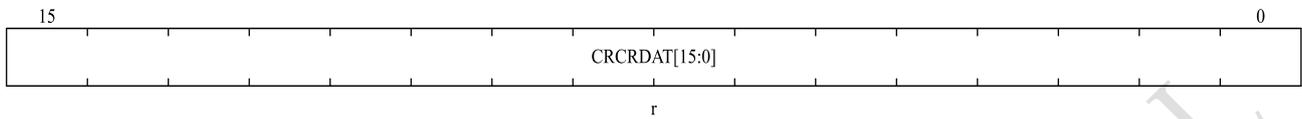


位域	名称	描述
15:0	CRCPOLY [15:0]	CRC 多项式寄存器 该寄存器包含了 CRC 计算时用到的多项式。 其复位值为 0x0007, 根据应用可以设置其他数值。 <i>注: 在 I<sup>2</sup>S 模式下不使用。</i>

### 19.5.7 SPI Rx CRC 寄存器 ( SPI\_CRCRDAT )( I<sup>2</sup>S 模式下不使用 )

地址偏移: 0x14

复位值: 0x0000

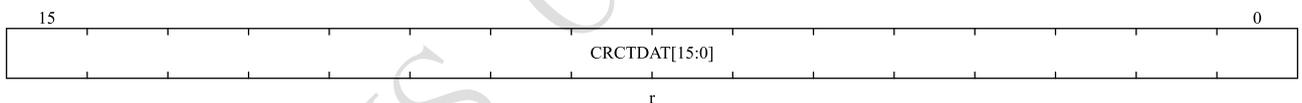


位域	名称	描述
15:0	CRCRDAT	<p>接收 CRC 寄存器</p> <p>在启用 CRC 计算时, CRCRDAT[15:0]中包含了依据收到的字节计算的 CRC 数值。当在 SPI_CTRL1 的 CRCEN 位写入'1'时, 该寄存器被复位。CRC 计算使用 SPI_CRCPOLY 中的多项式。</p> <p>当数据帧格式被设置为 8 位时, 仅低 8 位参与计算, 并且按照 CRC8 的方法进行; 当数据帧格式为 16 位时, 寄存器中的所有 16 位都参与计算, 并且按照 CRC16 的标准。</p> <p><i>注: 当 BUSY 标志为'1'时读该寄存器, 将可能读到不正确的数值。</i></p> <p><i>注: 在 I<sup>2</sup>S 模式下不使用。</i></p>

### 19.5.8 SPI Tx CRC 寄存器 ( SPI\_CRCTDAT )

地址偏移: 0x18

复位值: 0x0000



位域	名称	描述
15:0	CRCTDAT	<p>发送 CRC 寄存器</p> <p>在启用 CRC 计算时, CRCTDAT[15:0]中包含了依据将要发送的字节计算的 CRC 数值。当在 SPI_CTRL1 中的 CRCEN 位写入'1'时, 该寄存器被复位。CRC 计算使用 SPI_CRCPOLY 中的多项式。</p> <p>当数据帧格式被设置为 8 位时, 仅低 8 位参与计算, 并且按照 CRC8 的方法进行; 当数据帧格式为 16 位时, 寄存器中的所有 16 个位都参与计算, 并且按照 CRC16 的标准。</p> <p><i>注: 当 BUSY 标志为'1'时读该寄存器, 将可能读到不正确的数值。</i></p> <p><i>注: 在 I<sup>2</sup>S 模式下不使用。</i></p>

### 19.5.9 SPI\_I<sup>2</sup>S 配置寄存器 ( SPI\_I<sup>2</sup>S\_CFG )

地址偏移: 0x1C

复位值: 0x0000

15	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		MODSEL	I2SEN	MODCFG[1:0]		PCM FSYNC	Reserved	STDSEL[1:0]		CLKPOL	TDATLEN[1:0]		CHBITS
		rw	rw	rw		rw		rw		rw	rw		rw

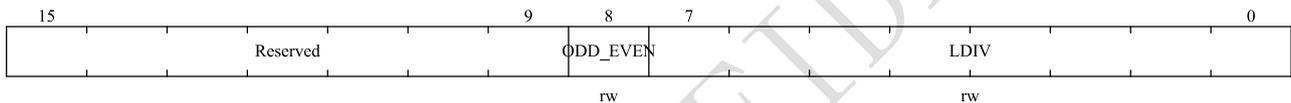
位域	名称	描述
15:12	保留	硬件强制为 0
11	MODSEL	I <sup>2</sup> S 模式选择 0: 选择 SPI 模式; 1: 选择 I <sup>2</sup> S 模式。 <i>注: 该位只有在关闭了 SPI 或者 I<sup>2</sup>S 时才能设置。</i>
10	I <sup>2</sup> SEN	I <sup>2</sup> S 使能 0: 关闭 I <sup>2</sup> S; 1: I <sup>2</sup> S 使能。 <i>注: 在 SPI 模式下不使用。</i>
9:8	MODCFG	I <sup>2</sup> S 模式设置 00: 从设备发送; 01: 从设备接收; 10: 主设备发送; 11: 主设备接受。 <i>注: 该位只有在关闭了 I<sup>2</sup>S 时才能设置。 在 SPI 模式下不使用。</i>
7	PCMFSYNC	PCM 帧同步 0: 短帧同步; 1: 长帧同步。 <i>注: 该位只在 STDSEL = 11 (使用 PCM 标准) 时有意义。 在 SPI 模式下不使用。</i>
6	保留	硬件强制为 0
5:4	STDSEL	I <sup>2</sup> S 标准选择 00: I <sup>2</sup> S 飞利浦标准; 01: 高字节对齐标准 (左对齐); 10: 低字节对齐标准 (右对齐); 11: PCM 标准。 关于 I <sup>2</sup> S 标准的细节, 详见 19.4.1 节。 <i>注: 为了正确操作, 只有在关闭了 I<sup>2</sup>S 时才能设置该位。 在 SPI 模式下不使用。</i>
3	CLKPOL	静止态时钟极性 0: I <sup>2</sup> S 时钟静止态为低电平; 1: I <sup>2</sup> S 时钟静止态为高电平。 <i>注: 为了正确操作, 该位只有在关闭了 I<sup>2</sup>S 时才能设置。 在 SPI 模式下不使用。</i>
2:1	TDATLEN	待传输数据长度 00: 16 位数据长度; 01: 24 位数据长度; 10: 32 位数据长度;

位域	名称	描述
		11: 不允许。 <i>注：为了正确操作，该位只有在关闭了P<sub>S</sub>时才能设置。 在SPI模式下不使用。</i>
0	CHBITS	声道长度（每个音频声道的数据位数） 0: 16位宽； 1: 32位宽。 只有在 TDATLEN = 00 时该位的写操作才有意义，否则声道长度都由硬件固定为 32 位。 <i>注：为了正确操作，该位只有在关闭了P<sub>S</sub>时才能设置。 在SPI模式下不使用。</i>

### 19.5.10 SPI\_I<sup>2</sup>S 预分频寄存器 ( SPI\_I2SPREDIV )

地址偏移: 0x20

复位值: 0x0002



位域	名称	描述
15:9	Reserved	硬件强制为 0
8	ODD_EVEN	奇系数预分频 0: 实际分频系数 = LDIV × 2; 1: 实际分频系数 = (LDIV × 2) + 1。 参见 19.4.2 节。 <i>注：为正确操作，该位只有在关闭P<sub>S</sub>时才能设置。仅在P<sub>S</sub>主设备模式下使用该位。 在SPI模式下不使用。</i>
7:0	LDIV	I <sup>2</sup> S 线性预分频 禁止设置 LDIV [7:0] = 0 或者 LDIV [7:0] = 1 参见 19.4.2 节。 <i>注：为正确操作，该位只有在关闭P<sub>S</sub>时才能设置。仅在P<sub>S</sub>主设备模式下使用该位。 在SPI模式下不使用。</i>

## 20 实时时钟 ( RTC )

### 20.1 RTC 简介

实时时钟 (RTC) 具有一组独立连续计数的 BCD 定时器/计数器。在相应软件配置下, 可提供日历的功能。同时 RTC 提供一个带有可编程的闹钟中断。

两个 32 位寄存器包含十进制格式 (BCD) 表示亚秒、秒、分钟、小时 (12 或 24 小时格式)、天 (星期几)、日 (几号)、月和年。

亚秒值以二进制格式作为单独的 32 位寄存器提供。另外的 32 位寄存器包含可编程的秒、分钟、小时、天、日、月和年。

RTC 提供了在低功耗模式下自动唤醒的功能。

#### 20.1.1 主要特性

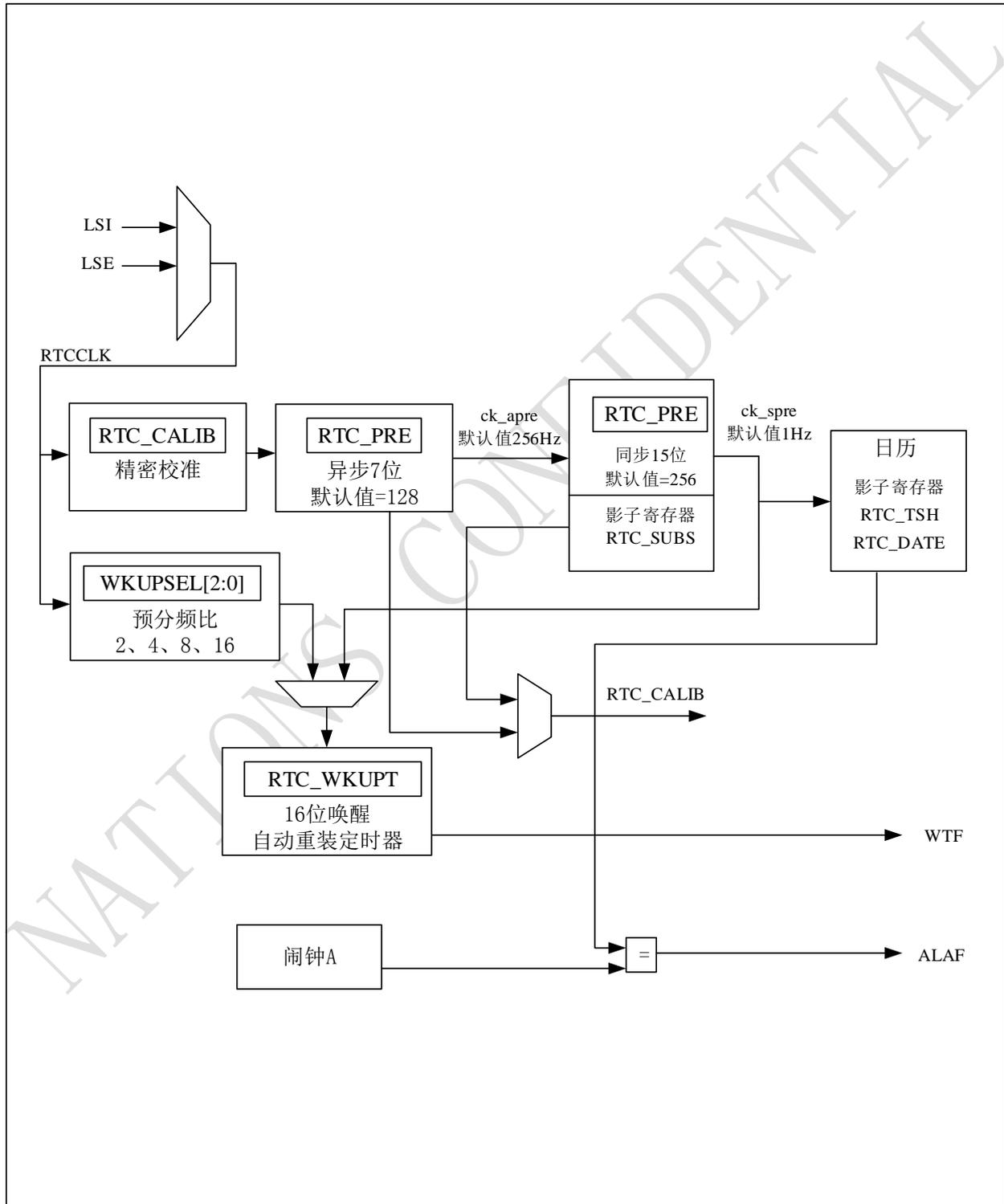
实时时钟 (RTC) 功能包括:

- 22 位可编程的预分频系数
- 16 位可编程的周期唤醒定时器, 可用于低功耗模式下自动唤醒
- 提供 BCD 格式的日历功能:
  - ◆ 可以对秒、分钟、小时、星期、日、月和年进行准确计时
  - ◆ 提供单独的亚秒值
  - ◆ 具有自动闰年补偿功能, 也可以进行夏令时补偿
  - ◆ 数字校准功能可以补偿晶体振荡器精度上的偏差。
- 提供 1 个带有可编程的闹钟中断, 可用于低功耗模式下唤醒
- 可以选择以下两种 RTC 的时钟源:
  - ◆ LSE 振荡器时钟;
  - ◆ LSI 振荡器时钟
- 2 个专门的可屏蔽中断:
  - ◆ 闹钟中断
  - ◆ 唤醒定时器中断
- 在复位之后, 所有 RTC 寄存器(除 RTC\_CTRL, RTC\_INITSTS[10:8]之外)都受到保护, 以防止可能的意外写访问。

## 20.2 RTC 功能描述

### 20.2.1 RTC 框图

图 20-1 RTC 框图



RTC 包括以下模块:

- BCD 格式的日历功能: 对亚秒、秒、分钟、小时、星期、日、月和年进行准确计时。
- 一个闹钟: 可以设置亚秒、秒、分钟、小时、星期、日。
- 16 位可编程的周期唤醒定时器, 可用于低功耗模式下自动唤醒

## 20.2.2 RTC 时钟和预分频

RTC 时钟源 (RTCCLK) 通过时钟控制器 (RCC) 在 LSE 时钟、LSI 振荡时钟之间进行选择。一个可编程的预分频器产生一个 1Hz 的时钟, 用于更新日历。为了降低功耗, 该预分频器分为 2 个可编程的预分频器。主要如下:

- 通过 RTC\_PRE 寄存器的 DIVA 位配置的 7 位异步预分频器
- 通过 RTC\_PRE 寄存器的 DIVS 位配置的 15 位同步预分频器

使用 32.768 kHz 的 LSE, 需要将异步分频因子设置为 128, 同步分频因子设置为 256, 可以得到的内部时钟频率为 1 Hz (ck\_spre)。最小分频系数是 1, 最大是  $2^{22}$ 。这对应于约为 4MHz 的最大的输入频率。

f<sub>ck\_apre</sub> 公式:

$$f_{ck\_apre} = \frac{f_{RTCCLK}}{DIVA+1}$$

ck\_apre 时钟用于对二进制的 RTC\_SUBS 亚秒递减计数器提供时钟。当到达 0 时, 用 DIVS 的内容重新加载 RTC\_SUBS。

f<sub>ck\_spre</sub> 公式:

$$f_{ck\_spre} = \frac{f_{RTCCLK}}{(DIVS+1)+(DIVA+1)}$$

ck\_spre 时钟可用于更新日历或作为 16 位唤醒自动重载定时器的时基。为了获得较短的超时时间, 还可以将 16 位唤醒自动重载定时器与经可编程的 4 位异步预分频器分频的 RTCCLK 一同运行。

## 20.2.3 RTC 日历时钟

RTC 日历时间和日期寄存器是通过与 PCLK (APB 时钟) 同步的影子寄存器来访问的。也可以直接访问它们, 以避免等待同步时间。寄存器对照如下:

- RTC\_SUBS 设置亚秒
- RTC\_TSH 设置时间
- RTC\_DATE 设置日期

每隔两个 RTCCLK 周期, 便将当前日历值复制到影子寄存器中, 并将 RTC\_INITSTS 寄存器的 RSYF 位置 1。在 Standby 和 Sleep 模式下不执行复制。退出这些模式时, 影子寄存器将在最多 2 个 RTCCLK 周期后更新。

当应用程序读取日历寄存器时, 它访问影子寄存器的内容。可以通过在 RTC\_CTRL 寄存器中 BYPS 位置 1 来直接访问日历寄存器。默认情况下, 这个位被清零, 用户访问影子寄存器。

在 BYPS=0 模式下读取 RTC\_SUBS、RTC\_TSH 或 RTC\_DATE 寄存器时, APB 时钟 (f<sub>APB</sub>) 的频率必须至

少是 RTC 时钟 ( $f_{RTCCLK}$ ) 频率的 7 倍。影子寄存器通过系统复位来复位。

## 20.2.4 可编程闹钟

RTC 单元提供可编程的闹钟:闹钟 A。以下是对闹钟 A 的描述。可通过 RTC\_CTRL 寄存器中的 ALAEN 位来使能可编程闹钟功能。如果日历亚秒、秒、分钟、小时、日期与闹钟寄存器 RTC\_ALRMASS 和 RTC\_ALARMA 中编程的值相匹配,则 ALAF 标志会被置 1。可通过 RTC\_ALARMA 寄存器的 MASKx 位以及 RTC\_ALRMASS 寄存器的 MASKSSBx 位单独选择各日历字段。也可通过 RTC\_CTRL 寄存器中的 ALAIEN 位来使能闹钟中断。

## 20.2.5 周期性自动唤醒

周期唤醒标志是由一个 16 位可编程自动重载递减计数器生成。唤醒计时器的范围可以扩展到 17 位。唤醒功能是通过 RTC\_CTRL 寄存器中的 WTEN 位来启用的。

这唤醒输入时钟如下:

- 2、4、8 或 16 分频的 RTC 时钟 (RTCCLK)。

当 RTCCLK 是 LSE (32.768kHz) 时,可配置的唤醒中断周期,从 122 微秒到 32 秒,分辨率低至到 61 微秒

- ck\_spre (通常为 1Hz 内部时钟)

当 ck\_spre 频率为 1Hz 时,可得到的唤醒时间为 1s 到 36h 左右,分辨率为 1 秒。这较大的可编程时间范围分为两部分:

- ◆ 当 WKUPSEL [2:1] = 10 时为 1s 到 18h
- ◆ WKUPSEL [2:1] = 11 时约为 18h 到 36h。在后一种情况下,会将  $2^{16}$  添加到 16 位计数器当前值。完成初始化序列后,定时器开始递减计数。在低功耗模式下使能唤醒功能时,递减计数保持有效。此外,当计数器计数到 0 时,RTC\_INTSTS 寄存器的 WTF 标志会置 1,并且唤醒寄存器会使用其重载值 (RTC\_WKUPT 寄存器值) 自动重载。之后 WTF 标志必须用软件清零。

当在 RTC\_CTRL 寄存器中设置 WTIEN 位来启用周期性唤醒中断时,设备可以从低功耗模式退出。

## 20.2.6 RTC 寄存器写保护

复位后,所有的 RTC 寄存器(除 RTC\_CTRL, RTC\_INITSTS[10:8]之外)都是写保护的。需要先写 RTC\_CTRL.WRPT=1 来解锁写保护。

之后通过向写保护寄存器 RTC\_WRP 写入一个密钥,来使能对 RTC 寄存器的写入。RTC 寄存器通过以下步骤来解锁写保护:

- 将 0xCA 写入 RTC\_WRP 寄存器
- 将 0x53 写入 RTC\_WRP 寄存器。

写入错误的密钥将重新激活写入保护。然而,FSM 只检查对这个寄存器的写操作,同时我们可以选择对其他寄存器进行写操作。保护机制不受系统复位影响。

## 20.2.7 日历初始化和配置

要对初始时间和日期日历值（包括时间格式和预分配器配置）进行编程，需要以下顺序：

- 在 RTC\_INITSTS 寄存器中将 INITM 位置 1，以进入初始化模式。在此模式下，将停止日历计数器并且其值可更新
- 对 RTC\_INITSTS 寄存器位 INITF 进行轮询。当 INITF 置 1 时进入初始化阶段模式。大约需要 2 个 RTCCLK 时钟周期（由于时钟同步）
- 要为日历计数器生成一个 1Hz 的时钟基准，请在 RTC\_PRE 寄存器中对两个预分频系数进行编程
- 在影子寄存器（RTC\_TSH 和 RTC\_DATE）中加载初始时间和日期值，并通过 RTC\_CTRL 寄存器中的 HFMT 位配置时间格式（12 或 24 小时）
- 通过清除 INITM 位退出初始化模式。然后自动加载实际的日历计数器值，并在 4 个 RTCCLK 时钟周期后重新开始计数

初始化序列完成后，日历开始计数

## 20.2.8 夏令时时间配置

夏令时管理是通过 RTC\_CTRL 寄存器的位 SU1H、AD1H 和 BAKP 来管理的。使用 SU1H 或 AD1H，软件只需要单次操作便可在日历中减少或增加一个小时，而无需经过初始化过程。

此外，软件还可以使用 BAKP 位来记录是否曾经执行过此操作。

## 20.2.9 闹钟配置

请按照下面的顺序配置闹钟 A：

- 清除寄存器 RTC\_CTRL 中位 ALxEN 禁止闹钟 A
- 配置闹钟 x 寄存器（RTC\_ALRMxSS/RTC\_ALARMx）
- 寄存器 RTC\_CTRL 中位 ALxEN 置 1，使能闹钟 x。

*注意：由于时钟同步缘故，RTC\_CTRL 寄存器的每次更改需要在大约 2 个 RTCCLK 时钟周期后执行。*

## 20.2.10 唤醒定时器配置

唤醒定时器自动重载值按照下面顺序配置：

- 清除寄存器 RTC\_CTRL 位 WTEN 以禁用唤醒定时器
- 对 RTC\_INITSTS 中位 WTWF 进行轮询直到被置 1，以确保允许访问唤醒自动重新加载定时器和 WKUPSEL[2:0]位。WTWF 置 1 后，大约需要延时 2 个 RTCCLK 时钟周期（由于时钟同步）
- 配置唤醒自动重新加载值 WKUPT[15:0]，唤醒时钟选择（RTC\_CTRL 中的 WKUPSEL[2:0]位）。将 RTC\_CTRL 中位 WTEN 置 1 以再次启用定时器。唤醒定时器重新开始计数。由于时钟同步的缘故，WTWF 位是在清除 WTEN 之后的 2 个 RTCCLK 时钟周期后被清零。

## 20.2.11 日历读取

### 1. 当寄存器 RTC\_CTRL 中 BYPS 控制位清零时

为正确读取 RTC 日历寄存器 (RTC\_SUBS、RTC\_TSH 和 RTC\_DATE) 时, APB 时钟频率 ( $f_{PCLK}$ ) 必须等于或大于 RTC 时钟频率 ( $f_{RTCCLK}$ ) 的 7 倍。这确保了同步机制的安全性。

如果 APB 时钟频率小于 RTC 时钟频率的 7 倍, 则软件必须读取两次日历时间和日期寄存器。如果 RTC\_TSH 的第二次读取与第一次读取得到的结果相同, 则可以确保数据是正确的。否则必须进行第三次读访问。在任何情况下, APB 时钟频率都不能低于 RTC 时钟频率。

每次将日历寄存器数据复制到 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 寄存器时, RTC\_INITSTS 寄存器中 RSYF 被置 1。每两个 RTCCLK 周期执行一次复制。为了确保 3 个值之间时间点的一致性, 读取 RTC\_SUBS 或 RTC\_TSH 将锁定高阶日历影子寄存器中的值, 直到读取 RTC\_DATE 为止。为避免软件对日历执行读访问的时间间隔小于 2 个 RTCCLK 周期。第一次读取日历之后必须通过软件将 RSYF 清零, 并且软件必须等待到 RSYF 置 1 之后才可再次读取 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 寄存器。

从低功耗模式唤醒之后, 必须通过软件清除 RSYF。然后, 在读取 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 寄存器之前, 软件必须等待, 直到 RSYF 再次置 1。RSYF 位必须在唤醒之后而不是进入低功耗模式之前进行清零。

系统复位后, 软件必须等到 RSYF 置 1 后才能读取 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 寄存器。实际上, 系统复位会将影子寄存器复位为默认值。

初始化之后, 软件必须等到 RSYF 置 1 后才能读取 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 寄存器。

同步之后, 软件必须等到 RSYF 置 1 后才能读取 RTC\_SUBS、RTC\_TSH 和 RTC\_DATE 寄存器。

### 2. 当在 RTC\_CTRL 寄存器中位 BYPS 置 1 时

读取日历寄存器可以直接从日历计数器中获得值, 因此无需等待 RSYF 位置 1。这在从低功耗模式退出后尤其有用, 因为在这些模式下影子寄存器不会更新。当 BYPS 位被设置为 1 时, 如果 RTCCLK 沿发生在对寄存器的两次读访问之间, 则不同寄存器的结果可能不会一致。此外, 如果在读取操作期间出现 RTCCLK 沿, 则其中一个寄存器的值可能不正确。软件必须分两次读取所有寄存器, 然后将两次结果加以比较来确认数据是否一致和正确。此外, 软件也可以只比较两次读取日历寄存器得到的结果的最低位。

*注意: 当 BYPS=1 时, 读取日历寄存器的指令需要一个额外的 APB 周期才能完成。*

## 20.2.12 RTC 亚秒寄存器位移操作

RTC 可以与高精度的远程时钟同步。在读取亚秒字段 (RTC\_SUBS 或 RTC\_TSSS) 之后, 可以计算远程时钟和 RTC 所维护的时间之间的精确偏移量。然后可以使用 RTC\_SCTRL 将其时钟移动零点几秒, 从而调整 RTC 以消除这种偏移。

RTC\_SUBS 包含同步预分频计数器的值。这允许计算 RTC 所维护的精确时间, 分辨率精确到  $1 / (DIVS + 1)$  秒。因此, 可以通过增大同步预分频的值 ( $DIVS[14:0]$ ) 来提高分辨率。DIVS 设置为  $0 \times 7FFF$  时, 可得最大分辨率 (30.52us, 时钟频率为 32768 Hz 时钟)。

但是, 提高 DIVS 意味着必须降低 DIVA, 以便将同步预分配器输出保持在 1 Hz。这样, 异步预分频器的输出频率会增大, 那么会增加 RTC 的动态功耗。

可以使用 RTC 平移控制寄存器 (RTC\_SCTRL) 对 RTC 进行微调。可以用大小为  $1/(DIVS + 1)$  秒分辨

率对 RTC\_SCTRL 进行写操作,将时钟平移(延迟或提前)最长 1 秒。在这种平移操作中,会将 SUBF[14:0] 值加到亚秒寄存器 SS[15:0] 中。这将延迟时钟。如果同时将 ADIS 位置 1,则会增加一秒,与此同时减去的时间为零点几秒,因此将使时钟提前。

在开始平移操作之前,用户必须检查 SS[15]=0,以确保不会发生溢出。只要向 RTC\_SCTRL 寄存器进行写操作,硬件就会设置 SHOPF 标志,表明平移操作处于挂起状态。一旦平移操作完成,这个位就会被硬件清除。

### 20.2.13 RTC 数字时钟精密校准

RTC 频率可以进行数字校准,分辨率约为 0.954 ppm,范围为-487.1 ppm 到+488.5 ppm。频率的校正是通过一系列的小的调整(添加和/或减去单独的 RTCCLK 脉冲)来完成的。这些微调的分布非常均匀,因此 RTC 的校准效果相当的好,即使在很短的时间内观察也是如此。

当输入频率为 32768 Hz 时,精密数字校准的周期约为  $2^{20}$  个 RTCCLK 脉冲或 32 秒。此周期由一个通过 RTCCLK 提供时钟信号的 20 位计数器 cal\_cnt[19:0] 维持。

精密校准寄存器 (RTC\_CALIB) 指定在 32 秒周期内要减少的 RTCCLK 时钟周期数:

- 将 CM[0]置 1 时,在 32 秒的周期内只减少一个脉冲
- 将 CM[1]置 1 时,将减少 2 个周期
- 将 CM[2]置 1 时,将减少 4 个周期
- 以此类推,直到将 CM[8]置 1,将减少 256 个周期

*注意: CM[8:0] (RTC\_CALIB) 指定在 32 秒周期内要减少的 RTCCLK 脉冲数。使用适当分辨率时,CM 可使 RTC 频率减少最多 487.1 ppm,而 CP 可用于使频率增加 488.5 ppm。将 CP 置“1”,可每隔  $2^{11}$  个 RTCCLK 周期有效插入一个额外的 RTCCLK 脉冲,这意味着每 32 秒周期可增加 512 个时钟。*

与 CM 和 CP 配合使用时,可在 32 秒周期内增加一个范围为 -511 到 +512 RTCCLK 周期的偏差,对应的校准范围为 -487.1 ppm 到 +488.5 ppm,分辨率约为 0.954 ppm。

若输入频率 (F<sub>RTCCLK</sub>) 已知,可通过以下公式计算有效校准频率 (F<sub>CAL</sub>):

$$F_{CAL} = F_{RTCCLK} * [1 + (CP * 512 - CM) / (2^{20} + CM - CP * 512)]$$

#### 当 DIVA<3 校准时

当异步预分频值 (RTC\_PRE 寄存器中的 DIVA 位) 小于 3 时,CP 位将不能置 1。如果 CP 已经被置 1,并且 DIVA 位的值小于 3,那么 CP 将被忽略,并且校准操作就好像 CP 等于 0 一样。

要在 DIVA 小于 3 的条件下执行校准,应降低同步预分频器值 (DIVS) 以便每秒内可加速 8 个 RTCCLK 时钟周期,这意味着每 32 秒可增加 256 个时钟周期。因此,仅使用 CM 位,可在每 32 秒内有效增加 255 到 256 个时钟脉冲(对应的校准范围为 243.3 ppm 到 244.1 ppm)。

在标称 RTCCLK 频率 32768 Hz 下,当 DIVA 等于 1 时(分频系数为 2),应将 DIVS 设置为 16379 而不是 16383(少 4)。唯一相关的其他情况是,当 DIVA 等于 0 时,应将 DIVS 设置为 32759 而不是 32767 (少 8)。

如果以这种方式减少 DIVS,则采用以下公式计算校准输入时钟的有效频率:

$$F_{CAL} = F_{RTCCLK} * [1 + (256 - CM) / (2^{20} + CM - 256)]$$

在这种情况下，如果 RTCCLK 恰好为 32768.00 Hz，则当 CM[7:0] 等于 0x100 时（CM 范围的中值），说明设置正确。

### 验证 RTC 校准

通过测量 RTCCLK 的精确频率，计算出正确的 CM 和 CP 值以保证 RTC 的精度。

在有限的时间间隔内测量 RTC 的精确频率，根据数字校准周期与测量周期的对齐方式，在测量周期内可能导致最多 2 个 RTCCLK 时钟周期的测量误差。但是，如果测量周期与校准周期相同，则可以消除这种测量误差。在这种情况下，唯一观察到的误差是由于数字校准的分辨率引起的误差。

- 默认情况下，校准周期为 32 秒

使用这种模式，在精确的 32 秒内测量 1Hz 输出的精度，可以保证测量误差值在 0.477 ppm 内（由于校准分辨率的限制，在 32 秒内为 0.5 个 RTCCLK 周期）。

- RTC\_CALIB 寄存器的 CW16 位置 1，以强制 16 秒的校准周期

在这种情况下，可以在 16 秒内测量 RTC 精度，最大误差为 0.954 ppm（16 秒内为 0.5 个 RTCCLK 周期）。然而，由于校准分辨率降低，长期的 RTC 精度也降低到 0.954 ppm。CW16 置 1 时，CM [0]位始终为 0。

- RTC\_CALIB 寄存器的 CW8 位置 1，以强制 8 秒的校准周期

在这种情况下，RTC 精度可以在 8 秒内测量，最大误差为 1.907 ppm（8 秒内为 0.5 个 RTCCLK 周期超过）。长期的 RTC 精度也降低到 1.907 ppm。当 CW8 置 1 时，CM[1:0]位将始终保持为 00。

### 动态重校准

当寄存器 RTC\_INITSTS 中位 INITF=0 时，校准寄存器（RTC\_CALIB）可以动态更新，使用以下过程：

- 轮询寄存器 RTC\_INITSTS 位 RECPF（重新校准待定标志）
- 如果该标志为 0，则在必要时将新值写入到 RTC\_CALIB。然后将 RECPF 自动置 1
- 在对 RTC\_CALIB 进行写操作后的三个 ck\_apre 周期内，新的校准设置将生效

## 20.2.14 RTC 低功耗模式

模式	描述
Idle	无影响 RTC 中断可使芯片退出 Idle 模式
Standby/Sleep	当 RTC 时钟源为 LSE 或 LSI 时，RTC 保持工作状态。RTC 闹钟、RTC 唤醒会使器件退出 Standby/Sleep 模式。

## 20.3 RTC 寄存器

*注意：由于时钟同步缘故，RTC 寄存器的更改需要在大约 2 个 RTCCLK 时钟周期后执行。*

## 20.3.1 RTC 寄存器地址映像

表 20-1 RTC 寄存器地址映像和复位值

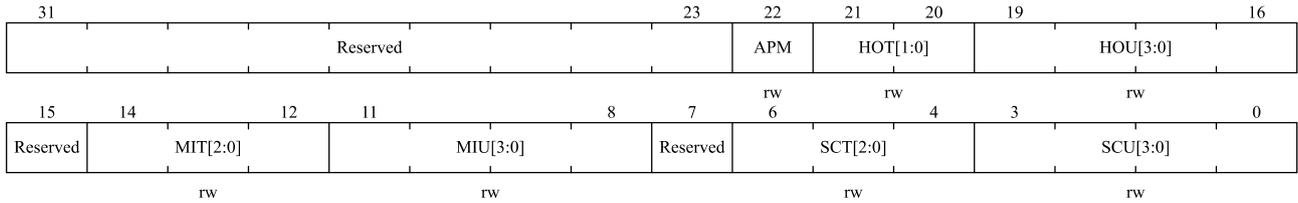
Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
000h	RTC_TSH	Reserved										APM	HOT[3:0]			HOU[3:0]			Reserved	MIT[2:0]			MIU[3:0]			Reserved	SCT[2:0]			SCU[3:0]														
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
004h	RTC_DATE	Reserved										YRT[3:0]			YRU[3:0]			WDU[2:0]		MOT	MOU[3:0]			Reserved	DAT[1:0]			DAU[3:0]																
	Reset Value											0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1			
008h	RTC_CTRL	Reserved										BAKP	SUJH	ADH	Reserved	WTEN	Reserved	ALAIEN	Reserved	WTEN	Reserved	ALAIEN	WRPT	HFMT	Reserved																			
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
00Ch	RTC_INITSTS	Reserved										RECPF	Reserved			Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved							
	Reset Value											0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
010h	RTC_PRE	Reserved										DIVA[6:0]						Reserved	DIVS[14:0]																									
	Reset Value											1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
014h	RTC_WKUPT	Reserved										WKUPT[15:0]																																
	Reset Value											1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
01Ch	RTC_ALARMA	MASK4	WKDSEL	DTT[1:0]			DTU[3:0]			MASK3	APM	HOT[1:0]			HOU[3:0]			MASK2	MIT[2:0]			MIU[3:0]			MASK1	SET[2:0]			SEU[3:0]															
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
024h	RTC_WRP	Reserved										Reserved							PKEY[7:0]																									
	Reset Value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
028h	RTC_SUBS	Reserved										SS[15:0]																																
	Reset Value											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
02Ch	RTC_SCTRL	ADIS	Reserved										SUBF[14:0]																															
	Reset Value	0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
03Ch	RTC_CALIB	Reserved										CP	CW8	CW16	Reserved			CM[8:0]																										
	Reset Value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
044h	RTC_ALRMAS	Reserved			MASKSSB[3:0]			Reserved										SSV[14:0]																										
	Reset Value				0	0	0	0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

## 20.3.2 RTC 日历时间寄存器 ( RTC\_TSH )

该寄存器为日历时间影子寄存器，只能在初始化模式可写。

偏移地址：0x00

复位值：0x0000 0000



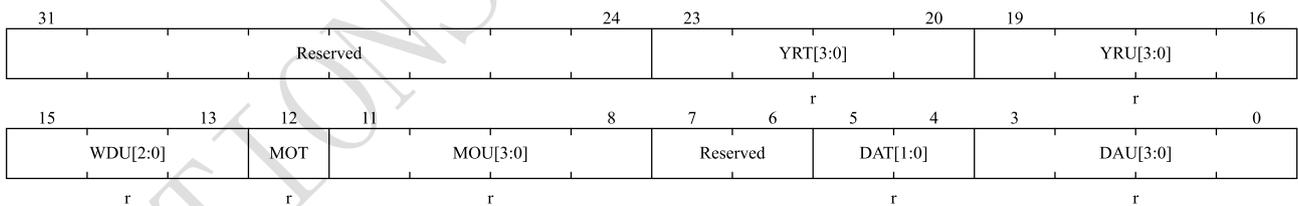
位域	名称	描述
31:23	Reserved	始终读为 0。
22	APM	AM/PM 格式。 0: AM 格式或者 24 小时格式 1: PM 格式
21:20	HOT[1:0]	小时十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	Reserved	始终读为 0。
14:12	MIT[2:0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	Reserved	始终读为 0。
6:4	SCT[2:0]	秒的十位(BCD 格式)。
3:0	SCU[3:0]	秒的个位(BCD 格式)。

### 20.3.3 RTC 日历日期寄存器 ( RTC\_DATE )

该寄存器为日历日期影子寄存器，只能在初始化模式可写。

偏移地址：0x04

复位值：0x0000 2101



位域	名称	描述
31:24	Reserved	始终读为 0。
23:20	YRT[3:0]	年的十位(BCD 格式)。
19:16	YRU[3:0]	年的个位(BCD 格式)。
15:13	WDU[2:0]	星期几。
12	MOT	月的十位(BCD 格式)。
11:8	MOU[3:0]	月的个位(BCD 格式)。
7:6	Reserved	始终读为 0。
5:4	DAT[1:0]	日期的十位(BCD 格式)。
3:0	DAU[3:0]	日期的个位(BCD 格式)。

## 20.3.4 RTC 控制寄存器 ( RTC\_CTRL )

注意：由于时钟同步缘故，RTC\_CTRL 寄存器的每次更改需要在大约 2 个 RTCCLK 时钟周期后执行。

偏移地址：0x08

复位值：0x0000 0000

Reserved													BAKP		SUIH	AD1H
Reserved	WTIEN	Reserved	ALAIEN	Reserved	WTEN	Reserved	ALAIEN	WRPT	HFMT	BYP	Reserved		WKUPSEL[2:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw		

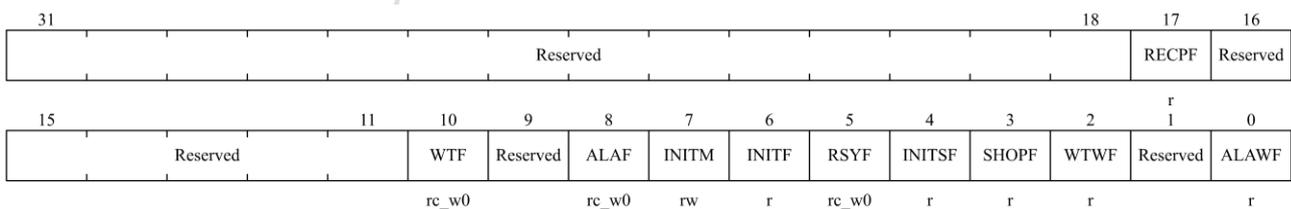
位域	名称	描述
31:19	Reserved	始终读为 0。
18	BAKP	这个位可以由用户写入，以记住是否执行了夏令时的更改。
17	SUIH	减去 1 小时位(冬季时间更改)。 当设置此位时，如果当前小时不是 0，则从日历时间中减去 1 小时。这个位总是被读取为 0。当当前小时为 0 时，设置此位无效。 0: 无使用 1: 用当前时间减去 1 小时。这可以用于冬季改变户外初始化模式
16	AD1H	加 1 小时位(夏季时间更改)。 设置此位后，将 1 小时添加到日历时间中。这个位总是被读作 0。 0: 无使用 1: 用当前时间加上 1 小时。这可以用于夏季改变户外初始化模式
15	Reserved	始终读为 0。
14	WTIEN	唤醒定时器中断使能位。 0: 唤醒定时器中断禁止 1: 唤醒定时器中断开启
13	Reserved	始终读为 0。
12	ALAIEN	闹钟 A 中断使能位。 0: 闹钟 A 中断禁止 1: 闹钟 A 中断开启
11	Reserved	始终读为 0。
10	WTEN	唤醒定时器使能位。 0: 唤醒定时器禁止 1: 唤醒定时器开启
9	Reserved	始终读为 0。
8	ALAIEN	闹钟 A 使能位。 0: 闹钟 A 禁止 1: 闹钟 A 开启
7	WRPT	解锁写保护位。 0: 写保护生效;

位域	名称	描述
		1: 写保护失效。
6	HFMT	小时格式位。 0: 24 小时格式 1: AM/PM 格式
5	BYPS	旁路影子寄存器位。 0: 日历值(从 RTC_SUBS、RTC_TSH 和 RTC_DATE 读取时)取自影子寄存器, 影子寄存器每两个 RTCCLK 周期更新一次。 1: 日历值(从 RTC_SUBS、RTC_TSH 和 RTC_DATE 读取时)直接从日历计数器中获取。 <i>注意: 如果 APB1 时钟的频率小于 RTCCLK 的 7 倍, 则 BYPS 必须设置为 1</i>
4:3	Reserved	始终读为 0。
2:0	WKUPSEL[2:0]	唤醒时钟选择位。 000: 选择 RTC/16 时钟 001: 选择 RTC/8 时钟 010: 选择 RTC/4 时钟 011: 选择 RTC/2 时钟 10x: 选择 ck_spre(通常 1Hz)时钟 11x: 选择 ck_spre(通常 1Hz)时钟并且唤醒定时器计数器值配置成 (WKUPT[15:0] + 2 <sup>16</sup> )

### 20.3.5 RTC 初始状态寄存器 ( RTC\_INITSTS )

偏移地址: 0x0C

复位值: 0x0000 0005



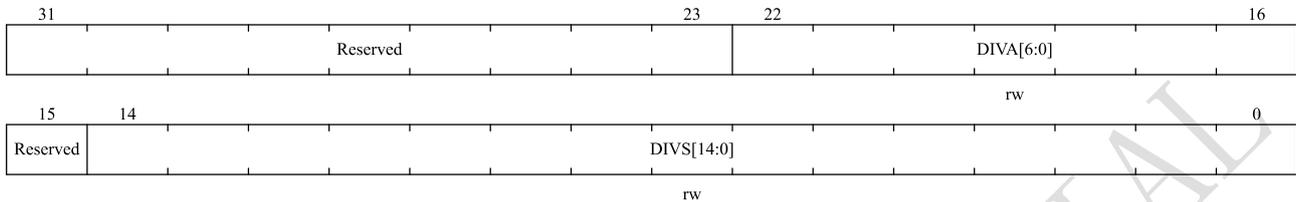
位域	名称	描述
31:17	Reserved	始终读为 0。
16	RECPF	重新校准挂起标志位。 当软件写入 RTC_CALIB 寄存器时, RECPF 状态标志自动设置为 1, 表示 RTC_CALIB 寄存器被阻塞。当考虑到新的校准设置时, 这个位将恢复为 0。
15:11	Reserved	始终读为 0。
10	WTF	唤醒定时器标志位。 当唤醒自动重载计数器达到 0, 硬件将设置此标志。此标志通过写入 0 被软件清除。在 WTF 再次设置为 1 之前, 此标志必须由软件至少在 1.5 RTCCLK 周期内清除。
9	Reserved	始终读为 0。

位域	名称	描述
8	ALAF	闹钟 A 标志位。 当时间/日期寄存器(RTC_TSH 和 RTC_DATE)与闹钟 A 寄存器(RTC_ALARM_A)匹配时, 硬件将设置此标志。此标志通过写入 0 被软件清除。
7	INITM	初始模式位。 0: 自由运行模式 1: 初始化模式用于配置时间和日期寄存器(RTC_TSH 和 RTC_DATE)和预分频寄存器(RTC_PRE)。当 INITM 被重置时, 计数器将停止并从新值开始计数。 注: 在 RTC 正常工作时只能配置一次。
6	INITF	初始标志位。 当这个位设置为 1 时, RTC 处于初始化状态, 可以更新时间、日期和预分频寄存器。 0: 日历寄存器更新禁止 1: 日历寄存器更新允许
5	RSYF	寄存器同步标志位。 每次将日历寄存器复制到影子寄存器(RTC_SUBSx、RTC_TSHx 和 RTC_DATEx)时, 硬件将此位置 1。当移位操作处于挂起状态(SHOPF=1)或旁路阴影寄存器模式(BYPS=1)时, 硬件将在初始化模式中清除该位。这个位也可以被软件清除。在初始化模式下, 该位通过软件或硬件清除。 0: 日历影子寄存器尚未同步 1: 日历影子寄存器同步
4	INITSF	初始状态标志位。 当历年字段不等于 0 (备份域复位状态)时, 由硬件设置此位。 0: 日历没有被初始化 1: 日历已经被初始化
3	SHOPF	平移操作挂起标志位。 当向 RTC_SCTRL 寄存器写入一个平位操作时, 硬件立即设置此标志。当执行相应的平移操作时, 硬件将清除它。写入 SHOPF 位执行写入操作不起作用。 0: 没有位移操作挂起 1: 有位移操作挂起
2	WTWF	唤醒定时器写标志位。 在 RTC_CTRL 中将 WTEN 位设置为 0, 最多 2 个 RTCCLK 之后, 硬件将该位置 1。同理, 在 WTEN 位置 1, 最多 2 个 RTCCLK 之后, 硬件将该位清除。 当 WTEN=0, WTWF=1 时, 唤醒定时器值可以更改。 0: 唤醒时间配置更新不允许 1: 唤醒时间配置更新允许
1	Reserved	始终读为 0。
0	ALAWF	闹钟 A 写标志位。 当 RTC_CTRL 中的 ALAEN 位设置为 0, 同时闹钟 A 可更改时, 硬件将该位置 1。它在初始化模式下被硬件清除。 0: 闹钟 A 更新不允许 1: 闹钟 A 更新允许

### 20.3.6 RTC 预分频寄存器 ( RTC\_PRE )

偏移地址: 0x10

复位值: 0x007F 00FF

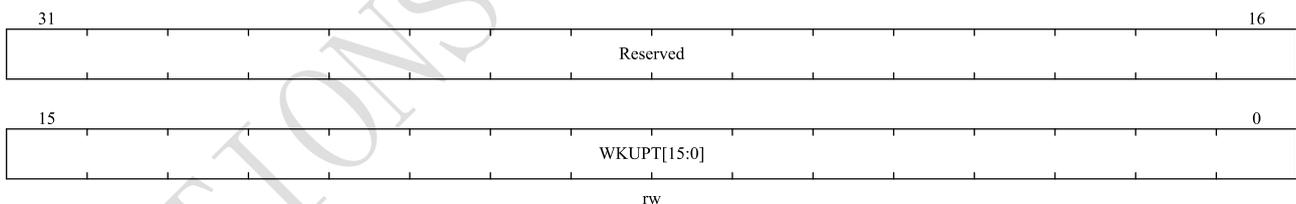


位域	名称	描述
31:23	Reserved	始终读为 0。
22:16	DIVA[6:0]	异步分频参数位。 公式如下: $ck\_apre = RTCCLK/(DIVA+1)$
15	Reserved	始终读为 0。
14:0	DIVS[14:0]	同步分频位。 公式如下: $ck\_spre = ck\_apre/(DIVS+1)$

### 20.3.7 RTC 唤醒定时器寄存器 ( RTC\_WKUPT )

偏移地址: 0x14

复位值: 0x0000 FFFF



位域	名称	描述
31:16	Reserved	始终读为 0。
15:0	WKUPT[15:0]	唤醒自动重装值位。 当唤醒定时器被启用(WTEN 设置为 1)时, WTF 标志位每隔 $ck\_wt$ 周期 (WKUPT[15:0] + 1)被置 1 一次。 $ck\_wt$ 周期是通过 RTC_CRTL 寄存器的 WKUPSEL[2:0]位选择的。 <i>注: 当 WKUPSEL [2] = 1 时, 唤醒定时器变成 17 位 (WKUPSEL [1]等效于 WKUPT[16],即要重装到定时器的最高有效位)。</i> WTF 第一次置 1 发生在 WTEN 置 1 之后 (WKUPT +1) 个 $ck\_wt$ 周期。禁止在 WKUPSEL [2:0]=011(RTCCLK/2) 时将 WKUPT [15:0] 设置为 0x0000。

## 20.3.8 RTC 闹钟 A 寄存器 ( RTC\_ALARM\_A )

偏移地址: 0x1C

复位值: 0x0000 0000

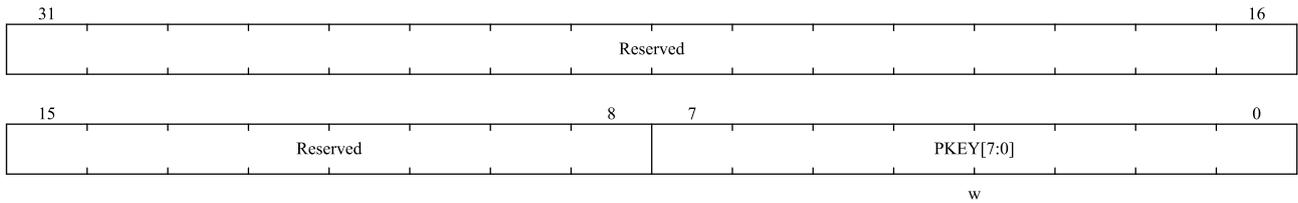
31	30	29	28	27	24	23	22	21	20	19	16
MASK4	WKDSEL	DTT[1:0]		DTU[3:0]			MASK3	APM	HOT[1:0]		HOU[3:0]
rw	rw	rw			rw		rw	rw	rw		rw
15	14	12		11	8	7	6	4		3	0
MASK2	MIT[2:0]		MIU[3:0]			MASK1	SET[2:0]		SEU[3:0]		
rw	rw		rw		rw	rw	rw			rw	

位域	名称	描述
31	MASK4	闹钟 A 日期掩码位。 0: 如果日期/日匹配, 则闹钟 A 置 1 1: 在闹钟 A 比较中, 日期/日无关
30	WKDSEL	星期几选择位。 0: DTU[3:0]代表日期的个位 1: DTU[3:0]代表星期几 DTT[1:0]为无关位
29:28	DTT[1:0]	日期的十位(BCD 格式)。
27:24	DTU[3:0]	日期的个位(BCD 格式)
23	MASK3	闹钟 A 小时掩码位。 0: 如果小时匹配, 则闹钟 A 置 1 1: 在闹钟 A 比较中, 小时无关
22	APM	AM/PM 符号位。 0: AM 或 24 小时制 1: PM
21:20	HOT[1:0]	小时的十位(BCD 格式)。
19:16	HOU[3:0]	小时的个位(BCD 格式)。
15	MASK2	闹钟 A 分钟掩码位。 0: 如果分钟匹配, 则闹钟 A 置 1 1: 在闹钟 A 比较中, 分钟无关
14:12	MIT[2:0]	分钟的十位(BCD 格式)。
11:8	MIU[3:0]	分钟的个位(BCD 格式)。
7	MASK1	闹钟 A 秒掩码位。 0: 如果秒匹配, 则闹钟 A 置 1 1: 在闹钟 A 比较中, 秒无关
6:4	SET[2:0]	秒的十位(BCD 格式)。
3:0	SEU[3:0]	秒的个位(BCD 格式)。

## 20.3.9 RTC 写保护寄存器 ( RTC\_WRP )

偏移地址: 0x24

复位值: 0x0000 0000

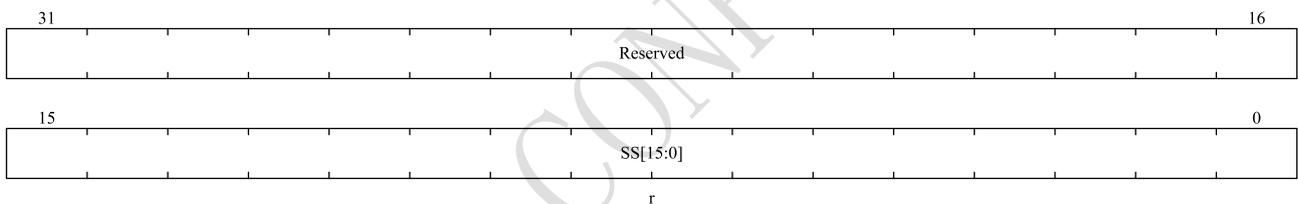


位域	名称	描述
31:8	Reserved	始终读为 0。
7:0	PKEY[7:0]	写保护关键字位。 可通过软件对该字节执行写操作。 读取该字节时, 始终返回 0 有关如何解锁 RTC 寄存器写保护的介绍, 请参考 RTC 寄存器写保护。

### 20.3.10 RTC 亚秒寄存器 ( RTC\_SUBS )

偏移地址: 0x28

复位值: 0x0000 0000

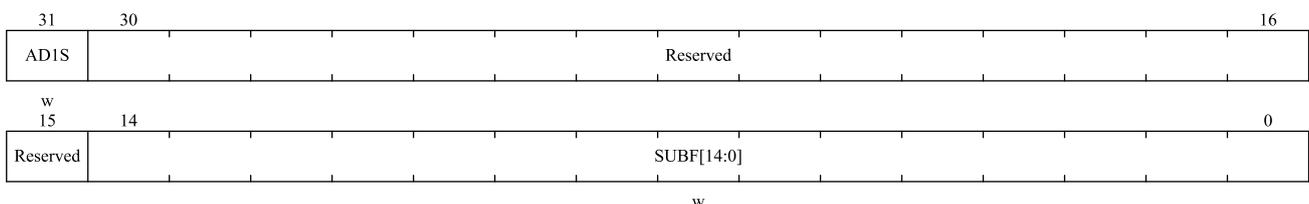


位域	名称	描述
31:16	Reserved	始终读为 0。
15:0	SS[15:0]	亚秒值位。 SS[15:0]是同步预分频计数器的值。此亚秒值可根据以下公式得出: 亚秒值 = (DIVS - SS) / (DIVS + 1) <i>注意: 仅当执行平移操作之后, SS 才能大于 DIVS。在这情况下, 正确的时间/日期比 RTC_TSH/RTC_DATE 所指示的时间/日期慢一秒钟。</i>

### 20.3.11 RTC 平移控制寄存器 ( RTC\_SCTRL )

偏移地址: 0x2C

复位值: 0x0000 0000

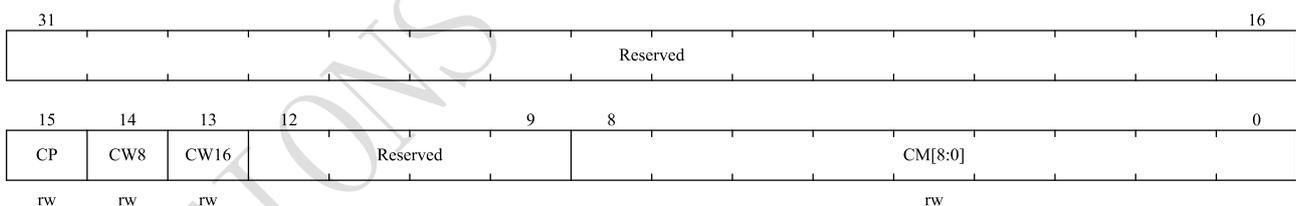


位域	名称	描述
31	AD1S	增加一秒钟位。 0: 无影响 1: 对时钟/日历增加一秒钟 此位为只写位且始终读为 0。当平移操作挂起 (RTC_INITSTS 中的 SHOPF=1) 时, 对该位执行写操作无作用。 此函数应与 SUBF 配合使用 (请参见下文介绍), 以便有效地向原子操作机制的时钟添加亚秒值。
30:15	Reserved	始终读为 0。
14:0	SUBF[14:0]	减去亚秒值位。 此位为只写位且始终读为 0。当平移操作挂起 (RTC_INTSTS 中的 SHOPF=1) 时, 对该位执行写操作无作用。 写入 SUBF 的值将加到同步预分频器计数器中。由于该计数器递减计数, 此操作可有效地从时钟减去 (延迟) 以下时间: 延迟 (秒) = SUBF / (DIVS + 1) 当 AD1S 函数与 SUBF 结合使用时, 可有效地将亚秒值增加到时钟 (提前时钟), 使时钟提前以下时间: 提前 (秒) = (1 - (SUBF / (DIVS + 1)))。 <i>注意: 对 SUBF 执行写操作将使 RSYF 清零。软件随后会等待至 RSYF=1 以确定影子寄存器已更新为平移后的时间。</i>

### 20.3.12 RTC 校准寄存器 ( RTC\_CALIB )

偏移地址: 0x3C

复位值: 0x0000 0000



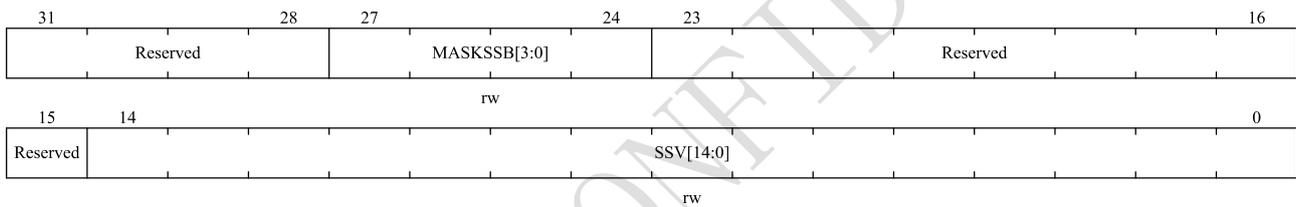
位域	名称	描述
31:16	Reserved	始终读为 0。
15	CP	将 RTC 的频率增加 488.5ppm 位。 此功能应与 CM 结合使用, 后者在高分辨率下会降低日历的频率。如果输入频率为 32768 Hz, 则在 32 秒窗口中增加的 RTCCLK 脉冲数按如下公式计算: (512 * CP) - CM 请参见 RTC 精密数字校准。 0: 不增加 RTCCLK 脉冲 1: 每 2 <sup>11</sup> 个脉冲有效插入一个 RTCCLK 脉冲(将 RTC 的频率增加 488.5ppm)。
14	CW8	使用 8 秒校准周期位。 0: 不使用 1: 选择 8 秒校准周期

位域	名称	描述
		注意：当 $CM8 = 1$ 时， $CM[1:0]$ 将始终保持为 '00'
13	CW16	使用 16 秒校准周期位。 0: 不使用 1: 选择 16 秒校准周期，如果 $CM8 = 1$ ，则不能将该位置 1 注意：当 $CM16 = 1$ 时， $CM[0]$ 将始终保持为 '0'
12:9	Reserved	始终读为 0。
8:0	CM[8:0]	负校准位。 在 $2^{20}$ 个 RTCCLK 脉冲内屏蔽 CM 个脉冲（如果输入频率为 32768 Hz，则为 32 秒）来降低日历的频率。其分辨率为 0.9537 ppm。要提高日历的频率，则应将此功能与 CP 结合使用。

### 20.3.13 RTC 闹钟 A 亚秒寄存器 ( RTC\_ ALRMAS )

偏移地址：0x44

复位值：0x0000 0000



位域	名称	描述
31:28	Reserved	始终读为 0。
27:24	MASKSSB[3:0]	屏蔽从此位开始的最高有效位。 0: 不对闹钟 A 的亚秒进行比较。当秒单元递增时设置闹钟（假定其余字段均匹配）。 1: 在闹钟 A 比较中，SSV[14:1] 为无关位。仅比较 SSV[0]。 2: 在闹钟 A 比较中，SSV[14:2] 为无关位。仅比较 SSV[1:0]。 3: 在闹钟 A 比较中，SSV[14:3] 为无关位。仅比较 SSV[2:0]。 ... 12: 在闹钟 A 比较中，SSV[14:12] 为无关位。比较 SSV[11:0]。 13: 在闹钟 A 比较中，SSV[14:13] 为无关位。比较 SSV[12:0]。 14: 在闹钟 A 比较中，SSV[14] 为无关位。比较 SSV[13:0]。 15: 所有 15 个 SSV 位均进行比较，并且必须全部匹配才能激活闹钟。 同步计数器的溢出位（位 15）从不进行比较。仅当执行平移操作之后，此位才不为 0。
23:15	Reserved	始终读为 0。
8:0	SSV[14:0]	亚秒值位。 该值与同步预分频器计数器的内容进行比较以确定是否要激活闹钟 A。仅比较位 0 到 MASKSSB-1。

## 21 红外控制器 ( IRC )

### 21.1 IRC 简介

红外发生器提供了一种灵活的方式，可以支持软件配置遥控器产品常用的红外协议信号。

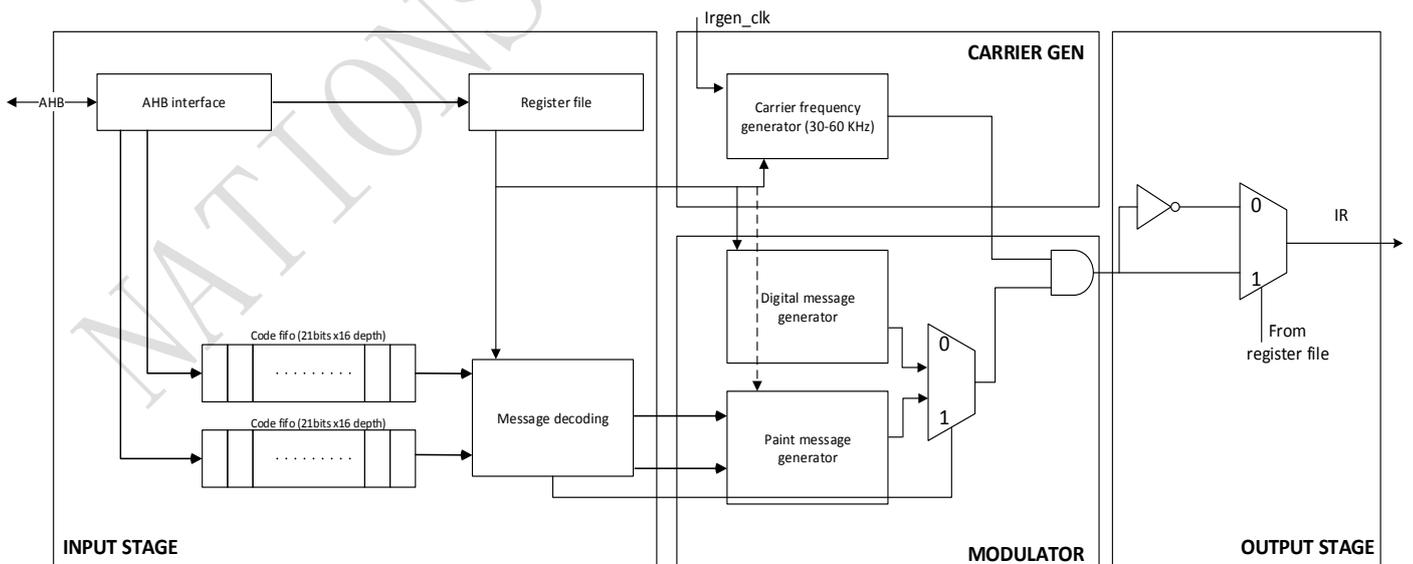
IRC 模块有一个有效的消息队列，其中用户仅用几个字节自定义命令就可以描述一个特定的 IR 协议的波形，命令本身独立于协议。见图 21-1 IRC 模块示意图。

### 21.2 IRC 主要特性

- 载波频率范围：30kHz~60kHz
- 支持脉冲宽度编码和脉冲距离编码
- 支持曼切斯特编码
- 支持无载波模式
- 支持 mark 码和 space 码的任意组合
- 提供了深度 16x21bit 宽的 Code FIFO 用于编码命令储存
- 支持软件可配的自动重复功能
- 传输完成后产生中断

### 21.3 IRC 功能描述

图 21-1 IRC 模块示意图



IR 发生器是基于使用两种不同的方式描述数据的概念，能够支持任何 IR 协议：

- **Digital Message:** 该消息表示逻辑 1 或逻辑 0，Mark、Space 持续时间可配置。

- **Paint Message:** 此消息表示一个完全自定义的“绘制”波形。有效地描述这一点的方法，是将符号类型(Mark/ Space)和符号持续时间编码在一个码字内，以便硬件能够理解并相应地进行正确的调制。

命令的组合由一些控制字组成，这些控制字以一种有效的方式包含 Digital Message 或 Paint Message。

下图给出了一个 IR 代码 NEC 命令的例子：

图 21-2 NEC 码对应命令示意图



Digital Message 和 Paint Message 编码参考下表：

- **Digital message 编码：**

Bit	Name	Description
[20]	消息类型	1 = Digital message.
[19:16]	消息长度	Payload 有效比特数-1
[15:0]	消息 payload	逻辑“0”和逻辑“1”

- **Paint message 编码：**

Bit	Name	Description
[20]	消息类型	0 = Paint message
[19:15]	保留	
[14]	符号类型	1 = Mark 0 = Space
[13:0]	持续时间	Mark/Space 持续时间（载波时钟周期数）

IRC 控制器由输入用户接口、载波发生器、调制器组成。

### 21.3.1 输入用户接口

它由 APB 寄存器接口、两个 fifo 和消息解码引擎组成。

该子块负责系统的配置以及编码字的存储和解码。这些编码字将驻留在代码 FIFO 中。

Repeat FIFO 可以被用来加载特殊的命令，例如一个键按下没松开，需要指定间隔重复发送相同的指令。

代码 FIFO 的输出被消息解码引擎解码，并以命令的形式送给下一个子模块调制器。

这个子模块还负责在一个按键不断按下的情况下触发重复计时器。重复时间和要发送的消息根据协议不同而不同。

## 21.3.2 载波发生器

这个子模块负责产生载波频率。它有自己的门控时钟，可以产生频率范围在 30 - 60khz 的载波时钟。

## 21.3.3 调制器

该子模块负责产生调制信号，该调制信号对载波时钟脉冲序列进行门控。调制器状态机在 Digital 或 Paint 信息之间进行选择，并相应地控制门控。用户也可以编程信号反向输出。

## 21.4 IRC 寄存器

### 21.4.1 IRC 寄存器映像

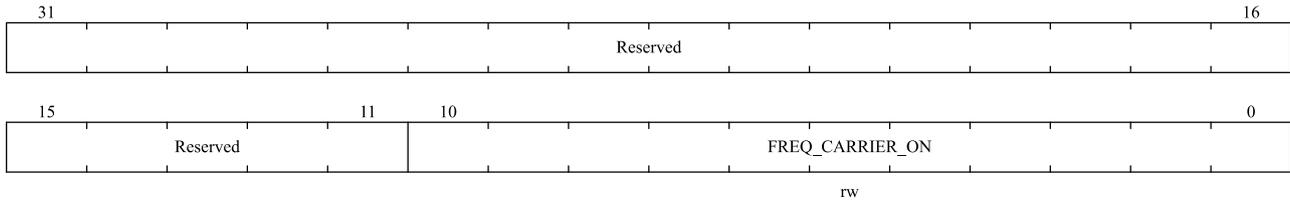
表 22-1 IRC 寄存器映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000h	FREQ_CARR_ON	Reserved														RREQ_CARRIER_ON																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
004h	FREQ_CARR_OFF	Reserved														FREQ_CARRIER_OFF																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
008h	LOGIC_ONE_TIME	Reserved														LOGIC_ONE_MARK						LOGIC_ONE_SPACE											
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
00Ch	LOGIC_ZERO_TIME	Reserved														LOGIC_ZERO_MARK						LOGIC_ZERO_SPACE											
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
010h	IR_CTRL	Reserved														NO_CARR_MOD	IR_IRQ_EN	IR_LOGIC_ONE_REPEAT	IR_LOGIC_ZERO_REPEAT	IR_INVERT_OUTPUT	Reserved	IR_TX_START	IR_ENABLE	IR_REO_FIFO_RESET	IR_CODE_FIFO_RESET								
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
014h	IR_STATUS	Reserved														IR_IRQ_FLG	IR_BUSY	IR_REP_FIFO_WORDS				IR_CODE_FIFO_WORDS											
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
018h	IR_REPEAT_TIME	Reserved														IR_REPEAT_TIME																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
01Ch	IR_CODE_FIFO	Reserved														IR_CODE_FIFO_DATA																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
020h	IR_REPEAT_FIFO	Reserved														IR_REPEAT_FIFO_DATA																	
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

### 21.4.2 IRC 载波时钟高持续时间寄存器 ( FREQ\_CARR\_ON )

偏移地址: 0x00

复位值: 0x0000 0001

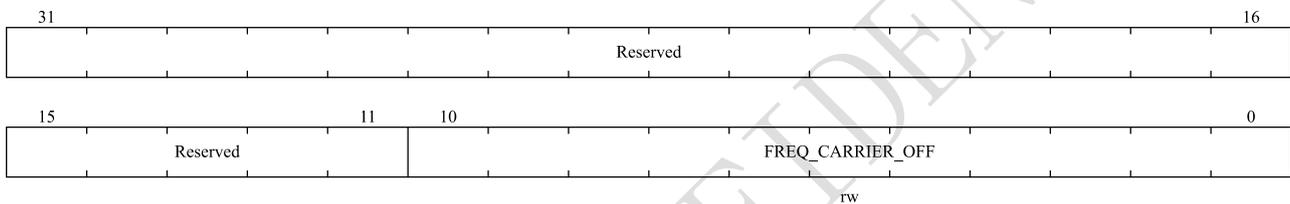


31: 11	Reserved	始终读为 0。
10: 0	FREQ_CARRIER_ON	定义载波时钟高持续时间 (AHB 总线时钟周期数, 不允许配置为 0)

### 21.4.3 IRC 载波时钟低持续时间寄存器 (FREQ\_CARR\_OFF)

偏移地址: 0x04

复位值: 0x0000 0001

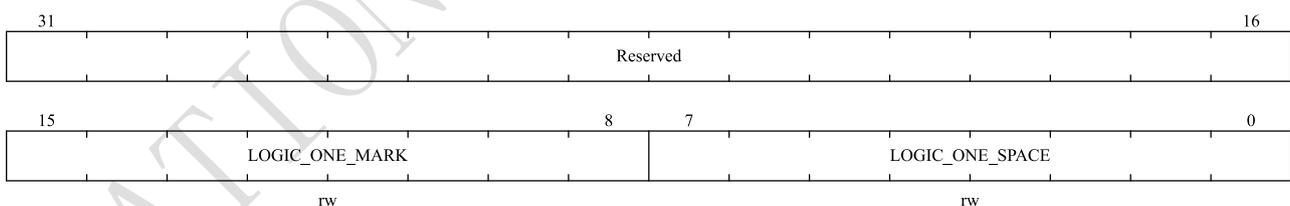


31: 11	Reserved	始终读为 0。
10: 0	FREQ_CARRIER_OFF	定义载波时钟低持续时间 (AHB 总线时钟周期数, 不允许配置为 0)

### 21.4.4 IRC 逻辑 1 时间配置寄存器 (LOGIC\_ONE\_TIME)

偏移地址: 0x08

复位值: 0x0000 0101

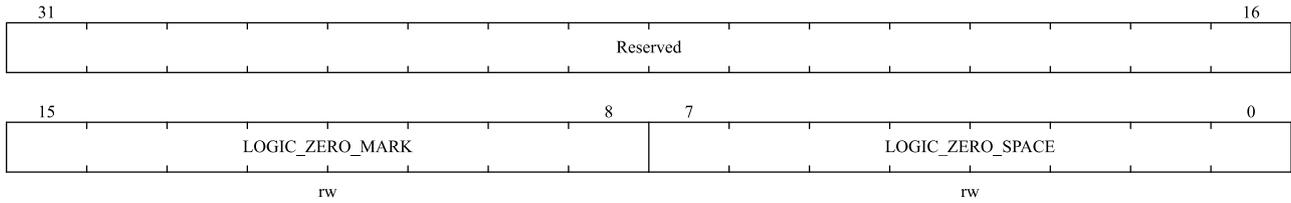


31: 16	Reserved	始终读为 0。
15: 8	LOGIC_ONE_MARK	逻辑 1 MARK 时间 (载波时钟周期)
7: 0	LOGIC_ONE_SPACE	逻辑 1 SPACE 时间 (载波时钟周期)

### 21.4.5 IRC 逻辑 0 时间配置寄存器 (LOGIC\_ZERO\_TIME)

偏移地址: 0x0C

复位值: 0x0000 0101

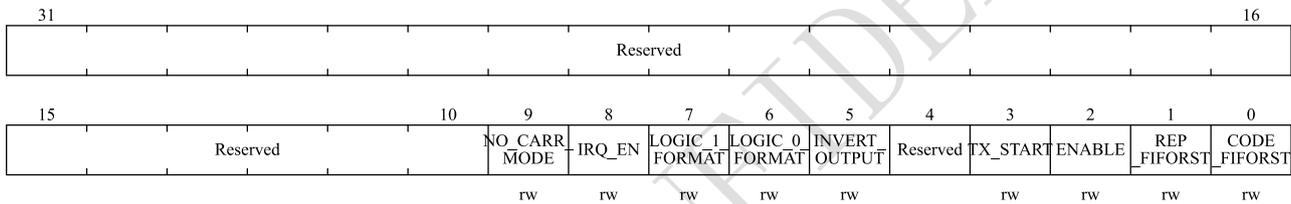


31: 16	Reserved	始终读为 0。
15: 8	LOGIC_ZERO_MARK	逻辑 0 MARK 时间（载波时钟周期）
7: 0	LOGIC_ZERO_SPACE	逻辑 0 SPACE 时间（载波时钟周期）

## 21.4.6 IRC 控制寄存器 ( IR\_CTRL )

偏移地址: 0x10

复位值: 0x0000 0000



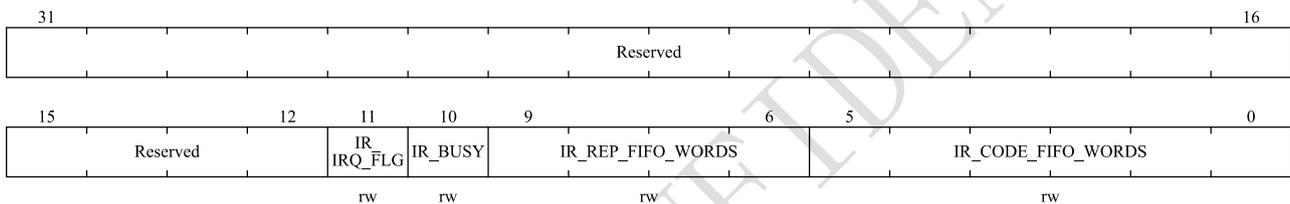
31: 10	Reserved	始终读为 0。
9	NO_CARR_MODE	无载波模式选择: 0: 载波模式 1: 使能无载波模式, 信号输出没有载波调制
8	IR_IRQ_EN	IRC 模块中断使能选择 0: 屏蔽 IRC 中断 1: 使能 IRC 中断
7	IR_LOGIC_ONE_FORMAT	逻辑 1 格式 0: MARK 信息在前, SPACE 信息其后 1: SPACE 信息在前, MARK 信息其后
6	IR_LOGIC_ZERO_FORMAT	逻辑 0 格式 0: MARK 信息在前, SPACE 信息其后 1: SPACE 信息在前, MARK 信息其后
5	IR_INVERT_OUTPUT	红外传输信号反向输出使能 0: 红外传输信号正常输出 1: 红外传输信号反向输出
4	Reserved	始终读为 0。
3	IR_TX_START	IR 传输控制位。 0: IR 传输结束（自动清空 CODE 或 REPEAT FIFO） 1: IR 传输启动命令 注: 写完 CODE 或 REPEAT FIFO 数据后, 写 1 启动传输; 查询到 CODE 或 REPEAT FIFO 字数为 0 后, 写 0 传输结束;

2	IR_ENABLE	IR 模块使能选择 0: 不开启 IR 模块, 此时内部 FIFO 指针处于复位值 1: 开启 IR 模块使能
1	IR_REP_FIFO_RESET	REPEAT FIFO 清空 0: 不对 REPEAT FIFO 进行清空操作 1: IR_TX_START 有效时, 清空 REPEAT FIFO
0	IR_CODE_FIFO_RESET	CODE FIFO 清空 0: 不对 CODE FIFO 进行清空操作 1: IR_TX_START 有效时, 清空 CODE FIFO

### 21.4.7 IRC 状态寄存器 ( IR\_STATUS )

偏移地址: 0x14

复位值: 0x0000 0000

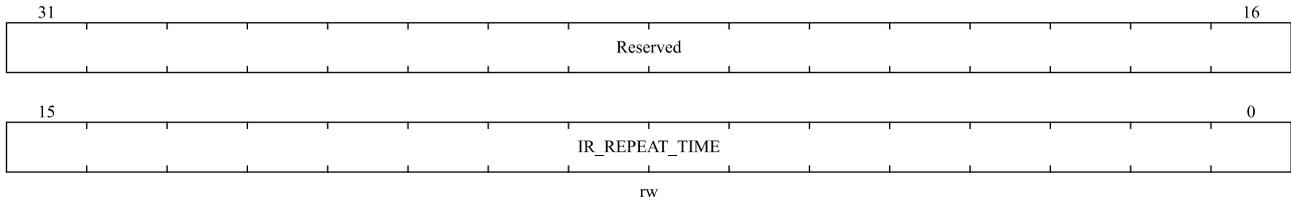


31: 12	Reserved	始终读为 0。
11	IR_IRQ_FLG	传输完成标志 如果设置了 IR_CTRL 寄存器中 IR_TX_START 位, 当检测到 CODE 和 REPEAT FIFO 都为空时, 该位由硬件置位。 该位由软件清 0。 如果 IR_CTRL 寄存器中 IR_IRQ_EN 被置位时, 将产生中断。 0: 没有检测到传输完成。 1: 检测到传输完成。
10	IR_BUSY	IRC 忙标志 0: IRC 模块空闲 1: IRC 模块忙
9:6	IR_REP_FIFO_WORDS	REPEAT FIFO 中字数
5:0	IR_CODE_FIFO_WORDS	CODE FIFO 中字数

### 21.4.8 IRC 重复时间寄存器 ( IR\_REPEAT\_TIME )

偏移地址: 0x18

复位值: 0x0000 0000

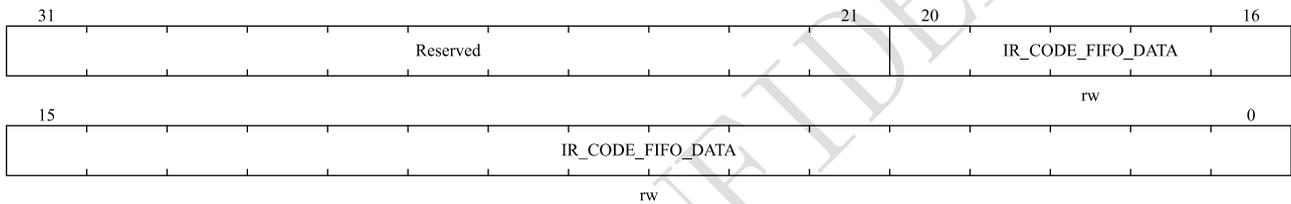


31: 16	Reserved	始终读为 0。
15: 0	IR_REPEAT_TIME	定义重复时间（载波时钟周期数）。 重复计时器将从协议帧头开始计数，并在定义重复时间后停止计数。

### 21.4.9 IRC CODE FIFO 数据寄存器 ( IR\_CODE\_FIFO )

偏移地址: 0x1C

复位值: 0x0000 0000

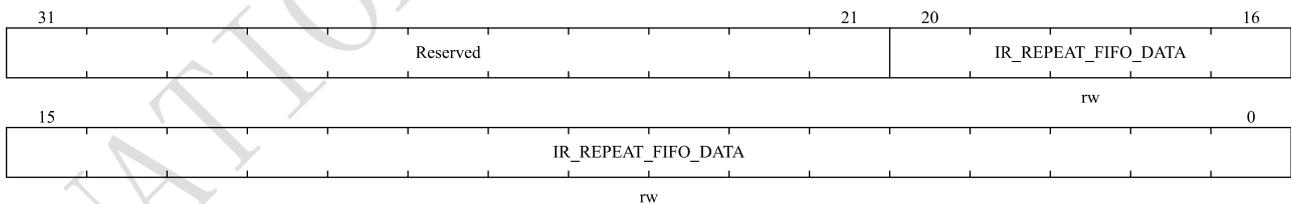


31:21	Reserved	始终读为 0。
20: 0	IR_CODE_FIFO_DATA	写入 CODE FIFO 中数据

### 21.4.10 IRC REPEAT FIFO 数据寄存器 ( IR\_REPEAT\_FIFO )

偏移地址: 0x20

复位值: 0x0000 0000



31:21	Reserved	始终读为 0。
20: 0	IR_REPEAT_FIFO_DATA	写入 REPEAT FIFO 中数据

## 22 按键检测 (KEYSCAN)

### 22.1 KEYSCAN 简介

KEYSCAN 模块作为常见的 IO 交互模块，主要用于遥控器等对多个按键有需求的场景中。

### 22.2 KEYSCAN 主要特性

KEYSCAN 挂载于 APB 总线上，支持系统睡眠/非睡眠期间的自动扫描或低功耗扫描。

- 支持 8/10/13 个 IO 口，分别对应支持 44/65/104 个按键。
- 按键防抖，时间可配。
- 支持自动扫描，软件扫描，低功耗扫描三种模式。
  - ◆ 自动模式：可配置固定时间间隔启动的自动扫描模式。
  - ◆ 低功耗模式：检测下图红框内按键按下时启动一轮共计三次的扫描模式
  - ◆ 软件模式：软件触发的扫描模式。
- 支持按键中断和标志位。
- 所有按键分为矩阵键盘区和独立键盘区。
- 独立按键区每一列仅支持一个按键按下，此时如独立按键区有按键按下，则对矩阵键盘区的操作将被视为无效。若独立按键区无按键按下，则按键检测模块支持矩阵键盘区一个或者多个无电气直连属性的按键按下。

### 22.3 KEYSCAN 功能描述

使能 KEYSCAN 功能后，PA0/PA1/PA2/PA3/PA6 和 PB10/PB8/PB9/PA4/PA5/PB0/PB1/PB2 共 13 个 IO 可被用于按键扫描，最多支持 104 个按键。包括 78 个矩阵键盘区按键和 26 个独立键盘区按键。

当配置为 8 个 IO 按键扫描时，支持 44 个按键。包括 28 个矩阵键盘区按键和 16 个独立键盘区按键。其中 PA4/PA5/PB0/PB1/PB2 不被使用为按键。

当配置为 10 个 IO 按键扫描时，支持 65 个按键。包括 45 个矩阵键盘区按键和 20 个独立键盘区按键。其中 PB0/PB1/PB2 不被使用为按键。

当配置为 13 个 IO 按键扫描时，支持 104 个按键。包括 78 个矩阵键盘区按键和 26 个独立键盘区按键。

图 22-1 8 个可配置 IO-低功耗模式下可唤醒的按键区域

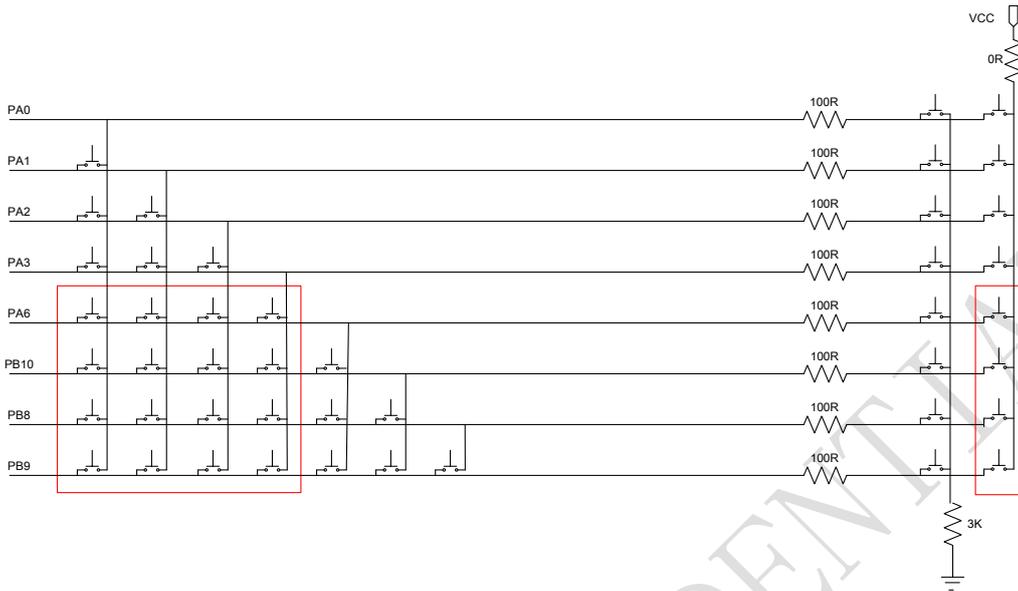


图 22-2 10 个可配置 IO-低功耗模式下可唤醒的按键区域

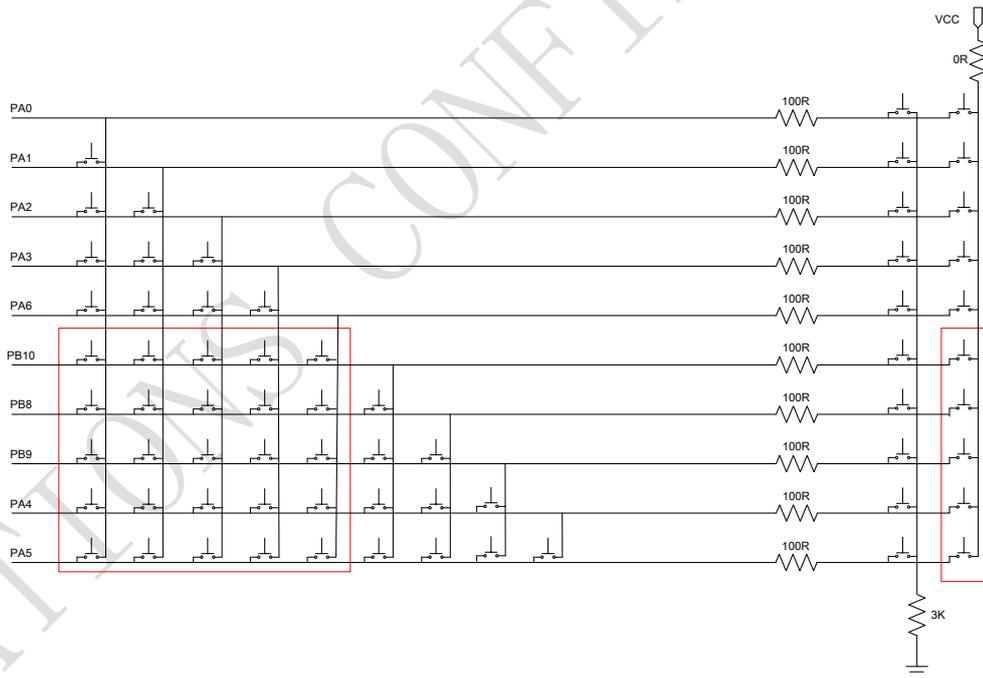


图 22-3 13 个可配置 IO-低功耗模式下可唤醒的按键区域

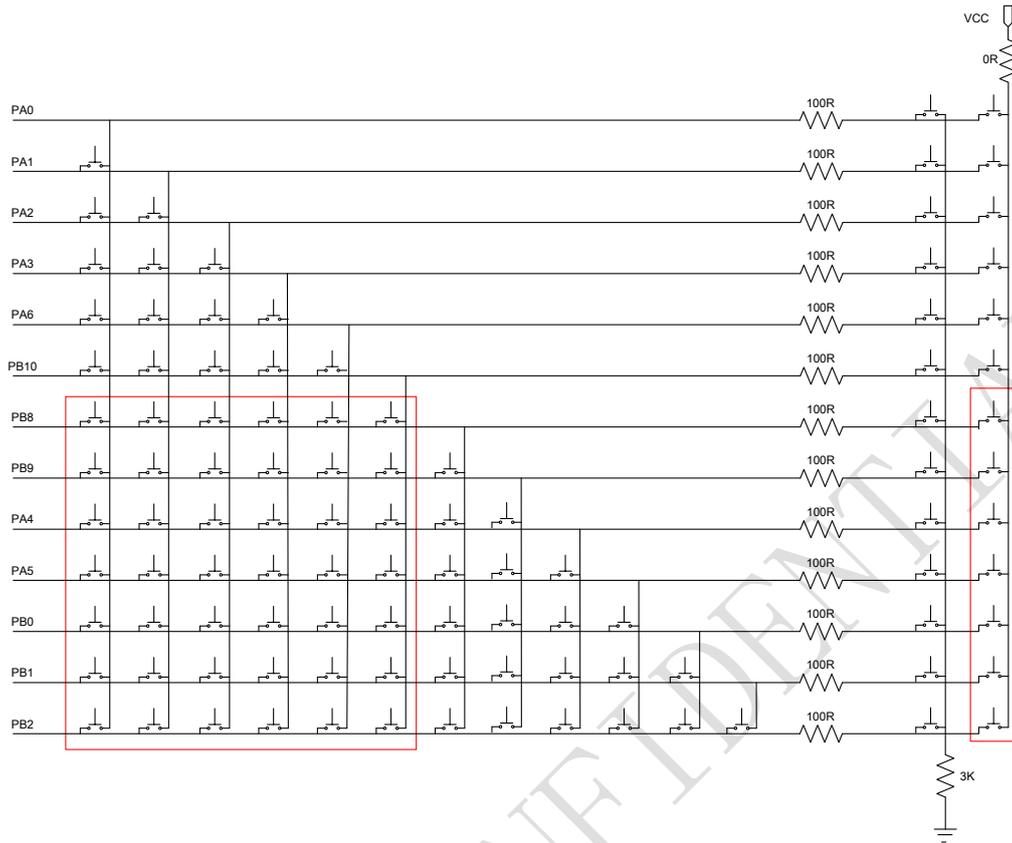


表 22-1 KEYSKAN 按键信息表

REG	BIT	KEY_ID															
KEY INF O0	[15:0]				KPB2L	KPB1L	KPB0L	KPA5L	KPA4	KPB9L	KPB8L	KPB10	KPA6L	KPA3L	KPA2L	KPA1L	KPA0L
	[31:1]				KPB2H	KPB1H	KPB0H	KPA5	KPA4	KPB9	KPB8	KPB10	KPA6	KPA3	KPA2	KPA1	KPA0
	[6]						H	H	H	H	H	H	H	H	H	H	H
KEY INF O1	[15:0]	KPB10	KPB10	KPB10	KPB10	KPB10	KPA6P	KPA6P	KPA6P	KPA6P	KPA3P	KPA3P	KPA3P	KPA2P	KPA2P	KPA1	
	[31:1]	PB6	PA3	PA2	PA1	PA0	A3	A2	A1	A0	A2	A1	A0	A1	A0	PA0	
	[6]			KPB9P	KPB9	KPB8P	KPB8P	KPB8P	KPB8P	KPB8P	KPB8P						
	[6]			B8	B10	A6	A3	A2	A1	PA0	B10	A6	A3	A2	A1	A0	
KEY INF O2	[15:0]								KPA4P								
	[31:1]								KPA5P								
	[6]							A4	B9	B8	B10	A6	A3	A2	A1	A0	

KEY INF O3	[15:0]							KPB0P									
	1							A5	A4	B9	B8	B10	A6	A3	A2	A1	A0
	[31:1]						KPB1P										
	6						B0	A5	A4	B9	B8	B10	A6	A3	A2	A1	A0
KEY INF O4	[15:0]					KPB2	KPB2	KPB2	KPB2P								
	1					PB1	PB0	PA5	A4	B9	B8	B10	A6	A3	A2	A1	A0
	[31:1]																
	6																

## 22.4 KEYSKAN 寄存器描述

### 22.4.1 KEYSKAN 寄存器映像

表 22-2 KEYSKAN 寄存器映像和复位值

Offset	Register	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
000h	KEYCR	Reserved										KEY_IRP	KEY_INTEN	Reserved										KEY_INFO_CLR	SOFT_START	KEY_MASK	KEY_WTS			KEY_DTS			KEYSCAN_MOD E		Reserved	KEY_EN
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
004h	KEYDATA0	Reserved			KEYINFO1										Reserved			KEYINFO0																		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
008h	KEYDATA1	Reserved			KEYINFO3										Reserved			KEYINFO2																		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
00Ch	KEYDATA2	Reserved						KEYINFO5						Reserved						KEYINFO4																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
010h	KEYDATA3	Reserved			KEYINFO7										Reserved			KEYINFO6																		
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
014h	KEYDATA4	Reserved																		KEYINFO8																
	Reset Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

### 22.4.2 KEYSKAN 控制寄存器 ( KEYCR )

偏移地址: 0x00

复位值: 0x0000 0000

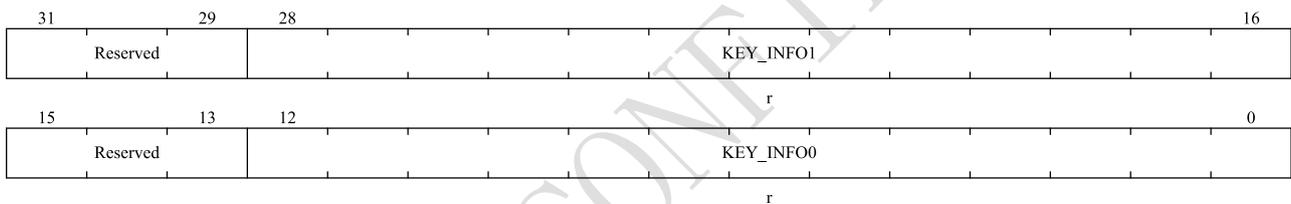


位域	名称	描述
		110:640ms Default:10ms
3:2	KEYSCAN_MODE	键盘扫描模式选择 00: 自动模式 01: 软件模式 10: 低功耗模式 Default:自动模式
1	Reserved	始终读为 0。
0	KEY_EN	键盘扫描模块使能 0: 不开启键盘扫描 1:使能键盘扫描模块

### 22.4.3 KEYSKAN INFO 寄存器 0 ( KEYDATA0 )

偏移地址: 0x04

复位值: 0x0000 0000

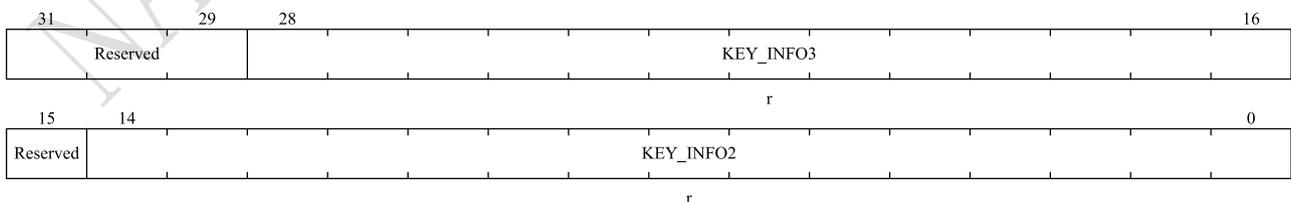


31: 29	Reserved	始终读为 0。
28: 16	KEY_INFO1	独立按键区第一列按键信息
15: 13	Reserved	始终读为 0。
12: 0	KEY_INFO0	独立按键区第二列按键信息

### 22.4.4 KEYSKAN INFO 寄存器 1 ( KEYDATA1 )

偏移地址: 0x08

复位值: 0x0000 0000

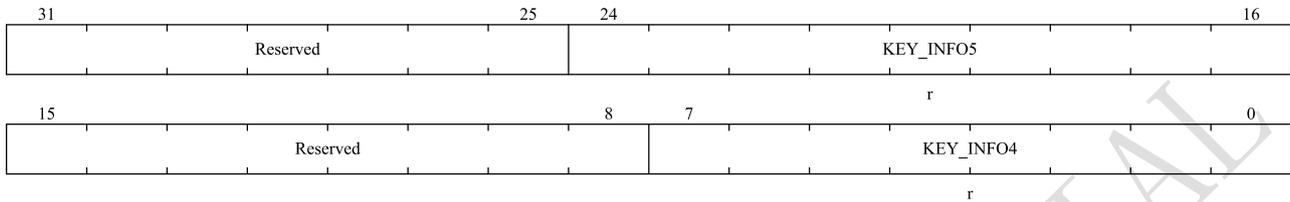


31: 29	Reserved	始终读为 0。
28: 16	KEY_INFO3	矩阵键盘区第六行 (PB8) 到第七行 (PB9) 按键信息
15	Reserved	始终读为 0。
14: 0	KEY_INFO2	矩阵按键区第一行 (PA1) 到第五行 (PB10) 按键信息

### 22.4.5 KEYSKAN INFO 寄存器 2 ( KEYDATA2 )

偏移地址: 0x0C

复位值: 0x0000 0000



31: 25	Reserved	始终读为 0。
24: 16	KEY_INFO5	矩阵键盘区第九行 (PA5) 按键信息
15: 8	Reserved	始终读为 0。
7: 0	KEY_INFO4	矩阵按键区第八行 (PA4) 按键信息

### 22.4.6 KEYSKAN INFO 寄存器 3 ( KEYDATA3 )

偏移地址: 0x10

复位值: 0x0000 0000

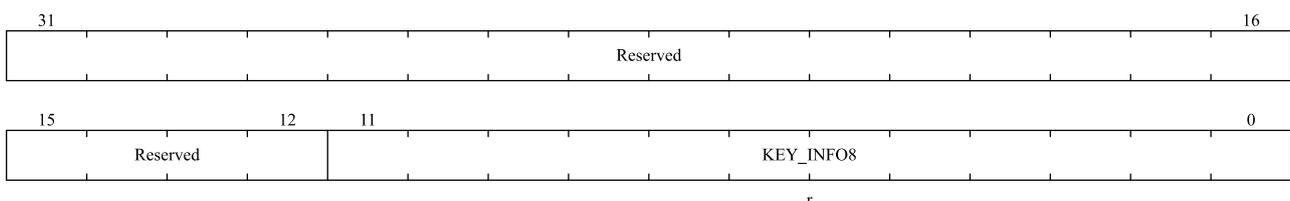


31: 27	Reserved	始终读为 0。
26: 16	KEY_INFO7	矩阵键盘区第十一行 (PB1) 按键信息
15: 10	Reserved	始终读为 0。
9: 0	KEY_INFO6	矩阵按键区第十行 (PB0) 按键信息

### 22.4.7 KEYSKAN INFO 寄存器 4 ( KEYDATA4 )

偏移地址: 0x14

复位值: 0x0000 0000



31: 12	Reserved	始终读为 0。
11: 0	KEY_INFO8	矩阵键盘区第十二行 (PB2) 按键信息

KEYSCAN INFO 寄存器详细定义参考 KEYSKAN 按键信息表。

该寄存器可读，通过对控制寄存器的 bit13 写 1 清除 INFO 寄存器的内容，每轮 keyscan 扫描后更新检测到的 key 对应的比特。

NATIONS CONFIDENTIAL

## 23 调试支持 ( DBG )

### 23.1 简介

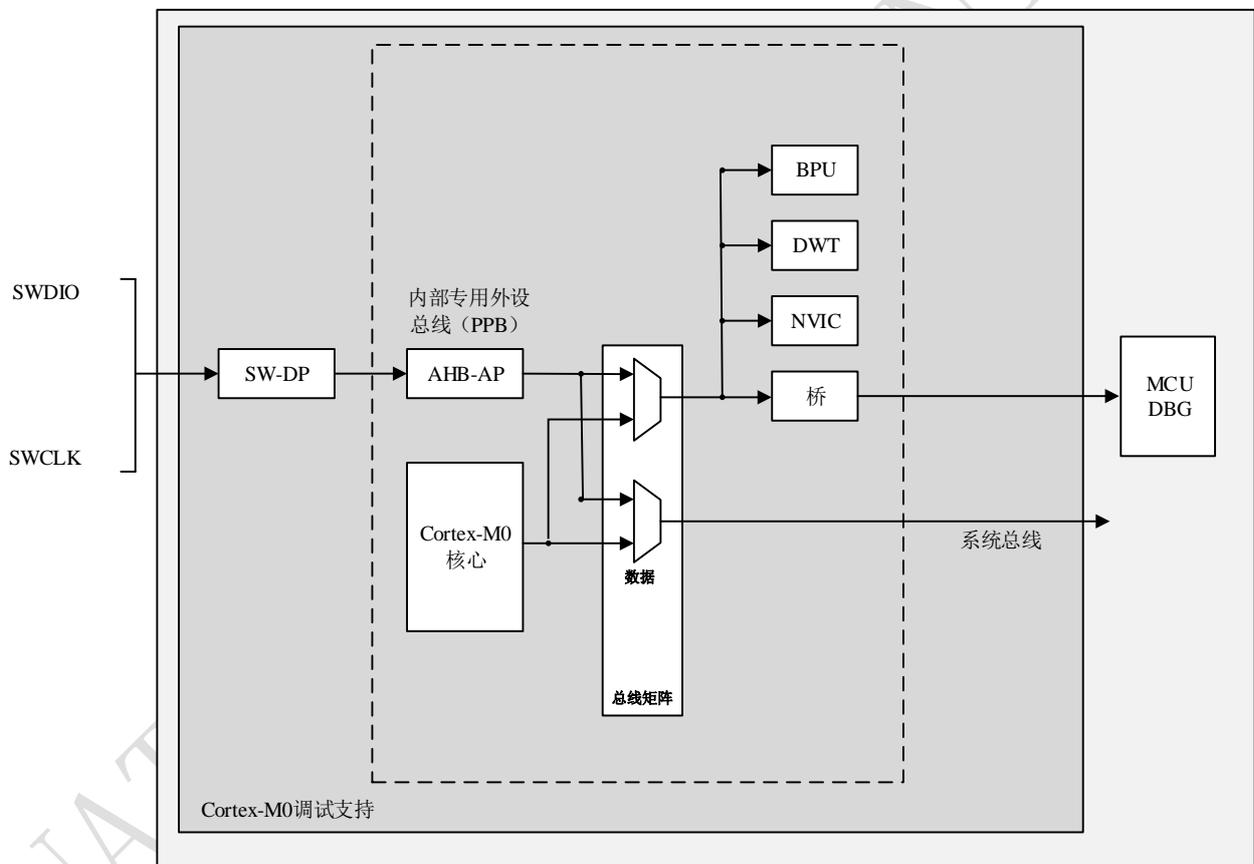
N32WB03x 使用 Cortex®-M0 内核，内核集成硬件调试模块。支持指令断点（指令取值时停止）和数据断点（数据访问时停止）。当内核停止时，用户可以查看内核的内部状态和系统的外部状态。用户查询操作完成后，可以使内核和外设恢复，并继续执行相应程序。

N32WB03x 内核的硬件调试模块在连接到调试器时即可被使用（在未被禁止情况下）。

N32WB03x 支持以下调试接口：

- 串行接口

图 23-1 N32WB03x 级别和 Cortex®-M0 级别的调试框图



ARM Cortex®-M0 内核硬件调试模块可提供如下调试功能：

- SW-DP：串行调试端口
- AHP-AP：AHB 访问端口
- BPU：断点产生
- DWT：数据触发

可参考：

- Cortex®-M0 技术参考手册（TRM）

- ARM 调试接口 V5 结构规范
- ARM CoreSight 开发工具集（r1p0 版）技术参考手册

## 23.2 SW 功能

调试工具可以通过上述的 SW 调试接口来调用调试功能。

### 23.2.1 引脚分配

SWD（串行调试）接口包含 2 个管脚：SWCLK（时钟管脚）和 SWDIO（数据输入输出管脚）提供两个引脚的接口：数据输入输出引脚（SWDIO）和时钟引脚（SWCLK）。

SW 调试接口管脚分配见 GPIO 章节。

## 24 版本历史

日期	版本	修改
2021.08.05	V1.0	初始版本
2021.12.01	V1.1	NRST 名称统一改成 RESET
2022.05.06	V1.2	<ol style="list-style-type: none"> <li>1. 章节 4.3.10 RCC_LSCTRL 寄存器注意更新。</li> <li>2. 章节 5.3.8 修正 GPIOx_PBSC 寄存器描述。</li> <li>3. 章节 10.3.2 修正图 10-8 和 10-9。</li> <li>4. 章节 20.3.13 修正验证 RTC 校准描述。</li> </ol>

NATIONS CONFIDENTIAL

## 25 声明

国民技术股份有限公司（以下简称国民技术）保有不事先通知而修改的权利。国民技术认为提供的信息准确可信，尽管这样，国民技术对准确性和可靠性不承担任何责任。购买前请获取器件说明的最新版本。在法律允许的最大范围内，任何明示、暗示或保证，包括但不限于适销性、特定用途适用性和第三方知识产权侵权责任，国民技术概不承担不承认。在任何情况下，国民技术均不对因使用本产品而产生的任何直接、间接、偶然、特殊、惩戒性或后果性损害负责，即使已告知可能发生此类损害。不建议应用于与生命相关的设备和系统。国民技术对本手册拥有专属产权。未经明确许可，任何人不得以任何理由对本手册的全部或部分进行使用、复制、修改、抄录、传播。

NATIONS CONFIDENTIAL