



特性

低功耗、8/16通道高集成度的多路复用模数转换器(ADC)

内部集成:

精密模拟输入缓冲器和参考输入缓冲器

2.5 V精密基准电压源(3.5 ppm/°C)

交叉点多路复用器(支持系统诊断功能)

8个全差分或16个单端通道

时钟振荡器

GPIO和GPO引脚, 并可用于控制外部多路复用器

快速且灵活的输出速率: 1.25 SPS至31.25 kSPS

通道扫描数据速率: 6.21 kSPS/通道数(建立时间: 161 μs)

性能规格

17.5位无噪声分辨率(31.25 kSPS)

24位无噪声分辨率(1.25 SPS)

积分非线性(INL): ±3 ppm/FSR

50 Hz和60 Hz抑制: 85 dB, 建立时间为50 ms

工作电压: 3.3 V或5 V

单电源

3.3 V或5 V AVDD1、2 V至5 V AVDD2, 和2 V至5 V IOVDD

可选分离电源:

AVDD1和AVSS ± 2.5 V或AVDD1和AVSS ± 1.65 V

电流: 1.4 mA

3/4线串行数字接口(SCLK上为施密特触发器)

CRC差错校验

SPI、QSPI、MICROWIRE和DSP兼容

封装: 40引脚6 mm × 6 mm LFCSP封装

温度范围: -40°C至+105°C

应用

过程控制: PLC/DCS模块

电压、电流、温度和压力测量

流量计

医疗与科学多通道仪器

地震仪器仪表

化学分析仪器: 色谱分析

概述

快速建立、高精度、低功耗、8/16通道、多路复用ADC, 适用于低带宽输入信号, 集成输入缓冲器。

集成精密2.5 V低漂移(3.5 ppm/°C)带隙基准电压源和振荡器。

8个灵活设置, 可以配置输出数据速率、数字滤波器模式、失调/增益误差校正、基准电压选择、缓冲器使能等。

Sinc5 + sinc1滤波器可最大程度提升通道扫描速率, 而sinc3滤波器可最大程度提升分辨率并增强50 Hz/60 Hz抑制性能, 另外还有4个选项可供选择, 最大程度降低噪声。

集成诊断功能, 包括CRC、寄存器校验和、温度传感器、交叉点多路复用器、激励电流和GPIOs/GPO。

功能框图

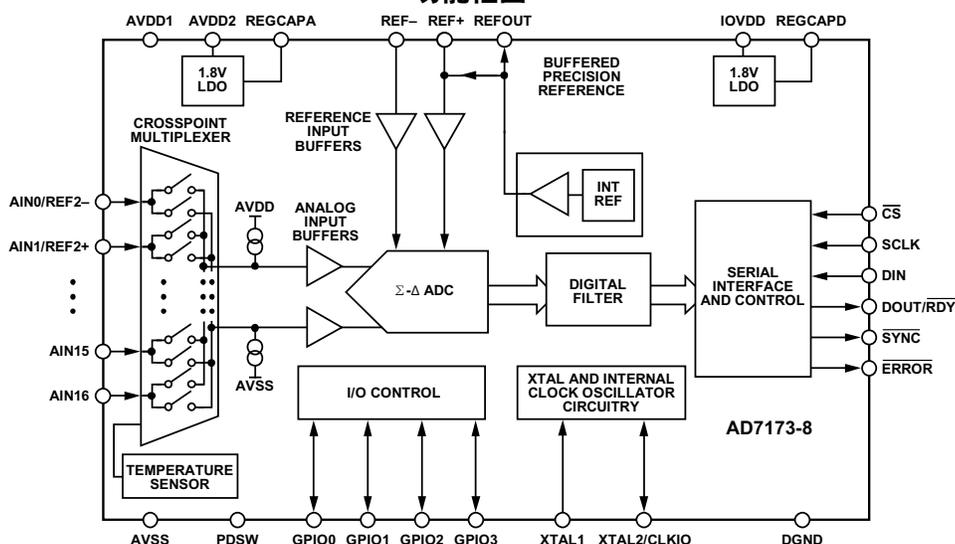


图1.

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

©2013 Analog Devices, Inc. All rights reserved.

Technical Support

www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	诊断.....	42
概述.....	1	通用I/O.....	42
功能框图.....	1	16位/24位转换.....	42
修订历史.....	2	串行接口复位(DOUT_RESET).....	42
技术规格.....	3	同步.....	42
时序特性.....	7	错误标志.....	43
绝对最大额定值.....	8	DATA_STAT.....	43
热阻.....	8	IOSTRENGTH位.....	43
ESD警告.....	8	接地和布局.....	44
引脚配置和功能描述.....	9	寄存器汇总.....	45
典型性能参数.....	11	寄存器详解.....	47
噪声性能和分辨率.....	17	通信寄存器.....	47
开始使用.....	18	状态寄存器.....	49
电源.....	19	ADC模式寄存器.....	50
数字通信.....	19	接口模式寄存器.....	51
配置概述.....	21	寄存器检查.....	52
电路描述.....	26	数据寄存器.....	52
模拟输入.....	26	GPIO配置寄存器.....	53
基准电压选项.....	28	ID寄存器.....	54
时钟源.....	28	通道寄存器0.....	54
数字滤波器.....	30	通道寄存器1至通道寄存器15.....	56
Sinc5 + Sinc1滤波器.....	30	设置配置寄存器0.....	57
Sinc3滤波器.....	31	设置配置寄存器1至设置配置寄存器7.....	58
单周期建立.....	32	滤波器配置寄存器0.....	59
增强型50 Hz和160 Hz抑制滤波器.....	32	滤波器配置寄存器1至滤波器配置寄存器7.....	60
工作模式.....	35	失调寄存器0.....	61
连续转换模式.....	35	失调寄存器1至失调寄存器7.....	61
连续读取模式.....	36	增益寄存器0.....	61
单次转换模式.....	37	增益寄存器1至增益寄存器7.....	61
待机和掉电模式.....	38	外形尺寸.....	62
校准模式.....	38	订购指南.....	62
数字接口.....	39		
校验和保护.....	39		
CRC计算.....	40		

修订历史

2013年10月—修订版0：初始版

技术规格

除非另有说明, AVDD1 = 3.0 V至5.5 V, AVDD2 = 2 V至5.5 V, IOVDD = 2 V至5.5 V, AVSS = DGND = 0 V, REF+ = 2.5 V, REF- = AVSS, 内部主时钟 = 2 MHz, $T_A = T_{MIN}$ 至 T_{MAX} 。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
ADC速度和性能					
输出数据速率(ODR)		1.25		31250	SPS
无失码 ¹	不包括31.25 kSPS时的sinc3滤波器	24			位
分辨率	见表6				
噪声	见表6				
无噪声分辨率	Sinc5 + Sinc1滤波器(默认)				位
	31.25 kSPS, REF+ = 5 V		17.5		位
	2.6 kSPS, REF+ = 5 V		18.4		位
	1.25 SPS, REF+ = 5 V		24		位
精度					
积分非线性(INL)	2.5 V基准电压源		±3	±7.5	ppm/FSR
	5 V基准电压源		±5		ppm/FSR
失调误差 ²	内部短路		±40		μV
失调漂移	内部短路		±350		nV/°C
失调漂移与时间的关系 ³			±450		nV/1000小时
增益误差 ²	25°C, AVDD1 = 5 V		±10	±50	ppm/FSR
增益漂移与温度的关系 ¹			±0.5	±1	ppm/FSR/°C
增益温漂与时间的关系 ³			±3		ppm/FSR/1000小时
抑制					
电源抑制	AVDD1和AVDD2, $V_{IN} = 1 V$		90		dB
共模抑制	$V_{IN} = 0.1 V$				
DC时		95			dB
50 Hz和60 Hz时 ¹	20 SPS ODR(后置滤波器), 50 Hz ± 1 Hz和60 Hz ± 1 Hz	120			dB
工频干扰抑制 ¹	50 Hz ± 1 Hz和60 Hz ± 1 Hz				
	内部时钟, 20 SPS ODR(后置滤波器)	71	90		dB
	外部时钟, 20 SPS ODR(后置滤波器)	85	90		dB
模拟输入					
差分输入电压范围			±V _{REF}		V
绝对AIN电压限值 ¹					
禁用缓冲器		AVSS - 0.05		AVDD1 + 0.05	V
使能缓冲器		AVSS		AVDD1 - 1.1	V
模拟输入电流					
使能缓冲器	使能单周期建立(默认)				
输入电流			±2		nA
输入电流漂移			±25		pA/°C
禁用缓冲器					
输入电流			±6		μA/V
输入电流漂移	外部时钟		±0.1		nA/V/°C
	内部时钟(±2.5%时钟)		±0.5		nA/V/°C
串扰	1 kHz输入		-120		dB
内部基准电压源					
输出电压	REFOUT与AVSS之间有一个100 nF外部电容 REFOUT相对于AVSS		2.5		V
初始精度 ¹	$T_A = 25°C^4$	-0.1		+0.1	V的百分比
温度系数					
0°C至+105°C			3.5	8	ppm/°C
-40°C至+105°C			3.5	10	ppm/°C
基准负载电流ILOAD	I _L	-10		+10	mA

AD7173-8

参数	测试条件/注释	最小值	典型值	最大值	单位
电源抑制 (电压调整率)	AVDD1和AVDD2		90		dB
负载调整率	$\Delta V_{OUT}/\Delta I_L$		140		ppm/mA
电压噪声	e_N , 0.1 Hz至10 Hz		6.5		μV rms
电压噪声密度	e_N , 1 kHz		215		nV/ \sqrt{Hz}
开启建立时间	100 nF电容		60		μs
长期稳定性 ³	1000小时		460		ppm
短路	I_{SC}		25		mA
外部基准电压源					
基准输入电压	基准输入 = (REF+) - (REF-)	1	2.5	AVDD1	V
绝对基准输入电压限值 ¹					
禁用缓冲器		AVSS - 0.05		AVDD1 + 0.05	V
使能缓冲器		AVSS		AVDD1	V
平均基准输入电流					
禁用缓冲器			± 9		$\mu A/V$
使能缓冲器			± 50		nA
平均基准输入电流漂移					
外部时钟	禁用缓冲器		± 5		nA/ $^{\circ}C$
内部时钟			± 6		nA/ $^{\circ}C$
工频干扰抑制 ¹	见“抑制”参数部分				
共模抑制			83		dB
温度传感器					
精度	用户自行在25 $^{\circ}C$ 校准后		± 2		$^{\circ}C$
灵敏度			477		$\mu V/^{\circ}C$
激励电流					
源/吸电流	必须使能模拟输入缓冲器		± 10		μA
电桥关断开关					
R_{ON}			24		Ω
容许电流				16	mA
通用I/O(GPIO0、GPIO1、GPO2、GPO3)	相对于AVSS				
输入模式漏电流 ¹		-10		+10	μA
悬空态输出电容			5		pF
AVDD1 - AVSS = 5 V					
输出高电压, V_{OH}^1	$I_{SOURCE} = 200 \mu A$	AVSS + 4			V
输出低电压, V_{OL}^1	$I_{SINK} = 800 \mu A$			AVSS + 0.4	V
输入高电压, V_{IH}^1		AVSS + 3			V
输入低电压, V_{IL}^1				AVSS + 0.7	V
AVDD1 - AVSS = 3.3 V					
输出高电压, V_{OH}^1	$I_{SOURCE} = 200 \mu A$	AVSS + 2.7			V
输出低电压, V_{OL}^1	$I_{SINK} = 800 \mu A$			AVSS + 0.27	V
输入高电压, V_{IH}^1		AVSS + 2			V
输入低电压, V_{IL}^1				AVSS + 0.45	V
时钟					
内部时钟					
频率			2		MHz
精度		-2.5		+2.5	%
占空比			50:50		
输出低电压, V_{OL}				0.4	V
输出高电压, V_{OH}		$0.8 \times IOVDD$			V
晶振					
频率		14	16	16.384	MHz
启动时间			10		μs
外部时钟(CLKIO)					
占空比 ¹	典型占空比50:50(最大值:最小值)	30:70	50:50	70:30	

参数	测试条件/注释	最小值	典型值	最大值	单位
逻辑输入					
输入高电压, V_{INH}^1	$2\text{ V} \leq \text{IOVDD} \leq 2.3\text{ V}$ $2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$	$0.65 \times \text{IOVDD}$ $0.7 \times \text{IOVDD}$			V
输入低电压, V_{INL}^1	$2\text{ V} \leq \text{IOVDD} \leq 2.3\text{ V}$ $2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$			$0.35 \times \text{IOVDD}$ 0.7	V
迟滞 ¹	$\text{IOVDD} > 2.7\text{ V}$ $\text{IOVDD} < 2.7\text{ V}$	0.08 0.04		0.25 0.2	V
漏电流		-10		+10	μA
逻辑输出(DOUT/RDY)					
输出高电压, V_{OH}^1	$\text{IOVDD} \geq 4.5\text{ V}, I_{SOURCE} = 1\text{ mA}$ $2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}, I_{SOURCE} = 500\text{ }\mu\text{A}$ $\text{IOVDD} < 2.7\text{ V}, I_{SOURCE} = 200\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$ $0.8 \times \text{IOVDD}$ $0.8 \times \text{IOVDD}$			V
输出低电压, V_{OL}^1	$\text{IOVDD} \geq 4.5\text{ V}, I_{SINK} = 2\text{ mA}$ $2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}, I_{SINK} = 1\text{ mA}$ $\text{IOVDD} < 2.7\text{ V}, I_{SINK} = 400\text{ }\mu\text{A}$			0.4 0.4 0.4	V
漏电流	浮空态	-10		+10	μA
输出电容	浮空态		10		pF
系统校准 ¹					
满量程校准限值				$1.05 \times \text{FS}$	V
零电平校准限值		$-1.05 \times \text{FS}$			V
满幅输出对应的输入范围		$0.8 \times \text{FS}$		$2.1 \times \text{FS}$	V
电源要求					
电源电压					
AVDD1 – AVSS		3.0		5.5	V
AVDD2 – AVSS		2		5.5	V
AVSS – DGND		-2.75		0	V
IOVDD – DGND		2		5.5	V
IOVDD – AVSS	AVSS < DGND			6.35	V
电源电流	所有输出空载				
完全工作模式					
AVDD1电流					
AVDD1 = 5 V(典型值), 5.5 V(最大值)	AIN \pm 和REF \pm 缓冲器禁用; 外部基准电压源		0.23	0.27	mA
	AIN \pm 和REF \pm 缓冲器禁用; 内部基准电压源		0.42	0.49	mA
	AIN \pm 和REF \pm 缓冲器使能; 外部基准电压源		2.12	2.71	mA
	每个使能的缓冲对: AIN+, AIN-和REF+, REF-		0.945	1.22	mA
AVDD1 = 3.3 V(典型值), 3.6 V(最大值)	AIN \pm 和REF \pm 缓冲器禁用; 外部基准电压源		0.16	0.19	mA
	AIN \pm 和REF \pm 缓冲器禁用; 内部基准电压源		0.34	0.4	mA
	AIN \pm 和REF \pm 缓冲器使能; 外部基准电压源		1.9	2.45	mA
	每个使能的缓冲对: AIN+, AIN-和REF+, REF-		0.87	1.13	mA
AVDD2电流	外部基准电压源		1	1.15	mA
	内部基准电压源		1.25	1.4	mA
IOVDD电流	外部时钟		0.24	0.39	mA
	内部时钟		0.52	0.76	mA
	外部晶振		0.9		mA
待机模式					
待机(LDO开启)	基准电压源关闭, 总功耗		25		μA
	基准电压源开启, 总功耗		400		μA
掉电模式	完全掉电、LDO、REF \pm		2	10	μA

AD7173-8

参数	测试条件/注释	最小值	典型值	最大值	单位
功耗	完全工作模式		3	9.96	mW
			7.35		mW
					mW
			10.4		mW
			20.4		mW
			28		mW
待机模式	基准电压源关闭, 所有电源 = 5 V	125			μW
掉电模式	基准电压源开启, 所有电源 = 5 V	2			mW
	完全掉电, 所有电源 = 5 V	10			μW
	完全掉电, 所有电源 = 5.5 V			55	μW

¹ 技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

² 经系统或内部零电平校准, 此失调误差与选定的编程输出数据速率所对应的噪声相当。系统满量程校准可以把增益误差降至与编程输出数据速率对应的噪声相当的水平。

³ 本技术规格为非累积性, 包括MSL预调理效应。

⁴ 本技术规格包括MSL预调理效应。

时序特性

除非另有说明，IOVDD = 2 V至5.5 V，DGND = 0 V，逻辑输入0 = 0 V，逻辑输入1 = IOVDD，C_{LOAD} = 20 pF。

表2.

参数	在T _{MIN} 、T _{MAX} 的限值	单位	测试条件/注释 ^{1,2}
SCLK脉宽			
t ₃	25	ns(最小值)	SCLK高电平脉宽
t ₄	25	ns(最小值)	SCLK低电平脉宽
读操作			
t ₁	0	ns(最小值)	\overline{CS} 下降沿到DOUT/ \overline{RDY} 有效时间
	15	ns(最大值)	IOVDD = 4.5 V至5.5 V
	40	ns(最大值)	IOVDD = 2 V至3.6 V
t ₂ ³	0	ns(最小值)	SCLK有效沿到数据有效延迟 ⁴
	12	ns(最大值)	IOVDD = 4.5 V至5.5 V
	25	ns(最大值)	IOVDD = 2 V至3.6 V
t ₅ ⁵	2.5	ns(最小值)	无效沿后的总线释放时间 \overline{CS}
	20	ns(最大值)	
t ₆	0	ns(最小值)	SCLK无效沿到 \overline{CS} 无效沿
t ₇	10	ns(最小值)	SCLK无效沿到DOUT/ \overline{RDY} 高电平/低电平
写操作			
t ₈	0	ns(最小值)	\overline{CS} 下降沿到SCLK有效沿建立时间 ⁴
t ₉	8	ns(最小值)	数据有效到SCLK沿建立时间
t ₁₀	8	ns(最小值)	数据有效到SCLK沿保持时间
t ₁₁	5	ns(最小值)	\overline{CS} 上升沿到SCLK沿保持时间

¹ 样片在初次发布期间均经过测试，以确保符合标准要求。

² 参见图2和图3。

³ 输出跨越V_{OL}或V_{OH}限值所需的时间。

⁴ SCLK有效沿为SCLK的下降沿。

⁵ \overline{RDY} (在读取数据寄存器之后返回高电平。在单次转换模式和连续转换模式下，当 \overline{RDY} 为高电平时，如果需要，可以再次读取同一数据。必须确保后续读取操作不能接近下一次输出更新时间。如果使能连续读取功能，数字字只能被读取一次。

时序图

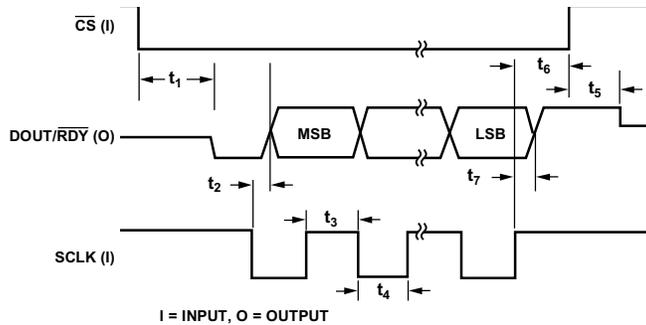


图2.读取周期时序图

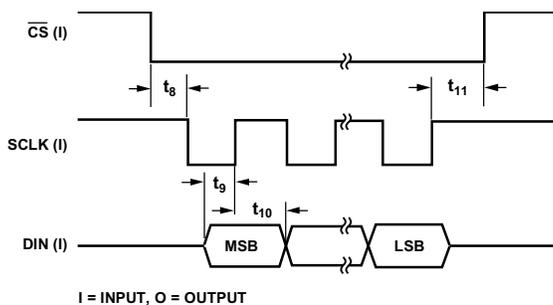


图3.写入周期时序图

AD7173-8

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
AVDD1、AVDD2至AVSS	-0.3 V至+6.5 V
AVDD1至DGND	-0.3 V至+6.5 V
IOVDD至DGND	-0.3 V至+6.5 V
IOVDD至AVSS	-0.3 V至+7.5 V
AVSS至DGND	-3.25 V至+0.3 V
模拟输入电压至AVSS	-0.3 V至AVDD1 + 0.3 V
基准输入电压至AVSS	-0.3 V至AVDD1 + 0.3 V
数字输入电压至DGND	-0.3 V至IOVDD + 0.3 V
数字输出电压至DGND	-0.3 V至IOVDD + 0.3 V
AIN[16:0]或数字输入电流	10 mA
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C
最高结温	150°C
引脚焊接，回流温度	260°C
ESD额定值(HBM)	4 kV

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 指定器件焊接在JEDEC测试板上以实现表贴封装。表4所示值基于仿真数据。

表4.热阻

封装类型	θ_{JA}	单位
40引脚6 mm × 6 mm LFCSP封装		
1层JEDEC板	114	°C/W
4层JEDEC板	54	°C/W
4层JEDEC板，带16个散热通孔	34	°C/W

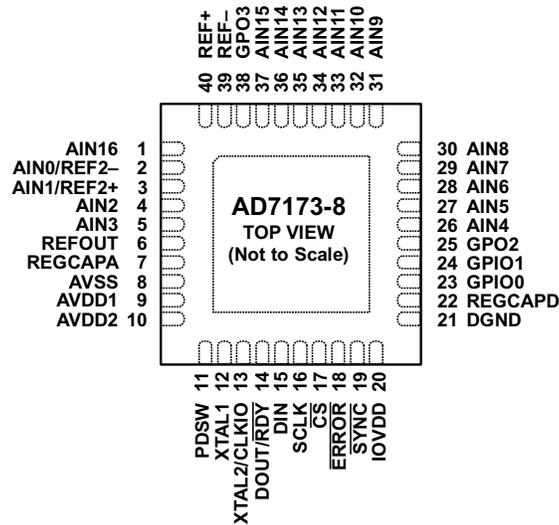
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. THE EXPOSED PAD SHOULD BE SOLDERED TO A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD TO CONFER MECHANICAL STRENGTH AND FOR HEAT DISSIPATION. THE EXPOSED PAD MUST BE CONNECTED TO AVSS THROUGH THIS PAD ON THE PCB.

11773-004

图4.引脚配置

表5.引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	AIN16	AI	模拟输入16。可通过交叉点多路复用器选择。
2	AIN0/REF2-	AI	模拟输入0 (AIN0)/基准电压源2，负输入(REF2-)。可以在REF2+与REF2-之间施加一个外部基准电压。REF2-的范围是AVSS至AVDD1 - 1 V。模拟输入0可通过交叉点多路复用器选择。基准电压源2可以通过设置配置寄存器中的REFSEL位选择。
3	AIN1/REF2+	AI	模拟输入1 (AIN0)/基准电压源2，正输入(REF2+)。可以在REF2+与REF2-之间施加一个外部基准电压。REF2+的范围是AVDD1 至AVSS + 1 V。模拟输入1可通过交叉点多路复用器选择。基准电压源2可以通过设置配置寄存器中的REFSEL位选择。
4	AIN2	AI	模拟输入2。可通过交叉点多路复用器选择。
5	AIN3	AI	模拟输入3。可通过交叉点多路复用器选择。
6	REFOUT	AO	内部基准电压源的缓冲输出。输出相对于AVSS为2.5 V。
7	REGCAPA	AO	模拟LDO稳压器输出。利用一个1 μF电容将此引脚去耦至AVSS。
8	AVSS	P	负模拟电源。此电源的范围是0 V到-2.75 V，标称设置为0 V。
9	AVDD1	P	模拟电源1。此电压相对于AVSS的范围是3.0 V(最小值)至5.5 V(最大值)。
10	AVDD2	P	模拟电源2。此电压相对于AVSS的范围是2 V至AVDD1。
11	PDSW	AO	连接到AVSS的掉电开关。此引脚由GPIOCON寄存器中的PDSW位进行控制。
12	XTAL1	AI	晶振的输入1。
13	XTAL2/CLKIO	AI/DI	晶振的输入2(XTAL2)/时钟输入或输出(CLKIO)。有关更多信息，请参阅ADCMODE寄存器中的CLOCKSEL位设置(表25)。
14	DOUT/RDY	DO	串行数据输出(DOUT)/数据就绪输出引脚(RDY)。此引脚具有双重功能。它可以用作串行数据输出引脚，以访问ADC的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。数据字/控制字信息在SCLK下降沿置于DOUT/RDY引脚上，且在SCLK上升沿有效。当CS为高电平时，DOUT/RDY输出为三态。当CS为低电平时，且不在读取寄存器，DOUT/RDY用作数据就绪引脚，变为低电平时表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/RDY下降沿可以用作处理器的中断，表示存在可用数据。

AD7173-8

引脚编号	引脚名称	类型 ¹	描述
15	DIN	DI	ADC输入移位寄存器的串行数据输入。该移位寄存器中的数据传至ADC内的控制寄存器，通信寄存器的寄存器地址(RA)位确定适当的寄存器。数据在SCLK的上升沿逐个输入。
16	SCLK	DI	串行时钟输入。用于与ADC进行数据传输。SCLK具有施密特触发式输入，因而该接口适合光隔离应用。
17	\overline{CS}	DI	片选输入引脚。这是一个低电平有效逻辑输入，用于选择ADC， \overline{CS} 可以用来在串行总线上具有多个器件的系统中选择ADC。 \overline{CS} 可以用硬连线方式置为低电平，使得ADC能以3线式模式工作，使用SCLK、DIN和DOUT与器件接口。当 \overline{CS} 为高电平时，DOUT/RDY输出为三态。
18	\overline{ERROR}	DI/O	此引脚可以用于下列三种模式之一： 低电平有效错误输入模式。此模式将STATUS寄存器的ADC_ERROR位设为1。 低电平有效、开漏错误输出模式。STATUS寄存器错误位映射到 \overline{ERROR} 引脚。多个器件的 \overline{ERROR} 引脚可以连接到同一个上拉电阻，这样就可以观察到任何器件的错误。 通用输出模式。此引脚的状态由GPIOCON寄存器的ERR_DAT位控制。此引脚参考IOVDD与DGND之间的电平，而不是GPIO1和GPIO2引脚使用的AVDD1和AVSS电平。这种模式下，该 \overline{ERROR} 引脚有一个有源上拉电阻。
19	SYNC	DI	同步输入。在使用多个AD7173-8器件时，允许对数字滤波器和模拟调制器进行同步。
20	IOVDD	P	数字I/O电源电压。IOVDD电压范围是2 V至5 V。IOVDD与AVDD1和AVDD2无关。例如，当AVDD1或AVDD2为5 V时，IOVDD可采用3.3 V工作，反之亦然。如果AVSS设置为-2.5 V，则IOVDD上的电压不得超过3.6 V。
21	DGND	P	数字地。
22	REGCAPD	AO	数字LDO稳压器输出。此引脚仅用于去耦。利用一个1 μ F电容将此引脚去耦至DGND。
23	GPIO0	DI/O	通用输入/输出。该引脚上的逻辑输入/输出以AVDD1和AVSS电源为基准。
24	GPIO1	DI/O	通用输入/输出。该引脚上的逻辑输入/输出以AVDD1和AVSS电源为基准。
25	GPO2	DO	通用输出。该引脚上的逻辑输出以AVDD1和AVSS电源为基准。
26	AIN4	AI	模拟输入4。可通过交叉点多路复用器选择。
27	AIN5	AI	模拟输入5。可通过交叉点多路复用器选择。
28	AIN6	AI	模拟输入6。可通过交叉点多路复用器选择。
29	AIN7	AI	模拟输入7。可通过交叉点多路复用器选择。
30	AIN8	AI	模拟输入8。可通过交叉点多路复用器选择。
31	AIN9	AI	模拟输入9。可通过交叉点多路复用器选择。
32	AIN10	AI	模拟输入10。可通过交叉点多路复用器选择。
33	AIN11	AI	模拟输入11。可通过交叉点多路复用器选择。
34	AIN12	AI	模拟输入12。可通过交叉点多路复用器选择。
35	AIN13	AI	模拟输入13。可通过交叉点多路复用器选择。
36	AIN14	AI	模拟输入14。可通过交叉点多路复用器选择。
37	AIN15	AI	模拟输入15。可通过交叉点多路复用器选择。
38	GPO3	DO	通用输出。该引脚上的逻辑输出以AVDD1和AVSS电源为基准。
39	REF-	AI	基准1输入负端。REF-的范围是AVSS至AVDD1 - 1 V。基准电压源1可以通过设置配置寄存器中的REFSEL位选择。
40	REF+	AI	基准1输入正端。可以在REF+与REF-之间施加一个外部基准电压。REF+的范围是AVDD1至AVSS + 1 V。基准电压源1可以通过设置配置寄存器中的REFSEL位选择。
	EP	P	裸露焊盘。裸露焊盘应焊接到PCB上位于裸露焊盘下方的一块相似的焊盘上，以便为封装提供机械强度，同时也有利于散热。裸露焊盘必须通过PCB上的这块焊盘连接至AVSS。

¹ AI = 模拟输入，AO = 模拟输出，DI/O = 双向数字输入/输出，DO = 数字输出，DI = 数字输入，P = 电源。

典型性能参数

除非另有说明, AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V。

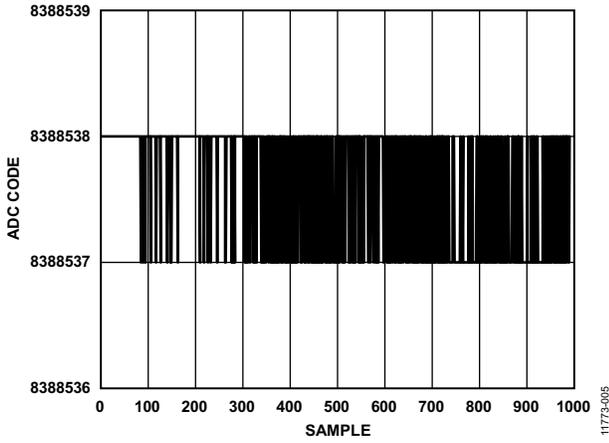


图5.噪声(输出数据速率 = 1.25 SPS, 模拟输入缓冲器禁用)

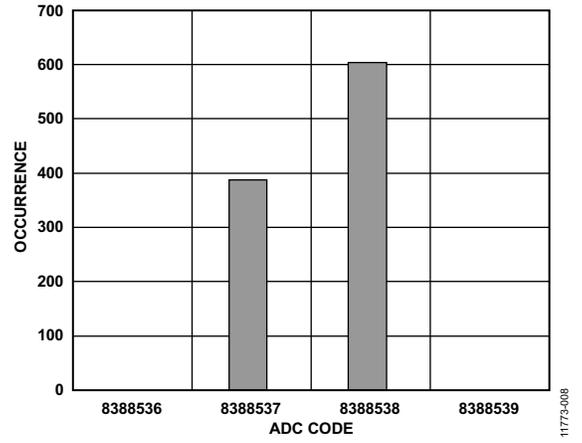


图8.噪声分布直方图(输出数据速率 = 1.25 SPS, 模拟输入缓冲器禁用)

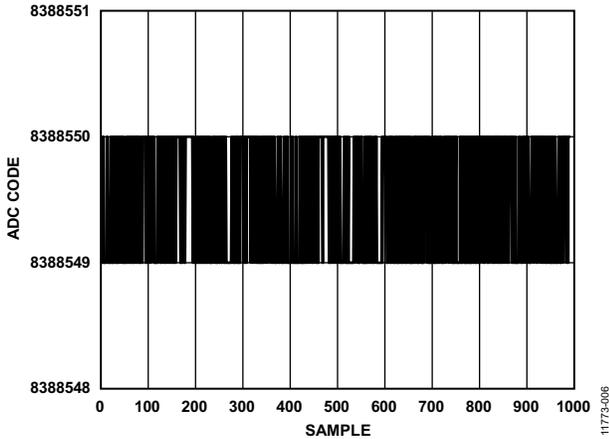


图6.噪声(输出数据速率 = 1.25 SPS, 模拟输入缓冲器使能)

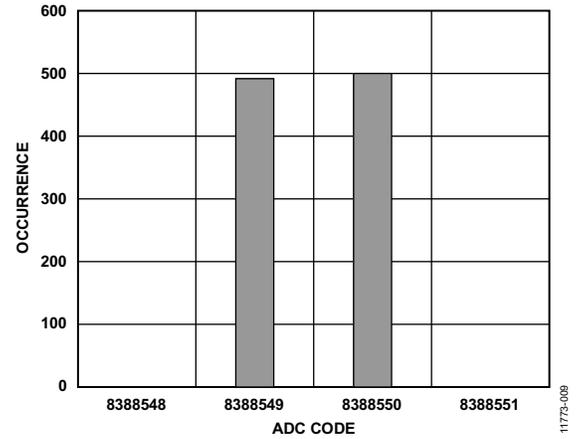


图9.噪声分布直方图(输出数据速率 = 1.25 SPS, 模拟输入缓冲器使能)

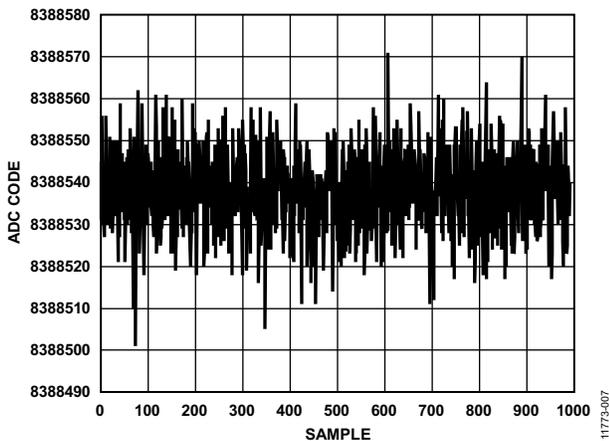


图7.噪声(输出数据速率 = 10 kSPS, 模拟输入缓冲器禁用)

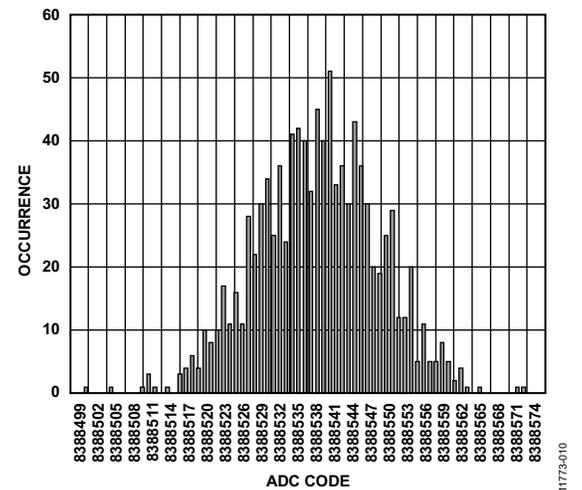
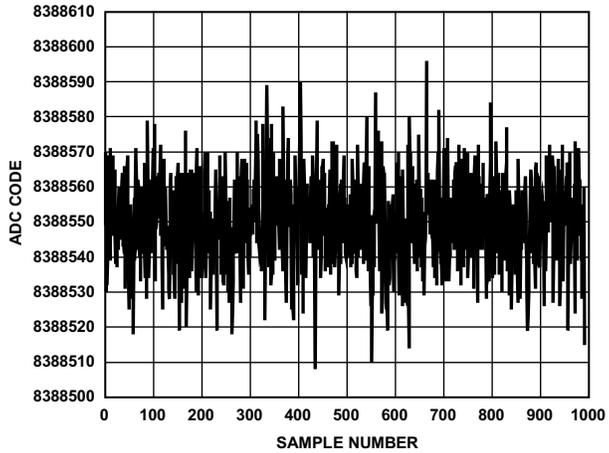


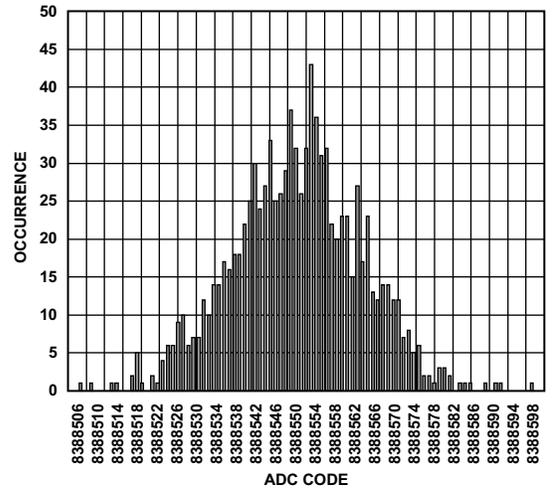
图10.噪声分布直方图(输出数据速率 = 10 kSPS, 模拟输入缓冲器禁用)

AD7173-8



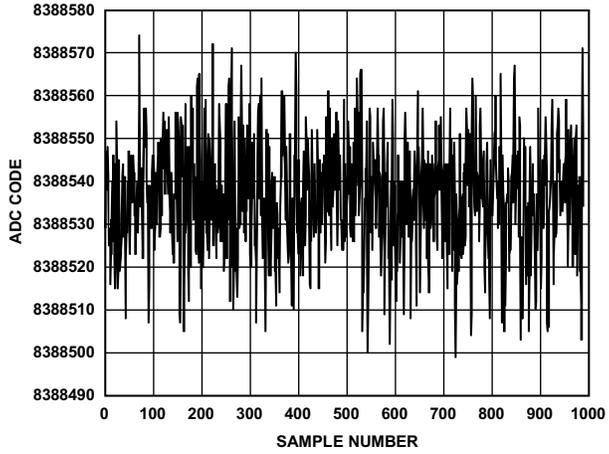
11773-011

图11.噪声(输出数据速率 = 10 kSPS, 模拟输入缓冲器使能)



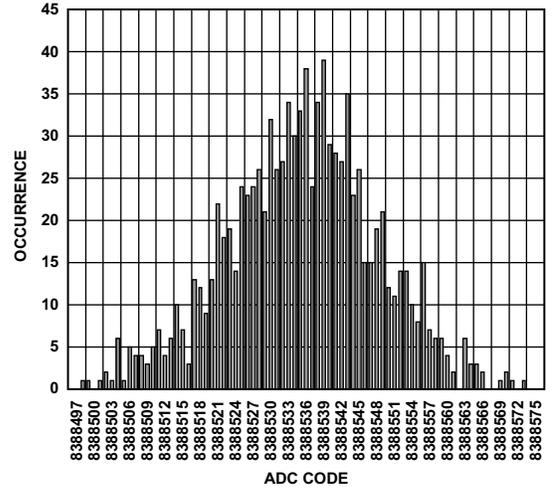
11773-014

图14.噪声分布直方图(输出数据速率 = 10 kSPS, 模拟输入缓冲器使能)



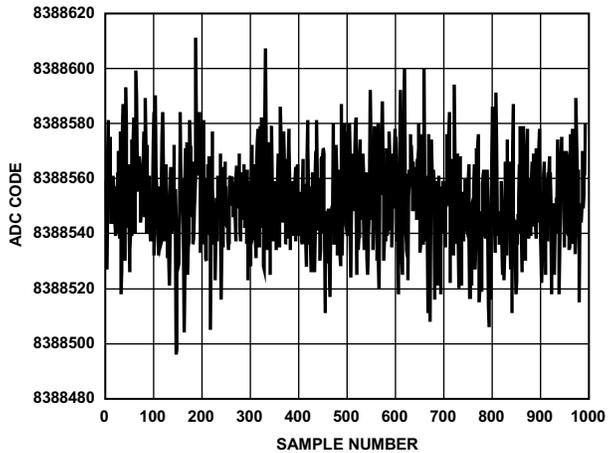
11773-012

图12.噪声(输出数据速率 = 31.25 kSPS, 模拟输入缓冲器禁用)



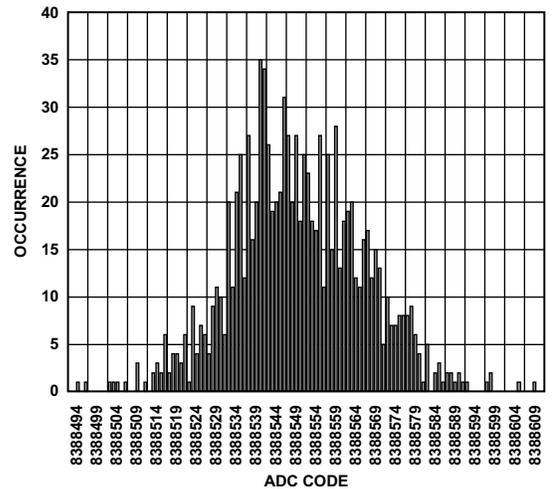
11773-015

图15.噪声分布直方图(输出数据速率 = 31.25 kSPS, 模拟输入缓冲器禁用)



11773-013

图13.噪声(输出数据速率 = 31.25 kSPS, 模拟输入缓冲器使能)



11773-016

图16.噪声分布直方图(输出数据速率 = 31.25 kSPS, 模拟输入缓冲器使能)

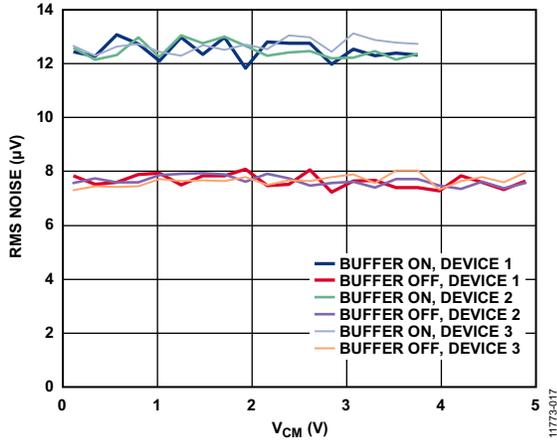


图17.RMS噪声与共模输入电压的关系

11773-017

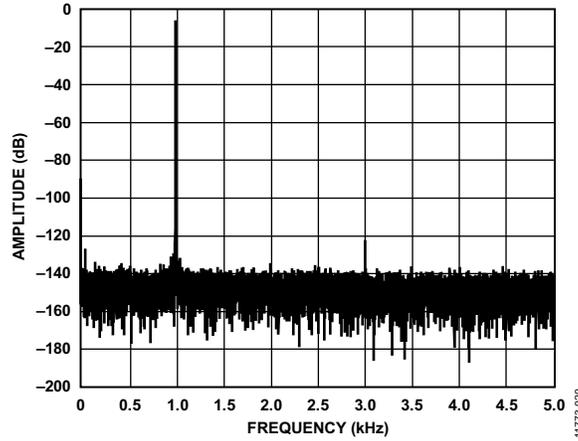


图20.ADC输出FFT; 1 kHz输入音, -6 dBFS输入FFT
(输出数据速率 = 10 kSPS, 外部基准电压源, 外部时钟, 缓冲器使能)

11773-020

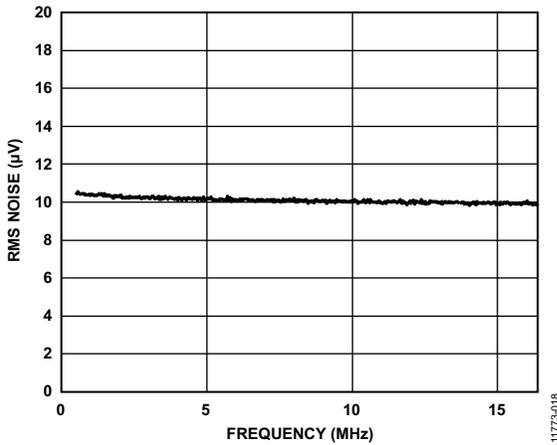


图18.RMS噪声与主时钟频率(输出数据速率 = 31.25 kSPS, 模拟输入缓冲器使能)

11773-018

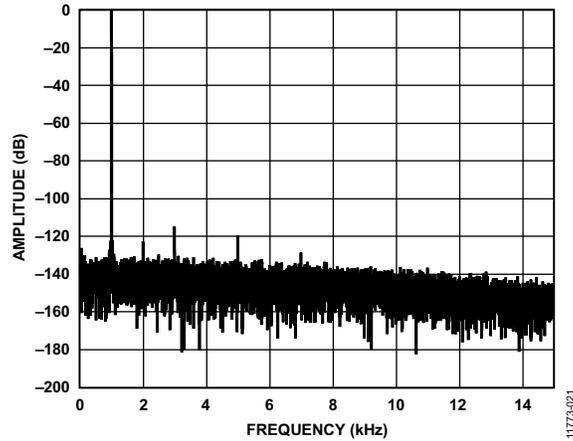


图21.ADC输出FFT; 1 kHz输入音, -0.5 dBFS输入FFT
(输出数据速率 = 31.25 kSPS, 外部基准电压源, 外部时钟, 缓冲器使能)

11773-021

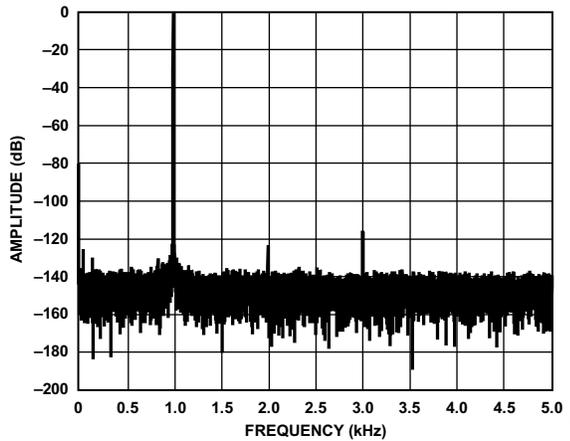


图19.ADC输出FFT; 1 kHz输入音, -0.5 dBFS输入FFT
(输出数据速率 = 10 kSPS, 外部基准电压源, 外部时钟, 缓冲器使能)

11773-019

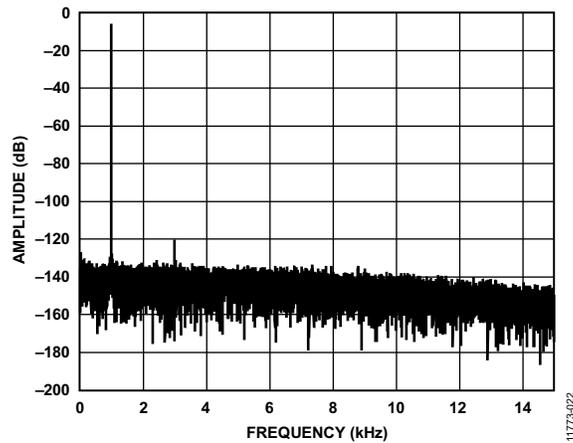


图22.ADC输出FFT; 1 kHz输入音, -6 dBFS输入FFT
(输出数据速率 = 31.25 kSPS, 外部基准电压源, 外部时钟, 缓冲器使能)

11773-022

AD7173-8

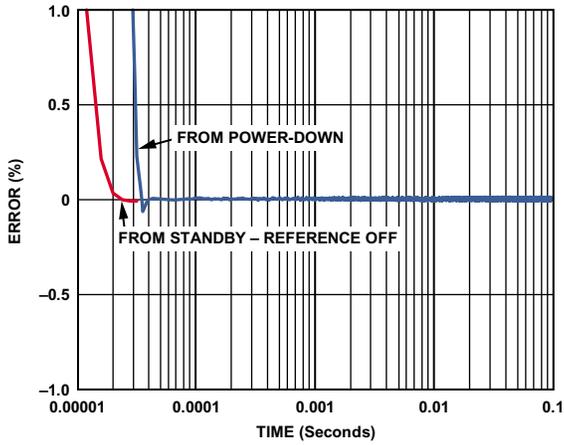


图23.内部基准电压源建立时间

11773-023

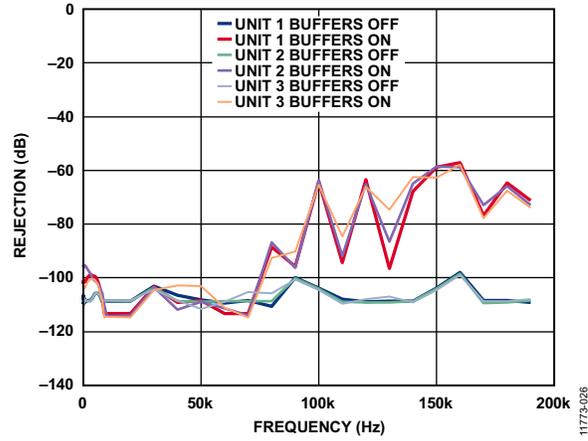


图26.共模抑制比与频率的关系(输出数据速率 = 31.25 kSPS)

11773-026

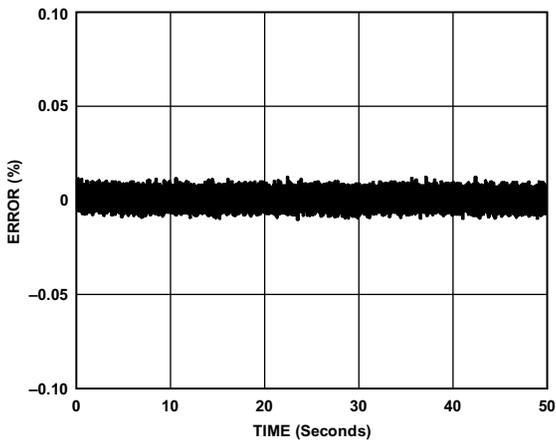


图24.内部基准电压源建立时间(扩展)

11773-024

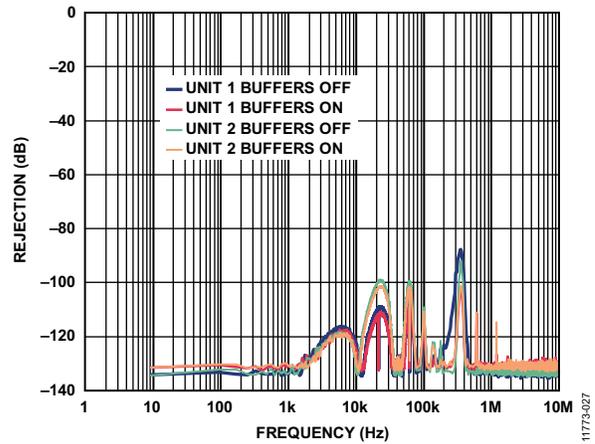


图27.电源抑制比与频率的关系

11773-027

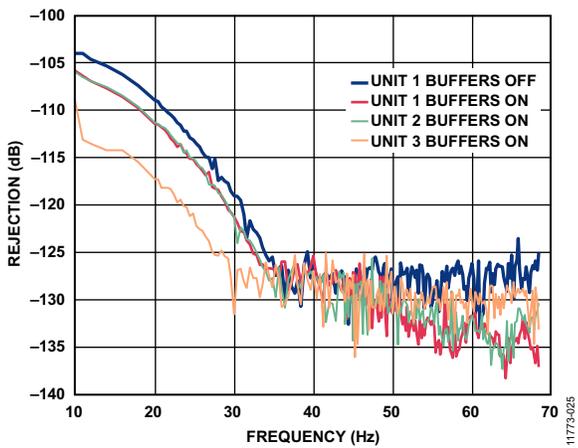
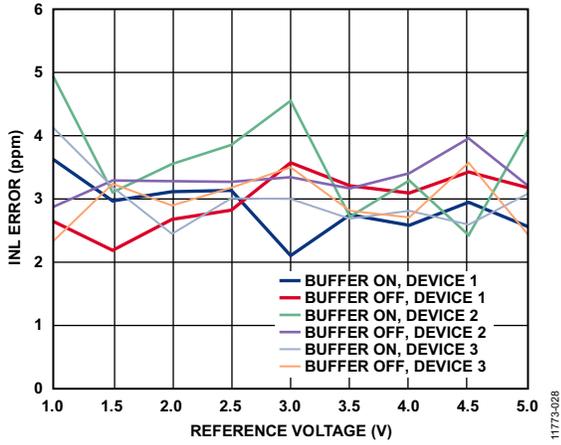


图25.共模抑制比(10 Hz至70 Hz)与频率的关系(20 SPS增强滤波器)

11773-025



28. 积分非线性(INL)误差与基准电压源的关系 (差分输入, 外部基准电压源)

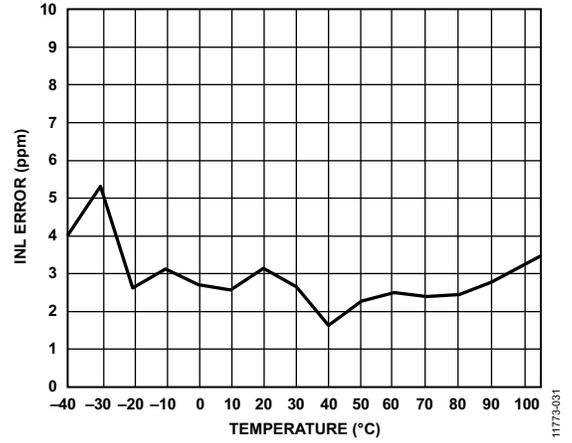


图31. 积分非线性(INL)误差与温度的关系(差分输入, $V_{REF} = 2.5\text{ V}$)

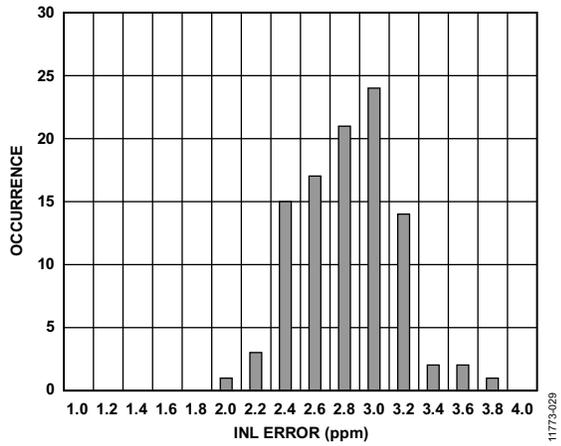


图29. 积分非线性(INL)分布直方图(差分输入, $V_{REF} = 2.5\text{ V}$ 外部)

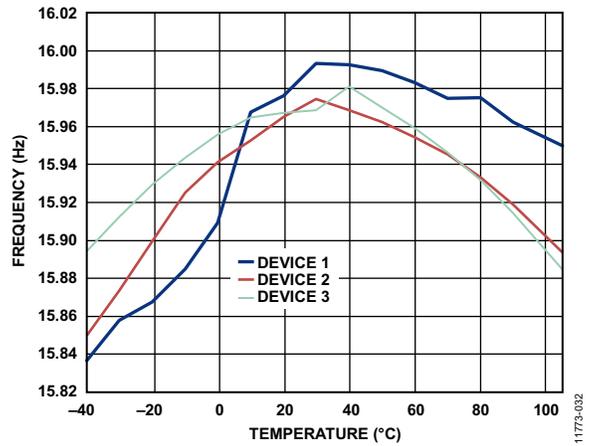


图32. 内部振荡器频率与温度的关系

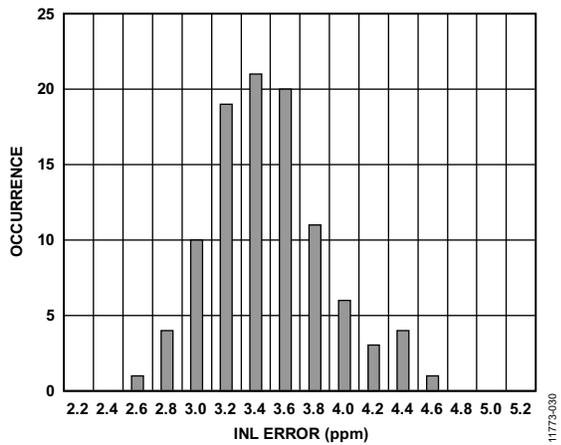


图30. 积分非线性(INL)分布直方图(差分输入, $V_{REF} = 5\text{ V}$ 外部)

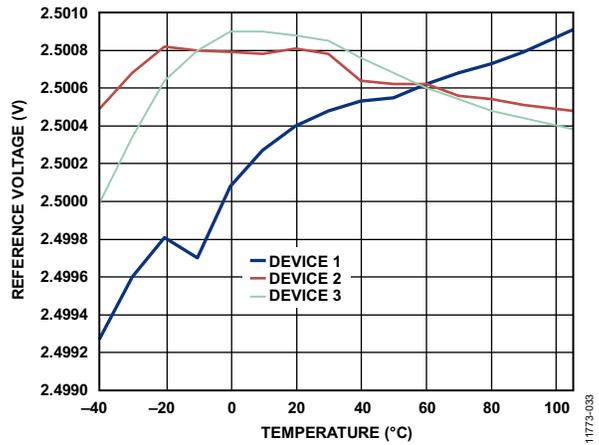


图33. 内部基准电压与温度的关系

AD7173-8

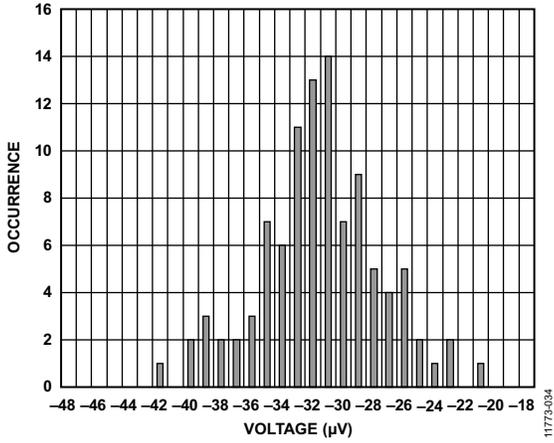


图34.失调误差分布直方图(内部短路)

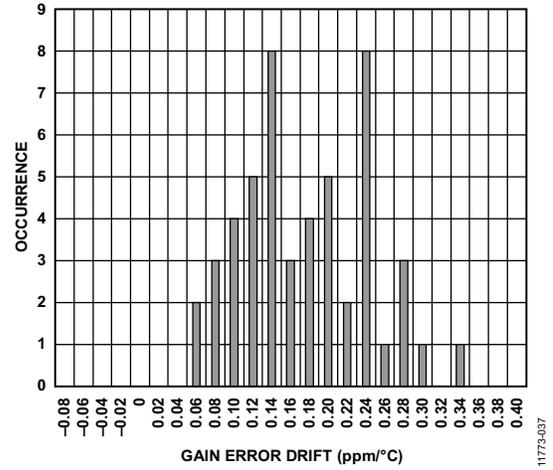


图37.增益误差漂移分布直方图

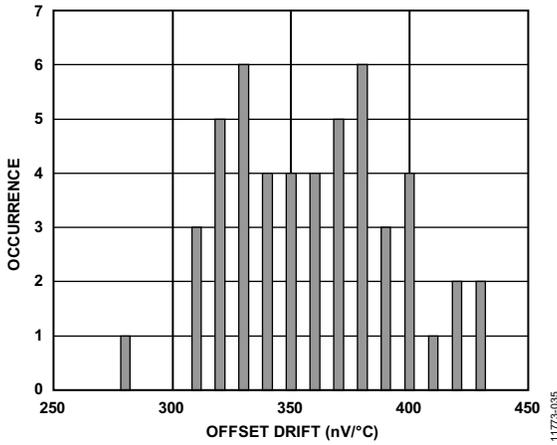


图35.失调误差漂移分布直方图(内部短路)

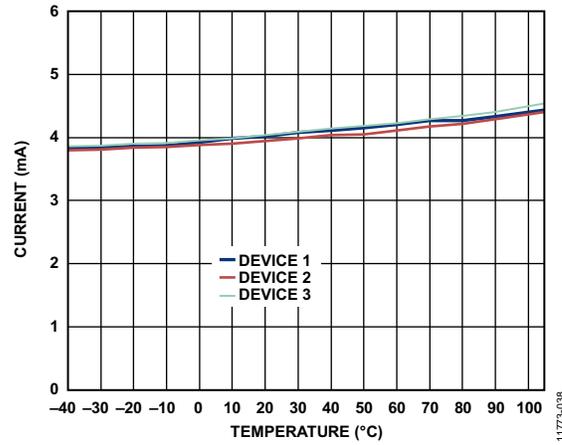


图38.功耗与温度的关系(连续转换模式, 缓冲器使能, 内部基准电压源, 内部时钟)

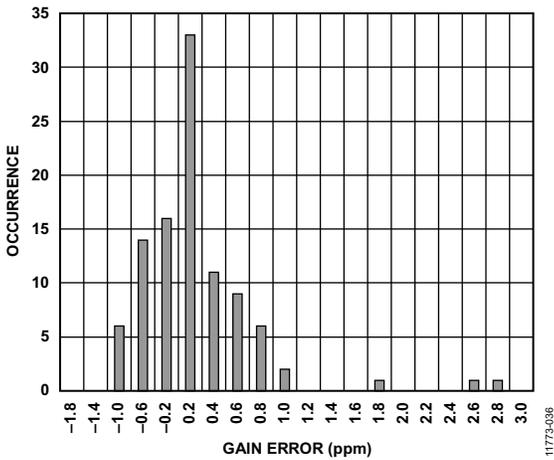


图36.增益误差分布直方图

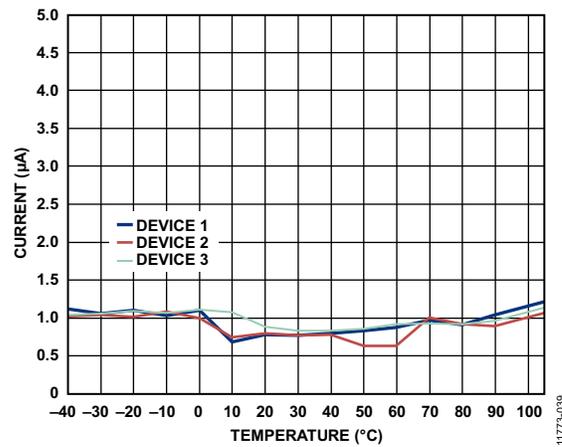


图39.功耗与温度的关系(掉电模式)

噪声性能和分辨率

表6所示为AD7173-8在不同输出数据速率和滤波器下的均方根噪声、峰峰值噪声、有效分辨率和无噪声(峰峰值)分辨率。所列数据是针对双极性输入范围以及采用5 V外部基准电压源而言。

这些值是在单个通道上连续转换ADC时，差分输入电压为0 V产生的典型值。必须注意，峰峰值分辨率是根据峰峰值

噪声计算得出。峰峰值分辨率表示无闪烁码的分辨率。以最快速率使用sinc3滤波器时分辨率会受限于量化噪声。该限制会导致该速率下的噪声规格下降，而且无法带来24位无失码结果。

表6.RMS噪声和峰峰值分辨率与输出数据速率的关系(使用Sinc5 + Sinc1滤波器(默认))¹

输出数据速率(SPS)	Sinc5 + Sinc1滤波器(默认)			
	RMS噪声($\mu\text{V rms}$)	有效分辨率(位)	峰峰值噪声($\mu\text{V rms}$)	峰峰值分辨率(位)
31,250	8.0	20.2	67	17.5
5208	4.5	21.1	30	18.3
1007	2.2	22.2	15	19.3
381	1.3	22.9	8.9	20.1
100.5	0.71	23.8	5.1	21
20.01	0.32	24	1.7	22.2
5	0.15	24	0.75	23.4
1.25	0.07	24	0.32	24

¹ 仅限选定速率，1000样本。

表7.RMS噪声和峰峰值分辨率与输出数据速率的关系(使用Sinc3滤波器)¹

输出数据速率(SPS)	Sinc3滤波器			
	RMS噪声($\mu\text{V rms}$)	有效分辨率(位)	峰峰值噪声($\mu\text{V rms}$)	峰峰值分辨率(位)
31,250	210	15.5	1665	12.8
5208	3.6	21.4	28	18.7
1008	1.5	22.7	12	19.9
400.6	1	23.3	6.6	20.5
100.5	0.55	24	3.5	21.4
20.01	0.25	24	1.2	22.4
5	0.11	24	0.56	23.4
1.25	0.07	24	0.27	24

¹ 仅限选定速率，1000样本。

AD7173-8

开始使用

AD7173-8是一款快速建立、高分辨率、多路复用ADC，配置灵活。

- 8路全差分或16路单端模拟输入。
- 交叉点多路复用器。选择任何模拟输入组合作为要转换的配对。该信号可以路由至输入缓冲器以及调制器正或负输入。
- ADC输入。可选为全差分输入或单端输入。
- 各设置独立配置能力。最多可以定义8种不同的设置。可以将不同的设置映射到各通道。每种设置均支持用户配置以下各项：
 - 输出数据速率
 - 数字滤波器模式
 - 失调/增益误差校正
 - 基准电压源选择(内部/外部)
 - 模拟和参考输入缓冲器使能
 - 数字输出编码

AD7173-8内置一个2.5 V精密低漂移(3.5 ppm/°C)带隙基准电压源。可以选择此基准电压源用于ADC转换，从而减少外部元件数量。使能时，内部基准电压源可以通过REFOUT引脚输出，用作外部电路的低噪声偏置电压。例子之一是利用REFOUT信号设置外部单端-差分放大器的输入共模电压。

AD7173-8内置两个独立的线性稳压器模块，分别用于模拟和数字电路。模拟LDO将AVDD2电源调节到1.8 V，以便为ADC内核供电。用户可以将AVDD1和AVDD2电源连在一起，此时连接最简单。如果系统中已经有一个2 V至5.5 V(最小值至最大值)的干净模拟电源轨，用户也可以选择将此电源轨连接到AVDD2输入，从而降低功耗。

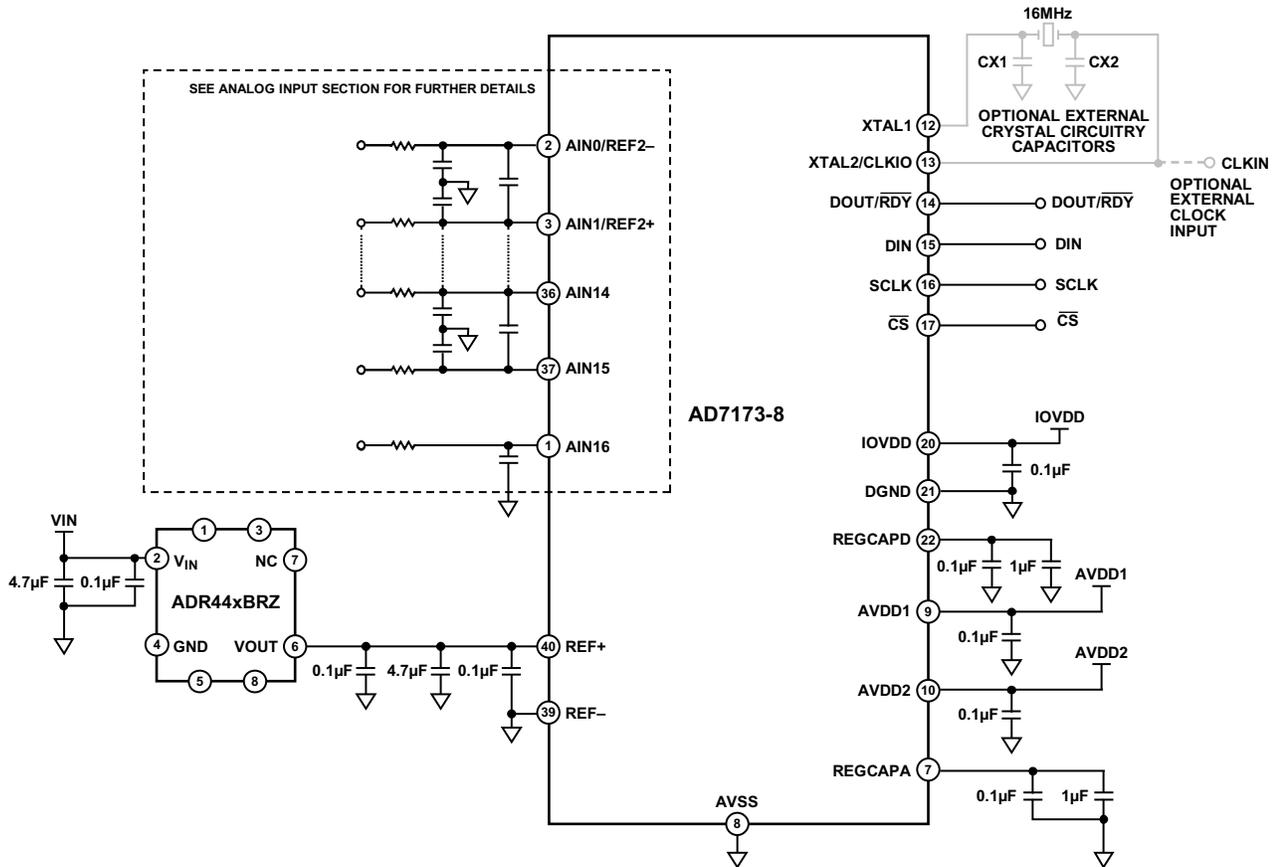


图40. 典型连接图

用于数字IOVDD电源的线性稳压器执行类似的功能，将施加于IOVDD引脚的输入电压调节至1.8 V，用于内部数字滤波。串行接口信号始终采用IOVDD电源工作。这意味着，如果将3.3 V电压施加于IOVDD引脚，接口逻辑输入和输出将以此电平工作。

AD7173-8适合类型广泛的应用，可提供高分辨率和高精度。应用情形举例如下：

- 利用内部多路复用器快速扫描模拟输入通道
- 利用外部多路复用器快速扫描模拟输入通道
- 在多通道或每通道ADC应用中以较低速度实现高分辨率
- 每通道一个ADC；快速低延迟输出支持在外部微控制器、DSP或FPGA中进一步实施特定应用滤波

电源

AD7173-8可以采用3.3 V或5 V电源电压。

器件有三个独立的电源引脚：AVDD1、AVDD2和IOVDD。

- AVDD1和AVDD2以AVSS为基准。
- AVDD2为给ADC供电的内部稳压器提供电源。
- AVDD1和AVDD2可以连在一起，以方便操作。
- IOVDD以DGND为基准。电源设置SPI接口上的接口逻辑电平，并为一个内部稳压器供电以便进行数字处理。

单电源供电(AVSS = DGND)

当AD7173-8以连接至AVDD1的单电源供电时，电源可以为3.3 V，也可为5 V。在该配置下，AVSS和DGND可以共同短接在一个接地层上。在该设置下，需要一个外部电平转换电路，以便全面使用差分输入来转换共模电压。

AVDD2是内部稳压器的输入。将AVDD2连接至AVDD1，以方便操作。否则，如果系统中还有一个独立的电源可用，则可施加2 V至5.5 V的电压。在该单极性输入配置中，IOVDD的范围为2 V至5.5 V。

分离电源供电(AVSS ≠ DGND)

AD7173-8器件能采用设为负电压的AVSS工作，允许施加真正双极性输入。这样即可允许以0 V为中心的全差分输入信号，并且不需要外部电平转换电路。例如，对于5 V分离电源，AVDD1 = 2.5 V且AVSS = -2.5 V。这种情况下，AD7173-8在内部对信号进行电平转换，使数字输出可以在DGND(标称值为0 V)与IOVDD之间正常工作。

在AVDD1和AVSS采用分离电源时，必须考虑绝对最大额定值(参见“绝对最大额定值”部分)。确保IOVDD设为3.6 V以下，以保持于器件的绝对最大额定值范围以内。

数字通信

AD7173-8有一个3线或4线SPI接口，该接口与QSPI™、MICROWIRE®和DSP兼容。该接口以SPI模式3工作，在CS接低电平时也能工作。在SPI模式3下，SCLK空闲时为高电平，SCLK的下降沿为驱动沿，上升沿为采样沿。这意味着，数据在下降/驱动沿输出，在上升/采样沿输入。



图41.SPI模式3 SCLK沿

11773-041

AD7173-8

访问ADC寄存器映射

通信寄存器控制对ADC全部寄存器映射的访问。此寄存器是一个8位只写寄存器。上电或复位后，数字接口默认处于期待对通信寄存器执行一个写操作的状态；因此，所有通信均从写入通信寄存器开始。

写入通信寄存器的数据决定要访问哪一个寄存器，以及下一个操作是读操作还是写操作。寄存器地址位(RA[5:0])决定读或写操作的目标寄存器。

当对选定寄存器的读或写操作完成后，接口返回到默认状态，即期待对通信寄存器执行写操作的状态。

当接口同步丧失时，执行一个占用至少64个串行时钟周期的写操作，并使DIN处于高电平状态，可以复位整个器件，使ADC返回默认状态，包括寄存器内容。另外，如果CS配合数字接口使用，让CS变为高电平就能将数字接口重置为默认状态，并中止当前的任何操作。

图42和图43显示了对一个寄存器的读写操作：首先将一个8位命令写入通信寄存器，然后是针对寻址寄存器的数据。

要验证器件通信是否正常，建议读取ID寄存器。ID寄存器是一个只读寄存器，含有针对AD7173-8的值0x30DX。通信寄存器和ID寄存器详情参见表8和表9。

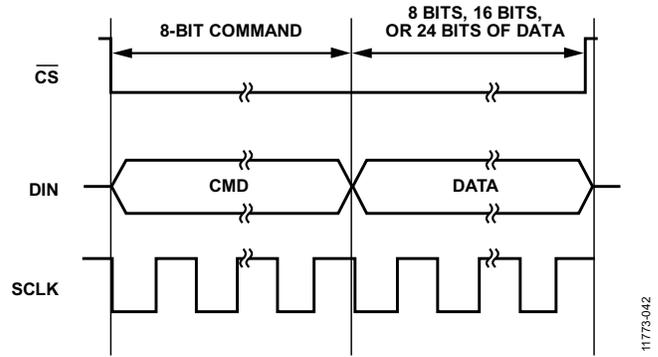


图42. 写入一个寄存器
(8位命令和寄存器地址，随后是8位、16位或24位数据；数据长度取决于所选的寄存器)

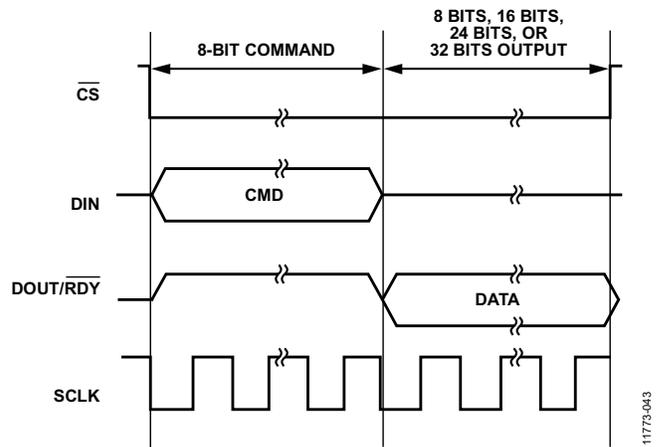


图43. 读取一个寄存器
(8位命令和寄存器地址，随后是8位、16位或24位数据；DOUT上的数据长度取决于所选的寄存器)

表8. 通信寄存器位图

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W

表9. ID寄存器位图

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x07	ID	[15:8]	ID[15:8]								0x30DX ¹	R
		[7:0]	ID[7:0]									

¹ X = 无关位。

配置概述

在加电或复位后，AD7173-8的默认配置如下：

- 通道配置。CH0使能，AIN0被选为正输入，AIN1被选为负输入。选择设置0。
- 设置配置。输入缓冲器禁用，选择外部基准电压源。
- ADC模式。连续转换模式、内部晶振器和单周期建立使能。
- 接口模式。CRC禁用，数据+状态输出禁用。

注意，表中只展示了少数几种寄存器设置选项，本列表只是一个示例。有关寄存器的完整信息，请参阅“寄存器详解”部分。

图44概要展示了ADC配置的建议更改流程，分为以下三个模块：

- 通道配置(见图44中的框A)
- 设置配置(见图44中的框B)
- ADC模式和接口模式配置(见图44中的框C)

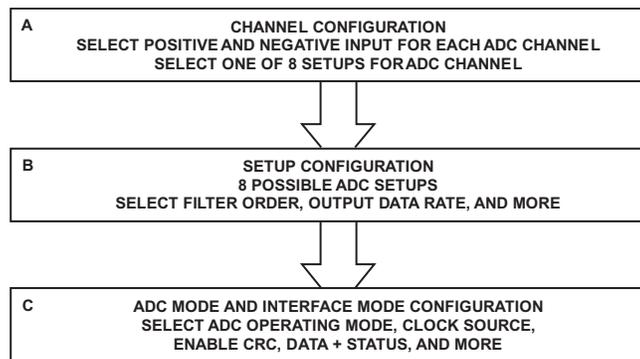


图44.建议ADC配置流程

表10.通道0寄存器位图

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL[2:0]			保留		AINPOS0[4:3]		0x8001	RW
		[7:0]	AINPOS0[2:0]			AINNEGO						

通道配置

AD7173-8有16个独立通道和8种独立设置。用户可以选择任意通道上的任何模拟输入对，还可为任何通道选择8种设置中的任意一种，让用户在通道配置方面拥有全面的灵活性。此外，在使用8个差分输入时，因为每个通道都可以拥有自己的专用设置，这样就可以按通道进行配置。

通道寄存器

通道寄存器用于选择17个模拟输入引脚(AIN0至AIN16)中的哪一个用作该通道的正模拟输入或负模拟输入。此寄存器还包含通道使能/禁用位和设置选择位，用于选择该通道使用8种可用设置中的哪一种。

当AD7173-8工作时有一个以上的通道被使能时，通道序列器将按顺序遍历各使能的通道，从通道0到通道15。如果一个通道被禁用，序列器将跳过该通道。通道0的通道寄存器详情如表10所示。

AD7173-8

ADC设置

AD7173-8有8种独立设置。每种设置包括以下四个寄存器：

- 设置配置寄存器
- 滤波器配置寄存器
- 失调寄存器
- 增益寄存器

例如，设置0包括设置配置寄存器0、滤波器配置寄存器0、失调寄存器0和增益寄存器0。图45展示的是这些寄存器的分组情况。设置可从通道寄存器选择，详见“通道配置”部分。这样可以将每个通道指派给8种独立设置之一。表11至表14显示了设置0相关的四个寄存器。该结构在设置1至设置7重复出现。

设置配置寄存器

设置配置寄存器允许用户通过选择双极性或单极性来选择ADC的输出编码。在双极性模式下，ADC支持负差分输入电压，输出编码为偏移二进制。在单极性模式下，ADC仅支持正差分电压，输出编码为标准二进制。无论何种情况，输入电压必须在AVDD1/AVSS电源电压范围内。利用此寄存器，用户还可以选择基准电压源。有4个选项可用：内部2.5V基准电压源、连接于REF+和REF-引脚之间的外部基准电压源、连接于AIN0/REF2-和AIN1/REF2+之间的外部基准电压源或者AVDD1 - AVSS。该设置的模拟输入缓冲器和参考输入缓冲器可以用该寄存器使能。

滤波器配置寄存器

滤波器配置寄存器选择ADC调制器的输出端使用何种数字滤波器。滤波器的阶数和输出数据速率通过设置此寄存器的各位来选择。更多信息请参阅“数字滤波器”部分。

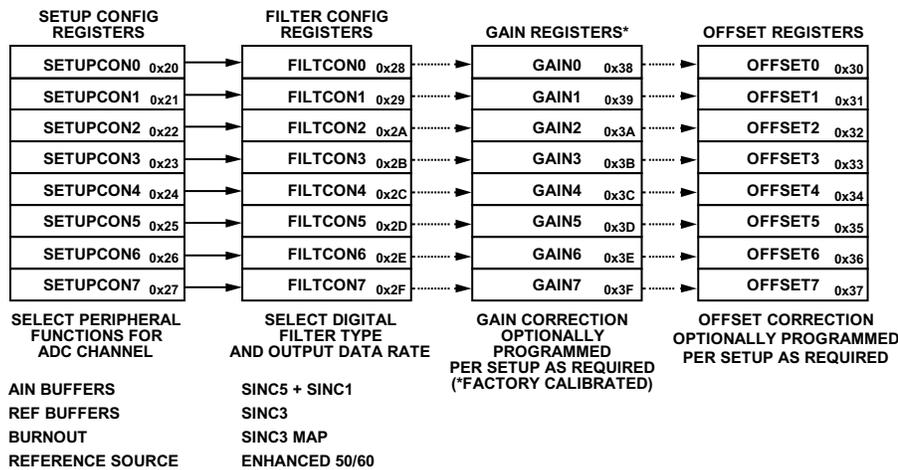


图45.ADC设置寄存器分组情况

表11.设置配置0寄存器位图

寄存器名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x20	SETUPCON0	[15:8]	RESERVED		BI_UNIPOLAR0	REF_BUF 0[1:0]		AIN_BUF 0[1:0]		0x1000	RW
		[7:0]	BURNOUT_EN0	RESERVED	REF_SEL0		保留				

表12.滤波器配置0寄存器位图

寄存器名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x28	FILTCON0		SINC3_MAP0	保留		ENHFILTEN0	ENHFILTO			0x0000	RW
				ORDER0	ODR0						

表13.失调配置0寄存器位图

寄存器名称	位	位[23:0]	复位	RW	
0x30	OFFSET0	[23:0]	OFFSET0[23:0]	0x800000	RW

表14.增益配置0寄存器位图

寄存器名称	位	位[23:0]	复位	RW	
0x38	GAIN0	[23:0]	GAIN0[23:0]	0x5XXXX0	RW

失调寄存器

失调寄存器保存ADC的失调校准系数。失调寄存器的上电复位值为0x800000。失调寄存器为24位读/写寄存器。如果用户启动内部或系统零电平校准，或者写入失调寄存器，该上电复位值将被自动覆盖。

增益寄存器

增益寄存器是一个24位寄存器，用来保存ADC的增益校准系数。增益寄存器是读/写寄存器。这些寄存器在上电时加载工厂校准系数。因此，每个器件具有不同的默认系数。如果用户启动系统满量程校准，或者写入增益寄存器，该默认值将被自动覆盖。有关校准的更多信息请参见“工作模式”部分。

ADC模式和接口模式配置

ADC模式寄存器和接口模式寄存器用于配置供AD7173-8使用的内核外设，同时也用于为数字接口配置模式。

ADC模式寄存器

ADC模式寄存器主要用于设置ADC的转换模式：连续转换或单次转换。用户也可以选择待机和掉电模式以及任何校准模式。此外，该寄存器还包含时钟源选择位和内部基准电压源使能位。基准电压源选择位包含在设置配置寄存器中(更多信息参见“ADC设置”部分)。

接口模式寄存器

接口模式寄存器用于配置数字接口的工作模式。利用此寄存器，用户可以控制数据字长度、CRC使能、数据+状态读取和连续读取模式。

两种寄存器的详情请参阅表15和表16。更多信息请参阅“数字接口”部分。

表15.ADC模式寄存器位图

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADCMODE	[15:8]	REF_EN	保留	SING_CYC	保留		延迟			0x2000	RW
		[7:0]	保留	模式		CLOCKSEL		保留				

表16.接口模式寄存器位图

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x02	IFMODE	[15:8]	保留			ALT_SYNC	IOSTRENGTH	保留		DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	保留	CRC_EN		保留	WL16		

AD7173-8

了解配置灵活性

AD7173-8最简单的实现方式是将模拟输入就近配对成为8个差分输入通道，并在这8个差分通道上使用相同的设置、增益校正和失调校正寄存器。在这种情况下，用户选择以下差分输入：AIN0/AIN1、AIN2/AIN3、AIN4/AIN5、AIN6/AIN7、AIN8/AIN9、AIN10/AIN11、AIN12/AIN13、AIN14/AIN15。在图46中，黑色字体所示寄存器为必要的配置。在这种配置中，显示为灰色字体的寄存器是冗余的。

对于任何应用案例，对增益和失调寄存器进行编程都是可选的，如寄存器框图之间的虚线所示。

实现这8个全差分输入的另一方法是使用8种可用设置。这样做的动因包括：8个差分输入中的一部分与其他输入存在不同的速度/噪声要求，或者特定通道可能有特定的失调或增益校正。图47展示了每个差分输入可能使用独立设置的方式，从而为每个通道的配置带来全面的灵活性。

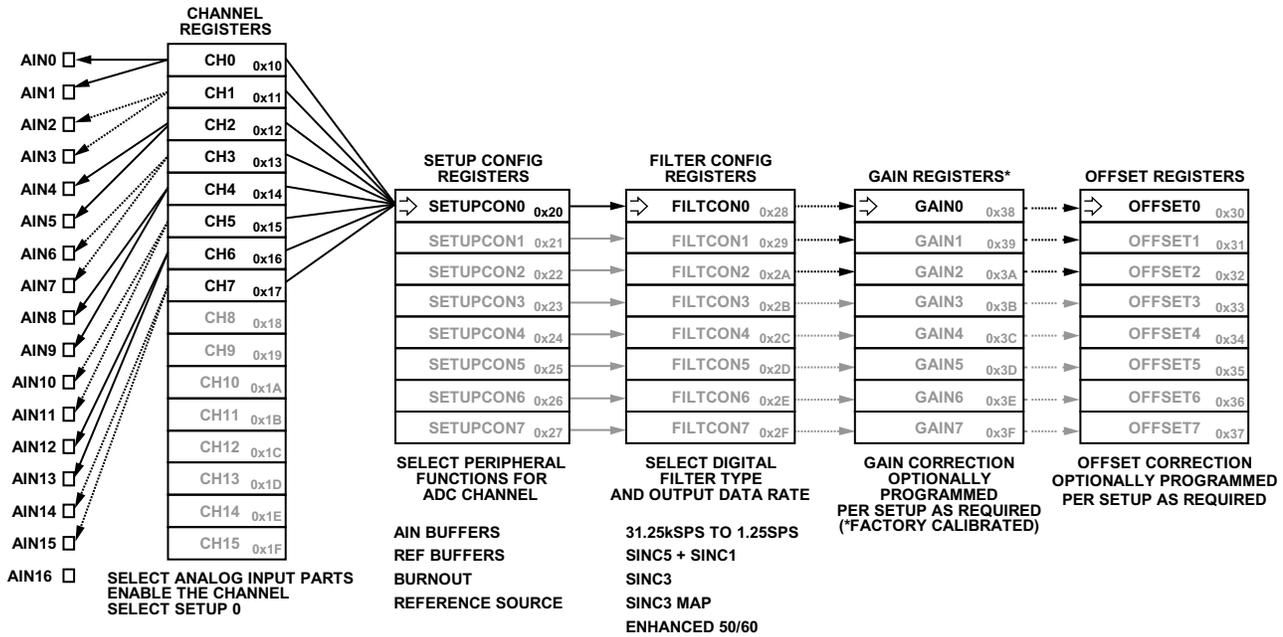


图46.8个全差分输入，全部使用一种设置(SETUPCON0; FILTCON0; GAIN0; OFFSET0)

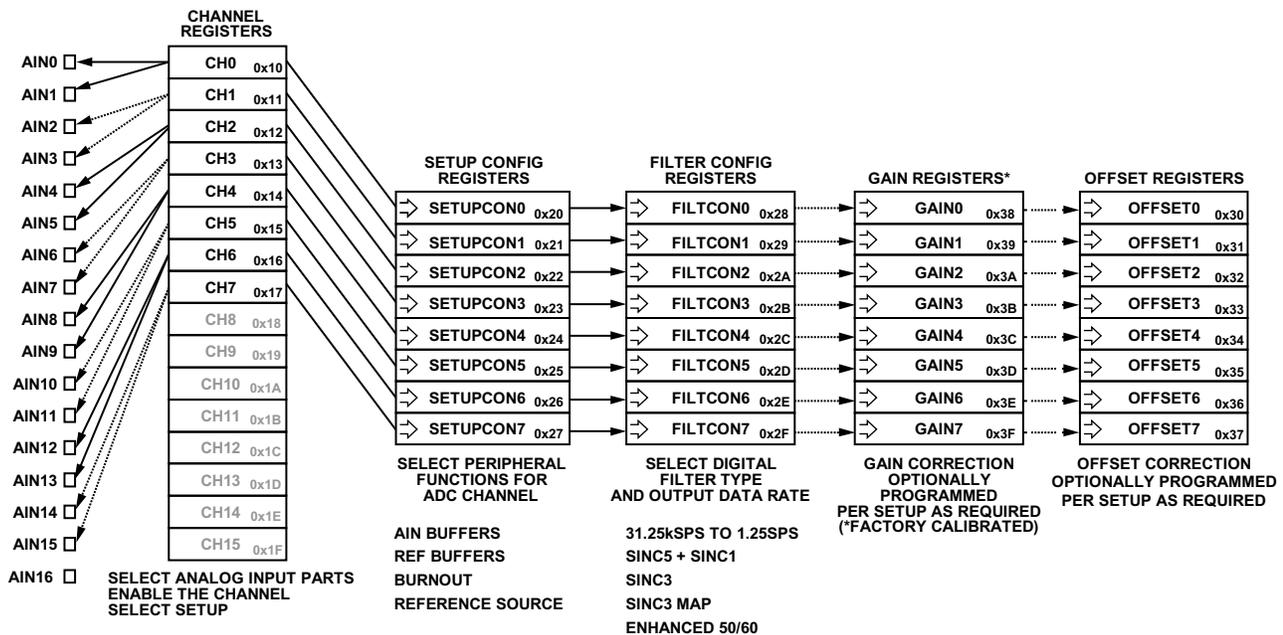


图47.8个全差分输入(各通道一种设置)

图48中的示例展示了通道寄存器在模拟输入引脚与设置配置的关系。在该随机示例中，需要7个差分输入和2个单端输入。单端输入为AIN8/AIN16和AIN15/AIN16组合。前5个差分输入对(AIN0/AIN1、AIN2/AIN3、AIN4/AIN5、AIN6/AIN7、AIN9/AIN10)使用同一设置：SETUPCON0。2个单端输入对(AIN8/AIN16和AIN15/AIN16)被设为诊断；因此，它们使用单独的设置：SETUPCON1。最后2个差分输入(AIN11/AIN12和AIN13/AIN14)同样使用单独的设置：SETUPCON2。鉴于选择了3种设置供使用，因此，根据需要对SETUPCON0、SETUPCON1和SETUPCON2寄存器进行了编程，同时还根据需要对FILTCON0、FILTCON1和FILTCON2寄存器进行了编程。通过对GAIN0、GAIN1和GAIN2寄存器以及OFFSET0、OFFSET1和OFFSET2寄存器编程，可以根据具体设置使用可选的增益和失调校正。

在图48所示示例中，使用的是CH0至CH8寄存器。将这9个寄存器的MSB(CH_EN0至CH_EN8)设置为1以使能这些通道以及它们对应的交叉点多路复用器组合。当AD7173-8转换时，序列器以升序从CH0转到CH1，再到CH2，然后到CH8，最后返回CH0，重复整个序列。

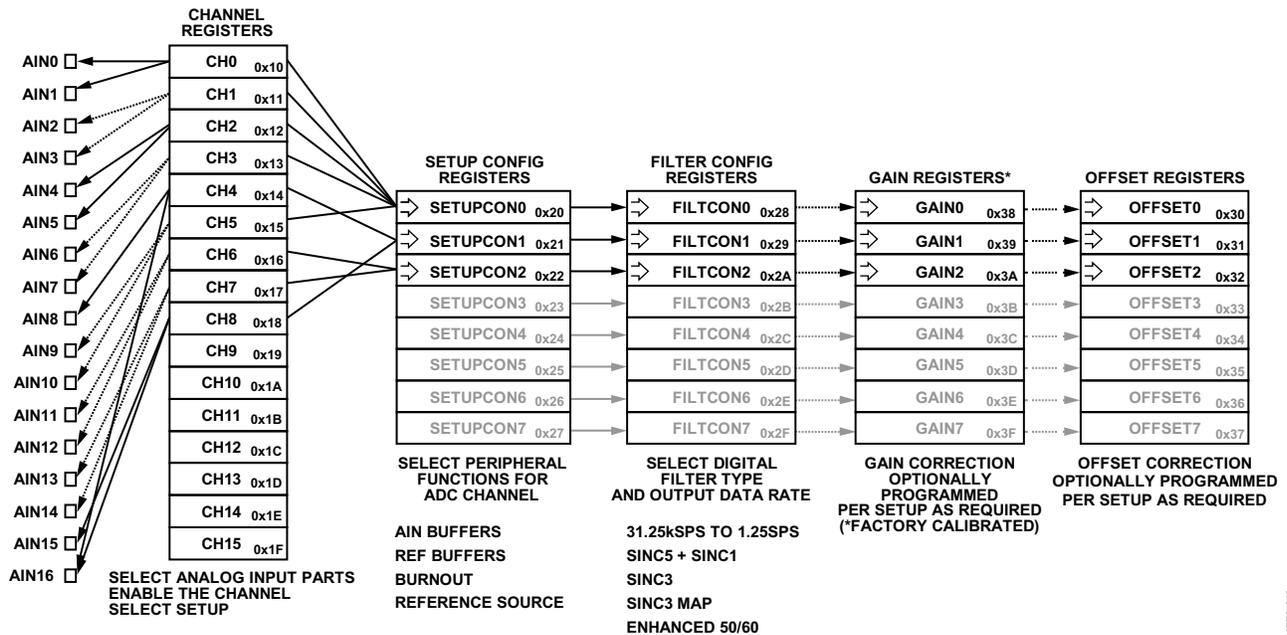


图48.混合差分和单端配置(使用多种共用设置)

1173-048

电路描述

模拟输入

模拟输入缓冲

AD7173-8在ADC输入上集成精密单位增益缓冲器。集成交叉点多路复用器的输出通过这些精密缓冲器连接着ADC。这些缓冲器的好处是可以给用户带来高输入阻抗，并完全驱动内部ADC开关电容采样网络。

ADC的正负模拟输入上都有一个缓冲器。通过交叉点多路复用器控制(BUF+,BUF-)选择的AIN对的输入信号传递至缓冲器输入，后者驱动ADC采样电容电路。每个模拟输入缓冲器都有一个输入电压范围，如图49所示。每个缓冲器都可以支持最低为AVSS(模拟地)或最高为来自AVDD1电源的输入电压1.1 V的输入信号。

全差分输入

AIN0至AIN16模拟输入均连接到交叉点多路复用器。可以使用信号的任意组合来构成模拟输入对。这样，用户就可以选择8个全差分输入或16个单端输入。如果传输至AD7173-8的所有信号均为全差分信号，则建议输入采用相同的走线长度。实现这一点最可靠、最高效的方式是以邻近输入引脚用作差分对。所有模拟输入去耦电容均连接至AVSS。

单端输入

用户也可以选择测量16个不同的单端模拟输入。这种情况下，各路模拟输入被转换为待测量的单端输入与设定的模拟输入公共引脚之间的差值。由于存在一个交叉点多路复用器，因此用户可以将任意模拟输入设置为公共引脚。例如，将AIN16引脚连接到AVSS或REFOUT电压(即AVSS + 2.5 V)，并在配置交叉点多路复用器时选择此输入。在单端输入下使用AD7173-8时，INL性能会降低。

当用户要在全差分或单端条件下使用缓冲输入时，用户还需要将模拟输入缓冲器成对开启。这意味着，即使有一个输入引脚连接至AVSS，如果构成差分输入的另一个引脚需要缓冲，该通道的输入缓冲器也会开启。

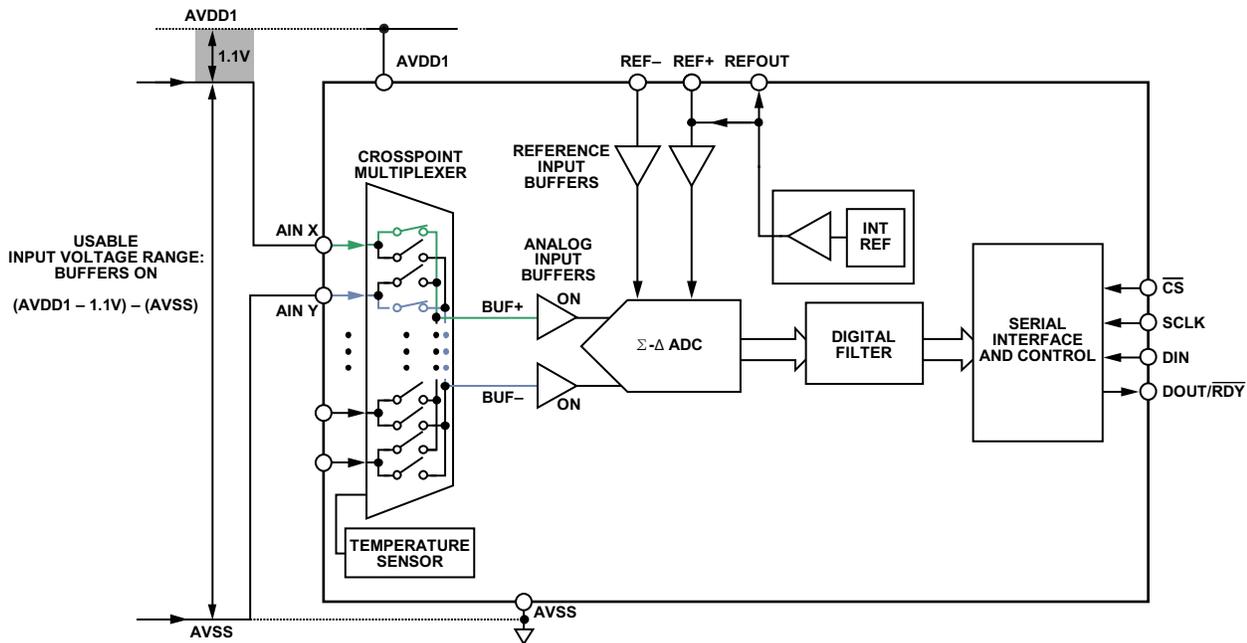


图49.模拟输入电压范围(模拟输入缓冲器使能)

11773-049

缓冲器斩波、噪声和输入电流

每个模拟输入缓冲器放大器均完全斩波，就是说，这会使信号链的失调误差漂移和1/f噪声最小。1/f噪声曲线如图51所示。

缓冲器在特定输出数据速率下的噪声性能可以通过提高缓冲器的斩波速率来改善，结果会使输入电流相应增加。此功能通过设定所选设置的配置寄存器中的BUFCHOPMAXx位来使能。

在单次周期 = 0 条件下运行

在只使用单个通道时，通过把SING_CYC位设为0可以使输出数据速率最大。然而，模拟输入电流的幅度会发生变化，具体取决于所选的输出数据速率。在这种条件下，对于2.6 kSPS以上的选定输出数据速率，输入电流会增加约32倍。小于等于2.6kSPS的情况下将SING_CYC位设为0不造成任何影响。图52和图53展示的是在各种条件下的rms噪声以及输入电流与输出数据速率之间的关系。

使用外部缓冲器

模拟输入缓冲器可以禁用。当它们被禁用时，模拟输入上的输入电压范围为AVDD1 - AVSS。此时，模拟输入开关电容直接连接到芯片管脚。在这种情况下，需要一个合适的外部缓冲器放大器来充分驱动和建立模拟输入。CS1和CS2电容均为皮法级(pF)电容。此容值是采样电容和寄生电容的组合。

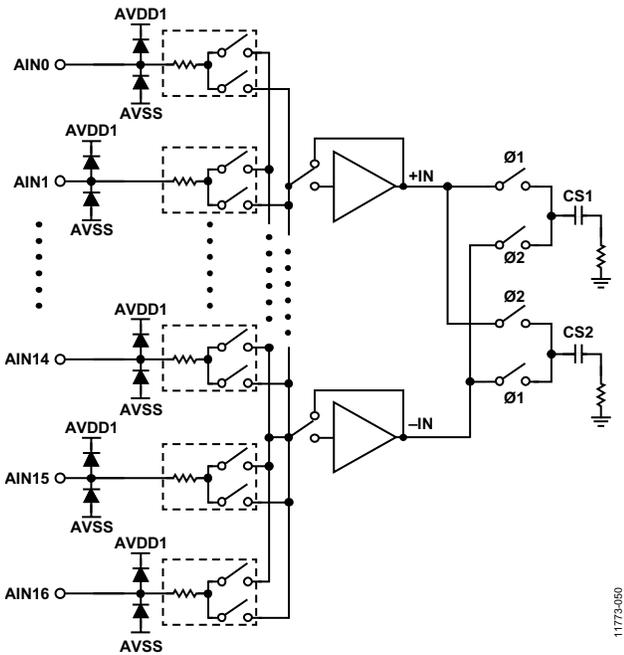


图50. 模拟输入电路简图

AD7173-8的平均输入电流以6 $\mu\text{A}/\text{V}$ 的速率随差分输入电压而线性变化。每个模拟输入均必须进行外部缓冲，从而提供差分输入幅度的变化输入电流，并使开关电容输入稳定以实现精确采样。这种情况下的模拟输入电路简图如图50所示。

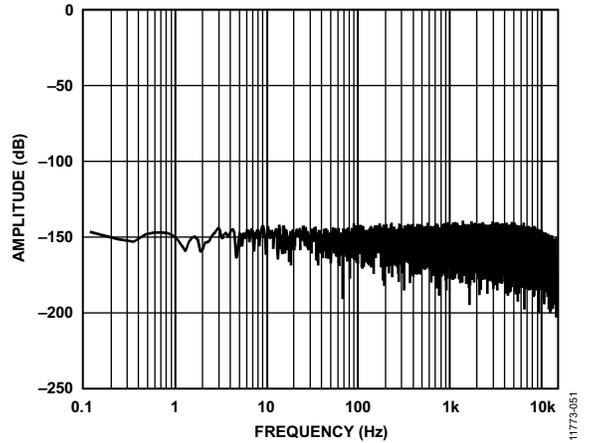


图51. 短路输入FFT

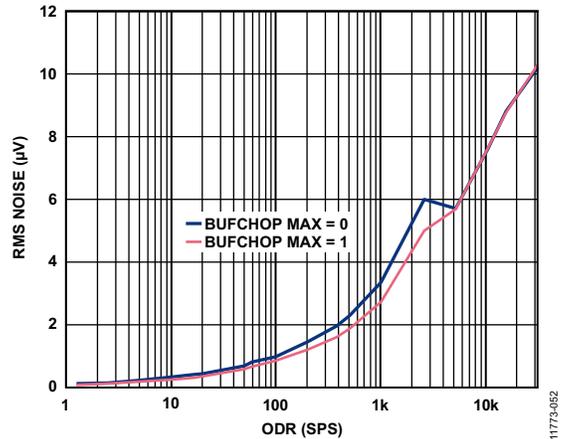


图52. RMS噪声与输出数据速率的关系(Sinc5 + Sinc1滤波器)

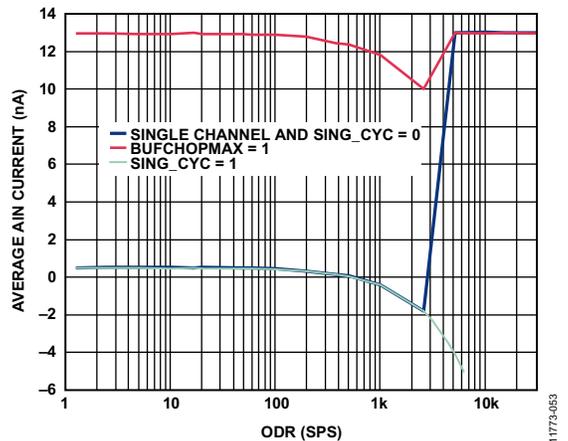


图53. 典型的模拟输入电流与输出数据速率之间的关系(2.5 V共模)

AD7173-8

基准电压选项

AD7173-8允许用户将外部基准电压源施加于器件的REF+和REF-引脚，或者使用内部2.5 V、低噪声、低漂移基准电压源。适当设置配置寄存器的REF_SELx位(位[5:4])，可以选择要使用的基准电压源。设置配置0寄存器的结构如表17所示。AD7173-8上电时默认使用外部基准电压源。

外部基准电压源

AD7173-8具有全差分基准电压输入，通过REF+和REF-引脚施加。推荐使用标准低噪声、低漂移基准电压源，如ADR445、ADR444和ADR441。将外部基准电压施加于AD7173-8基准电压引脚，如图54所示。将任何外部基准电压源的输出去耦至AVSS。如图54所示，ADR441输出通过其输出端的0.1 μF电容去耦以确保稳定。输出然后连接到一个4.7 μF电容，它用作ADC所需动态电荷的储存库，REF+输入端连接一个0.1 μF去耦电容。此电容应尽可能靠近REF+和REF-引脚。REF-引脚直接连到AVSS电位。

内部基准电压源

AD7173-8内置低噪声、低漂移基准电压源。上电时，将默认禁用内部基准电压源，并且需要一个寄存器写操作来将其选为ADC的基准电压源。在ADC模式寄存器中写入REF_EN位(位15)以使能该内部基准电压源(见表18)。内部基准电压源有一个2.5 V输出，并在ADC模式寄存器的REF_EN位设置之后，在REFOUT引脚上输出。通过一个0.1 μF电容将内部基准电压源去耦至AVSS。

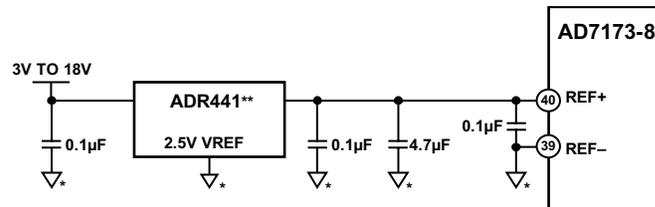
REFOUT信号经过缓冲后输出到该引脚。该信号可以在电路外部使用，用作外部放大器配置的共模源，

时钟源

AD7173-8需要2 MHz的主时钟。AD7173-8可以用下列时钟源之一作为其采样时钟：

- 内部振荡器
- 外部晶振(使用一个16 MHz晶振，自动内部分频，以设置2 MHz时钟)
- 外部时钟源

数据手册中列出的所有输出数据速率均与2 MHz的主时钟速率相关。例如，使用外部源提供的较低时钟频率时，所有列出的数据速率将按比例缩放。为实现额定数据速率，尤其是支持50 Hz和60 Hz抑制的速率，应使用2 MHz时钟。主时钟的来源通过设置ADCMODE寄存器的CLOCKSEL位来选择，如表25所示。上电和复位时默认使用内部振荡器工作。



*ALL DECOUPLING IS TO AVSS.
**ANY OF THE ADR44x FAMILY REFERENCES CAN BE USED.
ADR441 ENABLES REUSE OF THE 3.3V ANALOG SUPPLY
NEEDED FOR AVDD1 TO POWER THE REFERENCE VIN.

11773-054

图54.外部基准电压源ADR441连接至AD7173-8基准电压引脚

表17.设置配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x20	SETUPCON0	[15:8]	保留		保留	BI_UNIPOLAR	REF_BUF 0[1:0]	AIN_BUF 0[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN	保留	REF_SEL0		保留		0			

表18.ADC模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADCMODE	[15:8]	INT_REF_EN	保留	SING_CYC	保留		DELAY		0x2000	RW	
		[7:0]	保留	MODE			CLOCKSEL	保留				

内部振荡器

默认情况下，内部振荡器用作ADC主时钟。用于ADC采样的时钟为2 MHz(在使用内部振荡器时，这是从较高频率分频的结果)。它是AD7173-8的默认时钟源，额定精度为 $\pm 2.5\%$ 。

有一个选项允许内部时钟振荡器通过XTAL2/CLKIO引脚输出。时钟输出被驱动到IOVDD逻辑电平。由于输出驱动器可能产生干扰，使用此选项可能影响AD7173-8的直流性能。性能受影响的程度取决于IOVDD电压。IOVDD电压越高，则驱动器的逻辑输出摆幅越宽，因而性能可能受到的影响越大。如果IOSTRENGTH位(寄存器0x02，位11)设置为较高的IOVDD电平，则这种影响更严重(更多信息参见表26)。

外部晶振

如果需要更高精度、更低抖动的时钟源，AD7173-8允许使用外部晶振来产生主时钟。对于AD7173-8，所需晶振频率为16 MHz。在内部自动将该频率分频以形成ADC输入采样所需要的2 MHz频率。

晶振连接到XTAL1和XTAL2/CLKIO引脚。建议使用的晶振之一是Epson-Toyocom的16 MHz、10 ppm、9 pF晶振FA-20H，它采用表贴封装。

如图55所示，从连接晶振的走线到XTAL1和XTAL2/CLKIO引脚之间可以插入两个电容。这些电容使能电路调谐。应将这些电容连接到DGND引脚。这些电容的值取决于晶振与XTAL1和XTAL2/CLKIO引脚之间的走线连接的长度和容值。因此，PCB布局 and 采用的晶振不同，这些电容的值也不同。这就需要对电路进行经验测试。

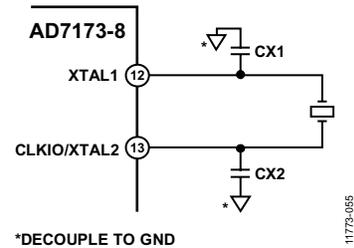


图55.外部晶振连接

外部时钟

AD7173-8也可以使用外部提供的时钟。在使用外部时钟的系统中，外部时钟连接到XTAL2/CLKIO引脚。这种配置中，XTAL2/CLKIO引脚接受外部提供的时钟，并将其路由至调制器。此时钟输入的逻辑电平由施加于IOVDD引脚的电压定义。

数字滤波器

AD7173-8提供以下3个灵活的滤波器选项，支持对建立时间、噪声和抑制性能进行优化：

- Sinc5 + Sinc1滤波器
- Sinc3滤波器
- 增强型50 Hz和60 Hz抑制滤波器

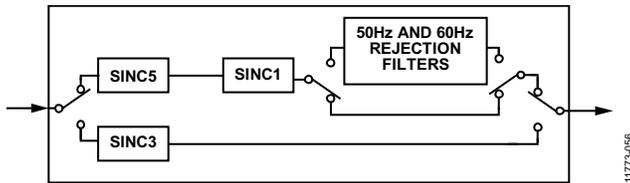


图56. 数字滤波器框图

滤波器和输出数据速率是通过设置选定设置的滤波器配置寄存器的相应位来配置。更多信息参见“寄存器详解”部分。

SINC5 + SINC1滤波器

Sinc5 + Sinc1滤波器主要用于快速切换多路复用应用，在2.6kSPS和更低的输出数据速率时，可实现单周期建立。Sinc5模块输出固定在31.25 kSPS的最大速率，Sinc1模块的输出数据速

率可变，从而控制最终ADC输出数据速率。图57显示Sinc5 + Sinc1滤波器在50 SPS输出数据速率时的频域响应。Sinc5 + Sinc1滤波器随频率的滚降速度很慢，陷波频率很窄。

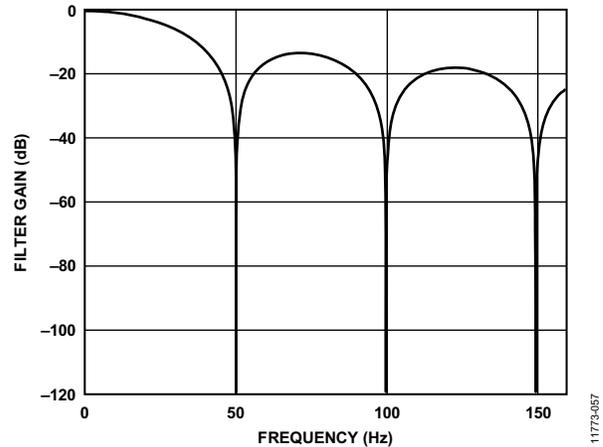


图57. Sinc5 + Sinc1滤波器在50 SPS ODR时的响应

表19列出了Sinc5 + Sinc1滤波器的输出数据速率以及相应的建立时间和均方根噪声。

表19 输出数据速率(ODR)、建立时间(t_{SETTLE})和噪声(使用Sinc5 + Sinc1滤波器)

默认输出数据速率 (SPS/通道数); 1 SING_CYC = 1或 使能多个通道	输出数据速率 (SPS);1 SING_CYC = 0且 单通道使能	建立时间 ¹	陷波频率 (Hz)	噪声 ($\mu\text{V rms}$)	噪声 ($\mu\text{V p-p}$) ²	采用5 V基准电压时的有效分辨率 (位)	采用5 V基准电压时的峰峰值分辨率 (位)
6211	31,250	161 μs	31250	8.0	67	20.2	17.5
5181	15,625	193 μs	15625	6.9	52	20.4	17.7
4444	10,417	225 μs	10417	6.0	40	20.7	17.9
3115	5208	321 μs	5208	4.5	30	21.1	18.3
2597	2597	385 μs	3890	3.9	27	21.3	18.5
1007	1007	993 μs	1156	2.2	15	22.2	19.3
503.8	503.8	1.99 ms	539	1.5	11	22.7	19.9
381	381	2.63 ms	401	1.3	8.9	22.9	20.1
200.3	200.3	4.99 ms	206	0.99	6.6	23.3	20.5
100.5	100.5	9.95 ms	102	0.71	5.1	23.8	21
59.52	59.52	16.8 ms	60	0.57	3.3	24	21.4
49.68	49.68	20.13 ms	50	0.52	3	24	21.4
20.01	20.01	49.98 ms	20	0.32	1.7	24	22.2
16.63	16.63	60.13 ms	16.67	0.3	1.6	24	22.4
10	10	100 ms	10	0.22	1.1	24	22.7
5	5	200 ms	5	0.15	0.75	24	23.4
2.5	2.5	400 ms	2.5	0.08	0.32	24	24
1.25	1.25	800 ms	1.25	0.07	0.32	24	24

¹ 建立时间(t_{SETTLE})已四舍五入为最接近的微秒数(μs)。这反映在输出数据速率和开关速率中。开关速率 = $1 \div t_{SETTLE}$ 。

² 1000个采样。

SINC3滤波器

Sinc3滤波器在较低速率时可实现最佳单通道噪声性能，因此最适合单通道应用。Sinc3滤波器的建立时间始终等于

$$t_{\text{SETTLE}} = 3/\text{输出数据速率}$$

图58所示为Sinc3滤波器的频域滤波器响应。Sinc3滤波器具有良好的随频率滚降性能，并具有宽陷波频率，可实现良好的陷波频率抑制。

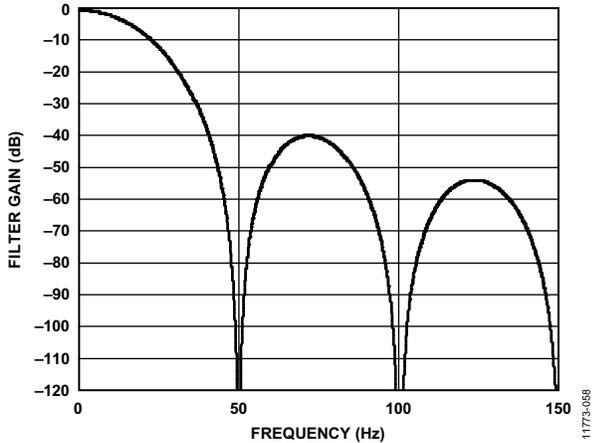


图58.Sinc3滤波器响应

Sinc3滤波器的输出数据速率以及相应的建立时间和均方根噪声如表20所示。

通过设置滤波器配置x寄存器的SINC3_MAPx位，可以微调Sinc3滤波器的输出数据速率。如果此位置1，滤波器寄存器的映射将变为直接对Sinc3滤波器的抽取率进行编程。所有其他选项均无效。单通道的数据速率可通过下式计算：

$$\text{输出数据速率} = \frac{f_{\text{MOD}}}{32 \times \text{FILTCO}x[14:0]}$$

其中：

f_{MOD} 为调制器速率，等于1 MHz。

FILTCOx[14:0]是滤波器配置寄存器的内容，不包括MSB。

例如，通过将FILTCOx[14:0]位设置为625以使能SINC3_MAPx，可以实现50 SPS的输出数据速率。

表20.输出数据速率(ODR)、建立时间(t_{SETTLE})和噪声(使用Sinc3滤波器)

默认输出数据速率 (SPS/通道数); ¹ SING_CYC = 1或 使能多个通道	输出数据速率 (SPS); ¹ SING_CYC = 0且 单通道使能	建立时间 ¹	陷波频率(Hz)	噪声 ($\mu\text{V rms}$)	噪声 ($\mu\text{V p-p}$)	采用5V基准电压 时的有效分辨率 (位)	采用5V基准电压 时的峰峰值分辨率 (位)
10417	31,250	96 μs	31,250	210	1665	15.5	12.8
5208	15,625	192 μs	15,625	27	206	18.5	15.7
3472	10,417	288 μs	10,417	7.8	63	20.3	17.5
1736	5208	576 μs	5208	3.6	28	21.4	18.7
868	2,604	1.15 ms	2,604	2.4	20	22	19.2
336	1,008	2.98 ms	1,008	1.5	12	22.7	19.9
168	504	5.95 ms	504	1.1	8	23.1	20.4
133.53	400.6	7.49 ms	400.6	1	7.6	23.3	20.5
67.76	200.3	14.99 ms	200.3	0.73	5.1	23.8	21.2
33.5	100.5	29.85 ms	100.5	0.55	3.5	24	21.4
19.99	59.98	50.02 ms	59.98	0.44	2.5	24	21.6
16.67	50	60 ms	50	0.42	2.3	24	21.7
6.67	20.01	149.93 ms	20.01	0.25	1.2	24	22.4
5.56	16.67	179.96 ms	16.67	0.21	1.1	24	22.6
3.33	10	300 ms	10	0.16	0.83	24	22.9
1.67	5	600 ms	5	0.11	0.56	24	23.4
0.83	2.5	1.2秒	2.5	0.08	0.41	24	24
0.42	1.25	2.4秒	1.25	0.07	0.27	24	24

¹ 建立时间(t_{SETTLE})已四舍五入为最接近的微秒数(μs)。该建立时间反映在输出数据速率和开关速率中。开关速率 = $1 \div t_{\text{SETTLE}}$ 。

AD7173-8

单周期建立

默认情况下，AD7173-8的ADC模式寄存器中的SING_CYC为1。这意味着，只会输出完全建立的数据，从而使ADC进入单周期建立模式。此模式将输出数据速率降至与选定输出数据速率的ADC建立时间相等的水平。Sinc5 + Sinc1滤波器在2.6 kSPS及更低的输出数据速率时，或者在使能多个通道时，此位不起作用。

图59显示了单周期建立使能时模拟输入上的相同阶跃。输出完全建立至少需要一个周期。输出数据速率等于滤波器在选定输出数据速率下的建立时间的倒数。

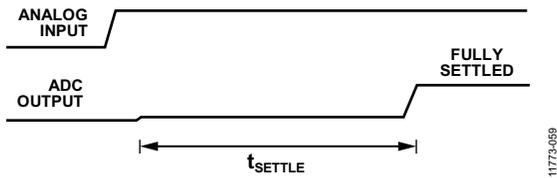


图59.带单周期建立的阶跃输入

图60显示了禁用此模式、使能一个通道且选择Sinc3滤波器时模拟输入上的阶跃。阶跃变化后，输出达到最终稳定值至少需要三个周期。然而，ADC此时可以在更高的速率1/ODR下输出新的转换结果。

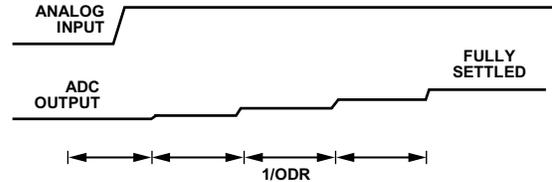


图60.无单周期建立的阶跃输入

增强型50 Hz和60 Hz抑制滤波器

增强型滤波器旨在提供50 Hz和60 Hz同时抑制，并且允许用户用建立时间交换抑制性能。这些滤波器可以最高27.27 SPS的速率工作，或者可以抑制最高90 dB的50 Hz ± 1 Hz和60 Hz ± 1 Hz干扰。这些滤波器是通过对Sinc5 + Sinc1滤波器输出进行后滤波实现的。因此，使用增强型滤波器时，必须选择Sinc5 + Sinc1滤波器。表21显示了输出数据速率及相应的建立时间、抑制性能和均方根噪声。图61至图68显示了增强型滤波器的频域响应。

表21.输出数据速率(ODR)、噪声、建立时间(t_{SETTLE})和抑制性能(使用增强型滤波器)

输出数据速率(SPS)	建立时间(ms)	50 Hz ± 1 Hz和60 Hz ± 1 Hz同时抑制(dB) ¹	噪声(μV rms)	噪声(μV p-p)	有效分辨率(位)	峰峰值分辨率(位)	基准电压源
27.27	36.67	47	0.45	3.6	24.4	21.4	参见图61和图64
25	40.0	62	0.44	3.6	24.4	21.4	参见图62和图65
20	50.0	85	0.41	3.0	24.5	21.7	参见图63和图66
16.67	60.0	90	0.41	3.0	24.5	21.7	参见图67和图68

¹ 主时钟 = 2 MHz

50 Hz和60 Hz抑制滤波器频域曲线图

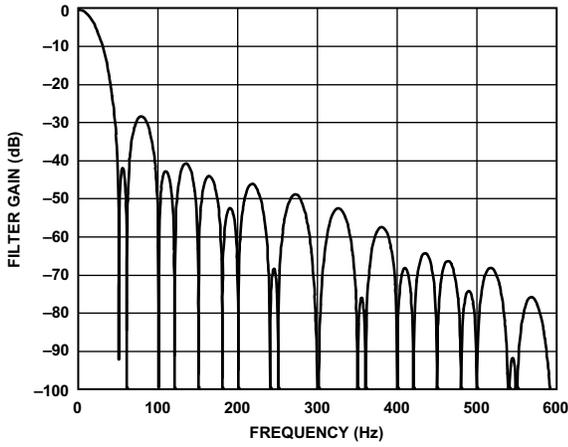


图61.27 SPS ODR、36.67 ms建立时间

11773-081

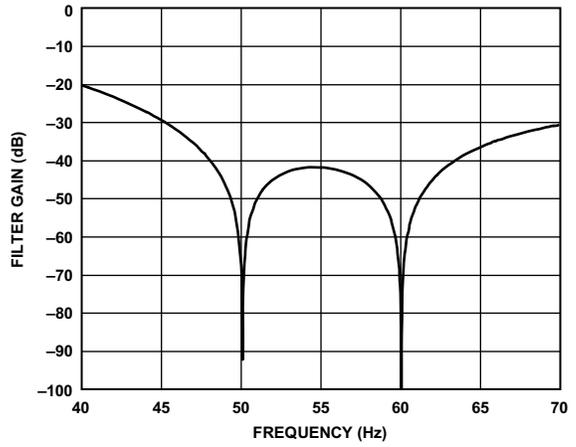


图64.27 SPS ODR、36.67 ms建立时间

11773-084

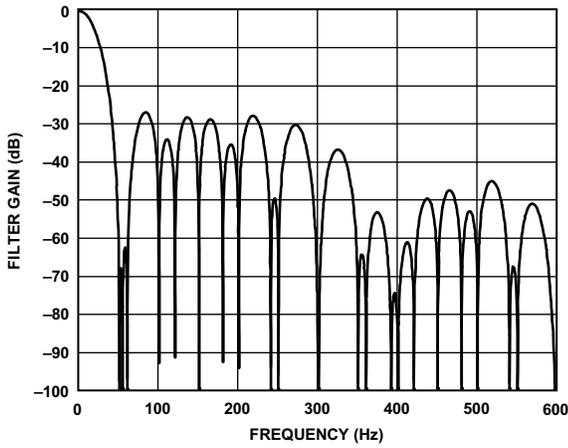


图62.25 SPS ODR、40 ms建立时间

11773-082

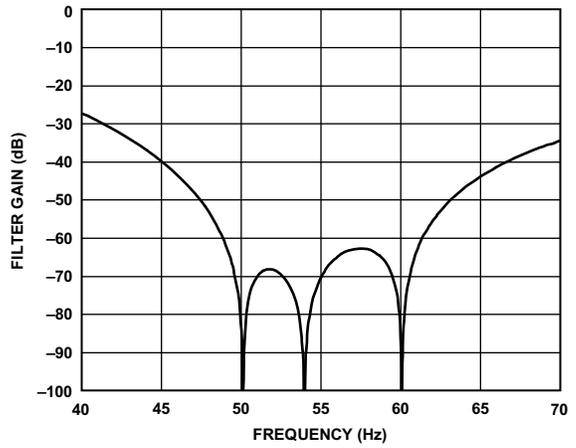


图65.25 SPS ODR、40 ms建立时间

11773-085

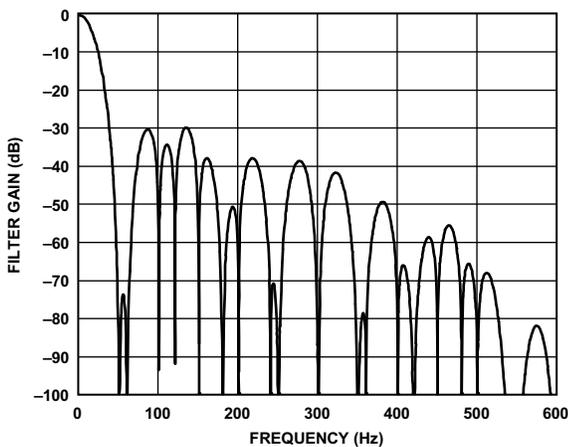


图63.20 SPS ODR、50 ms建立时间

11773-083

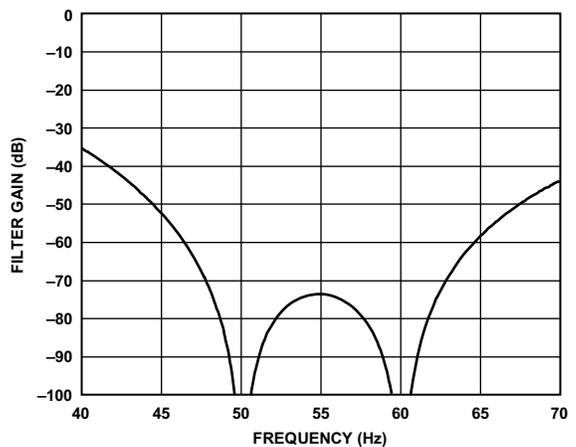


图66.20 SPS ODR、50 ms建立时间

11773-086

AD7173-8

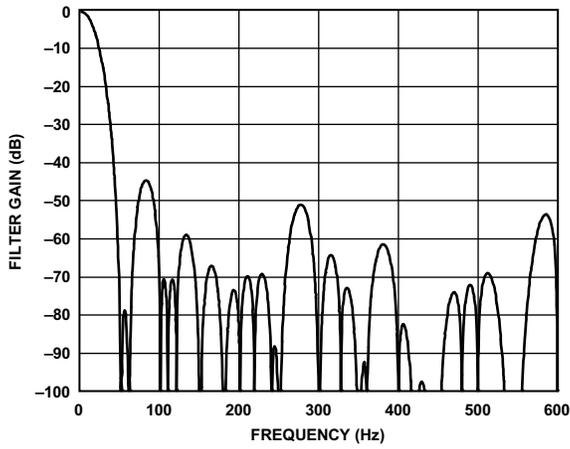


图67.16.667 SPS ODR、60 ms建立时间

11773-087

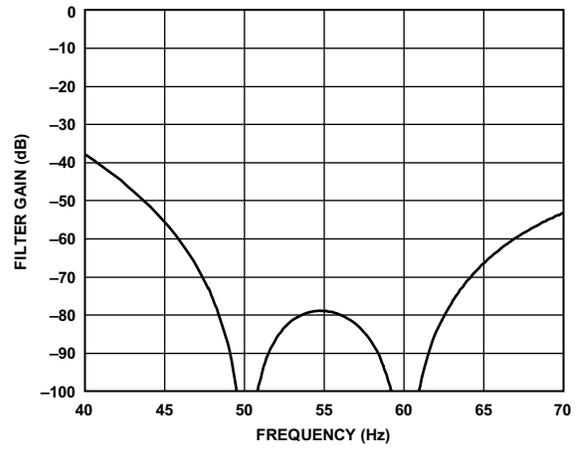


图68.16.667 SPS ODR、60 ms建立时间

11773-088

工作模式

连续转换模式

连续转换(见图69)是上电后的默认转换模式。AD7173-8连续进行转换， $\overline{\text{RDY}}$ 每次完成转换后，状态寄存器中的位变为低电平。如果 $\overline{\text{CS}}$ 为低电平，则完成一次转换时，DOUT/ $\overline{\text{RDY}}$ 线路也会变为低电平。若要读取转换结果，用户需要写入通信寄存器，指示下一操作为读取数据寄存器。从数据寄存器中读取数据字后，DOUT/ $\overline{\text{RDY}}$ 变为高电平。如需要，用户可以多次读取该寄存器。但用户必须确保在下次转换完成前，不访问数据寄存器。

如果使能了多个通道，ADC将自动遍历各使能通道，在每个通道上执行一次转换。所有通道均转换完毕后，又从第一个通道开始。使能的通道按从低到高的顺序转换。一旦获得转换结果，就会立即更新数据寄存器。每次获得转换结果时，DOUT/ $\overline{\text{RDY}}$ 引脚均会变为低电平。此时，用户必须在ADC转换下一个使能通道时读取转换结果；否则，新的转换结果将丢失。

如果接口模式寄存器中的DATA_STAT位设置为1，则每次读取数据寄存器时，状态寄存器的内容将与转换数据一同输出。状态寄存器指示对应的转换通道。

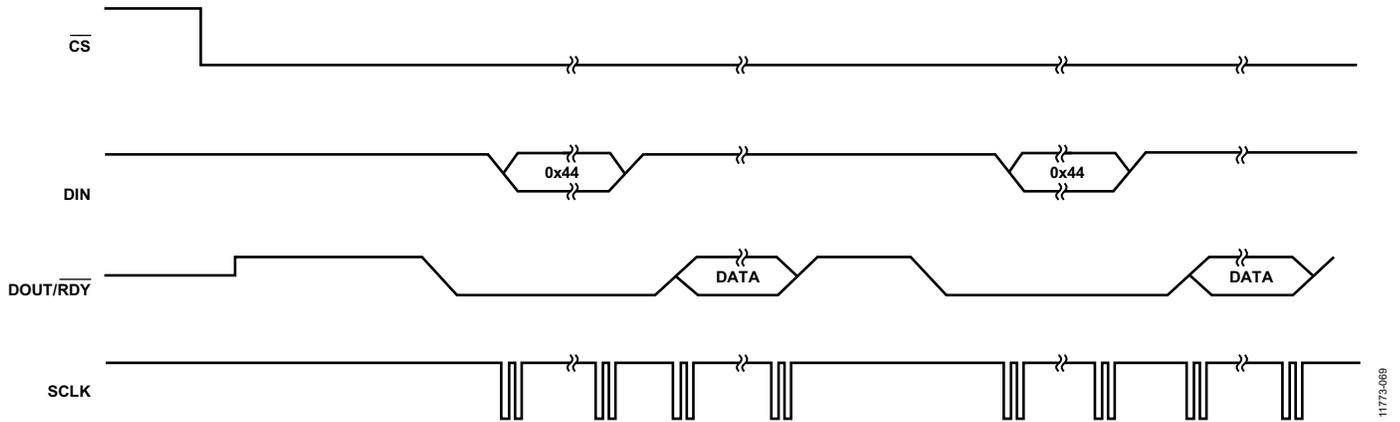


图69.连续转换模式

11773-089

AD7173-8

连续读取模式

在连续读取模式下(见图70), 读取ADC数据之前不需要写入通信寄存器。相反, 只需在DOUT/RDY变为低电平(表示转换结束后)提供所需数量的SCLK即可。读取转换结果后, DOUT/RDY返回到高电平, 直到下一转换结果可用为止。这种模式下, 数据只能被读取一次, 而且用户必须确保在下一转换完成前读取数据字。如果在下一转换完成之前, 用户尚未读取转换结果, 或者为AD7173-8提供的串行时钟数不足以完成对转换字的读取, 则在下一转换完成之前不久, 串行输出寄存器将复位, 新转换结果将置于输出串行寄存器中。要使用连续读取模式, ADC必须配置为连续转换模式。

要启用连续读取模式, 应将接口模式寄存器的CONTREAD位设置为1。此位设置为1时, 唯一可能的串行接口操作是读取数据寄存器。要退出连续读取模式, 应在RDY为低电平时发出一个伪读取ADC数据寄存器命令(0x44), 或者应用软件复位, 即在 $\overline{CS}=0$ 且DIN=1时提供64个SCLK, 从而复位ADC及所有寄存器内容。接口被置于连续读取模式后只能识别这些命令。在连续读取模式下, 在有指令写入器件前, DIN应保持低电平。

使能多个ADC通道时, 各通道轮流输出; 如果接口模式寄存器的DATA_STAT位置1, 数据将为附加状态位。状态寄存器指示对应的转换通道。

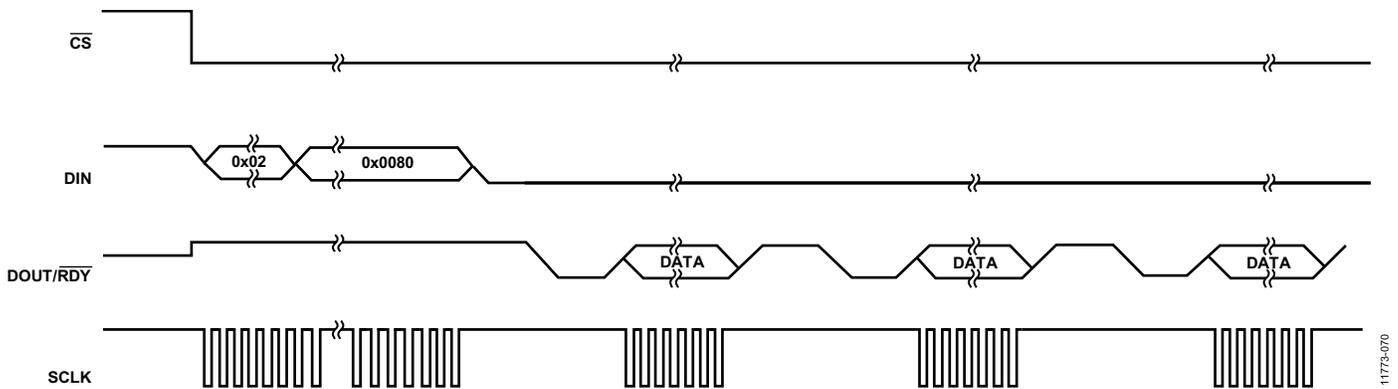


图70.连续读取模式

单次转换模式

在单次转换模式下(见图71), AD7173-8执行一次转换, 完成转换后即被置于待机模式。完成转换后, DOUT/RDY变为低电平来作为指示。从数据寄存器中读取数据字后, DOUT/RDY变为高电平。如必要, 即使DOUT/RDY为高电平, 也可以多次读取数据寄存器。

如果使能了多个通道, ADC将自动遍历各使能通道, 并在各通道上执行转换。开始转换后, DOUT/RDY变为高电平并保持该状态, 直到获得有效转换结果且CS变为低电平。一旦获得转换结果, DOUT/RDY便会变为低电平。然后,

ADC选择下一个通道并开始转换。在执行下一转换过程中, 用户必须读取当前的转换结果。下一转换完成后, 数据寄存器便会更新; 因此, 读取转换结果的时间有限。ADC在各选择通道上均完成一次转换后, 便会返回待机模式。

如果接口模式寄存器中的DATA_STAT位设置为1, 则每次读取数据寄存器时, 状态寄存器的内容将与转换数据一同输出。状态寄存器的四个LSB表示对应的转换通道。

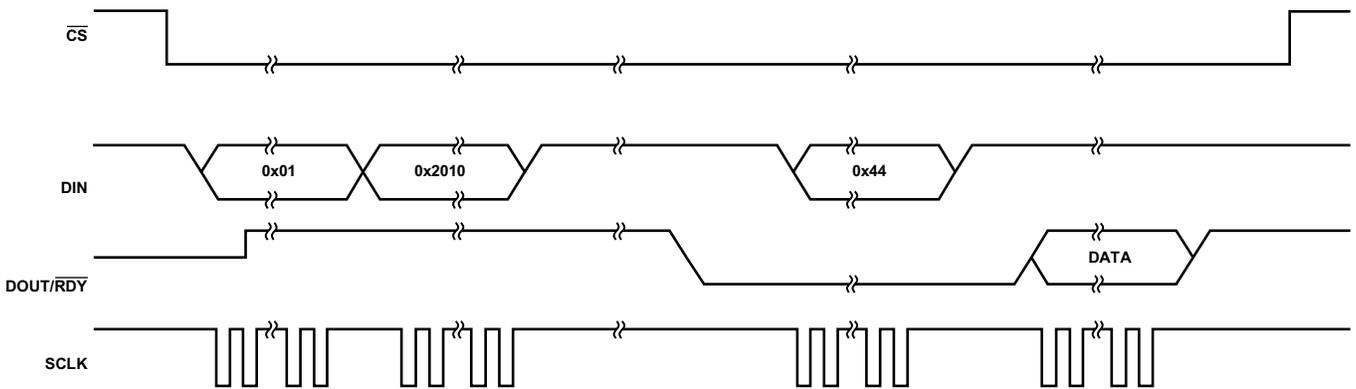


图71. 单次转换模式

11773-071

AD7173-8

待机和掉电模式

在待机模式下，大部分模块被关断。LDO仍然有效，因此寄存器保持其内容不变。内部基准电压源若使能则仍然有效，晶振若被选择则仍然有效。要在待机模式下关断基准电压源，应将ADC模式寄存器的REF_EN位设置为0。要在待机模式下关断时钟，应将ADC模式寄存器的CLOCKSEL位设置为00(内部振荡器)。

在掉电模式下，所有模块均被关断，包括LDO。所有寄存器丧失其内容，GPIO输出被置于三态。要防止意外进入掉电模式，必须首先将ADC置于待机模式。退出掉电模式需要在 $\overline{CS} = 0$ 且 $DIN = 1$ 时提供64个SCLK，即执行串行接口复位。发出后续串行接口命令以允许LDO上电之前，建议延迟500 μs 。

校准模式

AD7173-8提供三种校准模式，可用来在单设置基础上消除失调和增益误差：

- 内部零电平校准模式
- 系统零电平校准模式
- 系统满量程校准模式

校准期间只能有一个通道有效。每次转换完成后，ADC转换结果需利用ADC校准寄存器进行调整，然后写入数据寄存器。

失调寄存器的默认值是0x800000，增益寄存器的标称值是0x555555。ADC增益的校准范围是 $0.4 \times V_{REF}$ 至 $1.05 \times V_{REF}$ 。计算使用下面的公式。在单极性模式下，理想关系(即不考虑ADC增益误差和失调误差)如下：

$$\text{数据} = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (\text{失调} - 0x800000) \right] \times \frac{\text{Gain}}{0x400000} \times 2$$

在双极性模式下，理想关系(即不考虑ADC增益误差和失调误差)如下：

$$\text{数据} = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (\text{失调} - 0x800000) \right] \times \frac{\text{Gain}}{0x400000} + 0x800000$$

为启动校准，应将适当的值写入ADC模式寄存器的MODE位。启动校准后，DOUT/RDY引脚和状态寄存器的RDY位变为高电平。校准完成时，相应失调或增益寄存器的内容会更新，状态寄存器的RDY位复位，DOUT/RDY引脚返回到低电平(如果 \overline{CS} 为低电平)，并且AD7173-8返回待机模式。

内部失调校准期间，所选正模拟输入引脚断开，调制器的两个输入均内部连接到所选的负模拟输入引脚。因此，必须确保所选负模拟输入引脚上的电压不超过允许的限值，并且没有过大的噪声和干扰。

然而，系统校准则要求在启动校准模式之前，将系统零电平(失调)和系统满量程(增益)电压施加于ADC引脚，这样可以消除ADC的外部误差。

从操作上来看，校准就像另一次ADC转换。如果需要，失调校准必须总是在满量程校准之前执行。对系统软件进行设置，以监视状态寄存器中的 \overline{RDY} 位或DOUT/RDY引脚，进而通过一个轮询序列或中断驱动的例行程序确定校准何时结束。所有校准所需的时间等于选定滤波器的建立时间加上要完成的输出数据速率。

内部失调校准、系统零电平校准和系统满量程校准可以在任何输出数据速率下执行。使用较低的输出数据速率可以获得更高的校准精度，并且对所有输出数据速率都是精确的。如果一个通道的基准电压源发生改变，则该通道需要重新校准。

失调误差典型值为 $\pm 40 \mu\text{V}$ ，失调校准将失调误差降至噪声水平。增益误差在环境温度下经过出厂校准。校准之后，增益误差典型值为 $\pm 0.001\%$ 。

用户可以访问AD7173-8的片内校准寄存器，通过微处理器读取器件的校准系数，以及写入自己的校准系数。读写失调和增益寄存器可以在内部或自校准以外的任意时间执行。

数字接口

AD7173-8的可编程功能通过SPI串行接口执行。AD7173-8的串行接口包含四个信号： $\overline{\text{CS}}$ 、DIN、SCLK和DOUT/ $\overline{\text{RDY}}$ 。DIN线路用于将数据传输至片内寄存器中，DOUT/ $\overline{\text{RDY}}$ 则用于从片内寄存器中获取数据。SCLK是器件的串行时钟输入，所有数据传输(无论是DIN上还是DOUT/ $\overline{\text{RDY}}$ 上)均与SCLK信号相关。

DOUT/ $\overline{\text{RDY}}$ 引脚也可用作数据就绪信号；当数据寄存器中有新数据字可用时，如果 $\overline{\text{CS}}$ 为低电平，则该线路变为低电平。对数据寄存器的读操作完成时，该引脚复位为高电平。数据寄存器更新之前，DOUT/ $\overline{\text{RDY}}$ 引脚也会变为高电平，以提示此时不应读取器件，确保寄存器正在更新时不会发生数据读取操作。当DOUT/ $\overline{\text{RDY}}$ 即将变为低电平时，务必小心，避免从数据寄存器读取数据。确保无数据读取操作的最佳方法是始终监控DOUT/ $\overline{\text{RDY}}$ 线路；当DOUT/ $\overline{\text{RDY}}$ 变为低电平时，立即开始读取数据寄存器；确保SCLK速率足够高，以便读取操作能在下一个转换结果之前完成。CS用来选择器件。在多个器件与串行总线相连的系统中，它可以由地址线解码产生。

图2和图3显示了与AD7173-8进行接口的时序图，其中 $\overline{\text{CS}}$ 用于片选该器件。图2显示对AD7173-8执行读操作的时序，图3显示对AD7173-8执行写操作的时序。即使在第一次读操作之后DOUT/ $\overline{\text{RDY}}$ 线路返回到高电平，也可以多次读取数据寄存器。不过，务必确保在下一输出更新发生之前，这些读操作已完成。连续读取模式下，只能从数据寄存器读取一次。

将 $\overline{\text{CS}}$ 与低电平相连时，串行接口可以在三线模式下工作。这种情况下，SCLK、DIN和DOUT/ $\overline{\text{RDY}}$ 线路用于与AD7173-8通信。转换是否结束也可以利用状态寄存器的RDY位来监视。

在 $\overline{\text{CS}} = 0$ 且DIN = 1时，写入64个SCLK可以复位串行接口。复位使接口返回到期待对通信寄存器执行写操作的状态。该操作会将所有寄存器的内容复位到其上电值。复位后，用户应等待500 μs 再访问串行接口。

校验和保护

AD7173-8具有校验和模式，可用来提高接口的鲁棒性。使用校验和可确保仅将有效数据写入寄存器，并且可以对从寄存器读取的数据进行验证。如果寄存器写入期间发生错

误，状态寄存器的CRC_ERROR位将置1。然而，为确保寄存器写入成功，必须回读该寄存器并验证校验和。

写操作期间的CRC校验和计算始终使用下列多项式：

$$x^8 + x^2 + x + 1$$

读操作期间，用户可以选择此多项式或类似的XOR函数。与基于多项式的校验和相比，主机处理器处理XOR函数所需的时间更少。接口模式寄存器的CRC_EN位用于使能和禁用校验和，并允许用户选择多项式或简单的XOR校验。

校验和附加于每次读和写处理的末尾。写处理的校验和利用8位命令字和8至24位数据计算。读处理的校验和利用命令字和8至32位数据输出计算。图72和图73分别显示了SPI读和写处理。

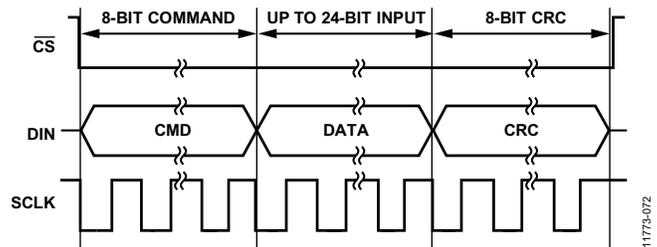


图72.使能CRC的SPI写处理

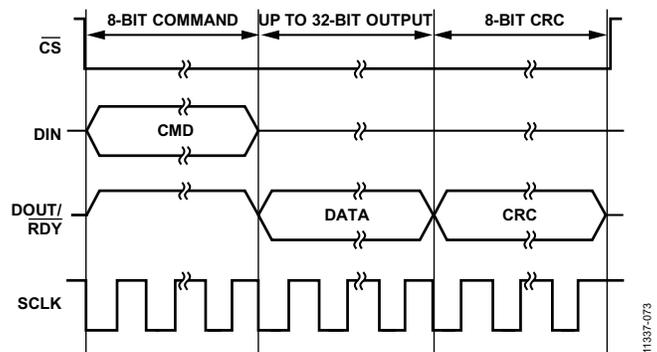


图73.使能CRC的SPI读处理

连续读取模式有效时，如果使能校验和保护，则每次数据传输前存在暗含的读取数据命令0x44，计算校验和值时必须予以考虑。这是为了确保即使ADC数据等于0x000000，校验和值也不是零。

AD7173-8

CRC计算 多项式

校验和为8位宽，利用以下多项式产生：

$$x^8 + x^2 + x + 1$$

要生成校验和，需将数据左移8位，产生一个后8位为逻辑0的数值。对齐多项式，使其MSB与该数据最左侧的逻辑1

对齐。对该数据施加一个异或(XOR)函数，以产生一个新的、更短的数字。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值。此值即是8位校验和。

多项式CRC计算示例—24位字：0x654321(8命令位和16位数据)

下例使用基于多项式的校验和生成8位校验和：

初始值	011001010100001100100001	
	01100101010000110010000100000000	左移8位
$x^8 + x^2 + x + 1$	=	100000111
100100100000110010000100000000		XOR结果
100000111		多项式
1000110001100100001000000000		XOR结果
100000111		多项式
111111001000010000000000		XOR结果
100000111		多项式值
111110111000010000000000		XOR结果
100000111		多项式值
1111000000001000000000		XOR结果
100000111		多项式值
1110011100010000000000		XOR结果
100000111		多项式值
11001001001000000000		XOR结果
100000111		多项式值
10010101010000000000		XOR结果
100000111		多项式值
1011011000000000		XOR结果
100000111		多项式值
11010110000000		XOR结果
100000111		多项式值
101010110000		XOR结果
100000111		多项式值
1010001000		XOR结果
100000111		多项式值
10000110		校验和 = 0x86。

XOR计算

校验和为8位宽，产生方法如下：将数据拆分为字节，然后对这些字节执行XOR运算。

XOR计算示例—24位字：0x654321(8命令位和16位数据)

使用上例，

分为三个字节：0x65、0x43和0x21

01100101	0x65
01000011	0x43
00100110	XOR结果
00100001	0x21
00000111	CRC

诊断

AD7173-8有多种功能，可以在注重安全的应用中用于诊断目的，也可在多种其他应用中用来提升功能、增强有效性。

通用I/O

AD7173-8有2个通用数字输入/输出引脚(GPIO0、GPIO1)和2个通用数字输出引脚(GPO2、GPO3)。就如其命名规则所述，GPIO0和GPIO1引脚可以配置为输入或输出，但GPO2和GPO3则只是输出。GPIO和GPO引脚通过GPIOCON寄存器中的以下位使能：GPIO0和GPIO1为IP_EN0、IP_EN1(或OP_EN0、OP_EN1)，GPO2和GPO3为OP_EN2_3。

当GPIO0或GPIO1引脚被使能为输入时，引脚的逻辑电平分别包含在GP_DATA0和GP_DATA1位中。当GPIO0、GPIO1、GPO2或GPO3引脚被使能为输出时，GP_DATA0、GP_DATA1、GP_DATA2或GP_DATA3位分别决定引脚的逻辑电平输出。这些引脚的逻辑电平以AVDD1和AVSS为基准；因此，输出幅度为5 V或3.3 V，具体取决于AVDD1 - AVSS电压。

如果用一个外部多路复用器来增加通道数，则多路复用器的逻辑引脚可以用AD7173-8 GPIO和GPO引脚来控制。当MUX_IO位在GPIOCON寄存器中置1时(地址0x06，位12)，GPIO引脚的时序通过ADC控制；因此，通道变化与ADC同步，无需外部同步。

如果将GPIOCON寄存器中的ERR_EN位设为11， $\overline{\text{ERROR}}$ 引脚也可用作通用输出。这种配置下，GPIOCON寄存器的ERR_DAT位决定 $\overline{\text{ERROR}}$ 引脚的逻辑电平输出。引脚的逻辑电平以IOVDD和DGND为基准， $\overline{\text{ERROR}}$ 引脚具有一个有源上拉电阻。

16位/24位转换

AD7173-8默认产生24位转换结果。然而，转换结果的宽度可以减少至16位。将接口模式寄存器的WL16位设置为1，可将所有数据转换舍入到16位。此位清0时，数据转换的宽度为24位。

串行接口复位(DOUT_RESET)

每完成一次读操作，串行接口就会复位。串行接口复位的时刻是可编程的。默认情况下，串行接口在最后一个SCLK上升沿(即处理器读取LSB的SCLK沿)后的较短时间之后复位。接口模式寄存器的DOUT_RESET位设置为1时，接口

复位的时刻由 $\overline{\text{CS}}$ 上升沿控制。这种情况下，DOUT/ $\overline{\text{RDY}}$ 引脚继续输出所读取寄存器的LSB，直到 $\overline{\text{CS}}$ 变为高电平。只有到了 $\overline{\text{CS}}$ 上升沿，接口才复位。利用 $\overline{\text{CS}}$ 信号控制所有读操作时，此配置很有用。如果不使用 $\overline{\text{CS}}$ 来控制所有读操作，DOUT_RESET必须设为0，使得接口在读操作的最后一个SCLK沿之后复位。

同步

正常同步

当GPIOCON寄存器的SYNC_EN位设置为1时， $\overline{\text{SYNC}}$ 引脚用作同步引脚。利用 $\overline{\text{SYNC}}$ 输入，用户可以复位调制器和数字滤波器，而不会影响器件的任何设置条件。这样，用户就可以从已知时间点，即 $\overline{\text{SYNC}}$ 的上升沿开始采集模拟输入的样本。为确保同步发生，此引脚必须保持低电平至少一个主时钟周期。如果有多个通道使能，序列器将复位至第一个使能通道。

如果多个AD7173-8器件利用一个公共主时钟工作，则可以让这些器件同步，使其数据寄存器同时更新。这一般在各AD7173-8已执行自身的校准或已将校准系数载入其校准寄存器之后完成。 $\overline{\text{SYNC}}$ 引脚上的下降沿使数字滤波器和模拟调制器复位，并将AD7173-8置于一致的已知状态。在 $\overline{\text{SYNC}}$ 引脚为低电平期间，AD7173-8保持该状态。在 $\overline{\text{SYNC}}$ 上升沿，调制器和滤波器离开复位状态；在下一主时钟沿，器件再次开始采集输入样本。

该器件在 $\overline{\text{SYNC}}$ 由低到高跃迁之后的主时钟下降沿离开复位状态。因此，当同步多个器件时，在主时钟上升沿使 $\overline{\text{SYNC}}$ 引脚变为高电平，确保所有器件均在主时钟下降沿开始采样。如果 $\overline{\text{SYNC}}$ 引脚没有在充足的时间内变为高电平，则器件之间可能相差一个主时钟周期，即对于不同器件，获得转换结果的时刻最多相差一个主时钟周期。

$\overline{\text{SYNC}}$ 引脚也可以用作启动转换命令。这种模式下， $\overline{\text{SYNC}}$ 的上升沿启动转换， $\overline{\text{RDY}}$ 的下降沿指示转换已完成。每次数据寄存器更新时，必须预留滤波器的建立时间。

交替同步

将接口模式寄存器的ALT_SYNC位设置为1，可以使能交替同步方案。要使能此方案，GPIOCON寄存器的SYNC_EN位必须置1。这种模式下，当 $\overline{\text{SYNC}}$ 的多个通道使能时，引脚用作开始转换命令。

当SYNC变为低电平时，ADC完成对当前通道的转换，按顺序选择下一个通道，然后等到 $\overline{\text{SYNC}}$ 变为高电平时开始转换。当前通道的转换完成时， $\overline{\text{RDY}}$ 引脚变为低电平，数据寄存器更新为对应的转换结果。因此， $\overline{\text{SYNC}}$ 命令不会干扰当前选定通道的采样，但允许用户控制下一个通道开始转换的时刻。

此模式只能在使能多个通道时使用。仅使能一个通道时不建议使用这种模式。

错误标志

状态寄存器包含三个错误位——ADC_ERROR、CRC_ERROR和REG_ERROR，分别指示ADC转换错误、CRC校验错误和寄存器改变引起的错误。此外， $\overline{\text{ERROR}}$ 引脚可以指示已发生错误。

ADC_ERROR

状态寄存器的ADC_ERROR位指示转换过程中发生的所有错误。当ADC输出发生超量程或欠量程时，该标志位置1。发生欠量程或超量程时，ADC也会分别全部输出0或1。此标志仅在欠量程/超过程消失时复位。读取数据寄存器不会使其复位。

CRC_ERROR

如果一个写操作相关的CRC值与所发送的信息不一致，CRC_ERROR标志位即置1。一旦明确读取状态寄存器，该标志就会复位。

REG_ERROR

此标志位与接口模式寄存器的REG_CHECK位一起使用。当REG_CHECK位置1时，AD7173-8 监视片内寄存器的值。若有一位改变，REG_ERROR位就会置1。因此，为了写入片内寄存器，应将REG_CHECK置0。更新寄存器后，就可以将REG_CHK位置1。AD7173-8计算片内寄存器的校验和。若有一个寄存器值发生改变，REG_ERROR位就会置1。发现错误后，必须将REG_CHECK位清0才能清除状态寄存器的REG_ERROR位。寄存器校验功能不监视数据寄存器、状态寄存器和接口模式寄存器。

$\overline{\text{ERROR}}$ 引脚

$\overline{\text{ERROR}}$ 引脚充当错误输入/输出引脚或通用输出引脚。GPIOCON寄存器的ERR_EN位决定该引脚的功能。

ERR_EN位设置为10时，该引脚用作开漏错误输出引脚。状态寄存器的三个错误位(ADC_ERROR、CRC_ERROR和REG_ERROR)经过“或”运算并反转后映射到 $\overline{\text{ERROR}}$ 引脚。因此， $\overline{\text{ERROR}}$ 引脚指示已发生错误。为了发现错误来源，需要读取状态寄存器。

ERR_EN位设置为01时， $\overline{\text{ERROR}}$ 引脚用作错误输入引脚。另一个器件的错误引脚可以连接到AD7173-8 $\overline{\text{ERROR}}$ 引脚，因此AD7173-8可以指示自身或外部器件发生错误。 $\overline{\text{ERROR}}$ 引脚的值经过反转并与ADC转换错误进行“或”运算，结果通过状态寄存器的ADC_ERROR位显示。 $\overline{\text{ERROR}}$ 引脚的值反映在状态寄存器的ERR_DAT位。

ERR_EN位设置为00时， $\overline{\text{ERROR}}$ 引脚禁用。ERR_EN1位设置为11时， $\overline{\text{ERROR}}$ 引脚用作通用输出。

DATA_STAT

可以将状态寄存器的内容附加到AD7173-8的每次转换结果。使能多个通道时，此功能很有用。每次输出转换结果时，都会附加状态寄存器的内容。状态寄存器的4个LSB表示对应的转换通道。此外，用户可以通过错误位确定是否发生错误。

IOSTRENGTH位

串行接口可以采用低至2V的电源工作。在较高速率下(10 MHz至15 MHz以上)，如果板上存在中度寄生电容，DOUT/ $\overline{\text{RDY}}$ 引脚可能没有足够的驱动强度。接口模式寄存器的IOSTRENGTH位可提高DOUT/ $\overline{\text{RDY}}$ 引脚的驱动强度。建议使该位保持其默认值，除非使用的是高频SPI SCLK(即~15 MHz以上)。

接地和布局布线

由于模拟输入和基准输入均为差分输入，因此模拟调制器中的多数电压都是共模电压。器件的高共模抑制性能可消除这些输入信号中的共模噪声。为将模拟部分与数字部分之间的耦合降至最低，AD7173-8的模拟电源和数字电源彼此独立，各有单独的引脚排列。数字滤波器可抑制电源上的宽带噪声，但无法抑制那些频率为主时钟频率的整数倍的噪声。

另外，数字滤波器还能够消除来自模拟和基准输入端的噪声，但前提是这些噪声源没有使模拟调制器饱和。因此，与传统高分辨率转换器相比，AD7173-8具有更强的抗噪能力。不过，由于AD7173-8的分辨率较高，而转换器的噪声电平极低，因此必须谨慎对待接地和布局。

ADC所在的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。为实现最佳屏蔽，接地层一般应尽量少做蚀刻。

无论采取何种布局，用户均必须注意规划系统中电流的回流路径，确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。

避免在该器件下方布线数字线路，否则会将噪声耦合至芯片；将模拟接地层放在AD7173-8下方可以防止噪声耦合。AD7173-8的电源线路必须采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声。应利用数字地屏蔽时钟等快速切换信号，以免向电路板的其他部分辐射

噪声，并且绝不应将时钟信号走线布设在模拟输入附近。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，这样有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

使用高分辨率ADC时，良好的去耦十分重要。AD7173-8有3个电源引脚：AVDD1、AVDD2和IOVDD。AVDD1和AVDD2引脚以AVSS为基准，IOVDD引脚以DGND为基准。通过10 μF 钽电容与0.1 μF 电容的并联组合将AVDD1和AVDD2去耦至各引脚上的AVSS。使各电源的0.1 μF 电容应尽可能靠近该器件，最好正对着该器件。通过10 μF 钽电容与0.1 μF 电容的并联组合将IOVDD去耦至DGND。将所有模拟输入去耦至AVSS。如果使用外部基准电压源，将REF+和REF-引脚去耦至AVSS。

AD7173-8还有两个片上LDO稳压器，一个调节AVDD2电源，另一个调节IOVDD电源。对于REGCAPA引脚，建议利用1 μF 和0.1 μF 电容将其去耦至AVSS。类似地，对于REGCAPD引脚，建议利用1 μF 和0.1 μF 电容将其去耦至DGND。

如果AD7173-8采用分离电源供电，AVSS必须使用单独的层。举例来说，EVAL-AD7173-8SDZ客户评估板采用一块4层PCB板，其中，第三层面积最大的中央部分用作AVSS平面。图74所示即为该层的PCB布局。

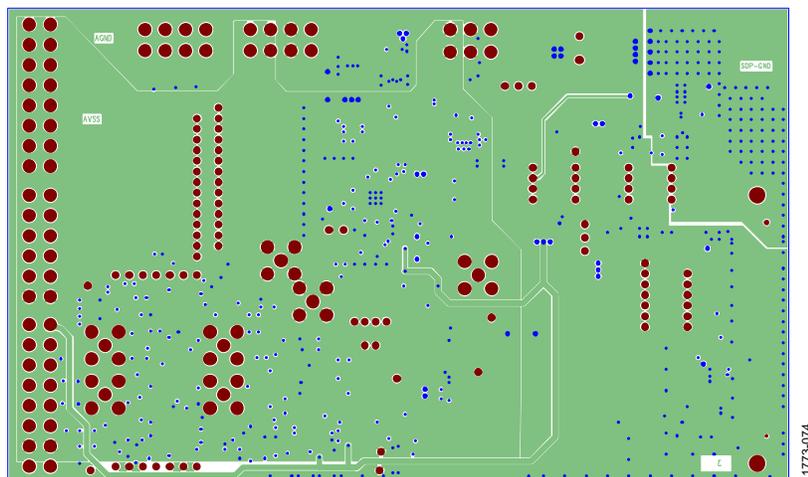


图74.EVAL-AD7173-8SDZ, PCB板第三层

寄存器汇总

表22.寄存器汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW	
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W	
0x00	STATUS	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	CHANNEL				0x80	R	
0x01	ADCMODE	[15:8]	REF_EN	保留	SING_CYC	保留		DELAY			0x2000	RW	
		[7:0]	保留	MODE			CLOCKSEL		保留				
0x02	IFMODE	[15:8]	保留			ALT_SYNC	IOSTRENGTH	保留		DOUT_RESET	0x0000	RW	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	保留	CRC_EN		保留	WL16			
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R
		[15:8]	REGISTER_CHECK[15:8]										
		[7:0]	REGISTER_CHECK[7:0]										
0x04	DATA	[23:0]	DATA[23:0]									0x000000	R
0x06	GPIOCON	[15:8]	保留	PDSW	OP_EN2_3	MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	RW	
		[7:0]	GP_DATA3	GP_DATA2	IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15:8]	ID[15:8]									0x30DX ¹	R
		[7:0]	ID[7:0]										
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			保留		AINPOS0[4:3]		0x8001	RW	
		[7:0]	AINPOS0[2:0]			AINNEG0							
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			保留		AINPOS1[4:3]		0x0001	RW	
		[7:0]	AINPOS1[2:0]			AINNEG1							
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			保留		AINPOS2[4:3]		0x0001	RW	
		[7:0]	AINPOS2[2:0]			AINNEG2							
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			保留		AINPOS3[4:3]		0x0001	RW	
		[7:0]	AINPOS3[2:0]			AINNEG3							
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			保留		AINPOS4[4:3]		0x0001	RW	
		[7:0]	AINPOS4[2:0]			AINNEG4							
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			保留		AINPOS5[4:3]		0x0001	RW	
		[7:0]	AINPOS5[2:0]			AINNEG5							
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			保留		AINPOS6[4:3]		0x0001	RW	
		[7:0]	AINPOS6[2:0]			AINNEG6							
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			保留		AINPOS7[4:3]		0x0001	RW	
		[7:0]	AINPOS7[2:0]			AINNEG7							
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			保留		AINPOS8[4:3]		0x0001	RW	
		[7:0]	AINPOS8[2:0]			AINNEG8							
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			保留		AINPOS9[4:3]		0x0001	RW	
		[7:0]	AINPOS9[2:0]			AINNEG9							
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			保留		AINPOS10[4:3]		0x0001	RW	
		[7:0]	AINPOS10[2:0]			AINNEG10							
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			保留		AINPOS11[4:3]		0x0001	RW	
		[7:0]	AINPOS11[2:0]			AINNEG11							
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			保留		AINPOS12[4:3]		0x0001	RW	
		[7:0]	AINPOS12[2:0]			AINNEG12							
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			保留		AINPOS13[4:3]		0x0001	RW	
		[7:0]	AINPOS13[2:0]			AINNEG13							
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			保留		AINPOS14[4:3]		0x0001	RW	
		[7:0]	AINPOS14[2:0]			AINNEG14							
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			保留		AINPOS15[4:3]		0x0001	RW	
		[7:0]	AINPOS15[2:0]			AINNEG15							
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	REF_BUF 0[1:0]		AIN_BUF 0[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN0	BUFCHOPMAX_0	REF_SEL0		保留						
0x21	SETUPCON1	[15:8]	保留			BI_UNIPOLAR1	REF_BUF 1[1:0]		AIN_BUF 1[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN1	BUFCHOPMAX_1	REFSEL1		保留						
0x22	SETUPCON2	[15:8]	保留			BI_UNIPOLAR2	REF_BUF 2[1:0]		AIN_BUF 2[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN2	BUFCHOPMAX_2	REFSEL2		保留						

AD7173-8

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x23	SETUPCON3	[15:8]	保留			BI_UNIPOLAR3	REF_BUF 3[1:0]	AIN_BUF 3[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN3	BUFCHOPMAX3	REFSEL3		保留					
0x24	SETUPCON4	[15:8]	保留			BI_UNIPOLAR4	REF_BUF 4[1:0]	AIN_BUF 4[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN4	BUFCHOPMAX4	REFSEL4		保留					
0x25	SETUPCON5	[15:8]	保留			BI_UNIPOLAR5	REF_BUF 5[1:0]	AIN_BUF 5[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN5	BUFCHOPMAX5	REFSEL5		保留					
0x26	SETUPCON6	[15:8]	保留			BI_UNIPOLAR6	REF_BUF 6[1:0]	AIN_BUF 6[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN6	BUFCHOPMAX6	REFSEL6		保留					
0x27	SETUPCON7	[15:8]	保留			BI_UNIPOLAR7	REF_BUF 7[1:0]	AIN_BUF 7[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN7	BUFCHOPMAX7	REFSEL7		保留					
0x28	FILTCON0	[15:8]	SINC3_MAP0	保留		ENHFILTEN0	ENHFILT0		0x0000	RW		
		[7:0]	保留	ORDER0	ODR0							
0x29	FILTCON1	[15:8]	SINC3_MAP1	保留		ENHFILTEN1	ENHFILT1		0x0000	RW		
		[7:0]	保留	ORDER1	ODR1							
0x2A	FILTCON2	[15:8]	SINC3_MAP2	保留		ENHFILTEN2	ENHFILT2		0x0000	RW		
		[7:0]	保留	ORDER2	ODR2							
0x2B	FILTCON3	[15:8]	SINC3_MAP3	保留		ENHFILTEN3	ENHFILT3		0x0000	RW		
		[7:0]	保留	ORDER3	ODR3							
0x2C	FILTCON4	[15:8]	SINC3_MAP4	保留		ENHFILTEN4	ENHFILT4		0x0000	RW		
		[7:0]	保留	ORDER4	ODR4							
0x2D	FILTCON5	[15:8]	SINC3_MAP5	保留		ENHFILTEN5	ENHFILT5		0x0000	RW		
		[7:0]	保留	ORDER5	ODR5							
0x2E	FILTCON6	[15:8]	SINC3_MAP6	保留		ENHFILTEN6	ENHFILT6		0x0000	RW		
		[7:0]	保留	ORDER6	ODR6							
0x2F	FILTCON7	[15:8]	SINC3_MAP7	保留		ENHFILTEN7	ENHFILT7		0x0000	RW		
		[7:0]	保留	ORDER7	ODR7							
0x30	OFFSET0	[23:0]	OFFSET0[23:0]						0x800000	RW		
0x31	OFFSET1	[23:0]	OFFSET1[23:0]						0x800000	RW		
0x32	OFFSET2	[23:0]	OFFSET2[23:0]						0x800000	RW		
0x33	OFFSET3	[23:0]	OFFSET3[23:0]						0x800000	RW		
0x34	OFFSET4	[23:0]	OFFSET4[23:0]						0x800000	RW		
0x35	OFFSET5	[23:0]	OFFSET5[23:0]						0x800000	RW		
0x36	OFFSET6	[23:0]	OFFSET6[23:0]						0x800000	RW		
0x37	OFFSET7	[23:0]	OFFSET7[23:0]						0x800000	RW		
0x38	GAIN0	[23:0]	GAIN0[23:0]						0x5XXX0 ²	RW		
0x39	GAIN1	[23:0]	GAIN1[23:0]						0x5XXX0 ²	RW		
0x3A	GAIN2	[23:0]	GAIN2[23:0]						0x5XXX0 ²	RW		
0x3B	GAIN3	[23:0]	GAIN3[23:0]						0x5XXX0 ²	RW		
0x3C	GAIN4	[23:0]	GAIN4[23:0]						0x5XXX0 ²	RW		
0x3D	GAIN5	[23:0]	GAIN5[23:0]						0x5XXX0 ²	RW		
0x3E	GAIN6	[23:0]	GAIN6[23:0]						0x5XXX0 ²	RW		
0x3F	GAIN7	[23:0]	GAIN7[23:0]						0x5XXX0 ²	RW		

¹ X = 无关位。X的值因具体ADC而异。

² X的值不尽相同，取决于所使用的IC。

寄存器详解

通信寄存器

地址：0x00；复位0x00；名称COMMS

表23.COMMS的位功能描述

位	位名称	设置	描述	复位	访问类型
7	WEN		要与ADC开始通信，此位必须为低电平。	0x0	W
6	R/W	0	写命令	0x0	W
		1	读命令		
[5:0]	RA		寄存器地址位决定当前通信读写哪一个寄存器。	0x00	W
		000000	状态寄存器		
		000001	ADC模式寄存器		
		000010	接口模式寄存器		
		000011	寄存器校验和寄存器		
		000100	数据寄存器		
		000110	GPIO配置寄存器		
		000111	ID寄存器		
		010000	通道0寄存器		
		010001	通道1寄存器		
		010010	通道2寄存器		
		010011	通道3寄存器		
		010100	通道4寄存器		
		010101	通道5寄存器		
		010110	通道6寄存器		
		010111	通道7寄存器		
		011000	通道8寄存器		
		011001	通道9寄存器		
		011010	通道10寄存器		
		011011	通道11寄存器		
		011100	通道12寄存器		
		011101	通道13寄存器		
		011110	通道14寄存器		
		011111	通道15寄存器		
		100000	设置配置0寄存器		
		100001	设置配置1寄存器		
		100010	设置配置2寄存器		
		100011	设置配置3寄存器		
		100100	设置配置4寄存器		
		100101	设置配置5寄存器		
		100110	设置配置6寄存器		
		100111	设置配置7寄存器		
		101000	滤波器配置0寄存器		
		101001	滤波器配置1寄存器		
		101010	滤波器配置2寄存器		
		101011	滤波器配置3寄存器		
		101100	滤波器配置4寄存器		
		101101	滤波器配置5寄存器		
		101110	滤波器配置6寄存器		
		101111	滤波器配置7寄存器		
		110000	失调0寄存器		
		110001	失调1寄存器		

AD7173-8

位	位名称	设置	描述	复位	访问类型
		110010	失调2寄存器		
		110011	失调3寄存器		
		110100	失调4寄存器		
		110101	失调5寄存器		
		110110	失调6寄存器		
		110111	失调7寄存器		
		111000	增益0寄存器		
		111001	增益1寄存器		
		111010	增益2寄存器		
		111011	增益3寄存器		
		111100	增益4寄存器		
		111101	增益5寄存器		
		111110	增益6寄存器		
		111111	增益7寄存器		

状态寄存器**地址：0x00；复位0x80；名称STATUS**

状态寄存器是一个8位寄存器，包含ADC和串行接口的状态信息。通过将接口模式寄存器的DATA_STAT位置1(位6，寄存器0x02)，可以将其附加到数据寄存器。

表24.STATUS的位功能描述

位	位名称	设置	描述	复位	访问类型
7	RDY	0 1	只要RDY为低电平且不在读取寄存器，RDY的状态就会输出到DOUT/ \overline{CS} 引脚。当ADC已将新结果写入数据寄存器时，此位变为低电平。在ADC校准模式下，ADC写入校准结果后，此位变为低电平。RDY在读取数据寄存器时自动变为高电平。 新数据结果可用 等待新数据结果	0x1	R
6	ADC_ERROR	0 1	此位默认指示是否发生ADC超量程或欠量程事件。如果发生超量程或欠量程，ADC结果将箝位至±满量程。此位在写入ADC结果时更新，在消除模拟输入的超量程或欠量程状况后清零。 无错误 有错误	0x0	R
5	CRC_ERROR	0 1	此位指示寄存器写操作期间是否发生CRC错误。对于寄存器读操作，主机微控制器决定是否发生CRC错误。读取此寄存器时，该位清0。 无错误 CRC错误	0x0	R
4	REG_ERROR	0 1	此位指示一个内部寄存器的内容是否发生变化，与激活寄存器完整性检查时计算的值不同。要激活该检查，须将接口模式寄存器的REG_CHECK位设置为1。REG_CHECK位清0时，此位清0。 无错误 有错误	0x0	R
[3:0]	通道	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	这些位指示数据寄存器中当前存储的结果所对应的ADC转换通道。这可能与当前正在转换的通道不同。这些位是通道x寄存器的直接映射；因此，通道0产生0x0，通道15产生0x1F。 通道0 通道1 通道2 通道3 通道4 通道5 通道6 通道7 通道8 通道9 通道10 通道11 通道12 通道13 通道14 通道15	0x0	R

AD7173-8

ADC模式寄存器

地址：0x01；复位0x2000；名称ADCMODE

ADC模式寄存器控制ADC的工作模式和主时钟选择。写入ADC模式寄存器会复位滤波器和RDY位，并开始新的转换或校准。

表25ADCMODE的位功能描述

位	位名称	设置	描述	复位	访问类型
15	REF_EN	0 1	使能内部基准电压源并输出缓冲2.5 V电压到REFOUT引脚。 禁用 使能	0x0	RW
14	保留		该位为保留位。置0。	0x0	R
13	SING_CYC	0 1	仅单个通道有效时，可以使用此位来设置ADC仅以建立的滤波器数据速率输出。 禁用 使能	0x1	RW
[12:11]	保留		这些位保留。置0。	0x0	R
[10:8]	延迟	000 001 010 011 100 101 110 111	这些位允许通道切换后增加一个可编程的延迟时间，以便外部电路能在ADC开始处理其输入前稳定下来。 0 μs 32 μs 128 μs 320 μs 800 μs 1.6 ms 4 ms 8 ms	0x0	RW
7	保留		该位为保留位。置0。	0x0	R
[6:4]	模式	000 001 010 011 100 110 111	这些位控制ADC的工作模式。详见“工作模式”部分。 连续转换模式 单次转换模式 待机模式 掉电模式 内部失调校准 系统失调校准 系统增益校准	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	此位用来选择ADC时钟源。如果选择内部振荡器，则也会使能内部振荡器。 内部振荡器 XTAL2/CLKIO引脚上的内部振荡器输出 XTAL2/CLKIO引脚上的外部时钟输入 XTAL1和XTAL2/CLKIO引脚上的外部晶振	0x0	RW
[1:0]	保留		这些位保留。置0。	0x0	R

接口模式寄存器

地址：0x02；复位0x0000；名称：IFMODE

接口模式寄存器配置各种串行接口选项。

表26.IFMODE的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:13]	保留		这些位保留。置0。	0x0	R
12	ALT_SYNC	0 1	此位使能SYNC引脚的不同行为，以便利用SYNC来控制循环通道的转换。 (详见关于“GPIO配置寄存器”中的SYNC_EN位的说明。) 0 禁用 1 使能	0x0	RW
11	IOSTRENGTH	0 1	此位控制DOUT (DOUT/RDY)引脚和XTAL2/CLKIO引脚的驱动强度。在IOVDD电源较低且电容中等的情况下高速读取串行接口时，将此位置1。 0 禁用(默认) 1 使能	0x0	RW
[10:9]	保留		这些位保留。置0。	0x0	R
8	DOUT_RESET	0 1	此位防止DOUT/RDY引脚在读操作最后一个SCLK上升沿之后立即从输出DOUT切换到输出RDY。相反，DOUT/RDY引脚继续输出数据的LSB，直到CS变为高电平，为SPI主机提供更长的保持时间来采样数据的LSB。如果此位置1，CS必须接低电平。 0 禁用 1 使能	0x0	RW
7	CONTREAD	0 1	此位使能连续读取ADC数据寄存器。要使用连续读取，将ADC配置为连续转换模式。详情参见“工作模式”部分。 0 禁用 1 使能	0x0	RW
6	DATA_STAT	0 1	此位使状态寄存器可以在读取时附加到数据寄存器上，使得通道和状态信息与数据一同传输。这是确保从状态寄存器读出的通道位与数据寄存器中的数据对应的唯一方式。 0 禁用 1 使能	0x0	RW
5	REG_CHECK	0 1	此位使能寄存器完整性检查，利用此检查可监视用户寄存器值的任何变化。要使用此特性，要在此位清0的情况下根据需要配置所有其他寄存器。然后写入此寄存器，设置REG_CHECK位为1。若有任一寄存器的内容发生变化，状态寄存器的REG_ERROR位就会置1。要清除错误，将REG_CHECK位置0。检查的寄存器不包括接口模式寄存器、ADC数据和状态寄存器。如果一个寄存器必须写入新值，先将此位清0；否则，写入新寄存器内容时会报错。 0 禁用 1 使能	0x0	RW
4	保留		该位为保留位。置0。	0x0	R
[3:2]	CRC_EN	00 01 10	使能寄存器读写的CRC保护。CRC会将串行接口传输的字节数加1。详情参见“CRC计算”部分。 00 禁用。 01 使能寄存器读处理的XOR校验和。寄存器写处理仍将使用CRC。 10 读和写处理均使能CRC校验和。	0x00	RW
1	保留		该位为保留位。置0。	0x0	R

AD7173-8

位	位名称	设置	描述	复位	访问类型
0	WL16		ADC数据寄存器变为16位。写入接口模式寄存器不会复位ADC；因此，写入这些位后，ADC结果不会立即舍入到正确的字长。第一个新的ADC结果是正确的。	0x0	RW
		0	24位数据		
		1	16位数据		

寄存器检查

地址：0x03；复位：0x000000；名称：REGCHECK

寄存器检查寄存器是一个24位检验和，是通过用户寄存器和一些不可访问的寄存器的内容进行XOR计算的结果。要使用此功能，接口模式寄存器的REG_CHECK位必须置1；否则，寄存器读出0。

表27.REGCHECK的位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	REGISTER_CHECK		接口模式寄存器的REG_CHECK位设置为1时，此寄存器包含用户寄存器的24位校验和。	0x000000	R

数据寄存器

地址：0x04；复位：0x000000；名称：DATA

数据寄存器包含ADC转换结果。编码为偏移二进制，但可以通过设置配置寄存器的BI_UNIPOLAR位更改为单极性。读取数据寄存器会将RDY位和引脚拉高(如果当前为低电平)。ADC结果可以多次读取，但由于RDY已被拉高，因此无法知道下一个ADC结果是否即将到来。若当前正在读取寄存器，ADC不会将新结果写入数据寄存器。

表28.DATA的位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	DATA		此寄存器包含ADC转换结果。若接口模式寄存器的DATA_STAT位置1，则读取时状态寄存器会附加于此寄存器，使其成为32位寄存器。如果在接口模式寄存器设置WL16，则该寄存器的长度将被设为16位。	0x000000	R

GPIO配置寄存器

地址：0x06；复位：0x0800；名称：GPIOCON

GPIO配置寄存器控制ADC的通用I/O引脚。

表29.GPIOCON的位功能描述

位	位名称	设置	描述	复位	访问类型
15	RESERVED		该位为保留位。置0。	0x0	R
14	PDSW		此位使能/禁用掉电开关功能。通过设置该位可以使引脚吸电流。此功能可用于桥式传感器应用，其中，开关控制着桥式传感器的上电/掉电。	0x0	RW
13	OP_EN2_3		此位使能GPO2和GPO3引脚。输出参考AVDD1与AVSS之间的电平。	0x0	RW
12	MUX_IO		此位允许ADC控制外部多路复用器，与内部通道顺序同步使用GPIO0/GPIO1/GPO2/GPO3。用于一个通道的模拟输入引脚仍可按通道进行选择。因此，可以在每个模拟输入对(AIN0/AIN1至AIN14/AIN15)之前放上一个16位多路复用器，使差分通道总数达到128个。但是，一次只能自动安排16个通道。在16个通道序列之后，用户更改下一对输入通道的模拟输入，并遍历后面的16个通道。有一个延迟功能，与任何开关外部多路复用器配合使用，可为模拟输入提供额外建立时间(详见“ADC模式寄存器”中的延迟位)。	0x0	RW
11	SYNC_EN	0 禁用 1 使能	此位可使SYNC引脚用作同步输入。设置为低电平时，SYNC引脚使ADC和滤波器保持复位状态，直到SYNC变为高电平为止。当接口模式寄存器的ALT_SYNC位置1时，可以使用SYNC引脚的另一个功能。此模式仅在使能多个通道时有效。这种情况下，SYNC引脚的低电平不会导致滤波器/调制器立即复位。相反，当通道就要切换时，如果SYNC引脚为低电平，则会阻止调制器和滤波器开始新的转换。将SYNC拉高就会开始新的转换。利用这一备选同步模式，可以在遍历通道的同时使用SYNC。	0x1	RW
[10:9]	ERR_EN	00 禁用 01 ERROR 是错误输入。(反转)回读状态与其他误差源进行“或”运算，结果通过状态寄存器的ADC_ERROR位输出。ERROR引脚状态也可通过此寄存器的ERR_DAT位读取。 10 ERROR 是开漏错误输出。状态寄存器错误位经过“或”运算、反转后映射到ERROR引脚。ERROR多个器件的引脚可以连接到同一个上拉电阻，这样就可以观察到任何器件的错误。 11 ERROR 是通用输出。此引脚的状态由该寄存器的ERR_DAT位控制。此引脚参考IOVDD与DGND之间的电平，而不是GPIO引脚使用的AVDD1和AVSS电平。这种模式下，该引脚有一个有源上拉电阻。	0x0	RW	
8	ERR_DAT		ERROR引脚用作通用输出时，此位决定其逻辑电平。用作输入时，它反映此引脚的回读状态。	0x0	RW
7	GP_DATA3		此位是GPO3的写入数据。	0x0	W
6	GP_DATA2		此位是GPO2的写入数据。	0x0	W
5	IP_EN1	0 禁用 1 使能	此位将GPIO1变为输入。输入应等于AVDD1或AVSS。	0x0	RW

AD7173-8

位	位名称	设置	描述	复位	访问类型
4	IP_EN0	0 1	此位将GPIO0变为输入。输入应等于AVDD1或AVSS。 禁用 使能	0x0	RW
3	OP_EN1	0 1	此位将GPIO1变为输出。输出参考AVDD1与AVSS之间的电平。 禁用 使能	0x0	RW
2	OP_EN0	0 1	此位将GPIO0变为输出。输出参考AVDD1与AVSS之间的电平。 禁用 使能	0x0	RW
1	GP_DATA1		此位是GPIO1的回读或写入数据。	0x0	RW
0	GP_DATA0		此位是GPIO0的回读或写入数据。	0x0	RW

ID寄存器

地址：0x07；复位：0x30DX；名称：ID

ID寄存器返回16位ID。对于AD7173-8，其为0x30DX。

表30.ID的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:0]	ID	0x30DX	ID寄存器返回ADC特定的16位ID代码。 AD7173-8	0x30DX ¹	R

¹X = 无关位。

通道寄存器0

地址：0x10；复位：0x8001；名称：CH0

通道寄存器是16位寄存器，用于选择当前有效的通道、各通道使用哪些输入以及该通道使用何种设置来配置ADC。

表31.CH0的位功能描述

位	位名称	设置	描述	复位	访问类型
15	CH_EN0	0 1	此位使能通道0。使能多个通道时，ADC自动按顺序处理各通道。 禁用 使能(默认)	0x1	RW
[14:12]	SETUP_SELO	000 001 010 011 100 101 110 111	这些位决定该通道使用8种设置中的哪一种来配置ADC。 设置由4个寄存器构成：设置配置寄存器、滤波器配置寄存器、失调寄存器和增益寄存器。 所有通道都可以使用相同的设置，此时对于所有有效的通道，将相同的3位值写入这些位；最多可以配置8个不同的通道。 设置0 设置1 设置2 设置3 设置4 设置5 设置6 设置7	0x0	RW
[11:10]	保留		这些位保留。置0。	0x0	R

位	位名称	设置	描述	复位	访问类型
[9:5]	AINPOS0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10101 10110	这些位选择此通道的哪个模拟输入连接到ADC的正输入。TEMP SENSOR±是一个内部温度传感器。 AIN0 (默认) AIN1 AIN2 AIN3 AIN4 AIN5 AIN6 AIN7 AIN8 AIN9 AIN10 AIN11 AIN12 AIN13 AIN14 AIN15 AIN16 TEMP SENSOR + TEMP SENSOR – REF+ REF–	0x0	RW
[4:0]	AINNEG0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10101 10110	这些位选择此通道的哪个模拟输入连接到ADC的负输入。 AIN0 AIN1 (默认) AIN2 AIN3 AIN4 AIN5 AIN6 AIN7 AIN8 AIN9 AIN10 AIN11 AIN12 AIN13 AIN14 AIN15 AIN16 TEMP SENSOR + TEMP SENSOR – REF+ REF–	0x1	RW

AD7173-8

通道寄存器1至通道寄存器15

地址范围：0x11至0x1F；复位：0x0001；名称：CH1至CH15

后续通道寄存器(CH1至CH15)使用与CH0寄存器相同的结构。默认情况下它们是禁用的(MSB = 0)。创建的每个通道都可以以8种设置之一为基准。序列器按顺序遍历每个使能通道。

表32对这些寄存器、其地址和复位值进行了汇总。

表32.CH1至CH15汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			保留		AINPOS1[4:3]		0x0001	RW
		[7:0]	AINPOS1[2:0]			AINNEG1						
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			保留		AINPOS2[4:3]		0x0001	RW
		[7:0]	AINPOS2[2:0]			AINNEG2						
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			保留		AINPOS3[4:3]		0x0001	RW
		[7:0]	AINPOS3[2:0]			AINNEG3						
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			保留		AINPOS4[4:3]		0x0001	RW
		[7:0]	AINPOS4[2:0]			AINNEG4						
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			保留		AINPOS5[4:3]		0x0001	RW
		[7:0]	AINPOS5[2:0]			AINNEG5						
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			保留		AINPOS6[4:3]		0x0001	RW
		[7:0]	AINPOS6[2:0]			AINNEG6						
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			保留		AINPOS7[4:3]		0x0001	RW
		[7:0]	AINPOS7[2:0]			AINNEG7						
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			保留		AINPOS8[4:3]		0x0001	RW
		[7:0]	AINPOS8[2:0]			AINNEG8						
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			保留		AINPOS9[4:3]		0x0001	RW
		[7:0]	AINPOS9[2:0]			AINNEG9						
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			保留		AINPOS10[4:3]		0x0001	RW
		[7:0]	AINPOS10[2:0]			AINNEG10						
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			保留		AINPOS11[4:3]		0x0001	RW
		[7:0]	AINPOS11[2:0]			AINNEG11						
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			保留		AINPOS12[4:3]		0x0001	RW
		[7:0]	AINPOS12[2:0]			AINNEG12						
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			保留		AINPOS13[4:3]		0x0001	RW
		[7:0]	AINPOS13[2:0]			AINNEG13						
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			保留		AINPOS14[4:3]		0x0001	RW
		[7:0]	AINPOS14[2:0]			AINNEG14						
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			保留		AINPOS15[4:3]		0x0001	RW
		[7:0]	AINPOS15[2:0]			AINNEG15						

设置配置寄存器0

地址：0x20；复位：0x1000；名称：SETUPCON0

设置配置寄存器是16位寄存器，用于配置ADC的基准电压源选择、输入缓冲器、激励电流和输出编码方式。

表33.SETUPCON0的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:13]	保留		这些位保留。置0。	0x0	R
12	BI_UNIPOLAR0	0 1	此位设置设置0的ADC输出编码。 单极性编码输出 偏移二进制编码输出	0x1	RW
[11:10]	REF_BUF_0[1:0]	00 11	基准输入缓冲器使能。这些位开启正负基准输入的缓冲器。这种方式可以为外部基准电压源提供高阻抗输入，并使其与ADC的开关电容基准采样输入分隔开来。同时使用两个基准缓冲器。 基准输入缓冲器禁用 基准输入缓冲器使能	0x0	RW
[9:8]	AIN_BUF_0[1:0]	00 11	模拟输入缓冲器使能。这些位开启正负模拟输入的缓冲器。这种方式可以为器件提供高阻抗输入，并使测量传感器/信号与ADC的开关电容采样输入分隔开来。同时使用两个模拟输入缓冲器。 模拟输入缓冲器禁用 模拟输入缓冲器使能	0x0	RW
7	BURNOUT_EN0		此位在所选正模拟输入上使能10 μA源电流，在所选负模拟输入上使能10 μA吸电流。激励电流可以用于开路诊断，在这种情况下，ADC结果变为满量程。在测量期间使能BURNOUT电流，结果可在ADC读数上获得大约1 μV的失调电压。这意味着，在精密测量前后间隔开启BURNOUT电流，这样做是诊断开路的最佳方式。	0x0	RW
6	BUFCHOPMAX0		此位使能最大缓冲器斩波频率，增加AIN输入电流，降低缓冲器噪声。	0x0	RW
[5:4]	REF_SEL0	00 01 10 11	通过这些位可以选择用于设置0 ADC转换的基准电压源。 提供给REF+和REF-引脚的外部基准电压源 提供给AIN1/REF2+和AIN0/REF2-引脚的外部基准电压源2 内部2.5 V基准电压源；该基准电压源必须同时在ADC模式寄存器中使能AVDD1-AVSS；该设置可用于诊断，验证其他基准值。	0x0	RW
[3:0]	保留		这些位保留。置0。	0x0	R

AD7173-8

设置配置寄存器1至设置配置寄存器7

地址：0x21至0x27；复位：0x1000；名称：SETUPCON1至SETUPCON7

剩下的7个设置配置寄存器使用与SETUPCON0相同的16位寄存器布局。它们配置ADC的基准电压源选择、输入缓冲器、激励电流和输出编码方式。

表34.SETUPCON1至SETUPCON7汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x21	SETUPCON1	[15:8]	保留			BI_UNIPOLAR1	REF_BUF 1[1:0]	AIN_BUF 1[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN1	BUFCHOPMAX1	REFSEL1		保留					
0x22	SETUPCON2	[15:8]	保留			BI_UNIPOLAR2	REF_BUF 2[1:0]	AIN_BUF 2[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN2	BUFCHOPMAX2	REFSEL2		保留					
0x23	SETUPCON3	[15:8]	保留			BI_UNIPOLAR3	REF_BUF 3[1:0]	AIN_BUF 3[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN3	BUFCHOPMAX3	REFSEL3		保留					
0x24	SETUPCON4	[15:8]	保留			BI_UNIPOLAR4	REF_BUF 4[1:0]	AIN_BUF 4[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN4	BUFCHOPMAX4	REFSEL4		保留					
0x25	SETUPCON5	[15:8]	保留			BI_UNIPOLAR5	REF_BUF 5[1:0]	AIN_BUF 5[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN5	BUFCHOPMAX5	REFSEL5		保留					
0x26	SETUPCON6	[15:8]	保留			BI_UNIPOLAR6	REF_BUF 6[1:0]	AIN_BUF 6[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN6	BUFCHOPMAX6	REFSEL6		保留					
0x27	SETUPCON7	[15:8]	保留			BI_UNIPOLAR7	REF_BUF 7[1:0]	AIN_BUF 7[1:0]		0x1000	RW	
		[7:0]	BURNOUT_EN7	BUFCHOPMAX7	REFSEL7		保留					

滤波器配置寄存器0**地址：0x28；复位：0x0000；名称：FILTCON0**

滤波器配置寄存器是16位寄存器，用于配置ADC数据速率和滤波器选项。写入此类寄存器会复位任何正在进行的ADC转换，重新从序列中的第一个通道开始转换。

表35.FILTCON0的位功能描述

位	位名称	设置	描述	复位	访问类型
15	SINC3_MAP0		如果此位置1，滤波器配置寄存器的映射将变为直接对设置0的Sinc3滤波器的抽取率进行编程。所有其他选项均无效。这种情况下，可以对输出数据速率和滤波器陷波进行精密调整，以便抑制特定频率。在单通道中，如果单周期建立被禁用，则数据速率等于FMOD/(32 × FILTCON0[14:0])。	0x0	RW
[14:12]	保留		这些位保留。置0。	0x0	R
11	ENHFILTENO	0 1	此位使能设置0的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。为了使该设置生效，还必须将ORDERx位设为00，以选择sinc5 + sinc1滤波器。 禁用 使能	0x0	RW
[10:8]	ENHFILTO	010 011 101 110	这些位选择设置0的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。 27.27 SPS、47 dB抑制、36.67 ms建立 25 SPS、62 dB抑制、40 ms建立 20 SPS、86 dB抑制、50 ms建立 16.67 SPS、92 dB抑制、60 ms建立	0x0	RW
7	保留		该位为保留位。置0。	0x0	R
[6:5]	ORDER0	00 11	这些位控制设置0的数字滤波器(用于处理调制器数据)的阶数。 Sinc5 + Sinc1(默认) Sinc3	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110	这些位控制ADC的输出数据速率，从而控制设置0的建立时间和噪声。 31,250 SPS 31,250 SPS 31,250 SPS 31,250 SPS 31,250 SPS 31,250 SPS 15,625 SPS 10,417 SPS 5208 SPS 2597 SPS(sinc3为 2604 SPS) 1007 SPS(sinc3为 1008 SPS) 503.8 SPS(sinc3为 504 SPS) 381 SPS(sinc3为 400.6 SPS) 200.3 SPS 100.5 SPS 59.52 SPS(sinc3为 59.98 SPS) 49.68 SPS(sinc3为 50 SPS) 20.01 SPS 16.63 SPS(sinc3为 16.67 SPS) 10 SPS 5 SPS 2.5 SPS 1.25 SPS	0x0	RW

AD7173-8

滤波器配置寄存器1至滤波器配置寄存器7

地址范围：0x29至0x2F；复位：0x0000；名称：FILTCON1至FILTCON7

剩下的7个滤波器配置寄存器使用与FILTCON0相同的16位寄存器布局。它们配置ADC数据速率和滤波器选项，并按编号映射。写入此类寄存器会复位任何正在进行的ADC转换，重新从序列中的第一个通道开始转换。

表36.FILTCON1至FILTCON7汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x29	FILTCON1	[15:8]	SINC3_MAP1	保留			ENHFILTEN1	ENHFILT1			0x0000	RW
		[7:0]	保留	ORDER1		ODR1						
0x2A	FILTCON2	[15:8]	SINC3_MAP2	保留			ENHFILTEN2	ENHFILT2			0x0000	RW
		[7:0]	保留	ORDER2		ODR2						
0x2B	FILTCON3	[15:8]	SINC3_MAP3	保留			ENHFILTEN3	ENHFILT3			0x0000	RW
		[7:0]	保留	ORDER3		ODR3						
0x2C	FILTCON4	[15:8]	SINC3_MAP4	保留			ENHFILTEN4	ENHFILT4			0x0000	RW
		[7:0]	保留	ORDER4		ODR4						
0x2D	FILTCON5	[15:8]	SINC3_MAP5	保留			ENHFILTEN5	ENHFILT5			0x0000	RW
		[7:0]	保留	ORDER5		ODR5						
0x2E	FILTCON6	[15:8]	SINC3_MAP6	保留			ENHFILTEN6	ENHFILT6			0x0000	RW
		[7:0]	保留	ORDER6		ODR6						
0x2F	FILTCON7	[15:8]	SINC3_MAP7	保留			ENHFILTEN7	ENHFILT7			0x0000	RW
		[7:0]	保留	ORDER7		ODR7						

失调寄存器0

地址：0x30；复位：0x800000；名称：OFFSET0

失调(零电平)寄存器是24位寄存器，可用于补偿ADC或系统中的任何失调误差。

表37.OFFSET0的位功能描述

位	位名称	设置	描述	复位	访问类型
[23:0]	OFFSET0		设置0的失调校准系数。	0x800000	RW

失调寄存器1至失调寄存器7

地址范围：0x31至0x37；复位：0x800000；名称：OFFSET1至OFFSET7

失调(零电平)寄存器(OFFSET1至OFFSET7)采用与OFFSET0相同的结构(24位)。它们可以单独用于补偿ADC或系统中的任何失调误差。

表38.OFFSET1至OFFSET7汇总

寄存器	名称	位	位[23:0]	复位	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]	0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]	0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]	0x800000	RW
0x34	OFFSET4	[23:0]	OFFSET4[23:0]	0x800000	RW
0x35	OFFSET5	[23:0]	OFFSET5[23:0]	0x800000	RW
0x36	OFFSET6	[23:0]	OFFSET6[23:0]	0x800000	RW
0x37	OFFSET7	[23:0]	OFFSET7[23:0]	0x800000	RW

增益寄存器0

地址：0x38；复位：0x5XXXX0；名称：GAIN0

增益(满量程)寄存器是24位寄存器，可用于补偿ADC或系统中的任何增益误差。

表39.GAIN0的位功能描述

位	位名称	设置	描述	复位 ¹	访问类型
[23:0]	GAIN0		设置0的增益校准系数。	0x5XXXX0	RW

¹ X的值不尽相同，取决于所使用的IC。**增益寄存器1至增益寄存器7**

地址范围：0x39至0x3F；复位：0x5XXXX0；名称：GAIN1至GAIN7

增益(满量程)寄存器(GAIN1至GAIN7)采用与GAIN0寄存器相同的24位结构。它们可以用来补偿ADC或系统中的任何增益误差，并根据其编号分配至给定设置。

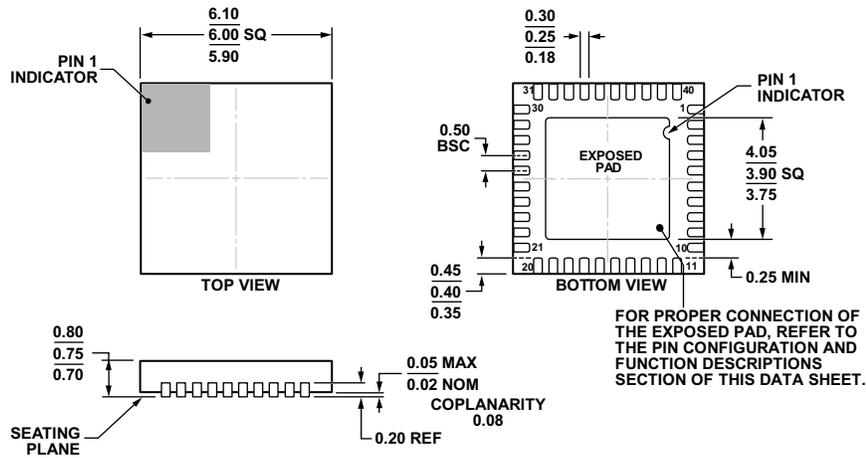
表40.GAIN1至GAIN7汇总

寄存器	名称	位	位[23:0]	复位 ¹	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]	0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]	0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]	0x5XXXX0	RW
0x3C	GAIN4	[23:0]	GAIN4[23:0]	0x5XXXX0	RW
0x3D	GAIN5	[23:0]	GAIN5[23:0]	0x5XXXX0	RW
0x3E	GAIN6	[23:0]	GAIN6[23:0]	0x5XXXX0	RW
0x3F	GAIN7	[23:0]	GAIN7[23:0]	0x5XXXX0	RW

¹ X的值不尽相同，取决于所使用的IC。

AD7173-8

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD.

图75.40引脚引线框芯片级封装[LFCSP_WQ]
6 mm x 6 mm超薄体四通道
(CP-40-14)
图示尺寸单位: mm

05-06-2011-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7173-8BCPZ	-40°C至+105°C	40引脚 LFCSP_WQ	CP-40-14
AD7173-8BCPZ-RL	-40°C至+105°C	40引脚 LFCSP_WQ	CP-40-14
EVAL-AD7173-8SDZ		评估板	
EVAL-SDP-CB1Z		评估控制板	

¹ Z = 符合RoHS标准的器件。

注释

AD7173-8

注释