

1000 V SenseFET 集成电源开关

FSL4110LR

描述

FSL4110LR 是集成式脉宽调制 (PWM) 控制器和 1000 V 雪崩耐用 SenseFET，专用于外部元件最少的高输入电压离线式开关模式电源 (SMPS)。V_{CC} 可通过无辅助偏压绕组的集成式高压电源调节器供电。

集成式 PWM 控制器包括固定频率振荡器、欠压锁定 (UVLO)、前沿消隐 (LEB)、优化的栅极驱动器、内部软启动、用于环路补偿的温度补偿精密电流源和各种保护电路。

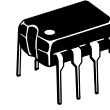
与分立式 MOSFET 和 PWM 控制器解决方案相比，FSL4110LR 可在降低总成本、元件数、PCB 尺寸以及重量的同时提高效率、生产率和系统可靠性。该器件提供了一个基本的平台，适合设计高性价比的反激式转换器。

特性

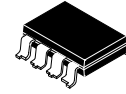
- 内置雪崩耐用 1000 V SenseFET
- 精确的固定工作频率：50 kHz
- V_{CC} 可采用偏压绕组或自适应偏置供电
- 软间歇模式操作可最大程度降低音频 噪音
- 电磁干扰小的随机频率波动
- 逐脉冲限流
- 各种保护功能：过载保护 (OLP)、过压保护 (OVP)、异常过流保护 (AOCP)、带滞回功能的内部热关断 (TSD)。带滞回功能的欠压锁定 (UVLO) 和线路过压保护 (LOVP)。
- 内置内部启动和软启动电路
- 对于所有保护功能的安全自动重启模式，固定重启时间为 1.6 s
- These are Pb-Free Devices

应用

- 适用于电能计量的 SMPS
- 适用于 3 相输入工业系统的辅助电源

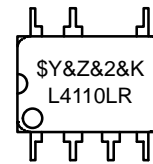


PDIP-7 (PDIP-8 LESS PIN 6)
(7-DIP)
CASE 626A

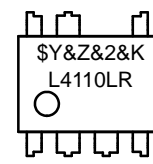


PDIP7 MINUS PIN 6 GW
(7-LSOP)
CASE 707AA

MARKING DIAGRAM



FSL4110LRN



FSL4110LRLX

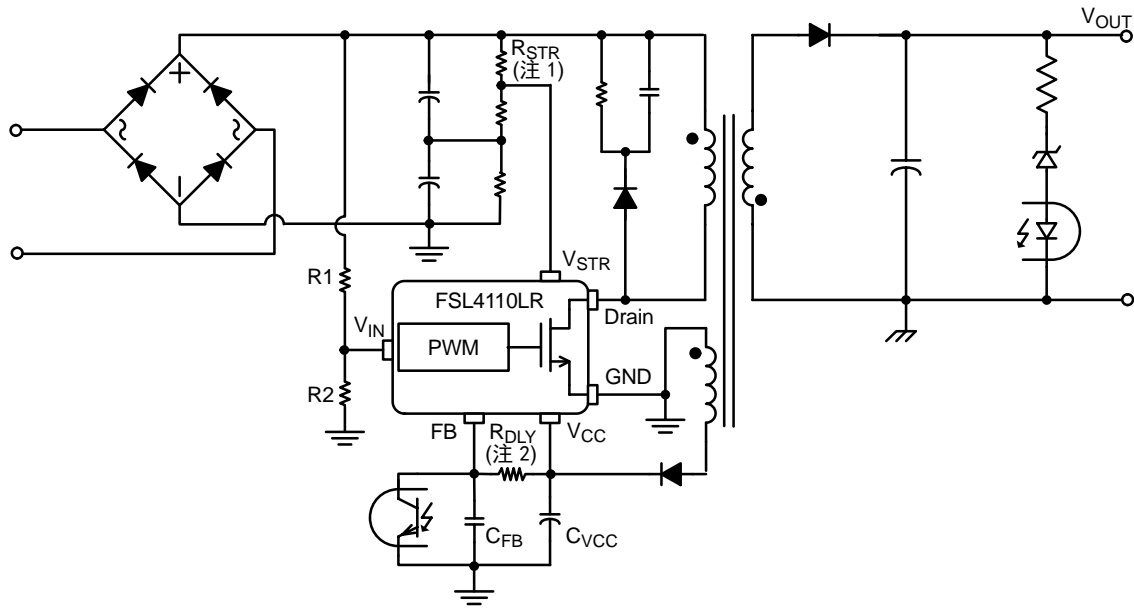
- | | |
|---------|--------------------------------------|
| \$Y | = Logo |
| &Z | = Assembly Plant Code |
| &2 | = 2-Digit Date Code |
| &K | = 2-Digits Lot Run Traceability Code |
| L4110LR | = Specific Device Code |

ORDERING INFORMATION

See detailed ordering and shipping information on page 13 of this data sheet.

FSL4110LR

典型应用电路



注意:

1. RSTR: 请参见功能说明 [启动与高压调节器](#)。
2. RDLY: 请参见功能说明 [过载保护 \(OLP\)](#)。

图 1. 典型应用电路

内部框图

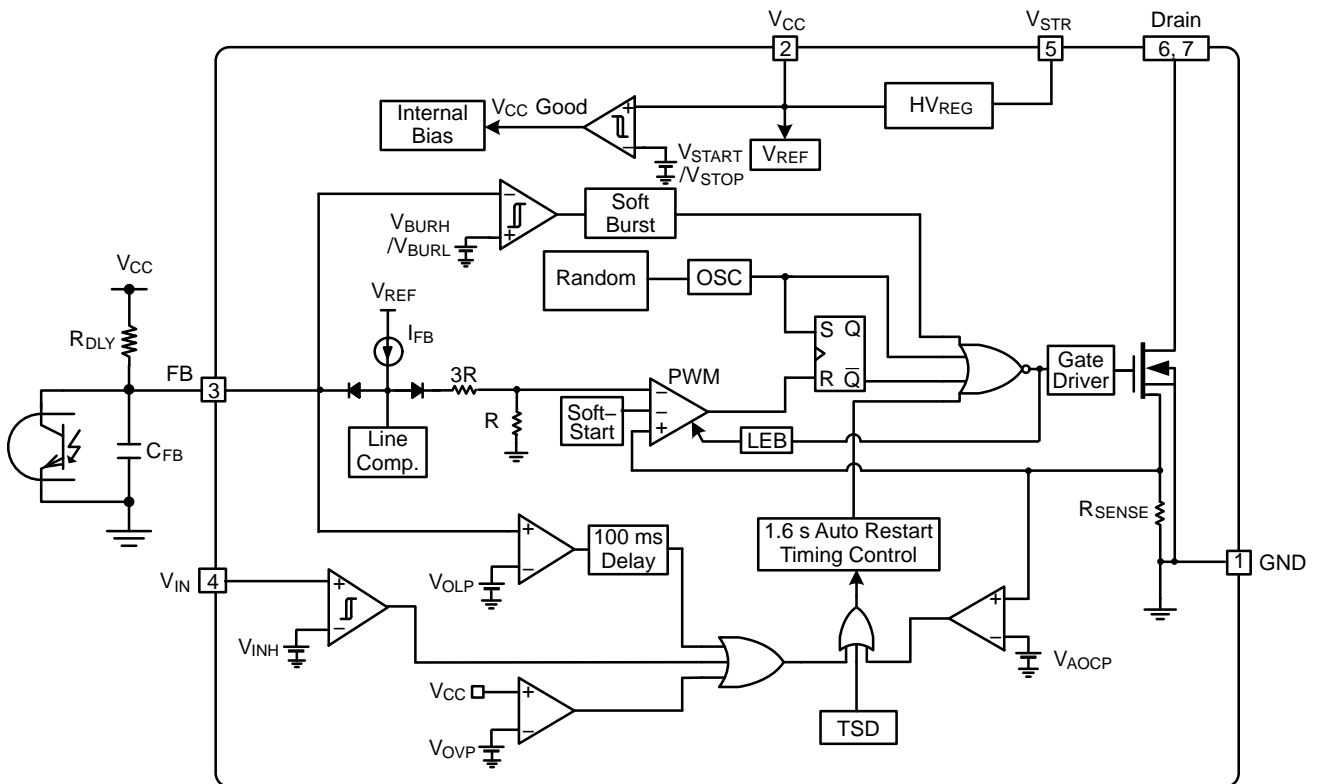


图 2. 内部框图

FSL4110LR

引脚配置

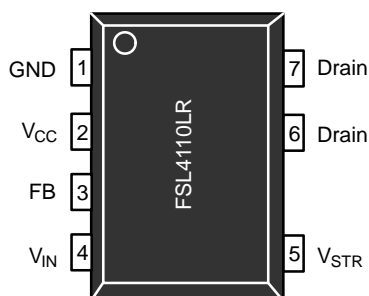


图 3. 引脚配置 (俯视图)

引脚定义

引脚号	名称	描述
1	GND	接地。初级端和内部 PWM 控制地上的 SenseFET 源极端。
2	V _{CC}	电源电压输入。该引脚为电源正输入，为启动和稳态运行提供内部工作电流。该电压在启动过程中由内部高压调节器通过引脚 5 (V _{STR}) 提供 (参见图 2)。当外部偏压高于 10 V 时，禁用内部高压调节器。需在尽可能靠近此引脚和引脚 1 (GND) 之间放置一个陶瓷电容。建议距离小于 3 mm。
3	FB	反馈。此引脚从内部连接至 PWM 比较器的反相输入。此引脚的内部电流源为 100 μA。光电耦合器的集电极通常连接至此引脚。应在此引脚和 GND 之间放置一个电容。应在此引脚和引脚 2 (V _{CC}) 之间连接一个电阻，以在过载保护延迟时间内生成延迟电流 (I _{DELAY})。电阻的自适应偏置不得超过 5 MΩ。
4	V _{IN}	线电压过压输入。此引脚为分线电压的输入引脚。由电阻进行分压。当此电压高于 2 V 时，FSL4110LR 不运行。如果此引脚未使用，则应连接到地。
5	V _{STR}	启动。连接至整流后的 AC 线路电压源。启动时，内部开关提供内部偏压并对位于 V _{CC} 引脚和接地间的外部存储电容进行充电。一旦 V _{CC} 达到 12 V，所有内部模块均被激活。打开并关闭内部高压调节器，以在无辅助偏压绕组的情况下将 V _{CC} 保持为 10 V。
6, 7	Drain	漏极。用于直接连接至变压器的初级引脚，开关电压最大为 1000 V。最大程度地缩短这些引脚与变压器的连接走线长度，以减小漏感。

FSL4110LR

绝对最大额定值

符号	参数	最小值	最大值	单位	
V_{STR}	V_{STR} 引脚电压	-	700	V	
V_{DS}	漏极引脚电压	-	1000	V	
V_{CC}	V_{CC} 引脚电压	-	27	V	
V_{FB}	反馈引脚电压 (注 3)	-0.3	12.0	V	
V_{IN}	V_{IN} 引脚电压 (注 3)	-0.3	12.0	V	
I_{DM}	脉冲漏极电流	-	4	A	
I_{DS}	连续开关漏极电流 (注 4)	$T_C = 25^\circ\text{C}$	-	1	A
		$T_C = 100^\circ\text{C}$	-	0.6	A
E_{AS}	单脉冲雪崩能量 (注 5)	-	51	mJ	
P_D	总功耗 ($T_C = 25^\circ\text{C}$) (注 6)	-	1.5	W	
T_J	最大结温	-	150	$^\circ\text{C}$	
	工作结温 (注 7)	-40	+125	$^\circ\text{C}$	
TSTG	存储温度	-55	+150	$^\circ\text{C}$	

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考译文)

如果电压超过最大额定值表中列出的值范围，器件可能会损坏。如果超过任何这些限值，将无法保证器件功能，可能会导致器件损坏，影响可靠性。

3. V_{FB} 和 V_{IN} 由内部箝位二极管进行箝位 (11 V, $I_{CLAMP_MAX} < 100 \mu\text{A}$)。

4. 假定感性负载时重复峰值开关电流：受最大占空比 ($D_{MAX} = 0.73$) 和结温的限制 (参见图 4)。

5. $I_{AS} = 3.2 \text{ A}$ 、 $L = 10 \text{ mH}$ 、启动 $T_J = 25^\circ\text{C}$ 。

6. 无限冷却条件 (请参见 SEMI G30-88)。

7. 虽然此参数保证 IC 工作，但不保证所有电气特性。

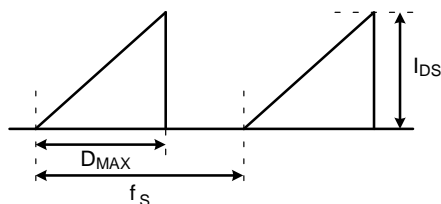


图 4. 重复峰值开关电流

热阻

符号	参数	数值	单位
θ_{JA}	结至环境热阻 (注 8)	85	$^\circ\text{C}/\text{W}$

8. JEDEC 推荐环境，JESD51-2 和测试板 JESD51-3，具有最小焊盘布局。

静电放电 (ESD) 能力

符号	参数	数值	单位
ESD	人体模型，ANSI/ESDA/JEDEC JS-001-2012	5.0	KV
	元件充电模型，JESD22-C101	2.0	

FSL4110LR

电气特性 ($T_J = -40^{\circ}\text{C}$ 至 125°C , 除非另有规定)

符号	参数	工作条件	最小值	典型值	最大值	单位
----	----	------	-----	-----	-----	----

SenseFET 部分

BV_{DSS}	漏源极击穿电压 (注 9)	$V_{GS} = 0\text{ V}, I_D = 250\ \mu\text{A}$	1000	-	-	V
I_{DSS}	零栅极电压漏电流 (注 9)	$V_{DS} = 1000\text{ V}, V_{GS} = 0\text{ V}$	-	-	250	μA
$R_{DS(ON)}$	漏源极导通电阻 (注 9)	$V_{GS} = 10\text{ V}, I_D = 1.0\text{ A}$	-	-	10	Ω
C_{ISS}	输入电容 (注 9) (注 10)	$V_{DS} = 25\text{ V}, V_{GS} = 0\text{ V},$ $f = 1\text{ MHz}$	-	367	477	pF
C_{OSS}	输出电容 (注 9) (注 10)		-	37.5	48.8	pF
$t_{d(on)}$	导通延迟时间 (注 9)	$V_{DD} = 500\text{ V}, I_D = 1.0\text{ A},$ $V_{GS} = 10\text{ V}, R_g = 25\ \Omega$	-	13.7	-	ns
t_r	上升时间 (注 9)		-	14	-	ns
$t_{d(off)}$	关断延迟时间 (注 9)		-	33	-	ns
t_f	下降时间 (注 9)		-	45	-	ns

控制部分

f_S	开关频率 (注 9)	$V_{CC} = 14\text{ V}, V_{FB} = 4\text{ V}$	46.5	50.0	53.5	kHz
f_M	频率调制 (注 10)		-	± 1.5	-	kHz
D_{MAX}	最大占空比	$V_{CC} = 14\text{ V}, V_{FB} = 4\text{ V}$	61	67	73	%
I_{FB}	反馈源电流 (注 9)	$V_{FB} = 0\text{ V}$	70	100	130	μA
V_{START}	UVLO 阈值电压	$V_{FB} = 0\text{ V}, V_{CC}$ 扫描	11	12	13	V
V_{STOP}		导通后, $V_{FB} = 0\text{ V}$	7	8	9	
$t_{S/S}$	内部软启动时间	$V_{STR} = 40\text{ V}, V_{CC}$ 扫描	-	20	-	ms

间歇模式部分

V_{BURH}	间歇模式电压 (注 9)	$V_{CC} = 14\text{ V}, V_{FB}$ 扫描	0.45	0.50	0.55	V
V_{BURL}			0.35	0.40	0.45	V
V_{HYS}			-	100	-	mV

保护部分

I_{LIM}	峰值漏极限流 (注 9)	$di/dt = 240\text{ mA}/\mu\text{s}$	0.45	0.52	0.59	A
V_{OLP}	过载保护 (注 9)	$V_{CC} = 14\text{ V}, V_{FB}$ 扫描	4.0	4.4	4.8	V
V_{AOCP}	异常过流保护 (注 10)		-	1.0	-	V
t_{LEB}	前沿消隐时间 (注 10) (注 11)		-	250	-	ns
t_{CLD}	电流限制延迟时间 (注 10)		-	-	200	ns
V_{OVP}	过压保护	V_{CC} Sweep	23.0	24.5	26.0	V
V_{INH}	线路过压保护阈值电压	$V_{CC} = 14\text{ V}, V_{IN}$ 扫描	1.9	2.0	2.1	V
V_{INHYS}	线路过压保护滞回 (注 9)	$V_{CC} = 14\text{ V}, V_{IN}$ 扫描	-	100	-	mV
t_{DELAY}	过载保护延迟		-	100	-	ms
$t_{RESTART}$	保护后重启时间 (注 10)		-	1.6	-	s
TSD	热关断温度 (注 10)	关断温度	130	140	150	$^{\circ}\text{C}$
T_{HYS}		滞回 (FSL4110LRN)	-	60	-	
		滞回 (FSL4110LRLX)	-	30	-	

高压调节器部分

V_{HVREG}	高压调节器电压	$V_{FB} = 0\text{ V}, V_{STR} = 40\text{ V}$	9	10	11	V
-------------	---------	--	---	----	----	---

FSL4110LR

电气特性 ($T_J = -40^{\circ}\text{C}$ 至 125°C , 除非另有规定) (续)

符号	参数	工作条件	最小值	典型值	最大值	单位
总器件部分						
I_{OP}	工作电源电流, (间歇模式中的控制部分) (注 9)	$V_{CC} = 14\text{ V}, V_{FB} = 0\text{ V}$	-	0.40	0.50	mA
I_{OPS}	工作开关电流, (控制部分和 SenseFET 部分) (注 9)	$V_{CC} = 14\text{ V}, V_{FB} = 2\text{ V}$	-	1.00	1.35	mA
I_{START}	启动电流 (注 9)	$V_{CC} = 11\text{ V}$ (V_{CC} 扫频 V_{START} 之前)	-	160	240	μA
I_{CH}	启动充电电流 (注 9)	$V_{CC} = V_{FB} = 0\text{ V}, V_{STR} = 40\text{ V}$	1.5	2.0	-	mA
V_{STR}	最小 V_{STR} 电源电压	$C_{VCC} = 0.1\ \mu\text{F}, V_{STR}$ 扫频	-	-	26	V

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考译文)

除非另有说明, “电气特性”表格中列出的是所列测试条件下的产品性能参数。如果在不同条件下运行, 产品性能可能与“电气特性”表格中所列性能参数不一致。

9. $T_J = 25^{\circ}\text{C}$ 。

10. 这些参数尽管得到保证, 但并非 100% 经过生产测试。

11. t_{LEB} 包括栅极导通时间。

FSL4110LR

典型性能特征

(特性图在 $T_A = 25^\circ\text{C}$ 时标准化。)

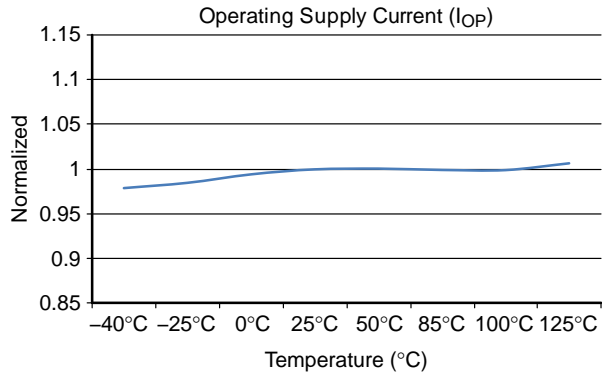


图 5. 工作电源电流 (I_{OP}) 与 T_A

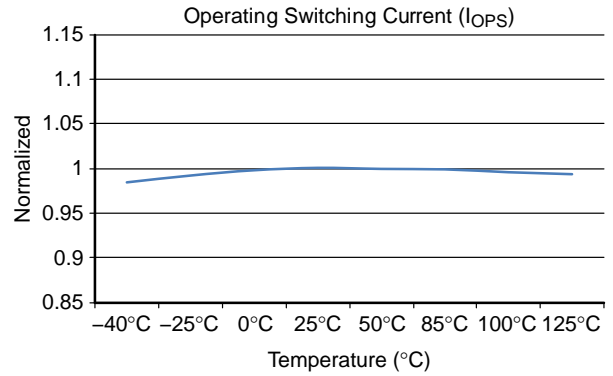


图 6. 工作开关电流 (I_{OPS}) 与 T_A

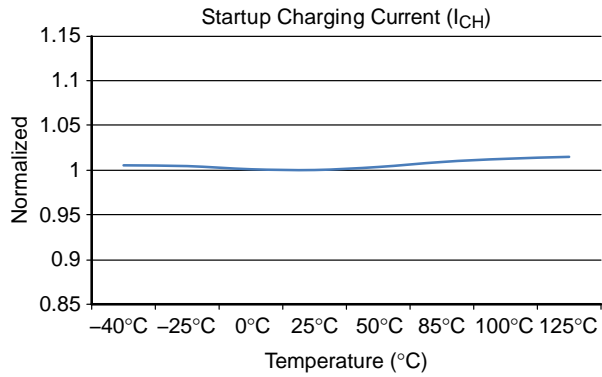


图 7. 启动充电电流 (I_{CH}) 与 T_A

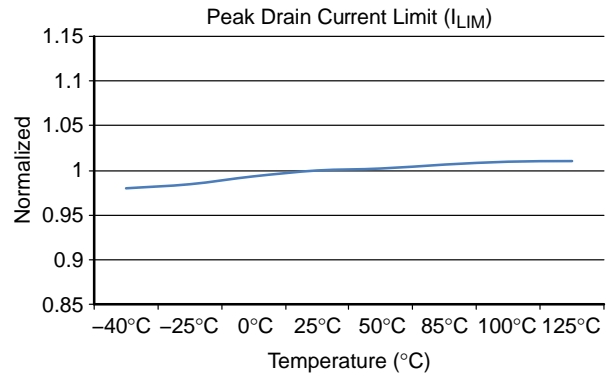


图 8. 峰值漏极限流 (I_{LIM}) 与 T_A

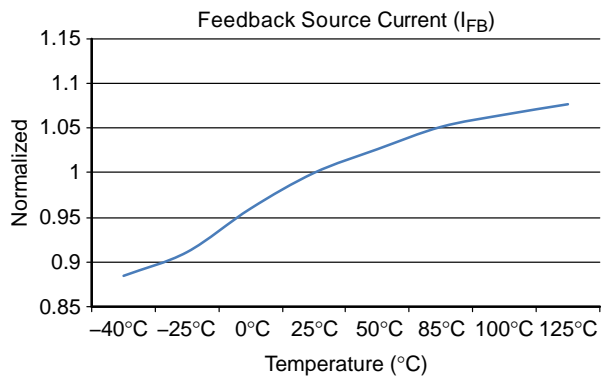


图 9. 反馈电流源 (I_{FB}) 与 T_A

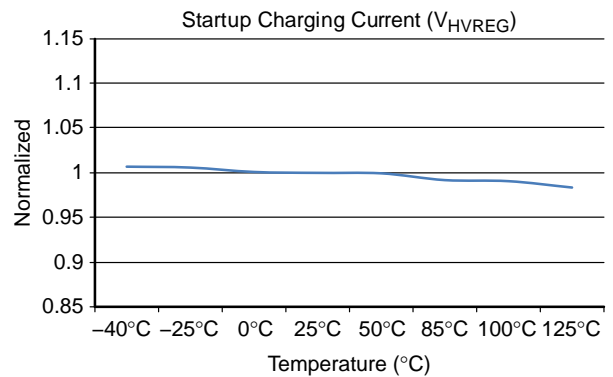


图 10. 高压调节器电压 (V_{HVREG}) 与 T_A

FSL4110LR

典型性能特征 (接上页)

(特性图在 $T_A = 25^\circ\text{C}$ 时标准化。)

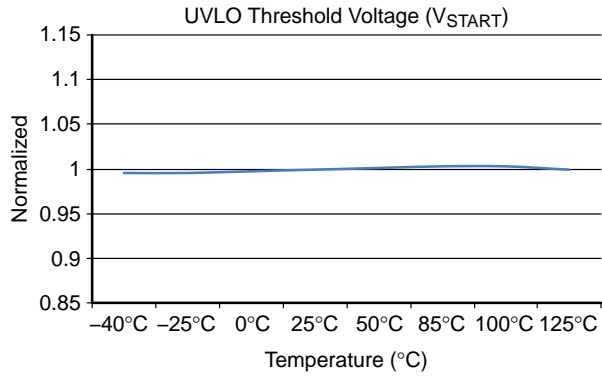


图 11. UVLO 阈值电压 (V_{START}) 与 T_A

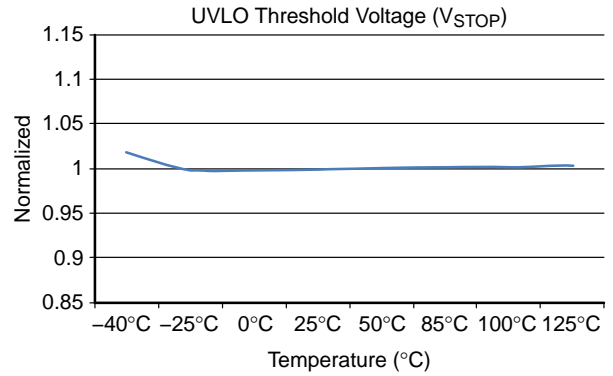


图 12. UVLO 阈值电压 (V_{STOP}) 与 T_A

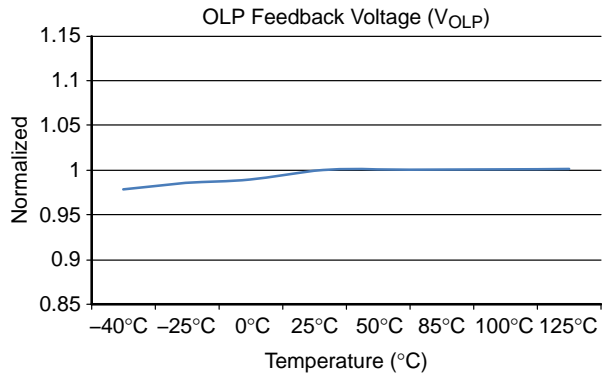


图 13. OLP 反馈电压 (V_{OLP}) 与 T_A

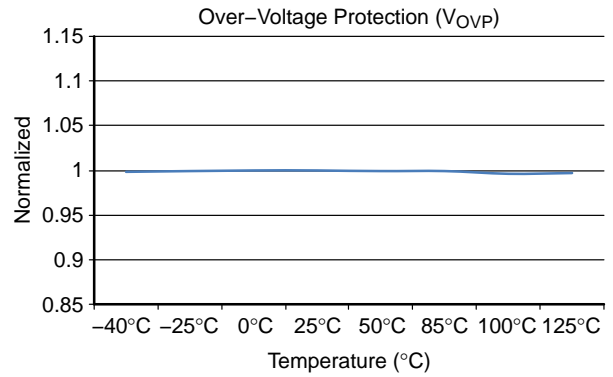


图 14. 过压保护 (V_{OVP}) 与 T_A

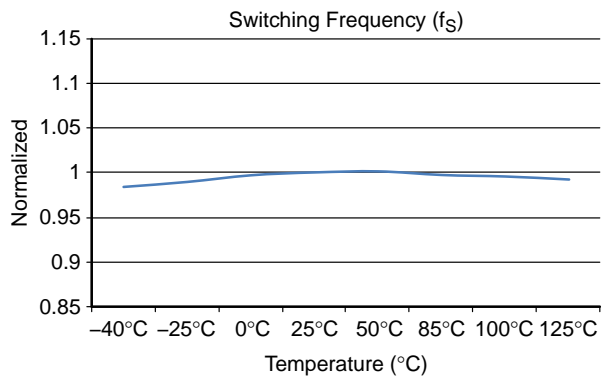


图 15. 开关频率 (f_S) 与 T_A

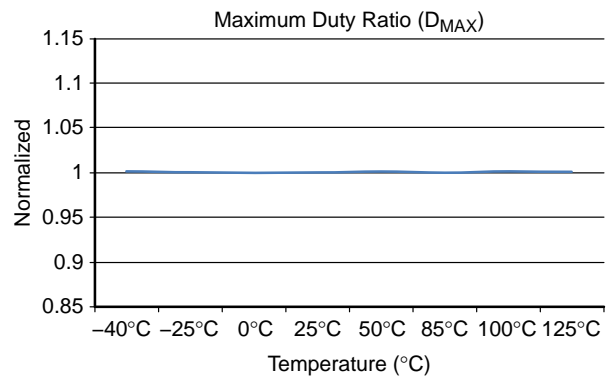


图 16. 最大占空比 (D_{MAX}) 与 T_A

功能说明

启动与高压调节器

启动期间，高压调节器 (HV_{REG}) 的内部高压电流源 (I_{CH}) 提供内部偏置电流 (I_{START})，并向连接至 V_{CC} 引脚的外部电容 (C_{VCC}) 充电，如图 17 所示。该内部高压电流源一直处于使能状态，直至 V_{CC} 达到 V_{START} (12 V)。稳态运行过程中，此内部高压调节器 (HV_{REG}) 将 V_{CC} 保持在 10 V，并向所有内部电路提供工作开关电流 (I_{OPS})。因此，FSL4110LR 无需外部偏置电路。外部偏压提供的 V_{CC} 高于 10 V 时，禁用该高压调节器。但如果采用自适应偏置，则功耗将提高。

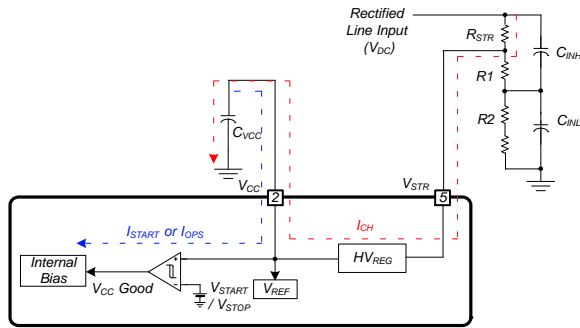


图 17. 启动和 HV_{REG} 模块

启动电阻 (R_{STR}) 可通过下式 (1) 计算得出。

$$R_{STR} \leq \frac{V_{DC_MIN} - V_{START}}{I_{CH}} \quad (eq. 1)$$

其中，I_{OPS} < I_{CH} < 2 mA，R_{STR} + R1 = R2 + R3

反馈控制

FSL4110LR 采用电流模式控制方案。通常用次级端的光电耦合器 (如 FOD817) 和并联调节器 (如 KA431) 组成反馈网络。将反馈电压与 R_{SENSE} 电阻两端的电压进行比较，可实现开关占空比的控制。当输入电压提高或输出负载降低时，分压调节器的参考输入电压提高。如果此电压超过分压调节器的内部参考电压，光电耦合器的光电二极管电流增加，从而拉低反馈电压并减少漏极电流。

逐脉冲限流

由于采用电流模式控制，因此通过 PWM 比较器的反相输入限制了流经 SenseFET 的峰值电流，如图 18 所示。假设 100 μA 的源电流 (I_{FB}) 只流经内部电阻 (3R + R = 24 kΩ)，则二极管 D2 的阴极电压约为 2.4 V。由于反馈电压 (V_{FB}) 超过 2.4 V 时 D1 受阻，

所以 D2 的最大阴极电压将箝位在此电压值。因此，SenseFET 的电流峰值将限制为：

$$\frac{2.4 V}{R_{SENSE}} \times \text{Sense Ratio} \quad (eq. 2)$$

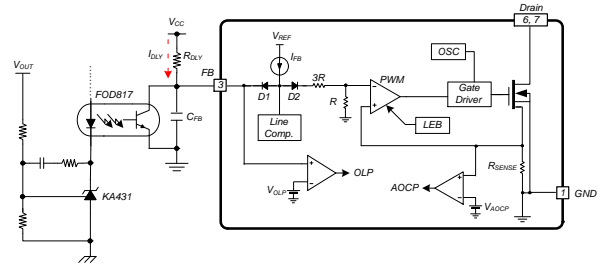


图 18. 脉宽调制电路

前沿消隐 (LEB)

内部 SenseFET 导通的那一刻，初级端电容和次级端整流器的反向恢复通常导致高电流尖峰通过 SenseFET。R_{SENSE} 电阻两端的大电压会导致电流模式 PWM 控制中出现不正确的反馈运行状况。为了抵消这种效应，FSL4110LR 采用前沿消隐 (LEB) 电路。SenseFET 导通后，此电路将在 t_{LEB} (250 ns) 内抑制 PWM 比较器。

保护电路

保护功能包括过载保护 (OLP)、过压保护 (OVP)、欠压锁定 (UVLO)、异常过流保护 (AOCP) 以及热关断 (TSD)。所有这些保护功能都在自动重启模式下工作，如图 19 所示。由于这些保护电路都完全集成在 IC 中，无需任何外部元件，因此能够在不增加成本和 PCB 空间的情况下提高可靠性。如果出现故障情况，开关将终止，且 SenseFET 保持关断。同时，还会激活内部保护计时控制，以降低自动重启过程中无源和有源器件上的功耗和应力。内部保护计时控制激活时，V_{CC} 将通过内部高压调节器调节为 10 V，直到终止开关。这种内部保护计时控制会一直持续到重启时间 (1.6 s) 结束。计数到 1.6 s 时，将禁用内部高压调节器并降低 V_{CC}。当 V_{CC} 达到 UVLO 停止电压 V_{STOP} (8 V) 时，将复位保护功能，内部高压电流源再次通过高压启动引脚 (V_{STR}) 向 V_{CC} 电容充电。当 V_{CC} 达到 UVLO 启动电压 V_{START} (12 V) 时，FSL4110LR 恢复正常操作。通过这种方式，自动重启功能可以交替使能和禁用功率 SenseFET 的开关，直到消除故障条件。

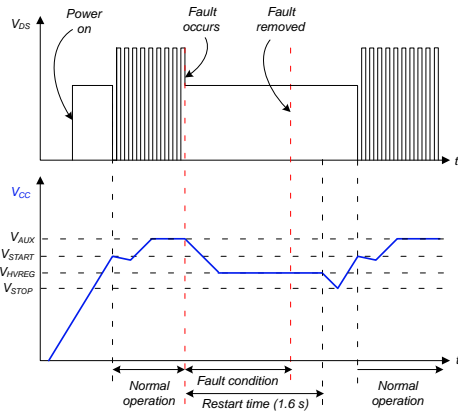


图 19. 自动重启保护波形

过载保护(OLP)

过载定义为因意外异常事件导致超过其正常电平的负载电流。在这种情况下，应触发保护电路以保护 SMPS。然而，即使 SMPS 在正常运行中，也可能在负载过渡过程中触发过载保护电路。为了避免出现这种不必要的工作状况，过载保护电路设计为仅在一定时间后触发，以确定这是瞬态情况还是真正的过载情况。由于逐脉冲限流功能，流经 SenseFET 的最大峰值电流受限。如果输出功率超过此最大功率，输出电压将降至设定电压以下。这减小了通过光电二极管的电流，也减小了光电耦合器电阻电流，从而提高了反馈电压 (V_{FB})。如果 V_{FB} 超出 2.4 V，内部二极管 D1 受阻，且 R_{DLY} 的电流 (I_{DLY}) 开始对 C_{FB} 充电。如果反馈电压达到 4.4 V，内部固定延迟时间 (t_{DELAY}) 开始计数。如果反馈电压在 t_{DELAY} (100 ms) 后维持在超过 4.4 V 的值，开关操作将终止 (参见图 20)。内部 OLP 电路如图 21 所示。

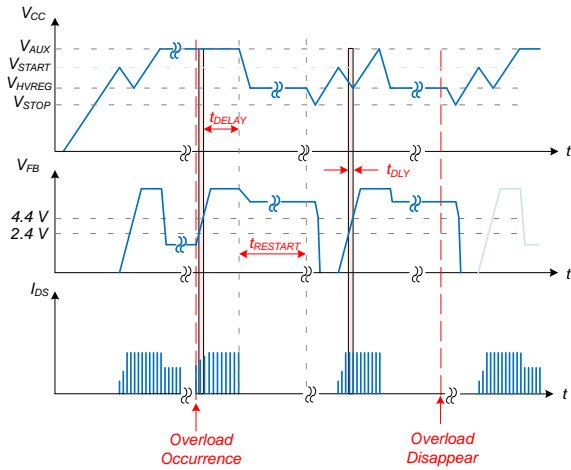


图 20. OLP 波形

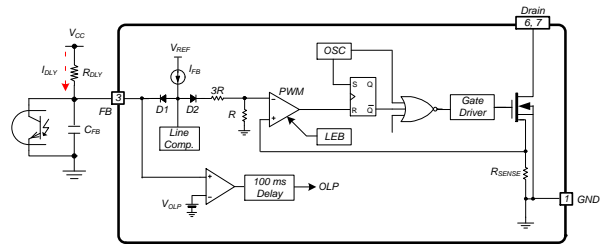


图 21. OLP 电路

推荐的 R_{DLY} 值在自适应偏置中小于 5 MΩ。延迟时间 (t_{DLY}) 可通过下式 (3) 计算。

$$t_{DLY} = -R_{DLY} \times C_{FB} \times \ln\left(1 - \frac{2}{V_{CC} - 2.4}\right) \quad (\text{eq. 3})$$

示例:

当 R_{DLY} = 3 MΩ、C_{FB} = 68 nF、V_{CC} = 15 V、
t_{DLY} = 35 ms

∴ OLP 的总延迟时间: 135 ms

异常过流保护(AOCP)

当次级整流二极管或变压器引脚短路时，具有极高 di/dt 的陡坡电流可在最小导通时间内流经 SenseFET。在这种异常情况下，过载保护不足以保护 FSL4110LR (参见图 22); 因为在触发 OLP 之前，会有很大的电流应力施加到 SenseFET 上。内部 AOCP 电路如图 23 所示。当向功率 SenseFET 应用提供电阻的电流。电阻两端的电压与预设 AOCP 电平进行比较。如果感测电阻电压大于 AOCP 电平，将向 NOR 栅极输入提供高信号，导致 SMPS 关断。

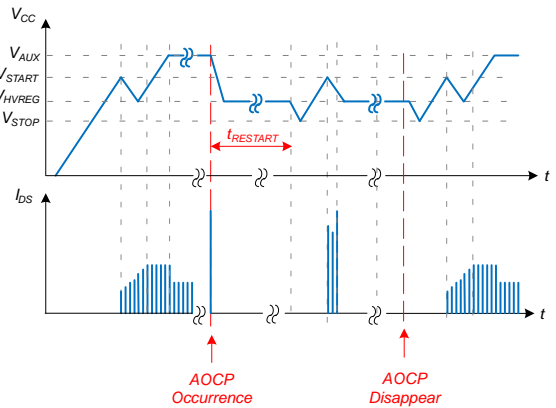


图 22. AOCP 波形

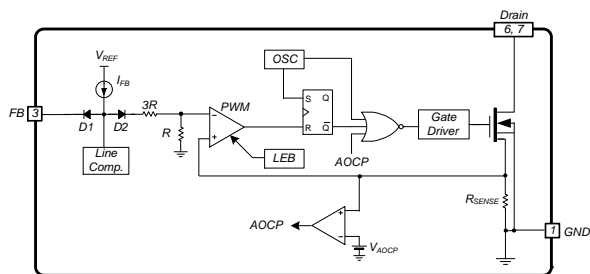


图 23. AOC 电路

过压保护 (OVP)

如果次级端反馈电路出现故障或焊接缺陷导致反馈路径开路，通过光电耦合器晶体管的电流几乎变为零。然后， V_{FB} 将以类似于过载情况的方式攀升，从而迫使预设最大漏电流流动，直到触发过载保护。由于向输出端提供了比所需能量更多的能量，在触发过载保护之前，输出电压可能就超出了额定电压，从而导致次级端器件击穿。为防止这种情况，采用了 OVP 电路。通常， V_{CC} 与输出电压成正比，并且 FSL4110LR 采用 V_{CC} ，而不是直接监控输出电压。如果 V_{CC} 超过 24.5 V，则触发 OVP 电路，导致开关操作终止。为避免在正常工作期间偶然激活 OVP， V_{CC} 应设计为在正常情况下低于 24.5 V。内部 OVP 电路如图 24 所示。

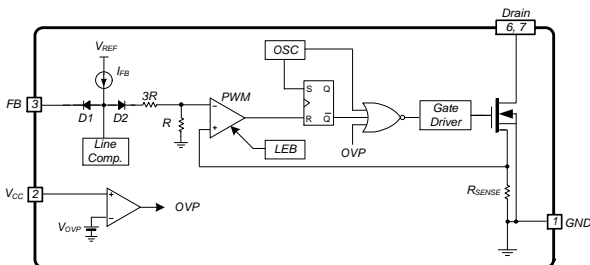


图 24. OVP 电路

热关断 (TSD)

SenseFET 和控制 IC 集成在同一封装中方便了检测 SenseFET 的温度。当结温超过 140°C 时，将激活热关断。当温度在 $t_{RESTART}$ (1.6 s) 内降至 60°C 时，将重启 FSL4110LR。

线路过压保护 (LOVP)

如果线路输入电压增加过高，高线路输入电压在整个系统上产生高压应力。为保护 SMPS 不发生这种异常情况，包括了 LOVP 功能。包括采用分压电阻检测 V_{IN} 电压。当 V_{IN} 电压高于 2.0 V 时，这种情况被认为出现异常错误，PWM 开关关断，直至 V_{IN} 电压在

$t_{RESTART}$ 内降至约 1.9 V (参见图 25)。内部 LOVP 电路如图 26 所示。

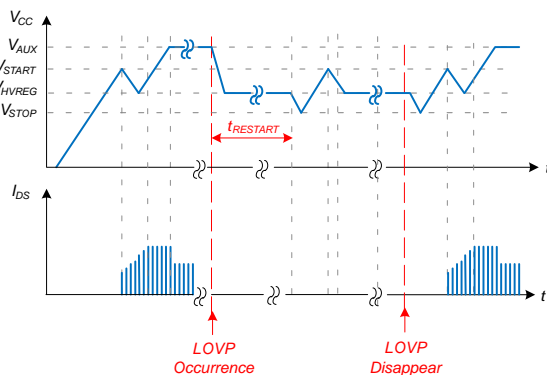


图 25. LOVP 波形

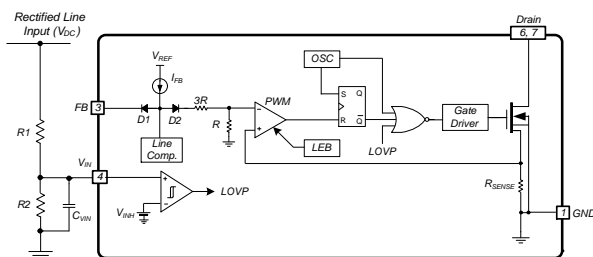


图 26. LOVP 电路

方程式 (4) 计算输入过压电平 RMS 值。

$$R2 = \frac{V_{INH} \times R1}{V_{DC} - V_{INH}} \quad (\text{eq. 4})$$

可根据需要调整分压电阻的阻值。轻载情况下，较小的阻值会导致相对较大的待机功耗。为了避免这种情况，推荐使用一个几 MΩ 的电阻器。为保持稳定运行，使用阻值为几 MΩ 的电阻器时，应同时在 V_{IN} 引脚和 GND 之间连接一个容值为几百 pF 的电容 (C_{VIN})。

振荡器模块

振荡器频率在内部设置，且 FSL4110LR 具有随机频率波动功能，如图 27 所示。开关频率的波动将能量分布在比 EMI 测试设备测得的带宽更宽的频率范围内，因而能够减少 EMI。频率变化范围在内部固定；然而，频率范围的选择由外部反馈电压和内部自激振荡器共同随机决定。随机选择的开关频率将 EMI 噪声有效地分布在开关频率附近，并允许使用具有成本效益的电感器，而不是交流输入电源滤波器，来满足全球 EMI 要求。

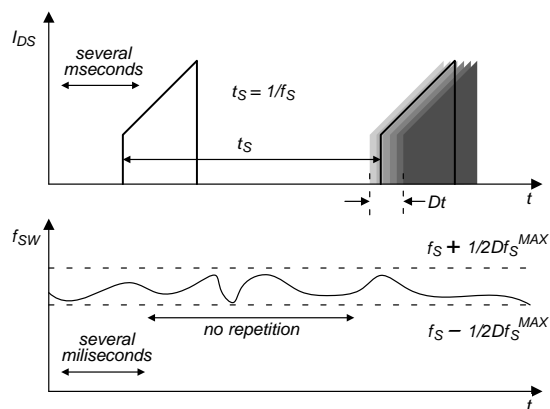


图 27. 频率波动波形

软启动

内部软启动电路启动后，会缓慢提高 SenseFET 电流。典型软启动时间为 20 ms，如图 28 所示，启动过程中允许 SenseFET 电流逐渐递增。输入功率开关器件的脉宽逐渐增加，从而建立适合变压器、电感器和电容器的正确工作条件。输出电容器上的电压逐渐增加，从而顺畅地建立所需的输出电压。软启动也有助于防止变压器饱和，并降低次级二极管上的应力。

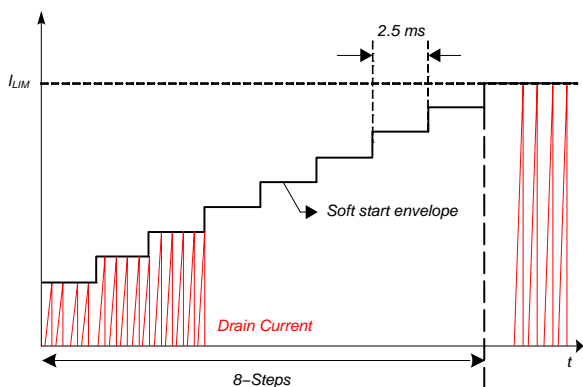


图 28. 内部软启动

间歇模式工作

为最大程度地降低待机模式下的功耗，FSL4110LR 会进入突发模式。随着负载降低，反馈电压也会降低。当反馈电压降至 V_{BURL} (400 mV) 以下时，器件自动进入间歇模式，如图 29 所示。此时，开关操作将停止，输出电压开始降低，降低的速率取决于待机电流负载。这会导致反馈电压上升。一旦此值超过 V_{BURH} (500 mV)，开关操作将恢复。反馈电压随之降低，此过程重复。间歇模式会交替使能和禁用 SenseFET 的开关操作，从而降低待机模式下的开关损耗。另外，还减少了可听噪声软间歇。

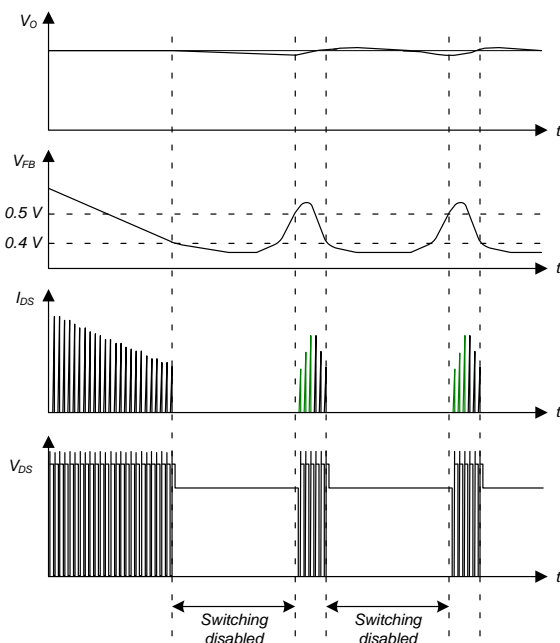


图 29. 间歇模式工作

线路补偿

所有开关器件都有其固有的传播延迟。此传播延迟将导致定义为 t_{CLD} 的电流限制延迟。由于电流限制延迟 t_{CLD} ，因此低输入电压和高输入电压之间存在电流峰值差异。电流峰值差异与输入电压之间的差异相关，输入电压中的间隙越宽，电流峰值的差异越大。

不论输入电压是多少，为保持一个稳定的电流峰值，需进行线路补偿。FSL4110LR 具有线路补偿，因此高输入电压的真实峰值类似于低输入电压的真实峰值。 t_{CLD} 效应可被忽略，如图 30 所示。

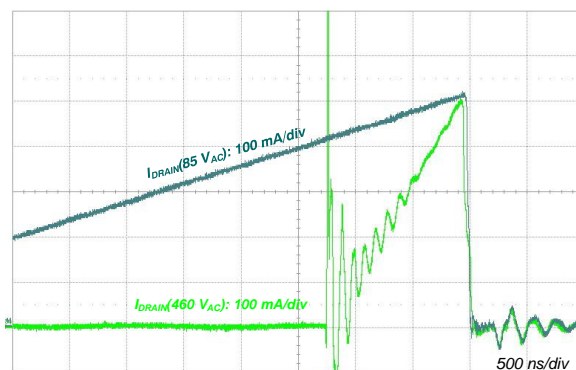


图 30. I_{LIMIT} 波形 (85 V_{AC} 与 460 V_{AC})

FSL4110LR

订购信息

器件编号	封装	工作结温	限流	R _{DS(ON)} (最大值)	输出功率表 (注意 12)		Shipping [†]
					45~460 V _{AC} (注意 13)	85~460 V _{AC} (注意 13)	
FSL4110LRN	PDIP-7 (PDIP-8 LESS PIN 6) (7-DIP) (Pb-Free)	-40°C~125°C	0.52 A	10 Ω	4 W (注意 14)	9 W (注意 14)	3000 Units / Tube
FSL4110LRLX	PDIP7 MINUS PIN 6 GW (7-LSOP) (Pb-Free)						1000 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

12. 结温可限制最大输出功率。

13. 50°C 环境温度下开架式设计中的最大实际持续功率。

14. 有偏压绕组时。

MECHANICAL CASE OUTLINE

PACKAGE DIMENSIONS

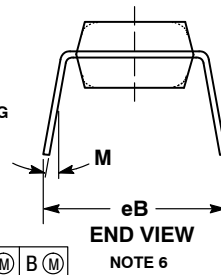
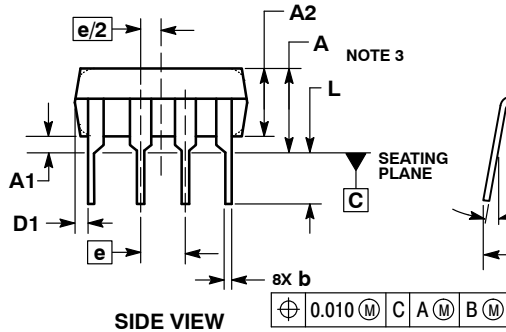
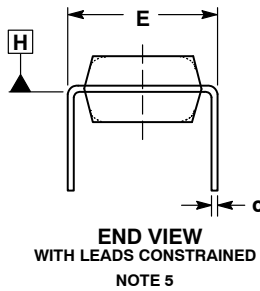
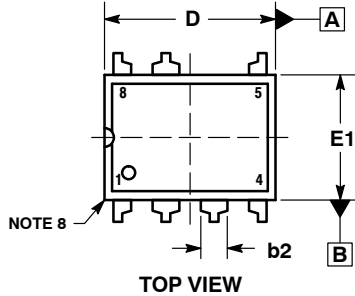
ON Semiconductor®



PDIP-7 (PDIP-8 LESS PIN 6) CASE 626A ISSUE C

DATE 22 APR 2015

SCALE 1:1

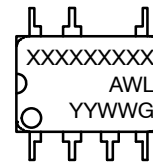


NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: INCHES.
3. DIMENSIONS A, A1 AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. DIMENSIONS D, D1 AND E1 DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS ARE NOT TO EXCEED 0.10 INCH.
5. DIMENSION E IS MEASURED AT A POINT 0.015 BELOW DATUM PLANE H WITH THE LEADS CONSTRAINED PERPENDICULAR TO DATUM C.
6. DIMENSION eB IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. DATUM PLANE H IS COINCIDENT WITH THE BOTTOM OF THE LEADS, WHERE THE LEADS EXIT THE BODY.
8. PACKAGE CONTOUR IS OPTIONAL (ROUNDED OR SQUARE CORNERS).

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	----	0.210	----	5.33
A1	0.015	----	0.38	----
A2	0.115	0.195	2.92	4.95
b	0.014	0.022	0.35	0.56
b2	0.060 TYP		1.52 TYP	
C	0.008	0.014	0.20	0.36
D	0.355	0.400	9.02	10.16
D1	0.005	----	0.13	----
E	0.300	0.325	7.62	8.26
E1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
eB	----	0.430	----	10.92
L	0.115	0.150	2.92	3.81
M	----	10°	----	10°

GENERIC MARKING DIAGRAM*



- XXXX = Specific Device Code
- A = Assembly Location
- WL = Wafer Lot
- YY = Year
- WW = Work Week
- G = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

DOCUMENT NUMBER:	98AON11774D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	PDIP-7 (PDIP-8 LESS PIN 6)	PAGE 1 OF 1

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

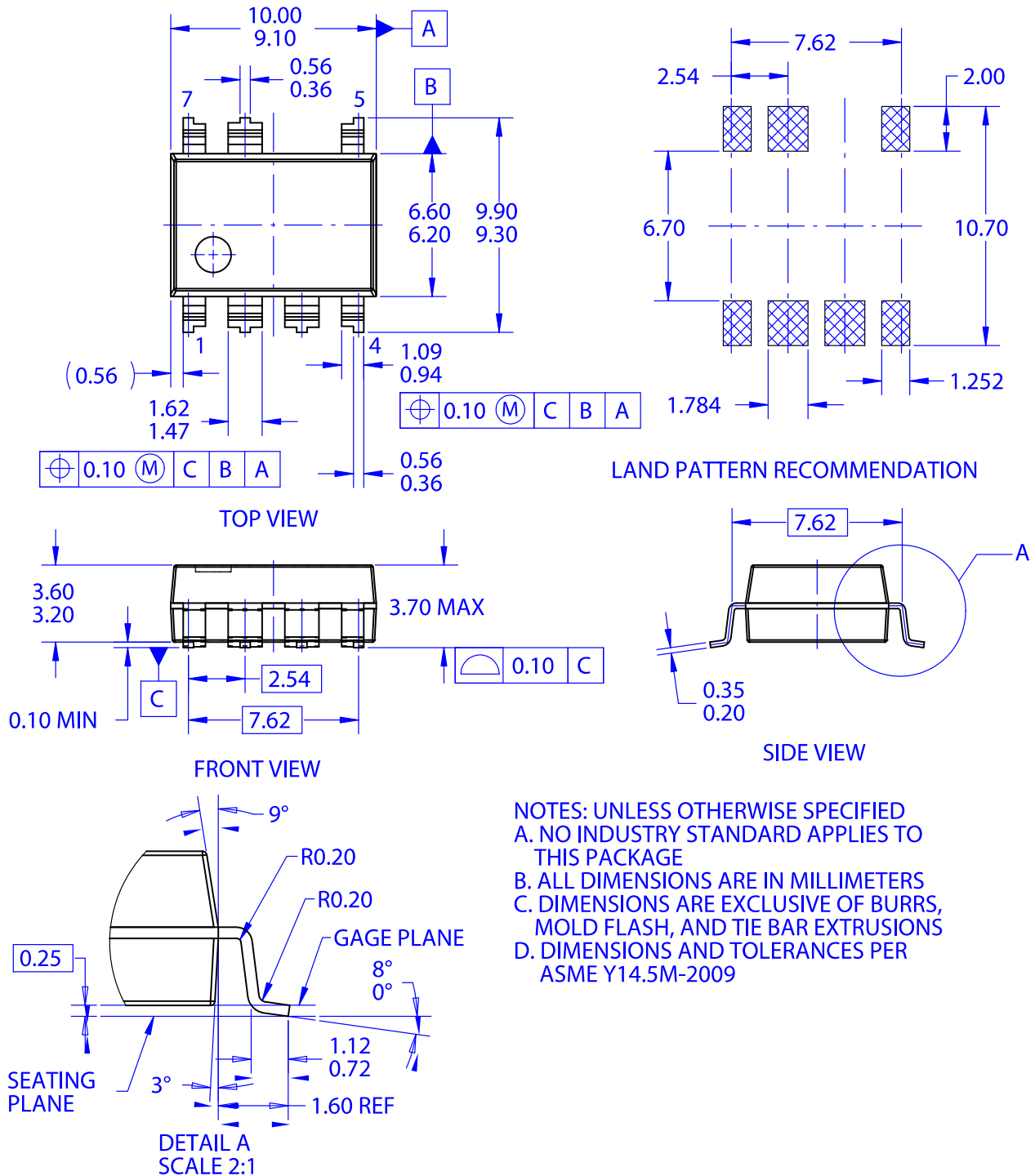
MECHANICAL CASE OUTLINE
PACKAGE DIMENSIONS

ON Semiconductor®



PDIP7 MINUS PIN 6 GW
CASE 707AA
ISSUE O

DATE 31 JAN 2017



NOTES: UNLESS OTHERWISE SPECIFIED
 A. NO INDUSTRY STANDARD APPLIES TO THIS PACKAGE
 B. ALL DIMENSIONS ARE IN MILLIMETERS
 C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS
 D. DIMENSIONS AND TOLERANCES PER ASME Y14.5M-2009

DOCUMENT NUMBER:	98AON13755G	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	PDIP7 MINUS PIN 6 GW	PAGE 1 OF 1

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Email Requests to: orderlit@onsemi.com

onsemi Website: www.onsemi.com

TECHNICAL SUPPORT

North American Technical Support:
Voice Mail: 1 800-282-9855 Toll Free USA/Canada
Phone: 011 421 33 790 2910

Europe, Middle East and Africa Technical Support:

Phone: 00421 33 790 2910

For additional information, please contact your local Sales Representative